

**UNIVERSIDADE FEDERAL DE SANTA CATARINA**

**PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA**

**TRANSISTORES MOS COMPOSTOS DE BAIXA CONDUTÂNCIA DE  
SAÍDA E ALTA FREQUÊNCIA DE GANHO UNITÁRIO**

DISSERTAÇÃO SUBMETIDA À UNIVERSIDADE FEDERAL DE  
SANTA CATARINA PARA A OBTENÇÃO DO GRAU DE MESTRE  
EM ENGENHARIA ELÉTRICA.

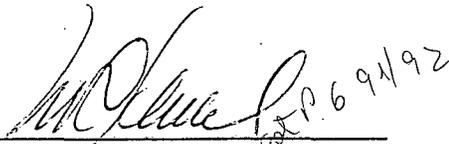
**ITAMAR JOSÉ BASSANEZI LOSS**

**FLORIANÓPOLIS, OUTUBRO DE 1993**

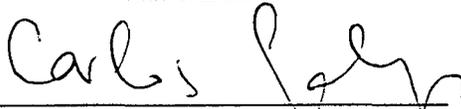
**TRANSISTORES MOS COMPOSTOS DE BAIXA CONDUTÂNCIA DE SAÍDA E ALTA  
FREQUÊNCIA DE GANHO UNITÁRIO**

**CANDIDATO: ITAMAR JOSÉ BASSANEZI LOSS**

Esta dissertação foi julgada para obtenção do título de **MESTRE EM ENGENHARIA - ESPECIALIDADE ENGENHARIA ELÉTRICA** e aprovada em sua forma final pelo Curso de Pós Graduação.



**Prof. Márcio Cherem Schneider, Dr.**  
ORIENTADOR



**Prof. Carlos Galup Montoro, Dr.**  
CO-ORIENTADOR *cot P691192*



**Prof. Roberto de Souza Salgado, Ph. D.**  
COORDENADOR DO CURSO DE PÓS-GRADUAÇÃO EM ENGENHARIA ELÉTRICA

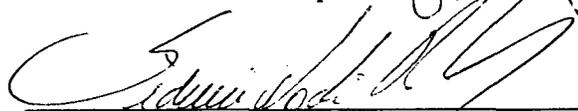
**BANCA EXAMINADORA:**



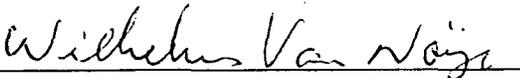
**Prof. Márcio Cherem Schneider, Dr.**



**Prof. Carlos Galup Montoro, Dr.**



**Prof. Sidnei Noceti Filho, Dr.**



**Prof. Wilhelmus Van Noije, Dr.**

## AGRADECIMENTOS

A todos os amigos, especialmente os que trabalham no LINSE, que me incentivaram nos momentos mais difíceis, o meu mais sincero muito obrigado.

Agradeço também aos professores Márcio Cherem Schneider e Carlos Galup Montoro pela orientação e apoio durante todo o desenvolvimento deste trabalho.

*À minha linda noiva SARITA e a meus pais  
THEREZINHA e ARNO com muito amor e carinho*

" Se não queremos cair no esquecimento assim que estejamos mortos, devemos escrever coisas dignas de ler ou fazer coisas dignas de escrever"

*Franklin*

## SUMÁRIO

Sumário.....	vi
Lista de símbolos.....	vii
Lista de figuras.....	ix
Lista de tabelas.....	xi
Resumo.....	xii
Abstract.....	xiii
Capítulo 1 - Introdução.....	1
Capítulo 2 - O Transistor Composto	
2.1 - Introdução.....	4
2.2 - Característica estática do transistor composto.....	4
2.2.1 - Transistor composto operando na região triodo.....	7
2.2.2 - Transistor composto operando na região de saturação.....	10
2.3 - Análise do tempo de trânsito.....	14
2.4 - Modelo capacitivo do transistor composto.....	18
Capítulo 3 - Resultados experimentais.....	22
3.1 - Condutância de saída de transistores MOS em função do comprimento do canal.....	22
3.2 - Características estáticas do transistor composto.....	24
3.3 - Aplicação do transistor composto em um espelho de corrente.....	32
3.4 - O tempo de trânsito no transistor composto.....	33
Capítulo 4 - Conclusões.....	40
APÊNDICE A: Análise da frequência de ganho unitário intrínseca.....	42
APÊNDICE B: Efeitos das capacitâncias de sobreposição sobre a capacitância porta-fonte do transistor composto.....	47
Bibliografia.....	49

## LISTA DE SÍMBOLOS

- $C_{ox}$  capacitância total de óxido associada ao transistor;  
 $C'_{ox}$  capacitância de óxido fino por unidade de área;  
 $C_{ox}^i$  capacitância total de óxido associada ao  $i$ -ésimo transistor;  
 $C_{gx}$  capacitância entre a porta e o terminal  $x$  de um transistor;  
 $C_{gx}^i$  capacitância entre a porta e o terminal  $x$  do  $i$ -ésimo transistor;  
 $C_{med}$  capacitância obtida através de medidas;  
 $C_{ov}$  capacitância de sobreposição porta-fonte;  
 $C_{ov}^i$  capacitância de sobreposição porta-fonte do  $i$ -ésimo transistor;  
 $g_m$  transcondutância do transistor;  
 $g_{ds}$  condutância de saída do transistor;  
 $I_D$  corrente de dreno;  
 $I_{Di}$  corrente de dreno do  $i$ -ésimo transistor;  
 $I_F$  corrente direta;  
 $I_R$  corrente reversa;  
 $J$  densidade de corrente;  
 $L_i$  comprimento do canal do  $i$ -ésimo transistor;  
 $M_D$  transistor conectado ao nó de dreno;  
 $M_S$  transistor conectado ao nó de fonte;  
 $m$  razão das razões de aspecto dos transistores  $M_D$  e  $M_S$ ;  
 $n_e$  densidade local de elétrons;  
 $n$  fator de inclinação;  
 $Q_I$  carga total de portadores no canal;  
 $Q_{Ii}$  carga total de portadores no canal do  $i$ -ésimo transistor;

- $R_k$  transistor retangular com m igual a k;
- $T_k$  transistor trapezoidal com m igual a k;
- $V_P$  tensão de "pinch-off";
- $V_x$  tensão no nó x;
- $V_{xi}$  tensão no nó x do i-ésimo transistor;
- $W_i$  largura do canal do i-ésimo transistor;
- $(W/L)_i$  razão de aspecto do i-ésimo transistor;
- $\beta$  parâmetro transcondutância do transistor MOS;
- $\mu$  mobilidade dos portadores;
- $\tau$  tempo de trânsito;
- $\tau_u$  tempo de trânsito do transistor com comprimento de canal mínimo;
- $\omega_T$  frequência de ganho unitário intrínseca;

## LISTA DE FIGURAS

Figura 2.1 - Estrutura de um transistor canal n .....	4
Figura 2-2 - Condutividade superficial local do canal em função de $V$ , para $V_G$ constante.....	6
Figura 2.3 - Transistores conectados em série. Os terminais de porta e de substrato são comuns.....	8
Figura 2.4 - Arranjos de transistores unitários, com a mesma largura de dreno e mesma razão de aspecto .....	11
Figura 2.5 - Característica de saída dos transistores $M_{S1}$ , $M_{S2}$ e $M_{S3}$ e curva de carga de $M_D$ para $V_D = -2V$ e $V_D = -5V$ .....	12
Figura 2.6 - Transistores DC equivalentes com $L_{EQ}=5L$ .....	13
Figura 2.7 - Transistores DC equivalentes .....	17
Figura 2.8 - Modelo capacitivo do transistor composto .....	18
Figura 2-9 (a) - Capacitâncias normalizadas de um transistor trapezoidal com $m=3$ e de um transistor simples.....	20
Figura 2-9 (b) - Continuação da figura 2-9 (a).....	21
Figura 3.1 - Estruturas transistorizadas com mesmas razões de aspecto e comprimentos de canal .....	23
Figura 3.2 - Resistência de saída em função do número de transistores em série.....	24
Figura 3.3 - Característica de saída DC de um transistor unitário ( $W_u/L_u$ ) e de uma estrutura Retangular de $4 \times 4$ ( $4W_u/4L_u$ ) .....	26
Figura 3.4 - Transistor composto: (a) Transistor composto Trapezoidal ( $T_4$ ); (b) Transistor composto Retangular ( $R_4$ ) .....	26
Figura 3.5 - Característica DC de saída da figura 3-4.....	27
Figura 3.6 - Tensão do nó interno X das estruturas da figura 3-4.....	28
Figura 3.7 - (a) Arranjos de Transistores.....	29
Figura 3.7 - (b) Curva $I_D \times V_{DS}$ para as estruturas do item (a) para $V_{GS}=-2V$ .....	30
Figura 3.8 - Curvas de ganho ( $g_m/g_{ds}$ ) para as estruturas $T_3$ , $T_9$ e transistor simples .....	31
Figura 3.9 - Espelho simples. $M_1$ e $M_2$ foram implementados com : (i) transistores simples (ii)transistores compostos trapezoidais (iii) transistores compostos retangulares .....	32
Figura 3.10 - Curva de comparação entre espelhos implementados com transistores simples, transistores retangulares ( $R_3$ ) e transistores trapezoidais ( $T_3$ ). .....	33

Figura 3.11 - Esquema utilizado para a determinação da capacitância $C_{gs}$ .....	35
Figura 3.12 - Acoplamento capacitivo porta-fonte obtido a partir do esquema da figura 3-11.....	36
Figura 3.13 - Curva do tempo de trânsito normalizado. ....	38
Figura A-1 - Capacitâncias intrínsecas nos transistores de dreno e fonte para determinação da capacitância intrínseca $C_{gs}$ do transistor composto.....	43
Figura B-1 - Capacitâncias de sobreposição no transistor composto para o cálculo da capacitância porta-fonte extrínseca .....	48

## LISTA DE TABELAS

Tabela 3-1 - Condutância de saída e transcondutância para as estruturas trapezoidais da figura 3-7(a) e para a estrutura retangular $R_3$ , utilizando-se transistores do C4007 .....	30
Tabela 3-2 - Tabela de $C_{med}$ para $V_{GS} = -2V$ e $V_{GS} = -3V$ .....	37

## RESUMO

Este trabalho apresenta uma estrutura de transistor MOS composto, formado pela associação em série de dois transistores, sendo que o transistor conectado no terminal de dreno é mais largo do que o transistor conectado no lado da fonte. É mostrado que esta estrutura apresenta características DC idênticas às de um transistor canal longo de largura uniforme. Este transistor composto tem duas grandes vantagens sobre o transistor canal longo equivalente de largura uniforme: economia considerável de área de silício e uma frequência de ganho unitário mais elevada.

Esta estrutura pode ser utilizada para a integração de circuitos analógicos que necessitem de altas velocidades e baixas tensões. A técnica proposta é particularmente adequada para o projeto de circuitos analógicos utilizando a metodologia de "gate-arrays" ("sea-of-transistor").

## ABSTRACT

This work presents an approach to design composite field effect transistors with low output conductance. These transistors consist of the series association of two transistors, with the transistor connected to the drain terminal wider than the transistor connected to the source terminal. It is shown that this composite transistor has the same DC characteristics as a long-channel transistor of uniform width. A composite transistor has two main advantages over its "DC equivalent" transistor of uniform width: significant area savings and a higher cutoff frequency.

The main envisaged application is the integration of simple scheme, low-voltage, high-frequency analog circuits. The proposed technique is particularly suited for analog design in gate arrays.

# CAPÍTULO 1

## INTRODUÇÃO

A crescente demanda mundial por equipamentos que processem sinais tanto analógicos quanto digitais, tais como modems, fax, equipamentos de áudio e vídeo, geram a necessidade de se ter sistemas cada vez mais compactos e que consumam menos potência [1,2]. Atualmente a tecnologia de circuitos integrados permite linhas de interligações com larguras de aproximadamente  $0,5\mu\text{m}$  e a possibilidade de se utilizar circuitos analógicos e digitais num mesmo chip, utilizando-se alimentação mista de 3V e 5V [2]. Espera-se que, a partir de 1995, esta dimensão esteja em torno de  $0,35\mu\text{m}$  e a tensão de alimentação em 3V [2]. Conseqüentemente, será possível a implementação de um número cada vez maior de componentes numa mesma área de silício, além de um ganho de velocidade e um menor consumo de potência.

Com a evolução da tecnologia MOS, atualmente a mais empregada pela indústria de circuitos integrados, torna-se necessária uma adaptação dos circuitos às condições das novas tecnologias. Não basta que os projetistas, principalmente de circuitos analógicos, escalem os circuitos baseados na redução das dimensões e na redução da tensão de alimentação de 5V para 3V. É necessário reprojeter os circuitos para se obter um desempenho satisfatório quando a tecnologia evolui. Mas, para reprojeter circuitos necessita-se de modelos precisos para o transistor em todas as regiões de operação [2,3]. Com a redução do comprimento do canal dos transistores tornam-se mais pronunciados os efeitos de segunda ordem tais como a redução da mobilidade com o campo elétrico, a saturação da velocidade dos portadores e a elevada condutância de saída em saturação [3]. Conseqüentemente, a maioria dos modelos é ineficiente no sentido de predizer de forma precisa, por exemplo, os parâmetros pequenos sinais de um transistor. Então, o recurso usual dos projetistas tem sido usualmente trabalhar com transistores cujos comprimentos de canal sejam pelo menos cerca de 3 vezes superiores ao mínimo da tecnologia [3]. Em conseqüência deste aumento do comprimento do

canal há uma acentuada redução na máxima frequência de operação em relação à do transistor cujo comprimento de canal é mínimo. Portanto, apesar da constante evolução da tecnologia, os projetistas de circuitos analógicos não conseguem usufruir plenamente dos seus benefícios devido, principalmente, à inexistência de modelos adequados do transistor.

As técnicas mais utilizadas para a integração de circuitos digitais e que se beneficiam com as constantes evoluções da tecnologia são as de "gate-array" e de "sea-of-transistors" que cobrem, juntas, cerca da metade do mercado mundial de ASICs (Application Specific Integrated Circuits) [4]. O sucesso destas técnicas se dá principalmente porque apresentam

- (i) baixo custo de fabricação,*
- (ii) reduzido tempo de projeto, e*
- (iii) reduzido tempo de fabricação.*

Estas vantagens tornam estas técnicas adequadas à realidade de muitas pequenas e médias empresas que normalmente não dispõem de recursos para investir num projeto de circuito completamente dedicado nem podem trabalhar com a perspectiva de lançar um produto após cerca de 2 ou 3 anos de sua concepção. Devido à vantagem da técnica "sea-of-transistors" é natural que se deseje usá-la para integrar circuitos analógicos juntamente com os digitais no mesmo "chip". Como estas técnicas são voltadas para a implementação de circuitos digitais, os transistores são pré-difundidos com comprimentos de canal mínimos e podem não ser adequados para a integração de circuitos analógicos pois, além dos problemas de modelagem já citados, as estruturas implementadas com estes transistores apresentam baixos ganhos [5,6]. A solução habitual para resolver o problema do baixo ganho de transistores de comprimento de canal mínimo normalmente tem sido a utilização de transistores canal longo ou de estruturas cascode [7]. A utilização de estruturas cascode resulta numa redução na excursão da tensão de saída [7] tornando-se um problema mais grave à medida que a tensão de alimentação é reduzida. Transistores canal longo na técnica "sea-of-transistors" são obtidos através da associação série de transistores elementares [8-10,13]. Entretanto, a associação de transistores em série produz uma redução significativa na frequência de ganho unitário, que varia

inversamente com o quadrado do número de transistores conectados em série. Alguns exemplos de circuitos mistos analógicos e digitais têm sido reportados [4,11-17] utilizando normalmente associação série e/ou paralela de transistores para emular transistores de canal longo e/ou de canal largo.

É objetivo deste trabalho apresentar uma estrutura transistorizada que consiste na associação série de dois transistores, onde o transistor conectado no terminal de dreno é mais largo que o transistor conectado no terminal de fonte. Esta estrutura foi inspirada em artigo de Riccò [18] de 1984 que propunha um transistor com geometria trapezoidal para redução da condutância de saída. A estrutura transistorizada, aqui denominada de transistor composto, apresenta um ganho tão alto quanto o apresentado por transistores de canal longo mas tem um "canal físico" menor. Esta característica permite que a frequência de ganho unitário deste transistor composto seja maior do que a do transistor de canal longo de largura uniforme. Portanto, o projeto de blocos analógicos simples [19] pode usufruir do máximo ganho DC e alta frequência de corte dos transistores compostos. Ademais, os transistores compostos podem ser usados para implementação, em "sea-of-transistors", de circuitos analógicos em sistemas mistos analógicos-digitais [4,6,11,13,14]. Duas vantagens decisivas dos transistores compostos para uso em projeto usando metodologia de "sea-of-transistors" são a economia de silício e a modelagem simples.

Este trabalho descreve, teórica e experimentalmente, características estáticas e dinâmicas do transistor composto. No capítulo 2 é apresentada uma análise teórica do transistor composto e feitas comparações com estruturas usualmente empregadas como o transistor de comprimento mínimo de canal ou transistor de geometria retangular. No capítulo 3 são apresentados resultados experimentais para os transistores compostos. Finalmente, no capítulo 4 são apresentadas as conclusões e apontados futuros direcionamentos para o prosseguimento deste trabalho.

## CAPÍTULO 2

### O TRANSISTOR COMPOSTO

#### 2.1 -INTRODUÇÃO

Na referência [18] é apresentado um transistor cujo canal tem a forma trapezoidal, isto é, o canal é mais largo no lado do dreno do que no lado da fonte. Foi mostrado que este formato do canal provoca uma redução da condutância de saída do transistor, em relação ao transistor de largura uniforme.

Neste capítulo será analisada uma estrutura composta pela associação de dois transistores em série sendo o transistor conectado no lado do dreno mais largo do que o transistor conectado no lado da fonte [9,10], simulando, com transistores retangulares, uma estrutura trapezoidal.

#### 2.2 - CARACTERÍSTICA ESTÁTICA DO TRANSISTOR COMPOSTO

A figura 2-1 mostra a estrutura de um transistor MOS canal n, essencialmente simétrico [20].

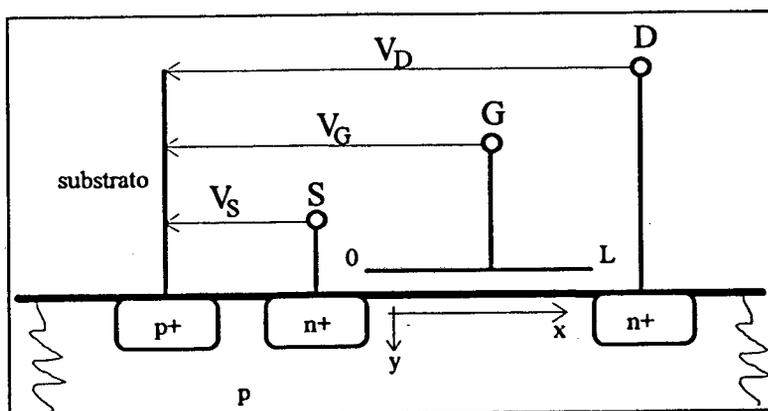


Figura 2-1 - Estrutura de um transistor canal n.

Para este transistor, os terminais de dreno, fonte e porta têm potenciais  $V_D$ ,  $V_S$  e  $V_G$  referenciados ao substrato. Para um transistor canal n, a densidade de corrente  $J$  fluindo em qualquer ponto do canal ( $X$ ), pode ser expressa como

$$J = q\mu n_e \frac{d\psi}{dx} - q\mu\phi_t \frac{dn_e}{dx} \quad (1a)$$

onde  $q$  é a carga do elétron,  $n_e$  é a densidade local de elétrons,  $\mu$  é a mobilidade local,  $\phi_t$  a tensão termodinâmica e  $\psi$  o potencial elétrico.

Para uma dada posição  $x$  no canal, a concentração de elétrons é dada por [22]

$$n_e = n_0 e^{[\psi-V]/\phi_t} \quad (1b)$$

onde  $n_0$  é a concentração de elétrons no equilíbrio e  $V$  é a diferença entre o "quasi-potencial de Fermi" na camada de inversão e o "quasi-potencial de Fermi" das lacunas no substrato semiconductor. Substituindo a equação (1b) na equação (1a) obtemos [22,24]

$$J = q\mu n_e \frac{dV}{dx} \quad (1c)$$

Tanto  $n_e$  quanto  $\mu$  dependem da tensão de porta  $V_G$  e do valor local do potencial do canal. A corrente total  $I_D$  é obtida pela integração da equação (1) na direção vertical  $y$  e multiplicando o resultado pela largura do canal  $W$ , resultando

$$I_D = Wg_s(V_G, V) \frac{dV}{dx} \quad (2)$$

onde  $g_s(V_G, V) = \int \mu q n_e dy$  pode ser definida como sendo a condutividade superficial local do canal. Na figura 2-2 temos a curva de  $g_s$  em função de  $V$ , para uma tensão  $V_G$  constante.

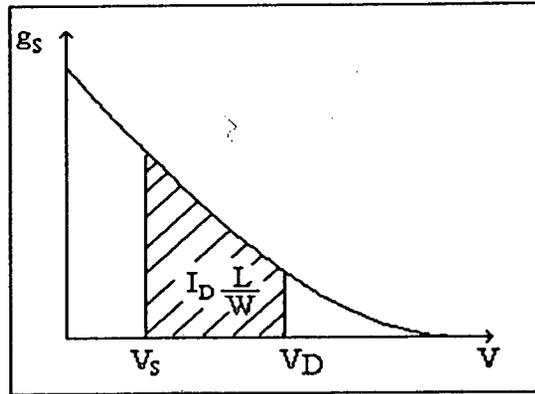


Figura 2-2 - Condutividade superficial local do canal em função de  $V$ , para  $V_G$  constante.

Observamos na figura 2-2 que para altos valores de  $V$ , a função  $g_s$  tende a zero, uma vez que a densidade de portadores no canal também tende a zero com o aumento do campo elétrico.

Integrando-se a equação (2) para  $x$  de 0 a  $L$  e  $V$  de  $V_S$  até  $V_D$  temos:

$$I_D = \frac{W}{L} \int_{V_S}^{V_D} g_s(V_G, V) dV \quad (3)$$

Decompondo a equação (3) em dois termos; o primeiro de  $V_S$  até  $\infty$  e o segundo de  $\infty$  até  $V_D$ , podemos então reescrever a equação (3) como

$$I_D = \left( \frac{W}{L} \right) [g(V_G, V_S) - g(V_G, V_D)] \quad (4)$$

onde  $g(V_G, V_i) = \int_{V_i}^{\infty} g_s(V_G, V) dV$  com todas as tensões referenciadas ao substrato.

Pode ser observado pelas deduções acima que a expressão (4) é geral para qualquer transistor de geometria retangular, independente de variações na mobilidade, e também é válida tanto para

inversão fraca quanto para inversão forte. A parcela de corrente dependente de  $g(V_G, V_S)$  é dita corrente direta, e a dependente de  $g(V_G, V_D)$  é dita de corrente reversa [24].

A equação (4) tem sido apresentada por diversos autores [5,20-25] e enfatiza a simetria entre dreno e fonte num transistor MOS de geometria retangular. Na referência [26] é mostrado que a corrente de dreno de um transistor MOS com geometria qualquer também pode ser expressa pela equação (4), onde a razão  $W/L$  é a razão de aspecto de um transistor equivalente com geometria retangular.

### 2.2.1 - TRANSISTOR COMPOSTO OPERANDO NA REGIÃO TRIODO

Definiremos transistor composto como a estrutura formada pela associação série de dois transistores  $M_D$  e  $M_S$  de geometria retangular, conforme mostrado na figura 2-3. A corrente de dreno dos transistores  $M_D$  e  $M_S$  pode ser escrita de forma semelhante à da equação (4)

$$I_{DD} = \left(\frac{W}{L}\right)_D [g(V_G, V_X) - g(V_G, V_D)] \quad (5a)$$

e

$$I_{DS} = \left(\frac{W}{L}\right)_S [g(V_G, V_S) - g(V_G, V_X)] \quad (5b)$$

Da igualdade entre as correntes  $I_{DD}$  e  $I_{DS}$  obtemos

$$g(V_G, V_X) = \frac{\left(\frac{W}{L}\right)_S g(V_G, V_S) + \left(\frac{W}{L}\right)_D g(V_G, V_D)}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} \quad (6)$$

Pode ser visto na equação acima que a função  $g(V_G, V_X)$  é uma média das funções  $g(V_G, V_S)$  e  $g(V_G, V_D)$ , ponderada pelas razões de aspecto dos transistores ligados ao dreno e à fonte.

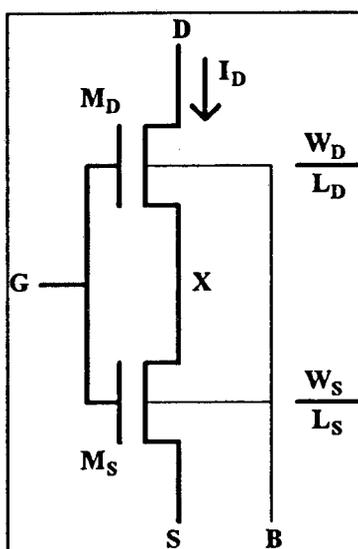


Figura 2-3 - Transistores conectados em série. Os terminais de porta e de substrato são comuns.

A partir da equação (6) podemos escrever a equação da corrente de dreno do transistor composto como

$$I_D = \left(\frac{W}{L}\right)_{EQ} [g(V_G, V_S) - g(V_G, V_D)] \quad (7)$$

onde

$$\left(\frac{W}{L}\right)_{EQ} = \frac{\left(\frac{W}{L}\right)_S \left(\frac{W}{L}\right)_D}{\left(\frac{W}{L}\right)_S + \left(\frac{W}{L}\right)_D} \quad (8)$$

Através da equação (7) podemos observar que a corrente de dreno do transistor composto operando na região triodo é igual à de um transistor simples cuja razão de aspecto seja dada pela equação (8). Portanto, podemos dizer que dois transistores compostos ou não, são equivalentes na região triodo, isto é, apresentam a mesma característica de corrente, caso tenham a mesma razão de aspecto. Observa-se que esta regra é a mesma da conexão em série de resistores lineares [20].

Estes resultados podem ser estendidos a qualquer associação em série com qualquer número de transistores bem como à associação de transistores unitários numa matriz retangular como, por exemplo, a mostrada na figura 2-4a. Nesta matriz a razão de aspecto equivalente é igual à razão de aspecto do transistor unitário multiplicada pelo número de transistores conectados em paralelo e dividida pelo número de transistores conectados em série. Já nas figuras 2-4b e 2-4c podemos observar outros arranjos de transistores com a mesma razão de aspecto da associação da figura 2-4a. Nestas estruturas, estamos designando de  $M_S$  o arranjo de transistores entre o nó X e o nó S e  $M_D$  o arranjo de transistores entre o nó X e o nó D. Podemos dizer que estas estruturas, apesar de terem diferentes comprimentos físicos de canal, são equivalentes na região triodo desde que apresentem mesmos efeitos de canal curto nesta região. Por sua vez, as resistências série extrínsecas de fonte são iguais nas estruturas apresentadas uma vez que entre os nós X e S têm-se o mesmo número de quadrados. As resistências extrínsecas dos drenos das estruturas são iguais devido à igual geometria dos transistores  $M_D$ .

Na transição entre as regiões triodo e de saturação, a tensão de dreno ( $V_D$ ) é igual à tensão de "pinch-off"  $V_P$ , definida por  $g(V_G, V_P)=0$ . A tensão de "pinch-off" é o valor da tensão no canal do transistor para o qual o transistor está no limite superior da inversão fraca, para uma dada tensão porta-substrato [24]. Logo, no limiar de saturação, as equações (6) e (7) se reduzem a

$$g(V_G, V_X) = \frac{g(V_G, V_S)}{1 + m} \quad (9)$$

$$I_D = \frac{m}{1+m} \left( \frac{W}{L} \right)_s g(V_G, V_S) \quad (10)$$

onde

$$m = \frac{\left( \frac{W}{L} \right)_D}{\left( \frac{W}{L} \right)_s} \quad (11)$$

### 2.2.2 - TRANSISTOR COMPOSTO OPERANDO NA REGIÃO DE SATURAÇÃO

Vimos na seção anterior que dois transistores compostos são equivalentes na região triodo se possuírem as mesmas razões de aspecto. Nesta seção veremos que, para que dois transistores sejam equivalentes na região de saturação, eles devem ter, além da mesma razão de aspecto, a mesma largura do canal no lado do dreno. Estas duas condições são satisfeitas pelas estruturas mostradas na figura 2-4. Nas três estruturas mostradas, os transistores  $M_D$  conectados entre os nós X e D, são idênticos. Já os transistores  $M_{S1}$ ,  $M_{S2}$  e  $M_{S3}$ , conectados entre os nós X e S, têm a mesma razão de aspecto mas comprimentos e larguras de canal diferentes.

O comportamento destes transistores compostos, na saturação, pode ser melhor entendido através da figura 2-5, que ilustra a determinação clássica do ponto de operação [27] a partir da característica de saída dos transistores  $M_{S1}$ ,  $M_{S2}$  e  $M_{S3}$  e da curva de carga do transistor  $M_D$ . Os transistores utilizados foram os transistores canal p integrados no PMU 7, com W de  $3\mu\text{m}$  e L de  $1,2\mu\text{m}$  e  $V_T$  de  $-1,1\text{V}$ . Os transistores  $M_{S1}$ ,  $M_{S2}$  e  $M_{S3}$  têm características praticamente coincidentes na região triodo indicando que, nesta região, transistores com mesmas razões de aspecto têm características DC muito próximas. Entretanto, estas características divergem na saturação devido às

diferenças nos comprimentos do canal. Esta coincidência das características na região triodo e sua divergência na saturação indica que os efeitos de canal curto se manifestam principalmente na região de saturação. Também nesta figura tem-se apresentada a característica do transistor de carga  $M_D$  para  $V_X$  variável e tensões de dreno de  $-2V$  e  $-5V$ . A diferença nas curvas do transistor  $M_D$ , que opera na região de saturação, mostra que os efeitos de canal curto estão presentes neste transistor e são importantes pois uma variação de  $-2V$  a  $-5V$  na tensão de dreno produz um aumento da ordem de 50% na corrente de dreno. Observa-se pelas curvas que os pontos de operação dos transistores compostos ocorrem na região triodo dos transistores  $M_{S1}$ ,  $M_{S2}$  e  $M_{S3}$  e são praticamente coincidentes, significando que as características de corrente e, conseqüentemente, as condutâncias de saída são quase coincidentes para as três estruturas da figura 2-4. Apesar de estas conclusões terem sido obtidas a partir das análises de um exemplo, fica claro que estes resultados podem ser estendidos para quaisquer transistores compostos que satisfaçam as condições impostas acima.

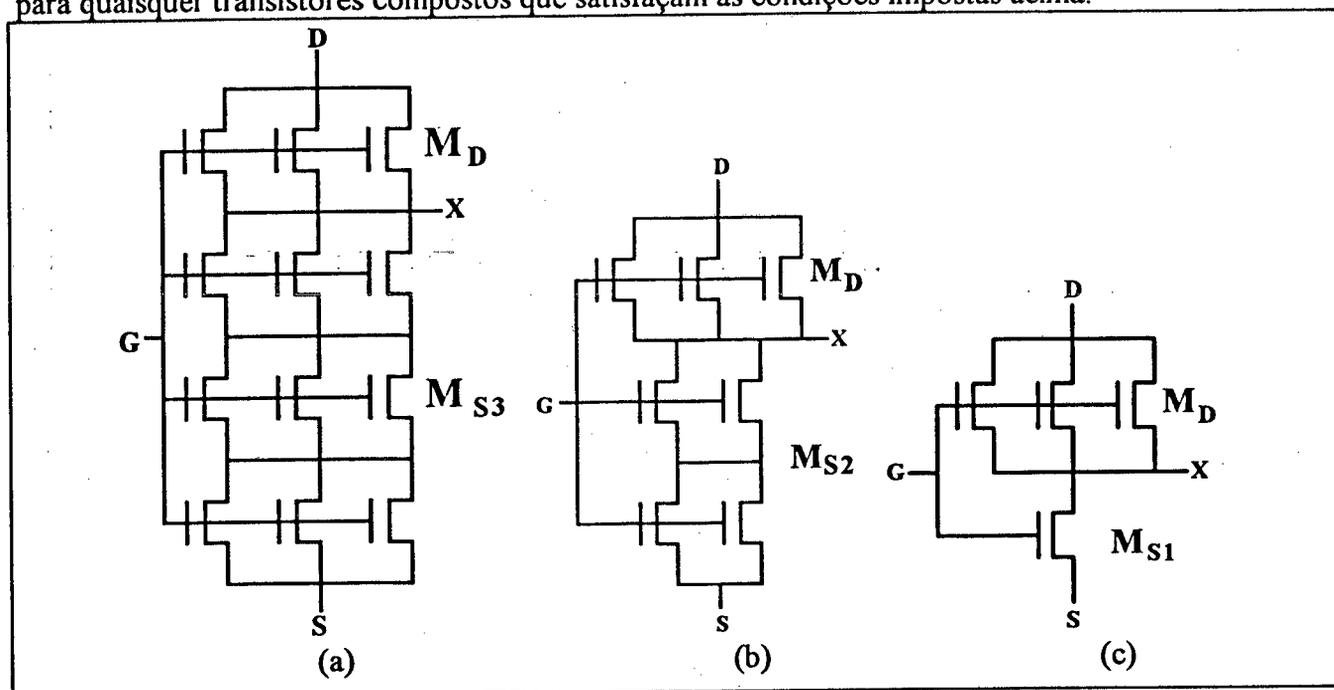


Figura 2-4 - Arranjos de transistores unitários, com a mesma largura de dreno e mesma razão de aspecto.

$$(a) \left(\frac{L}{W}\right)_{EQ} = \frac{3L_u}{3W_u} + \frac{L_u}{3W_u} \quad (b) \left(\frac{L}{W}\right)_{EQ} = \frac{2L_u}{2W_u} + \frac{L_u}{3W_u} \quad (c) \left(\frac{L}{W}\right)_{EQ} = \frac{L_u}{W_u} + \frac{L_u}{3W_u}$$

A partir de agora diremos que dois transistores compostos são equivalentes DC caso eles tenham uma mesma corrente DC para as mesmas tensões de polarização. Geralmente, um transistor composto não é equivalente a si próprio caso o dreno e a fonte sejam trocados [18]. Portanto, os terminais de fonte e dreno de transistores compostos devem ser fisicamente identificados.

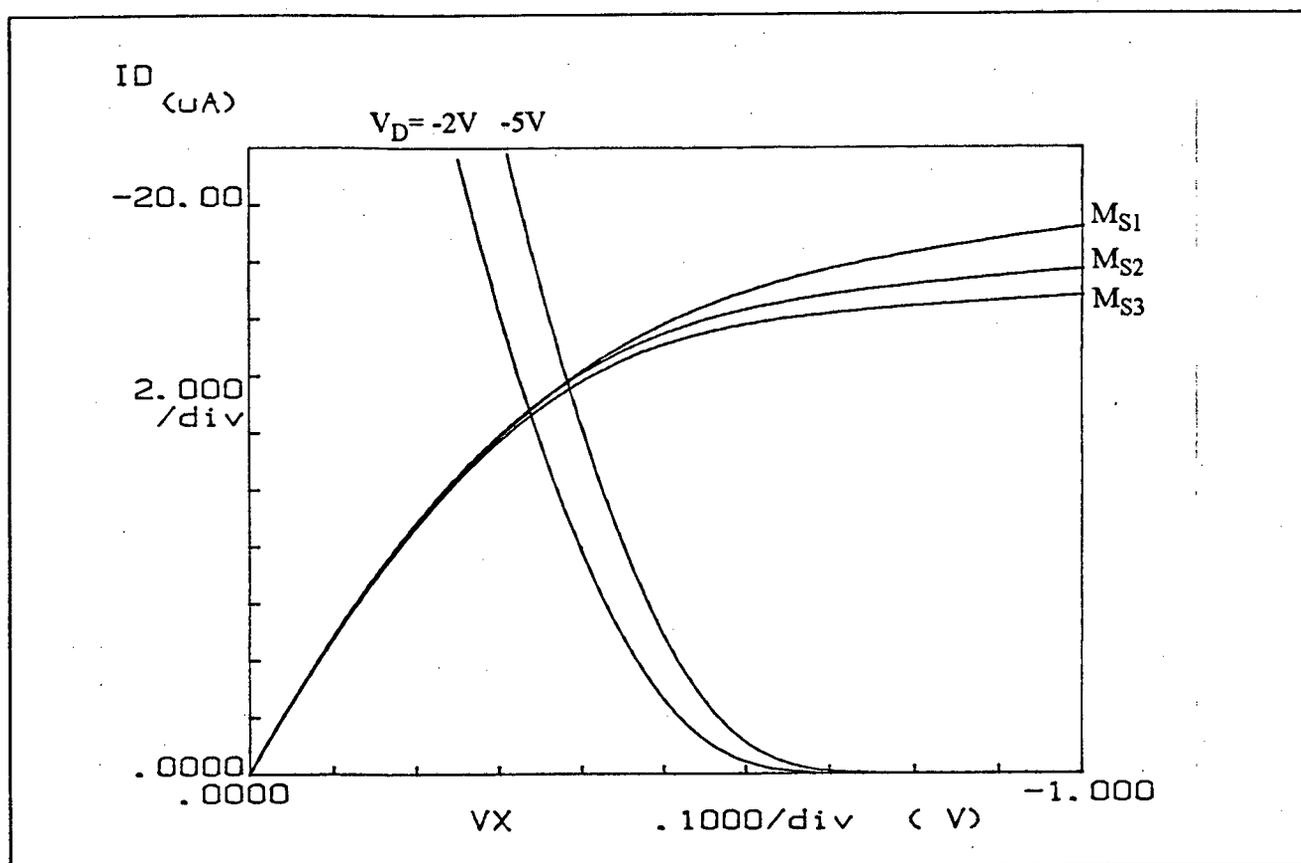


Figura 2-5 - Característica de saída dos transistores  $M_{S1}$ ,  $M_{S2}$  e  $M_{S3}$  e curva de carga de  $M_D$  para  $V_D = -2V$  e  $V_D = -5V$ , com  $V_G = -1,8V$ .

Então, podemos concluir que dois transistores são equivalentes DC caso tenham:

- (i) a mesma razão de aspecto;
- (ii) a mesma largura do canal no lado do dreno;
- (iii) iguais efeitos de canal curto na região triodo;

Das condições (i) e (ii), podemos facilmente derivar a largura e o comprimento equivalentes de transistores compostos:

$$W_{EQ} = W_D \quad (12)$$

$$L_{EQ} = L_D(1 + m) \quad (13)$$

Um caso de interesse prático é obtido fazendo  $L_D=L_S$  e, em conseqüência,  $m=W_D/W_S$ . Então, para o transistor composto trapezoidal, mostrado na figura 2-6 (a), o comprimento de canal equivalente será  $m+1$  vezes maior do que o comprimento do canal de um simples transistor.

Da condição (iii) podemos concluir que a equivalência DC dos transistores não depende dos mecanismos físicos de condução, desde que os efeitos de canal curto na região triodo sejam desprezíveis.

Um caso prático de implementação de estruturas compostas ocorre quando se tem transistores com comprimentos de canal iguais ( $L_D=L_S$ ) e  $W_D > W_S$ . Nestes casos,  $m$  é maior do que 1 e o transistor composto tem um comportamento estático idêntico ao de um canal longo ( $L_{EQ}=L_D(1+m)$ ), mas com um comprimento "físico" de canal menor que o do canal longo. Nas figuras 2-6 (a) e (b) temos transistores que são DC equivalentes, com  $L_{EQ}=5L$ , mas a estrutura trapezoidal.(a) apresenta um comprimento de canal "físico" menor do que o da estrutura retangular.

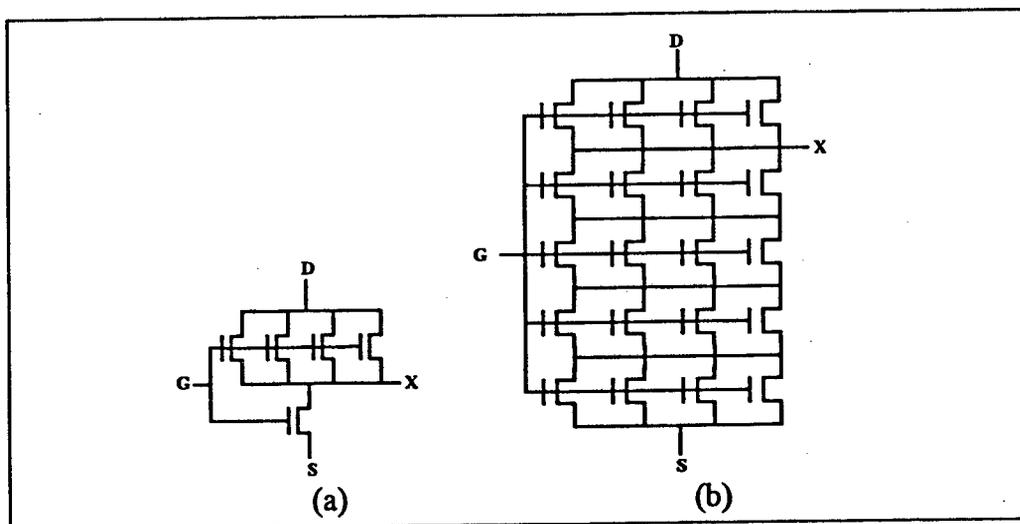


Figura 2-6 - Transistores DC equivalentes com  $L_{EQ}=5L$ : (a) Transistor trapezoidal  
(b) Transistor retangular.

### 2.3 - ANÁLISE DO TEMPO DE TRÂNSITO

Normalmente a resposta de um transistor a sinais dinâmicos é caracterizada pelo tempo de trânsito ( $\tau$ ) e/ou pela frequência de ganho unitário intrínseca ( $\omega_T$ ). Para um transistor MOS saturado em inversão forte estes parâmetros estão relacionados entre si por um fator 2 [22], isto é:

$$\tau\omega_T = 2 \quad (14)$$

A expressão (14) também é válida para o transistor composto saturado em inversão forte, como será demonstrado no apêndice A.

O tempo de trânsito de um transistor MOS é dado [22] por:

$$\tau = \frac{Q_I}{I_D} \quad (15)$$

onde  $Q_I$  é o total de cargas móveis do transistor e  $I_D$  é a corrente de dreno.

Para o transistor composto, a carga total pode ser decomposta na soma das cargas móveis ligadas ao transistor conectado na fonte ( $Q_{IS}$ ) com as do transistor conectado no dreno ( $Q_{ID}$ ).

Portanto:

$$\tau = \frac{Q_{IS} + Q_{ID}}{I_D} \quad (16)$$

A corrente de dreno de um transistor MOS saturado em inversão forte pode ser escrita [5,21,24] como:

$$I_D = \frac{\beta n}{2} (V_P - V_S)^2 \quad (17)$$

onde:

$$\beta = \mu C'_{\text{OX}} \frac{W}{L} \quad (18)$$

e

$$V_P \cong \frac{V_G - V_{\text{TO}}}{n} \quad (19)$$

$\mu$  é mobilidade dos portadores no canal,  $C'_{\text{OX}}$  é a capacitância do óxido por unidade de área,  $V_{\text{TO}}$  é a tensão de limiar de porta para o canal em equilíbrio e  $n$  é o fator de inclinação ( $1 < n < 2$ ) [24].

Para o transistor composto, a expressão da corrente de dreno é:

$$I_D = \frac{\mu C'_{\text{OX}} n}{2} \frac{m}{1+m} \left( \frac{W}{L} \right)_s (V_P - V_S)^2 \quad (20)$$

Comparando-se a equação (10) com a equação (20), podemos escrever:

$$g(V_G, V_S) = \frac{\mu C'_{\text{OX}} n}{2} (V_P - V_S)^2 \quad (21)$$

Através das equações (9) e (21) obtemos o valor da tensão no nó intermediário  $V_X$ :

$$V_X = V_P - \frac{V_P - V_S}{\sqrt{1+m}} \quad (22)$$

Para se determinar o total de cargas móveis em inversão forte no transistor composto, iremos determinar as cargas  $Q_{\text{IS}}$  e  $Q_{\text{ID}}$  como mostrado a seguir.

O total de cargas móveis num transistor MOS é dado [5,24] por:

$$Q_I = \frac{2}{3} W L n C'_{\text{OX}} \frac{(V_P - V_S)^3 - (V_P - V_D)^3}{(V_P - V_S)^2 - (V_P - V_D)^2} \quad (23)$$

Portanto, aplicando-se a equação (23) aos transistores  $M_S$  e  $M_D$ , e sabendo-se que no limiar da saturação a tensão de dreno do transistor composto  $V_D$  é igual à tensão de "pinch-off"  $V_P$ , podemos escrever:

$$Q_{IS} = \frac{2}{3} W_S L_S n C'_{OX} \frac{(V_P - V_S)^3 - (V_P - V_X)^3}{(V_P - V_S)^2 - (V_P - V_X)^2} \quad (24)$$

e

$$Q_{ID} = \frac{2}{3} W_D L_D n C'_{OX} (V_P - V_X) \quad (25)$$

Aplicando-se as equações (20), (24) e (25) em (16), temos:

$$\tau = \frac{\frac{2}{3} W_S L_S n C'_{OX} \frac{(V_P - V_S)^3 - (V_P - V_X)^3}{(V_P - V_S)^2 - (V_P - V_X)^2} + \frac{2}{3} W_D L_D n C'_{OX} (V_P - V_X)}{\frac{\mu C'_{OX} n}{2} \frac{m}{1+m} \left(\frac{W}{L}\right)_S (V_P - V_S)^2} \quad (26)$$

Utilizando algum algebrismo, podemos simplificar a expressão acima, escrevendo-a como:

$$\tau = \frac{4}{3} \frac{L_S^2}{\mu (V_P - V_S)} \left[ \left(1 + \frac{1}{m}\right)^2 - \frac{\sqrt{1+m}}{m^2} + \frac{\sqrt{1+m}}{m} \frac{W_D L_D}{W_S L_S} \right] \quad (27)$$

Um caso prático é aquele onde as estruturas dos transistores compostos serão implementadas utilizando-se transistores cujo comprimento do canal é igual ao mínimo comprimento ( $L_u$ ) da tecnologia. Portanto, para este caso,  $L_D = L_S = L_u$ ,  $m$  é igual a  $W_D/W_S$  e o tempo de trânsito pode ser escrito como:

$$\tau = \tau_u \left[ \left(1 + \frac{1}{m}\right)^2 - \frac{\sqrt{1+m}}{m^2} + \sqrt{1+m} \right] \quad (28)$$

onde

$$\tau_u = \frac{4}{3} \frac{L_u^2}{\mu(V_P - V_S)} \quad (29)$$

é o tempo de trânsito do transistor cujo comprimento de canal é igual a  $L_u$ .

Observa-se através da equação (28) que para altos valores de  $m$ , o tempo de trânsito  $\tau$  pode ser aproximado por  $\tau = \tau_u (1 + \sqrt{1 + m})$ , isto é, o tempo de trânsito para uma estrutura trapezoidal, composta por transistores de comprimento de canal mínimo, varia proporcionalmente a  $\sqrt{m}$  para um comprimento de canal equivalente variando proporcionalmente a  $m$  ( equação (14) ). Já um transistor simples tem seu tempo de trânsito variando diretamente com o quadrado do comprimento de canal (equação (29)). Como exemplo, consideremos as estruturas da figura 2-7. Estas estruturas, apesar de serem equivalentes em DC, apresentam diferentes desempenhos dinâmicos. Para a figura 2-7 (a) o tempo de trânsito (aplicando a equação (28) para um  $m=4$ ) é  $\tau = 3.66 \tau_u$ . Já para a figura 2-7(b) (aplicando a equação (27) para  $m=4$  e  $L_s = 4 L_u$ ) temos  $\tau = 25 \tau_u$ . Deve-se aqui observar que até agora temos falado apenas sobre o tempo de trânsito e, conseqüentemente, sobre a frequência de corte intrínseca. Entretanto, para a determinação da frequência de corte, as capacitâncias extrínsecas

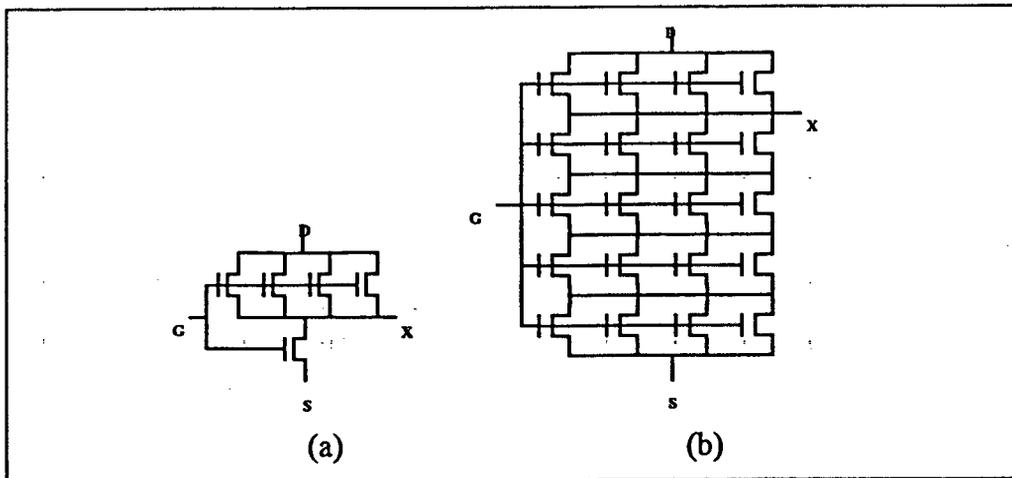


Figura 2-7 - Transistores DC equivalentes.

(a)  $\tau = 3.66 \tau_u$       (b)  $\tau = 25 \tau_u$

(capacitâncias de sobreposição, capacitâncias de junção) também devem ser consideradas.

## 2.4 - MODELO CAPACITIVO DO TRANSISTOR COMPOSTO

Considerando o transistor composto da figura 2-8, temos que as transcondutâncias  $g_m$ ,  $g_{mb}$  e a condutância de saída podem ser obtidas de forma semelhante às do transistor de canal longo [5,22] e seus valores podem ser diretamente determinados a partir das características estáticas.

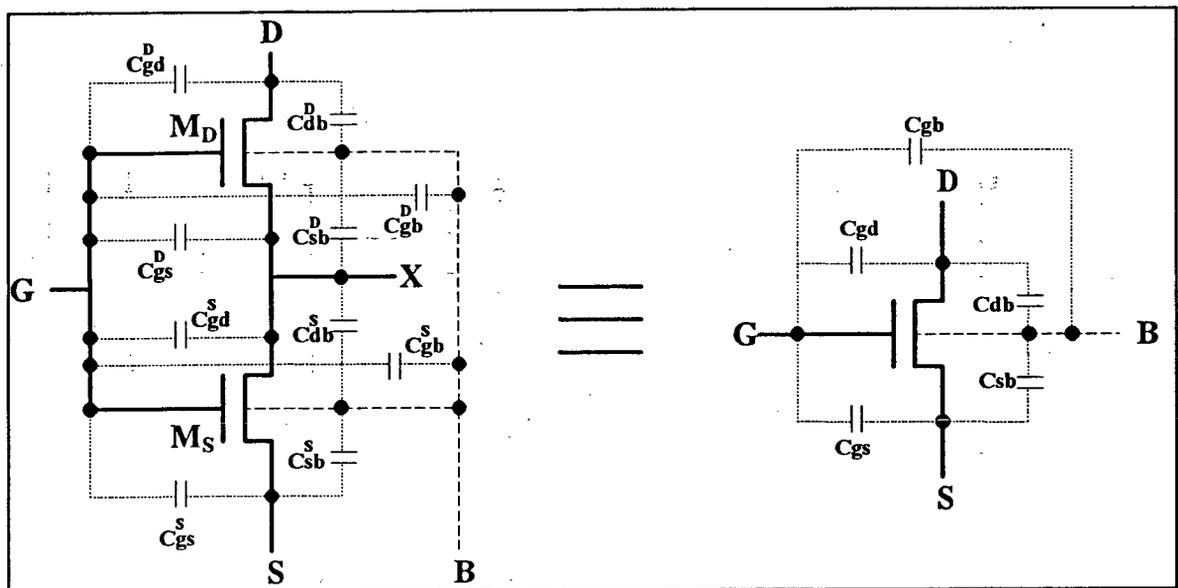


Figura 2-8 - Modelo capacitivo do transistor composto.

As capacitâncias do modelo podem ser obtidas a partir das equações de definição da referência [24]. Utilizando-se a aproximação quase estática, podemos escrever para as capacitâncias da figura 2-8:

$$C_{gs} = C_{gs}^S + (C_{gs}^D + C_{gd}^S) \left. \frac{\partial V_X}{\partial V_S} \right|_{V_G, V_D} \quad (30)$$

$$C_{gd} = C_{gd}^D + (C_{gs}^D + C_{gd}^S) \frac{\partial V_X}{\partial V_D} \Big|_{V_G, V_S} \quad (31)$$

$$C_{db} = C_{db}^D + (C_{db}^S + C_{sb}^D) \frac{\partial V_X}{\partial V_D} \Big|_{V_G, V_S} \quad (32)$$

$$C_{sb} = C_{sb}^S + (C_{db}^S + C_{sb}^D) \frac{\partial V_X}{\partial V_S} \Big|_{V_G, V_D} \quad (33)$$

e

$$C_{gb} = \frac{\partial Q_G}{\partial V_G} \Big|_{V_S, V_D} - C_{gs} - C_{gd} = \left[ C_{gs}^S + C_{gb}^S + (C_{gd}^S + C_{gs}^D) \left( 1 - \frac{\partial V_X}{\partial V_G} \Big|_{V_S, V_D} \right) + C_{gb}^D + C_{gd}^D \right] - \left[ C_{gs}^S + (C_{gs}^D + C_{gd}^S) \left( \frac{\partial V_X}{\partial V_S} \Big|_{V_G, V_D} \right) \right] - \left[ C_{gd}^D + (C_{gs}^D + C_{gd}^S) \left( \frac{\partial V_X}{\partial V_D} \Big|_{V_G, V_S} \right) \right] \quad (34a)$$

$$C_{gb} = C_{gb}^D + C_{gb}^S + (C_{gs}^D + C_{gd}^S) \left[ 1 - \left( \frac{\partial V_X}{\partial V_G} \Big|_{V_S, V_D} + \frac{\partial V_X}{\partial V_S} \Big|_{V_G, V_D} + \frac{\partial V_X}{\partial V_D} \Big|_{V_G, V_S} \right) \right] \quad (34b)$$

sendo que as derivadas parciais dependem da região de operação do transistor composto.

Para um transistor trapezoidal com  $L_D=L_S$  operando na saturação em inversão forte, temos as seguintes expressões para as capacitâncias intrínsecas [24]

$$C_{gs} = \frac{2}{3} C_{ox} \left[ 1 - \frac{1}{\left( 1 + \frac{1}{\sqrt{1+m}} \right)^2} + \sqrt{1+m} \right] \quad (35)$$

$$C_{gd} = C_{db} = 0 \quad (36)$$

$$C_{sb} = (n-1)C_{gs} \quad (37)$$

$$C_{gb} = \frac{n-1}{3n}C_{ox} \left[ \left( 1+m - \frac{4\sqrt{1+m}}{(\sqrt{1+m}+1)^2} \right) + 2(1+m) \left( 1 - \frac{1}{(\sqrt{1+m}+1)^2} \right) \left( 1 - \frac{1}{\sqrt{1+m}} \right) \right] \quad (38)$$

Para valores de  $m$  grandes, podemos aproximar as equações (35) e (38) por:

$$C_{gs} \cong \frac{2}{3}C_{ox}(1+\sqrt{1+m}) \quad (39)$$

$$C_{gb} \cong \frac{n-1}{n}C_{ox}(1+m) \quad (40)$$

sendo  $C_{ox} = C'_{ox} W_s L_s$ .

Na figura 2-9 temos as curvas das capacitâncias do transistor trapezoidal canal  $n$  para  $m=3$ , e para um transistor simples, normalizadas para  $C_{ox}$ , considerando  $N_A = 5 \cdot 10^{15} \text{ cm}^{-3}$ ,  $t_{ox} = 878 \text{ \AA}$ ,  $V_{FB} = -1,18 \text{ V}$ ,  $V_G = 1 \text{ V}$  e  $n=1,5$ .

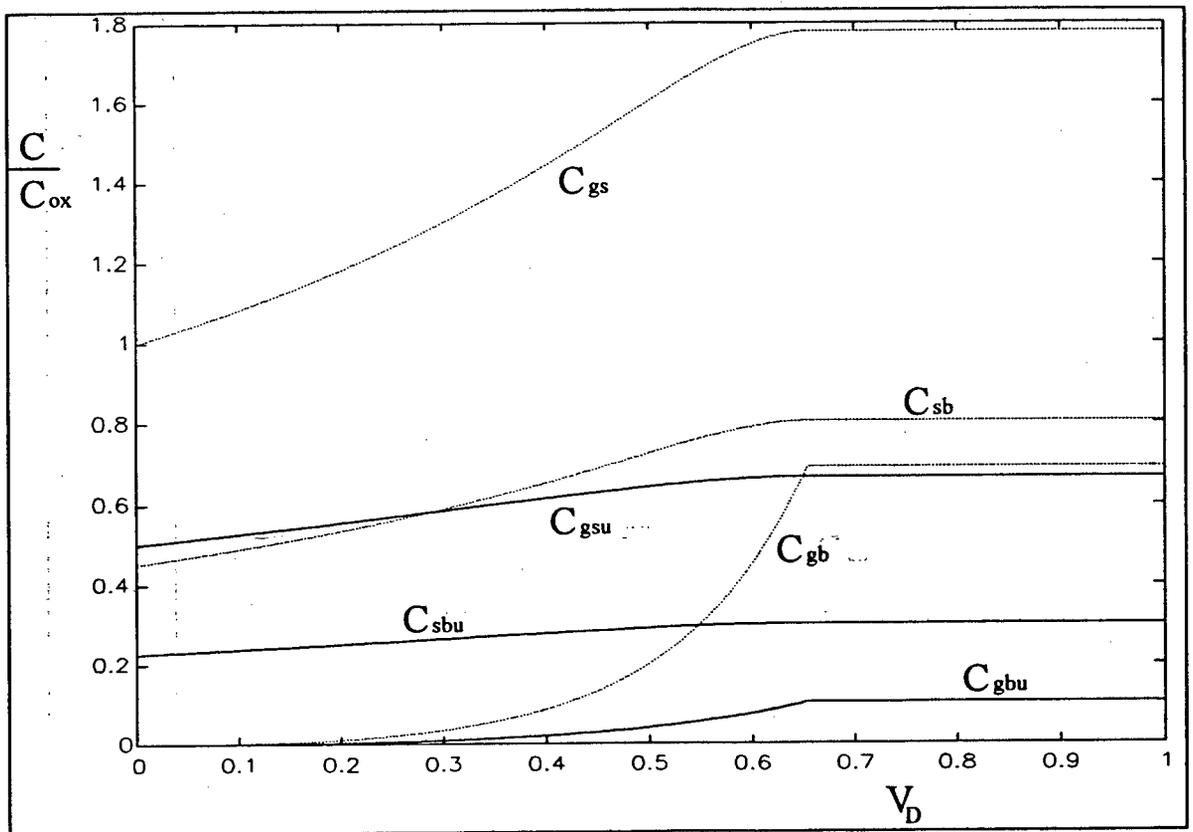


Figura 2-9 (a) - Capacitâncias normalizadas de um transistor trapezoidal com  $m=3$  e de um transistor simples.

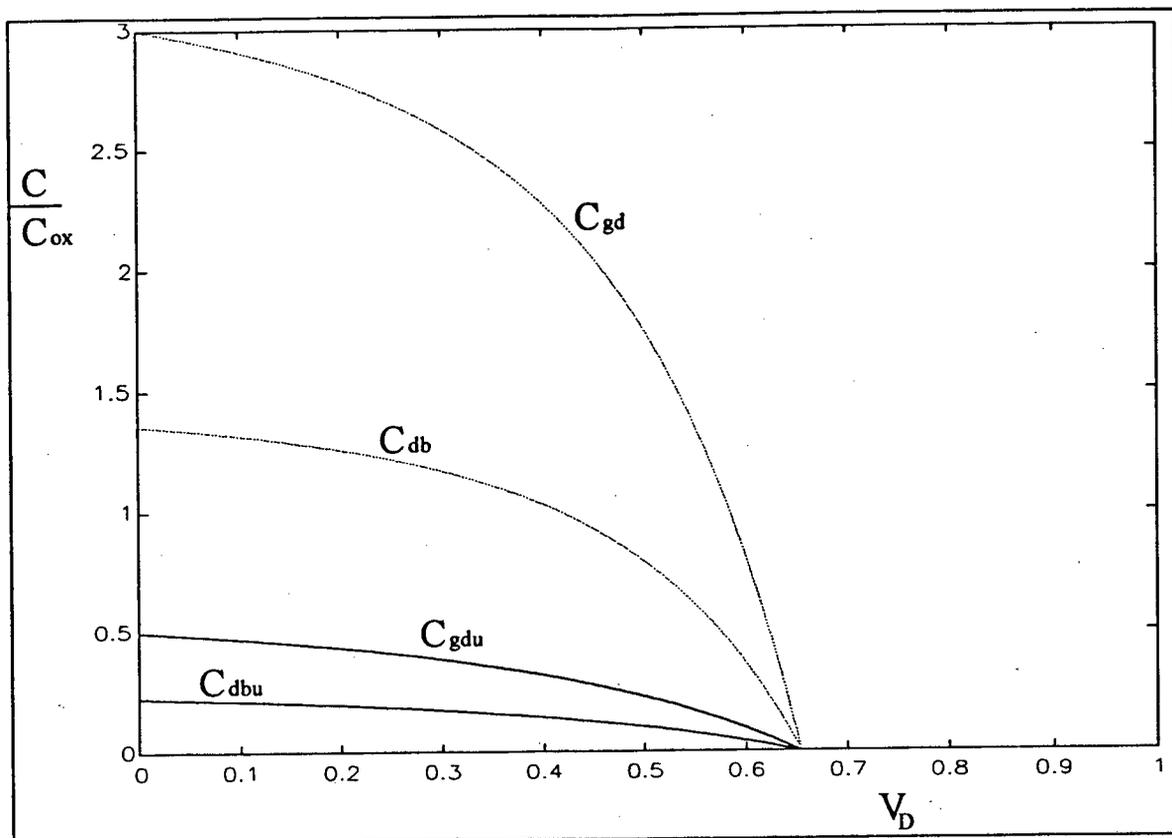


Figura 2-9 (b) - Continuação da figura 2-9 (a).

Pode-se concluir das equações acima que as capacitâncias associadas ao transistor composto trapezoidal são menores do que as associadas a um transistor equivalente de canal longo, devido ao menor consumo de área para sua implementação. Então espera-se que a resposta em frequência de um transistor trapezoidal seja melhor do que a de um transistor de canal longo equivalente em DC, uma vez que as transcondutâncias e as condutâncias de saída das duas estruturas são equivalentes.

## CAPÍTULO 3

### RESULTADOS EXPERIMENTAIS

Neste capítulo serão apresentados resultados obtidos experimentalmente para fins de validação do modelo desenvolvido para o transistor composto. Para se realizar alguns experimentos, utilizou-se transistores implementados no PMU CMOS brasileiro. Estes transistores têm comprimentos de canal de  $1,2\mu\text{m}$  e largura de  $3\mu\text{m}$  e  $V_{TO}$  de  $-1,1\text{V}$  para canal p e  $0,7\text{V}$  para canal n. Em outros experimentos utilizou-se transistores compostos formados por transistores do circuito comercial C4007 (tecnologia porta metálica) pois as capacitâncias destes transistores são muito maiores do que as dos transistores do PMU. Esta característica é essencial para a determinação experimental do tempo de trânsito dos transistores, pois seria muito difícil realizar medidas com capacitâncias muito pequenas, como é o caso dos transistores que foram implementados através do PMU, uma vez que as capacitâncias parasitárias (do encapsulamento, circuitos de medidas, ponteiros de acesso) certamente iriam mascarar os efeitos das capacitâncias intrínsecas do transistor.

#### 3.1 - CONDUTÂNCIA DE SAÍDA DE TRANSISTORES MOS EM FUNÇÃO DO COMPRIMENTO DO CANAL

Já vimos no capítulo anterior que um arranjo composto pela associação série de transistores com o dreno mais largo que a fonte é equivalente DC a um transistor cujo comprimento físico do canal é mais longo que o do arranjo. Uma das questões que se apresenta, então, é a determinação da condutância de saída de um transistor em função do comprimento do canal. Desta forma, conheceremos a variação da condutância de saída da estrutura composta em função de seus parâmetros geométricos uma vez que a estrutura composta é equivalente DC a um transistor canal

longo. As aproximações mais comuns consideram que a condutância de saída de transistores MOS varia inversamente ao comprimento do canal [22,24,28,29].

A fim de determinar a dependência da condutância de saída em relação ao comprimento do canal, utilizamos associação série de transistores de comprimento mínimo ( $L=1,2\mu\text{m}$ ) nas mesmas condições de polarização. As medidas foram efetuadas em cada um dos ramos série ilustrados na figura 3-1 indicados pelas linhas tracejadas. A fim de simular estruturas com iguais razões de aspecto, as condutâncias de saída foram multiplicadas pelo número de ramos em paralelo ( $k$ ).

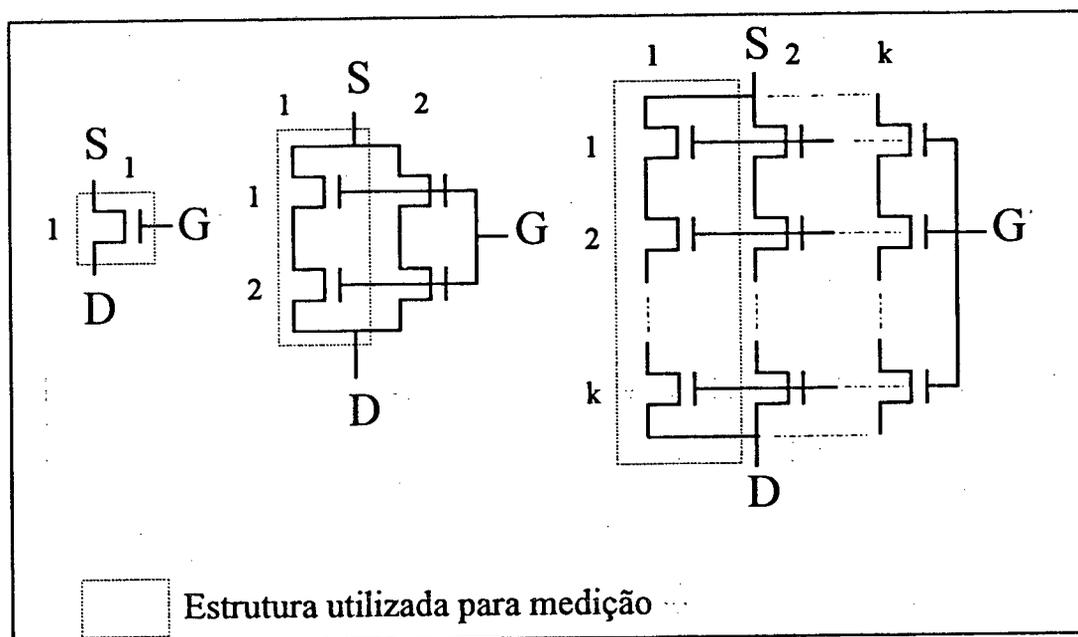


Figura 3-1 - Estruturas transistorizadas com mesmas razões de aspecto e comprimentos de canal.

Na figura 3-2 temos o gráfico da resistência de saída em função do comprimento do canal, normalizado em relação ao transistor de comprimento mínimo ( $L=1,2\mu\text{m}$ ). Podemos perceber que para esta faixa de comprimentos de canal e para as polarizações indicadas a variação da resistência de saída com o comprimento do canal não é bem linear (as retas não passam pela origem). Isto significa que os modelos que consideram a condutância de saída inversamente proporcional ao comprimento de canal não são precisos, servindo apenas como uma indicação aproximada.

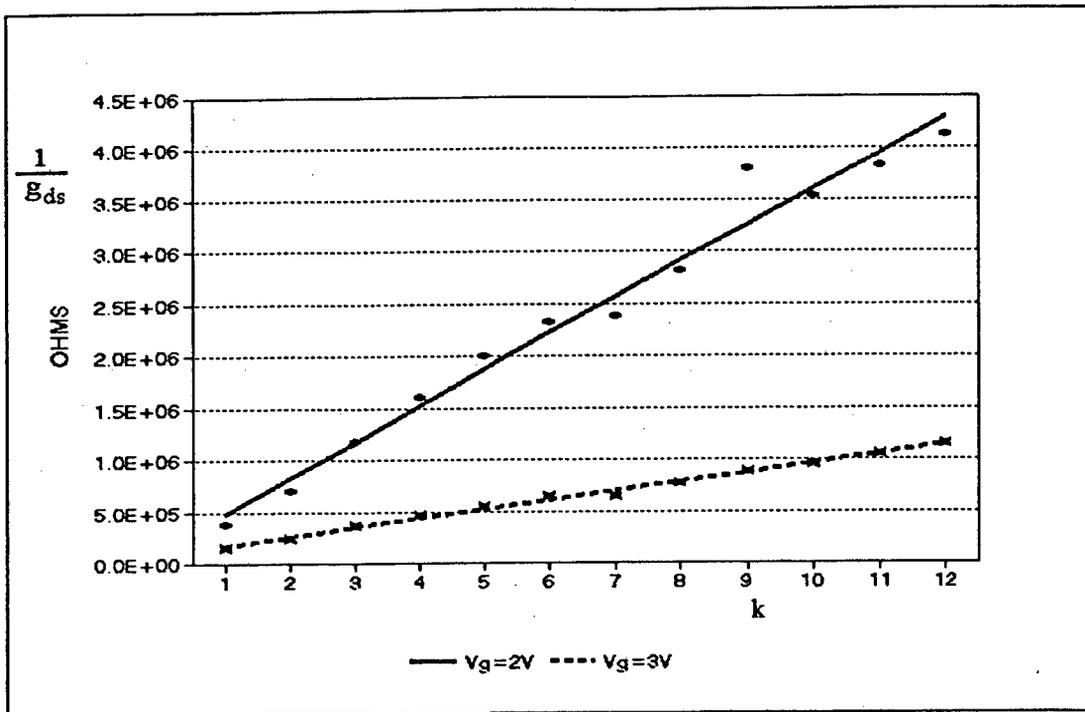


Figura 3-2 - Resistência de saída em função do número de transistores em série.

### 3.2 - CARACTERÍSTICAS ESTÁTICAS DO TRANSISTOR COMPOSTO

Na figura 3-3 podemos observar a característica de saída de um simples transistor e de uma matriz quadrada de transistores iguais ao simples, implementados no sétimo PMU brasileiro. Observa-se que na região triodo há uma coincidência das características, confirmando que nesta região o transistor simples e a matriz de transistores são equivalentes uma vez que possuem iguais razões de aspecto. Ademais, sob as condições de polarização utilizadas, os efeitos canal curto na região triodo são semelhantes para as duas estruturas utilizadas. Na região de saturação a condutância de saída da estrutura simples é cerca de três vezes superior à da estrutura matricial. Já na figura 3-4, temos dois exemplos de transistores compostos DC equivalentes, implementados utilizando-se os transistores do PMU. Estes arranjos, constituídos por transistores idênticos, doravante denominados de transistor composto trapezoidal ( $T_m$ ) e de transistor composto retangular ( $R_m$ ), têm as mesmas razões de aspecto e as mesmas larguras de dreno. O parâmetro  $m$  é o número

de transistores conectados no lado do dreno. O transistor trapezoidal tem apenas um transistor conectado no lado da fonte, enquanto que o transistor retangular é uma estrutura com  $m+1$  linhas de  $m$  transistores idênticos entre dreno e fonte.

A figura 3-5 ilustra as características de saída dos transistores mostrados na figura 3-4. Observamos que as características são praticamente coincidentes, particularmente a inclinação da curva na região de saturação.

Na figura 3-6 temos a tensão no nó interno X das estruturas apresentadas na figura 3-4 obtidas para  $V_D=V_G$ . Observa-se que há uma pequena divergência nas curvas para altos valores de tensão. Esta divergência pode ter ocorrido devido a problemas de descasamento, e/ou devido ao fato de os efeitos de canal curto no transistor simples conectado na fonte do transistor trapezoidal serem mais significativos do que os apresentados pela matriz  $4 \times 4$  no caso do transistor retangular.

Exceto por pequenos desvios, os resultados experimentais obtidos para as estruturas da figura 3-4 permitem concluir que, apesar de a estrutura trapezoidal ter um comprimento de canal fisicamente menor, ela é DC equivalente à estrutura retangular.

Na figura 3-7(a) temos, além de um transistor simples, vários arranjos de transistores trapezoidais ( $T_1, T_3, T_5, T_7, T_9$ ). Estas estruturas foram implementadas utilizando-se transistores do circuito integrado de linha comercial C4007, selecionados de forma a terem um bom casamento entre si. Então, para as estruturas trapezoidais mostradas na figura 3-7(a) temos iguais comprimentos ( $L_S=L_D$ ) dos transistores  $M_S$  e  $M_D$ ; portanto, o valor de  $m$ , dado pela razão  $W_D/W_S$ , corresponde ao número de transistores conectados no dreno. A figura 3-7(b) foi obtida para as estruturas da figura 3-7(a). A fim de se comparar todas as estruturas sob as mesmas condições de corrente, multiplicamos a corrente em cada estrutura pelo fator  $(m+1)/m$ . Procedendo desta forma, simulamos transistores trapezoidais com a mesma razão de aspecto do transistor unitário. Podemos observar então na figura 3-7(b) a grande coincidência das curvas na região triodo. Por outro lado, na região de saturação há uma redução na inclinação da curva da corrente à medida que a largura, isto é, o número de transistores no lado do dreno aumenta.

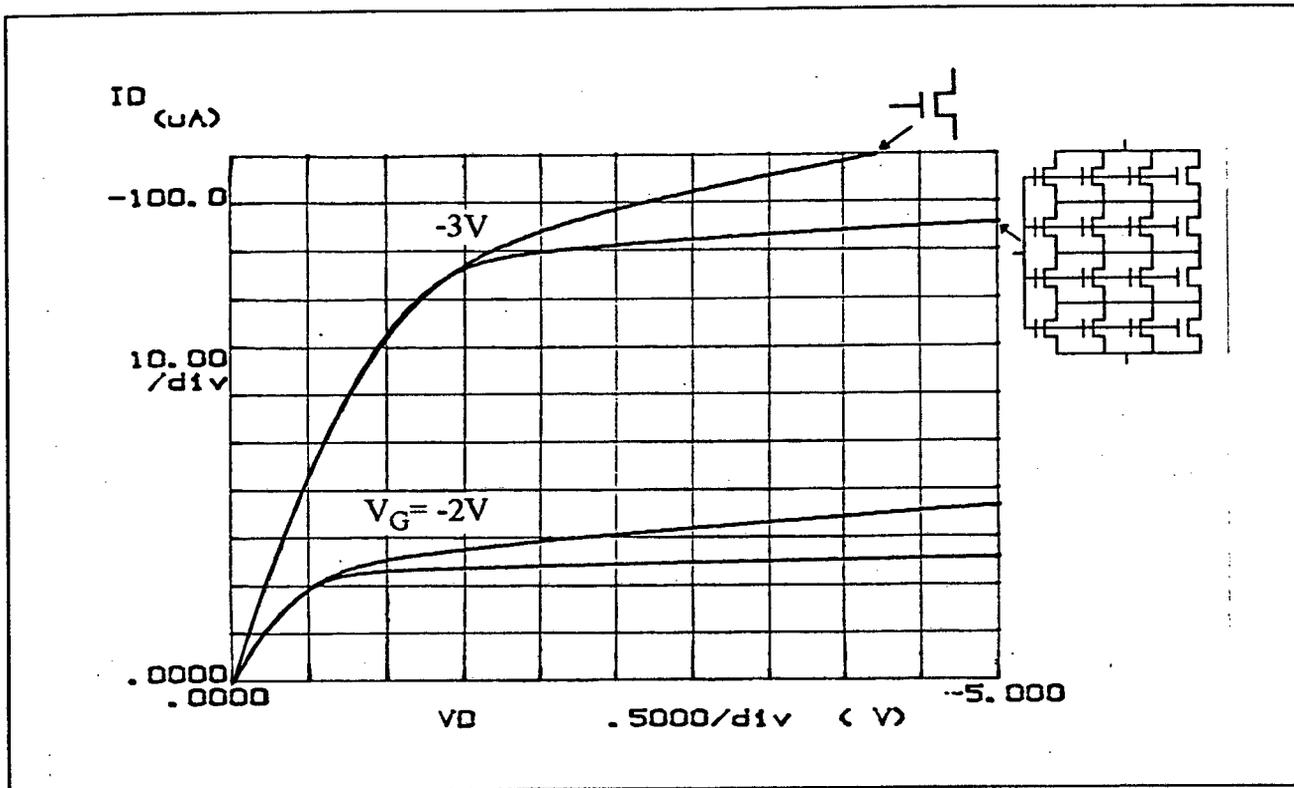


Figura 3-3 - Característica de saída DC de um transistor unitário ( $W_u/L_u$ ) e de uma estrutura quadrada de  $4 \times 4$  ( $4W_u/4L_u$ ).

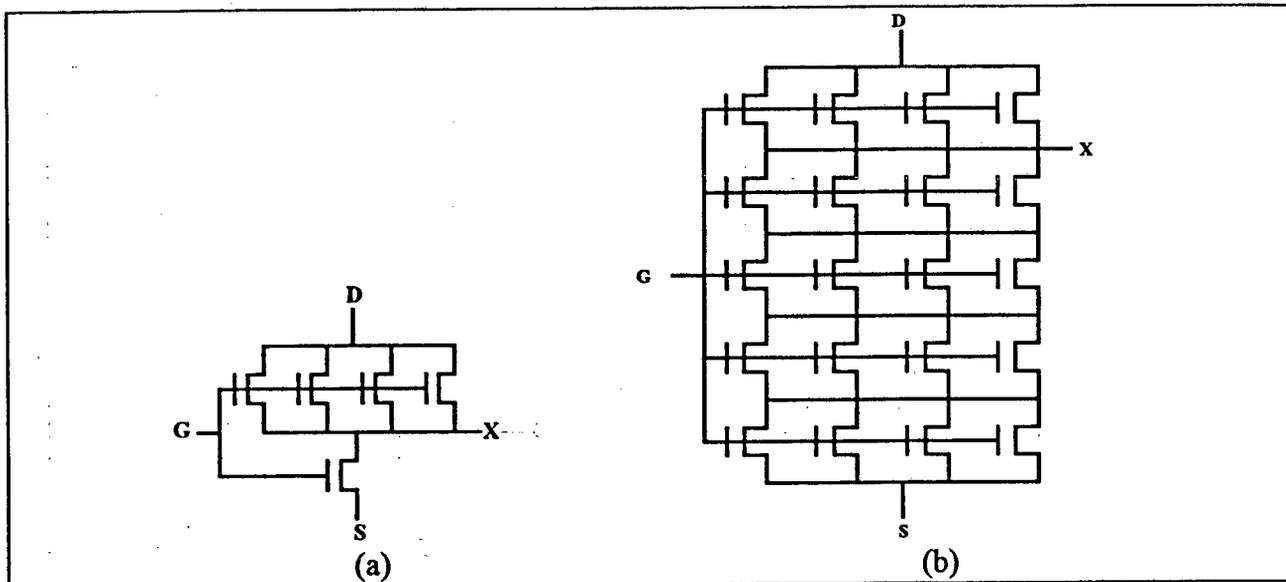


Figura 3-4 - Transistor composto:  
 (a) Transistor composto trapezoidal ( $T_4$ )    (b) Transistor composto retangular ( $R_4$ )

$$\left(\frac{L}{W}\right)_{EQ} = \frac{L_u}{W_u} + \frac{L_u}{4W_u}$$

$$\left(\frac{L}{W}\right)_{EQ} = \frac{4L_u}{4W_u} + \frac{L_u}{4W_u}$$

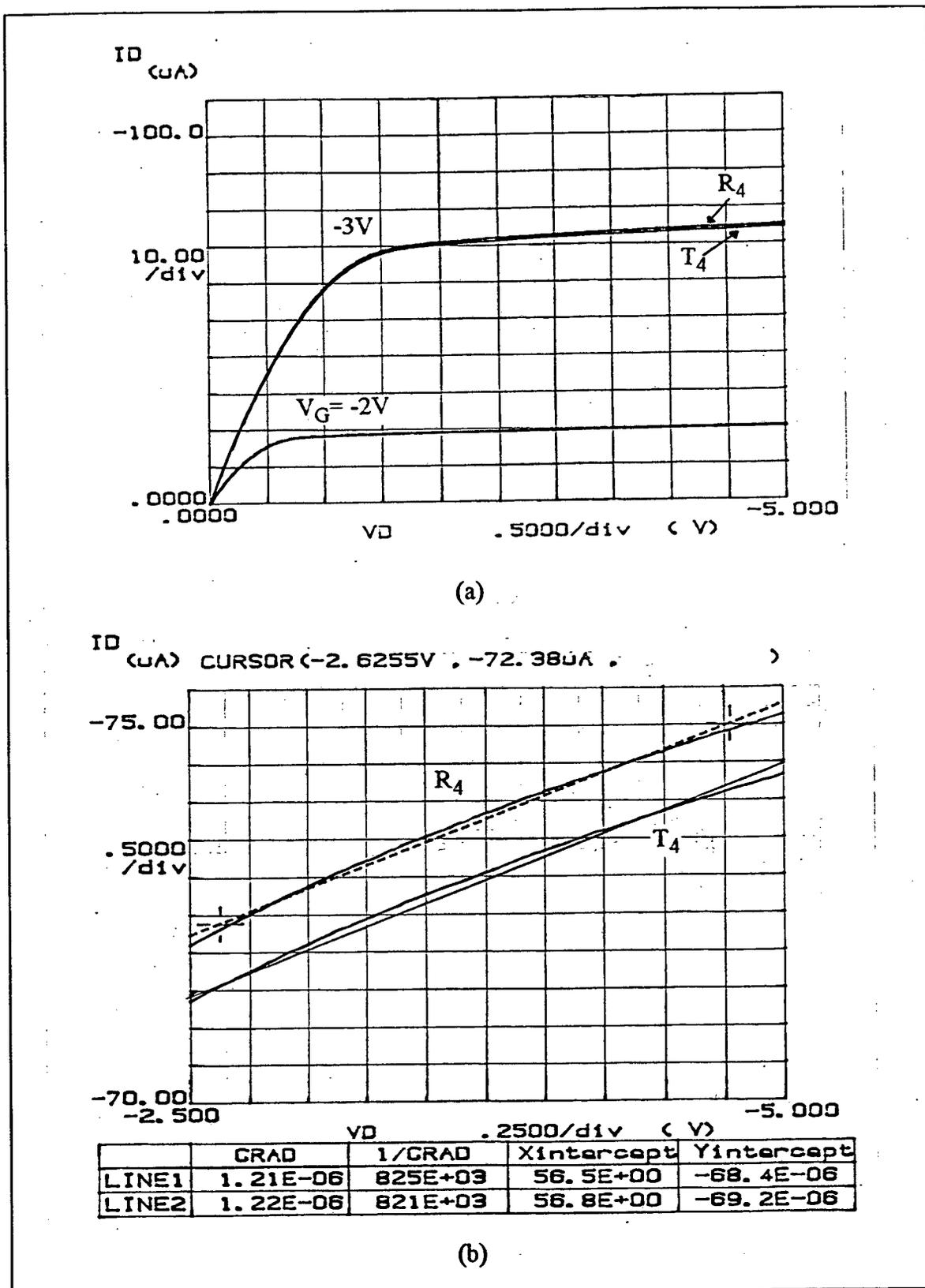


Figura 3-5 -(a) Característica DC de saída das estruturas da figura 3-4.  
 (b) Detalhe na região de saturação.

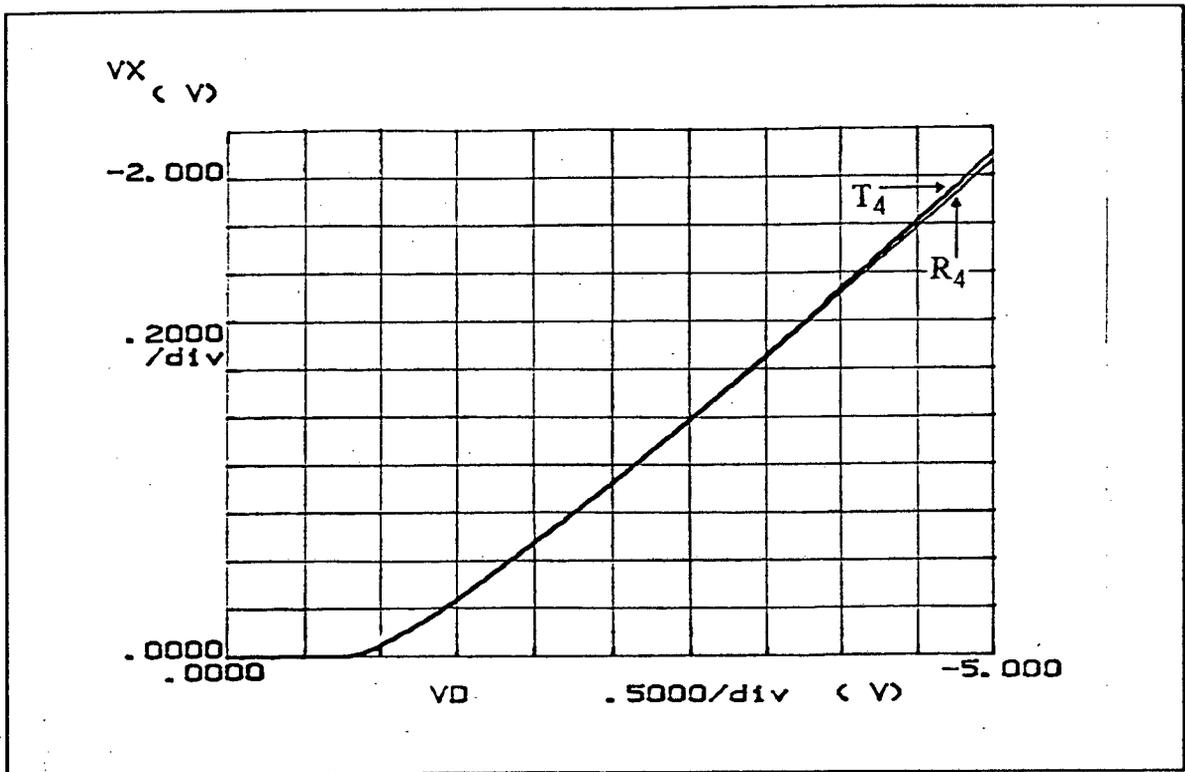


Figura 3-6 - Tensão do nó interno X das estruturas da figura 3-4

Um dado essencial para o projetista de circuitos analógicos é o máximo ganho DC ( $g_m/g_{ds}$ ) que um transistor (ou estrutura) com determinadas dimensões pode ter sob certa condição de polarização. Ademais, tendo em vista que a estrutura trapezoidal pode vir a ser utilizada para a implementação de circuitos analógicos tanto em "gate-arrays" quanto em processos "full-custom", apresentamos nas figuras 3-8 (a) e 3-8 (b) as características de máximo ganho DC para um transistor simples e para os trapezoidais  $T_3$  e  $T_9$ , obtidos a partir de transistores cuja razão de aspecto  $W/L$  é igual a  $3\mu\text{m}/1,2\mu\text{m}$ . Os gráficos foram obtidos tanto para estruturas canal n quanto canal p, utilizando-se os transistores implementados no PMU 7. Estas curvas certamente representam dados valiosos para o projeto de blocos básicos tais como amplificadores e espelhos de corrente.

Na tabela 3-1 temos os valores medidos de  $g_{ds}$  e  $g_m$  para os transistores compostos mostrados na figura 3-7(a), bem como de um transistor simples e de um arranjo retangular de 3 colunas por 4 linhas de transistores (3x4) para fins de comparação. Estes valores foram obtidos

simulando estruturas com mesmas razões de aspecto, com o objetivo de obter valores para as mesmas condições de polarização, isto é, mesmas tensões aplicadas e mesma corrente em todas as estruturas. Para implementar estas estruturas, utilizamos vários circuitos integrados C4007. Apesar de os transistores utilizados terem problemas de casamento principalmente entre os vários CI's, podemos observar que as características de  $R_3$  e  $T_3$  são bastante parecidas.

Os valores de transcondutância mostrados nesta tabela foram utilizados para a determinação do tempo de trânsito dos transistores compostos em relação ao do transistor unitário. Este resultado será mostrado no decorrer deste capítulo.

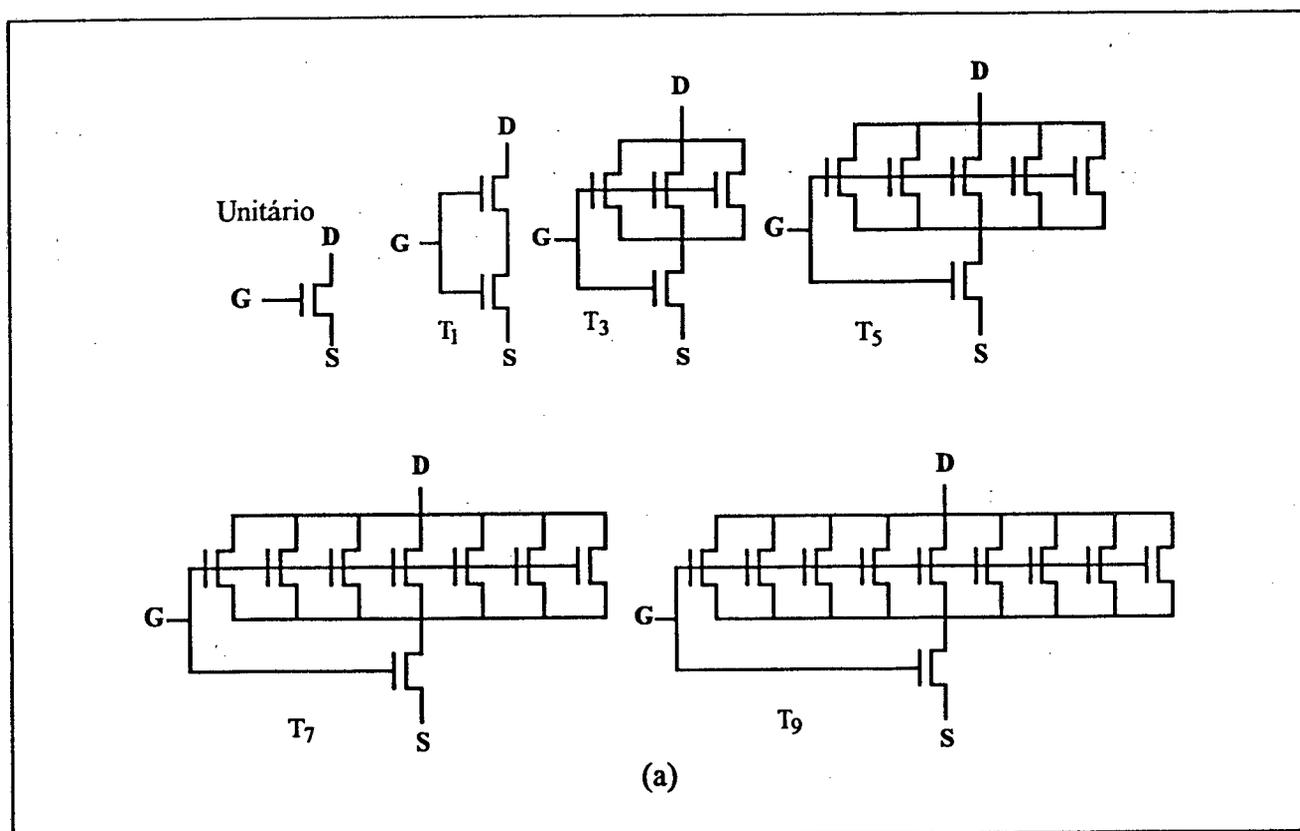


Figura 3-7 - (a) Arranjos de Transistores.

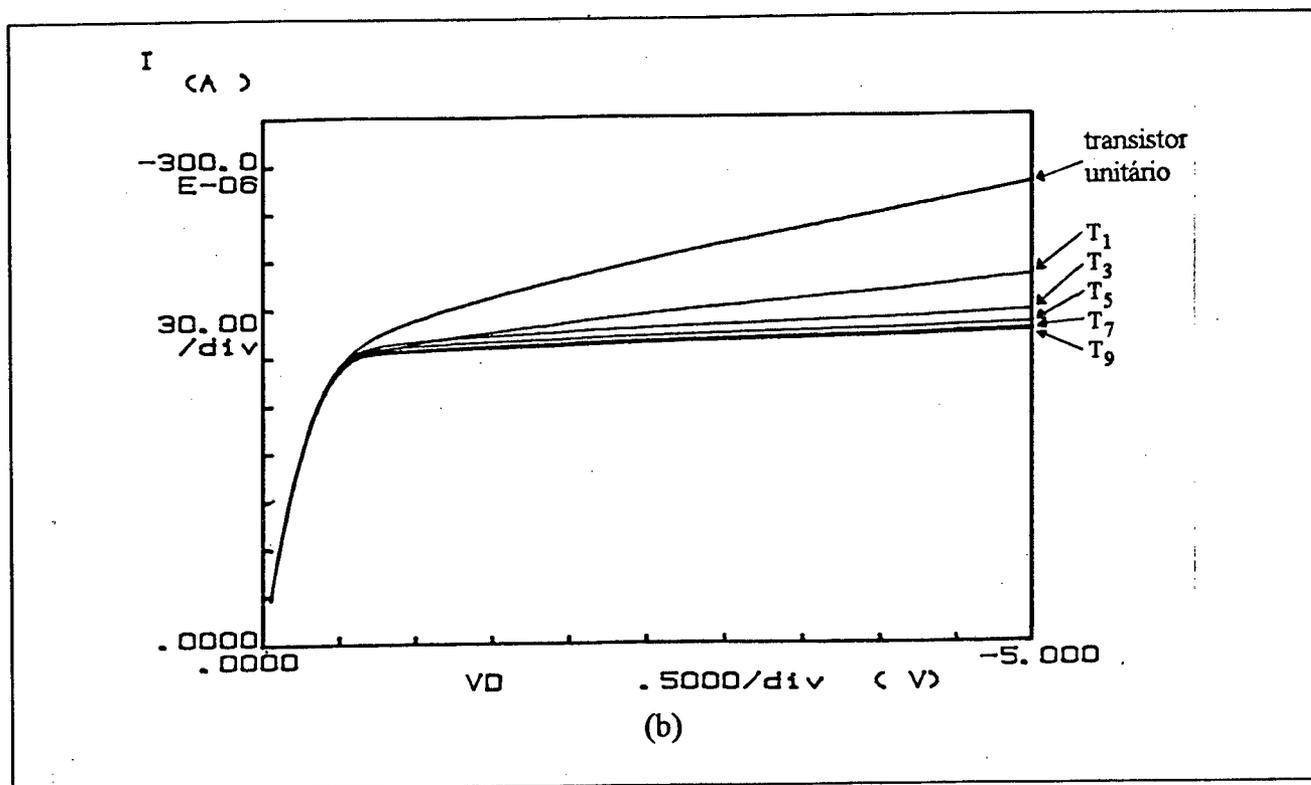


Figura 3-7 - (b) Curva  $I_D \times V_{DS}$  para as estruturas do item (a) para  $V_{GS} = -2V$ .

	$V_{GS} = -2V$			$V_{GS} = -3V$		
	$g_{ds}$ ( $\mu A/V$ )	$g_m$ (mA/V)	$g_m/g_{ds}$	$g_{ds}$ ( $\mu A/V$ )	$g_m$ (mA/V)	$g_m/g_{ds}$
Transistor simples	19,0	0,64	33	82	1,30	16
T <sub>1</sub>	9,3	0,56	60	42	1,28	30
T <sub>3</sub>	4,2	0,57	135	23	1,27	55
T <sub>5</sub>	3,1	0,55	178	16	1,20	75
T <sub>7</sub>	2,8	0,55	196	14	1,26	90
T <sub>9</sub>	2,7	0,53	196	13	1,22	93
R <sub>3</sub>	3,1	0,53	170	21	1,12	53

Tabela 3-1 - Condutância de saída e transcondutância para as estruturas trapezoidais da figura 3-7(a) e para a estrutura retangular R<sub>3</sub>, utilizando-se transistores do C4007

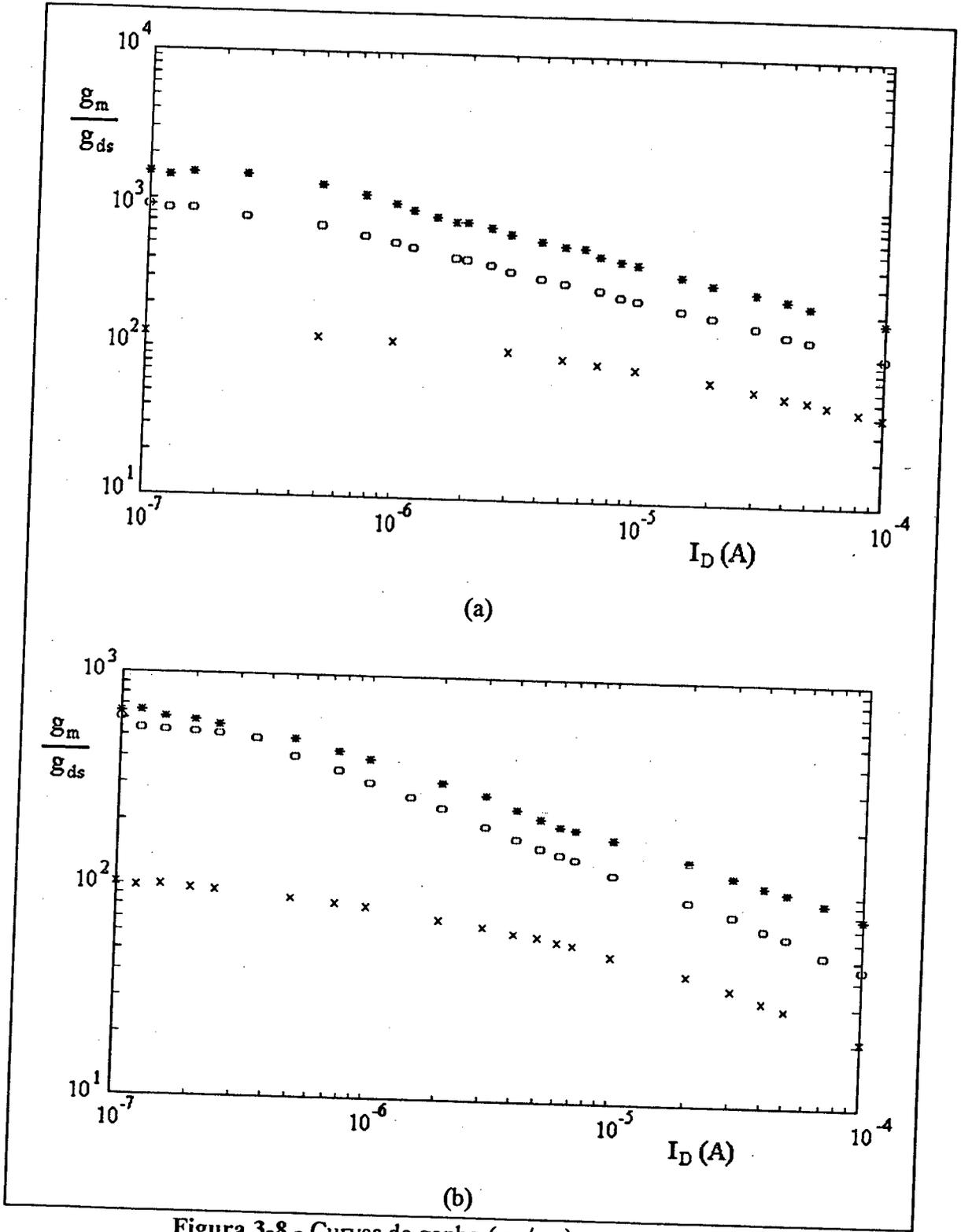


Figura 3-8 - Curvas de ganho ( $g_m/g_{ds}$ ) para as estruturas

\* - T<sub>9</sub>

o - T<sub>3</sub>

x - transistor simples

(a) canal n...

(b) canal p...

### 3.3 - APLICAÇÃO DO TRANSISTOR COMPOSTO EM UM ESPELHO DE CORRENTE

Certamente um dos blocos mais utilizados em circuitos analógicos é o espelho de corrente. Para se verificar o comportamento dos transistores compostos (retangular e trapezoidal) nesta aplicação, foram implementados espelhos de corrente simples, como mostrado na figura 3-9, com uma relação de 1:1. Foram utilizados para este experimento, transistores simples do PMU 7 cujo comprimento de canal é de  $1,2\mu\text{m}$  e cuja largura  $W=3\mu\text{m}$  e transistores retangulares  $R_3$  e trapezoidais  $T_3$  formados por transistores simples com  $W=3\mu\text{m}$  e  $L=1,2\mu\text{m}$ . Todos os transistores utilizados são canal p. A curva de saída do espelho  $I_O \times V_O$  obtida para  $I_{IN}$  igual a 10, 20 e 30  $\mu\text{A}$  é mostrada na figura 3-10 para os três experimentos. Pode-se observar que na região triodo as 3 curvas são coincidentes, reforçando as conclusões anteriores, enquanto que na saturação as inclinações das curvas para as estruturas  $R_3$  e  $T_3$  são praticamente iguais, mostrando a equivalência destas estruturas também nesta região, e uma redução na condutância de saída com relação ao transistor simples.

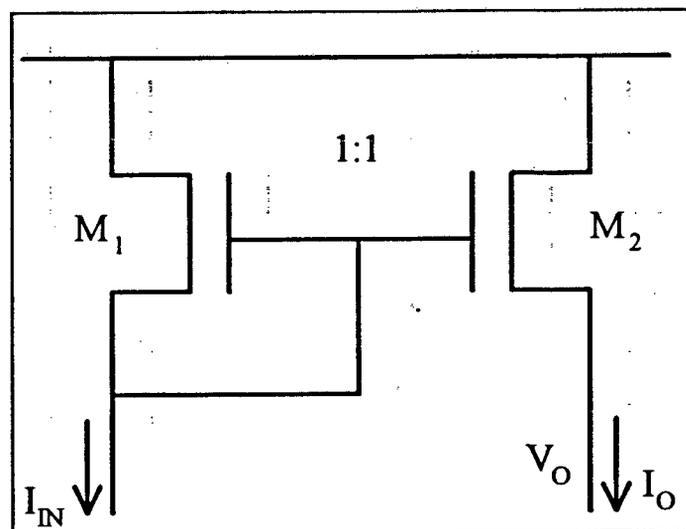


Figura 3-9 - Espelho simples.  $M_1$  e  $M_2$  foram implementados com:

- (i) transistores simples.
- (ii) transistores compostos trapezoidais.
- (iii) transistores compostos retangulares.

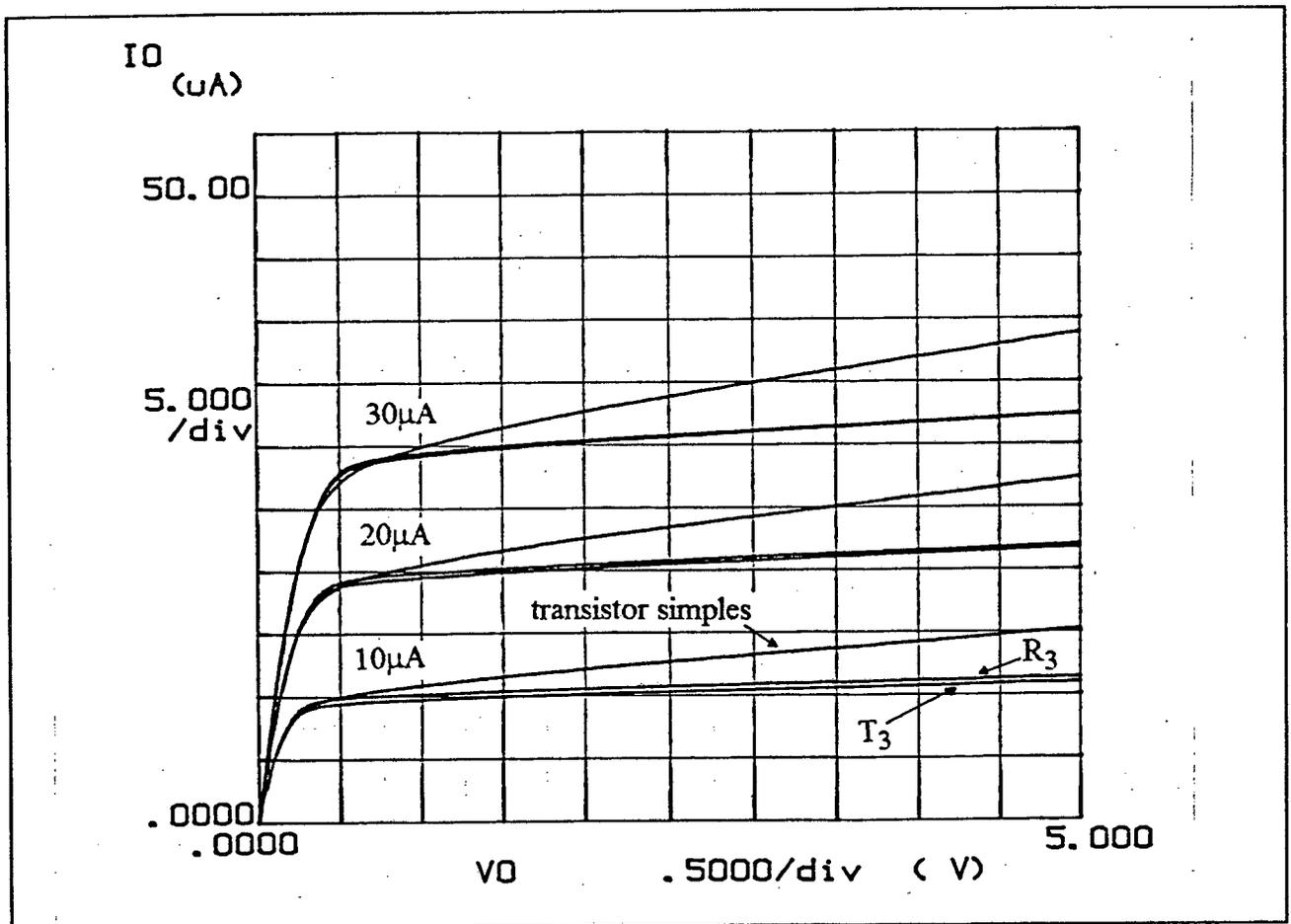


Figura 3-10 - Curva de comparação entre espelhos implementados com transistores simples, transistores retangulares ( $R_3$ ) e transistores trapezoidais ( $T_3$ ).

### 3.4 - O TEMPO DE TRÂNSITO NO TRANSISTOR COMPOSTO

Para demonstrar experimentalmente a equação (28), podemos escrever o tempo de trânsito normalizado como mostrado na equação (41), obtida comparando-se as relações (14) e (A.3)

$$\frac{\tau}{\tau_u} = \frac{g_{mu}}{g_m} \frac{C_{gs}}{C_{gsu}} \quad (41)$$

$C_{gs}$  e  $C_{gsu}$  são as capacitâncias intrínsecas porta-fonte,  $g_m$  e  $g_{mu}$  são as transcondutâncias do transistor composto e do transistor unitário, respectivamente.

Como foi mencionado anteriormente, para medir o tempo de trânsito normalizado utilizamos transistores compostos implementados com os transistores canal p do circuito integrado C4007. A estrutura do transistor composto utilizada consiste de um único transistor conectado no terminal da fonte e m transistores conectados em paralelo no lado do dreno.

As medidas das transcondutâncias foram obtidas através do analisador de parâmetros de semicondutores (HP4145B) e são mostradas na tabela 3-1. Já as capacitâncias foram obtidas a partir das medidas realizadas conforme o esquema mostrado na figura 3-11. Para o circuito da figura 3-11 o valor da capacitância de acoplamento porta-fonte ( $C_{med}$ ) pode ser determinado através da relação:

$$C_{med} = \frac{1}{2\pi f 50 \left| \frac{V_s}{V_g} - 1 \right|} \quad (42a)$$

Pela equação (42a) quando  $V_s \gg V_g$  temos que  $V_g (= 2\pi f 50 C_{med} V_s)$  varia linearmente com a frequência. Nesta condição a capacitância pode ser medida facilmente através da relação:

$$C_{med} = \frac{\Delta V_g}{2\pi \Delta f 50 V_s} \quad (42b)$$

A figura 3-12 apresenta os resultados experimentais obtidos com o esquema da figura 3-11 para diversas estruturas compostas por transistores canal p. Pode-se observar para a faixa de frequências analisada que esta característica de transferência é linear.

Os resultados apresentados na figura 3-12(a) foram obtidos para uma polarização  $V_{DS}=V_{GS}=-2V$ ; e na figura 3-12(b) para  $V_{DS}=V_{GS}=-3V$ . Na figura 3-12(c) temos os resultados experimentais de uma estrutura trapezoidal e uma retangular. O arranjo retangular ( $R_3$ ) contém 3 colunas e 4 linhas de transistores simples enquanto o trapezoidal ( $T_3$ ) contém 3 transistores em paralelo no lado do dreno e 1 transistor no lado da fonte. Observa-se que o acoplamento capacitivo e, conseqüentemente, o tempo de trânsito encontrado na estrutura  $R_3$  é cerca de 6 vezes maior do que na estrutura  $T_3$ .

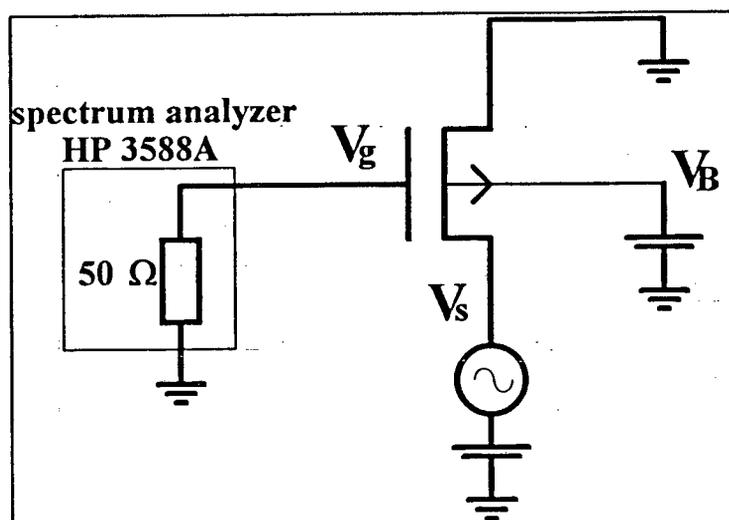


Figura 3-11 - Esquema utilizado para a determinação da capacitância  $C_{gs}$ .

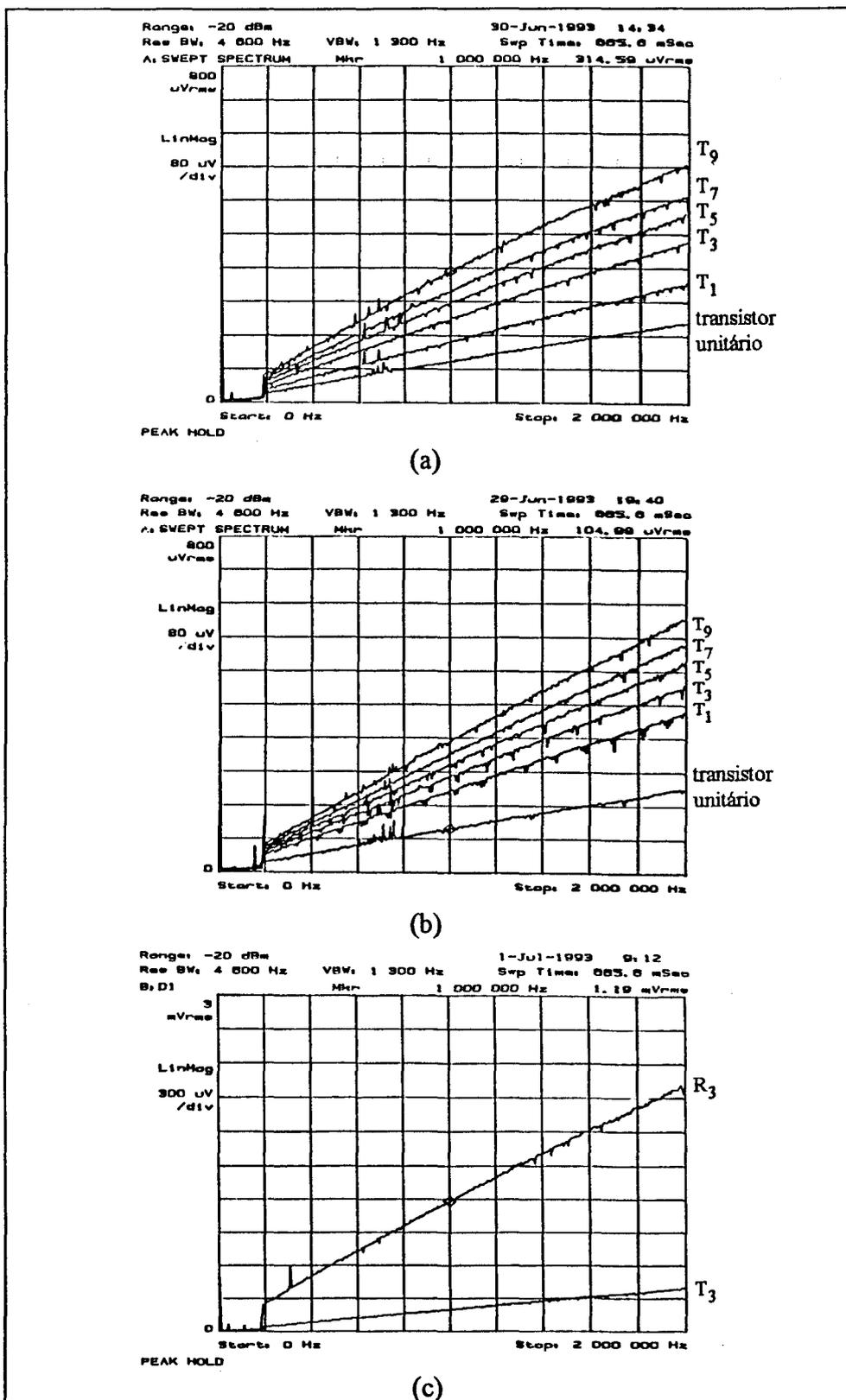


Figura 3-12 - Acoplamento capacitivo porta-fonte obtido a partir do esquema da figura 3-11  
 (a) estruturas trapezoidais com  $V_{GS} = -2V$  (b) estruturas trapezoidais com  $V_{GS} = -3V$   
 (c) estrutura trapezoidal  $T_3$  e retangular  $R_3$  com  $V_{GS} = -3V$

Através das curvas da figura 3-12 e utilizando a equação (42b) obtivemos a inclinação  $\frac{\Delta V_g}{\Delta f}$  e calculamos as capacitâncias para várias estruturas trapezoidais. Também foram determinadas as capacitâncias para um transistor simples e para um arranjo retangular de 3x4 ( $R_3$ ). O resultado destas medidas é apresentado na tabela 3-2. Com estes valores, podemos calcular o tempo de trânsito ( $\tau = C_{med}/g_m$ ) também mostrado na tabela 3-2.

	$V_{GS} = -2V$			$V_{GS} = -3V$		
	$C_{med}$ (pF)	$g_m$ ( $\mu A/V$ )	$C_{med}/g_m$ (ns)	$C_{med}$ (pF)	$g_m$ ( $\mu A/V$ )	$C_{med}/g_m$ (ns)
Transistor simples	4,42	638	6,93	4,68	1340	3,49
$T_1$	6,62	282	23,5	8,82	635	13,9
$T_3$	9,07	432	21,0	10,4	946	10,9
$T_5$	10,7	457	23,5	11,7	1020	11,5
$T_7$	12,1	477	25,3	12,7	1070	11,9
$T_9$	14,0	481	29,2	14,3	1100	13,0
$R_3$	54,0	397	136	54,5	840	64,9

Tabela 3-2 - Tabela de  $C_{med}$  para  $V_{GS} = -2V$  e  $V_{GS} = -3V$ .

Comparando os resultados obtidos para  $R_3$  e  $T_3$ , podemos concluir que mesmo sendo estruturas DC equivalentes, o transistor trapezoidal tem um desempenho em frequência bem melhor do que um transistor retangular.

Na figura 3-13 é mostrada a curva do tempo de trânsito normalizado do transistor trapezoidal em função do número de transistores unitários conectados em paralelo no lado do dreno ( $m$ ). Também é plotada a curva teórica dada pela equação (28) normalizada em relação a  $\tau_u$ . Outra curva que também é traçada é a curva assintótica (equação (43)), obtida fazendo-se  $m \gg 1$  na expressão (28), isto é:

$$\frac{\tau}{\tau_u} \cong 1 + \sqrt{1 + m} \quad (43)$$

se  $m \gg 1$ .

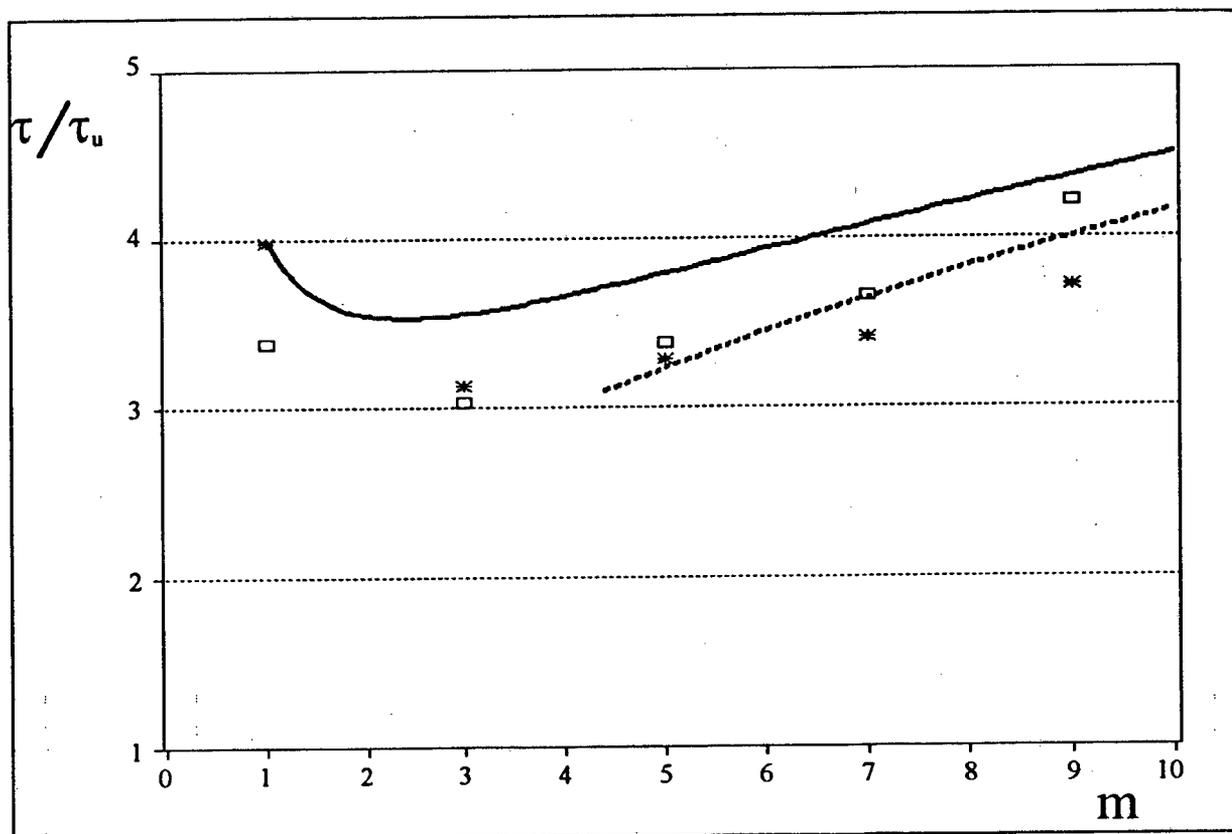


Figura 3-13 - Curva do tempo de trânsito normalizado.

- curva teórica (equação (28))
- - - curva assintótica para altos valores de m (equação (43))
- resultado experimental para  $V_{GS} = -2 \text{ V}$
- \* resultado experimental para  $V_{GS} = -3 \text{ V}$

Observa-se que o tempo de trânsito tem seu valor mínimo para  $m$  aproximadamente igual a 3. Ademais, para  $m$  variando entre 3 e 10 percebe-se que o tempo de trânsito varia apenas cerca de 25%. Isto indica que nesta faixa de valores de  $m$  podemos reduzir a condutância de saída sem praticamente variar a frequência de ganho unitário do transistor composto.

Embora os transistores utilizados para se realizar as medidas do tempo de trânsito tenham uma grande capacitância de sobreposição o efeito destas capacitâncias sobre a capacitância total

porta-fonte varia quase na mesma proporção que a capacitância porta-fonte intrínseca. Este fato pode ser verificado no apêndice B deste trabalho.

## CAPÍTULO 4

### CONCLUSÕES

No decorrer deste trabalho foi apresentada uma nova estrutura de transistor composto, formada pela associação em série e paralelo de outros transistores e denominada de transistor trapezoidal. Apesar de esta estrutura ser assimétrica, na maioria das aplicações como em amplificadores e/ou espelhos de corrente, os transistores operam na região de saturação e, portanto, de forma assimétrica. Esta estrutura tem a vantagem de ser DC equivalente a um transistor canal longo ou a um arranjo de transistores tendo, entretanto, um menor comprimento "físico" de canal. Esta característica proporciona ao transistor trapezoidal um melhor desempenho em frequência do que o transistor canal longo, tornando-o indicado para projetos de seções analógicas de altas velocidades e baixas tensões.

Por poder ser formado pela composição de transistores de comprimento de canal igual ao mínimo permitido pela tecnologia, o transistor trapezoidal torna-se uma estrutura muito prática para ser implementada através da metodologia "sea-of-transistors". A estratégia de projeto de blocos analógicos a partir de transistores trapezoidais em circuitos completamente dedicados permite um melhor desempenho em frequência e um menor consumo de área de silício, quando comparada a projetos com transistores canal longo.

Foram apresentadas, no decorrer do trabalho, várias curvas mostrando as características DC de várias estruturas trapezoidais e retangulares, bem como de um transistor simples, através das quais comprovamos os resultados teóricos. A característica dinâmica dos transistores compostos foi determinada através da análise e medição do tempo de trânsito. Os resultados mostraram claramente que o transistor trapezoidal apresenta significativas vantagens quanto à operação dinâmica comparada à do transistor canal longo DC equivalente.

Esperamos que novos trabalhos sejam realizados utilizando esta estrutura para implementar amplificadores, espelhos de corrente e outros blocos analógicos. Também sugerimos que novos trabalhos sejam realizados determinando a influência dos descasamentos dos transistores, o nível de ruído, e os efeitos de segunda ordem que estão presentes e foram desconsiderados ao longo das análises, bem como a determinação de um modelo para a condutância de saída do transistor trapezoidal em função da condutância de saída do transistor de comprimento de canal mínimo.

## APÊNDICE A

### ANÁLISE DA FREQUÊNCIA DE GANHO UNITÁRIO INTRÍNSECA

Da referência [22] o tempo de trânsito para um transistor saturado em inversão forte usando os parâmetros já definidos anteriormente é dado por:

$$\tau = \frac{4}{3} \frac{L^2}{\mu(V_P - V_S)} \quad (\text{A.1})$$

Também da referência [22] temos:

$$\omega_T \cong \frac{g_m}{C_{gs}} = \frac{3}{2} \frac{\mu(V_P - V_S)}{L^2} \quad (\text{A.2})$$

Podemos verificar que o produto das equações (A.1) e (A.2) dá como resultado um fator 2, comprovando-se assim a expressão (14) para um transistor simples.

Para provar que a relação  $\tau\omega_T=2$  vale também para o transistor composto, temos que as expressões (27) ou (28) fornecem os valores dos tempos de trânsito para um transistor composto qualquer ou para um que utilize transistores de mesmo comprimento do lado do dreno e do lado da fonte. Falta-nos então para provar a afirmação acima, a expressão de  $\omega_T$ .

Por [22] temos que a frequência de ganho unitário  $\omega_T$  é:

$$\omega_T = \frac{g_m}{C_{gs} + C_{gb}} \cong \frac{g_m}{C_{gs}} \quad (\text{A.3})$$

em inversão forte, onde  $g_m$  é a transcondutância do transistor e  $C_{gs}$  e  $C_{gb}$  são as capacitâncias porta-fonte e porta-substrato respectivamente.

Para um transistor MOS, a capacitância  $C_{gs}$  é definida [22,24] como :

$$C_{gs} = - \left. \frac{\partial Q_G}{\partial V_S} \right|_{V_G, V_D} \quad (A.4)$$

Utilizando-se, como em [22], a aproximação quase-estática, a capacitância  $C_{gs}$  do transistor composto da figura A-1 pode ser escrita em termos da capacitância de porta de  $M_S$  and  $M_D$  como

$$C_{gs} = C_{gs}^S + (C_{gd}^S + C_{gs}^D) \left. \frac{\partial V_X}{\partial V_S} \right|_{V_G, V_D} \quad (A.5)$$

onde  $C_{gs}^S$  e  $C_{gd}^S$  são as capacitâncias porta-fonte e porta-dreno do transistor  $M_S$  e  $C_{gs}^D$  é a capacitância porta-fonte do transistor  $M_D$ .

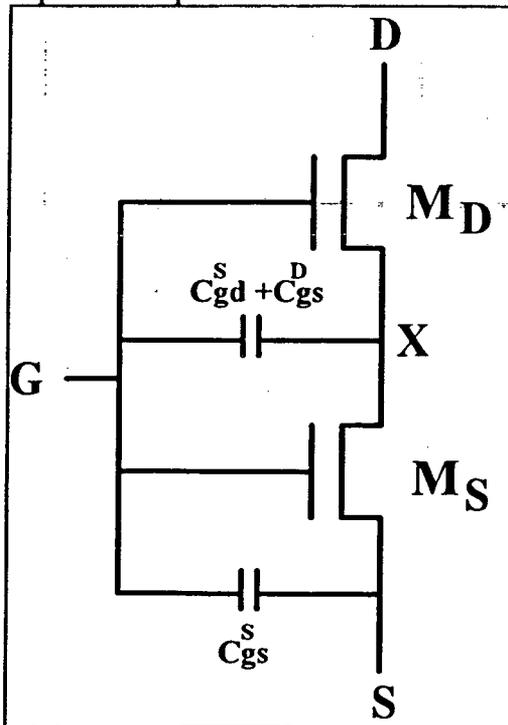


Figura A-1- Capacitâncias intrínsecas nos transistores de dreno e fonte para determinação da capacitância intrínseca  $C_{gs}$  do transistor composto.

Em inversão forte, as expressões para as capacitâncias porta-fonte e porta-dreno de um transistor retangular são [24]:

$$C_{gs} = \frac{2}{3} C_{ox} \left[ 1 - \frac{(V_P - V_D)^2}{(2V_P - V_S - V_D)^2} \right] \quad (A.6)$$

$$C_{gd} = \frac{2}{3} C_{ox} \left[ 1 - \frac{(V_P - V_S)^2}{(2V_P - V_S - V_D)^2} \right] \quad (A.7)$$

onde  $C_{ox} = C'_{ox} WL$ .

Aplicando-se as equações (22), (A.6) e (A.7) na equação (A.5) para a estrutura da figura A-1, obtemos a expressão para a capacitância  $C_{gs}$  mostrada na equação (A.8).

$$C_{gs} = \frac{2}{3} C_{ox}^S \left[ 1 - \frac{(V_P - V_X)^2}{(2V_P - V_S - V_X)^2} \right] + \frac{1}{\sqrt{1+m}} \left\{ \frac{2}{3} C_{ox}^S \left[ 1 - \frac{(V_P - V_S)^2}{(2V_P - V_S - V_X)^2} \right] + \frac{2}{3} C_{ox}^D \left[ 1 - \frac{(V_P - V_D)^2}{(2V_P - V_S - V_D)^2} \right] \right\} \quad (A.8)$$

Simplificando a equação (A.8), e considerando  $\frac{C_{ox}^D}{C_{ox}^S} = \frac{W_D L_D}{W_S L_S}$  obtemos:

$$C_{gs} = \frac{2}{3} C_{ox}^S \left[ 1 - \frac{\frac{1}{1+m} + \frac{1}{\sqrt{1+m}}}{\left(1 + \frac{1}{\sqrt{1+m}}\right)^2} + \frac{1}{\sqrt{1+m}} \left(1 + \frac{W_D L_D}{W_S L_S}\right) \right] \quad (A.9)$$

Para o caso em que o transistor composto é formado por transistores com comprimento de canal mínimo ( $L_u$ ), podemos escrever a relação  $C_{gs}$  como:

$$C_{gs} = \frac{2}{3} C_{ox}^s \left[ 1 - \frac{\frac{1}{1+m} + \frac{1}{\sqrt{1+m}}}{\left(1 + \frac{1}{\sqrt{1+m}}\right)^2} + \sqrt{1+m} \right] \quad (A.10)$$

Como em [5], temos que  $g_m$  é definido como  $g_m = \left. \frac{\partial I_D}{\partial V_G} \right|_{V_D, V_S}$  e utilizando-se a expressão

da equação (7) para a corrente  $I_D$  de um transistor composto temos:

$$g_m = \beta_{EQ} (V_P - V_S) \quad (A.11)$$

Podemos escrever então, através das equações (A.9) e (A.11), a expressão da frequência de ganho unitário intrínseca de um transistor composto:

$$\omega_T = \frac{\mu C_{ox}' \left(\frac{W}{L}\right)_{EQ} (V_P - V_S)}{\frac{2}{3} C_{ox}' W_S L_S \left[ 1 - \frac{\frac{1}{1+m} + \frac{1}{\sqrt{1+m}}}{\left(1 + \frac{1}{\sqrt{1+m}}\right)^2} + \frac{1}{\sqrt{1+m}} \left(1 + \frac{W_D L_D}{W_S L_S}\right) \right]} \quad (A.12)$$

Considerando-se também para este caso que  $L_D = L_S = L_u$ , e, portanto,  $m = W_D / W_S$ , podemos escrever:

$$\frac{1}{\omega_T} \cong \frac{C_{gs}}{g_m} = \frac{2L_u^2}{3\mu(V_P - V_S)} \left[ \left(1 + \frac{1}{m}\right)^2 + \left(1 - \frac{1}{m^2}\right) \sqrt{1+m} \right] \quad (\text{A.13})$$

Utilizando-se a expressão acima para  $\omega_T$  e a da equação (28) para  $\tau$ , podemos verificar que a expressão (14) também é válida para o transistor composto saturado em inversão forte.

## APÊNDICE B

### EFEITOS DAS CAPACITÂNCIAS DE SOBREPOSIÇÃO SOBRE A CAPACITÂNCIA PORTA-FONTE DO TRANSISTOR COMPOSTO

Utilizando-se a aproximação quase-estática como no Apêndice A e em [22] podemos escrever para a figura B-1

$$C_{ov} = C_{ov}^S + (C_{ov}^S + C_{ov}^D) \left. \frac{\partial V_X}{\partial V_S} \right|_{V_G, V_D} \quad (\text{B.1})$$

onde  $C_{ov}$  é a capacitância porta-fonte extrínseca equivalente do transistor composto, devido às capacitâncias  $C_{ov}^S$  e  $C_{ov}^D$  dos transistores  $M_S$  e  $M_D$ . Procedendo de forma semelhante à utilizada para  $C_{gs}$  no Apêndice A e considerando  $L_S=L_D$ , isto é  $C_{ov}^D=mC_{ov}^S$ , obtemos:

$$C_{ov} = C_{ov}^S (1 + \sqrt{1+m}) \quad (\text{B.2})$$

Através de uma comparação das expressões (B.2) e (A.10) para grandes valores de  $m$ , as capacitâncias  $C_{ov}$  e  $C_{gs}$  variam aproximadamente na mesma proporção. Portanto, os resultados experimentais mostrados na figura 3-13 são praticamente independentes do valor da capacitância de sobreposição.

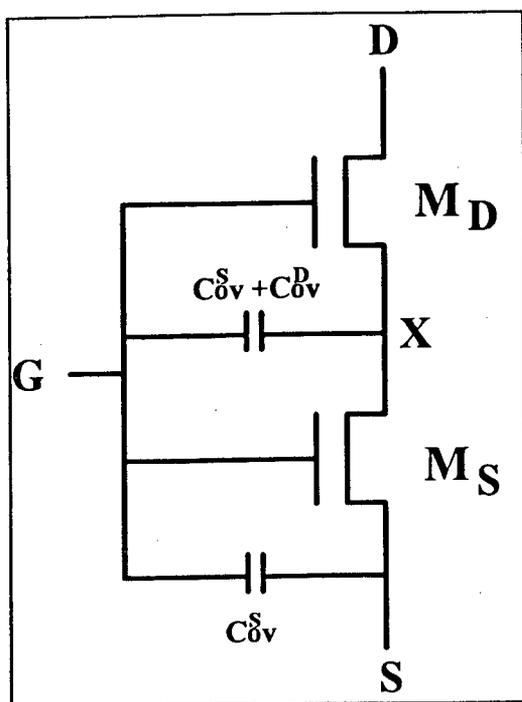


Figura B-1 - Capacitâncias de sobreposição no transistor composto para o cálculo da capacitância porta-fonte extrínseca.

## BIBLIOGRAFIA

- [1] Cavin, R. K. and Hilbert, J. L. "Design of Integrated Circuits: Directions and Challenges", *Proceedings of IEEE*, vol 78, no. 2, February 1990, pp. 418-435.
- [2] Brust, L. and Tsay, M., "Mixing Signals & Voltages on Chip", *IEEE Spectrum*, August 1993, pp. 40-43.
- [3] Yoon, K. S. and Allen, P. E., "An Adjustable Accuracy Model for VLSI Analog Circuits Using Lookup Tables", *Analog Integrated Circuits and Signal Processing*, no. 1, September 1991, pp. 45-63
- [4] Duchene P. and Declercq M. J., "A Highly Flexible Sea-of-Gates Structure For Digital and Analog Applications", *IEEE Journal of Solid-State Circuits*, vol. 24, no. 3, June 1989, pp. 576-584.
- [5] Vittoz E., "MOS Transistor", Intensive Summer Course on CMOS VLSI Design, Analog&Digital, Lausanne (EPFL), Switzerland, 1989.
- [6] Duchêne, P. P., et al., "Analog Circuit Implementation on CMOS Semi-Custom Arrays", *IEEE Journal of Solid-State Circuits*, vol. 28, no. 7, July 1993, pp. 872-874.
- [7] Crawley, P. J. and Roberts G., "Designing Operational Transconductance Amplifiers For Low Voltage Operation", *Proceedings of IEEE International Symposium on Circuits and System*, Chicago, Il., USA, May 1993, pp. 1455-1458.
- [8] Liu, T. and Allstot, D. J., "CMOS Analog Design Using a Digital Gate-Array", *31<sup>st</sup> Midwest Symposium on Circuits and System*, St. Louis, Mo, USA, 1988, pp. 371-374.
- [9] Loss, I. J. B., Galup-Montoro, C. and Schneider, M. C., "Low Output Conductance, High Cutoff Frequency Transistors For Gate Array Implementation of Analog Circuits", *VIII Congresso da Sociedade Brasileira de Microeletrônica*, Setembro de 1993, Campinas -SP, Brasil, pp. xv.7 - xv.12.
- [10] Galup-Montoro, C., Schneider, M. C. and Loss, I. J. B., "Series-Parallel Association of FETS for High Gain and High Frequency Applications", Submitted to *IEEE Journal of Solid-State Circuits*.
- [11] Kawada S., et al., "1.5- $\mu$ m CMOS Gate Arrays With Analog/Digital Macros Designed Using Common Base Arrays", *IEEE Journal of Solid-State Circuits*, vol. 24, no. 4, August 1989, pp. 985-990.

- [12] Hagelauer, R. and Ronge, K., "Analog Functions Implemented on Digital CMOS Gate-Array - Merits and Problems", *IEEE Transactions on Industrial Electronics*, vol. IE-33, no. 4, November, 1986. pp. 371-376.
- [13] Masuda S., et al., "A CMOS Analog and Digital Masterslice LSI", in *ISSCC Dig. Tech. Papers*, 1987, pp. 146-147.
- [14] Kash, R., "Building Quality Analog Circuits With C-MOS Logic Arrays", *Electronics*, August 11, 1981, pp. 109-112.
- [15] Bergmann, G. and Golberg, H. J., "Gate-Array Versus Standard Cell Realization of an Analog/Digital  $\mu$ C Interface Circuit", *IEEE Transactions on Industrial Electronics*, vol IE-33, no. 4, November 1986, pp.366-370.
- [16] Giannella, G., "Array IC Presents New Ways to Customize Analog Circuits Without Wasting Silicon", *Electronic Design*, May 1, 1986, pp. 171-178.
- [17] Heyes, G. L. and Shier, J. S., "Analog Arrays Speed Design and Lower Cost of UHF Chips", *Electronic Design*, December 11, 1986, pp. 119-123.
- [18] Ricc , B., "Effect of Channel Geometries on FET Output Conductance in Saturation", *IEEE Electron Device Letters*, vol. EDL-5, no. 9, September 1984, pp. 353-356.
- [19] Moore, L., Soin, R. S. and Maloberti, F., "Mixed Analogue Digital ASICs - Circuit Techniques, Design Tools and Applications", Workshop on Analogue-Digital ASICs, *5th Annual IEEE International ASIC Conference and Exhibit*, Rochester, NY, USA, 1992.
- [20] Vittoz, E., Arreguit, X., "Linear Networks Based on Transistors", *Electronics Letters*, vol. 29, no.3, February 1993, pp. 297-299.
- [21] Vittoz E., "Very Low Power Circuit Design: Fundamentals and Limits", in *Proc. IEEE Int. Symp. Circ. and Syst.*, Chicago, USA, May 1993, pp. 1439-1442.
- [22] Tsividis Y. P., "Operation and Modeling of the MOS Transistor". Mc-Graw Hill, New York, 1987.
- [23] Wallinga H. and Bult K., "Design and Analysis of CMOS Analog Signal Processing Circuits by Means of a Graphical MOST Model", *IEEE Journal of Solid-State Circuits*, vol. 24, no. 3, June 1989, pp. 672-680.
- [24] Enz, C. C., "High Precision CMOS Micropower Amplifiers", Ph. D. Thesis no. 802, EPF-Lausanne, Switzerland, 1989.

- [25] Bult, K. and Geelen, G. J. G. M., "An Inherently Linear and Compact MOST- Only Current Division Technique", *IEEE Journal of Solid-State Circuits*, vol. 27, no. 12, December 1992, pp. 1730-1735.
- [26] Girczyc, E. F. and Boothroyd, A. R., "A One-Dimensional DC Model for Nonrectangular IGFET's", *IEEE Journal of Solid-State Circuits*, vol. SC18, no. 6, December 1983, pp. 778-784.
- [27] Sedra A. S. and Smith K. C., "Microelectronic Circuits, 2nd. ed.", Holt, Rinehart and Winston, Fort Worth, 1987.
- [28] Sansen, W. "Analog Functional Blocks", Intensive summer course on CMOS VLSI Design, Analog & Digital, Lausanne (EPFL), Switzerland, 1989.
- [29] "IDAC - Interactive Design of Analog Circuits", User's guide, version 2.2, CSEM, Neüchatel, Switzerland, April 1987.
- [30] Allen, P. E., "Future of Analogue Integrated Circuit Design", in *Analogue IC design: the current-mode approach*, edited by C. Toumazou, F. J. Lidgey and D. G. Haigh, Peter Peregrinus Ltd., 1990.
- [31] Sakashita, K. et al., "A 10K-Gate CMOS Gate-Arrays Based on a Gate Isolation Structure", *IEEE Journal of Solid-State Circuits*, vol. SC20, no. 1, February 1985, pp. 413-417.