

## “Análisis de Eficiencia en Arquitecturas Multiprocesador para Aplicaciones de Transmisión y Procesamiento de Datos”

Jorge R. Osio<sup>1,2</sup>, Juan E. Salvatore<sup>1</sup>, Eduardo Kunysz<sup>1</sup>, Valentin Guarepi<sup>1</sup>,  
Daniel Martin Morales<sup>1,3</sup>

<sup>1</sup>Instituto de Ingeniería y Agronomía - Universidad Nacional Arturo Jauretche

<sup>2</sup>UIDET CeTAD – Fac. de Ingeniería - Universidad Nacional de La Plata

<sup>3</sup>Laboratorio LINES - Universidad Tecnológica Nacional FRLP

josio@unaj.edu.ar, jsalvatore@unal.edu.ar, ekunys@unaj.edu.ar, vguarepi@unaj.edu.ar,  
martin.morales@unaj.edu.ar

### Resumen

Los principales lineamientos de investigación de este proyecto se orientan a las Arquitecturas que posibilitan el procesamiento paralelo, principalmente en sistemas multi-core.

Por otro lado, la optimización de estos sistemas se orienta a determinadas aplicaciones de telemedicina y de sistemas ópticos basados en MIOC , (Multifunction Integrated Optical Chip), que requieren procesamiento y transmisión de datos de forma remota.

Paralelamente a estos lineamientos el proyecto contempla el estudio de las nuevas tendencias en cómputo paralelo con el objetivo de mejorar rendimiento de cálculo. Como una alternativa interesante para optimizar la relación costo-prestaciones, se exploran tecnologías de computadoras de alta performance reconfigurable (HPCR).

En relación a la comunicación Ethernet, se investiga principalmente el protocolo UDP para la transmisión de imágenes y datos de audio y video, donde no es

crítica la pérdida de algún que otro dato, pero es importante el envío de gran caudal de datos en tiempo real. Adicionalmente, para los pequeños paquetes de datos críticos se utiliza TCP.

**Palabras clave:** *Arquitecturas Paralelas, Telemedicina, Software Embebido, Sistemas Multicore, Platadormas FPGAs.*

### Contexto

Las líneas de Investigación aquí desarrolladas son parte del Proyecto de Investigación Científico-Tecnológico “Factibilidad y Eficiencia de Aplicaciones en Telemedicina sobre Sistemas Embebidos. Aplicaciones en Arquitecturas Multiprocesador” que se lleva a cabo en la Universidad Nacional Arturo Jauretche (UNAJ).

Por otra parte, se tiene financiamiento en el marco del programa “Universidad, Diseño y Desarrollo Productivo” del Ministerio de Educación a través de los proyectos aprobados en 2014 y 2015.

Parte de las líneas de investigación desarrolladas se encuentran enmarcadas en los convenios de colaboración en Actividades de Investigación firmados por la UNAJ con el Laboratorio CeTAD y el Instituto III – LIDI de la UNLP.

## Introducción

En los últimos años, se ha buscado expandir el concepto del procesamiento paralelo multicore hacia plataformas de procesamiento más específico. Para obtener mayor eficiencia, los fabricantes de computadoras de altas prestaciones, han introducido unidades FPGA en su diseño como soporte de procesamiento [1],[2] y [3].

En estudios realizados en laboratorio se llega a la conclusión que las mejoras con estos dispositivos se pueden explorar en los siguientes parámetros:

**Comunicación:** posibilidad de ensayar diversas topologías conocidas, o explorar nuevas alternativas que podrían optimizar el rendimiento general. Los dispositivos más modernos permiten interfaces de alta velocidad como GbEthernet, o PCI Express. Se pueden implementar protocolos de comunicación flexibles y variar el ancho de bus según la necesidad. Una de las características que se puede utilizar con esta tecnología es la capacidad de reconfiguración parcial de los dispositivos de lógica programable. Esto último permite crear redes virtuales reconfigurables en hardware en tiempo real que sirvan de soporte para enrutado en software [4].

**Memoria:** cada problema específico requiere de una configuración de memoria determinada. Para ello se cuenta con memoria interna (en general limitada) la cual se podría utilizar para procesos locales y luego se puede interfacear con

distintas tecnologías de memoria existentes. Los dispositivos más modernos tienen incorporados módulos de control para memorias del tipo DDR3. [5]

**Software:** en este tipo de plataformas es el aspecto más difícil de estandarizar. El software necesariamente es híbrido entre partes de hardware (manejado por drivers) y lenguajes de alto nivel. En estos casos el desafío es encontrar que partes de alto nivel son las que generan mayor “overhead” sobre el procesamiento, identificarlas y luego trasladarlas a su versión de compuertas lógicas. [5]

Si bien el estudio de sistemas paralelos con múltiples procesadores, es una ciencia bien estudiada, el estudio de utilización de múltiples dispositivos reconfigurables no es un terreno completamente explorado [6].

## Plataformas FPGAs para procesamiento paralelo

La implementación de paralelismo en plataformas FPGAs consiste en el uso de procesadores embebidos para ejecutar la aplicación, y en la concurrencia que provee la lógica programable para manejar las porciones de código que se pueden ejecutar de dicha forma [7].

La posibilidad de implementar procesadores embebidos en forma rápida [8], junto con la posibilidad de obtener concurrencia mediante la programación de HW permiten combinar el paralelismo con los sistemas multicore en virtud de buscar la máxima eficiencia, lo cual aparece como un gran desafío para lograr la optimización en el procesamiento de imágenes médicas, entre otras aplicaciones. Esto se debe a que cada algoritmo es un caso de estudio, en el que se debe decidir qué parte se implementa de manera concurrente y cuál de forma

secuencial dentro el sistema multi-core. Para la implementación de estos sistemas complejos lo ideal es combinar la programación en VHDL con lenguajes de alto nivel y aplicaciones como el simulink [8]. Con las mejoras constantes que aporta la evolución de la tecnología sobre las FPGAs, se logran diseños de gran magnitud, a tal punto que la tendencia actual es implementar microprocesadores de propósito general y todo el hardware de propósito específico que requiere la aplicación dentro de una FPGA.

### Aplicaciones de Transmisión y procesamiento de datos

Con respecto a la transmisión de datos Ethernet por UDP [9], el envío de grandes cantidades de paquetes de datos se realiza detectando si hay una conexión, luego si la hay se define la dirección de destino como broadcast y la mac de origen [10]. Luego, cuando se detecta la conexión se arman los paquetes y se envían a destino desde el Sistema Embebido basado en el LPC1769 [10].

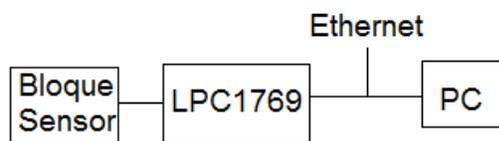


Figura 1. Esquema de comunicación

En la Figura 1 se muestra el esquema de conexionado, donde los paquetes se reciben en una PC y mediante wireshark se pueden determinar tiempos de envío de paquetes y estimar teniendo en cuenta el peor caso, una frecuencia de envío mínima para las aplicaciones de interés.

El método de transmisión es fundamental para el envío de datos en forma masiva, que principalmente consisten en imágenes médicas de alta calidad, hacia un servidor de

almacenamiento exclusivo para telemedicina [11]. Los métodos de computo paralelo y de transmisión de datos para telemedicina siguen la tendencia analizada en [12] y [13].

Previo a ser enviadas, dichas imágenes requieren ser procesadas, mediante la aplicación de diferentes algoritmos de procesamiento de imágenes que tienen características paralelizables y son los que posibilitan evaluar la eficiencia y el rendimiento de las arquitecturas paralelas estudiadas.

Adicionalmente, se realizarán pruebas sobre la arquitectura paralela de señales obtenidas de un sistema MIOC, cuya salida eléctrica es continua y es proporcional a la fase de la señal luminosa que lo atraviesa, este dispositivo permite obtener el ángulo de inclinación en multiplicidad de aplicaciones.

### Antecedentes del Grupo de Trabajo

Los antecedentes del grupo de trabajo se parten de la dirección de Tesis de Grado sobre la implementación de web server embebido orientado a telemedicina [14] y de un sistema embebido de voz sobre IP [15]. Posteriormente se han realizado tareas de investigación de procesamiento de imágenes sobre diferentes arquitecturas de procesadores [16], [17] y [18].

Las líneas de investigación se enmarcan fundamentalmente en la búsqueda de técnicas innovadoras de procesamiento paralelo en diferentes arquitecturas que optimicen las prestaciones de los sistemas de telemedicina que puedan ser incorporadas o aplicadas en el Hospital HEC. Adicionalmente, se pretenden encausar estas líneas de investigación en la realización de estudios de postgrado tanto para docentes como para los futuros

profesionales que surjan de la UNAJ. El postulante a director del proyecto participa en proyectos de investigación desde el año 2005 en la Facultad de Ingeniería de la UNLP como colaborador y a partir de 2010 como investigador. Actualmente participa como miembro en los proyectos “Procesamiento Digital de Imágenes Médicas sobre plataformas FPGA”, “Procesamiento de Imágenes en arquitecturas FPGA multiprocesador” y “Envío de datos Ethernet para telemedicina”, pertenecientes a estudios de Maestrías en realización en el Laboratorio CeTAD, en la UNAJ y al convenio UNAJ-LIDI como generador de los lineamientos de investigación propuestos en la UNAJ.

Como resultado del trabajo realizado recientemente en la UNAJ se han publicado artículos; como autor en el 3° Congreso Nacional de Ingeniería Informática y Sistemas de la Información (CoNaIISI-2015), en el VI congreso de Microelectrónica Aplicada (uEA 2015)[18], en el XVII Workshop de Investigadores en Ciencias de la Computación (WICC 2015) y en el III Congreso Virtual de Microcontroladores y sus aplicaciones (CVM 2014).

Se destaca la participación de alumnos de la Cátedra Organización y Arquitectura de Computadores, (en la que el director del proyecto actualmente es coordinador), como autores del trabajo presentado en el 3° Congreso de Microcontroladores y sus aplicaciones (CVM-2014) y en el CONAIISI 2015. Por otro lado se debe destacar la participación de los integrantes del proyecto de investigación como autores en los congresos WICC 2015, uEA 2015 y CONAIISI 2015 y LACCEI 2014 [16].

## **Líneas de Investigación, Desarrollo e Innovación**

### **Temas de Estudio e Investigación**

- Implementación de un sistema multicore en Dispositivos Lógicos Programables (FPGA's).
- Búsqueda de eficiencia en el procesamiento de imágenes mediante computo paralelo.
- Estudiar la frecuencia de actualización de datos y eficiencia en la visualización del estado actual de las variables sobre Sistemas basados en Microprocesadores Cortex
- Investigación relacionada con los protocolos TCP y UDP para el envío de paquetes, donde se deben determinar las tasa de transmisión mínimas en condiciones de red normales para asegurar un funcionamiento óptimo del sistema.
- Estudio de las características paralelizables de algoritmos de procesamiento de imágenes en el plano espacial y frecuencial.
- Estudia de las características paralelizables de las señales obtenidas de dispositivos MIOC y su procesamiento.
- Definir parámetros de procesamiento para explotar al máximo las características multicore.
- Estudiar la factibilidad en la transmisión de imágenes, gráficas de datos evolutivos y voz en tiempo real en Sistemas Embebidos .

## **Resultados y Objetivos**

### **Investigación experimental**

- Lograr paralelizar eficientemente determinados algoritmos de

procesamiento de imágenes mediante su implementación sobre plataformas multicore basadas en FPGAs.

- Obtener tiempos de transmisión de datos UDP acorde a la optimización obtenida en el procesamiento paralelo.
- Verificar la eficiencia comparando tiempos de cómputo entre algoritmos de procesamiento de imágenes implementados de forma secuencial y su paralelismo en sistemas multicore.
- Los resultados obtenidos actualmente son satisfactorios, teniendo en cuenta que se ha implementado un sistema embebido en tiempo real que permite transmitir datos de imágenes vía UDP en tiempos que rondan un rango variable dentro de los límites esperados.
- Se ha implementado un sistema multicore sobre una FPGA Virtex V, disponible para realizar las pruebas de procesamiento paralelo y medir eficiencia
- También se han implementado multiplicidad de algoritmos de procesamiento de imágenes médicas de manera secuencial
- Para logra la implementación de un sistema complejo y obtener resultados definitivos se pretende lograr el procesamiento paralelo y la transmisión UDP conjuntamente en tiempo real.

## Formación de Recursos Humanos

Dentro de la temática de la línea de I/D se participa en el dictado de asignaturas de la carrera de Ingeniería Informática de la UNAJ.

En esta línea de I/D existe cooperación a nivel nacional. Hay 2 investigadores realizando su Doctorado y 2 realizando una Maestría en temas relacionados con Sistemas Embebidos, Multiprocesadores, Software Embebido y transmisión de datos biomédicos mediante UDP.

## Referencias

- [1] Oskar Mencer, Kuen Hung Tsoi, Stephen Craimer, Timothy Todman and Wayne Luk, Ming Yee Wong and Philip Heng Wai Leong ,”CUBE: a 512-FPGA Cluster”, Dept. of Computing, Imperial College London , Dept. of Computer Science and Engineering The Chinese University of Hong Kong . (2009)
- [2] Keith Underwood, “FPGAs vs. CPUs: Trends in Peak Floating-Point Performance”, Sandia National Laboratories . (2011)
- [3] Encinas, Diego, Kunysz, Eduardo, Szymanowski, Alicia, Morales, Martín Daniel, “Performance de arquitecturas multiprocesador: técnicas de simulación y plataformas reconfigurables”, Instituto de Ingeniería, UNAJ, (2014)
- [4] Dong Yin , Deepak Unnikrishnan, Yong Liao, Lixin Gao and Russell Tessier , “Customizing Virtual Networks with Partial FPGA Reconfiguration”, Dept. of Electrical and Computer Engineering University of Massachusetts (2010)
- [5] Eduardo J. Kunysz, José A Rapallini, Jorge Osio, “Sistema de cómputo reconfigurable de alta performance (Proyecto HPRC)”, 3ras Jornadas ITE - 2015 -Facultad de Ingeniería – UNLP
- [6] C. Rupp, The NAPA Adaptive Processing Architecture. IEEE Symposium on FPGAs Custom Computing Machines. 1998.
- [7] Grama A, Gupta A, Karypis G, Kumar V. “Introduction to parallel computing”. Second Edition. Pearson Addison Wesley, 2003.
- [8] "Model-Based Design with Simulink, HDL Coder, and Xilinx System Generator for DSP", Kiran Kintali and Yongfeng Gu, MathWorks, White Paper (<http://www.mathworks.com/fpga-design/simulink-with-xilinx-system-generator-for-dsp.html>).
- [9] Richard Stevens, “The Protocols TCP/IP Illustrated, Volume 1”, 1993
- [10] Jan Axelson, “Embedded Ethernet a internet complete”, Lakeview Research

- LLC, 2003
- [11] Carlos Eduardo Arcila Gomez, “DISEÑO DE UN ENLACE DE TELEMEDICINA PARA EL HOSPITAL UNIVERSITARIO SAN JUAN DE DIOS DEL QUINDÍO”, Tesis de Grado, Universidad de Quindío, 2010
  - [12] VÉLEZ Jorge Alberto. Panorama y tendencias de la telemática en salud, hablando de Telemedicina. Sistemas & Telemática, Universidad Icesi de Colombia. p. 3.
  - [13] IEEE, A Unified Multimedia Database System to Support Telemedicine. Transactions of Information Technology in Biomedicine, Vol. 2, No. 3, September 1998.
  - [14] Lucas Iogna Pratt, “Implementación de un web server embebido”, Tesis de Grado, Director Jorge Osio, Fac. Ing., UNLP, 2013.
  - [15] Juan Eduardo Salvatore, “Desarrollo de un Sistema de voz sobre IP”, Tesis de Grado, Fac. Ing., UNLP, 2012.
  - [16] Juan Salvatore, Jorge Osio, Martín Morales, “Detección de objetos utilizando el sensor Kinect”, Guayaquil, Ecuador, LACCEI 2014.
  - [17] Jorge Osio, Diego Montezanti, Marin Morales, “Análisis de Eficiencia en Sistemas Paralelos”, Ushuahia, Tierra del Fuego, WICC 2014
  - [18] Jorge Osio, Juan Eduardo Salvatore, Martín Morales, “sistema embebido para la transmisión de voz vía TCP/IP”, Universidad de La Matanza, Congreso uEA 2015.
  - [19] Jorge Osio, Juan Salvatore, Martín Morales, “Análisis de Eficiencia en Arquitecturas Multiprocesador en aplicaciones de Telemedicina”, Universidad Nacional de Salta, Ciudad de Salta, WICC 2015.