



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

마그네틱 코어를 사용한 On-chip
인덕터의 최적화 설계

Designing an Optimum On-chip Inductor using
Magnetic Core

2013년 2월

서울대학교 대학원
전기 컴퓨터 공학부
강 태 욱

마그네틱 코어를 사용한 On-chip
인덕터의 최적화 설계

Designing an Optimum On-chip Inductor using
Magnetic Core

지도교수 김 재 하

이 논문을 공학석사 학위논문으로 제출함
2012년 12월

서울대학교 대학원
전기 컴퓨터 공학부
강 태 욱

강태욱의 공학석사 학위논문을 인준함
2013년 2월

위 원 장 : 정 덕 균

부위원장 : 김 재 하

위 원 : 하 정 익

초 록

벽컨버터 용 On-chip 인덕터의 성능 증가를 위한 마그네틱 코어 집적의 최적화를 제안한다. 마그네틱 코어는 closed-loop 이 아닌 open-loop 으로 형성돼 있으며, 평면상에서 코어의 면적이 최적화 변수에 들어간다. 최대한 closed-loop 에 가깝게 만들기 위해 평면상에서 칩에 구멍을 뚫어 수직 방향의 코어를 추가하였으며, 이러한 방식은 일반 CMOS 공정의 인덕터에도 마그네틱 코어를 집적할 수 있다는 장점이 있다. 그리고 HFSS 를 이용한 시뮬레이션을 통해 마그네틱 코어의 영향을 예측하고 이를 칩에 비해 구현하기 쉬운 PCB 인덕터로 검증한다. 그 후 칩으로 구현된 벽컨버터에 제안한 마그네틱 코어를 집적해 그 효과를 확인한다.

주요어 : On-chip 인덕터, 마그네틱 코어, 벽컨버터, PCB 인덕터

목 차

초 록	1
목 차	2
제 1 장 서론	4
1.1 연구 목적	4
1.2 연구의 배경	4
1.3 논문의 구성	8
제 2 장 제안한 On-chip 인덕터의 마그네틱 코어.....	9
2.1 Square Spiral Inductor.....	9
2.2 제안한 마그네틱 코어.....	11
제 3 장 HFSS 를 이용한 시뮬레이션 및 최적화	14
3.1 최적화 방법 및 인덕터 모델링	14
3.2 HFSS 시뮬레이션 결과	17
3.3 HFSS 결과를 이용한 인덕터 최적화.....	25
제 4 장 PCB 보드를 이용한 마그네틱 코어 효과 실험	39
4.1 Network Analyzer 를 사용한 L & R 측정	39
4.2 PCB 상의 벡컨버터 구성 및 마그네틱 코어에 따른 효율 변화 측정.....	40

제 5 장 CMOS 공정을 사용한 On-chip 인덕터 칩의	
실험 결과 및 분석	43
5.1 칩에 마그네틱 코어 집적 방법	43
5.2 실험 결과 및 분석	46
제 6 장 결론	48
참고 문헌	49
Abstract.....	53

제 1 장 서론

1.1 연구 목적

On-chip DC-DC 컨버터 중 인덕터를 사용한 벡 컨버터의 경우 그 성능이 인덕터에 의해 좌우된다. 하지만 On-chip 인덕터의 경우 제한된 면적으로 인해 낮은 Q-factor 를 갖게 되는데, 이를 개선하기 위해 마그네틱 코어를 집적하여 인덕턴스의 증가를 꾀한다.

1.2 연구의 배경

On-chip 인덕터는 RFIC 나 LC oscillator 등의 분야에서 오래 전부터 사용돼 왔으며, 비교적 최근에는 전력 회로인 DC-DC 컨버터를 칩안에 집적하려는 연구들이 많이 진행되고 있다.

On-chip DC-DC 컨버터의 경우 칩에 좀 더 효율적인 전력 전달을 목표로 한다. 한 시스템에서 각 칩들이 서로 다른 전압의 전원을 받아야 하는 경우는 매우 흔하다. 이 경우 보통 하나의 전원을 시스템이 받아 칩 밖에서 여러 전압으로 변환시킨 후, 각 칩에 맞게 전달한다. 예를 들어 10V 와 1A 의 전력원을 받아 1V 로 변환시켜 칩으로

공급해야 한다고 가정을 하면, 변환 효율이 100% 라 가정을 하였을 경우 총 전력이 보존되어야 하므로 전류는 10배인 10A 로 증가하게 된다. 하지만 10A 가 칩으로 들어가는 핀에는 저항이 존재하는데 이 저항이 0.05 ohm 만 되도 $V=R*I$ 에 의해 0.5V 의 IR drop 이 생기게 되어 칩에 제대로 된 전력 공급이 어려워지게 된다. 또한 전력 손실 측면에서도 $P=R*I^2$ 이기 때문에 전류가 10배 증가하면 손실은 100배 증가하게 된다. 이러한 현상을 막기 위해선 핀의 개수를 늘려 총 저항을 낮춰야만 한다.

만약에 칩이 10V 를 받아 칩 내부에서 1V 로 변환시킬 수 있다면 핀 저항에 의한 IR drop 은 $0.05 \text{ (ohm)} * 1 \text{ (A)} / 10 \text{ V} = 0.005 \text{ (0.5\%)}$ 밖에 발생하지 않고, 전력 손실은 전자에 비해 0.01 배로 줄어들어 핀의 개수를 현저하게 줄일 수 있다. 하지만 이를 위해서는 칩 안으로 들어온 10V 를 1V 로 바꾸는 DC-DC 컨버터가 필요한데, 대표적으로 인덕터를 사용하는 On-chip DC-DC Buck Converter 가 있다.

	[1]	[2]	[3]	[4]	[5]	[6]
Process (μm)	0.13	0.13	0.13	0.5	0.35	0.13
V_{in} (V)	1.2	3.3	1.2	3.6	2.6	1.2
V_{out} (V)	0.9	1.8	0.3-0.85	1.8	1.2	0.9
η (%)@peak	77.9	70	74	89	52	80
η (%)@10mA	25	25	50	66	44	70
Voltage Ripple (@ worst (mV))	40	82	62	N/A	110	<40
f_{sw} (MHz)	170	250	300	3	300	250
L (nH)	2	10.5	2	3300	9.8	4.5
C (nF)	5.2	3.6	5	4700	15.07	7
Area (mm^2)	1.5	4	1.592	5.3	3.375	3.92
Integration type	full	full	full	Off-chip	full	full

그림 1. 다른 벡컨버터의 효율들 (인용 [6])

하지만 핀에 의한 전력 손실을 줄인다고 해도, 내부 DC-DC 컨버터 자체의 효율이 충분히 좋지 않다면, 전체 전력 시스템의 효율은 떨어지게 된다. 벡 컨버터의 경우 자체 효율을 결정하는 가장 큰 요소는 On-chip 인덕터이다. 칩에 구성할 수 있는 인덕터는 보통 수 nH 에 지나지 않고, 도선이 매우 얇기 때문에(칩에 있으므로), 저항 역시 커서 Q-factor 굉장히 낮게 된다. 그림 1 을 보면 선행 연구들의 컨버터 최대 효율이 많이 높지 않으며, 그 중 가장 높은 효율 89%

의 논문 [4] 는 외부 인덕터를 사용한 것이다. 그 외 내부 인덕들을 보면 L 이 10 nH 를 넘지 못하며 이로 인해 수 백 MHz 의 스위칭 주파수를 갖게 돼 큰 스위칭 손실을 초래한다. 실제 [6] 에서 지적하는 점은 부하 저항이 클 때(출력 전력이 작을 때), 스위칭 주파수는 그대로이기 때문에 스위칭 손실이 비교적 커서 현저히 떨어지는 효율을 막기 위해 다른 방법을 제안하고 있다.

만약 작은 저항을 유지하면서 인덕턴스를 키울 수 있다면 DC-DC 컨버터의 상당한 효율 상승을 꾀할 수 있다. 이를 위한 연구는 패키지 수준에서의 인덕터 이용과 On-chip 인덕터 성능 개선으로 나뉘어 질 수 있다. 패키지 수준에서의 인덕터의 경우는 보통 일반적인 CMOS 칩 외의 다른 곳에 인덕터를 만들어 이들을 연결하는 방식을 사용한다. 이 경우 보통 공정에서 제공하는 메탈보다 훨씬 두꺼운 것을 사용할 수 있고, 마그네틱 코어의 집적도 용이해져 매우 큰 인덕터 성능 향상을 가능케 한다. [7] 의 경우 마그네틱 코어가 집적돼 있는 인덕터가 있는 칩 위에 볼그리드 본딩을 사용하여 회로가 있는 IC 를 바로 위에 연결하였다. 혹은 PCB 의 인덕터를 사용하여 칩에 적층한 구조도 있다[8].

반면 On-chip 인덕터 연구의 경우는 CMOS 회로들과 같은 실리콘 웨이퍼에 있는 인덕터의 성능을 높이는데 초점이 맞춰진 것으로 기존

의 CMOS 공정에서 주어지는 인덕터를 최적화 설계하는 방법론이나, 혹은 새로운 공정을 사용하여 CMOS 와 함께 마그네틱 코어를 추가로 집적하는 연구도 있다[9].

본 논문에서는 연구가 On-chip 인덕터에 맞춰져 있으며, 마그네틱 코어의 구현은 공정 단계에서 추가적인 처리가 없는, 일반 CMOS 칩을 대상으로 한다. 또 일반적으로 Q-factor 를 최적화 하는데 집중하는데 비해, 본 논문에서는 벽 컨버터 구동에 최적화를 목표로 한다.

1.3 논문의 구성

본 논문은 우선 연구가 진행될 인덕터에 대한 소개 후, 새로운 마그네틱 코어 형태를 제안한다. 그 후 인덕터 최적화 방법에 대한 소개 후, HFSS 를 이용해 시뮬레이션으로 그 효과를 예측하고, 이를 PCB 보드에 인덕터를 구현하여 시험으로 확인한다. 다음으로 본 연구의 목표인 on-chip 인덕터에 대한 실험으로 그 효과를 확인한다.

제 2 장 제안한 On-chip 인덕터의 마그네틱 코어

2.1 Square Spiral Inductor

Spiral 인덕터의 경우 평면 상에서 구현하기 쉽다는 장점이 있다. 때문에 on-chip 인덕터는 대부분 spiral 인덕터로 구현된다. 또 더 큰 인덕턴스를 얻기 위해 spiral 인덕터를 여러 층 쌓아 연결하기도 한다. 본 논문의 연구 목표가 on-chip 인덕터이기 때문에 그에 적합한 spiral 인덕터를 연구 주제로 삼았고, 그 중에서도 square spiral 인덕터(그림 2) 를 선택하였다.

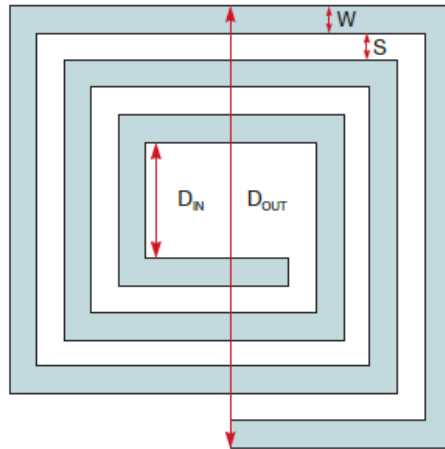


그림 2. Square spiral 인덕터(인용 [10])

단층의 spiral 인덕터의 경우 인덕턴스는

$$L = \left(\frac{\mu_0 N^2 D_{avg} C_1}{2} \right) \left(\ln \frac{C_2}{\rho} + C_3 \rho + C_4 \rho^2 \right)$$

[2 - 1]

으로 나타낼 수 있다([10]). 여기서 $D_{avg} = \frac{D_{out} + D_{in}}{2}$, $\rho = \frac{D_{out} - D_{in}}{D_{out} + D_{in}}$, 그

리고 C_1, C_2, C_3, C_4 는 square spiral 인덕터의 경우 각각 $C_1=1.27$, $C_2=2.07, C_3=0.18, C_4=0.13$ 로 상수값을 갖는다. 이 때 식을 보면 인덕턴스가 ρ 가 증가함에 따라 증가하는 것처럼 보이나 실제 값들을 대입해보면 앞의 로그항 때문에 인덕턴스는 ρ 가 증가함에 따라 감소한다.

본 논문에서는 D_{in}/D_{out} 에 따라 인덕터를 설계했는데 그 이유는 [13] 와 같이 인덕터의 성질들이 D_{in}/D_{out} 에 의한 경향성을 갖기 때문이다. 앞서 나온 식 [2 - 1] 에서 인덕턴스의 개형을 D_{in}/D_{out} 에 대해 그려보면 그림 3 과 같이 나온다. 이는 추후 HFSS 시뮬레이션에서도 확인할 것이다.

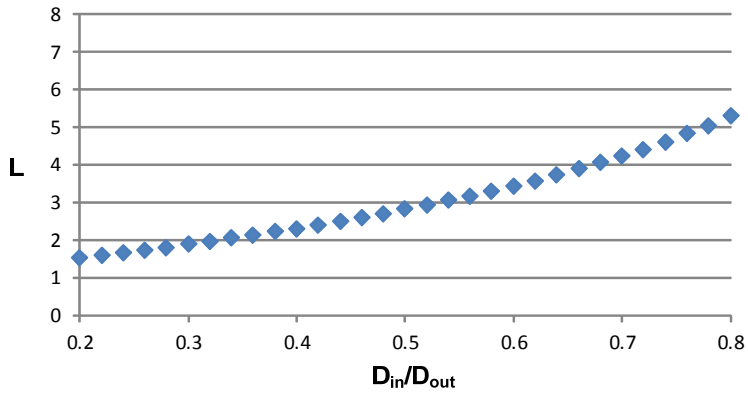


그림 3. D_{in}/D_{out} 에 따른 인덕턴스의 변화 추세

2.2 제안한 마그네틱 코어

그림 4 에서 보면 Spiral 인덕터에 적용될 수 있는 마그네틱 코어는 크게 세 가지 종류이다. 첫 번째 ‘Only Top Plate’ 의 경우, 인덕터의 윗면만을 덮었다. 이와 같은 연구는 [11] 에서 진행됐는데, 위에만 코어를 덮는 구조와 위·아래 모두 덮는 구조(샌드위치 구조)의 코어를 제안하였다. 샌드위치 코어를 사용해 인덕턴스는 19%, Q-factor 는 23% 를 증가시켰다. 이 때 인덕턴스가 많이 증가하지 않는 이유는 코어가 폐곡선을 그리지 않아 자기장의 일부만을 감싸기 때문이다.

‘Closed Loop’ 코어의 경우 가장 큰 인덕턴스 증가를 꾀할 수 있

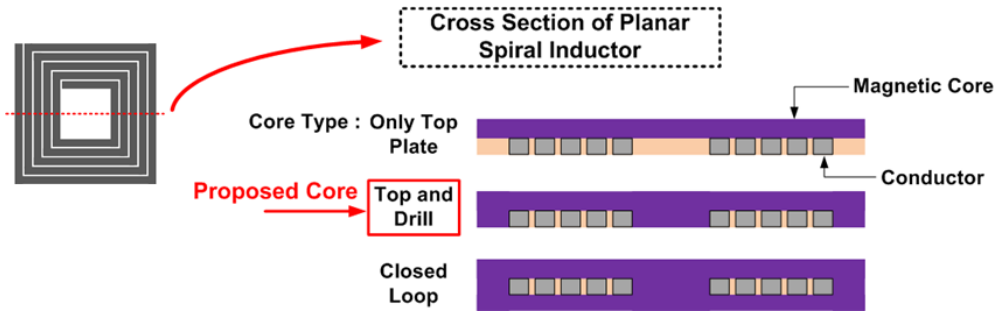


그림 4 Spiral 인덕터에 적용할 수 있는 3가지 마그네틱 코어. 가운데 ‘Top and Drill’ 이 본 논문에서 제안한 구조.

는 형태이다. [12] 에서는 공정 측면에서 인덕터를 CoZrTa의 마그네틱 물질로 폐곡선 코어를 구성하였으며, 인덕턴스와 Q-factor 모두 15배 정도 증가시켰다. CoZrTa 의 경우 relative permeability 는 1000 정도라서 큰 인덕턴스 증가를 달성할 수 있고, coercivity 는 0.015 Oe 로 매우 작아 hysteric loss 를 최소화 할 수 있는 매우 적합한 물질이었다.

본 논문에서 제안한 마그네틱 코어는 그림 4 의 ‘Top and Drill’ 이다. 칩에 폐곡선 코어를 만들기 위해서는 공정의 마스크를 만드는 단계부터 접근해야 하는 어려움이 있다. 또 폐곡선이 아니라도 대부분의 논문들이 공정 측면에서 마그네틱 코어를 집적하고 있다. 일반 CMOS 공정에 코어를 집적할 방법으로 ‘Only Top Plate’ 와 같이 칩 위에 마그네틱 코어를 바르는 방법이 있겠지만, 이보다 더 큰 효

과를 얻기 위해 인덕터에 구멍을 뚫는 방식을 선정했다. 그림 4에서와 같이 수직 방향의 마그네틱 코어를 추가하여 자기장을 좀 더 많이 감싸게 하여 더 코어의 효과를 증대시킨다.

제 3 장 HFSS를 이용한 시뮬레이션 및 최적화

3.1 최적화 방법 및 인덕터 모델링

백컨버터의 효율을 최대화 하는 인덕터를 설계하기 위해, 우선 여러 가지의 인덕터들을 정의한다. 아직 코어의 효과가 식으로 모델링이 되지 않았기 때문에, 특정 조건을 구하고 그에 맞는 인덕터를 찾는 방식이 아닌, 여러 인덕터들의 L 과 R 을 얻고, 그 중에서 최적인 인덕터를 고르는 방식으로 진행된다. 이는 그림 5에 표현돼 있다.

이를 위해선 충분한 범위의 인덕터를 포함할 수 있는 design parameter 들이 필요하다(그림 6). Length 의 경우 인덕터를 설계하는데 사용할 수 있는 가능 면적인데, 마그네틱 코어 역시 주어진 length 안에 들어와야

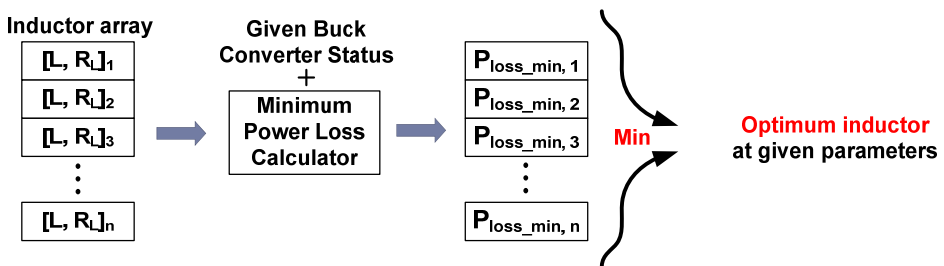


그림 5 백컨버터를 위한 인덕터의 최적화 모식도

한다. Length 는 10mm 로 고정돼 있다. Core-length 와 core-gap, 그리고 도선 간의 거리인 s 역시 변수가 아닌 정해져 있는 값이다. do 의 경우 도선이 들어갈 수 있는 면적인데 이는 8mm 와 10mm 로 정해졌다. 이제 남은 변수들은 N , di , 그리고 w 이다. 이 중에서 N 과 di/do 를 변수로 바꾸면 나머지 값들은 다 정해진다.

시뮬레이션은 그림 7 와 같이 총 84가지의 인덕터에 대해 진행됐다. 도선의 경우 구리로 돼 있으며, 그 외 나머지 부분은 FR4 의 PCB 재질로 모델링 됐다(그림 8). 마그네틱 코어는 conductivity 가 0 이어서 eddy current 의 모델링은 되지 않았다.

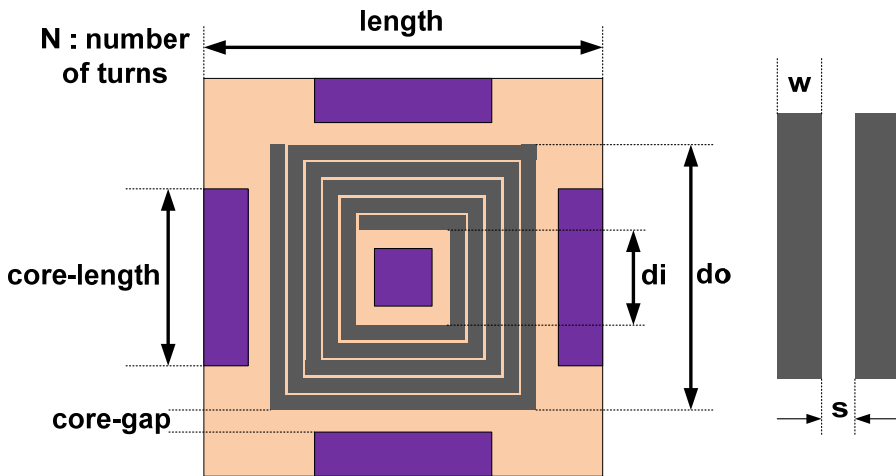


그림 6. 인덕터의 design parameters

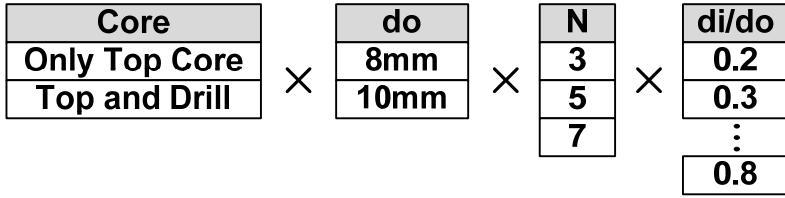


그림 7. 시뮬레이션을 돌린 인덕터의 종류. 총 $2 \times 2 \times 3 \times 6 = 84$ 가지 형태

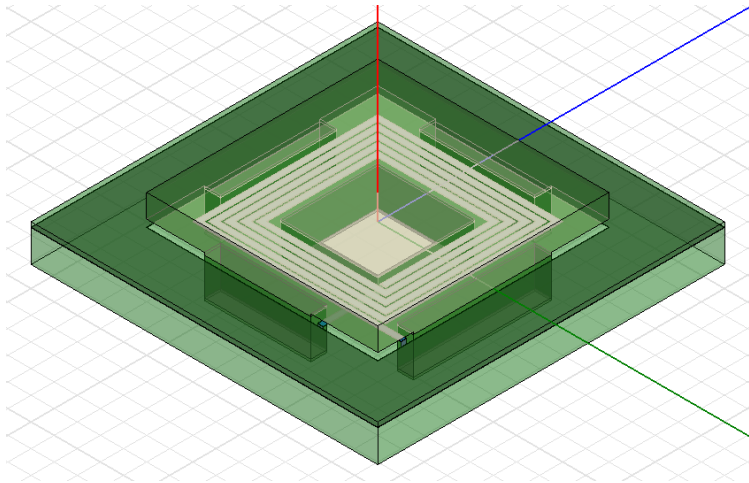


그림 8. HFSS로 모델링 된 인덕터

3.2 HFSS 시뮬레이션 결과

3.2.1 L & R 결과값(코어가 없을 때)

그림 9 은 앞서 언급한 총 84개의 인덕터에 대한 시뮬레이션 결과값이다. 우선 N 이 클수록 인덕턴스가 증가하는 것을 볼 수 있다. 또 d_i/d_o 가 증가함에 따라 인덕턴스가 증가하는데 이는 앞서 언급한 식 [2-1] 에 의한 그림 3 의 개형과 일치한다.

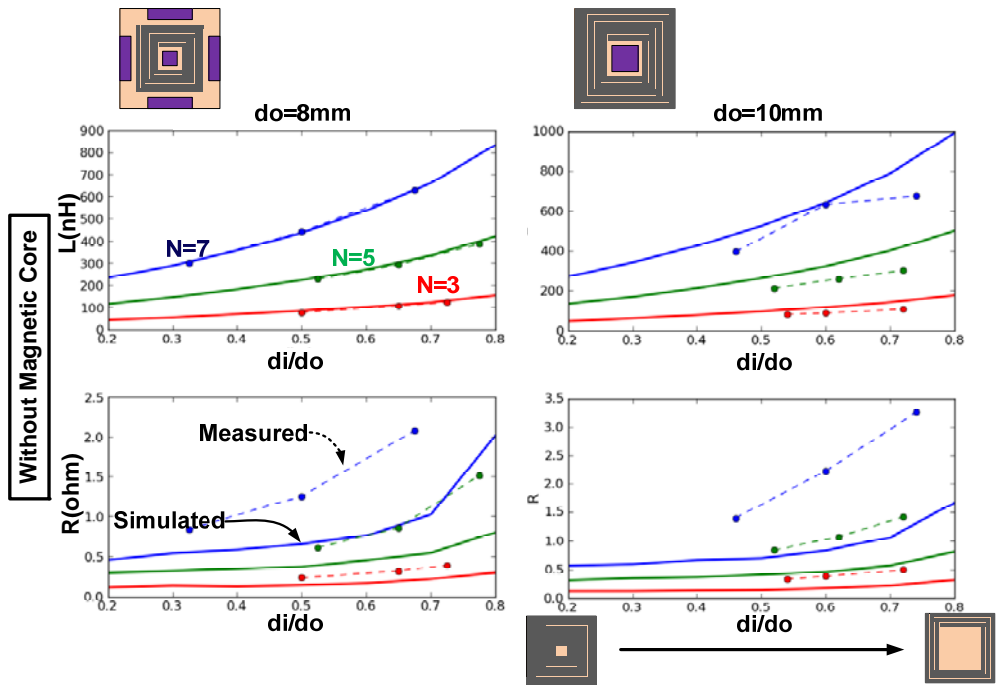


그림 9. HFSS 시뮬레이션 결과 및 측정값(점선)

저항의 경우 인덕터의 도선 길이에 비례하고 너비 w 에 반비례 하는데, spiral 인덕터의 총 도선 길이는

$$4*(l_1+l_2+\dots+l_N)+\alpha$$

[3 -1]

로 나타내진다. ' l_n ' 은 n 번째 도선의 한 변 길이이고, 사각형이기 때문에 4를 곱했다. α 는 인덕터를 그린 후 밖으로 빠져 나오는데 사용된 추가적인 도선이다. 이를 design parameters 에 관해서 나타내면,

$$Total\ Conductor\ Length = l_{total} = 4[N^2(w+s) + N(d_o + w + s)] + \alpha$$

[3 -2]

로 나온다. 이 때 d_i 는

$$d_i = d_o - 2Nw - 2(N-1)s$$

[3 -3]

로 나타내진다. 그림 9에서 보면 그래프가 d_o 를 고정시켰기 때문에 d_i/d_o 는 결국 d_i 에 비례하게 된다. 만약 $d_i/d_o = x$ 라고 놓게 되면, w 는 식 [3 -3] 으로부터

$$w = \frac{d_o - 2(N-1)s - d_o * x}{2N}$$

[3 -4]

로 나타낼 수 있다. 이들로 인덕터의 총 저항을 나타내면

$$\frac{R_L}{\rho_{wire}} = \frac{l_{total}}{w} = 4 \left[\frac{-2N^3s + 2N^2(d_o + s)}{d_o - 2(N-1)s - d_o x} - N^2 + N \right] + \frac{\alpha}{w}, \quad (\alpha \text{ 는 무시 가능})$$

[3 -5]

로 나타내진다. 이는 di/do 에 반비례한 값인데, 그림 9와 일치한다.

3.2.2 마그네틱 코어의 효과

실제 실험에 사용된 코어는 ‘Fe-3.5 Si-4.5 Cr’ 분말인데, 이를 압축하지 인덕터에 집적하였으므로 relative permeability 가 다소 낮은 10으로 설정됐다. do=8mm 와 do=10mm 의 두 경우 모두 수직 방향의 코어를 위치하여 시뮬레이션 하였다. do=8mm 인 경우는 수직 방향의 측면 코어가 있고, do=10mm 인 경우에는 인덕터의 한 가운데에만 수직 방향의 코어가 있다.

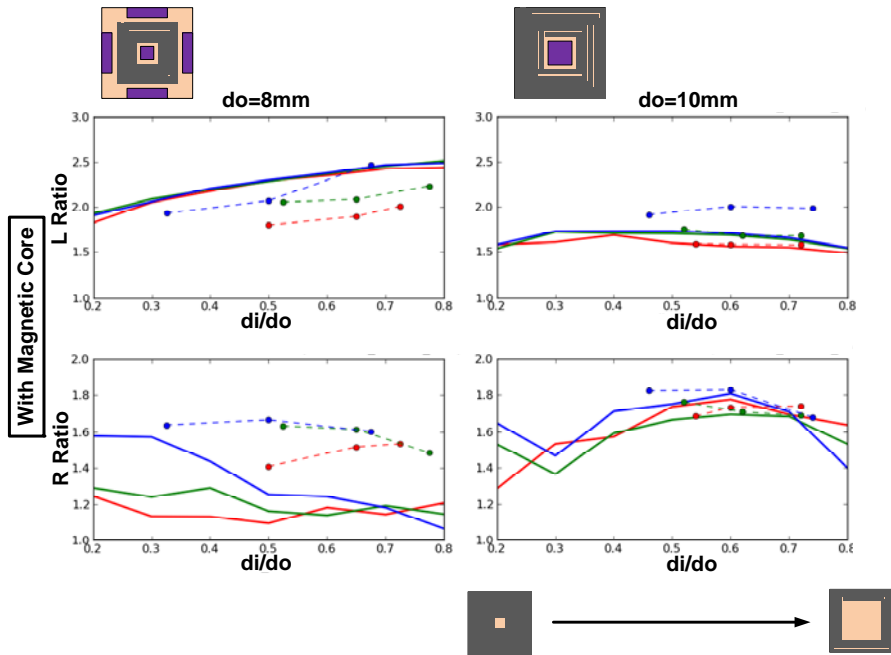


그림 10. 마그네틱 코어 사용으로 인한 L & R 변화 비율. 시뮬레이션
과 실험값(점선)

그림 10의 결과를 보면 우선 인덕턴스 L 의 경우 $do=8\text{mm}$ 일 때는 di/do 에 따라 L 이 증가하지만 $do=10\text{mm}$ 일 경우에는 di/do 에 관계없이 거의 일정한 비율을 갖는다. L 이 증가하려면 자기장의 경로에 마그네틱 코어가 있어야 한다. 그런데 $do=8\text{mm}$ 의 경우, side 코어가 존재하고, side 코어가 있는 외곽의 수직 방향 자기장은 di/do 가 클수록 물리게 된다. 따라서 di/do 가 증가할수록 side 코어를 지나는 자속 밀도가 증가하고 이로 인해 인덕턴스가 더 증가하는 것이다. 이는 암페어의 법칙으로도 설명 가능한데, 암페어의 법칙은 식으

로

$$\oint_C \mathbf{B} \cdot d\mathbf{l} = \mu NI$$

[3 -6]

와 같다. 만약에 어떠한 폐곡선 안을 지나는 전류의 세기가 같다면, 그 폐곡선의 길이가 짧을수록 자기장이 세다. 그림 11을 보면 $d_o - d_i$ 는 d_i/d_o 가 증가할수록 작아진다. 따라서 폐곡선의 길이 역시 d_i/d_o 가 커짐에 따라 작아지고, 결과로 d_i/d_o 가 작을수록 자기장의 세기는 커진다.

반면에 $d_o=10\text{mm}$ 경우에는 side 코어가 없기 때문에 비록 가운데 코어가 있더라도 그 영향이 줄게 되어 d_i/d_o 에 따른 인덕턴스 변화가 적다.

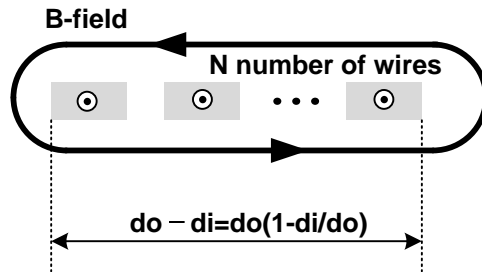


그림 11. Spiral 인덕터의 도선 주위를 흐르는 자기장

N 에 대해서는 인덕턴스와 저항 모두 N 이 클수록 그 증가량이 큰 것으로 나타났다. 이 역시 암페어의 법칙으로 설명이 가능한데, 그림 11에서 d_i/d_o 가 정해져 있다면 도선을 감싸는 폐곡선의 길이도 정해졌다고 볼 수 있다. N 이 변함에 따라 우변의 I 가 바뀌기 때문에(N 배가 된다), 자기장은 더 강해진다. 즉 N 이 증가할수록 도선 주위를 흐르는 자기장이 강해지므로 인덕턴스의 증가량 역시 커진다.

인덕턴스에 수직 방향의 코어가 미치는 영향은 그림 12에 나타나 있다. 이는 그림 10 과는 약간 다른 상황인데, 두 가지 d_o 에 대해, 인덕터에 구멍을 뚫고 코어를 넣은 것과 구멍을 뚫지 않고 코어를 넣은 것을 비교한 것이다.

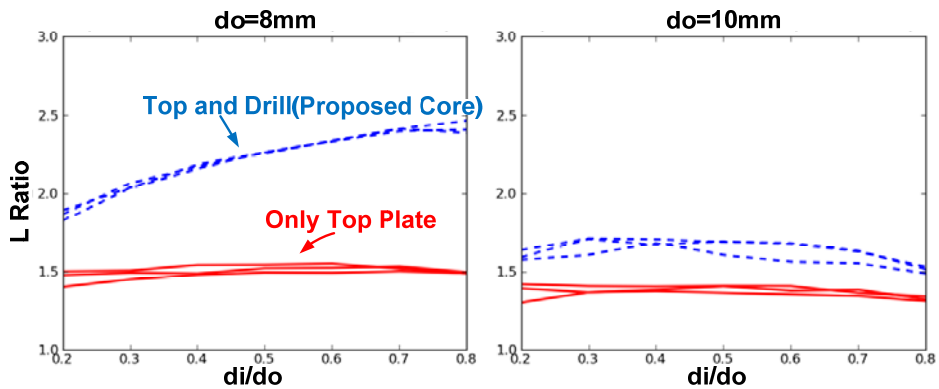


그림 12. 수직 방향의 코어가 인덕턴스 증가에 미치는 영향

do=8mm 의 시뮬레이션 결과를 보면 구멍을 뚫는 것이 윗면만 코어로 덮었을 때보다 더 큰 2.5 배 정도의 인덕턴스 증가를 가져오는 것을 알 수 있다. 반면 do=10mm 의 경우 인덕턴스 증가율에 별 차이가 없는데, 이는 측면 코어가 없어 수직 방향의 코어 효과가 줄어들었기 때문이다.

3.2.3 코어의 Relative permeability 의 변화가 인덕터에 주는 영향

폐곡선의 마그네틱 코어의 경우 relative permeability 에 의한 인덕턴스 증가율이 큰 영향을 받는다. 반면 제안한 ‘Top and Drill’ 코어에서는 relative permeability 가 올라감에 따라 인덕턴스의 증가량이 수렴하는 것을 확인할 수 있다.

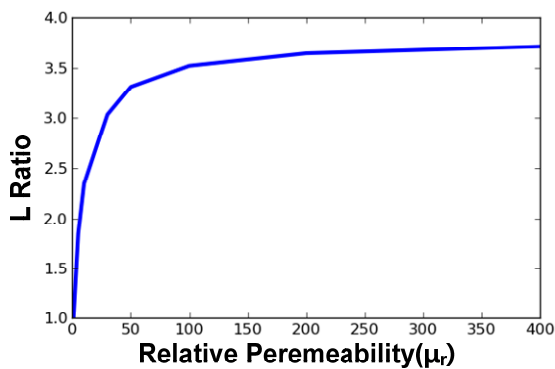


그림 13. Relative permeability의 증가와 인덕턴스 증가율의 수렴

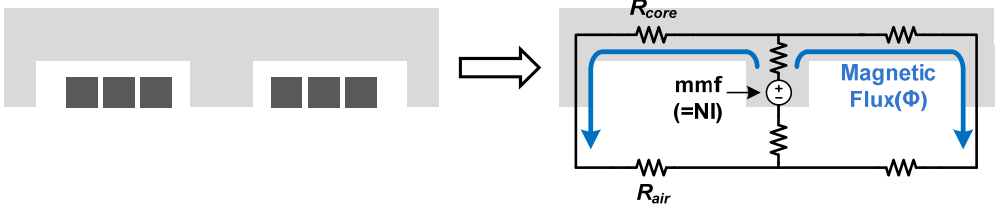


그림 14. Spiral 인덕터를 마그네틱 회로로 나타낸 모습

이는 인덕터를 마그네틱 회로로 나타내면 쉽게 이해될 수 있다[14]. 그림 14의 마그네틱 회로를 보면 인덕터는 mmf(magneto motive force) source로 나타내졌으며, B-field에 면적을 곱한 값인 magnetic flux가 흐르고, 그 경로에는 reluctance가 저항으로 모델링됐다. 이는 전기회로와 대응되는데, mmf source는 전압원, magnetic flux는 전류, 그리고 Reluctance는 저항으로 대응된다. 이 때 reluctance는

$$\mathcal{R} = \frac{l}{\mu S}$$

[3-7]

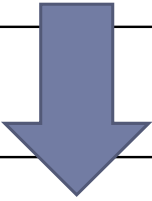
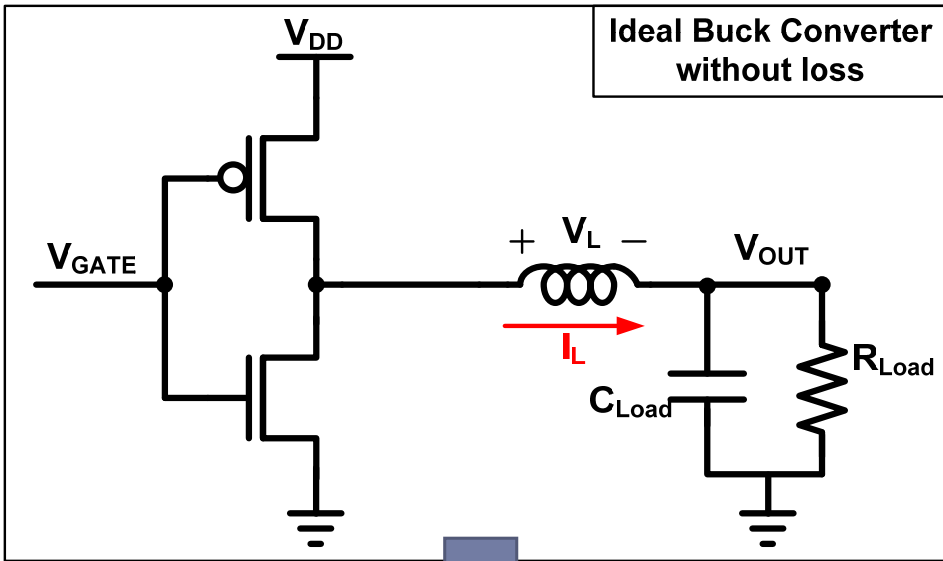
로 나타내질 수 있는데, l 은 거리, S 는 단면적이고, μ 는 permeability를 나타낸다. 이 reluctance가 작을수록 동일한 전류 대비 magnetic flux가 강해져 인덕턴스가 커지게 되는 것이다. 마그네틱 코어는 relative permeability를 크게 하여 reluctance를 줄이는 역할을 하는데, 코어가 없는 부분의 reluctance는 줄일 수 없다.

즉 코어의 permeability 가 커져도 전체 flux 의 세기는 코어가 없는 부분의 reluctance 에 제한되기 때문에, permeability 가 커져도 인덕턴스가 더 이상 커지지 않고 수렴하는 것이다. 따라서 제안한 구조에서 마그네틱 물질을 정할 때, permeability 가 어느 정도 이상이면, 다른 성질에 비중을 두는 것이 합당하다.

3.3 HFSS 결과를 이용한 인덕터 최적화

3.3.1 벡컨버터의 효율 계산

그림 15의 벡컨버터는 인덕터의 전류를 정류해 V_{out} 의 전압을 전압원 V_{DD} 보다 낮추는 역할을 한다. 주요 파형은 그림 16과 같다. 여기서 V_{OUT} 은 C_{load} 의 값을 충분히 크게 해, 출력전압 V_{OUT} 의 평균값에 비해 매우 작다고 가정한다. 따라서 앞으로 사용되는 V_{OUT} 은 출력전압의 평균값을 의미한다.



Adding Loss

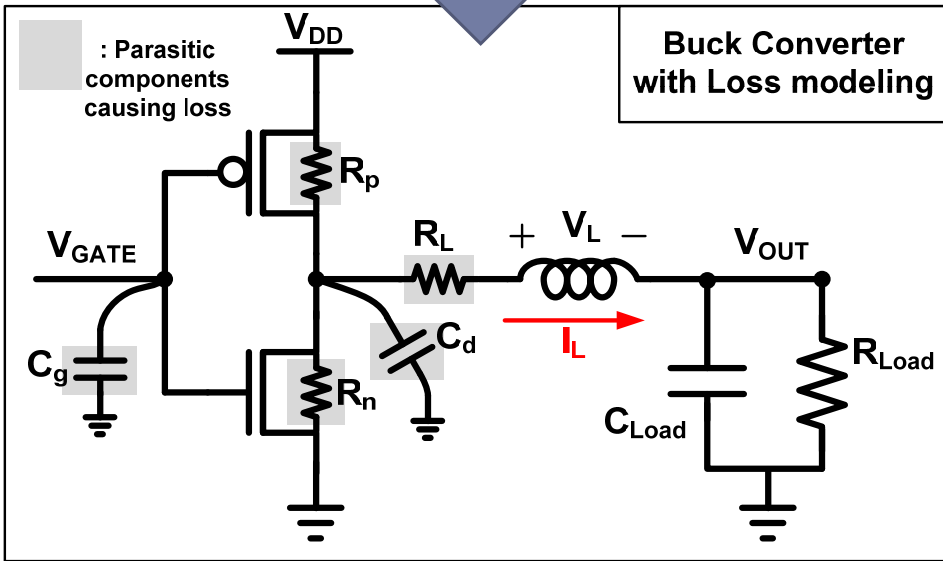


그림 15. 벡컨버터의 회로도 및 손실 모델링

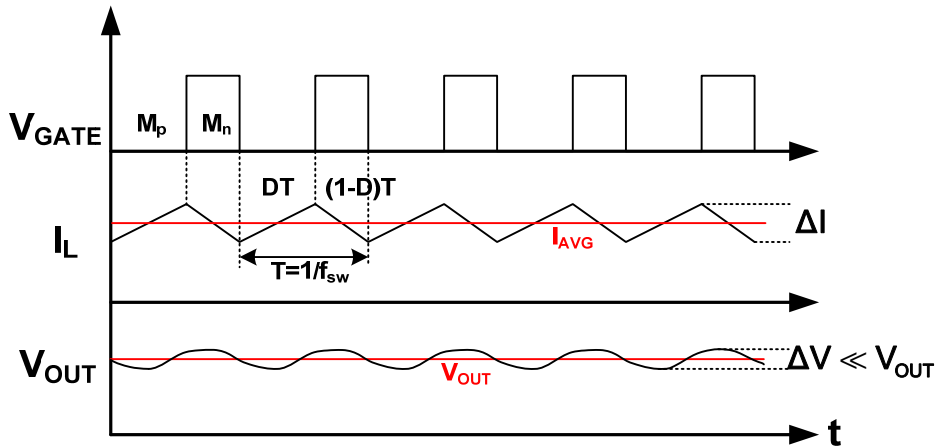


그림 16 buck버터의 주요 동작 파형

이상적인 경우에는 에너지 손실이 없어 효율이 100% 가 되지만, 실제로 구현된 회로에서는 기생 성분들 때문에 손실이 나타난다. 우선 buck버터의 전체 소모되는 전력은

$$P_{total} = P_{load} + P_{loss}$$

[3 - 8]

과 같이 나타낼 수 있고, 효율은

$$\eta = \frac{P_{load}}{P_{load} + P_{loss}}$$

[3 - 9]

로 표현할 수 있다. 이 때 P_{loss} 는 C_g 와 C_d 에 의한 스위칭 손실, 그리고 R_p , R_n , R_L 에 의한 도통 손실로 크게 두 가지로 나눌 수 있다. 이를 식으로 나타내면,

$$P_{loss} = P_{sw} + P_{cond}$$

[3 - 10]

가 된다. 우선 P_{sw} 는 벡컨버터의 MOSFET 스위치가 f_{sw} 로 스위칭 하는데 소비되는 손실로, 이는

$$P_{sw} = (c_g + c_d) * f_{sw}$$

[3 - 11]

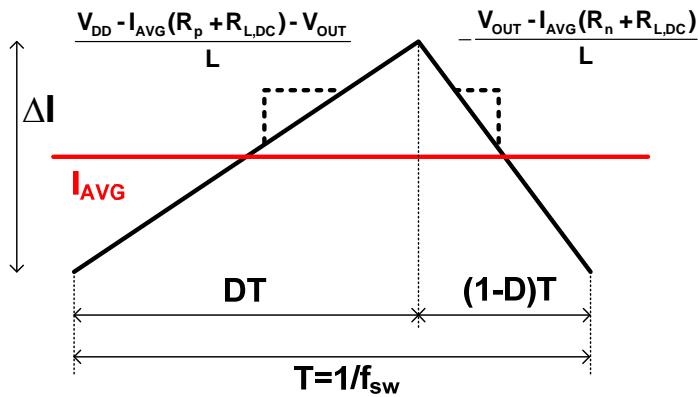
로 나타내 진다. 즉 스위치의 기생 캐패시터가 클수록, 그리고 스위칭 주파수가 클수록 손실이 증가한다.

도통 손실인 P_{cond} 는 기생 저항을 흐르는 전류에 의해 발생한다. 손실을 발생시키는 전류는 인덕터에 흐르는 전류 I_L 로 나타낼 수 있으며, 이는 DC 전류와 AC 전류 두 가지로 나눌 수 있다. 이를 식으로 나타내면

$$\begin{aligned} P_{cond} &= R_{cond} * I^2 \\ &= R_{cond} * \frac{1}{T} \int (I_{AVG} + I_{AC})^2 dt \end{aligned}$$

인데, 여기서 I_{AVG} 는 R_{load} 에 흐르는 전류로 DC 성분이고, I_{AC} 는 벡컨버터의 스위칭으로 인한 삼각파 모양의 전류이다. I_{AVG} 의 경우 R_{load} 와 V_{OUT} 이 주어져 있으므로 바로 계산이 가능하나(V_{OUT}/R_{load}), I_{AC} 의 경우는 스위칭 주파수와 게이트의 Duty 와 관련해 구해야 한다.

그림 17를 보면 인덕터에 흐르는 전류 I_L 이 PMOS 가 켜진 DT 구간에서는 증가하고 NMOS 가 켜진 $(1-D)T$ 구간에서는 감소하는 것을 볼 수 있다. 각 기울기는 인덕터의 성질인 $di/dt = V_L/L$ 를 손실이 모델링된 벡컨버터(그림 15)에 적용하여 구한 것이다.



Waveforms of I_L

그림 17. 벡컨버터 동작 시, 인덕터에 흐르는 전류 I_L

벽컨버터가 평형 상태일 경우, I_L 의 평균 값은 R_{load} 에 흐르는 전류(출력 전류) 로 일정해야 하기 때문에 한 주기 T 에서 전류가 증가하는 양과 감소하는 양이 같아야 한다. 이를 식으로 나타내면,

$$DT * \frac{V_{DD} - I_{AVG}(R_p + R_{L,DC}) - V_{OUT}}{L} = (1-D)T * \frac{V_{OUT} - I_{AVG}(R_n + R_{L,DC})}{L}$$

[3 -13]

를 만족해야 하고, 여기에서 V_{OUT} 을 도출해내면,

$$V_{OUT} = DV_{DD} - I_{AVG}(DR_p + (1-D)R_n + R_{L,DC})$$

[3 -14]

이 나온다. 회로의 소자들이 정해졌다고 하면 식 [3 -13] 에서 바꿀 수 있는 것은 D (duty) 뿐이다. 즉 목표의 출력 전압 V_{OUT} 을 맞추기 위해서 벽컨버터는 D 를 조절하게 되고, 식 [3 -13] 을 D 에 대해 정리하면,

$$D = \frac{V_{OUT} - I_{AVG}(R_n + R_{L,DC})}{V_{DD} - I_{AVG}(R_p - R_n)}$$

[3 -15]

이 되고, 이를 이용하여 삼각파의 전류의 peak-to-peak 값인 I 를 구하면

$$\Delta I = DT \frac{V_{DD} - I_{AVG}(R_p + R_{L,DC}) - V_{OUT}}{L}$$

[3 -16]

와 같다.

평균값을 I_{AVG} 로 갖고, Peak-to-peak 를 I 로 가지는 삼각파형을 식 [3 -12] 에 적용하여 계산하면,

$$\frac{1}{T} \int (I_{AVG} + I_{AC})^2 = I_{AVG}^2 + \frac{\Delta I^2}{12}$$

[3.1]

이 나온다. 다음으로 R_{cond} 의 경우, DT 동안에는 PMOS 로 전류가 흐르므로 $R_{cond} = R_p + R_L$ 이고, $(1-D)T$ 동안에는 NMOS 로 전류가 흐르

므로 $R_{cond} = R_n + R_L$ 이다. 이를 스위칭 주기 T 에 대해 평균을 내면

$$R_{cond} = DR_p + (1-D)R_n + R_L$$

[3.2]

이 된다.

위에서 구한 전류의 제곱의 평균값과 R_{cond} 를 합치면 P_{cond} 를 구할

수 있고, 여기에 P_{sw} 를 더하여 벡컨버터의 총 손실을 주어진 변수들의 식으로 정리할 수 있다. 즉

$$\begin{aligned}
 \therefore P_{loss} &= P_{sw} + P_{cond} \\
 &= (c_g + c_d) * f_{sw} + R_{cond} * \frac{1}{T} \int (I_{AVG} + I_{AC})^2 dt \\
 &= c_{sw} f_{sw} + (DR_p + (1-D)R_n) * (I_{AVG}^2 + \frac{\Delta I^2}{12}) + R_{L,DC} * I_{AVG}^2 + R_{L,AC} * \frac{\Delta I^2}{12}
 \end{aligned}$$

[3.3]

로 나타난다. 이 때, 인덕터 저항 R_L 의 경우 DC 성분과 AC 성분이 나뉘어 진다. I_{AVG} 의 경우 DC 성분이므로 $R_{L,DC}$ 에 의해 손실이 일어나고, ΔI 의 경우 AC 성분이므로 $R_{L,AC}$ 에 의해 손실이 일어난다 [15].

위에서 구한 효율식에 인덕터를 적용시키려면 인덕터의 L , $R_{L,DC}$, 그리고 $R_{L,AC}$ 를 뽑아내면 된다. 우선 인덕터는 length = [8mm, 10mm], N =[3, 5, 7], 그리고 di/do =[0.2, 0.3, ~, 0.8]의 범위로 정했다. 이로써 ‘Top and Drill Core’에 대해 총 42개의 인덕터에 대해 시뮬레이션을 진행한다. 이 때 공진 주파수 아래의 적당한 측정 주파수에서 L 과 $R_{L,AC}$ 의 값을 뽑아야 하는데, 이는 20MHz로 잡았다. 만약 20MHz보다 공진주파수가 아래라면 그보다 낮은 주파수로

시뮬레이션을 돌리고 해당 인덕터의 스위칭 주파수를 제한해야 한다. $R_{L,DC}$ 의 경우는 훨씬 낮은 주파수에서 시뮬레이션을 돌려서 값을 뽑았다.

이와 같은 효율 식으로 network analyzer 에서 얻은 L & R 을 이용해 계산한 효율과 실제 벅컨버터를 구현해 얻은 효율을 비교해보고 그 타당성을 확인하였다(그림 18).

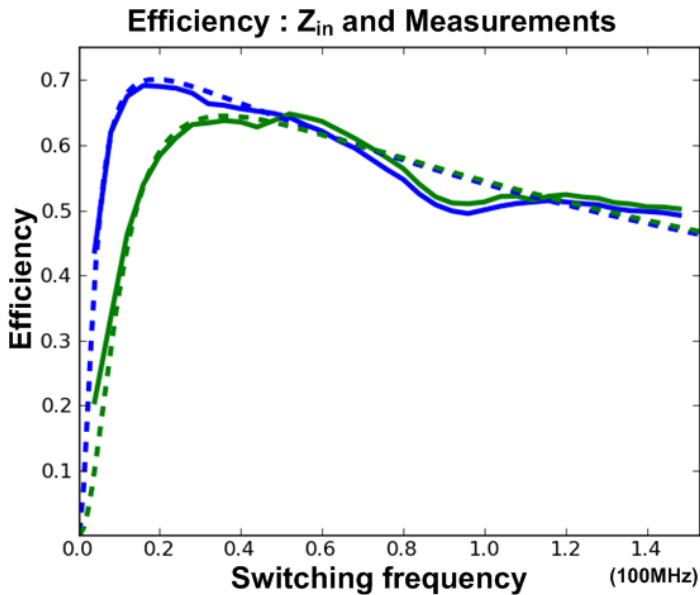


그림 18. L & R 을 이용하여 계산한 효율과 실제 벅컨버터를 구현해 측정한 효율.

3.3.2 마그네틱 코어에 의한 손실

마그네틱 코어 손실의 경우 eddy current 손실과 코어의 hysteresis 에 의한 손실로 나눌 수 있다. 논문 [16] 를 인용하면 hysteresis 손실은

$$P_{L(H)} = f_s * V_m * 2 * H_c * \Delta B$$

[3-17]

로 나타내진다. V_m 은 마그네틱 물질의 부피이고, H_c 의 경우 coercivity 이다. ΔB 의 경우 자기장의 변화량 인데, 전류의 스윙과 비례한다고 볼 수 있다. 즉 스위칭 주파수 f_s 가 커지면 반대로 ΔB 는 작아지기 때문에 $P_{L(H)}$ 는 주파수에 비교적 일정하다고 볼 수 있다 ([16]).

다음으로 eddy current 에 의한 손실은

$$P_{L(EC)} = \frac{w \cdot l \cdot t_m^3 \cdot \omega^2 \cdot B^2}{12 \cdot n_{lam}^2 \cdot \rho_{MCM}}$$

[3-18]

로 나타낼 수 있다([16]). 이 경우 lamination 의 수가 들어가고, 또 코어가 폐곡선을 띄고 있어 본 논문의 코어 손실에 적용할 수는 없지

만, 그 경향성은 추측해볼 수 있다. t_m 은 코어의 두께인데 손실이 이것의 세제곱에 비례한다. 그리고 ρ_{MCM} 의 경우 마그네틱 코어의 저항인데 이것이 크면 코어에 전류가 잘 안 흘러 손실이 작게 된다. 그리고 ω 의 경우 스위칭 주파수에 대응되는데 B 는 이것에 반비례하므로 eddy current 에 의한 손실 역시 주파수에 비교적 일정하다 ([16]).

본 논문에서는 코어 손실은 인덕터의 최적화에선 고려하지 않았으나, 추후 꼭 고려돼야 할 사항이다.

3.3.3 HFSS 시뮬레이션으로 구한 최적의 인덕터

앞서 전개한 벡컨버터의 효율식과 HFSS 시뮬레이션 결과를 이용하여 주어진 벡컨버터의 효율을 구하였다(그림 19). 이 때 벡컨버터의 동작 조건은 실험에서 진행된 것과 동등하다(표 1).

Chip	ICS830154I-08(Clock driver)
Psw	0.83 e-9 [W/Hz]
R_{ON}	2.5 ohm ($R_p = R_n$)
R_{load}	10 ohm
C_{load}	4.4uF

V_{DD}	3.3V
V_{OUT}	1.2V
f_{sw}	20~150 MHz

표 1. 벡컨버터의 동작 조건

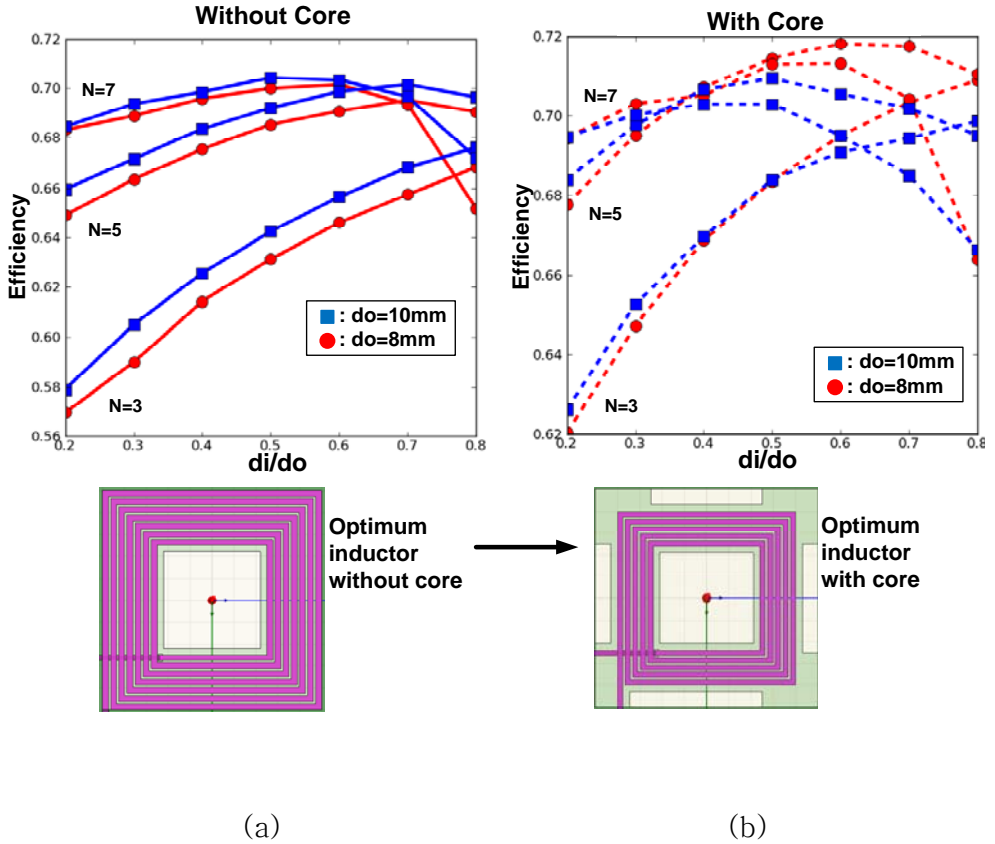


그림 19. HFSS 결과를 이용한 효율 계산 및 최적의 인덕터. (a) 마그네틱 코어가 없을 때. (b) 마그네틱 코어가 있을 때.

마그네틱 코어가 없을 때(그림 19 (a))는 $d_o=10\text{mm}$ 인 경우에 벡

컨버터의 효율이 더 좋게 나온다. 이는 사용할 수 있는 면적이 크므로 같은 인덕턴스 대비 $d_o=8\text{mm}$ 일 때보다 저항이 작게 나오기 때문이다. 하지만 마그네틱 코어를 사용하면 $d_o=8\text{mm}$ 일 때 효율이 더 좋게 나온다. $d_o=10\text{mm}$ 일 때는 side core 가 없어서 인덕턴스의 증가량이 $d_o=8\text{mm}$ 일 때보다 작기 때문이다. 주어진 벽컨버터 조건에서 최적의 인덕터를 보면 코어가 없을 때는 $d_o=10\text{mm}$, $N=7$, 그리고 $d_i/d_o=0.5$ 의 모양을 가지지만, 코어를 사용하였을 때는 $d_o=8\text{mm}$, $N=5$, 그리고 $d_i/d_o=0.6$ 일 때 최적의 효율을 나타낸다. 코어의 사용 유무에 따라 최적의 인덕터 모양이 달라지므로, 처음부터 코어와 함께 설계되어야 한다.

3.3.4 측면 코어 두께의 고려

앞서 시뮬레이션에서는 측면 코어가 있는 경우가 $d_o=8\text{mm}$ 밖에 없기 때문에 측면 코어의 두께는 하나의 값으로 정해졌었다. 이의 영향을 알아보기 위해 두 가지 모양의 인덕터에 대해 측면 코어의 두께를 변화시키면서(d_o 의 변화) 벽컨버터의 효율을 계산하였다. 그림 20을 보면 두 가지 인덕터 모두 $d_o=8\text{mm}$ 주위에서 최적점을 갖는 것을 확인할 수 있다. 측면 코어의 두께가 증가하면 인덕턴스의 증가량이

더 커지는 대신 도선이 차지하는 면적이 작아져 인덕터의 저항이 커지게 된다. 또 측면 코어의 두께가 증가한다 해도 인덕턴스의 증가율은 일정 값에 수렴하게 되는데 이는 3.2.3의 자기장 회로로 설명될 수 있다. 따라서 측면 코어의 두께는 코어의 relative permeability와 비슷하게 어느 정도 값(전체 두께의 10~20% 정도) 이상이면 더 이상 키울 필요가 없다.

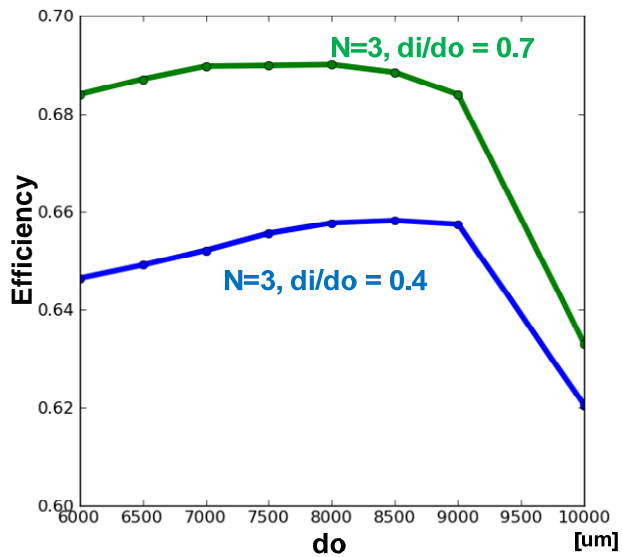


그림 20. 측면 코어의 두께 변화에 따른 벽컨버터의 효율

제 4 장 PCB 보드를 이용한 마그네틱 코어 효과 실험

4.1 Network Analyzer 를 사용한 L & R 측정

4.1.1 PCB 보드에서 구현된 인덕터

PCB 상에선 총 18가지의 인덕터들이 구현됐으며(그림 21), 앞서 정의한 인덕터의 design parameter 에 대해 $d_o = [8\text{mm}, 10\text{mm}]$, $N = [3, 5, 7]$, 그리고 d_i/d_o 는 0.5 ~ 0.8 사이에서 3개씩 뽑았다.

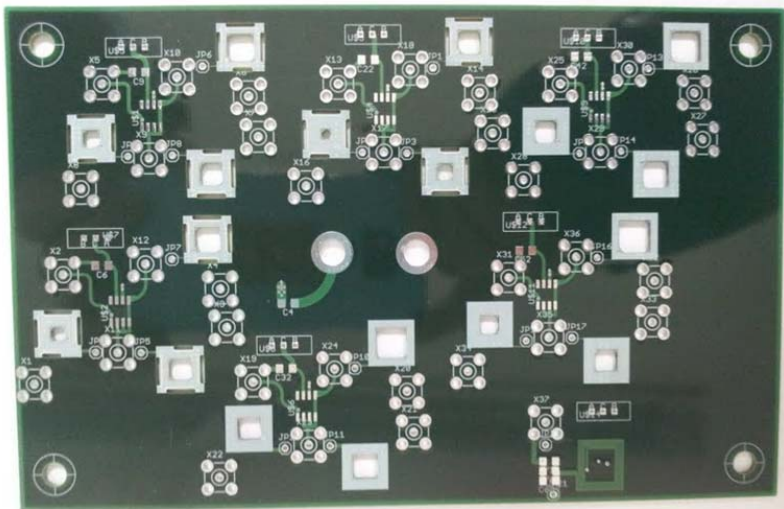


그림 21. PCB 보드에 구현된 총 18가지의 인덕터들

4.1.2 Network Analyzer 를 이용한 L&R 측정결과

그림 9와 그림 10을 보면 시뮬레이션 값과 함께 L 과 R 의 측정값이 그려져 있다. 마그네틱 코어가 없는 경우는 그림 9 에 있고, 시뮬레이션 값과 잘 맞는 것을 확인할 수 있다. 코어의 효과는 그림 10에 나와 있는데, 시뮬레이션 값과 약간의 차이는 있지만, 비슷한 수준의 값을 갖는다. 이 중에서도 특히 저항의 측정값이 시뮬레이션 보다 더 크게 나오는데 이는 시뮬레이션 상에서 코어의 손실은 모델링 돼 있지 않기 때문이다. 게다가 사용한 물질의 Coercivity(hysteric loss 를 결정하는 인자)는 140e 정도로 매우 큰 물질이기 때문에([12]의 경우 0.0150e) 저항의 증가가 더 컸다. 이는 물질의 개선으로 인해 충분히 줄일 수 있는 수치이다.

4.2 PCB 상의 벡컨버터 구성 및 마그네틱 코어에 따른 효율 변화 측정

구현한 벡컨버터의 동작 조건은 표 1 과 같고, 출력 캐패시터는 4.4 μ F 을 달았다. 그림 22 의 결과를 보면 점선이 코어를 넣은 것인데 코어가 없는 실선에 비해 효율이 증가한 것을 알 수 있다. 그리고

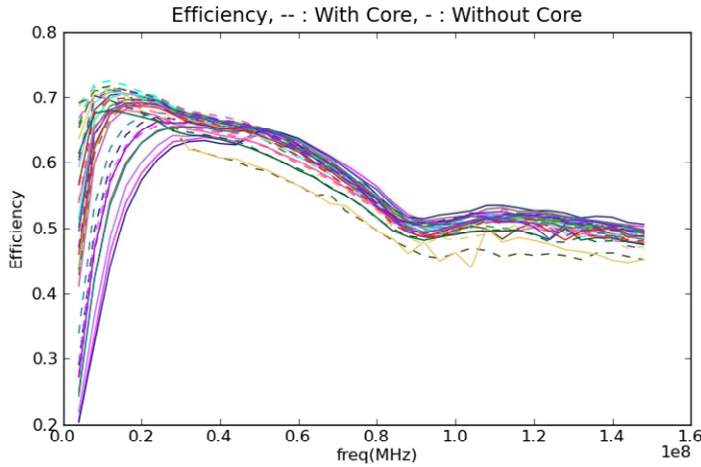


그림 22. 총 18개의 인덕터로 구성된 벡컨버터의 효율.

최적의 주파수는 보통 10MHz ~ 30MHz 사이로 나왔다.

이 중 최고의 효율을 갖는 인덕터 두 개를 $d_o=10\text{mm}$ 와 $d_o=8\text{mm}$ 에서 고르면 그 효율은 그림 23 과 같다. 주목할 점은 두 인덕터의 효율이 코어를 사용하기 전과 사용한 후에 그 크기가 바뀌었다는 것이다. 이는 코어를 고려하였을 때는 최적의 인덕터가 바뀔 수 있다는 앞의 시뮬레이션 결과와 일치한다. 효율은 4% 정도 증가하였는데, 벡컨버터의 동작 조건에 따라 효율 증가량은 달라진다. 이 때 인덕터의 저항이 코어에 의해 많이 증가했는데 이는 DC 저항이 아닌 AC 저항이다. 실제로 벡컨버터의 ΔI 가 인덕터가 증가할수록 작아지기 때문에 코어로 인해 증가한 AC 저항의 영향이 줄어든다.

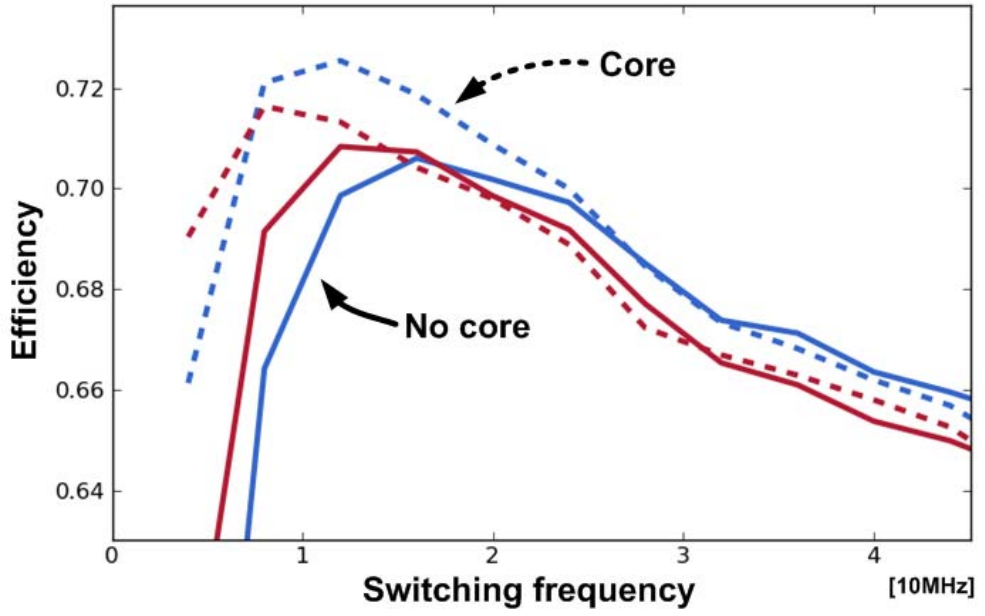


그림 23. 최대 효율을 갖는 두 인덕터.

제 5 장 CMOS 공정을 사용한 On-chip 인덕터

칩의 실험 결과 및 분석

5.1 칩에 마그네틱 코어 집적 방법

칩은 magna 180nm 공정으로 3.5 X 4.5 mm² 크기로 제작됐다. 그림 24 를 보면 커다란 인덕터가 총 5개가 있는데 이 중 가운데 것은 드릴링 테스트 용이다. 4개는 각각 벽컨버터가 단순한 인버터로 구성되어 있다.

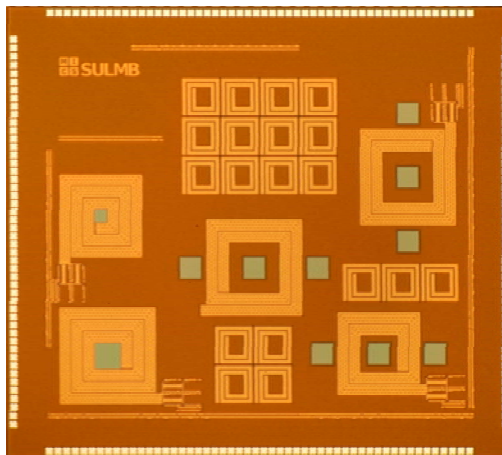


그림 24. magna 180nm 로 제작된 칩. 인덕터 내부와 곁에 있는 구멍이 코어가 들어갈 곳.

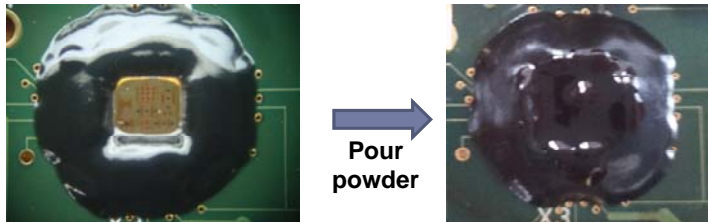
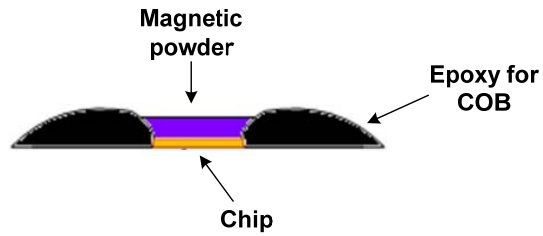


그림 25. 마그네틱 코어를 칩에 넣는 방법. COB 를 할 때 칩 위를 비웠다.

코어의 경우 PCB 에서 실험했을 때와 같은 물질을 사용했고, 이를 칩에 넣기 위해서 COB 를 할 때, 칩 표면은 밖과 인접하게 만들었다. 이로 인해 코어를 넣고 빼기가 수월해졌다(그림 25). 그리고 제안한 코어를 구현하기 위해서는 칩에 구멍을 뚫어야 하는데, 이는 그림 26 과 같이 레이저로 처리했다.

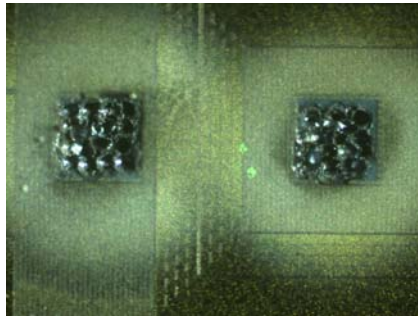


그림 26. 레이저로 칩에 구멍을 뚫은 모습.

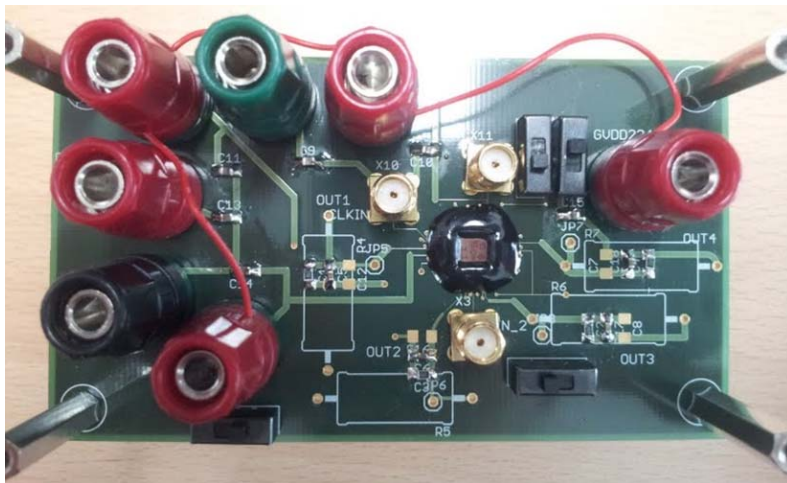


그림 27. 칩으로 구현한 buck버터

5.2 실험 결과 및 분석

입력전압은 3.3V 에서 출력전압은 1.2V 로 맞췄다. 그림 28를 보면 600MHz 아래에서는 효율이 증가한 것을 볼 수 있으나(5% 정도), 그 이후의 주파수에서는 효율이 오히려 코어를 사용하지 않았을 때보다 감소했다. 이는 코어의 eddy current 와 hysteresis 에 의한 손실이 주파수가 증가함에 따라 같이 증가했기 때문이다. 하지만 구현한 buck컨버터 자체의 효율이 매우 안 좋은 것을 알 수 있는데(저항을 사용한 voltage divider 와 비슷한 수준), 이는 칩 설계 시 인덕터의 저항과 스위칭 파워가 제대로 고려되지 않았기 때문이다. 이는 적절한 칩 설계로 개선될 수 있다. 한편 이 결과는 칩에 구멍을 뚫지 않은, 그림 4 에서 ‘Only Top Core’ 형식의 코어인데, 제안한 코어에 대한 실험은 현재 진행 중이다.

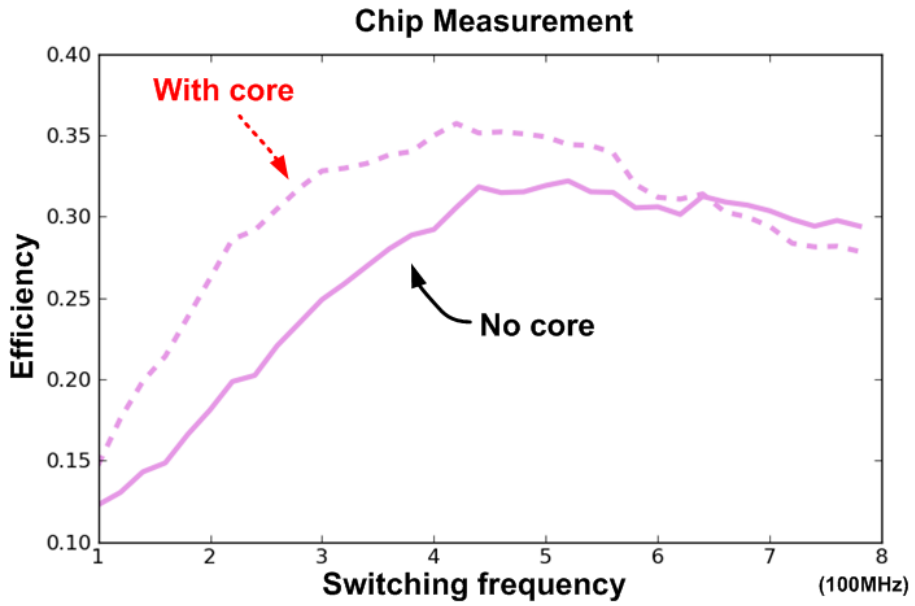


그림 28. 칩에 코어를 넣고 측정한 효율. 칩에 구멍을 뚫지 않은 경우의 결과(수평 방향의 마그네틱 코어만 존재).

제 6 장 결론

본 연구는 On-chip 벡컨버터의 효율을 높이기 위해서 벡컨버터의 가장 중요한 요소인 인덕터의 성능을 개선하는데 초점을 맞추었는데, 이중에서도 마그네틱 코어를 집적하여 같은 DC 저항 대비 큰 인덕턴스를 얻었다.

공정 측면(마스크 작업)에서부터 마그네틱 코어를 집적하는 연구들이 있지만 이는 어려운 작업이다. 반면 본 연구는 일반 CMOS 공정으로 생산된 칩에 구멍을 뚫어 코어를 넣음으로써 코어의 영향을 확대시켰으며, 이는 최대 3.5 배까지 인덕턴스를 증가시킬 수 있었다. 이 후 벡컨버터의 효율을 도출 한 후, 시뮬레이션 결과에 적용하여 최적의 인덕터 모양과 그 외 인덕터 설계 시 고려할 점들을 제안한다.

시뮬레이션 결과는 PCB 보드를 통해 검증하였으며, 칩으로 수행한 실험은 현재 진행 중이다.

참고 문헌

- [1] Josh Wibben, and Ramesh Harjani, “A high-efficiency DC-DC converter using 2 nH integrated inductors” , IEEE Journal of Solid-State Circuits, vol.43, no.4, pp. 844-854, April 2008.
- [2] Jinhua Ni, Zhiliang Hong, Bill Yang Liu, “Improved on-chip components for integrated DC-DC converters in 0.13 μ m CMOS” , IEEE the 34th European Solid-State Circuits Conference , pp.448-451, 2009.
- [3] Sudhir S. Kudva and Ramesh Harjani, “Fully integrated on-chip DC-DC converter with a 450x output range” , IEEE Custom Integrated Circuits Conference, pp.1-4, 2010.
- [4] Michael D. Mulligan, Bill Broach, Thomas H. Lee, “A 3MHz lowvoltage buck converter with improved light load efficiency” , IEEE International Solid-State Circuits Conference, pp.528-529, 2007. Design, Springer, pp.339-358, 2009.
- [5] Mike Wens and Michiel Steyaert, “A Fully-Integrated 130nm CMOS DC-DC Step-Down Converter, Regulated by a

Constant On/Off-Time Control System” , the 34th European Solid-State Circuits Conference, pp.62–65, 2008

[6] Xiaohan Gong, Jinhua Ni, Zhiliang Hong and Bill Liu, “An 80% peak efficiency, 0.84mW sleep power consumption, fully-integrated DC-DC converter with buck/LDO mode control” , Custom Integrated Circuits Conference (CICC), 2011 IEEE

[7] Noah Sturcken, Eugene O’ Sullivan, Naigang Wang, Philipp Herget, Bucknell Webb, Lubomyr Romankiw, Michele Petracca, Ryan Davies, Robert Fontana, Gary Decad, Ioannis Kymissis, Angel Peterchev, Luca Carloni, William Gallagher, Kenneth Shepard, “ A 2.5D Integrated Voltage Regulator Using CoupledMagnetic-Core Inductors on Silicon Interposer Delivering 10.8A/mm²”, ISSCC 2012.

[8] M. Takamiya, K. Onizuka, and T. Sakurai, ” 3D-Structured On-Chip Buck Converter for Distributed Power Supply System in SiPs” , ICICTD 2008

[9] D. S. Gardner, G. Schrom, P. Hazucha, F. Paillet, T. Karnik, S. Borkar, “Integrated On-Chip Inductors with Magnetic Films” ,

IEDM 2006

[10] Jonsenser Zhao, “A new calculation for designing multilayer planar spiral inductors” , edn.com

[11] Masahiro Yamaguchi, Makoto Baba, and Ken-Ichi Arai, “Sandwich-Type Ferromagnetic RF Integrated Inductor” , IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES, VOL. 49, NO. 12, DECEMBER 2001

[12] Donald S. Gardner, Gerhard Schrom, Peter Hazucha, Fabrice Paillet, Tanay Karnik, Shekhar Borkar, “Integrated On-Chip Inductors with Magnetic Films” , Electron Devices Meeting, 2006. IEDM '06. International

[13] Matthias Ludwig, Maeve Duffy, Terence O’ Donnell, Paul McCloskey, and Sean Cian Mathna, “Design Study for Ultraflat PCB-Integrated Inductors for Low-Power Conversion Applications” , IEEE TRANSACTIONS ON MAGNETICS, VOL. 39, NO. 5, SEPTEMBER 2003

[14] David K.Cheng, “Field and Wave Electromagnetics” , 254p

[15] Ludwig, Matthias, et al. "PCB integrated inductors for low power DC/DC converter." *Power Electronics, IEEE Transactions on* 18.4 (2003): 937–945.

[16] Morrow, Patrick R., et al. "Design and fabrication of on-chip coupled inductors integrated with magnetic material for voltage regulators." *Magnetics, IEEE Transactions on* 47.6 (2011): 1678–1686

Abstract

The paper proposes a new on-chip inductor magnetic core and its optimization for buck converter application. Proposed magnetic core is an open-loop, not a closed-loop and planar area of the core is regarded as a design parameter. Proposed magnetic core tends to achieve a more closed-loop core compare to an only-top-plate core by drilling the chip and insert a vertical core. This type of magnetic core has an advantage for easy integration to normal CMOS technology. Using HFSS as a simulation tool, see the effectiveness of the core. After that, using PCB inductors, which is easy to implement, check the simulation results with measurements and finally do measurements on a chip inductor.

Keywords : On-chip inductor, magnetic core, buck converter, PCB inductor

Student Number : 2011-20780