



저작자표시-동일조건변경허락 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.
- 이차적 저작물을 작성할 수 있습니다.
- 이 저작물을 영리 목적으로 이용할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



동일조건변경허락. 귀하가 이 저작물을 개작, 변형 또는 가공했을 경우에는, 이 저작물과 동일한 이용허락조건하에서만 배포할 수 있습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

M.S. THESIS

A Study on Gate Dielectric and Interface of InGaAs MISFETs for CMOS Extension

CMOS 확장을 위한 InGaAs MISFET의
게이트 절연막과 표면처리에 관한 연구

Minseok Kim

FEBRUARY 2015

SCHOOL OF ELECTRICAL ENGINEERING AND
COMPUTER SCIENCE
COLLEGE OF ENGINEERING
SEOUL NATIONAL UNIVERSITY

M.S. THESIS

A Study on Gate Dielectric and Interface of InGaAs MISFETs for CMOS Extension

CMOS 확장을 위한 InGaAs MISFET의
게이트 절연막과 표면처리에 관한 연구

Minseok Kim

FEBRUARY 2015

SCHOOL OF ELECTRICAL ENGINEERING AND
COMPUTER SCIENCE
COLLEGE OF ENGINEERING
SEOUL NATIONAL UNIVERSITY

초 록

본 논문에서는 Recessed planar type InGaAs MISFET 구조에서 가장 중요한 게이트 절연막과 계면특성에 관한 연구를 진행하였다.

큰 드레인 전류와 트랜스컨덕턴스, 낮은 누설 전류값을 갖는 InGaAs MISFET에 적합한 절연막의 특성을 얻기 위해, 여러 가지 절연막 물질 후보군 중에서 산소기가 없는 막인 PEALD SiNx 막을 선택하였다.

전반적으로 InGaAs MISFET 구조의 게이트 스택에 대한 연구를 통해 표면의 Dit값과 커패시턴스 확산현상을 줄이고 열적 안정성을 유지하는 방법을 모색하였다.

ICP-CVD 시스템을 이용하여 SiNx 박막의 증착 공정에 대한 연구를 진행하였고 이를 통해 열적 안정성을 갖고 낮은 주파수에서 커패시턴스 확산현상이 작은 소자를 제작 할 수 있었다. 챔버 척 증착 온도를 변화시켜가며 주파수에 따른 커패시턴스 확산현상을 개선하는 방안을 찾았다.

또한 표면의 자연산화막 처리를 위해 디지털 에치, 암모니아 염기성 용액 처리를 통해서 개선된 누설 전류 특성을 얻었다. 그리고 표면의 데미지 감소를 위해 N₂ 플라즈마 파워를 낮추어 누설 전류를 더욱 감소시킬 수 있었다.

추가적으로 메탈 증착 이후 열처리를 통해 문턱전압을 양쪽으로 이동시키고 히스테리시스, 주파수에 따른 커패시턴스 확산현상을 개선하였으며 트랜스컨덕턴스와 드레인 전류를 증가시켰다.

마지막으로 수소 분위기의 열처리를 통해 기존의 질소 분위기의 열처리 보다 누설전류를 더욱 감소시킬 수 있었다. 위에 열거한 방법들을 종합하여 게이트 길이가 짧은 소자(~100nm)를 제작하여 개선된 특성을 얻었다.

추가적으로 high-k 물질을 게이트 절연막으로 사용하기 위해 SiNx/Al₂O₃ 이중막에 대한 연구 및 소자 제작을 통해 문턱전압 이하에서의 기울기 값을 개선시키는 연구도 진행 하였다.

주요어 : InGaAs MISFET, PEALD SiNx, 표면처리, 디지털 에치

학 번 : 2013-20756

Contents

Chapter 1. Introduction	1
1.1 Overview of InGaAs MISFETs	1
1.2 Gate stack engineering for InGaAs	6
Chapter 2. Preparation for InGaAs MISFETs	9
2.1 Mesa isolation and gate recess	9
2.2 Ohmic contact for InGaAs MISFETs	12
2.3 Epitaxial layer structure of InGaAs MISFETs	15
Chapter 3. Gate stack engineering for InGaAs MISFETs	17
3.1 Digital etch	17
3.2 Surface treatment	19
3.3 Dielectric interface – Deposition temperature	22
3.4 Dielectric interface – Thickness	27
3.5 Dielectric interface – Plasma power	30
3.6 Annealing – Post metallization annealing	33
3.7 Dual dielectric – SiN _x /Al ₂ O ₃	38

Chapter 4. Fabrication of planar type InGaAs MISFETs	40
4.1 Process of recessed 2 μ m gate MISFET	40
4.2 Measurements and results	42
4.3 TEM images of fabricated devices	48
Chapter 5. Conclusions	50
5.1 Summary and conclusions	50
References	55

Chapter 1

Introduction

1.1 Overview of InGaAs MISFETs

Si 기반의 metal-oxide-semiconductor field-effect transistor (MOSFET) 소자는 무어의 법칙에 따라 130 nm 기술까지 물리적인 스케일링이 계속되어 왔으나 off-state power 소비를 증가시키는 gate leakage current 의 증가 및 carrier transport 의 saturation 현상으로 단순한 물리적인 스케일링에 따른 성능 향상은 더 이상 기대할 수 없을 것으로 예상되어 on-current 를 증가시키고 off-current 를 감소시키는 새로운 기술이 필요하게 되었다. 여러 가지 다양한 시도 중, 90nm node 의 Si MOSFET 에서는 전자 이동도를 향상시키기 위하여 spacer 또는 source/drain SiGe, Si[C] 에피 기술을 통하여 Si 채널에 uni-axial stress 를 가하는 'strained silicon' 기술이 도입되었다. 45nm node 에서는 gate leakage current 를 획기적으로 줄이기 위한 방향으로 replacement gate (gate-first) 공정을 이용한 'high-k/metal gate' 기술이 도입되었다. 최근 22nm node 소자에서는 short channel effect 를 줄이기 위하여 기존의 이차원적인 소자 구조에서 3 차원적인 소자로의 전이로 이어져 gate 가 세면을 모두 감싸고 있기 때문에 효과적인 channel charge

control 이 가능하고 planar type 의 소자 대비 거의 2 배의 effective width 를 가짐으로써 많은 current 가 흐르는 소자를 만들 수 있다.

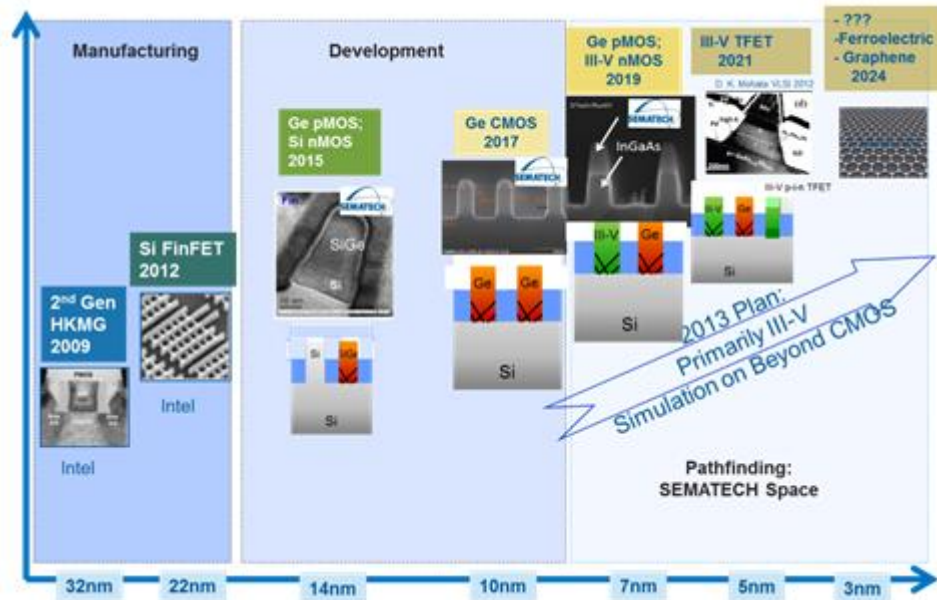
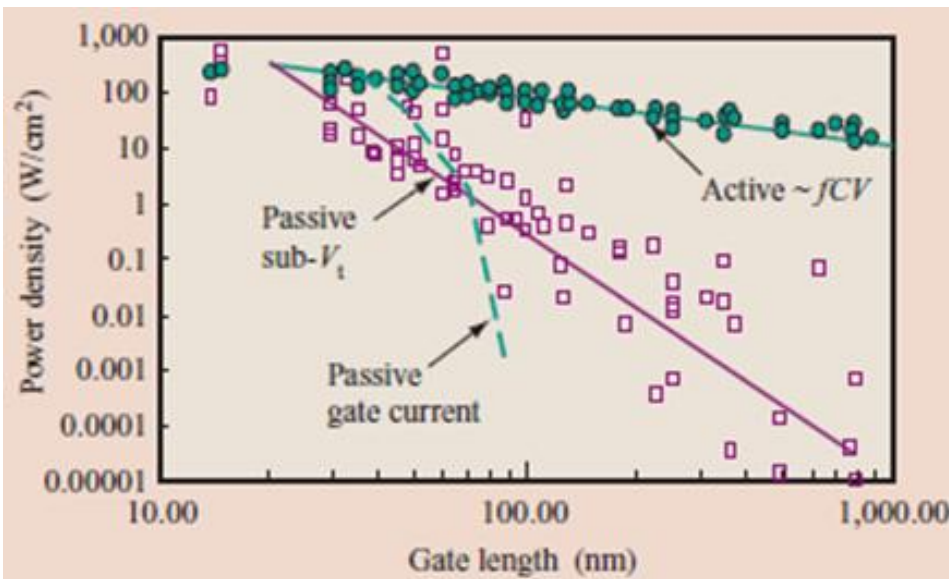
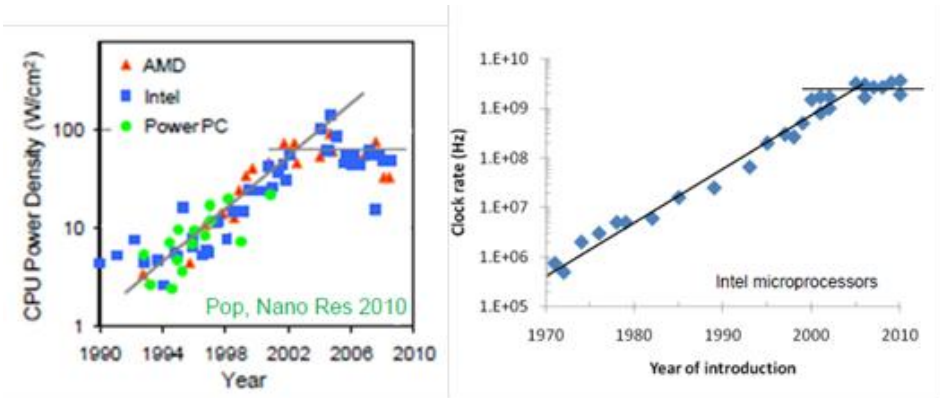


그림 1.1 차세대 Logic Transistor 개발 Roadmap (2012 년 12 월 Pre-IEDM SEMATECH workshop)

그러나 여러가지 기술개발에도 불구하고 Si 기반의 MOSFET 소자는 더 이상 dimension 의 스케일링에 따른 성능 향상은 기대할 수 없을 것으로 예상되고 Si MOSFET 의 전력 소모가 scaling 을 제한하는 시기에 진입함에 따라 최근 높은 carrier 이동도를 가지는 III-V 화합물 및 Ge 기반의 complementary MOS (CMOS)가 기존 Si 소자를 대체할 수 있는 차세대 해결책으로 각광 받고 있다.



Power = active power + stand-by power

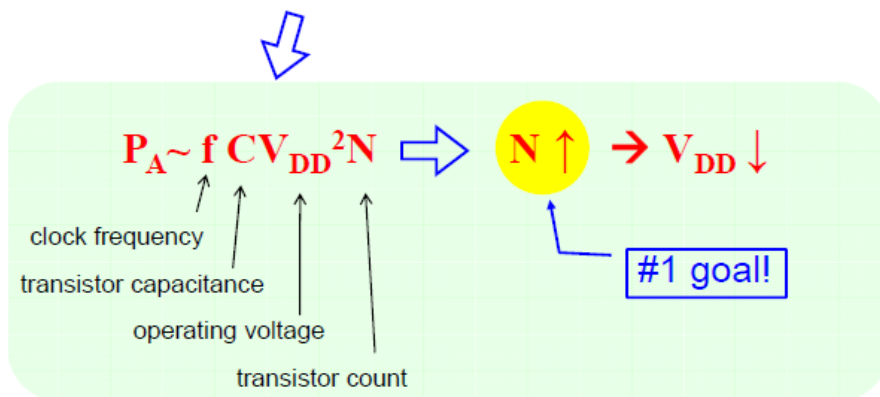


그림 1.2 (a) CPU 전력소모, clock-frequency (b) 차세대 CMOS 전력손실 (MIT)

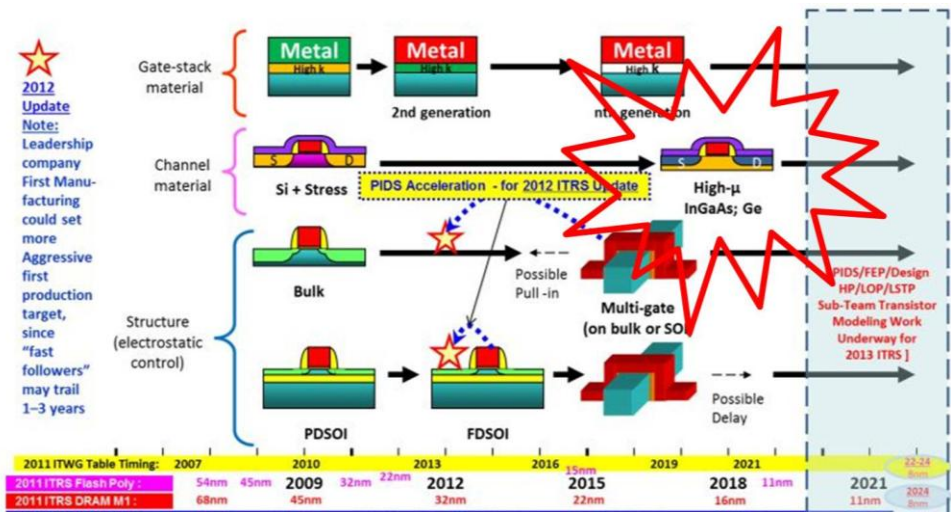


그림 1.3 Equivalent Scaling – process technologies timing (ITRS 2011)

그러나 이러한 기술 개발에도 불구하고 Si 기반의 MOSFET 소자는 더 이상 dimension 의 스케일링에 따른 성능 향상은 기대할 수 없을 것으로 예상되고 Si MOSFET 의 전력 소모가 scaling 을 제한하는 시기에 진입함에 따라 최근 높은 carrier 이동도를 가지는 III-V 화합물 및 Ge 기반의 complementary MOS (CMOS)가 기존 Si 소자를 대체할 수 있는 차세대 해결책으로 각광받고 있다. 그림 1.2 (a)에서 보다시피 마이크로프로세서 전력 밀도는 100 W/cm² 에 포화되어 있고 클럭 속도는 4GHz 보다 진보되지 않고 있어서 Si 기술 수준으로는 극복하기 어려운 상황이다.

그림 1.4 와 표 1.1 에 나타난 바와 같이 많은 채널 물질 중에서 상대적으로 hole mobility 가 높은 Ge 와 electron mobility 가 높은 III-V 화합물이 각각 PMOS 와 NMOS 소자의 적용 소재로 부각되고 있다. 특히 다른 화합물 기관과 비교했을 때 상대적으로 gate dielectric 과의

계면특성이 우수하며 electron 의 mobility 가 뛰어난 $\text{In}_{1-x}\text{Ga}_x\text{As}$ ($0 \leq x \leq 1$)가 차세대 NMOS 채널 물질로 각광받고 있다. .

	Si	Ge	InP	GaAs	$\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$	InAs	InSb
Electron μ (cm^2/Vs)	1600	3900	5400	9200	14000	40000	77000
electron effective mass ($/m_0$)	m_t/m_l : 0.19/ 0.16	m_t/m_l : 0.082/ 1.467	0.08	0.067	0.041	0.026	0.014
Hole μ (cm^2/Vs)	430	1900	200	400	300	500	850
hole effective mass ($/m_0$)	m_{HH}/m_{LH} 0.49/ 0.16	m_{HH}/m_{LH} 0.28/ 0.044	m_{HH}/m_{LH} 0.45/ 0.12	m_{HH}/m_{LH} 0.45/ 0.082	m_{HH}/m_{LH} 0.46/ 0.051	m_{HH}/m_{LH} 0.57/ 0.35	m_{HH}/m_{LH} 0.44/ 0.016
E_g (eV)	1.12	0.66	1.34	1.42	0.75	0.36	0.14
permittivity	11.8	16	12.4	13.2	13.9	14.6	17

표 1.1 III-V 화합물과 Si, Ge 물질의 특성 비교

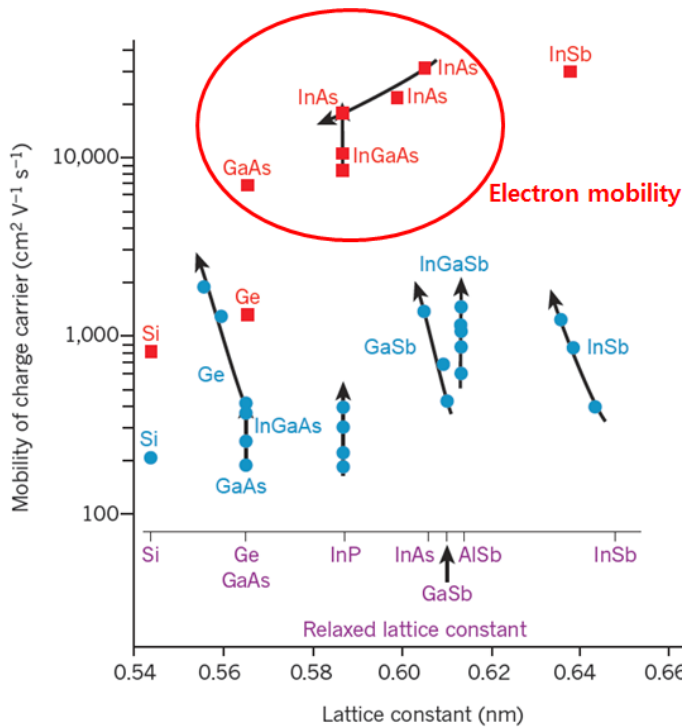


그림 1.4 III-V 화합물 및 Si, Ge 의 lattice constant 에 따른 electron & hole mobility 특성 비교

1.2 Gate stack engineering for InGaAs based MISFETs

매우 높은 전기이동도를 가지는 III-V 반도체의 큰 장점에도 불구하고 지난 40 년간 III-V MOSFET 의 소자의 구현을 가로 막았던 큰 장애물중의 하나는 적절하게 게이트절연막을 III-V 채널 기판에 형성하는 공정의 결여였다. 따라서 sub-10 nm node 에서 III-V MOSFET 의 산업화를 성공적으로 이루기 위해서 필수적인 중요 공정은 효과적인 threshold voltage control 이 가능한 금속 전극과 III-V 채널과의 계면에서의 interface state density 가 낮은 high-k gate dielectric 물질을 포함하는 high-k gate stack 공정 개발이 필수적이며 또한 최적의 high speed interconnection 을 위한 III-V channel 상에서의 ohmic contact 공정 개발이 요구된다.

최근에 InGaAs based MISFET 소자에서 저항성분을 줄이기 위해 S/D regrowth 및 Ni-silicide 와 같은 방법들이 도입되고 있지만 가장 중요한 것은 gate 와 channel 사이의 interface 와 dielectric 이다.

InGaAs based gate stack 에서 최근 이슈는 높은 interface state density (D_{it})값과 depletion 영역과 inversion 영역에서의 capacitance dispersion 현상, 그리고 gate stack 의 thermal stability 등의 문제이다.

이를 해결하기 위해 본 논문에서는 surface treatment (digital etch, 전처리)와 dielectric/interface damage 감소 (deposition power, temperature, 두께) 그리고 annealing (PDA, PMA, ambient)를 통해 상기 이슈들을 해결하고자 하였다.

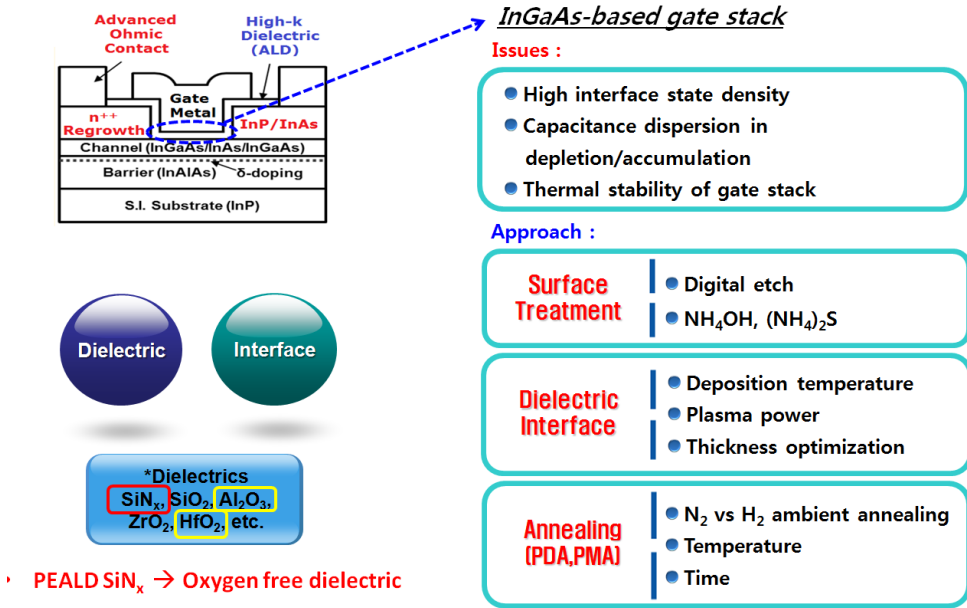


그림 1.5 현재 InGaAs based gate stack 의 이슈와 접근방안

기존 22 nm Si MOSFET 소자에서 gate length scaling 에 따른 short channel effect 를 향상시키기 위하여 3D MOSFET FinFET 으로의 기술 전이가 이루어진 상황을 고려할 때, planar III-V MOSFET 의 기술 및 Si 기판 위에 ART (Aspect Ratio Trapping) 에피 성장 기술을 이용하여 mobility 가 뛰어난 InGaAs 화합물 반도체를 channel 로 사용하고 electrostatic confinement 가 뛰어난 3D 구조의 III-V FinFET 소자가 향후 10 nm 이하의 CMOS 소자에 적용될 것으로 예상된다.

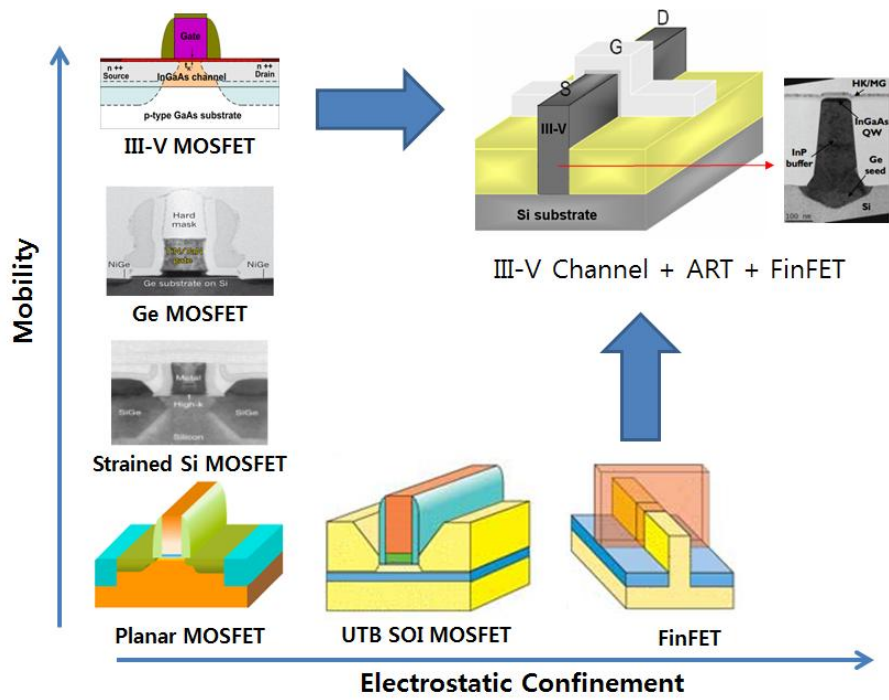


그림 1.6 3D 구조인 III-V FinFET 의 필요성

Chapter 2

Preparation for InGaAs MISFETs

2.1 Mesa isolation & Gate recess

InGaAs 기반의 소자를 제작하기 위해 처음으로 Mesa isolation 조건을 테스트 하였다. Mesa isolation은 wet etch를 기반으로 진행하였는데 InGaAs etch는 인산:과산화수소:물=1:1:25 solution을 사용하였다. Etch rate은 분당 150nm ~ 180nm 수준으로 측정되었다. InP etch는 인산:염산:물=1:1:1 solution을 사용하였는데 etch rate은 분당 12nm 수준으로 측정되었다. 두 가지 solution은 각각 InP와 InGaAs와의 selectivity가 좋으므로 over etch가 가능하나 두 가지 solution 모두 인산 계열의 solution이다 보니 slope 지는 현상을 막을 수는 없다.

Mesa isolation 후 gate recess test를 진행하였는데 InP etch는 etch rate이 느린 mesa isolation과 동일한 조건을 사용하였고 InGaAs etch는 dry와 wet 두가지 모두 test 하였는데 각각의 방법 모두 장단점이 있다. Dry etch의 경우 slope이 vertical 한 대신에 InGaAs/InP layer에 대한 micro control이 어렵고 wet etch의 경우 solution 별로 선택비가 좋기 때문에 etch stop을 이용하여 depth micro control이 가능하나 slope이 vertical 하지 않고 gate length가 define한 것보다 커지는 단점이 있다. Wet etch gate recess의 경우 Citric acid:과산화수소=20:1 solution을 사용하였는데 etch rate은 11.5Å

[1]이고 이를 5초, 10초, 15초, 20초, 30초로 split 하여 InP layer에서 etch stop 되는지 AFM을 통해 확인하였다. 그림 2.1을 보면 10초~15초 정도에 이미 etch stop이 되며 over etch를 진행하여도 더 이상 depth가 깊어지지 않음을 확인하였다.

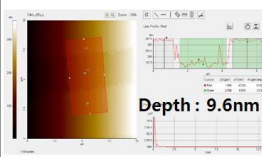
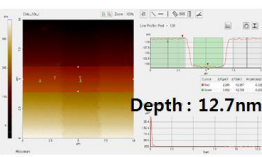
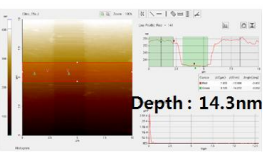
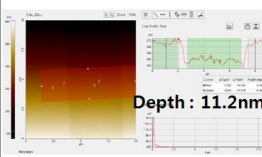
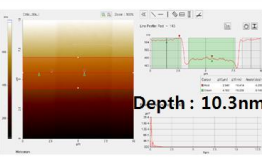
조건	Citric Acid:H ₂ O ₂ =20:1 5초	Citric Acid:H ₂ O ₂ =20:1 10초	Citric Acid:H ₂ O ₂ =20:1 15초																						
AFM	 Depth : 9.6nm	 Depth : 12.7nm	 Depth : 14.3nm																						
조건	Citric Acid:H ₂ O ₂ =20:1 20초	Citric Acid:H ₂ O ₂ =20:1 30초																							
AFM	 Depth : 11.2nm	 Depth : 10.3nm																							
구조	<table border="1"> <thead> <tr> <th></th> <th>Material</th> <th>Thickness(um)</th> <th>Doping농도</th> </tr> </thead> <tbody> <tr> <td rowspan="2">Barrier</td> <td>n+ InGaAs</td> <td>0.01</td> <td>> 5e18</td> </tr> <tr> <td>n+ InP</td> <td>0.006</td> <td>> 5e18</td> </tr> <tr> <td rowspan="2">Spacer</td> <td>n+ InGaAs</td> <td>0.01</td> <td>> 5e18</td> </tr> <tr> <td>u InP</td> <td>0.002</td> <td>?</td> </tr> <tr> <td>Buffer</td> <td>u InGaAs</td> <td>0.4</td> <td>?</td> </tr> </tbody> </table>				Material	Thickness(um)	Doping농도	Barrier	n+ InGaAs	0.01	> 5e18	n+ InP	0.006	> 5e18	Spacer	n+ InGaAs	0.01	> 5e18	u InP	0.002	?	Buffer	u InGaAs	0.4	?
	Material	Thickness(um)	Doping농도																						
Barrier	n+ InGaAs	0.01	> 5e18																						
	n+ InP	0.006	> 5e18																						
Spacer	n+ InGaAs	0.01	> 5e18																						
	u InP	0.002	?																						
Buffer	u InGaAs	0.4	?																						
	<p>2" Undoped InP, 0deg</p> <p>• Citric acid:H₂O₂=20:1 etch rate : 11.5 Å/초 → 5.8/11.5/17.2/23/34.5nm Target</p>																								

그림 2.1 Citric acid solution의 etch rate 확인

InGaAs 를 wet etch 한 뒤에 InP layer wet etch split 평가를 진행하였다. Mesa isolation과 동일한 조건인 인산:염산:물=1:1:1 solution을 사용하였는데 30초, 45초, 60초를 etch해도 더 이상 depth가 깊어지지 않는 것을 확인하여 해당 solution의 InGaAs:InP 선택비가 좋음을 확인할 수 있다. 즉, 50% 이상 over etch를 진행하여도 하단의 InGaAs layer 위에서 etch stop 됨을 확인하였다.

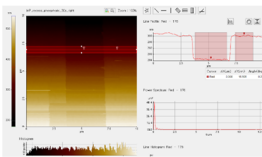
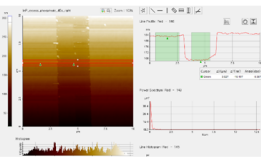
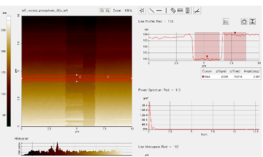
조건	Citric Acid:H ₂ O ₂ =20:1 13초																												
	H ₃ PO ₄ :HCl:DI=1:1:1 30초	H ₃ PO ₄ :HCl:DI=1:1:1 45초	H ₃ PO ₄ :HCl:DI=1:1:1 60초																										
AFM	 Depth : 155Å	 Depth : 162Å	 Depth : 160Å																										
구조	<table border="1"> <thead> <tr> <th></th> <th>Material</th> <th>Thickness(um)</th> <th>Doping농도</th> </tr> </thead> <tbody> <tr> <td rowspan="3">Barrier</td> <td>n+ InGaAs</td> <td>0.01</td> <td>>5e18</td> </tr> <tr> <td>n+ InP</td> <td>0.006</td> <td>>5e18</td> </tr> <tr> <td>n+ InGaAs</td> <td>0.01</td> <td>>5e18</td> </tr> <tr> <td>Spacer</td> <td>u InP</td> <td>0.002</td> <td>?</td> </tr> <tr> <td>Buffer</td> <td>u InGaAs</td> <td>0.4</td> <td>?</td> </tr> <tr> <td colspan="4">2" Undoped InP 0deg</td> </tr> </tbody> </table> <p>* H₃PO₄:HCl:DI=1:1:1 etch rate : 2 Å / 초 → 30초/45초/60초 각각 6nm/ 9nm/12nm Target 결과 : 50% Over etching 시에도 16nm 에서 etch stopping</p>				Material	Thickness(um)	Doping농도	Barrier	n+ InGaAs	0.01	>5e18	n+ InP	0.006	>5e18	n+ InGaAs	0.01	>5e18	Spacer	u InP	0.002	?	Buffer	u InGaAs	0.4	?	2" Undoped InP 0deg			
	Material	Thickness(um)	Doping농도																										
Barrier	n+ InGaAs	0.01	>5e18																										
	n+ InP	0.006	>5e18																										
	n+ InGaAs	0.01	>5e18																										
Spacer	u InP	0.002	?																										
Buffer	u InGaAs	0.4	?																										
2" Undoped InP 0deg																													

그림 2.2 InP wet etch solution의 etch rate 확인

Dry etch gate recess의 경우 ICP etcher 장비를 이용하여 Ar gas only 조건으로 InP etch를 진행하였다. Bias RF power를 split 하여 진행한 결과 bias RF power 20W 이상, DC bias 50V 이상의 조건에서 InP가 etch 되었으며 이는 시간에 따라 linear하게 증가하는 경향을 보였다. 당연하게도 물리적인 dry etch를 이용하여 깎는 조건이다 보니 정확하게 InGaAs layer 위에 etch stop이 되지 않으며 선택비 또한 거의 없는 것으로 확인되었다.

No.	장비	Ar 유량	압력	Source Power	Bias RF Power	DC Bias	Time	InP Etch 량
1	ICP Etcher	50sccm	10mT	200W	10W	25.4V	1분	X
2			10mT	200W	15W	35.5V	1분	X
3			10mT	200W	20W	52V	1분	26Å
4			10mT	200W	20W	55V	3분	39Å

표 2.1 ICP Etcher의 InP etch 조건 확인

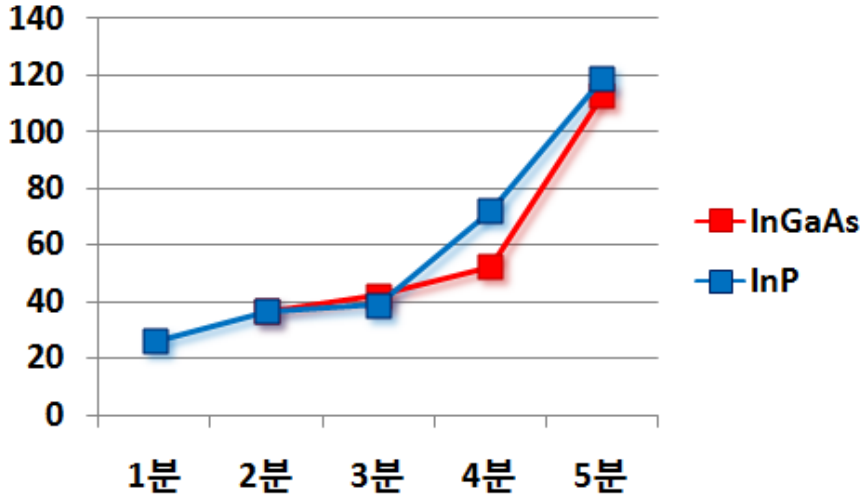
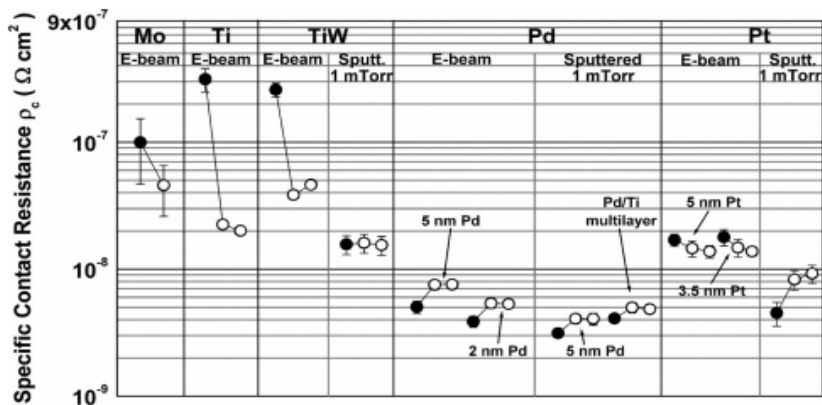


그림 2.3 ICP Etcher InP etch 조건의 etch rate

2.2 Ohmic contact of InGaAs MISFETs

Ohmic metal의 경우 Mo/Au 를 기본으로 Mo/Ti/Pt/Au, Mo/Ti/Au, Pd/Ti/Pt/Au 등의 metal 종류를 split 평가하였고 ohmic 열처리 및 전처리에 대해서도 평가를 진행하였다. 위의 sample에 대하여 4155A 장비를 이용하여 contact 저항, sheet 저항, resistivity 등을 측정하였다.



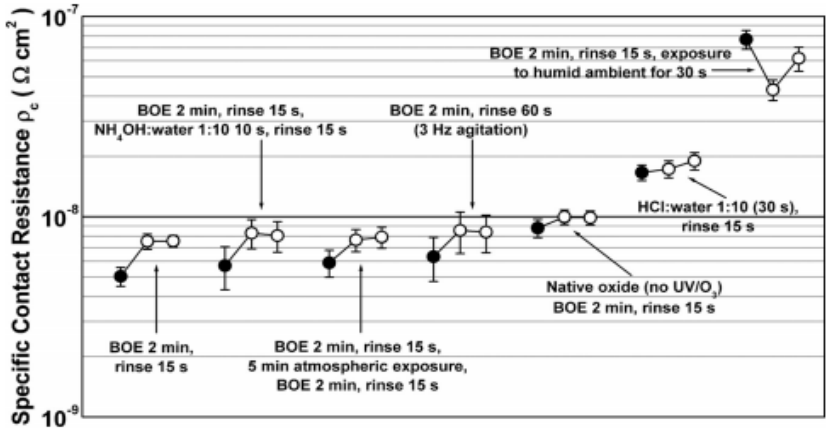


그림 2.4 Ohmic metal 종류/전처리 split에 따른 저항변화 [2]

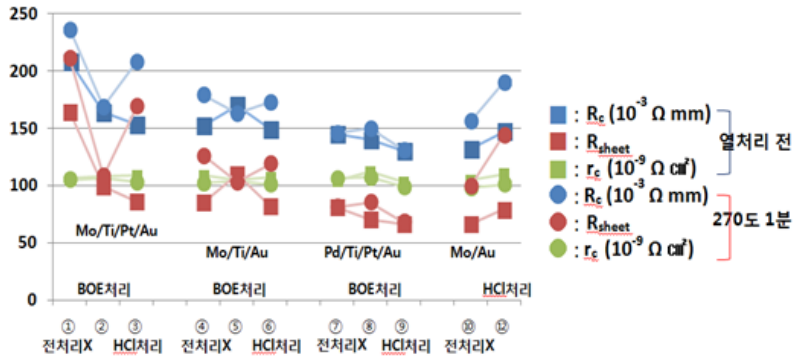
Ohmic metal 종류 / 열처리 / 전처리

Sample	내용	종류
①	Ohmic Metal 종류	Mo/Ti/Pt/Au - 40/15/15/200nm
②		Mo/Ti/Au - 40/15/200nm
③		Pd/Ti/Pt/Au - 2/15/15/200nm
④		Mo/Au - 40/200nm
⑤	Ohmic 열처리	270도 1hour
⑥		350도 1hour
⑦	Ohmic 전처리	Ashing 5min+ BOE 2min
⑧		Ashing 5min + Diluted HCl (1:10) 30s
⑨		전처리 없음

그림 2.5 Ohmic metal 종류 / 열처리 / 전처리 split 내역

그림에서 볼 수 있듯이 Pd/Ti/Pt/Au를 ohmic metal로 사용하였을 경우에 기본적인 저항값이 가장 작으나 Mo/Au 대비 큰 advance 된 결과를 얻을 수는 없었으며 전처리, 열처리 효과도 미미하였다.

Contact 저항 / Sheet 저항 / Resistivity



- Metal stack, 전처리, annealing 을 통한 ohmic contact 개선

그림 2.6 Ohmic metal 종류, 전처리, 열처리에 따른 저항값

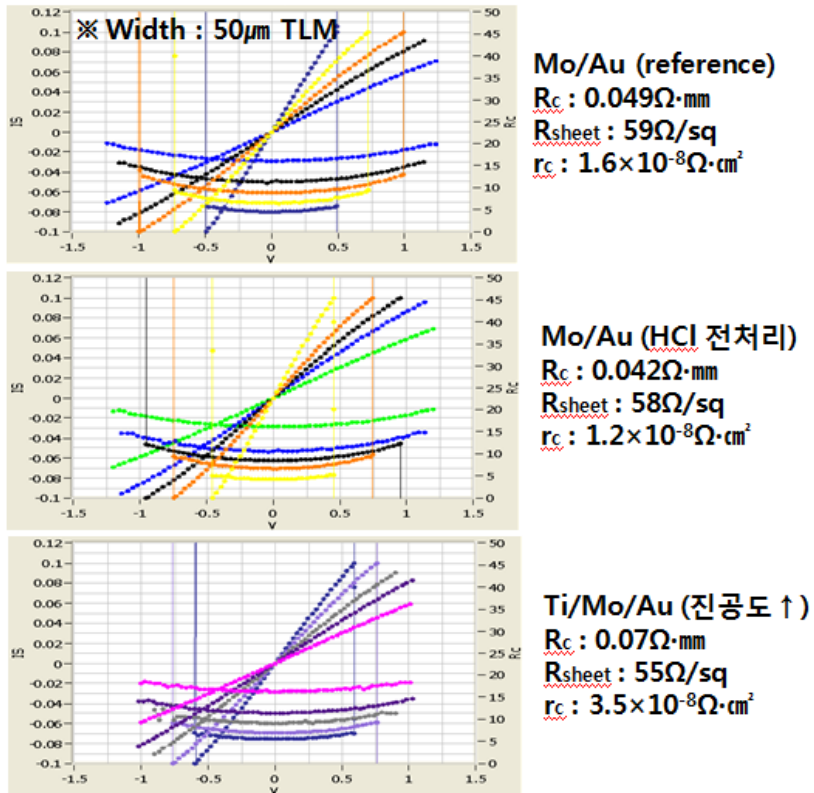


그림 2.7 Mo/Au의 전처리, 장비진공도에 따른 저항값 변화

Mo/Au를 reference로 사용하여 저항값을 측정한 결과 HCl 전처리를 하였을 때 R_c 는 $0.042\Omega \cdot \text{mm}$, R_{sheet} 는 $58\Omega/\text{sq}$, r_c 는 $1.2 \times 10^{-8}\Omega \cdot \text{cm}^2$ 수준을 얻을 수 있었고 Ti를 이용하여 e-beam evaporator 장비의 진공도를 떨어트렸을 경우에 오히려 저항값이 올라감을 확인할 수 있었다.

2.3 Epitaxial layer structure of InGaAs MISFETs

[InGaAs 에피 보유 현황]

In _{0.70} Ga _{0.30} As	10nm	Si 5x10 ¹⁹ /cm ²	↓	In _{0.70} Ga _{0.30} As	15nm	Si 5x10 ¹⁹ /cm ²	↓
In _{0.53} Ga _{0.47} As	30nm	Si 5x10 ¹⁹ /cm ²		In _{0.53} Ga _{0.47} As	15nm	Si 5x10 ¹⁹ /cm ²	
InP	6nm			In _{0.52} Al _{0.48} As	25nm	Si 2x10 ¹⁹ /cm ²	
In _{0.53} Ga _{0.47} As	10nm	Si 1x10 ¹⁹ /cm ²		InP	2nm		
InP	2nm			In _{0.70} Ga _{0.30} As	10nm		
In _{0.53} Ga _{0.47} As	2nm			In _{0.52} Al _{0.48} As	5nm		
InAs	5nm						
In _{0.53} Ga _{0.47} As	3nm						
In _{0.52} Al _{0.48} As	5nm						
InP Semi-insulating Substrate				InP Semi-insulating Substrate			

- 다른 capping layer에 따른 recess type long / short channel device 제작

In _{0.53} Ga _{0.47} As	3nm	
In _{0.70} Ga _{0.30} As	10nm	
In _{0.52} Al _{0.48} As	5nm	
GaAs Semi-insulating Substrate		

- n+ InGaAs regrowth 공정을 통해 long / short channel device 제작

그림 2.8 Device structure에 따른 Epitaxial layer의 다른 구조

Etch test는 KANC에서 제공받은 wafer를 통해 진행하였고 실제 소자 제작은 Intelli Epi에서 주문, 제작한 서로 다른 세가지 종류의 에피를 사용하였다. 위의 두 가지는 recess type의 에피이고 아래의 한 가지는 regrowth type의 에피이다. 두 종류의 type 별 process가 다른데 recess type의 경우 Mesa isolation 진행 후에 mask SiN passivation 막을 덮고 gate recess 후에 gate dielectric을 얹는 구조이고 S/D regrowth type의 경우 HSQ patterning 후에 S/D regrowth를 하고 mesa isolation 뒤에 remaining oxide를 제거하고 gate dielectric을 얹는 구조이다.

[InGaAs 에피 구조 별 Process]

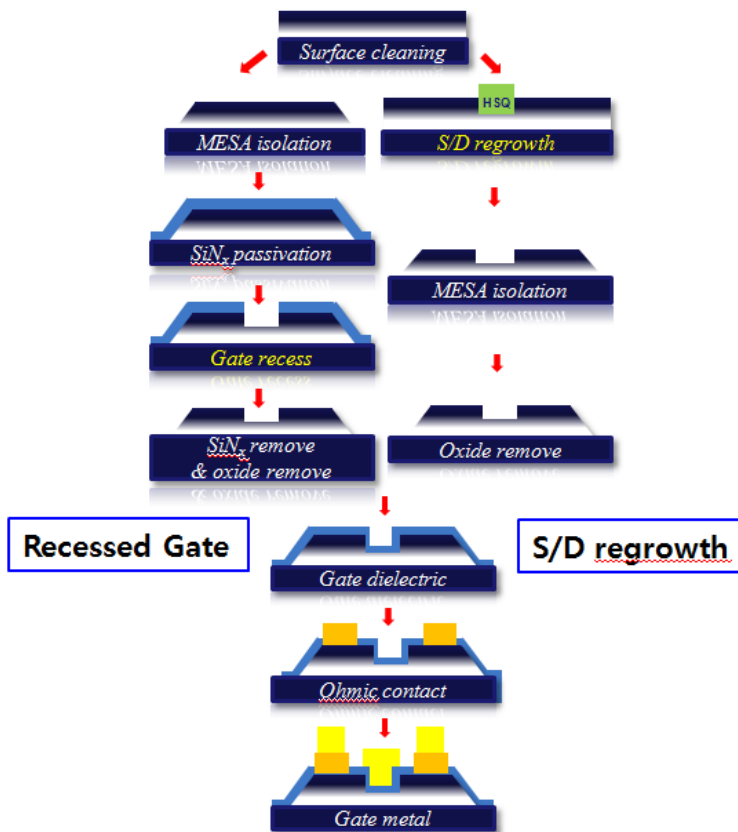


그림 2.9 InGaAs MISFET 에피 구조 별 process flow

Chapter 3

Gate stack engineering for InGaAs MISFETs

3.1 Digital etch

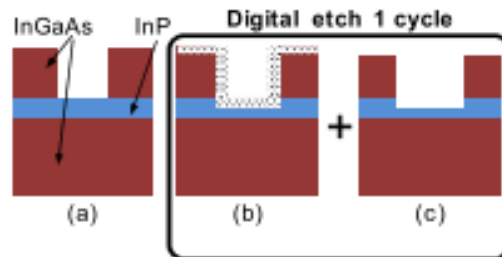


그림 3.1 Digital etch process schematic [3]

Channel 위의 etch stopping layer인 InP layer를 damage 없이 없애기 위해 digital etch 방식을 도입하였다. Digital etch란 surface damage를 최소화하고 정확한 non-selective etching을 하기 위해 oxidation과 oxide removal process를 반복적으로 시행하는 것을 말한다. 상기 그림과 같이 여러 cycle을 반복하여 InP layer를 없앨 수 있지만 non-selective etching 방식이기 때문에 좌, 우 InGaAs도 같이 없어지기 때문에 gate length가 당초 pattern보다 벌어지는 이슈가 있다. Oxidation의 경우 conventional한 asher 장비를 사용하였는데 RF power가 높을 경우 마지막에 channel이 드러났을 때 damage로 작용할 수 있기 때문에 low power로 시행하는 것이 중요하다. 이를 위해 RF power를 10W, 15W, 20W로 split하여 oxidation을 진행하였는데 RF power가 낮을수록 표면의 roughness가 작은 것을 확인할 수 있다.

Digital Etch	AFM Depth	Surface	Roughness	Etch rate
Digital Etch 전			$R_q = 0.314\text{nm}$	
Ashing 10W 5 cycle			$R_q = 0.408\text{nm}$	0.91 (Å/cycle)
Ashing 15W 5 cycle			$R_q = 0.916\text{nm}$	1.18 (Å/cycle)
Ashing 20W 5 cycle			$R_q = 1.041\text{nm}$	1 (Å/cycle)

그림 3.2 Digital etch plasma power 별 roughness 및 etch rate

Plasma power에 따른 cycle 별 etch rate의 경우 $0.91 \text{ \AA/cycle} \sim 1.18 \text{ \AA/cycle}$ 로 uniform한 결과를 얻었다. Plasma power를 10W로 고정시켜놓고 각각 3, 5, 8 cycle의 digital etch를 진행하여 etch rate을 측정한 결과 0.91 \AA/cycle 의 precise한 결과를 얻었다.

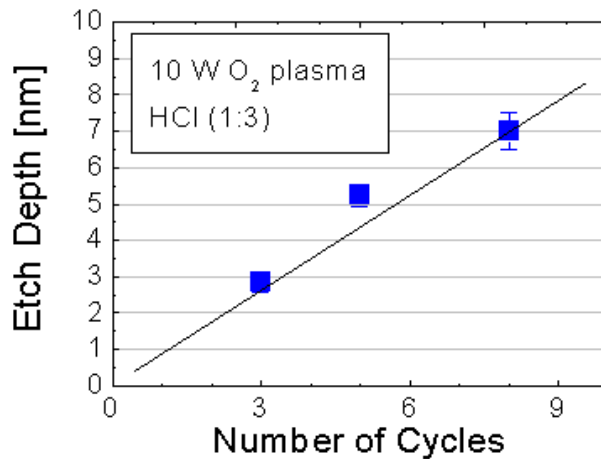


그림 3.3 Digital etch cycle 별 etch depth

3.2 Surface treatment

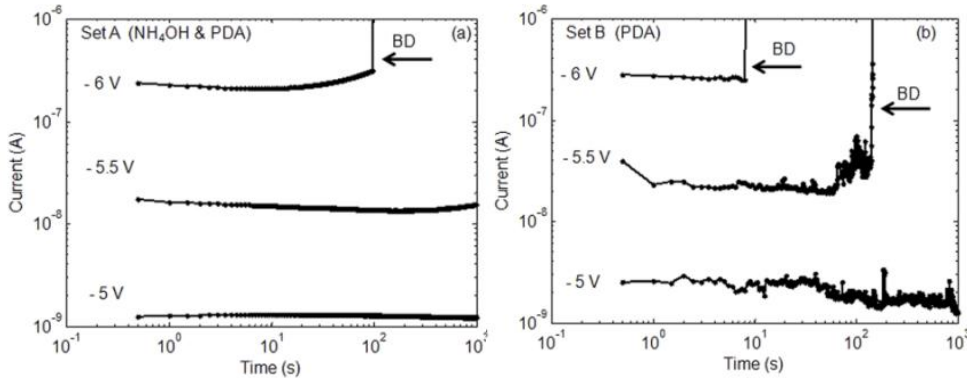
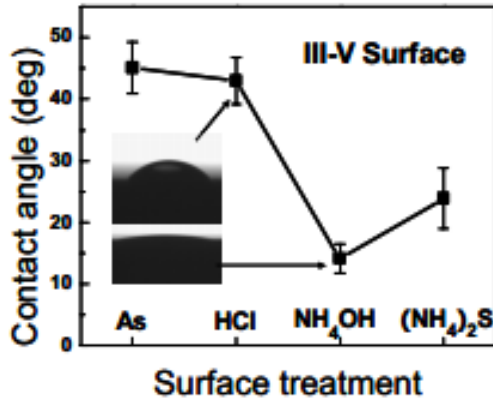


그림 3.4 표면처리에 따른 contact angle 및 NH₄OH 처리에 따른 BV [4],[5]

Digital etch 후에 channel이 드러난 이후에 표면처리에 대한 연구를 진행하였다. 최근에 발표된 논문들을 살펴보면 InGaAs channel 전처리에 대해 여러 가지 표면처리에 대한 연구가 진행 중인데 대표적으로 HCl, NH₄OH, (NH₄)₂S 등의 처리 등이 있다. Purdue 대학에서 2007년에 IEDM에 발표한 논문을 보면 표면의 roughness를 direct로 확인할 수 있는 surface의 contact angle을 보면 아무 처리를 안 한 sample과 HCl 처리를 한 sample 대비 NH₄OH, (NH₄)₂S 처리를 한 sample의

roughness가 양호함을 확인할 수 있다. 2014년에 JAP에 발표된 논문에서도 post deposition annealing만 진행한 sample 대비 NH_4OH 전처리를 추가한 sample이 breakdown voltage가 더 큰 것을 확인할 수 있다. 이러한 논문들을 기반으로 digital etch 2 cycle을 기본적으로 진행한 sample에서 NH_4OH 처리 1분, 3분, 3분에 5% $(\text{NH}_4)_2\text{S}$ 전처리를 추가하여 split 평가를 진행하였다.

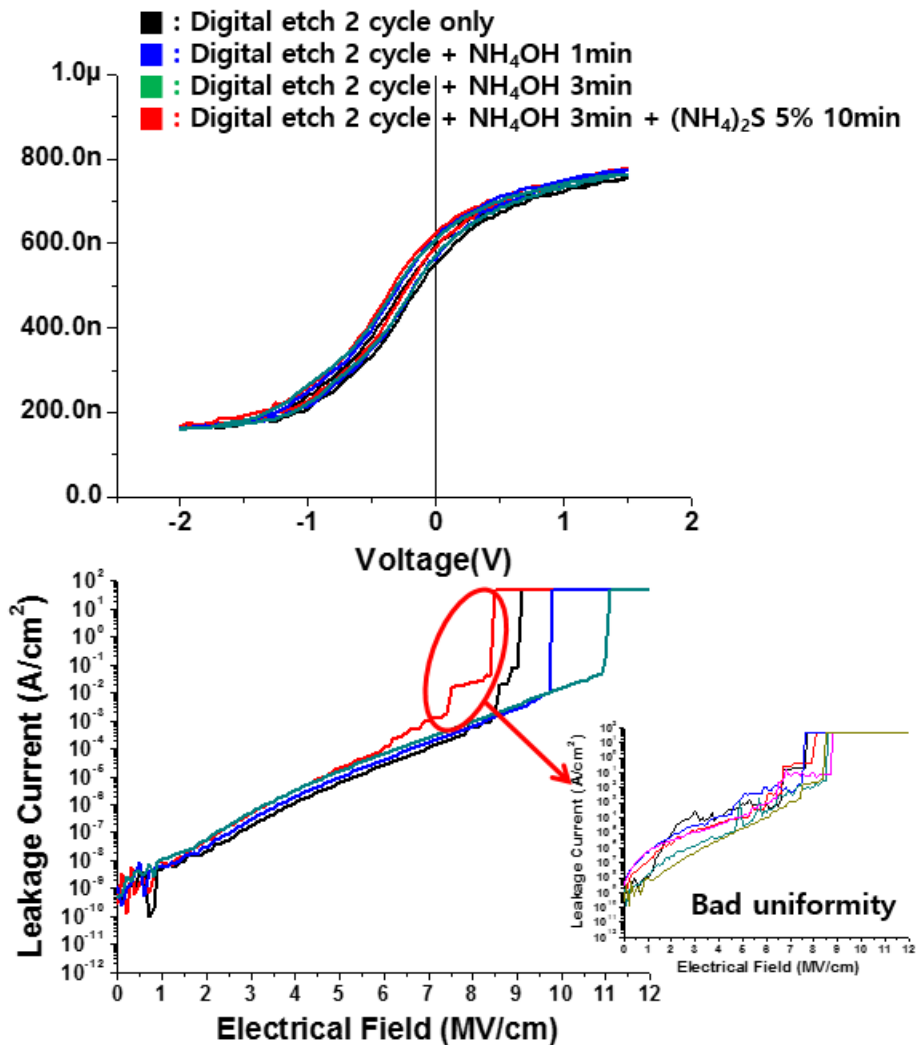


그림 3.5 NH_4OH 처리 및 $(\text{NH}_4)_2\text{S}$ 처리에 따른 C-V/I-V 특성

그림을 보면 C-V measurement 결과는 4가지 split sample 모두 거의 차이가 없음을 확인할 수 있다. 그러나 leakage 특성의 경우 $(\text{NH}_4)_2\text{S}$ 처리를 한 sample의 breakdown voltage가 가장 낮고 uniformity가 매우 좋지 않음을 확인할 수 있다. NH_4OH 전처리의 경우 처리시간이 길수록 breakdown voltage가 커짐을 확인할 수 있다.

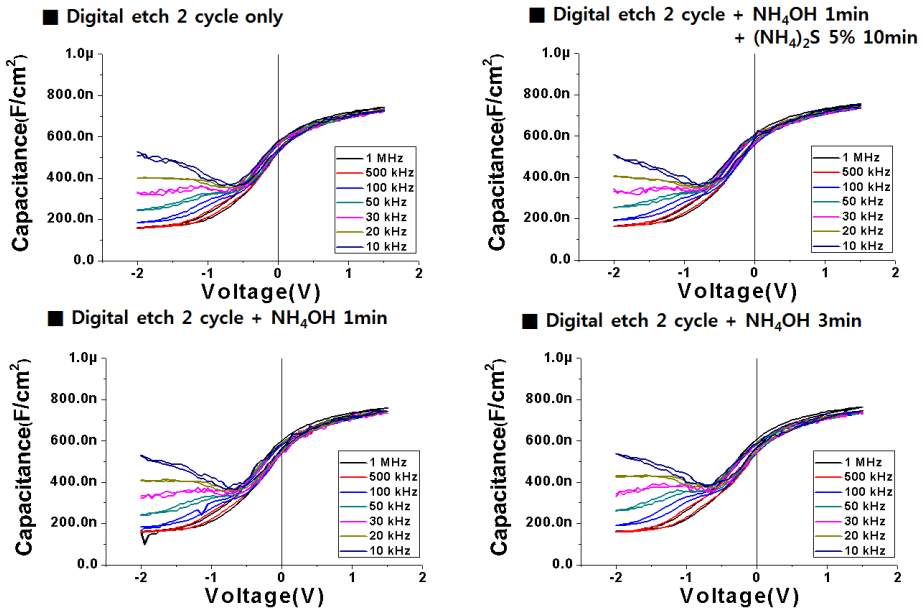


그림 3.6 NH_4OH 처리 및 $(\text{NH}_4)_2\text{S}$ 처리에 따른 frequency dispersion

Surface treatment를 통해 표면의 native oxide를 제거하여 frequency dispersion 현상이 개선될 것 또한 기대하였으나 실질적으로 측정해 본 결과 4가지 split된 sample 모두 frequency dispersion 특성은 유의차가 없음을 확인하였다.

실제 ammonium sulfide ($(\text{NH}_4)_2\text{S}$) 처리가 소자 특성에 영향을 미치는지를 확인하기 위해 InGaAs MISFET 소자를 제작하여 특성을 확인해 본 결과 5% $(\text{NH}_4)_2\text{S}$ 전처리를 10분 한 sample과 하지 않은

sample 사이에 slight 한 V_{th} positive shift 현상이 나타나기는 하지만 거의 특성의 차이를 보이지 않아 이를 reference 공정에서는 사용하지 않기로 결정하였다.

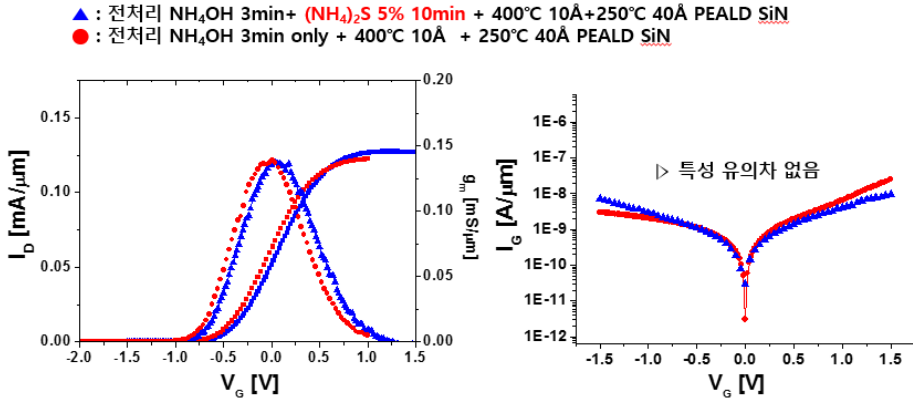
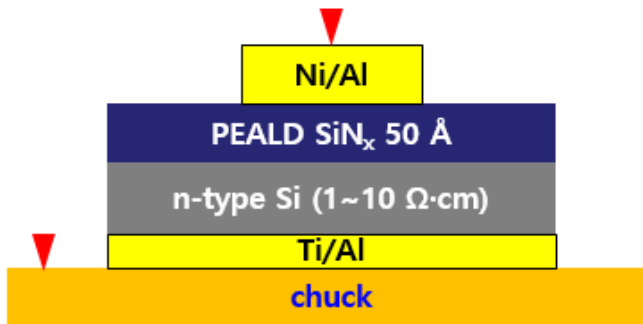


그림 3.7 $(\text{NH}_4)_2\text{S}$ 처리 유/무에 따른 소자 특성

3.3 Dielectric interface – Deposition temperature

Dielectric과 interface 사이의 계면특성을 개선시키기 위해 MIS capacitor를 제작하여 C-V measurement 및 I-V characteristic 평가를 진행하였다. MIS capacitor의 구조는 n-type Si 위에 PEALD SiN 막을 50Å deposition하고 상부에는 Ni/Al (Au) 하부에는 Ti/Al (Au) 를 증착하여 vertical한 capacitor의 특성을 확인하였다. PEALD SiN 막은 two-step 으로 deposition을 진행하였는데 그 이유는 InGaAs material 자체가 thermal budget이 낮기 때문에 고온에서 (400°C) 오랜 시간 deposition 진행할 경우 device의 특성 자체가 degradation되기 때문이다. 이와 관련해서는 deposition temperature & thickness 장에서 다시 논의하도록 하겠다.

[MIS Capacitor structure]



[Two step deposition method]

In situ Dielectric		
	Interfacial Layer	Main Layer
①	250°C PEALD SiN 50Å	
②	350°C PEALD SiN 10Å	250°C PEALD SiN 40Å
③	400°C PEALD SiN 10Å	250°C PEALD SiN 40Å

그림 3.8 MIS Capacitor structure 및 two step deposition method split

Two step deposition method를 이용하여 10Å의 interfacial layer의 온도를 split 하여 진행하였는데 결과적으로 400°C PEALD SiN 10Å 을 interfacial layer로 사용한 sample의 frequency dispersion 특성이 가장 우수하였다. 사실 막의 deposition 온도가 증가할수록 막이 dense해져 특성이 좋을 것을 예상할 수 있지만 InGaAs material 자체의 thermal budget과 ICP CVD 장비의 temperature limit으로 인해 400°C 이상의 막 평가에는 무리가 있었다. Frequency dispersion 특성으로 인해 interfacial layer를 400°C 로 사용하였을 때 계면특성이 가장 우수함을 유추할 수

있다.

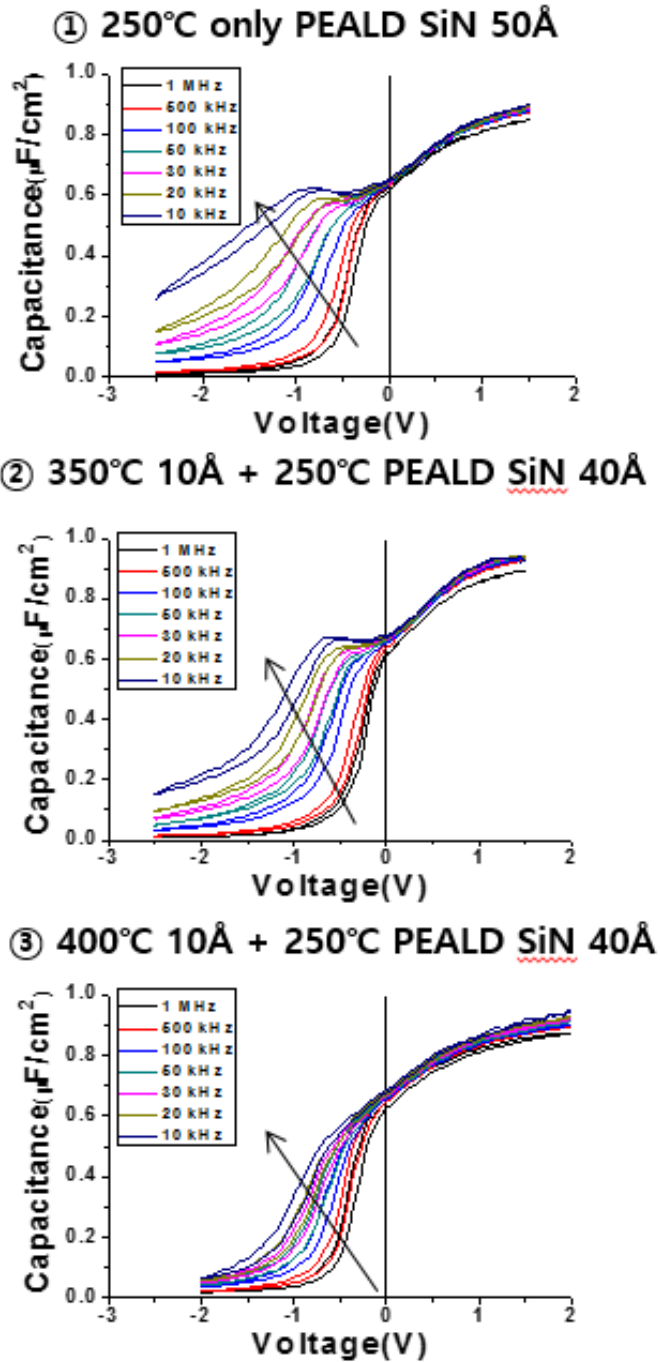


그림 3.9 Interfacial layer의 온도에 따른 frequency dispersion 특성

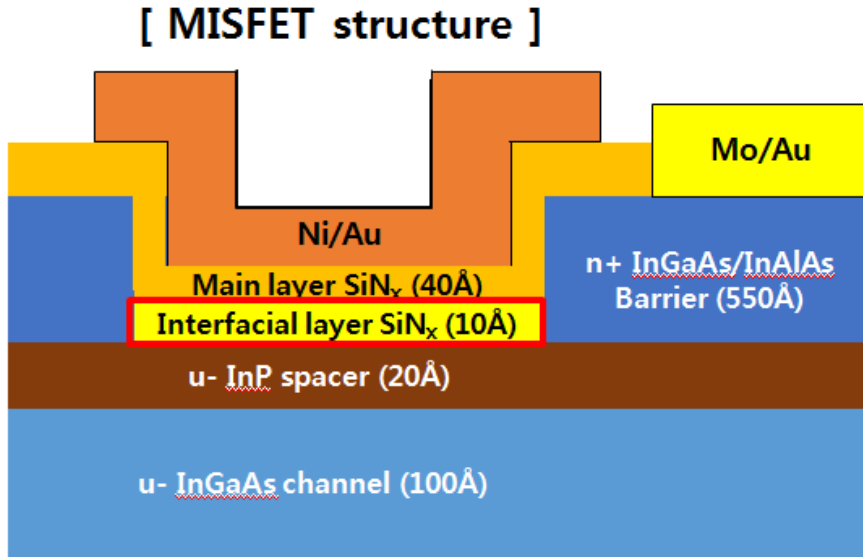


그림 3.10 Recessed InGaAs MISFET schematic

이렇게 two step deposition으로 평가한 막을 실제 MISFET 소자에 적용하였을 때 어떤 특성을 가지는지에 대해 split 평가를 진행하였다. 250°C 50Å only 막의 경우에는 워낙 frequency dispersion 특성도 좋지 않고 막 자체가 leaky하여 실제 소자 제작 평가에서는 배제하였다. 즉, interfacial layer의 두께는 10Å으로 고정시킨 상태에서 온도를 각각 300°C/350°C/400°C로 split 평가 진행하였다. MIS capacitor와 마찬가지로 결과로 interfacial layer를 400°C로 사용하였을 경우에 max transconductance (G_m) 와 on current ($I_{D,max}$) 값을 얻을 수 있었다. Interfacial layer가 300°C/350°C 일 경우 두 소자의 I-V characteristic은 거의 비슷하였고 uniformity 등의 다른 특성도 큰 차이를 보이지 않았다.

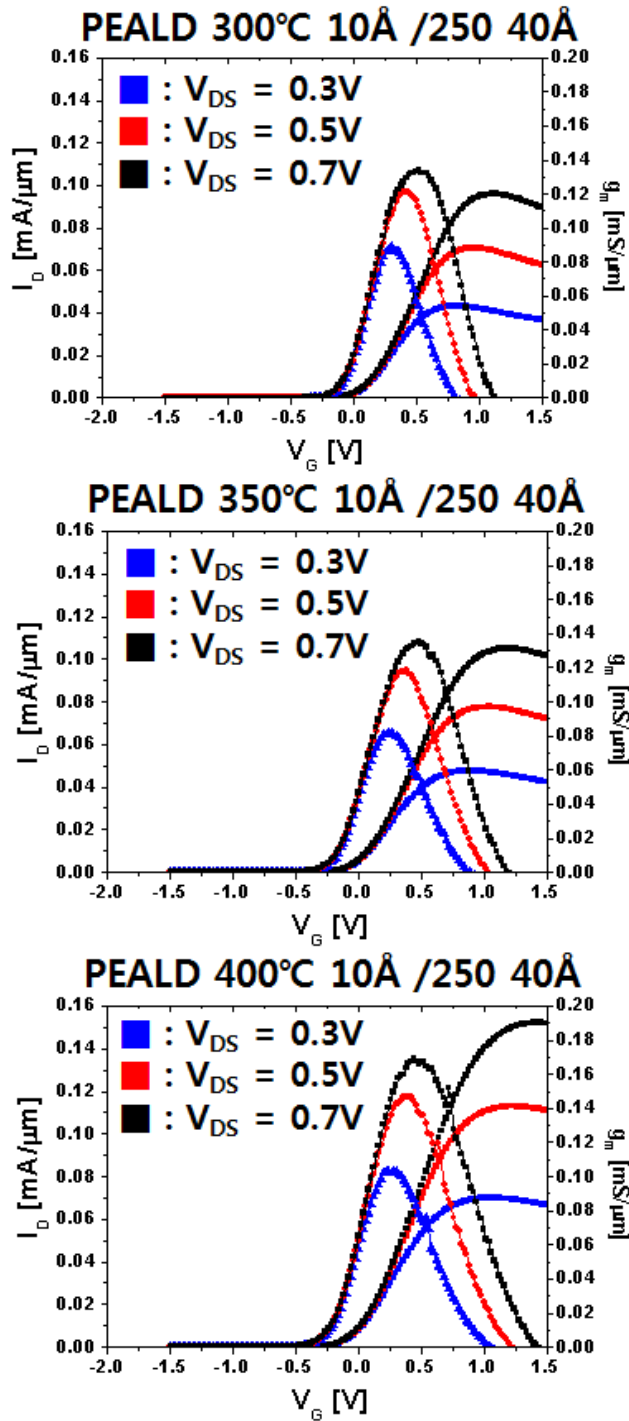


그림 3.11 Interfacial layer의 온도에 따른 소자 특성

3.4 Dielectric interface – Thickness

그렇다면 interfacial layer의 두께는 10Å가 적당한 두께인지에 대한 의문이 들었기 때문에 두께를 10Å에서 15Å로 증가시켜서 소자 특성을 check하였다. Interfacial layer의 두께가 5Å 증가함에 따라 max Gm값과 $I_{D,max}$ 값 또한 각각 증가하였다. 그러나 최종적으로 high-k 막을 gate dielectric으로 사용하고 E.O.T (Effective Oxide Thickness) 값을 줄이기 위해 interfacial layer의 두께를 증가시키는 쪽은 앞으로 나아가야 할 방향과 맞지 않기 때문에 추가적인 실험은 10Å를 reference로 사용하였다.

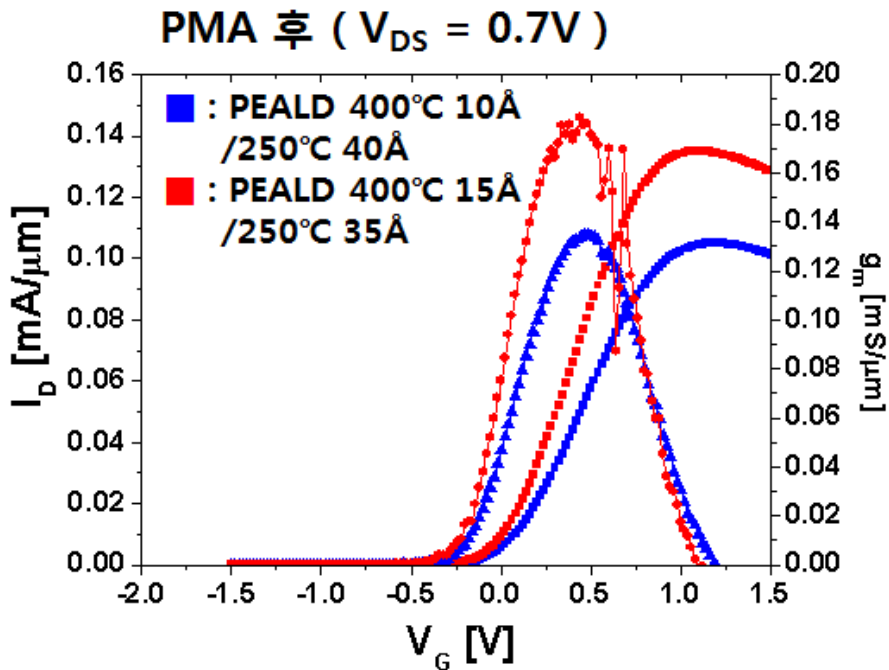


그림 3.12 Interfacial layer의 두께에 따른 소자 특성

InGaAs material의 thermal budget은 500°C 정도로 알려져 있으나 400°C 정도의 온도에서 오랫동안 열처리를 하거나 deposition을 진행할 경우에도 소자 특성은 degradation 됨을 확인할 수 있었다. 상기에서 언급한 E.O.T를 줄이기 위해서 leakage current 증가를 감수하더라도 gate dielectric의 두께를 50Å에서 30Å으로 줄이는 평가를 진행하였고 좀 더 dense한 막을 얻기 위해 interfacial layer 막만 400°C로 deposition 하지 않고 전체 막을 400Å로 deposition 하는 평가 또한 진행하였다.

In situ Dielectric		
	Interfacial Layer	Main Layer
①	400°C PEALD SiN 30Å	
②	400°C PEALD SiN 50Å	
③	400°C PEALD SiN 10Å	250°C PEALD SiN 20Å
④	400°C PEALD SiN 10Å	250°C PEALD SiN 40Å

} Thermal budget < 500°C

그림 3.12 Interfacial layer의 유/무 및 total 두께에 따른 소자 split

첫 번째와 두 번째 sample은 각각 400°C only로 gate dielectric을 각각 30Å/50Å deposition 하였고 세 번째와 네 번째 sample은 각각 400°C 10Å의 interfacial layer를 사용하고 total gate dielectric 두께를 각각 30Å/50Å deposition 하였다. 이러한 split을 통해 얻을 수 있는 결과는 크게 두 가지이다. 첫째로 고온에서 오랫동안 deposition을 진행 시 소자 특성의 thermal degradation과 Vth negative shift 현상이 일어난다. 둘째로 leakage current는 total dielectric 두께에 영향을 받는다는 것이다. 이러한 네 가지의 split된 sample들의 특성을 비교해 본 결과 reference로 사용하는 공정인 interfacial layer를 400°C 10Å의 막을 사용하고 total

dielectric 두께가 50Å인 sample의 특성이 가장 좋고 total dielectric 두께가 30Å인 sample의 경우 leakage current가 증가해서 이러한 문제가 G_m 과 $I_{D,max}$ 에 영향을 미치는 것으로 보인다. 400°C only 막의 소자는 30Å이 1시간 45분, 50Å이 2시간 30분 정도 deposition time이 소요되어 InGaAs material의 thermal degradation이 일어나 소자 특성이 매우 좋지 않다.

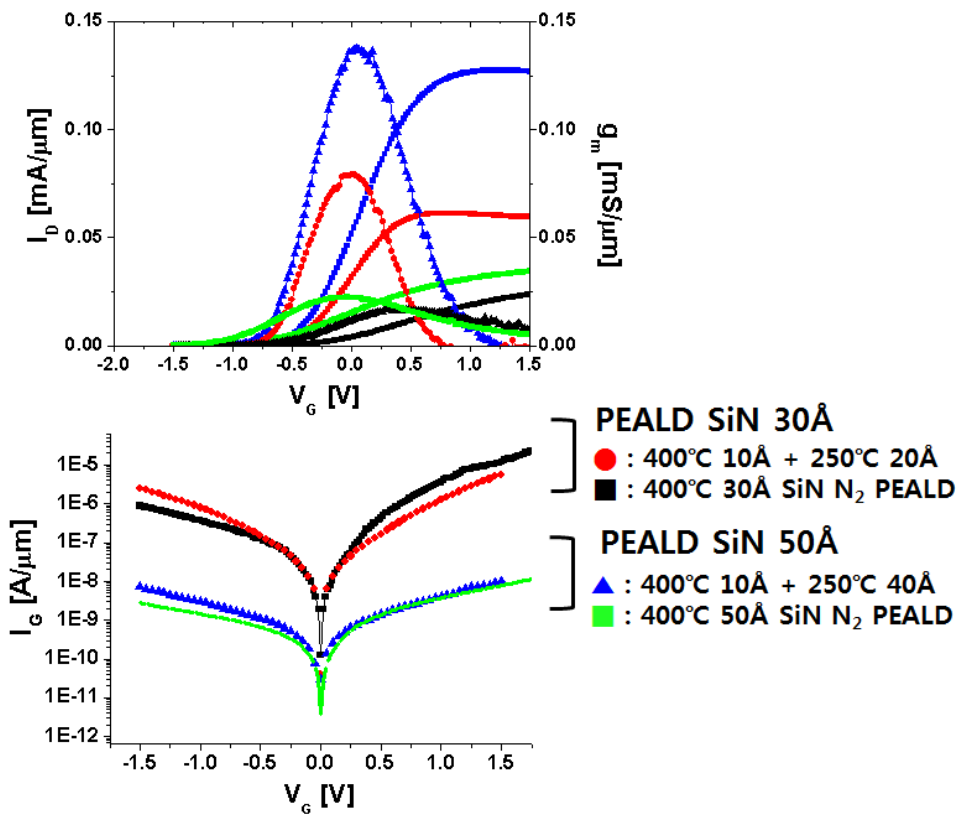


그림 3.13 Interfacial layer의 유/무 및 total 두께에 따른 소자 특성

3.5 Dielectric interface – Plasma power

Channel 위에 dielectric이 바로 올라가는 구조이기 때문에 ICP-CVD 장비를 이용한 PEALD SiN 막의 특성 상 channel 이 받는 plasma damage를 무시할 수 없다. 일반적으로 PEALD SiN는 600W의 plasma를 띄워 막을 올리는데 이 power를 300W로 줄여 interface의 damage를 최소화하려고 하였다.

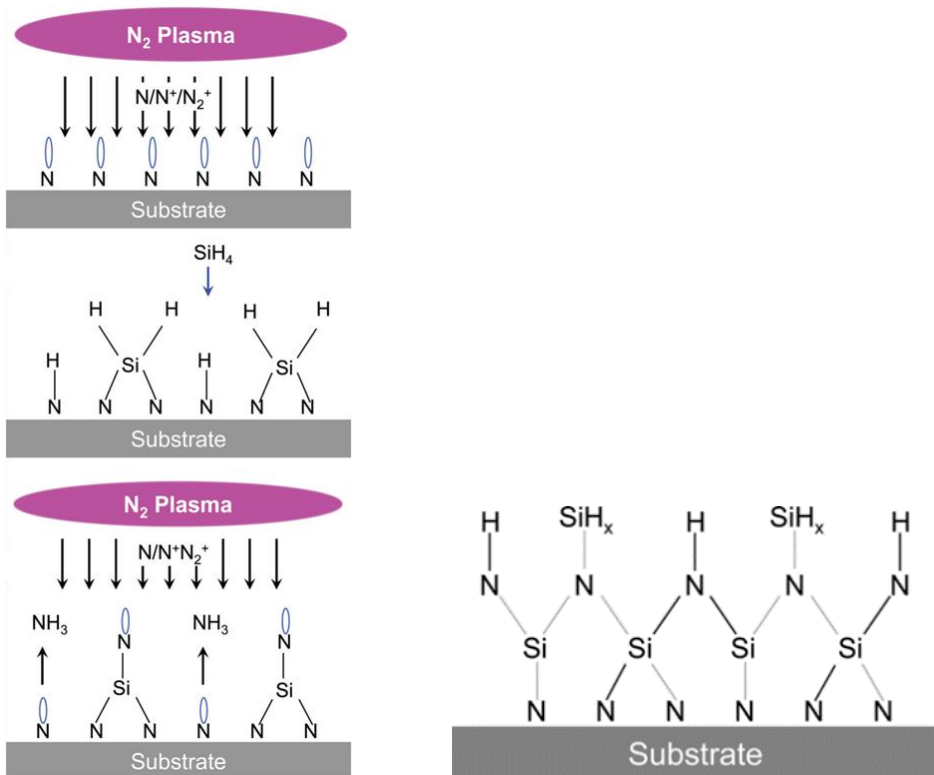


그림 3.14 Reaction scheme for N_2 plasma / SiH_4 PEALD process
& Structure of completed PEALD SiN_x thin film [6],[8],[9]

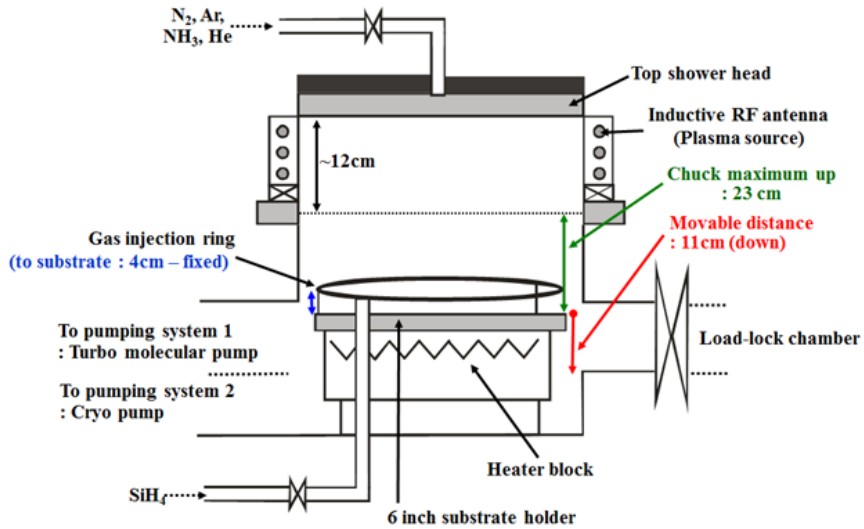


그림 3.15 Schematic of conventional ICP-CVD system [7]

	<N ₂ plasma>		<SiH ₄ adsorption>		
No. of steps	1	2	3	4	5
Ar [sccm]	10	10	0	100	5
N ₂ [sccm]	50	50	50	75	50
SiH ₄ [sccm]	0	0	0	25	0
Chamber pressure [mTorr]	60	60	0	70	0
Source RF power [W]	0	300/600	0	0	0
Time [sec]	10	60	5	10	5

1 cycle

표 3.1 PEALD SiN N₂ plasma power 및 기타 조건

앞에서 언급했던 two step deposition (600W PEALD SiN 400°C 10Å + 250°C 40Å) 대비 three step deposition (300W PEALD SiN 400°C 5Å + 600W PEALD SiN 400°C 5Å + 250°C 40Å) 막이 total

dielectric thickness 관점에서는 50Å으로 동일하나 channel low damage 관점에서 leakage 특성이 더욱 양호함을 확인할 수 있다.

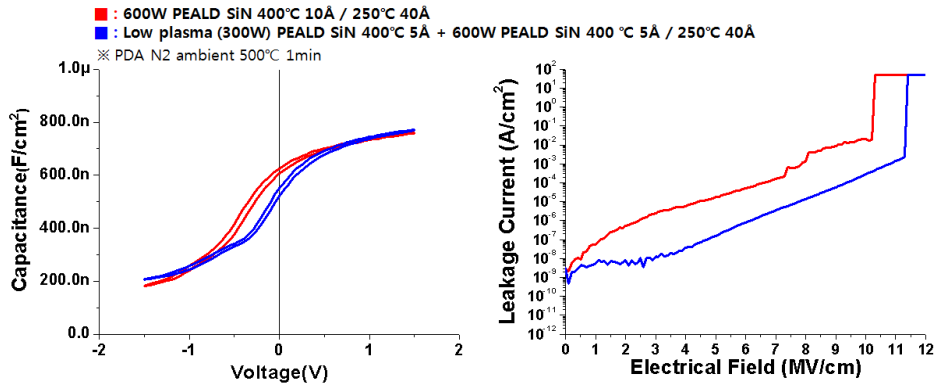
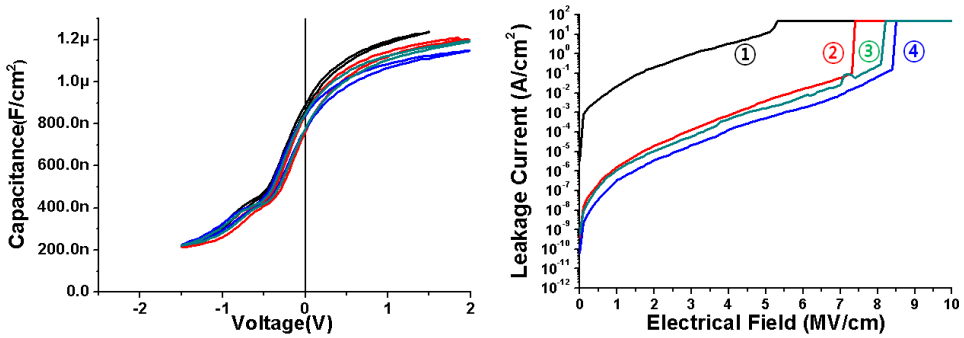


그림 3.16 N₂ plasma power에 따른 C-V/I-V characteristic

그렇다면 interfacial layer를 300W PEALD SiN을 사용하였을 때 두께는 몇 Å이 가장 optimum point인지, 300W PEALD SiN only로 interfacial layer를 사용하면 문제가 없는지에 대한 의문점이 들 수 있다. 그리하여 interfacial layer의 두께를 10Å으로 고정시켜 놓고 400°C 300W PEALD SiN 10Å only, 300W PEALD SiN 7.5Å / 600W PEALD SiN 2.5Å, 300W PEALD SiN 5Å / 600W PEALD SiN 5Å, 300W PEALD SiN 2.5Å / 600W PEALD SiN 7.5Å 등의 네 가지 sample을 split하여 low plasma SiN가 interface에 미치는 영향에 대해 알아보고자 하였다.

● Optimum thickness of low plasma (300W) PEALD SiN?



- ① ■ : Low plasma (300W) PEALD SiN 400°C 10Å / 300°C H₂O oxidant Al₂O₃ 40Å
PDA 400°C FGA (H₂ 5%, N₂ 95%) 1min
- ② ■ : Low plasma (300W) PEALD SiN 400°C 7.5Å + 600W PEALD SiN 400 °C 2.5Å / 300°C H₂O oxidant Al₂O₃ 40Å
PDA 400°C FGA (H₂ 5%, N₂ 95%) 1min
- ③ ■ : Low plasma (300W) PEALD SiN 400°C 5Å + 600W PEALD SiN 400 °C 5Å / 300°C H₂O oxidant Al₂O₃ 40Å
PDA 400°C FGA (H₂ 5%, N₂ 95%) 1min
- ④ ■ : Low plasma (300W) PEALD SiN 400°C 2.5Å + 600W PEALD SiN 400 °C 7.5Å / 300°C H₂O oxidant Al₂O₃ 40Å
PDA 400°C FGA (H₂ 5%, N₂ 95%) 1min

→ Low plasma (300W) PEALD SiN 막이 두꺼울수록 maximum capacitance 증가, leakage current 증가.

그림 3.17 Low plasma(300W) 두께에 따른 C-V/I-V characteristic

그림에서 확인할 수 있듯이 interfacial layer에 low plasma PEALD SiN (300W) 두께가 커질수록 max capacitance 값이 증가하고 대신에 leakage current도 같이 증가하는 현상을 확인할 수 있다. 단, low plasma PEALD SiN 두께가 10Å일 경우 leakage current가 다른 sample 대비 너무 커서 실제 gate dielectric으로 사용하기에는 문제가 있어 보임을 확인하였다.

3.6 Annealing – Post Metallization Annealing (PMA)

앞서 언급했던 것처럼 InGaAs material 자체의 thermal budget이 낮기 때문에 PDA, PMA, ohmic 열처리 등의 후속 열처리 step이 부담스럽긴 하다. 그러나 400°C 10분 이하의 PMA는 여러 가지 장점이 있다. 일단 그림에서 확인할 수 있는 것처럼 MIS capacitor에서 확인해 본

결과 V_{th} 가 PMA 온도에 따라서 positive shift하며 온도가 증가함에 따라 hysteresis 또한 개선된다. 또한 PMA 유무에 따라 depletion / accumulation 영역에서의 frequency dispersion 현상 또한 개선됨을 확인할 수 있다.

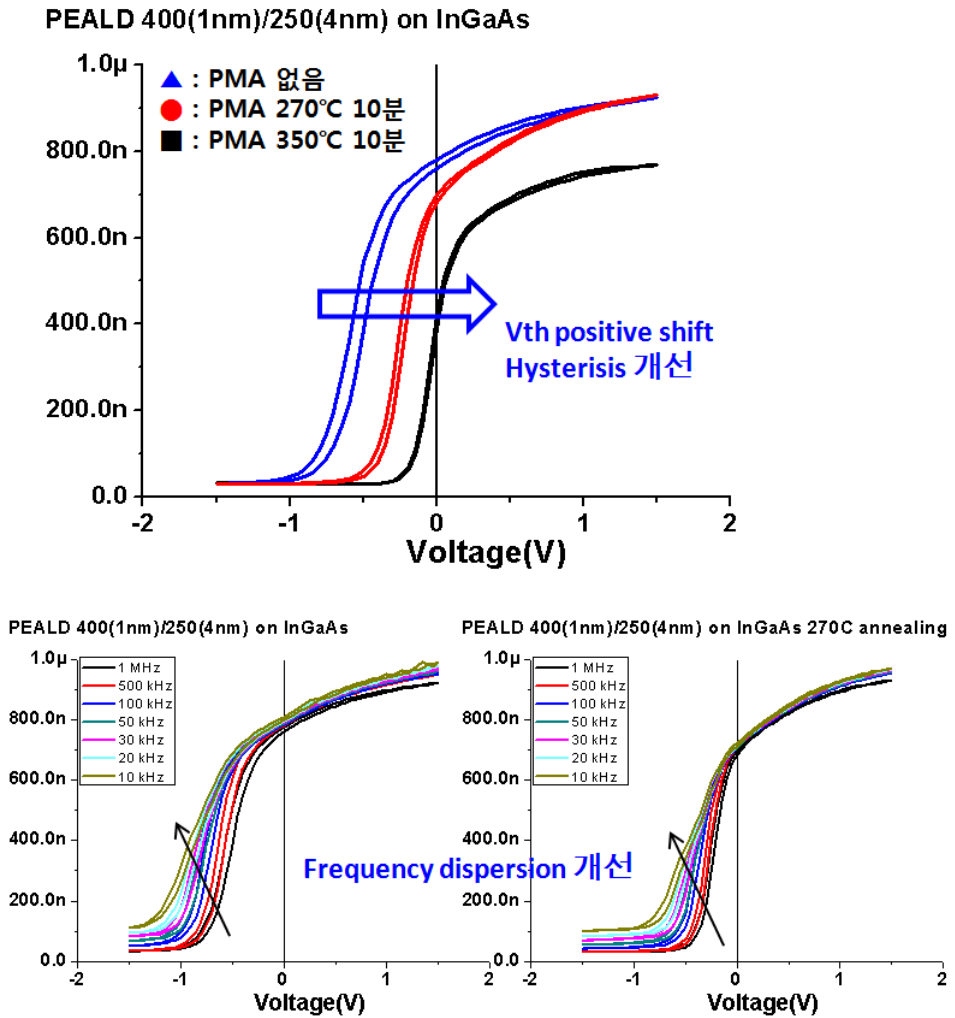


그림 3.18 PMA 온도에 따른 C-V measurement 특성

단, $2\mu\text{m}$ gate length device에서 전기적인 특성을 확인해 본 결과

PMA 온도가 350°C까지는 V_{th} positive shift 및 G_m , on current 증가현상이 재현성 있게 나타나지만 400°C부터 특성의 차이가 없음을 확인할 수 있다. 이 역시 InGaAs material의 thermal budget 문제로 해석할 수 있는 부분이다.

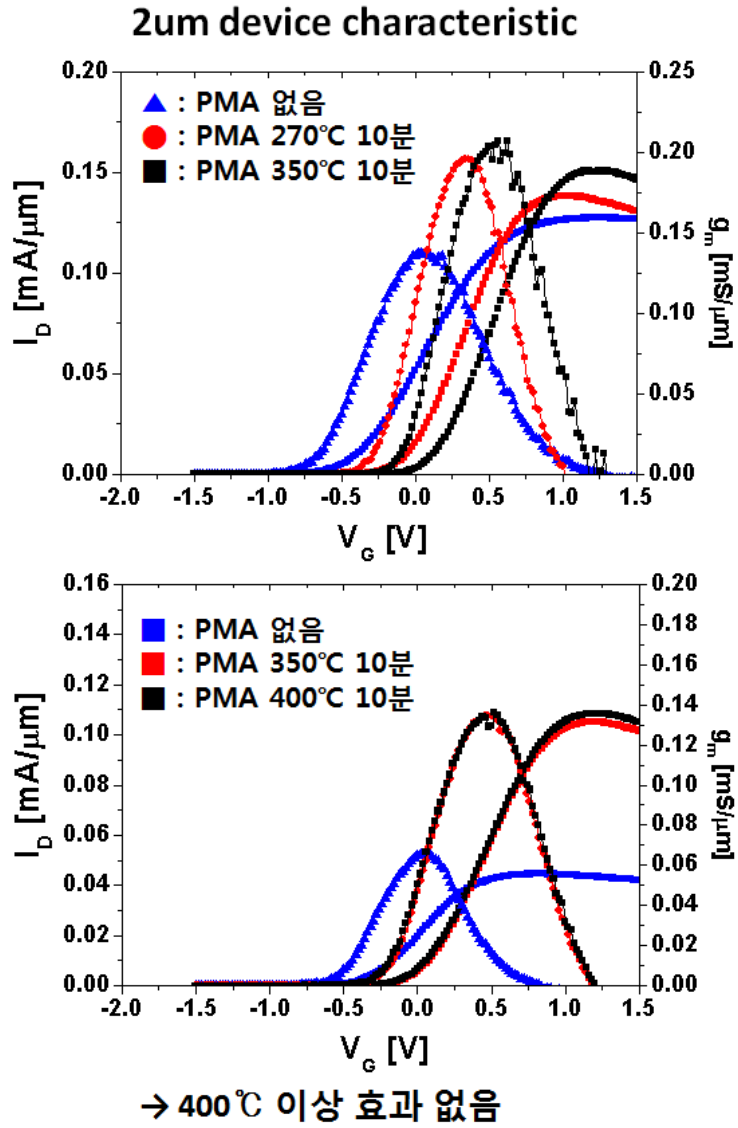
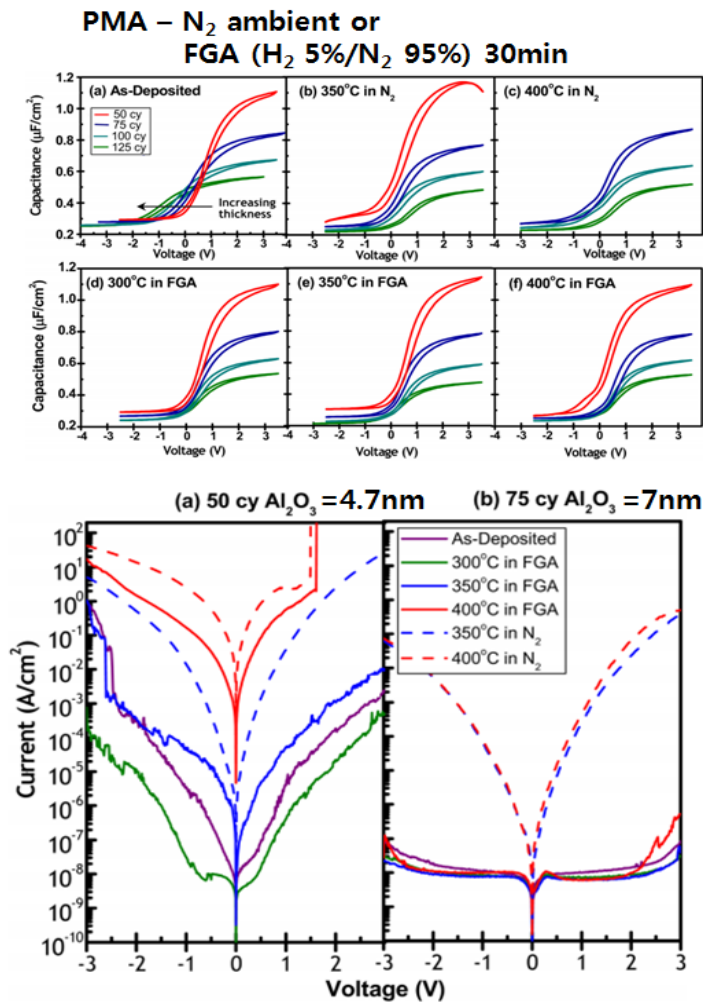


그림 3.19 PMA 온도에 따른 소자 특성 변화

RTA (Rapid Thermal Annealing) 장비를 이용하여 PMA를 진행할 때에 chamber 분위기(ambient) 또한 소자 특성에 영향을 미친다. 2012년에 JAP에 Stanford에서 발표한 논문에서도 질소 분위기에서 열처리 한 sample과 수소 분위기(H_2 5%, N_2 95%)에서 열처리 한 sample의 특성을 비교해 본 결과 수소 분위기의 열처리가 leakage current 관점에서 우수하며 온도는 낮은 sample의 결과가 가장 좋은 것으로 확인 되었다. (300°C ~ 400°C 사이에서)



(JennyHu, Stanford, JAP, 2012)

그림 3.20 PMA ambient에 따른 C-V/I-V characteristic (논문그림참조) [10]

실제 process가 동일한 구조를 갖는 sample을 N₂ ambient와 forming gas PMA를 270°C에서 10분 동안 진행하여 특성을 비교해 본 결과 forming gas PMA (H₂ 5%, N₂ 95%)의 leakage current 및 breakdown voltage 의 특성이 가장 우수하였다.

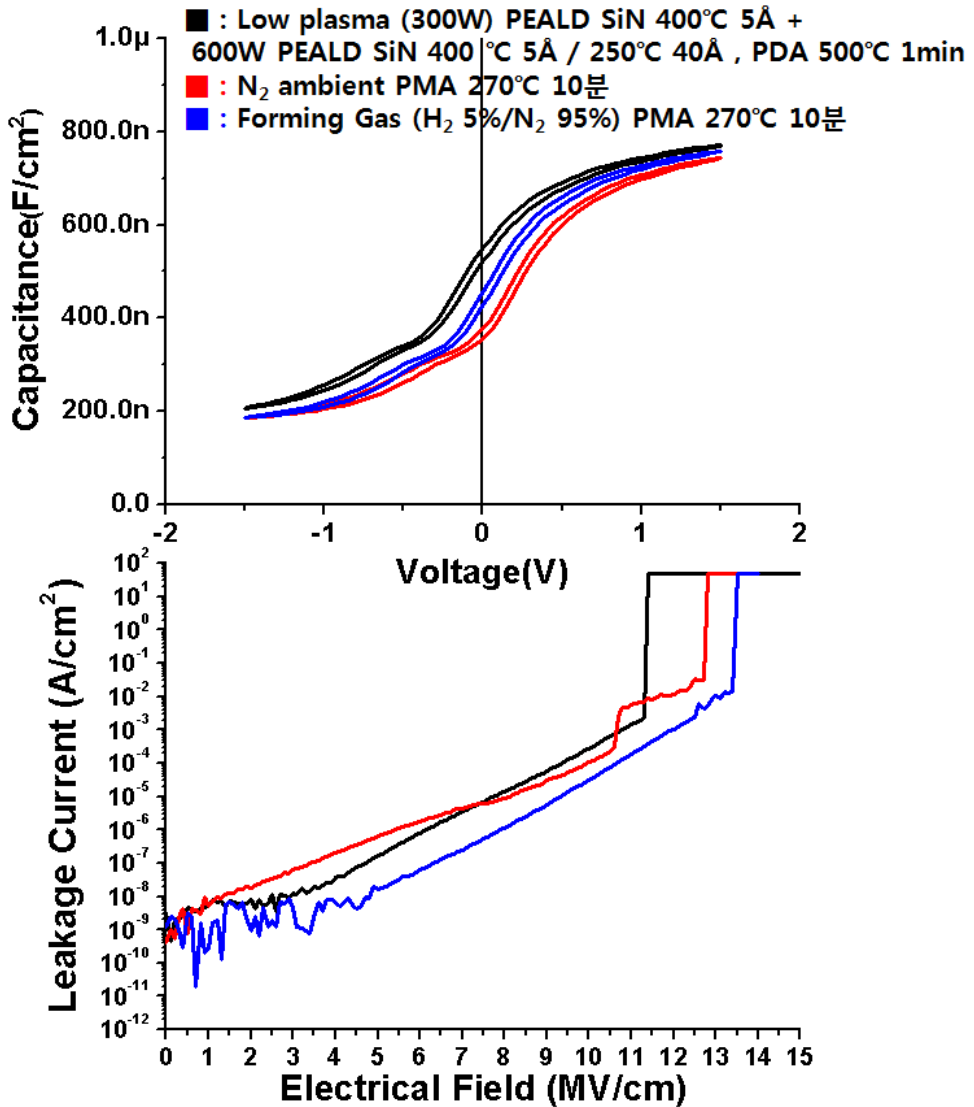


그림 3.21 PMA ambient에 따른 C-V/I-V characteristic

3.7 Dual dielectric – SiNx/Al₂O₃

실제 소자 제작에 앞서 E.O.T scaling을 하기 위해 궁극적으로 high-k 물질을 이용한 gate dielectric을 사용해야 하는데 그 이유로 SiNx only로는 leakage current 및 소자 특성관점에서 scaling에 한계가 있음을 확인하였다. 실제로 앞서 사용한 SiNx 50Å 대비 30Å으로만 줄여도 Gm 및 on current가 거의 1/4 이상 줄어들음을 확인 할 수 있다.

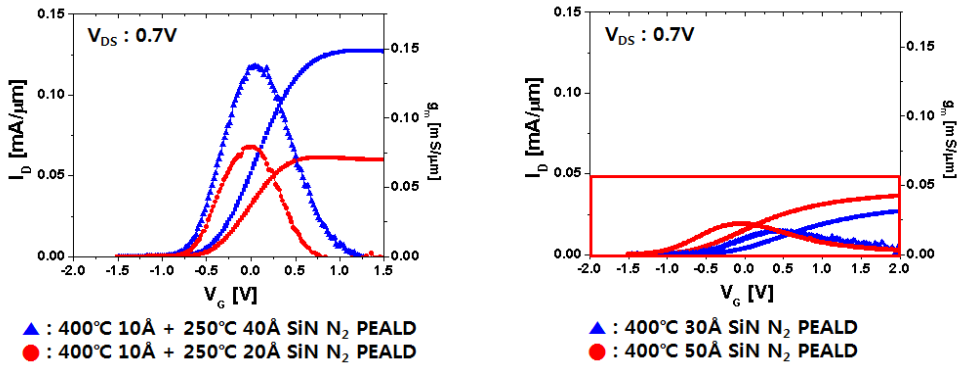


그림 3.22 SiNx 두께 scaling에 따른 소자 특성 degradation

이로 인해 high-k material을 gate dielectric으로 사용해야 하는 필요성을 절감하였으며 가능한 후보군으로는 Al₂O₃(k=9), HfO₂(k=25) 등이 있다. 일단 self cleaning 효과로 인해 InGaAs material에서 특히 자주 사용하는 Al₂O₃를 SiNx와 dual layer로 사용해 평가하였다.

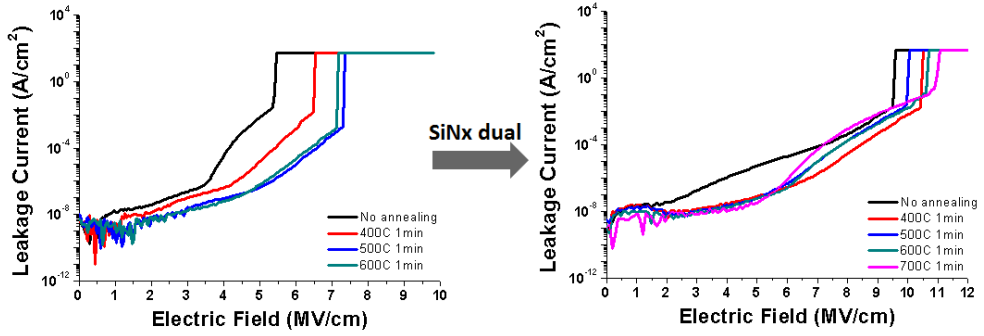


그림 3.23 Al₂O₃ only 막과 SiNx/ Al₂O₃ dual 막의 leakage 특성차이

위의 그림에서와 볼 수 있듯이 Al₂O₃ only 막 50Å 대비 SiNx 10Å/ Al₂O₃ 40Å dual layer가 leakage current 및 breakdown voltage 특성이 우수하다. 이와 더불어 SiNx 50Å only 막 대비 SiNx 10Å/ Al₂O₃ dual layer 막이 leakage current는 증가하는 단점이 있지만 max capacitance 값이 1.5배 수준 증가하는 장점을 가지고 있어 trade off를 고려하더라도 on current 관점에서 얻는 이득이 있을 것이라고 생각하였다.

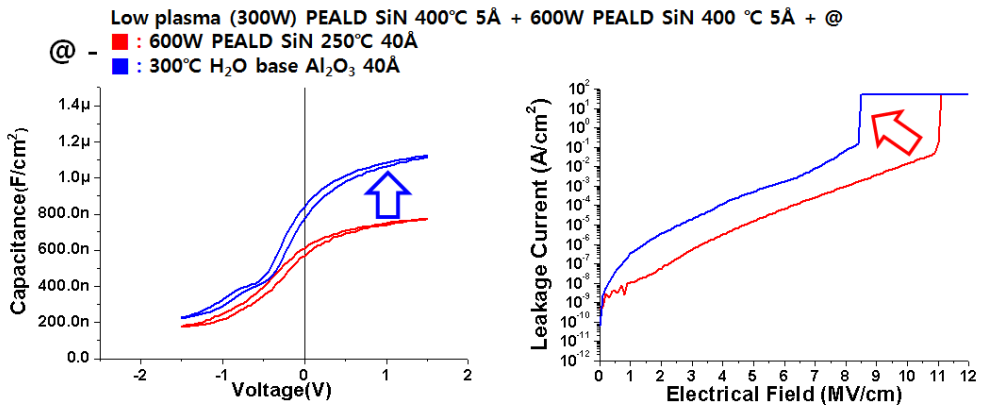


그림 3.23 SiNx only 막과 SiNx/ Al₂O₃ dual 막의 C-V/I-V characteristic

Chapter 4

Fabrication of planar type InGaAs MISFETs

4.1 Process of recessed 2 μ m gate MISFETs

앞서 얻은 결과들을 바탕으로 실제 gate recessed 2 μ m MISFET 소자에 적용하였다. 일단 아세톤/메탄올/IPA의 solvent로 initial cleaning을 진행하고 인산 : 과산화수소 : 물 = 1 : 1 : 25 / 인산 : 염산 : 물 = 1 : 1 : 1 wet etch solution을 이용하여 mesa isolation을 진행하였다. 그 이후 ICP CVD 장비의 NH₃ SiN 막을 mask와 passivation 용도로 deposition하고 citric acid solution (Citric acid : 과산화수소 = 50 : 1)을 이용하여 gate recess를 진행하였다. 그 다음 앞서 언급한 digital etch 방식과 NH₄OH 용액을 (29%, 원액) 이용한 surface treatment를 진행하였다. 이후 PEALD SiN을 two step deposition 방식으로 50 Å deposition하고 PDA (Post Deposition Annealing)를 N₂ ambient에서 500°C 1분 동안 진행하였다. 그리고 나서 ohmic opening을 통해 ohmic 영역에 덮여있는 gate dielectric을 제거하고 Mo/Au를 e-beam evaporation 장비를 통해 없고 나서 gate 영역에 Ni/Au를 마지막으로 얹는다. 그 이후 PMA를 forming gas annealing 350°C 10분 동안 진행하여 전기적인 특성을 측정하였다.



그림 4.1 Process flow of InGaAs MISFET

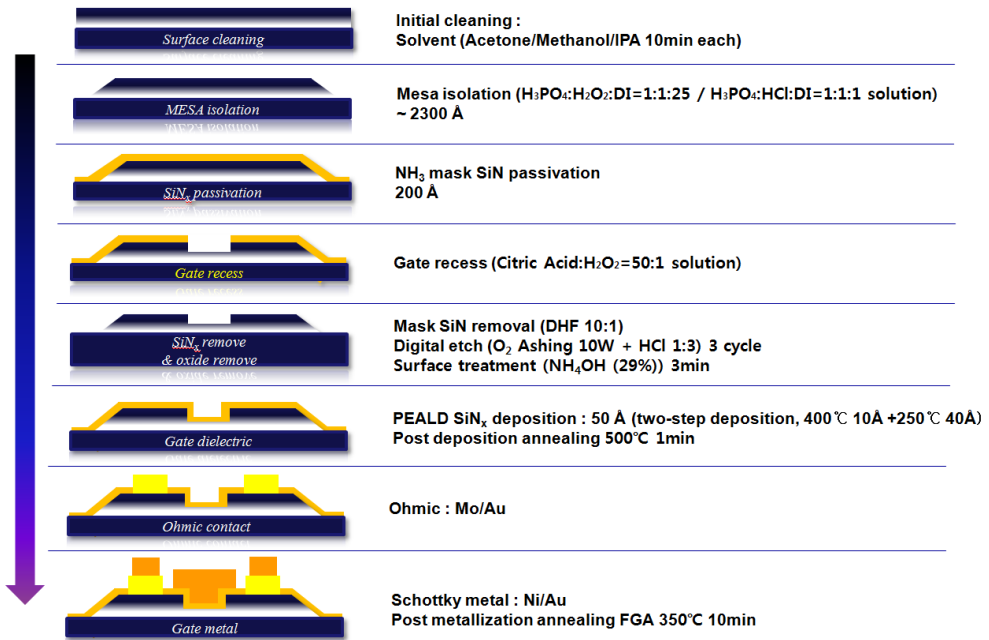


그림 4.2 Process flow of InGaAs MISFET (Schematic)

4.2 Measurements and results

앞선 process flow 대로 $2\mu\text{m}$ gate length를 갖는 photo device를 제작하여 4155A 측정장비를 이용하여 특성을 측정한 결과 $V_{\text{DS}}=0.7\text{V}$ 에서 max Gm 값은 $0.26\text{mS}/\mu\text{m}$, $I_{\text{D,max}}$ 값은 $0.21\text{mA}/\mu\text{m}$ 의 특성을 얻었다. Gate leakage current의 경우 $2.2 \times 10^{-8}\text{A}/\mu\text{m}$, subthreshold slope는 $V_{\text{DS}}=0.3\text{V}/0.5\text{V}/0.7\text{V}$ 일 때 동일하게 $206\text{mV}/\text{dec}$ 의 값을 보였다. Photo device의 수율(yield)은 대략 50% 정도의 결과를 얻을 수 있었다.

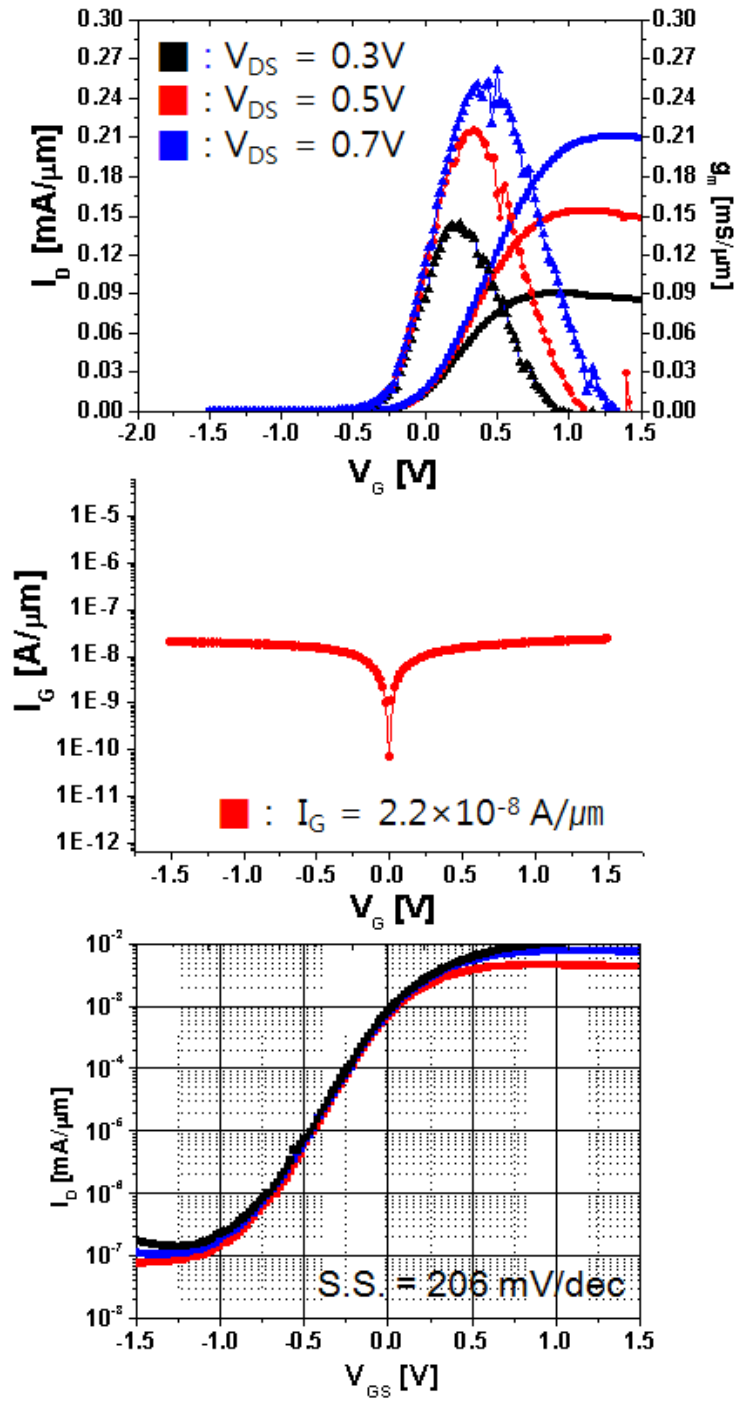


그림 4.3 DC characteristics of fabricated long channel device (2 μm)

상기 process를 토대로 gate length가 작은 e-beam device를 제작하여 특성을 평가하였다. E-beam device의 경우 gate length가 photo device 대비 작기 때문에 이에 따라 short channel effect에 따른 leakage current가 증가하는 대신 좀 더 큰 $G_{m,max}$ 와 $I_{D,max}$ 를 기대할 수 있고 동일한 gate dielectric (PEALD SiN 400℃ 10Å / 250℃ 40Å)을 사용하였기 때문에 비슷한 level의 interface state density (D_{it})와 subthreshold slope을 얻을 것으로 예상하였다. 예상했던 대로 gate length가 100nm인 e-beam device를 제작한 결과 length가 줄어들어 따라 I_{off} 는 증가하고 $G_{m,max}$ 와 $I_{D,max}$ 값 또한 증가하는 경향을 보였다. Gate length가 100nm인 소자에서 $V_{DS}=0.7V$ 일 때 $I_{D,max}$ 는 $0.7mA/\mu m$, $G_{m,max}$ 는 $0.61mS/\mu m$ 의 결과를 얻을 수 있었다. 또한 short channel effect가 증가함에 따라 I_{off} current는 $100nA/\mu m$ 로 photo device 대비 증가하였으며 subthreshold slope 또한 $V_{DS}=0.3V$ 에서 $167mV/dec$ 로 개선의 여지가 남아있다. 추가적으로 gate dielectric, surface treatment, interface native oxide 제거에 대한 최적화가 필요할 것으로 예상된다.

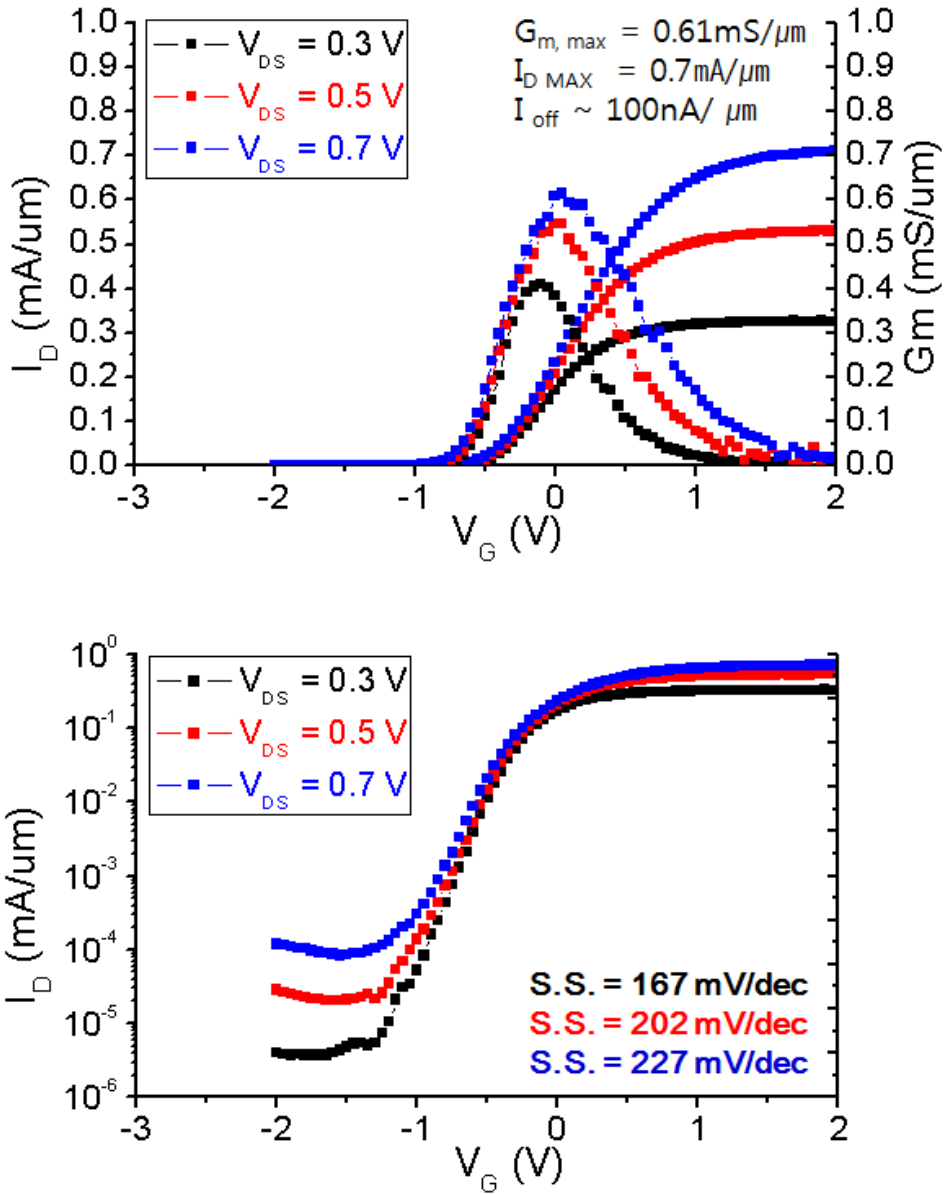
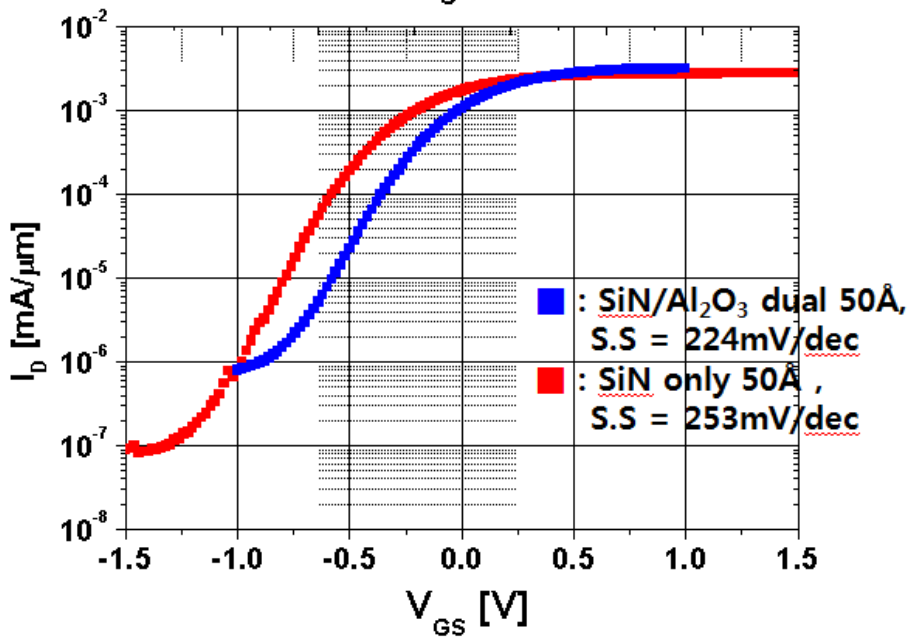
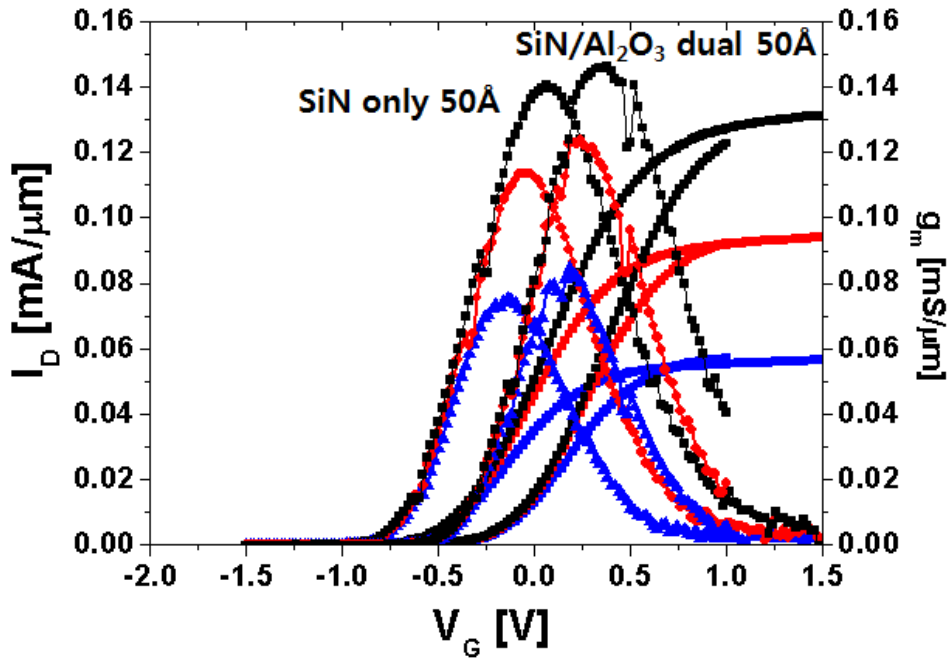


그림 4.4 DC characteristics of fabricated short channel device (100nm)

이를 통하여 PEALD SiN 막보다 high-k 이고 앞선 chapter에서 평가 진행했던 Al_2O_3 막을 dual layer로 사용해서 소자를 제작하여 특성을

측정하였다. 막의 조건은 PEALD SiN의 경우 two step deposition 조건 (400°C 300W PEALD SiN 5 Å + 600W PEALD SiN 5 Å) 을 interfacial layer로 사용하고 그 위에 H₂O base의 300°C Al₂O₃를 40 Å 증착하여 total dielectric 두께를 50 Å로 맞춰서 소자를 제작하였다. 동일한 2 μm gate length를 갖는 photo device 중 SiN only 소자와 SiN/Al₂O₃ dual layer 소자의 특성을 비교한 결과 dual layer 소자가 only 소자 대비 V_{th} positive shift, G_m, I_{D,max} slightly 증가, leakage 증가하는 특성을 나타냈다. 또한 subthreshold slope의 경우에도 어느 정도의 개선된 결과를 얻었으나 이는 interface의 quality 및 Dit (Interface Trap Density)에 critical한 영향을 받기 때문에 interface에 동일한 SiN 막을 사용한 이상 처음부터 큰 개선이 있을 것으로 생각하지는 않았다. Al₂O₃ 막의 유전율이 SiN 대비 높기 때문에 (이론적인 k값, SiN=7, Al₂O₃=9) 어느 정도 예상했었던 결과이나 앞서 MOS capacitor에서 보았듯이 maximum capacitance 값이 1.5배 증가한 것 대비 current 증가량이 낮은 것을 보아 Al₂O₃ 막의 개선이 필요할 것으로 보인다. 현재 H₂O base의 Al₂O₃ 막을 사용하였는데 이를 O₃ base로 변경하면 좀 더 특성 개선을 얻을 수 있을 것으로 기대되며 추가 적으로 HfO₂ 등의 유전율이 더 큰 막질을 dual layer로 사용할 경우 작은 leakage current와 subthreshold slope 값을 얻을 수 있을 것으로 보인다.



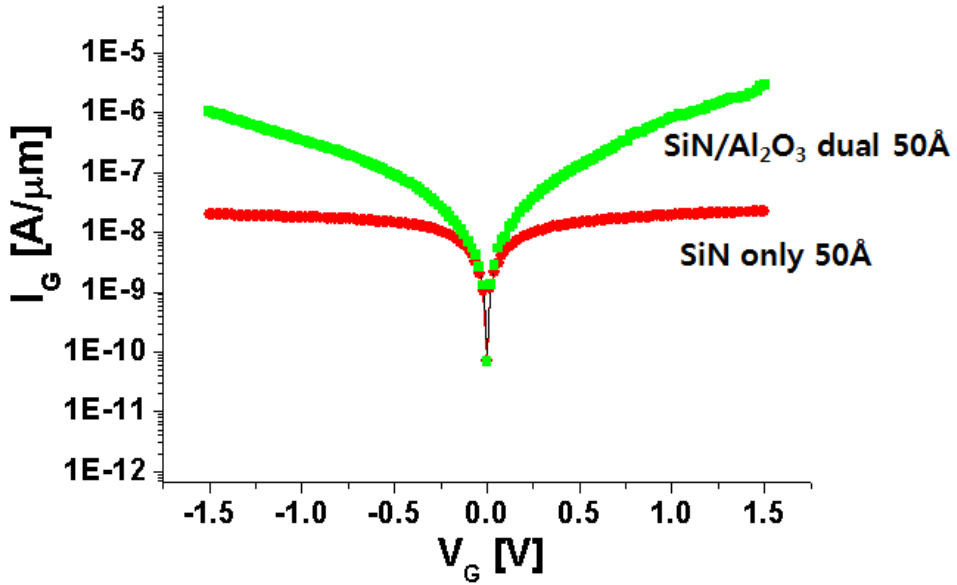


그림 4.5 SiN only 막 대비 SiN/Al₂O₃ dual 막 적용 소자 특성

4.3 TEM images of fabricated devices

실제 소자를 제작하여 gate length 100nm가 제대로 구현이 되었는지, 막은 정상적인 두께로 증착이 되었는지, 소자의 구조는 생각한대로 만들어졌는지 확인하기 위해 transmission electron microscopy (TEM) 분석을 시행하였다. 그림에서 볼 수 있듯이 소자의 구조는 예상한대로 구현이 되었음을 확인할 수 있고 gate length도 100nm에 근접하게 제작이 되었음을 확인할 수 있다. Gate dielectric으로 사용한 PEALD SiN 막 또한 target값인 5nm에 근접하게 증착이 되었음을 확인할 수 있으며 digital etch 또한 3 cycle에 따른 ~3nm 정도 recess가 되었음을 확인할 수 있다.

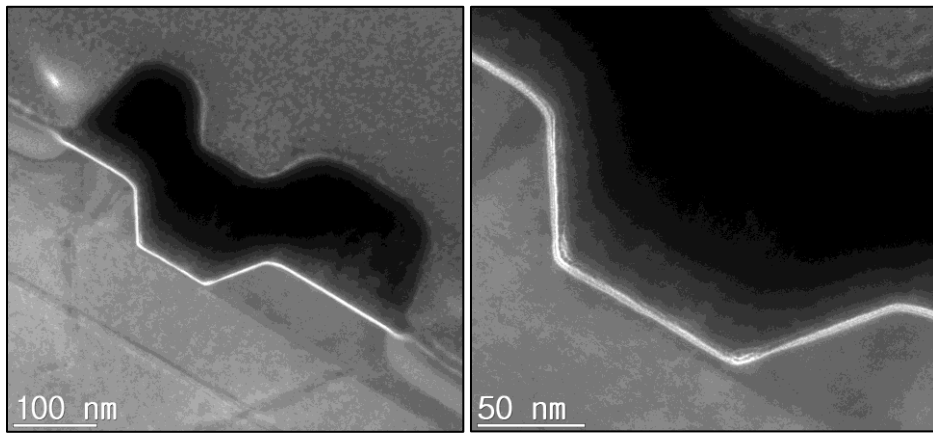


그림 4.6 100nm gate 소자의 TEM image

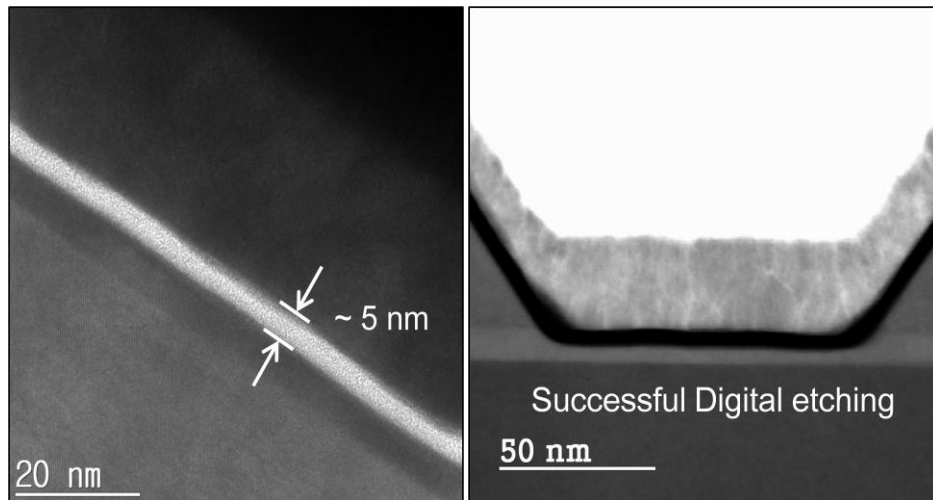


그림 4.7 Gate dielectric과 channel영역의 TEM image

Chapter 5

Conclusions

5.1 Summary and conclusions

본 논문에서는 InGaAs material을 기반으로 한 III-V channel을 이용한 MISFET 제작에 있어서 interface와 gate dielectric에 대한 연구를 중점적으로 진행하였다. Gate dielectric은 여러 가지 후보군 중에서 oxygen free dielectric인 PEALD SiNx를 선정하였고 그 안에서의 연구는 크게 세 가지 approach로 진행되었다. 첫 번째로 dielectric과 interface의 표면처리에 대한 연구로써 InP etch stopping layer를 최대한 channel에 damage 없이 제거하기 위해 digital etch 조건을 잡았고 breakdown voltage 및 leakage current 특성을 개선시키기 위하여 NH₄OH 전처리 조건을 평가하였다. 두 번째로 dielectric deposition 시 InGaAs material의 degradation을 최대한 억제하기 위해 dielectric deposition temperature와 plasma power, thickness를 split 평가하여 최적의 deposition 조건을 찾았다. 세 번째로 PDA의 ambient와 온도, 시간 등의 평가를 통하여 thermal budget을 넘지 않는 한에서 특성 개선을 위한 최적점을 찾았다.

위의 세가지 approach를 long channel photo device ($L_g=2\mu m$)와 short channel e-beam device ($L_g=100nm$)에 각각 적용하여 기존 대비 개선된 결과를 얻을 수 있었다.

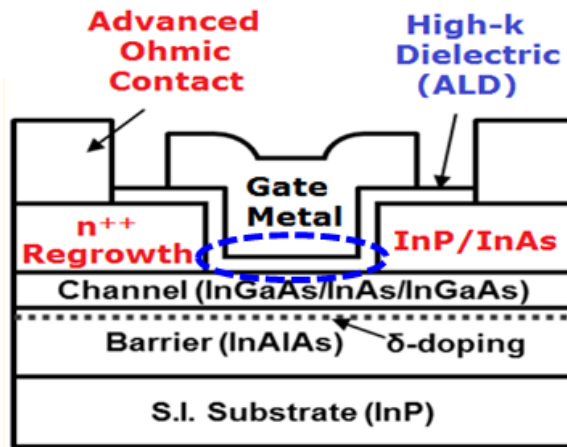
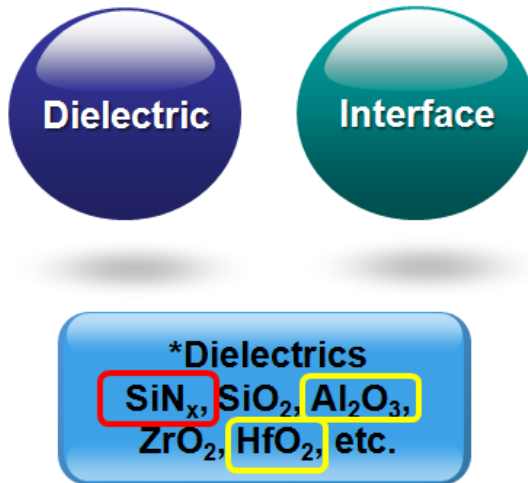


그림 4.8 InGaAs MISFET 소자에서 현재 진행 중인 이슈들



- PEALD SiN_x → Oxygen free dielectric

그림 4.9 Gate dielectric의 여러 가지 후보들과 PEALD SiN_x 의 장점

InGaAs-based gate stack

Issues :

- High interface state density
- Capacitance dispersion in depletion/accumulation
- Thermal stability of gate stack

Approach :

Surface Treatment

- Digital etch
- NH_4OH , $(\text{NH}_4)_2\text{S}$

Dielectric Interface

- Deposition temperature
- Plasma power
- Thickness optimization

Annealing (PDA,PMA)

- N_2 vs H_2 ambient annealing
- Temperature
- Time

그림 4.10 InGaAs based gate stack에서의 현재 이슈들과 본 논문에서의 접근방안

III-V channel을 이용한 CMOS extension 기술은, 한국이 메모리 산업에서 강세를 보이고 있는 기존의 기술과는 달리, 약세를 보이고 있는 비메모리 반도체 분야 (파운더리 산업 포함)에 적용할 기술로서 국내 기업의 경쟁력 강화와 발전에 매우 중요한 역할을 할 것으로 예상된다.

III-V channel을 이용한 CMOS extension 기술 개발의 궁극적인 목적은, 현재의 CMOS 기술을 12 nm이하의 node로 연장시키는데 있다. 이와 같은 기술 개발로 인한 소형 transistor 기술 개발은 반도체 산업의 핵심임과 동시에, high-speed와 high-frequency 전자 시스템의 핵심으로서, CMOS 뿐만 아니라, 스마트폰, cellular base stations, fiber-optic system, wireless local-area network, satellite communications 등에 까지 응용 가능하다.

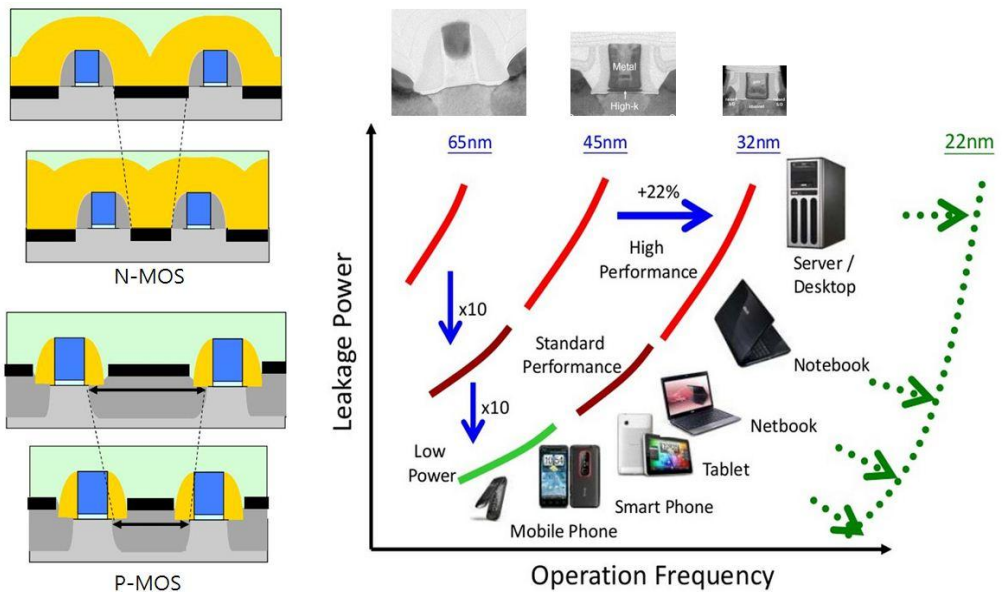


그림 4.11 CMOS 비례 축소에 따른 IC 응용 제품 스펙트럼 (Intel)

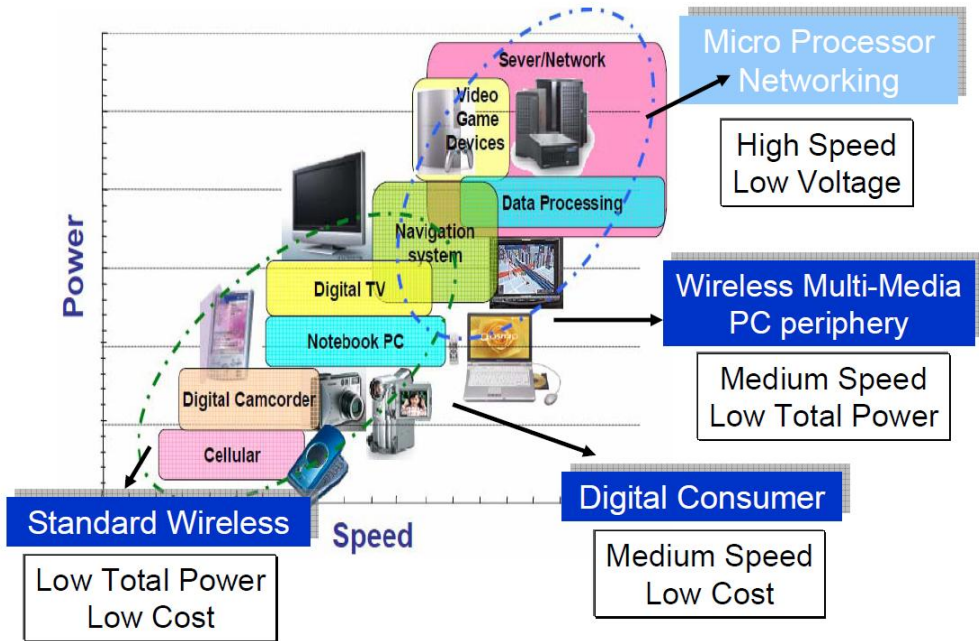


그림 4.12 Logic LSI applications (Toshiba)

이외에도 III-V channel 용 CMOS compatible 저 저항 contact 공정 및 특성 평가 기술은 III-V MOSFET의 소자 동작 특성을 향상 시키는데 필수적인 핵심 요소 기술로서 각종 비메모리 Logic 소자뿐만 아니라, RF+MW 무선통신 칩 등의 통신 소자와 같은 광범위한 고성능 반도체 소자에 적용 할 수 있다.

References

- [1] Gregory C. Desalvo, Wen F. Tseng, and James Comas, "Etch rates and selectivities of citric acid/hydrogen peroxide on GaAs, AlGaAs, InGaAs, InAlAs, and InP", *J. Electrochem. Soc.* Vol. 139, No.3, Mar., 1992.
- [2] Robert Dormaier and Suzanne E. Mohney, "Factors controlling the resistance of Ohmic contacts to n-InGaAs", *J. Vac. Sci. Technol. B30(3)*, May/June, 2012
- [3] Jianqiang Lin, Xin Zhao, Dimitri A. Antoniadis, and Jesus A. del Alamo, "A Novel digital etch technique for deeply scaled III-V MOSFETs", *IEEE Electron Device Letters*, Vol. 35, No.4, Apr., 2014.
- [4] Y. Xuan, Y. Q. Wu, T. Shen, T. Yang, and P. D. Ye, "High performance submicron inversion-type enhancement-mode InGaAs MOSFETs with ALD Al₂O₃, HfO₂, and HfAlO as gate dielectrics", *IEEE Electron Devices Meeting, IEDM 2007*, pp. 637-640, Dec., 2007.
- [5] F. Palumbo, and M. Eizenberg, "Degradation characteristics of metal/Al₂O₃/n-InGaAs capacitors", *Journal of Applied Physics*, 115, 014106, 2014
- [6] S.W. King, "Plasma enhanced atomic layer deposition of SiN_x:H and SiO₂", *Journal of Vacuum Science and Technology A*, Vol. 29, No. 4, pp. 041501-9, Jul./Aug., 2011.
- [7] Jin-Cherl Her, *AlGaIn/GaN HEMTs for High Frequency and High Power Applications*, Ph.D. Dissertation, School of Electrical Engineering and Computer Science, Seoul National University, Aug., 2008.
- [8] Q. Fang and C. Hodson, "Silicon Nitride and Silicon Oxide Thin Films by Plasma

ALD”, as presented in the 8th *International Conference on Atomic Layer Deposition*, 2008.

- [9] D.H. Triyoso, V. Jaschke, J. Shu, S. Mutas, K. Hempel, J.K. Schaeffer, and M. Lenski, “Robust PEALD SiN spacer for gate first high-k metal gate integration”, as presented in the *IEEE International Conference on IC Design & Technology*, 2012.
- [10] Jenny Hu, and H. –S. Philip Wong, “Effect of annealing ambient and temperature on the electrical characteristics of atomic layer deposition Al₂O₃/InGaAs metal-oxide-semiconductor capacitors and MOSFETs”, *Journal of Applied Physics*, 111, 044105, 2012.

Abstract

A study on Gate Dielectric and Interface of InGaAs MISFETs for CMOS Extension

Kim Minseok

Electrical and Computer Engineering

Seoul National University

InP based InGaAs high-electron mobility transistors (HEMTs) and metal insulator semiconductor field effect transistors (MISFETs) have developed remarkably over the past two decades. It could be the one of the Si technology's next generation solution due to the high electron mobility.

PEALD SiN_x can be a good candidate as an effective dielectric for n-type InGaAs for MISFET applications. Oxygen free dielectrics may be helpful in avoiding interface oxidation during or after dielectric deposition.

In overall, there are three approaches to solve many issues in InGaAs based gate stack such as high interface state density, capacitance dispersion in depletion/accumulation, thermal stability. These approaches are surface treatment(Digital etch, NH₄OH, etc),

dielectric interface (deposition temperature, plasma power, thickness) and annealing (ambient, temperature, time).

In this thesis, we have effectively improved weak inversion/depletion hump in the low frequency C–V curves of InGaAs MOS capacitors by employing various deposition temperature of high quality PEALD SiN_x as an interfacial layer. Also we have comparatively low leakage current by applying surface treatment such as digital etch, NH₄OH and low power plasma nitridation.

In addition, we have improved hysteresis and threshold voltage positive shift, low frequency capacitance dispersion by doing post metallization annealing.

We fabricated short channel (100nm) / long channel (2μm) devices and we got better characteristic by putting these method together.

Lastly, we researched SiN_x/Al₂O₃ dual layer in order to use high-k gate dielectric.

We have proposed a novel two-step deposition method to improve interface quality in SiN_x/InGaAs MISFET. The fabricated device with the two-step deposition method, three-step deposition method gate dielectric exhibited superior characteristic in frequency dispersion and other characteristics. It is also important to indicate that PEALD SiN_x could be a useful gate dielectric for InGaAs applications.

Keywords : InGaAs MISFET, PEALD SiN_x, surface treatment

Student Number : 2013–20756