



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

65nm CMOS 공정을 이용한  
광 변조기 드라이버 구현

Design of optical modulator driver in 65nm  
CMOS

2015년 2월

서울대학교 대학원

전기 컴퓨터 공학부

김 윤 수

65nm CMOS 공정을 이용한

광 변조기 드라이버 구현

Design of optical modulator driver in 65nm

CMOS

지도 교수 정 덕 균

이 논문을 공학석사 학위논문으로 제출함

2015년 2월

서울대학교 대학원

전기 컴퓨터 공학부

김 윤 수

김윤수의 공학석사 학위논문을 인준함

2015년 2월

위 원 장 \_\_\_\_\_ (인)

부위원장 \_\_\_\_\_ (인)

위 원 \_\_\_\_\_ (인)

## 초 록

데이터 양의 증대 및 전자통신 기술이 발전함에 따라 유선 고속 통신의 요구가 증가하고 있다. 하지만 전기적 채널의 낮은 대역폭이 이러한 추세를 따라가지 못하고 있다. 반면 광섬유는 높은 대역폭을 지니고 있어 전기적 통신의 대안으로 광 통신 인터페이스가 떠오르고 있다. 심지어는 칩-칩 같이 근거리에서도 광 통신을 적용하기 위해 SOI (silicon-on-insulator) 공정을 활용하여 CMOS 칩상의 실리콘을 광 도파관으로 사용하는 silicon photonics 또한 활발히 연구되고 있다. 이때 광 변조기는 용량성 부하를 가지는 것과 50Ω 부하를 가지는 것으로 나뉜다. 두 방식 모두 높은 차동 전압 스윙을 필요로 한다.

본 논문에서는 용량성 부하를 가지는 광 변조기를 10-Gbps에서 6V의 차동 전압 스윙으로 구동하기 위한 광 변조기 드라이버, 50Ω 부하를 가지는 광 변조기를 40-Gbps에서 3.8V의 차동 전압 스윙으로 구동하기 위한 광 변조기 드라이버, 50Ω 부하를 가지는 광 변조기를 25-Gbps에서 5.3V의 차동 전압 스윙으로 구동하기 위한 광 변조기 드라이버를 구현하였다. 또한 40-Gbps의 속도에서 동작하는 송신기도 구현되었다. 모든 회로는 TSMC 65-um CMOS 공정으로 만들어졌다.

첫째로 10-Gbps 광 변조기 드라이버는 삼단으로 쌓아진 트랜지스터와 동적 바이어싱 기법을 이용하여 기본 공급 전압인 1V의 여섯 배에 달하는 6V의 차동 전압 스윙을 얻었다. 면적 효율성을 위해

inductor를 사용하지 않아 200um X 200um의 작은 면적을 차지한다.  
전력 소모는 98mW이다.

둘째로 40-Gbps급 광 변조기 드라이버는 기존의 CML (current mode logic)에 보호 트랜지스터를 한 단 더 사용하여 높은 전압스윙에서도 트랜지스터가 안정적으로 동작할 수 있도록 하였다. 면적은 200um X 250um 이며 364mW의 전력을 소모한다.

셋째로 25-Gbps급 광 변조기 드라이버는 기존의 CML에 보호 트랜지스터를 두 단 더 사용하여 트랜지스터의 안정적인 동작을 보장하였다. 또한 칩 바깥에 bias-T를 사용하여 낮은 공급 전압에서도 높은 전압 스윙을 낼 수 있도록 하였다. 150um X 500um의 면적을 차지하며 529mW의 전력을 소모한다.

**주요어 :** 광 변조기 드라이버 (Modulator Driver), 광 통신 (Fiber-Optic Communication), 실리콘 포토닉스 (Silicon Photonics)

**학 번 :** 2013-20771

# 목 차

초 록.....	i
목 차.....	iii
제 1 장 서론.....	1
1.1 연구의 배경 .....	1
1.2 논문의 구성 .....	2
제 2 장 광 변조기 드라이버 및 광 송신기 회로 설계 이슈.....	3
2.1 광 송수신 시스템 개요 .....	3
2.2 광 변조기 드라이버 설계 이슈 .....	5
2.2.1 용량성 부하를 가지는 광 변조기 드라이버 설계 이슈.....	5
2.2.2 50Ω 부하를 가지는 광 변조기 드라이버 설계 이슈.....	7
제 3 장 광 변조기 드라이버 설계.....	10
3.1 10Gb/s 6V <sub>PP-Diff</sub> 광 변조기 드라이버 설계 .....	10
3.2 40Gb/s 3.8V <sub>PP-Diff</sub> 광 변조기 드라이버 설계 .....	17
3.3 25Gb/s 5.3V <sub>PP-Diff</sub> 광 변조기 드라이버 설계 .....	20

제 4 장 시뮬레이션 및 측정결과 .....	25
4.1 10Gb/s 6V <sub>PP-Diff</sub> 광 변조기 드라이버 측정 결과 .....	25
4.2 40Gb/s 3.8V <sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과..	28
4.3 25Gb/s 5.3V <sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과..	31
제 5 장 결론.....	34
참고 문헌 .....	35
Abstract .....	37

# 제 1 장 서론

## 1.1 연구의 배경

유선통신의 빠른 속도에 대한 요구가 증대되고 있다. CMOS 기술이 발달함에 따라 칩 내부의 트랜지스터의 속도는 점점 더 빨라지고 있지만, 전기적 구리 채널의 낮은 대역폭은 크게 개선되지 못하여 고속 통신을 구현하는 데에 큰 문제점이 되고 있다. 이에, 구리 선을 매체로 하는 전기적 통신 대신 높은 대역폭을 지닌 광 섬유를 매체로 하는 광 통신이 떠오르고 있다. 예전에는 장거리 통신에서 광 통신이 주로 이용되어 왔지만, 속도가 점점 빨라지면서 근거리 통신까지 광 통신을 적용하려는 추세인 것이다. 광 통신 시스템에서 전기적 신호를 광 신호로 바꾸어 주는 것이 광 송신 단의 광 변조기이다. 광 변조기에서 10Gb/s 이상의 속도로 빛을 충분한 extinction ratio 를 가지도록 변조하기 위해서는  $4V_{PP-Diff}$  이상의 높은 전압 스윙이 필요하다 [1]. 하지만 65-nm 공정에서 기본 공급 전압이 1V 라는 것을 감안하면, 단순한 inverter로는 구현이 불가능하다. 기존의 구조는 트랜지스터를 2단 쌓아  $4V_{PP-Diff}$  스윙을 얻었지만, 더 높은 전압 스윙을 얻는 데에는 한계가 있다 [2]. 또한 광 변조기는 용량성 부하를 가지는 것과  $50\Omega$  부하를 가지는 것으로 나뉘고, 각각에 따라 다른 설계 방식이 필요하다. 본

논문에서는 세 종류의 광 변조기 드라이버와 광 송신기를 구현하였다. 첫 번째 광 변조기 드라이버는 용량성 부하를 가지는 광 변조기를 10Gb/s의 속도로  $6V_{PP-Diff}$  스윙을 가지고 구동한다. 트랜지스터를 3단 쌓아 기본 공급전압의 6배에 달하는 전압 스윙을 얻었다. 두 번째 광 변조기 드라이버는  $50\Omega$  부하를 가지는 광 변조기를 40Gb/s 속도로 구동한다. Shared inductor 의 사용으로 bandwidth를 확장시켰으며 트랜지스터를 두 단 쌓아  $3.8V_{PP-Diff}$  스윙을 얻었다. 세 번째 광 변조기 드라이버는  $50\Omega$  부하를 가지는 광 변조기를 25Gb/s 구동한다. 트랜지스터를 세 단 쌓아  $5.3V_{PP-Diff}$  스윙을 얻었다. 또한 CMOS 상에서 광 변조기를 포함한 40Gb/s로 구동되는 광 송신기를 설계하였으며 고속 신호에서는 inductor의 사용으로 bandwidth를 확장시켰다. 덧붙여 shared inductor의 사용으로 inductor가 차지하는 면적을 줄였고 이로써 wire parasitic을 줄여 전력소모도 감소시켰다.

## 1.2 논문의 구성

본 논문의 2장에서는 전반적인 광 송수신 시스템에 대한 개요와 광 변조기 드라이버, 광 송신기 설계 방법에 있어서의 고려사항들을 다룬다. 3장에서는 설계한 광 변조기 드라이버들의 구조적인 특성 및 동작원리를 서술한다. 4장에서는 광 변조기 드라이버들과 광 송신기의 시뮬레이션 결과 및 측정결과를 요약하였다. 5장에서는 논문의 결론을 내린다.

## 제 2 장 광 변조기 드라이버 및

### 광 송신기 회로 설계 이슈

#### 2.1 광 송수신 시스템 개요

일반적으로 사용되는 광 송수신 시스템의 전체 구조는 그림 2.1과 같다[3].

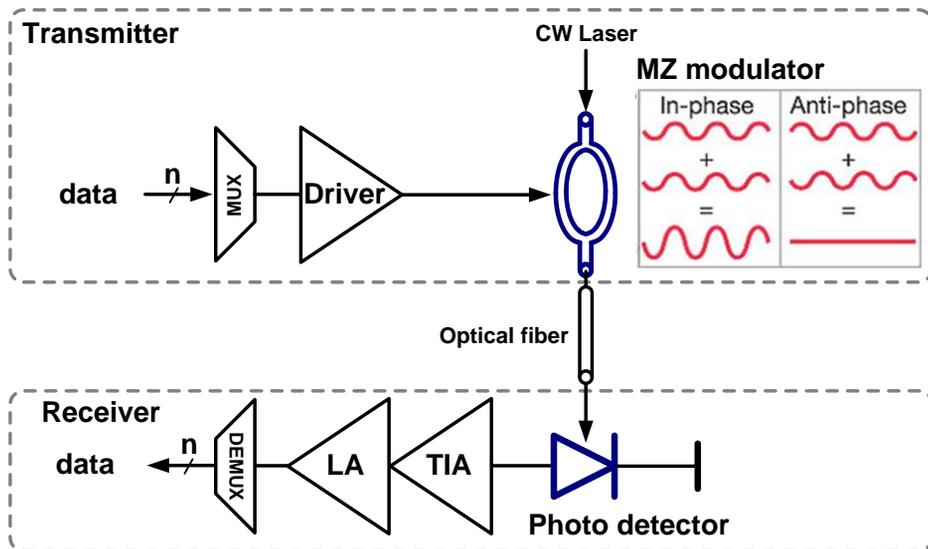


그림 2.1 광 송수신 시스템의 전체 구조

높은 주파수에서 손실이 많이 발생하는 구리 선과 달리 광 섬유는 높은 주파수에서도 손실이 적어 장거리 통신에 주로 이용된다. 하지만

전송 속도 요구량이 늘어난 최근에는 단거리 통신에서도 광 섬유를 이용한 광 통신을 이용하려는 추세이다.

광 송신기에서는 Multiplexer에서 여러 개의 느린 병렬 신호를 하나의 빠른 직렬 신호로 변환하게 된다. 이 빠른 직렬 신호는 광 변조기 드라이버를 거쳐 Mach-Zehnder (MZ) 변조기를 구동하게 된다. MZ 변조기는 일정한 세기의 빛을 두 경로로 나누어 입력 전압에 따라 두 경로의 위상 차를 조절한다. 위상이 같으면 두 경로의 빛이 보강되고 위상이 반대면 두 경로의 빛이 상쇄된다. 보강된 빛과 상쇄된 빛의 세기를 extinction ratio 라고 하는데, 충분한 extinction ratio를 얻기 위해서는  $4V_{PP-Diff}$  이상의 높은 전압 스윙이 필요하다. 이렇게 변조된 빛은 데이터 정보를 담고 있고 광 섬유를 통해 광 수신기로 전달된다.

광 수신기에서는 변조된 빛을 받아 photo detector에서 전류로 변환한다. Photo detector로는 역 전압 바이어스가 걸린 photodiode가 주로 이용된다. 전류로 변환된 신호는 trans-impedance amplifier (TIA)를 거쳐 전압 신호로 전환되고 이어서 limiting amplifier (LA)를 통해 충분히 큰 신호로 증폭되어 de-multiplexer를 통해 여러 개의 병렬 신호로 변환된다.

본 논문에서 설계한 부분은 광 변조기 드라이버 세 종류와 그 중 한 종류의 광 변조기 드라이버를 포함하고 있는 광 수신기 회로이다.

## 2.2 광 변조기 드라이버 설계 이슈

광 변조기는 용량성 부하를 가지는 것과 50Ω 부하를 가지는 것으로 나뉘며 용량성 부하를 가지는 변조기는 주로 드라이버와 짧은 거리로 연결된다 (bonding). 반면 50Ω 부하를 가지는 변조기는 주로 드라이버와 긴 transmission line 을 통하여 연결된다. 두 종류의 광 변조기 드라이버 모두 높은 출력 전압 스윙이 필요하며 각각의 종류에 따른 설계 고려사항과 기존의 구조들의 특징에 대해서 다루겠다.

### 2.2.1 용량성 부하를 가지는 광 변조기 드라이버 설계 이슈

용량성 부하를 가지는 광 변조기 드라이버는 높은 출력 전압 스윙이 필요하다. CMOS 공정이 scale down 됨에 따라 기본 공급전압도 감소하여 65nm 공정에서는 기본 공급 전압이 1V 정도이다.

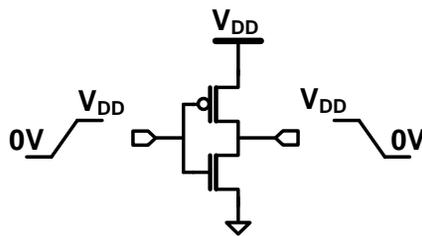


그림 2.2 Inverter

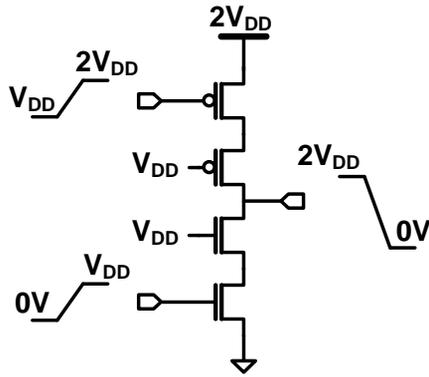


그림 2.3 Static-biased cascode [2]

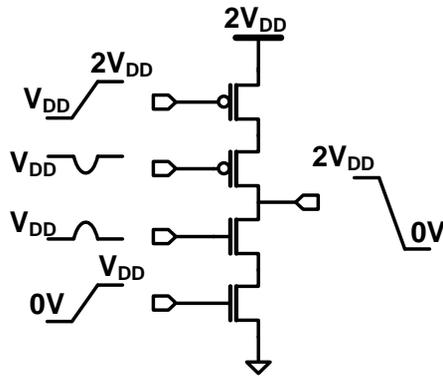


그림 2.4 Pulsed-cascode [2]

그림 2.2 는 디지털 회로에서 가장 많이 쓰이는 inverter 이고 이것으로 드라이버를 구성하게 되면  $2V_{DD-Diff}$ 의 출력 전압 스윙을 얻게 된다. Thick-oxide 트랜지스터를 사용하면  $V_{DD}$ 를 높게 사용할 수 있어 높은 출력 전압 스윙을 얻을 수 있지만, 동작 속도가 현저하게 떨어지게 되는 단점이 있다. 높은 동작 속도를 위해서는 thin-oxide 트랜지스터만을 이용해야 한다.

이러한 inverter의 단점을 해결한 것이 그림 2.3 의 회로이다. Pull-

down과 pull-up path에 보호 트랜지스터를  $V_{DD}$ 의 bias를 주어 추가하였다. 보호 트랜지스터의 사용으로 각 트랜지스터에 과전압이 걸리는 것을 방지함으로써  $4V_{DD-Diff}$ 의 출력 전압 스윙을 얻을 수 있게 된다. 하지만 입력이 변할 때 보호 트랜지스터의  $V_{DS}$ 에 높은 전압이 걸리게 되어 hot carrier degradation 등 회로의 신뢰성에 이상이 생길 수 있는 문제점이 있다.

이러한 Static-biased cascode의 문제점을 해결한 것이 그림 2.4의 pulsed-cascode 회로이다. 입력이 변할 때 보호 트랜지스터의 bias를 pulse 형태로 인가하여 보호 트랜지스터의  $V_{DS}$ 에 보다 낮은 전압이 걸리도록 한다.

하지만 static-biased cascode와 pulsed-cascode 구조 모두 기본적으로 트랜지스터를 두 단 쌓은 구조이기 때문에  $4V_{DD-Diff}$ 의 출력 전압 스윙을 가진다. 하지만 광 변조기의 종류와 쓰이는 상황에 따라 더 높은 출력 전압 스윙이 필요할 수 있기에 더 높은 출력 전압 스윙을 가지지 못하는 구조적인 한계가 있다.

### 2.2.2 50Ω 부하를 가지는 광 변조기 드라이버 설계 이슈

50Ω 부하를 가지는 광 변조기 드라이버는 transmission line과 50Ω 부하가 연결된다는 점에서 구리 선을 이용한 전기적 통신에서 쓰이는 전기적 드라이버와 동일하지만 높은 출력 전압 스윙을 필요로 한다는 점에서 차이가 있다. 또한 voltage mode로는 입력 impedance를

50Ω으로 유지하면서 트랜지스터에 과전압이 걸리는 것을 방지하기 어렵기 때문에 주로 current mode 로 설계된다.

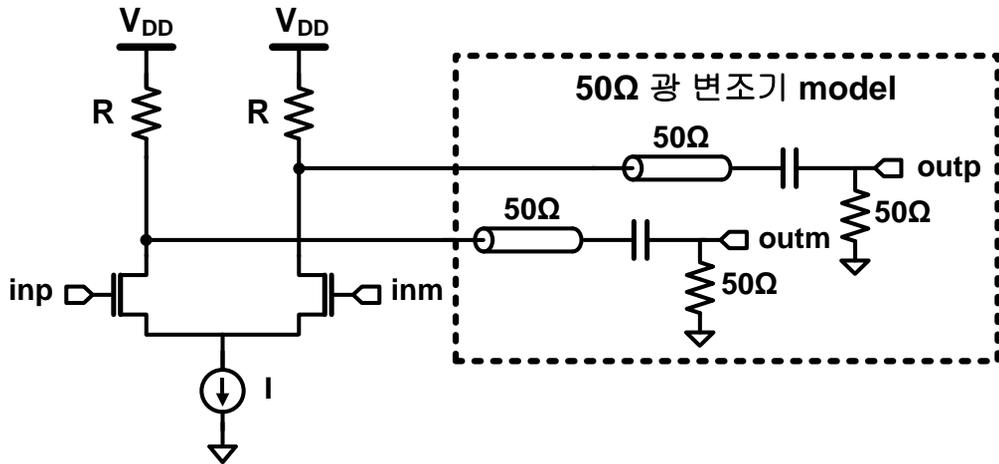


그림 2.5 Current mode 광 변조기 드라이버

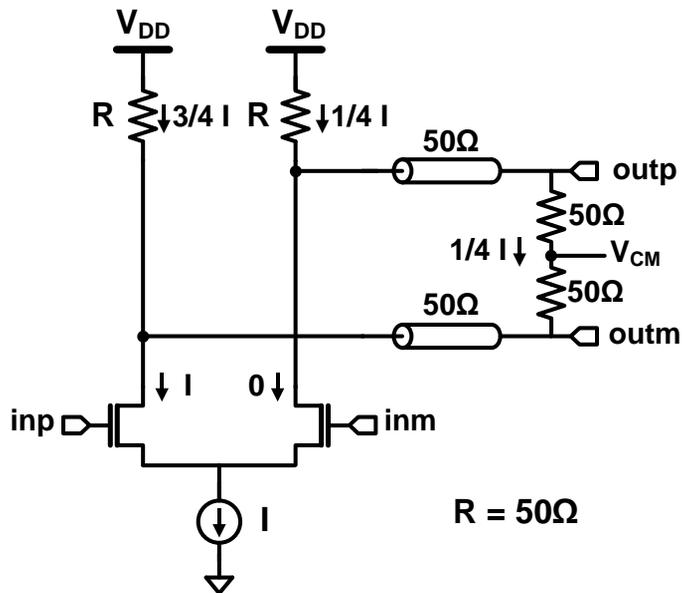


그림 2.6 Current mode 광 변조기 드라이버 등가 회로

그림 2.5는 일반적인 current mode driver와 50Ω 부하를 가지는 광 변조기를 나타낸다. 광 변조기는 AC coupling이 되어 있으며 입력 impedance가 50Ω 이다. 입력 신호가 DC balancing 이 되어 있을 때 current mode modulator driver는 그림 2.6 과 같이 등가적으로 differential terminated current mode driver로 나타낼 수 있다. 이때 current mode driver의 저항 값을 50Ω 이라고 하면 이때 출력 전압 스윙은  $25 \cdot I$  ( $V_{PP-Diff}$ )가 되며 driver 출력의 최대, 최소값은  $V_{DD} - 12.5 \cdot I$  (V),  $V_{DD} - 37.5 \cdot I$  (V) 가 된다. 따라서 출력 전압 스윙이 높을수록 드라이버의 출력 트랜지스터에 과전압이 걸리게 된다. 따라서 그림 2.6 과 같은 구조로는 높은 출력 전압 스윙을 얻을 수 없다.

## 제 3 장 광 변조기 드라이버 설계

### 3.1 10Gb/s $6V_{PP-Diff}$ 광 변조기 드라이버 설계

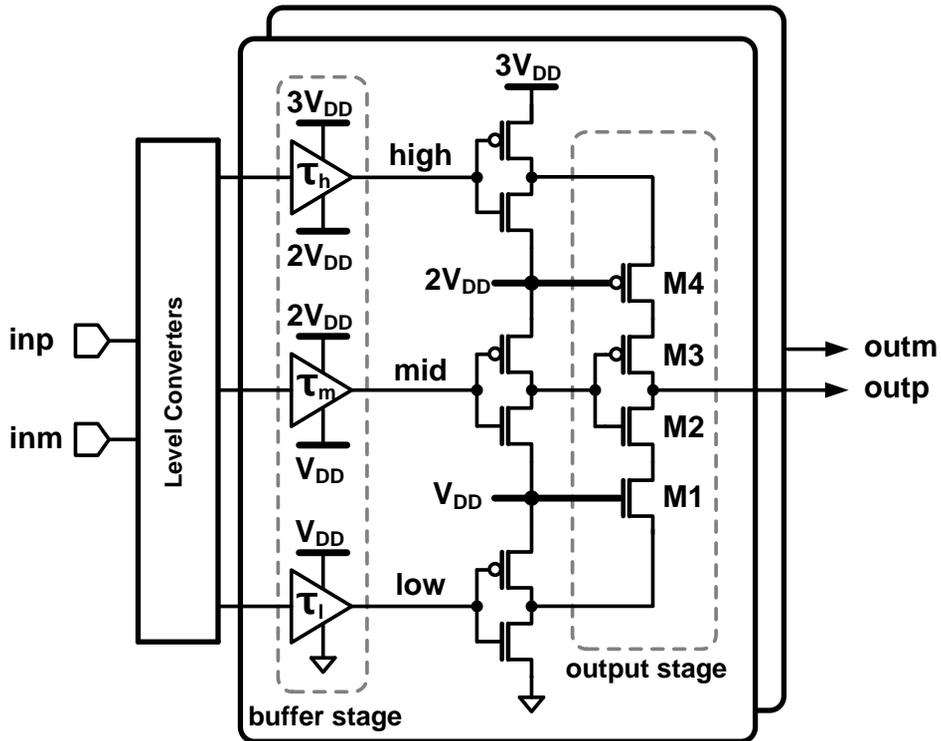


그림 3.1 10Gb/s  $6V_{PP-Diff}$  광 변조기 드라이버의 전체 구조도 [3]

그림 3.1은 용량성 부하를 갖는 광 변조기를 10Gb/s의 속도와  $6V_{PP-DIFF}$ 의 출력 전압 스윙으로 구동하는 광 변조기 드라이버의 전체 구조도이다. Level converters는 입력 신호를 세 개의 다른 전압 레벨을 가지는 신호로 변환하는 역할을 한다. 이 세 개의 신호를 받아 buffer stage에서는 'mid' 신호가 'high', 'low' 신호보다 지연되도록 buffer의

수를 달리 하였다. 마지막으로 output stage에서는 트랜지스터를 세 단 쌓아 각각의 트랜지스터에 과전압이 걸리는 것을 방지하여  $6V_{PP-Diff}$ 를 출력할 수 있도록 하였다. 또한 높은 전압 level에서 작동하는 트랜지스터는 body와 source를 연결하였고, 이를 위해 deep-N-well 트랜지스터를 이용하였다.

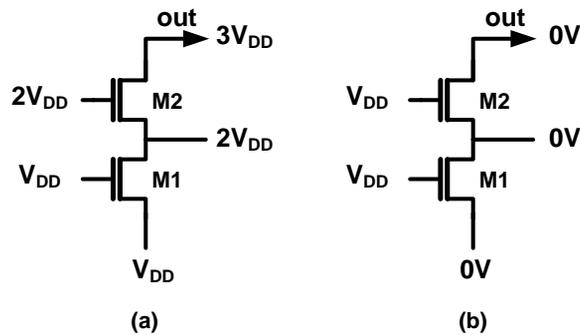


그림 3.2 정적 상태일 때의 output stage의 pull-down network:

(a) 출력이 'high' (b) 출력이 'low' [3]

그림 3.2(a)는 출력이 'high' 일 때의 output stage의 pull-down network를 나타낸다. 출력이  $3V_{DD}$ 라고 가정하면 M2의 gate 전압은 pull-down current를 없애기 위해서 작아야 하지만, 과전압 문제에 최대  $2V_{DD}$ 까지 낮아질 수 있다. M2가 꺼진 상황이라 M1의 drain 전압은  $2V_{DD}-V_{TH}$ 가 되지만, sub-threshold current를 고려하면  $2V_{DD}$ 로 근사할 수 있다. 마찬가지로 M1의 drain 전압이  $2V_{DD}$ 이므로 M1의 gate 전압은 최대  $V_{DD}$ 까지 낮아질 수 있고, M1이 꺼진 상황에서 sub-threshold current를 고려하면 M1의 source 전압은  $V_{DD}$ 로 근사할 수

있다.

그림 3.2(b)는 출력이 'low' 일 때의 output stage의 pull-down network를 나타낸다. 출력이 0V라고 가정하면 M1의 drain 전압과 source 전압은 0V가 되어야 한다. 또한 pull-down strength를 크게 하기 위해서 M1과 M2의 gate 전압은 높아야 하지만, 과전압 문제 때문에 최대  $V_{DD}$ 까지 높아질 수 있다.

위의 두 정적 상태일 때 M1의 gate 전압은  $V_{DD}$ 로 일정하다. 따라서 M1의 gate 전압은  $V_{DD}$ 로 bias되면 된다. 반면에 M2의 gate 전압과 M1의 source 전압은 변화한다. 따라서 이 둘 신호는 output stage의 입력 신호가 된다. 이러한 동적 biasing을 통하여 정적 상태에서 트랜지스터에 걸리는 전압은  $V_{DD}$ 를 넘지 않게 된다. Pull-up network 경우도 마찬가지이다.

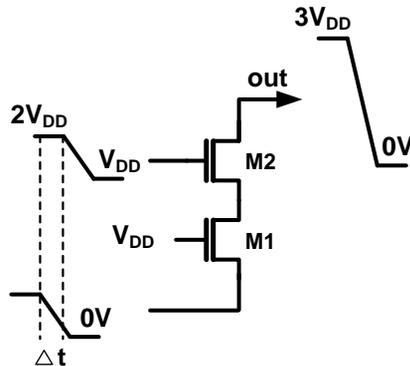


그림 3.3 동적 상태일 때의 output stage의 pull-down network [3]

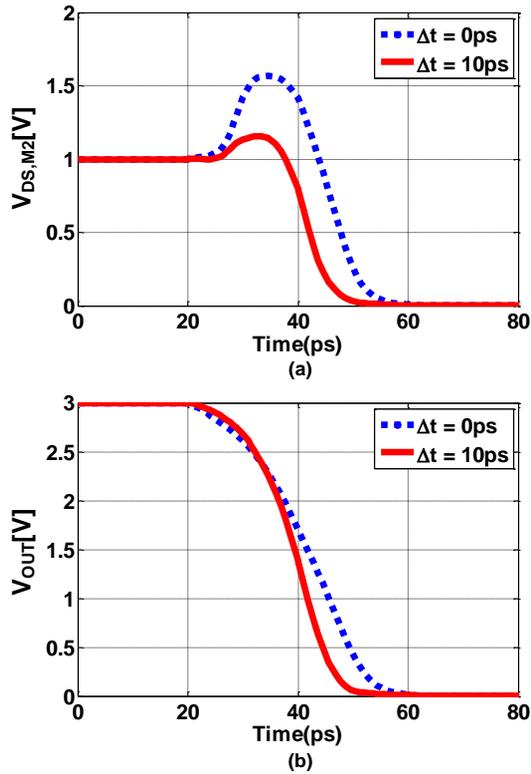


그림 3.4 동적 상태일 때의 output stage simulation:

(a) M2의 drain-source voltage M2 (b) output voltage [3]

그림 3.1의 세 개의 신호 ( 'high' , 'mid' , 'low' )의 시간 관계는 동적 상태에서 output stage의 과전압 문제에 직접적인 영향을 끼치게 된다. 그림 3.3은 동적 상태일 때의 output stage의 pull-down network를 나타낸다. M1의 drain 전압이 M2의 gate 전압보다  $V_{TH}$  만큼 더 낮아져야 비로소 'out'의 전압이 내려가기 시작한다. 만약 M1의 source 쪽 입력 신호와 M2의 gate 쪽 입력 신호의 위상이 같다면,  $V_{DS,M2}$ 는  $V_{DD}$ 보다 훨씬 커지게 되고 이는 hot carrier degradation을 일으켜 회로의 신뢰성에 악영향을 미치게 된다.

이 문제는 M2의 gate 쪽 입력 신호를 지연시킴으로써 해결될 수 있다. M1의 drain 전압이 감소하기 시작할 때 M2의 gate 전압이  $2V_{DD}$ 로 유지된다면 M2의 gate overdrive가 증가하고 이는 M2를 더 빨리 켜지도록 한다. 따라서 'out' 전압이 좀 더 빠른 시간에 내려가기 시작하므로  $V_{DS,M2}$ 가 치솟는 것을 완화시킬 수 있다.

그림 3.4는 M2의 gate 신호의 10ps 지연이 output stage에 미치는 영향을 보여준다. 그림 3.4(a)에서 보듯이  $V_{DS,M2}$ 가 치솟는 것을 감소시켜주며 M2가 더 일찍 켜지기 때문에 출력의 transition 시간도 짧아지게 된다.

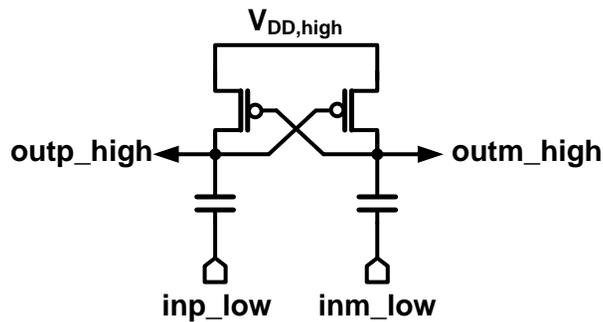


그림 3.5 Level converter [4]

그림 3.5는 사용된 level converter이다. 처음 동작할 때 과전압이 걸리는 문제를 해결하기 위해 Metal-Insulator-Metal (MIM) capacitor를 이용하였고 MIM capacitor가 전체 면적의 절반을 차지한다. 이 level converter는 pull-up regeneration 밖에 없어 출력 신호가  $V_{DD,high}$ 에 좀더 붙게 되는 문제가 있다. 이러한 문제는 level converter에 바로 뒤따르는 inverter의 PMOS size를 크게 하여 해결하였다.

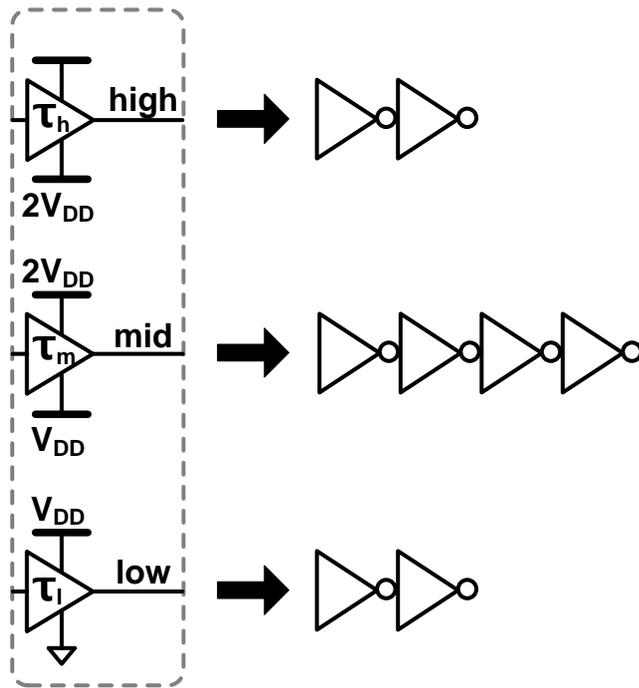


그림 3.6 Buffer stage의 구현

앞서 다룬 것처럼 output stage의 세 입력 신호간의 도달시간 관계는 과전압 문제와 transition 시간에 직접적인 영향을 미친다. 따라서 그림 3.1에서 'mid' 신호를 지연시키는 것이 필요하고 이를 그림 3.6과 같이 구현하였다. 'high' 와 'low' 신호에는 inverter를 두 단 사용하였고 'mid' 신호에는 네 단 사용하였다. 'mid' 신호에 추가적으로 들어간 두 단의 inverter는 20ps 정도의 시간지연을 만들어 낸다.

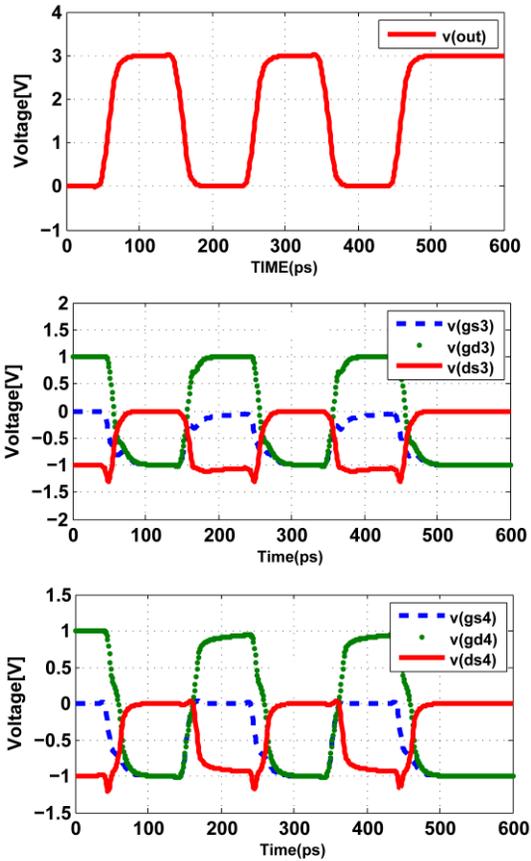


그림 3.7 output stage의 node voltage simulation

그림 3.7은 output stage의 각 transistor의 node간에 걸리는 전압을 simulation한 결과이다. Pull-up path (PMOS)의 simulation 결과지만 pull-down path (NMOS)도 비슷한 결과를 보인다. 모든 node간의 전압이 1.4V를 초과하지 않으며  $V_{ds}$ 에 가장 높은 전압이 걸리는 것을 확인할 수 있다. Output stage에서 3V의 스윙을 났에도 불구하고 트랜지스터에 심각한 과전압은 걸리지 않음 이 simulation 결과로 알 수 있다.

### 3.2 40Gb/s 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버 설계

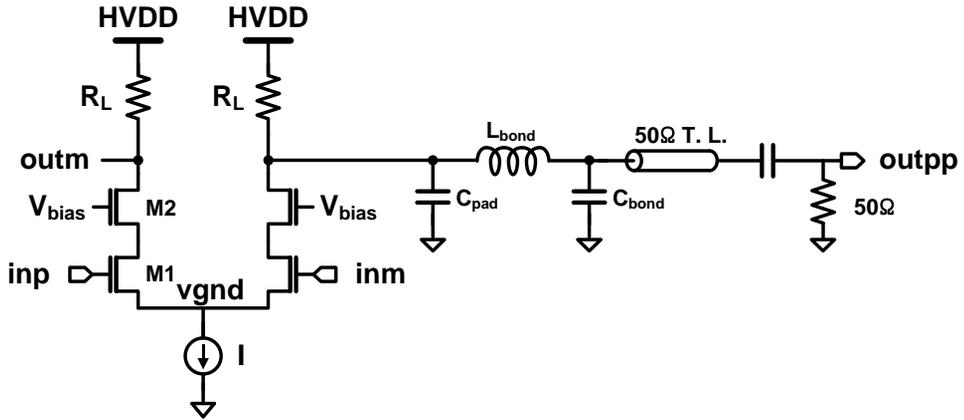


그림 3.8 40Gb/s 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버의 main driver

그림 3.8은 50Ω 부하를 갖는 변조기를 40Gb/s의 속도와 3.8V<sub>PP-DIFF</sub>의 출력 전압 스윙으로 구동하는 광 변조기 드라이버의 main driver이다. 기존의 CML 구조로는 출력 전압 스윙을 높게 가져갈 수 없으므로 보호 트랜지스터를 한 단 추가하였다. 그림에서는 편의상 한쪽 출력단의 부하만 표시하였으나, 실제로는 양단 모두 부하가 연결되어 있다. 과전압이 걸리는 것과 body effect로 인하여 트랜지스터의 threshold가 높아지는 것을 방지하기 위하여 보호 트랜지스터는 deep-N-well 소자를 사용하였고 다른 트랜지스터는 기본 트랜지스터를 사용하였다.

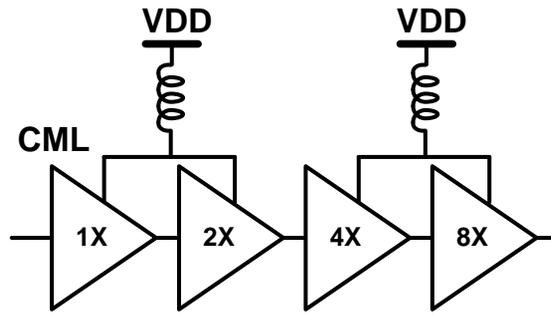


그림 3.9 40Gb/s 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버의 pre-driver

그림 3.9은 50Ω 부하를 갖는 변조기를 40Gb/s의 속도와 3.8V<sub>PP-DIFF</sub>의 출력 전압 스윙으로 구동하는 광 변조기 드라이버의 pre-driver이다. 40Gb/s의 신호를 buffering 하기 위하여 CML에 inductor를 추가하였고 이웃하는 두 단에 하나의 inductor를 공유하는 shared-inductor 구조를 사용하였다 [5]. Shared-inductor를 사용함으로써 필요한 inductor의 수는 절반이 되고 각각에 필요한 inductance 또한 줄어들어 parasitic capacitance와 chip area가 작아지는 이점이 있다.

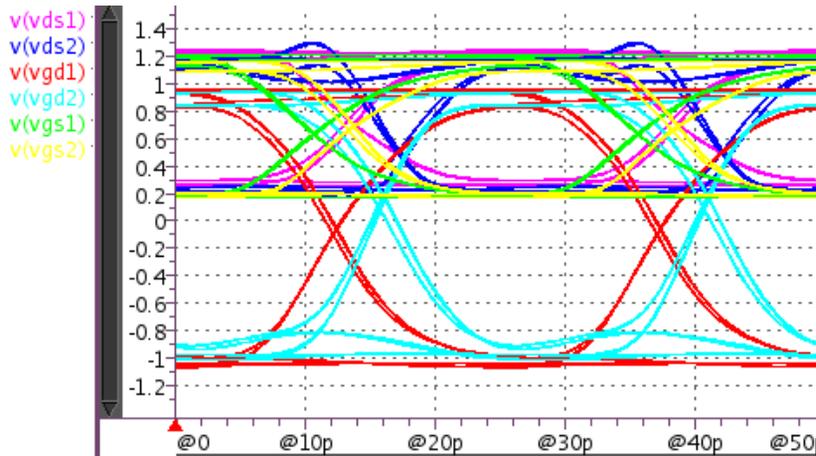


그림 3.10 40Gb/s 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버의 main driver의 node voltage simulation

그림 3.10은 main driver의 각 transistor의 node간에 걸리는 전압을 simulation한 결과이다. 모든 node간의 전압이 1.3V를 초과하지 않으며  $V_{ds2}$ 에 가장 높은 전압이 걸리는 것을 확인할 수 있다. Output stage에서 높은 스윙을 났에도 불구하고 트랜지스터에 심각한 과전압은 걸리지 않음 이 simulation 결과로 확인할 수 있다

### 3.1 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버 설계

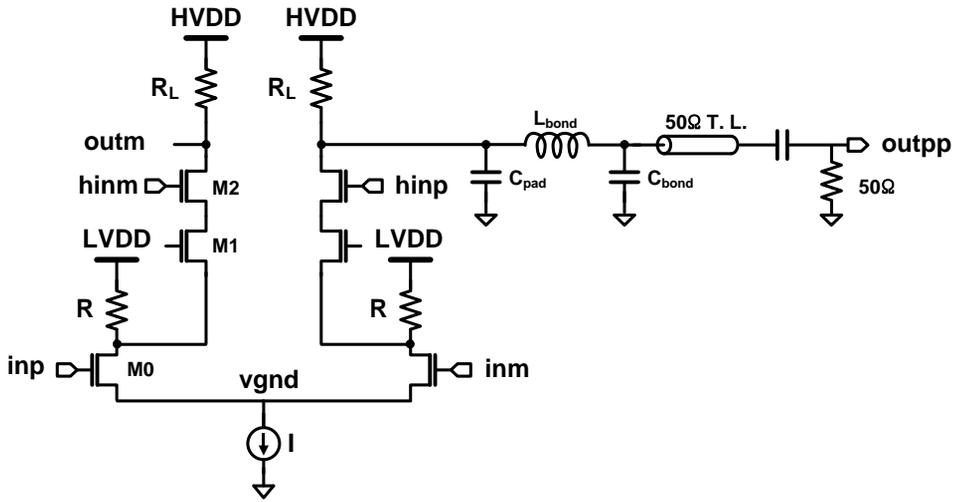


그림 3.11 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버의 main driver

그림 3.11는 50Ω 부하를 갖는 변조기를 40Gb/s의 속도와 3.8V<sub>PP-DIFF</sub>의 출력 전압 스윙으로 구동하는 광 변조기 드라이버의 main driver이다. 출력 전압 스윙을 높게 가져가기 위하여 보호 트랜지스터를 두 단 추가하였다. 이 때 보호 트랜지스터의 gate에 정적 bias를 인가하면 보호 트랜지스터에 과전압이 걸리게 되는 문제가 있으므로 동적 biasing을 통하여 과전압 문제를 해결한다. 기본적인 원리는 3.1장에서 다루었던 ‘10Gb/s 6V<sub>PP-Diff</sub> 광 변조기 드라이버’와 유사하다. ‘inp’ 신호는 LVDD를 V<sub>DD</sub>로 사용하는 CML의 출력이고 ‘hinm’ 신호는 LVDD보다 더 높은 전압인 MVDD를 V<sub>DD</sub>로 사용하는 stacked CML의 출력이다. HVDD는 MVDD보다 더 높다. 여기에서도 마찬가지로 ‘hinm’ 신호가 ‘inp’ 신호에 대해 지연되어야 출력이 transition할 때 보호 트랜지스

터에 과전압이 걸리는 것을 방지할 수 있다.

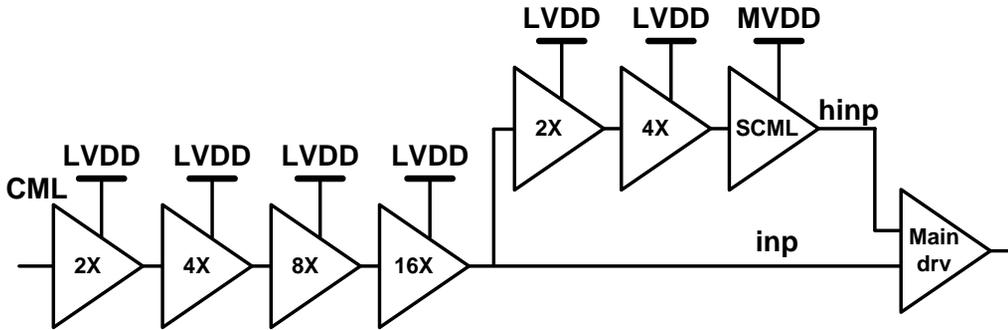


그림 3.12 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버의 pre-driver

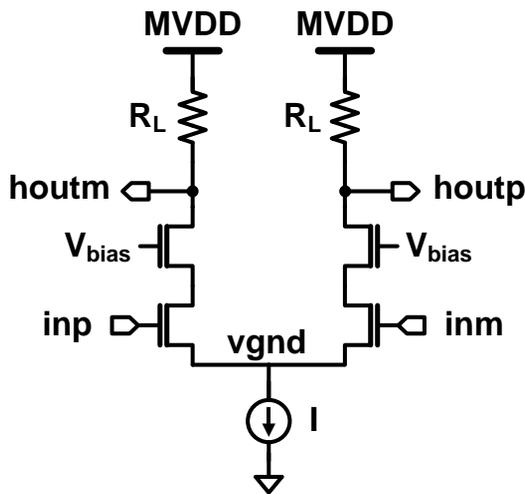


그림 3.13 Stacked current mode logic

그림 3.12는 50Ω 부하를 갖는 변조기를 40Gb/s의 속도와 3.8V<sub>PP-DIFF</sub>의 출력 전압 스윙으로 구동하는 광 변조기 드라이버의 pre-driver이다. ‘hinp’ 신호를 ‘inp’ 신호보다 지연시키기 위하여 2 stage CML

과 1 stage stacked CML (SCML) buffer를 거치도록 하였다. 동작 속도가 25Gb/s로 CML만으로 bandwidth가 충분히 나오는 속도이기 때문에 면적 효율성을 위하여 inductor나 shared-inductor를 사용하지 않았다.

그림 3.13은 pre-driver에 사용된 stacked CML회로이다. 기본적인 원리는 그림 3.7의 회로와 비슷하지만 그림3.7의 회로는 differential 100Ω termination이 되어있다고 볼 수 있고 본 회로는 capacitive load를 갖는다. 'inp' 신호는 LVDD를  $V_{DD}$ 로 사용하는 CML의 출력이고  $V_{bias}$ 는 보호 트랜지스터의 bias 전압이다. Fully steering이 됐을 경우 'houtm' 신호는 MVDD와  $MVDD - I \cdot R_L$ 가 각각 high와 low상태의 전압 값이 된다.

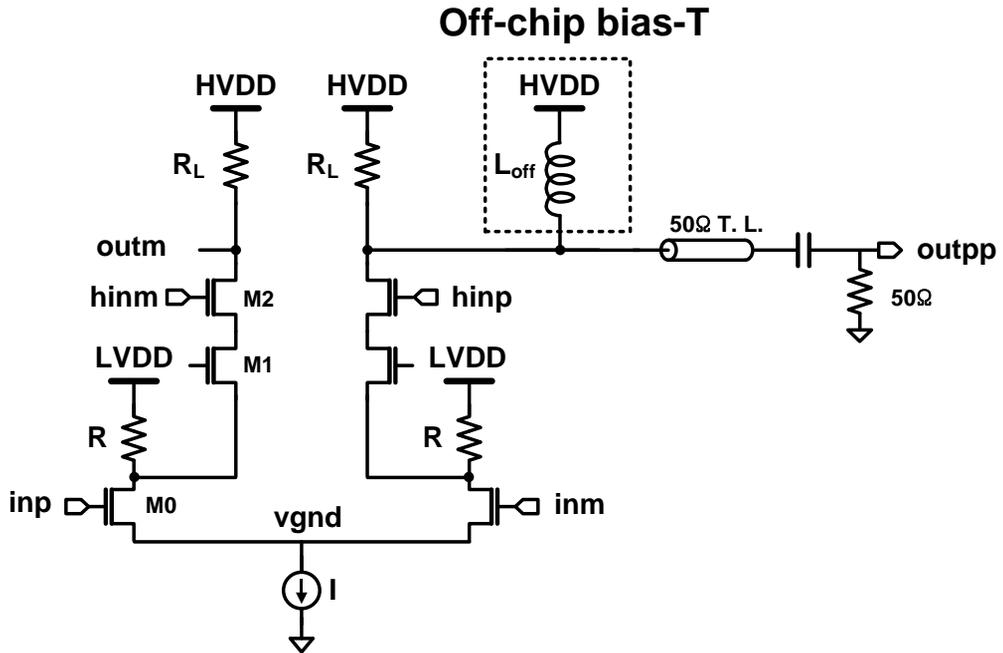


그림 3.14 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버의 off-chip bias-T

그림 3.14는 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버에 off-chip bias-T를 적용시킨 것을 나타낸다. 그림 3.11에서 HVDD로는 5V이상의 값이 필요한데 이러한 높은 전압은 on-chip capacitor나 chip pad를 설계하는데 큰 어려움을 발생시킨다. 본 공정상에서 Chip 안에서 쓰이는 높은 전압은 3.3V이기 때문이다. 이를 해결하기 위해 off-chip으로 큰 inductance를 갖는 inductor를 출력과 병렬로 연결시키는 bias-T를 적용하였다. 드라이버의 출력에 큰 값을 갖는 inductor가 병렬로 연결되게 되면 출력의 common 전압이 bias-T가 연결된 전압으로 잡히게 된다. 따라서 그림 3.14과 같이 off-chip bias-T에 연결된 전압을 HVDD로 할 경우 더 낮은 전압을 갖는 HVDD로 같은 효과를 낼 수 있게 된다.

출력의 common 전압은 3.3V보다 낮기 때문에 앞서 언급한 문제들이 해결될 수 있다. 이 방법은 높은 공급 전압이 필요한 50Ω 광 변조기 드라이버에 많이 사용되는 방법이다 [6-8]. 또한 HVDD 값이 낮아졌기 때문에 전류는 같더라도 전압 값이 낮아져 소모되는 전력 또한 감소하게 된다.

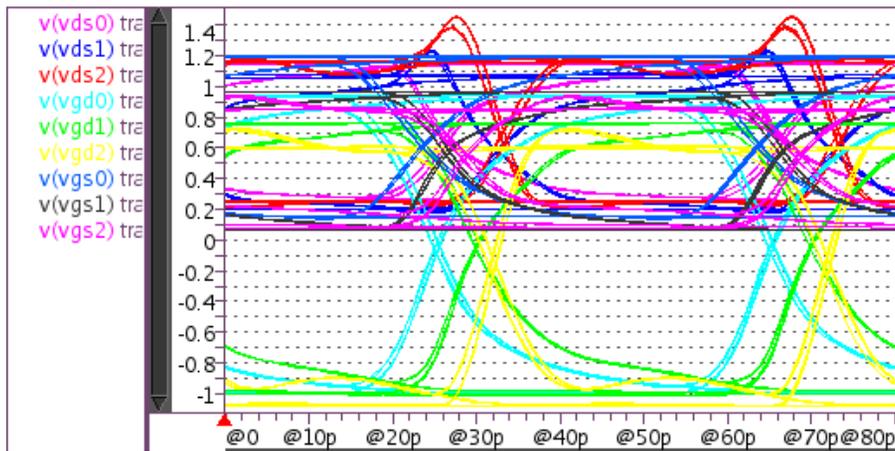


그림 3.15 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버의 main driver의 node voltage simulation

그림 3.15는 main driver의 각 transistor의 node간에 걸리는 전압을 simulation한 결과이다. 모든 node간의 전압이 1.45V를 초과하지 않으며  $V_{ds2}$ 에 가장 높은 전압이 걸리는 것을 확인할 수 있다. Output stage에서 높은 스윙을 냄에도 불구하고 트랜지스터에 심각한 과전압은 걸리지 않음 이 simulation 결과로 확인할 수 있다

## 제 4 장 시뮬레이션 및 측정결과

### 4.1 10Gb/s 6V<sub>PP-Diff</sub> 광 변조기 드라이버 측정 결과

본 회로는 TSMC 65nm CMOS 공정으로 제작되었고, 측정결과를 첨부한다.

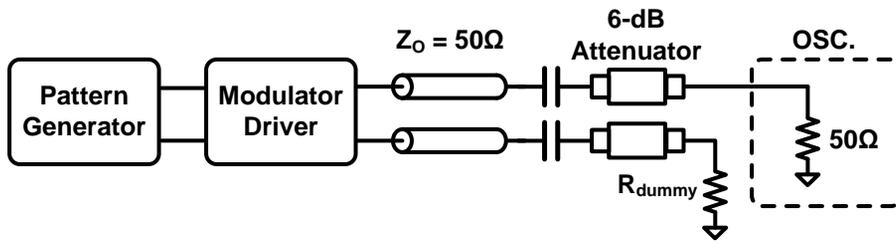


그림 4.1 6V<sub>PP-Diff</sub> 광 변조기 드라이버 측정 환경

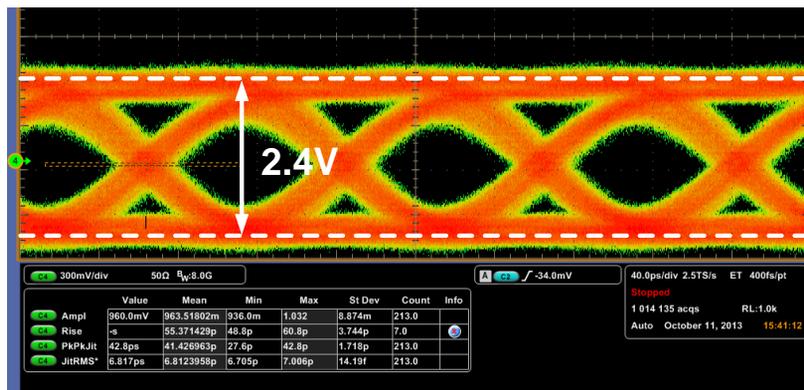


그림 4.2 6V<sub>PP-Diff</sub> 광 변조기 드라이버 eye diagram (10Gb/s)

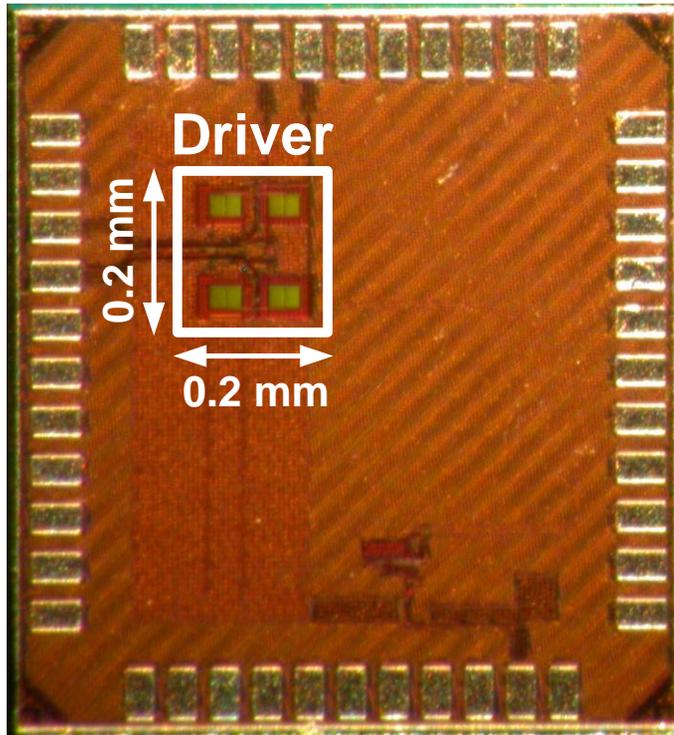


그림 4.3 6V<sub>PP-Diff</sub> 광 변조기 드라이버 die photo

6V <sub>PP-Diff</sub> 광 변조기 드라이버 측정 결과	
동작 속도	10 Gb/s
공급전압	1V, 2V, 3V
입력 전압 스윙	500mV <sub>PP-Diff</sub>
출력 전압 스윙	6V <sub>PP-Diff</sub>
Power	98mW

표 4.1 6V<sub>PP-Diff</sub> 광 변조기 드라이버 성능 요약

그림 4.1은 측정 환경을 나타낸다. PRBS 31의 입력 데이터가 pattern generator로부터 광 변조기 드라이버에 인가된다. 드라이버의 출력은 FR-4 PCB위에 wire bonding으로 chip-on-board 된다. 출력 전압 스윙이 크기 때문에 한쪽 출력에 6-dB 감쇠기를 달아 측정하였으며 한쪽에는 dummy 저항을 연결하여 termination 하였다. 그림 4.2는 드라이버 출력의 eye diagram을 보여준다. Jitter가 상당한 것을 볼 수 있는데, 이는 chip 안에 input termination 저항을 연결하지 않았기 때문에 생기는 impedance unmatching에 따른 문제라고 여겨진다. 출력 전압 스윙은 2.4V로 측정되었는데 이는 드라이버의 output impedance와 oscilloscope의 50Ω간에 발생하는 voltage divider로 인한 것이다. 실제로는 capacitive load에 연결 될 것이므로  $6V_{PP-Diff}$ 가 될 것임을 알 수 있다. 그림 4.3은 chip의 die photo이며 active area는  $0.04\text{mm}^2$  이다. 표 4.1은  $6V_{PP-Diff}$  광 변조기 드라이버의 성능을 요약한다. 비록 광 변조기를 연결하여 측정하진 않았지만 oscilloscope를 통하여 10Gb/s의 동작을 확인하였다. 총 공급 전압은 세 종류 이며 98mW의 전력 소모를 보인다.

## 4.2 40Gb/s 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과

본 회로는 TSMC 65nm CMOS 공정으로 제작되었고, 시뮬레이션 결과를 첨부한다. 시뮬레이션 환경과 노드명은 3장의 그림 3.8과 같다.

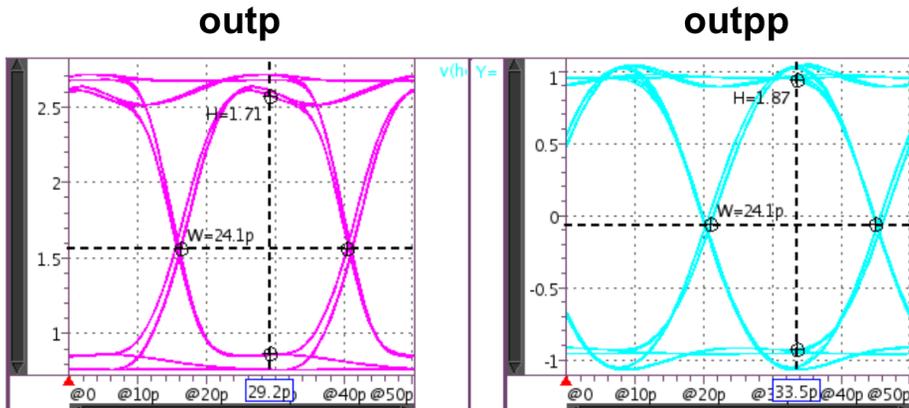


그림 4.4 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버 eye diagram simulation

@ 40Gb/s

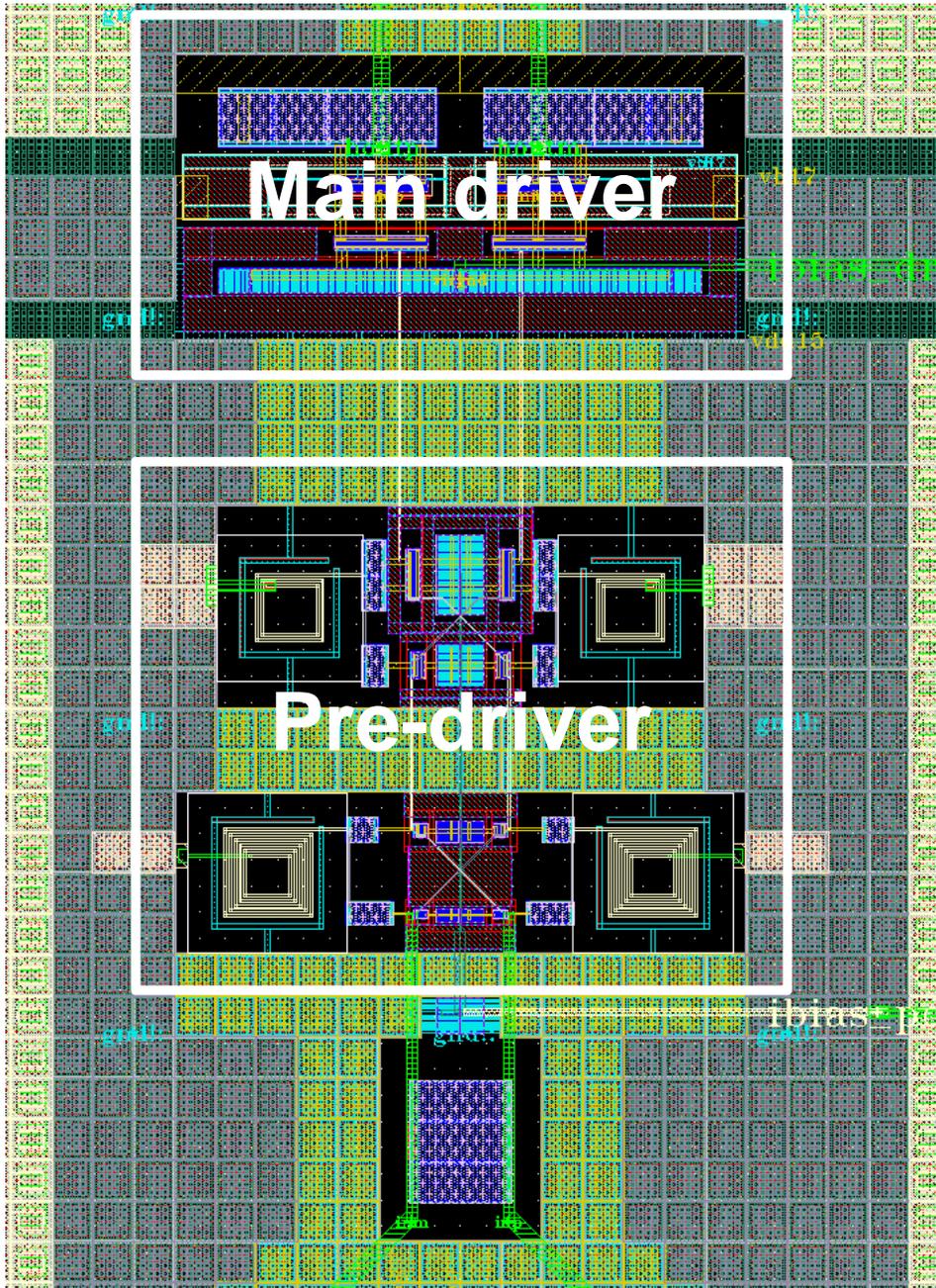


그림 4.5  $3.8V_{PP-Diff}$  광 변조기 드라이버 chip layout

3.8V <sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과	
동작 속도	40 Gb/s
공급전압	1.5V, 3.9V
입력 전압 스윙	2V <sub>PP-Diff</sub>
출력 전압 스윙	3.8V <sub>PP-Diff</sub>
Power	364mW

표 4.2 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버 성능 요약

그림 4.4는 드라이버 출력의 eye diagram을 나타낸다. PRBS 7의 신호를 입력으로 인가하였고, ‘outp’ 노드는 드라이버 회로의 출력이고 ‘outpp’ 노드는 실제 oscilloscope에 보이는 출력이다. 단일으로는 1.9V<sub>PP-Single</sub>, 차동으로는 3.8V<sub>PP-Diff</sub>의 출력 전압 스윙을 보인다. 그림 5.5은 chip의 die photo이며 active area는 가로 200um, 세로 250um으로 0.05mm<sup>2</sup> 이다. 표 4.2은 3.8V<sub>PP-Diff</sub> 광 변조기 드라이버의 성능을 요약한다. 비록 50Ω 광 변조기를 연결하여 측정하진 않았지만 등가적으로 동일한 50Ω oscilloscope를 통하여 40Gb/s의 동작을 확인하였다. 총 공급 전압은 두 종류 이며 364mW의 전력 소모를 보인다.

### 4.3 25Gb/s 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과

본 회로는 TSMC 65nm CMOS 공정으로 제작되었고, 시뮬레이션 결과를 첨부한다. 시뮬레이션 환경과 노드명은 3장의 그림 3.11과 같다.

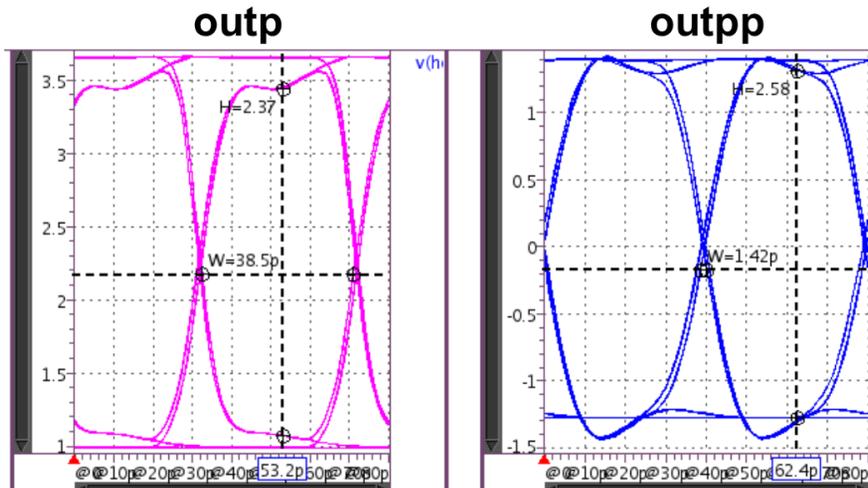


그림 4.6 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버 eye diagram simulation

@ 25Gb/s

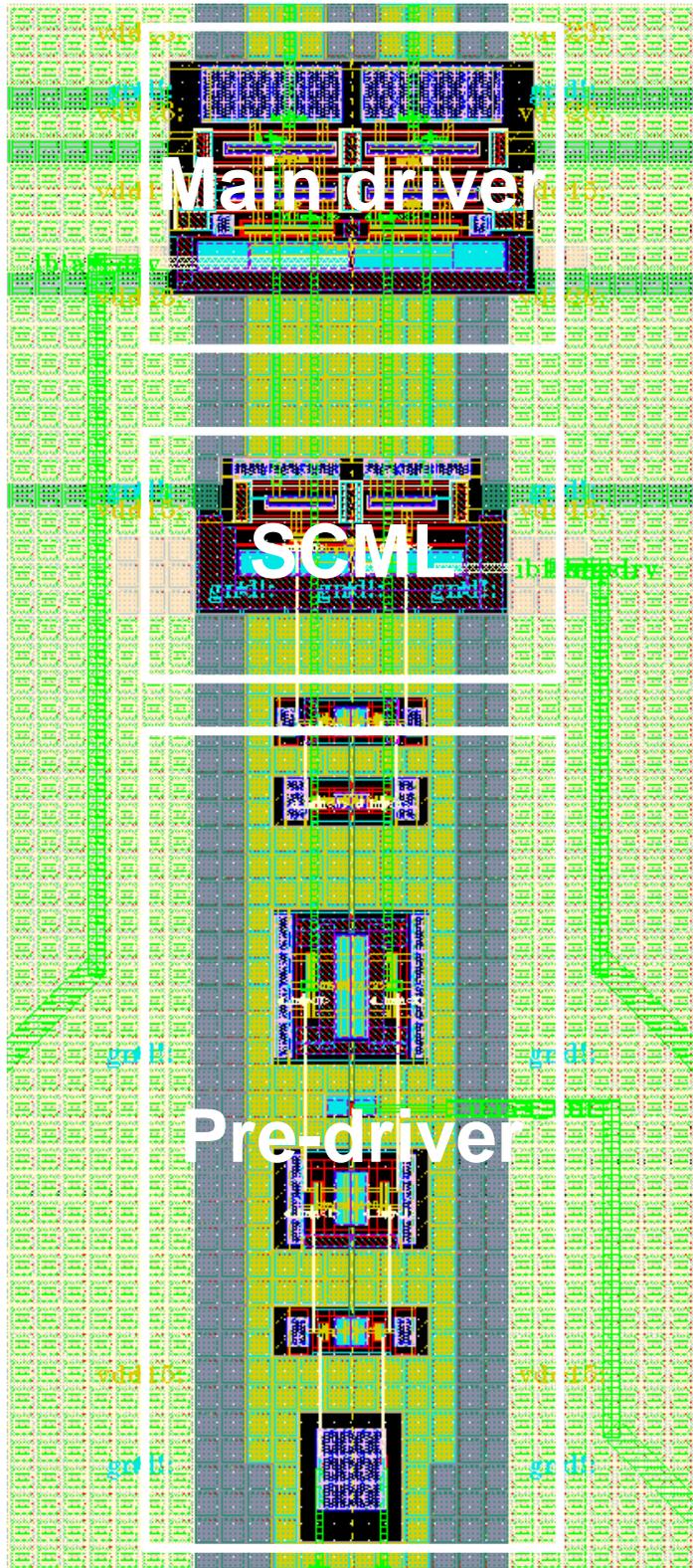


그림 4.7 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버 chip layout

5.3V <sub>PP-Diff</sub> 광 변조기 드라이버 시뮬레이션 결과	
동작 속도	25 Gb/s
공급전압	1.5V, 2.3V, 2.6V
입력 전압 스윙	2V <sub>PP-Diff</sub>
출력 전압 스윙	5.3V <sub>PP-Diff</sub>
Power	529mW

표 4.3 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버 성능 요약

그림 4.6는 드라이버 출력의 eye diagram을 나타낸다. PRBS 7의 신호를 입력으로 인가하였고, ‘outp’ 노드는 드라이버 회로의 출력이고 ‘outpp’ 노드는 실제 oscilloscope에 보이는 출력이다. 단일으로는 2.65V<sub>PP-Single</sub>, 차동으로는 5.3V<sub>PP-Diff</sub>의 출력 전압 스윙을 보인다. 그림 4.7은 chip의 die photo이며 active area는 가로 150um, 세로 450um으로 0.0675mm<sup>2</sup>이다. 표 4.3은 5.3V<sub>PP-Diff</sub> 광 변조기 드라이버의 성능을 요약한다. 비록 50Ω 광 변조기를 연결하여 측정하진 않았지만 등가적으로 동일한 50Ω oscilloscope를 통하여 25Gb/s의 동작을 확인하였다. 총 공급 전압은 세 종류이며 529mW의 전력 소모를 보인다.

## 제 5 장 결론

본 논문에서는 광 변조기를 구동하기 위한 세 종류의 드라이버를 제시하였다. 광 변조기 드라이버는 충분한 extinction ratio를 얻기 위하여 높은 voltage swing 이 필요하고, 이를 thin-oxide 트랜지스터를 적층하여 구현하였다. 또한 동적 바이어싱 기법을 이용하여 thin-oxide 트랜지스터의 과전압 문제를 해결하였고 이로써 thick-oxide 트랜지스터를 사용할 때보다 고속의 동작을 확보하였다. 10-Gb/s급  $6V_{PP-Diff}$  드라이버와 25Gb/s급  $5.3V_{PP-Diff}$  드라이버는 트랜지스터를 세 단 적층하여 정격 전압 (1V)의 여섯 배 가량에 달하는 voltage swing을 얻을 수 있었다. 40Gb/s급  $3.8V_{PP-Diff}$  드라이버에서는 트랜지스터를 두 단 적층하였고 고속 동작을 위한 shunt peaking inductor로서 shared inductor 구조를 사용하여 면적의 큰 부담 없이 동작속도를 높일 수 있었다.

## 참고문헌

- [1] Y. Zhao, L. Vera, J. R. Long and D. L. Hareme, "A 10Gb/s 6Vpp differential modulator driver in 0.18 $\mu$ m SiGe-BiCMOS," *ISSCC Dig. Tech. Papers*, pp. 132–134, Feb. 2013.
- [2] S. Palermo and M. Horowitz, "High-Speed Transmitters in 90nm CMOS for High-Density Optical Interconnects," *IEEE ESSCIRC*, pp. 508–511, Sep. 2006.
- [3] Y. Kim, W. Bae, and D.-K. Jeong, "A 10-Gb/s 6-V<sub>PP</sub>-Differential Modulator driver in 65-nm CMOS," *IEEE ISCAS*, pp. 1869–1872, Jun. 2014.
- [4] C. Menolfi, et al., "A 14-Gb/s high-swing thin-oxide device SST TX in 45nm CMOS SOI," *ISSCC Dig. Tech. Papers*, pp. 156–157, Feb. 2011.
- [5] T.-C Huang, et al., "A 28Gb/s 1pJ/b Shared-Inductor Optical Receiver with 56% Chip-Area Reduction in 28nm CMOS," *ISSCC Dig. Tech. Papers*, pp. 144–145, Feb. 2014.
- [6] S. Galal and B. Razavi, "10-Gb/s limiting amplifier and laser/modulator driver in 0.18- $\mu$ m CMOS technology," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138–2146, Dec. 2003.

- [7] D.-U. Li and C.-M. Tsai, "10-Gb/s Modulator Drivers With Local Feedback Networks," *IEEE J. Solid-State Circuits*, vol. 41, no. 5, pp. 1025-1030, May. 2005.
- [8] M.-S. Kao, F.-T. Chen, Y.-H. Hsu, J.-M. Wu, "20-Gb/s CMOS EA/MZ Modulator Driver With Intrinsic Parasitic Feedback Network," *Very Large Scale Integration (VLSI) Systems, IEEE Transactions on*, vol. 22, no.3, pp. 475-483, Mar. 2014.

## Abstract

# Design of optical modulator driver in 65nm CMOS

Yoonsoo Kim

Dept. of Electrical and Computer Engineering

The Graduate School

Seoul National University

As the amount of data increases and telecommunications technology is developed, a demand of a high speed wire-line communication increases. However, the low bandwidth of the electrical channel may not keep up with this trend. On the other hand, optical fiber has a sufficiently high bandwidth, so optical communication has emerged as an alternative to electrical wire-line communication. Even, silicon photonics that uses silicon optical waveguide on a CMOS chip in silicon-on-insulator process rather than optical fiber to chip to chip communication has also been

actively studied. Optical modulators are divided to packaged  $50\Omega$  load type and capacitive load type. Both kinds require a high differential voltage swing to achieve sufficient extinction ratio.

In this paper, one capacitive load type modulator driver which has  $6V_{PP-Diff}$  voltage swing in 10Gb/s, and two packaged  $50\Omega$  load type modulator drivers that has  $3.8V_{PP-Diff}$  voltage swing in 40Gb/s and  $5.3V_{PP-Diff}$  voltage swing in 25Gb/s are designed. Three modulator driver are implemented in TSMC 65-nm CMOS process.

First, 10Gb/s optical modulator driver achieve a differential voltage swing of  $6V_{PP-Diff}$  which is up to six times the nominal supply voltage of 1V by using a triple stacked transistors and dynamic biasing technique. It occupies a small area of 200um X 200um due to not using inductor for area efficiency. Power consumption is 98mW.

Second, 40Gb/s optical modulator driver achieve a differential voltage swing of  $3.8V_{PP-Diff}$  by stacking one protecting transistor on a conventional current mode logic circuit. It occupies 200um X 250um and consumes 364mW.

Third, 25Gb/s optical modulator driver achieve a differential voltage swing of  $5.3V_{PP-Diff}$  by stacking double protecting transistor on a conventional current mode logic circuit. In addition, off-chip bias-T is used to lower supply voltage. It occupies 150um X 500um

and consumes 529mW.

Keywords : Modulator Driver, Fiber–Optic Communication, Silicon  
Photonics

Student Number : 2013–20771