



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학석사학위논문

능동 인덕터로 구성한 전하 회수 회로를
위한 전원 클럭 발생기

**Power Clock Generator Using Active Inductor for Charge
Recovery Logic**

2013년 2월

서울대학교 대학원

전기 컴퓨터 공학부

김진우

능동 인터더로 구성된 전하 회수 회로를 위한 전원 클럭 발생기

지도교수 김 수 환

이 논문을 공학석사 학위논문으로 제출함

2012 년 11 월

서울대학교 대학원

전기 컴퓨터 공학부

김 진 우

김진우의 공학석사 학위논문을 인준함

2013 년 2 월

위 원 장 : _____ (印)

부위원장 : _____ (印)

위 원 : _____ (印)

초록

오늘날 VLSI 시스템에는 고성능과 저전력이라는 두 가지 주제가 일반적으로 다루어 진다. 시스템의 동작 주파수가 증가함에 따라 시스템의 높은 성능을 위해 시스템의 소비 전력 또한 증가하였다. 이러한 문제를 해결하고 저전력 시스템을 구성하기 위해 voltage scaling 기법이 사용되었지만, 공급 전압이 문턱 전압 이하로 scaling 되면서 subthreshold leakage energy 가 크게 증가하기 시작했다. 고성능, 저전력을 갖는 시스템을 설계하기 위해 많은 연구들이 진행되었으며 그 중 한 가지로 전하 회수 회로가 연구되었다. 전하 회수 회로는 기존의 CMOS 회로에 비해 에너지 소비 효율이 높다는 장점을 가지고 있다.

전하 회수 회로의 경우, 효율적인 전하 회수 동작을 위해 ramping 되는 전압을 회로의 전원 전압으로 사용한다. 전원 전압의 점진적인 변화로 인해 낮은 값의 전류 흐름이 형성되고, 따라서 전체 시스템의 에너지 소모가 줄어들게 된다. 또한 이 전하 회수 회로에 사용되는 전원은 회로에 전하를 공급하는 역할 뿐 아니라, 회로를 구성하는 게이트들의 동작을 동기화 시키는 역할도 하기 때문에 전원 클럭으로 불린다. 전원 클럭을 만드는 전원 클럭 발생기에는 크게 step wise charging 방식과 resonant charging 방식이 있는데, 정현파에 가까운 전압을 만드는 LC 공진을 이용한 resonant charging 방식이 전자의 경우보다 간단하고

효율적이기 때문에 주로 사용된다. LC 공진을 이용한 전원 클럭 발생기는 수동 인덕터의 인덕턴스를 L 값으로, 전원 클럭 라인과 전원 클럭 발생기에 연결된 회로의 기생 capacitance 를 C 값으로 이용하여 클럭의 주파수를 결정한다. 하지만 수동 인덕터를 사용하는 경우, 사용한 수동 소자의 값에 의해 클럭의 주파수가 결정되고, 이 주파수를 조절하기 위해 injection-locked 소자를 이용하는 방법이 사용하지만 이 경우 레퍼런스 클럭에 따른 지터 노이즈 문제, 한 쌍의 클럭의 위상 차 문제 등이 발생할 수 있는 단점이 있다. 이러한 문제의 대안으로 능동 인덕터 만을 사용하는 방법이 있지만, 사용된 능동 인덕터는 수동 인덕터와는 달리 에너지 저장이 일어나지 않는 단점이 있다.

본 논문에서는 위와 같은 문제점들에 대한 대안으로 능동 인덕터와 수동 인덕터를 병렬로 결합한 인덕터 구조를 적용한 전원 클럭 발생기를 제안한다. 제안한 회로는 $0.18\mu\text{m}$ CMOS 공정에서 설계하였고 또한 16bit Carry Lookahead Adder 를 전하 회수 회로의 일환인 Subthreshold Boost Logic 으로 구성하여 그 동작을 확인하였다.

주요어 : 전원 클럭 발생기, 능동 인덕터, 전하 회수 회로

학 번 : 2011-20820

목차

초록	i
표 목차	v
그림 목차	vi
제 1 장 서론	1
1.1 연구의 배경	1
1.2 논문의 구성	4
제 2 장 전하 회수 회로	5
2.1 전하 회수 회로의 기본 원리	5
2.2 Subthreshold Boost Logic 의 구조 및 동작 원리	9
제 3 장 제안하는 전원 클럭 발생기	12
3.1 기존의 전원 클럭 발생기	12
3.2 제안하는 전원 클럭 발생기	15
3.2.1 기본적인 능동 인덕터	15
3.2.2 제안하는 전원 클럭 발생기의 회로	18
제 4 장 시뮬레이션 결과	26
4.1 전원 클럭 발생기 및 동작 검증 회로	26
4.2 시뮬레이션 결과	28

4.2.1	전원 클럭 발생기의 시뮬레이션	28
4.2.2	검증 회로를 포함한 전체 시스템의 시뮬레이션	35
제 5 장	결론	43
	참고문헌	45
	Abstract	47

표 목차

표 1. 전원 클럭 발생기의 파라미터 값	28
표 2. 제안한 전원 클럭 발생기의 시뮬레이션 결과 요약.....	42

그림 목차

그림 1. 일반적인 디지털 회로에서의 부하 커패시턴스의 충전 및 방전.....	7
그림 2. 전하 회수 회로에서의 부하 커패시턴스의 충전 및 방전	8
그림 3. Subthreshold Boost Logic의 구조.....	10
그림 4. SBL 게이트의 동작 원리.....	11
그림 5. 비동기식 전원 클럭 발생기 : 2N 과 2N2P.....	13
그림 6. 동기식 전원 클럭 발생기 : 2N 과 2N2P.....	13
그림 7. 이상적 single-ended gyrator-C 능동 인덕터의 구조	16
그림 8. 손실이 있는 single-ended gyrator-C 능동 인덕터의 구조.....	18
그림 9. 전원 클럭 발생기의 인덕터 구조에 사용한 능동 인덕터의 회로도.....	21
그림 10. 능동 인덕터의 소신호 등가 회로 모델.....	21
그림 11. 제안하는 전원 클럭 발생기에 적용한 인덕터 구조.....	22
그림 12. 제안하는 전원 클럭 발생기의 전체 회로도.....	24
그림 13. SBL 4비트 Carry Lookahead Adder의 회로.....	25
그림 14. 전원 클럭 발생기 및 16비트 CLA를 포함한 전체 회로.....	26
그림 15. Conversion buffer(좌)와 Sense amplifier flip-flop(우)의 회로.....	27
그림 16. 한 쌍의 전원 클럭 PC, PC_b의 파형.....	29
그림 17. 전원 클럭의 주파수에 대한 능동 인덕턴스의 변화.....	30
그림 18. 능동 인덕턴스와 수동 인덕턴스의 비교를 위한 두 회로.....	31

그림 19. 주파수에 대한 능동 인덕턴스와 수동 인덕턴스의 비교	32
그림 20. 세 가지 인덕터에 대한 전류 흐름 시뮬레이션 회로.....	33
그림 21. 세 가지 인덕터 구조의 인덕터 입력 노드의 전류 흐름	34
그림 22. 세 가지 인덕터 구조의 주파수에 따른 소모 전력	35
그림 23. 16비트 CLA의 입력 신호와 출력 신호 패턴.....	36
그림 24. 16비트 SBL CLA의 입력 데이터 신호의 일부.....	37
그림 25. 16비트 SBL CLA의 출력 데이터의 일부.....	38
그림 26. 전체 시스템의 동작 주파수에 대한 소모 전력	39
그림 27. 전하 회수 회로로서 검증 회로의 동작	41

제 1 장 서론

1.1 연구의 배경

오늘날 VLSI 시스템의 설계에 있어서 시스템의 에너지 소모는 중요한 제약 조건이 되었다. 디지털 회로에서 에너지 소모를 줄이는 효과적인 방법 중 하나로 voltage scaling 이 있다 [1, 2]. 공급 전압이 감소함에 따라 회로의 에너지 소모 역시 줄어들지만, 시스템의 성능 저하라는 단점을 피할 수 없다. 공급 전압이 문턱 전압 보다 충분히 큰 경우, 공급 전압이 감소함에 따라 성능 저하는 선형적으로 일어나지만, 공급 전압이 문턱전압 보다 낮아지는 경우, 회로의 지연 시간이 공급 전압에 따라 기하급수적으로 늘어날 뿐만 아니라 공정 변화에도 민감해 지게 되는 한계를 갖는다. 이러한 문제에 대한 대안으로 전하 회수 회로를 들 수 있다.

전하 회수 회로는 회로의 부하 커패시턴스를 충전하고 방전하는 원리와 각 동작 사이클의 끝에서 전하를 회수함으로써 시스템의 에너지 소모를 줄일 수 있다 [3, 4]. 기존의 CMOS 디지털 회로의 에너지 소모가 트랜지스터의 스위칭 동작에 따라 $switching \times CV^2$ 이 되는 반면 전하 회수 회로의 에너지 소모는 $\frac{RC}{T}CV^2$ 가 된다. 여기서 T 는

트랜지스터의 스위칭 시간을 의미한다. 이 전하 회수 회로의 전압 공급원은 전원 공급 역할 및 회로의 동작을 동기화하는 timing 역할을 하기 때문에 전원 클럭으로 불린다. 전원 클럭을 만들어내는 전원 클럭 발생기는 전체 시스템에서 중요한 역할을 하고 있지만, 몇 가지 전원 클럭 발생기가 제안되었을 뿐 대부분의 연구는 전하 회수 회로의 동작 및 성능 또는 클럭 신호 분배에 초점이 맞춰져 있다 [5, 6]. 효율적인 전원 클럭 발생기의 설계를 위해 여러 방식 중에서 LC 공진을 이용한 방식이 사용된다 [7]. 이러한 방식에 이용되는 L 값으로는 수동 인덕터가 사용되고 있으나, 수동 인덕터를 사용하는 경우 소자 값에 의해 전원 클럭의 주파수가 고정되는 특징을 갖는다. 전원 클럭 발생기의 클럭 주파수를 조절하기 위해 injection-locked 소자와 레퍼런스 클럭을 이용하는 방법이 있지만 [8], 레퍼런스 클럭에 의한 지터 노이즈 문제 및 전원 클럭의 위상 차 문제 등이 발생할 수 있다. 주파수를 조절하는 다른 방법으로 수동 인덕터가 아닌 능동 인덕터 만을 이용하여 주파수 조절을 하는 방법이 있지만 [11], 능동 인덕터는 수동 인덕터와는 달리 에너지 저장 역할을 하지 못하는 단점이 있다.

전원 클럭의 주파수를 조절하는 또 다른 방법으로 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조를 인덕터로 사용하는 방법이 있다. 이 경우, 결합한 능동 인덕터와 수동 인덕터의 등가 인덕턴스를 L 값으로 이용하게 되고, 능동 인덕터의 가변 인덕턴스를 통해 전원 클럭의 주파수를 조절할 수 있는 특징을 가지고 있다 [12, 13].

본 논문에서는 CMOS 로 구성된 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조의 인덕터를 이용하여 전원 클럭의 주파수를 조절하고, 에너지 저장 측면에서 능동 인덕터가 가지는 단점을 보완한 LC 공진 방식의 전원 클럭 발생기를 제안하였다. 또한 전하 회수 회로의 한 종류인 Subthreshold Boost Logic 으로 16bit carry lookahead adder 를 설계하여 전원 클럭 발생기의 정상 동작을 확인하였다. 제안한 전원 클럭 발생기 회로 및 검증 회로는 0.18 μm 공정에서 설계되었고, SPICE 시뮬레이션을 통해 동작을 검증하였다.

1.2 논문의 구성

본 논문은 5 개의 장으로 구성된다. 제 2 장에서는 전하 회수 회로의 기본 원리에 대해 알아보고 그 중 하나인 Subthreshold Boost Logic(SBL)에 대해 알아본다. 제 3 장에서는 전원 클럭 발생기와 능동 인덕터의 기본 원리, 그리고 제안하는 전원 클럭 발생기의 구조 및 사용한 인덕터의 구조에 대해 설명을 한다. 제 4 장에서는 회로의 전체 구성을 보이고 시뮬레이션을 통해 그 동작 및 성능을 확인한다. 제 5 장에서는 결론을 내리도록 한다.

제 2 장 전하 회수 회로

2.1 전하 회수 회로의 기본 원리

그림 1 은 일반적인 디지털 회로에서 부하 커패시턴스의 충전 및 방전을 개략적으로 나타낸 것이다. 일반적으로 디지털 회로에서 MOS 트랜지스터는 공급 전압원과 부하 커패시턴스를 연결하는 스위치로 사용된다. 따라서 그림 1 의 회로처럼 MOS 트랜지스터는 저항 R 과 스위치로, 부하 커패시턴스는 C 로 나타내었다. 스위치를 켜으로써 공급 전원 V_{DD} 가 부하 커패시턴스 C 를 $0V$ 에서 V_{DD} 로 충전하기 시작하고 C 양단의 전압은 $V_{DD}(1 - e^{-\frac{t}{RC}})$ 로 올라가게 된다. 전체 에너지 소모는 C 를 충전하는 시간 동안 저항 R 에서 소비한 전력을 적분한 것으로 다음과 같다.

$$E_{diss} = \int_0^{\infty} i_c(t)v_c(t)dt = \int_0^{\infty} C \frac{dv_c(t)}{dt} v_c(t)dt = \frac{1}{2} CV_{DD}^2 \quad (1)$$

그림 2 는 전하 회수 회로에서의 부하 커패시턴스의 충전 및 방전을 나타낸 것이다. 여기서 공급 전압원으로 각 step 당 시간 간격이 $\frac{T}{2n}$ 이고

$\frac{V_{DD}}{n}$ 의 값을 갖는 n step 전압원을 사용하였다. 이 때의 에너지 소모를

(1)번 수식을 적용하여 계산하면 다음과 같다.

$$E_{diss} = \frac{1}{2}C \left(\frac{V_{DD}}{n} \right)^2 \times n = \frac{1}{2}CV_{DD}^2 \left(\frac{1}{n} \right) \quad (2)$$

(1)번 수식과 (2)번 수식을 비교하면 일반적인 디지털 회로보다 전하 회수 회로에서 에너지 소모가 $\frac{1}{n}$ 배로 줄어드는 것을 볼 수 있다.

(2)번 수식을 통해 공급 전압원이 일반적인 디지털 회로의 공급 전압원과는 달리 점진적으로 변화하는 점이 전하 회수 회로의 효율적인 동작에 매우 중요하다는 것을 알 수 있다. 이러한 특징이 회로의 저항 성분의 양단 전압 차를 줄이고, 저항 성분에 흐르는 전류의 레벨을 낮추어 회로에서의 에너지 소모를 줄이게 된다.

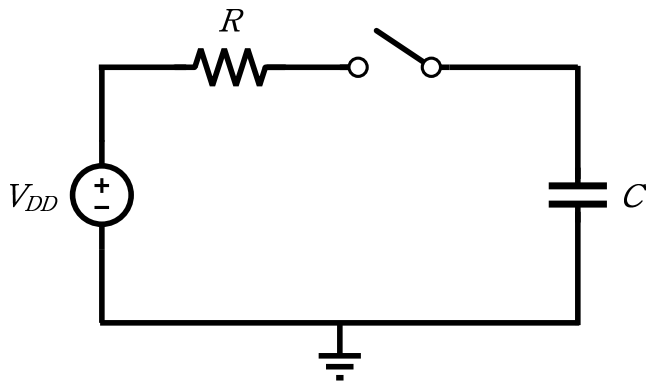
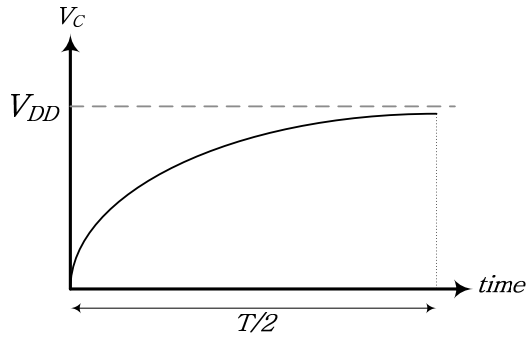


그림 1. 일반적인 디지털 회로에서의 부하 커패시턴스의 충전 및 방전

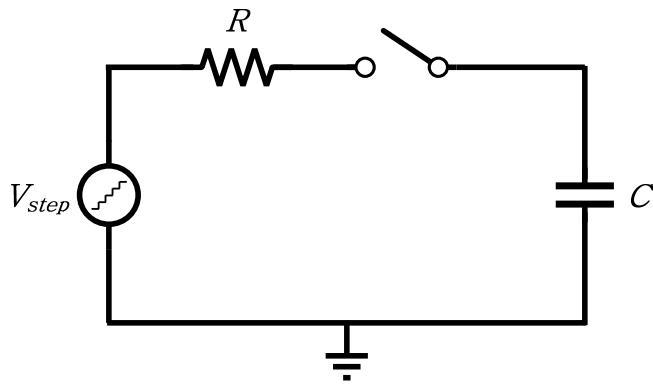
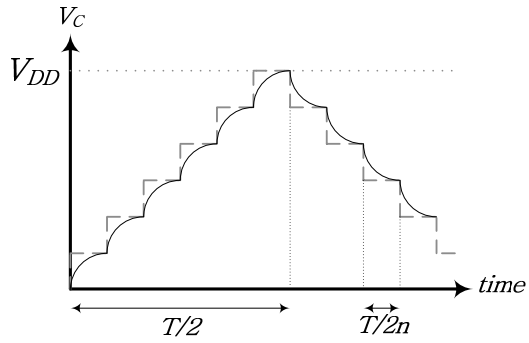


그림 2. 전하 회수 회로에서의 부하 커패시턴스의 충전 및 방전

2.2 Subthreshold Boost Logic 의 구조 및 동작 원리

Subthreshold Boost Logic(SBL) [8]은 전하 회수 회로의 한 종류로 subthreshold 공급 전압을 이용하여 수 MHz 대의 클럭 주파수에서 동작한다. Voltage scaling 을 통한 Subthreshold 회로가 kHz 대역의 주파수에서 동작하는 것에 비해 높은 클럭 주파수에서 동작하는 장점을 가지며, subthreshold level 의 전압을 전하 회수 동작을 통해 3 배에 가까운 전압 레벨로 끌어올림으로써 에너지 측면에서 효율적으로 동작하는 장점을 갖는다.

그림 3 은 SBL 게이트의 구조를 나타낸 회로이다. 모든 SBL 게이트는 Logic 과 Boost 의 두 개의 stage 로 구성되어 있다. Logic stage 는 NMOS 로 구성된 complementary 한 두 개의 pull up network(PUN)과 pull down network(PDN)으로 구성된다. Boost stage 는 두 개의 인버터가 cross-coupled 된 구조로 구성되어 transparent latch 와 같이 동작한다.

SBL 게이트의 동작은 Evaluation 과 Boost 의 두 가지 단계로 이루어진다. Evaluation 단계는 전원 클럭이 low 인 상태에서 일어난다. 입력 신호가 이전 단의 SBL 게이트에서 공급 전압인 V_{CC} 보다 높은 전압으로 증폭되어 들어와 PUN 과 PDN 을 통해 out 과 out_b 노드를 V_{CC} 또는 ground 레벨로 충전 또는 방전시킨다. 전원 클럭이 low 에서 high 로 증가하면서 Boost 단계가 이루어진다. 이 때 Boost stage 는 out 과 out_b 두 노드의 전압 차를 전원 클럭이 증가함에 따라 증폭시키고, 이

후 전원 클럭이 감소하면서 충전된 out 또는 out_b 노드의 전하는 전원 클럭에 의해 회수되게 된다. 위와 같은 일련의 Subthreshold Boost Logic 게이트의 동작을 그림 4에 나타냈다.

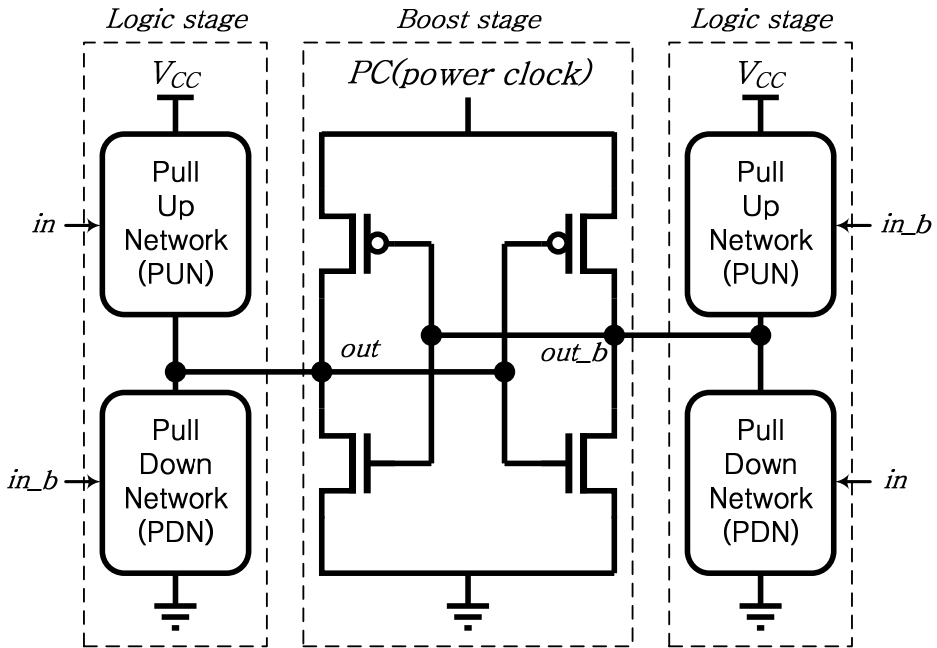


그림 3. Subthreshold Boost Logic의 구조

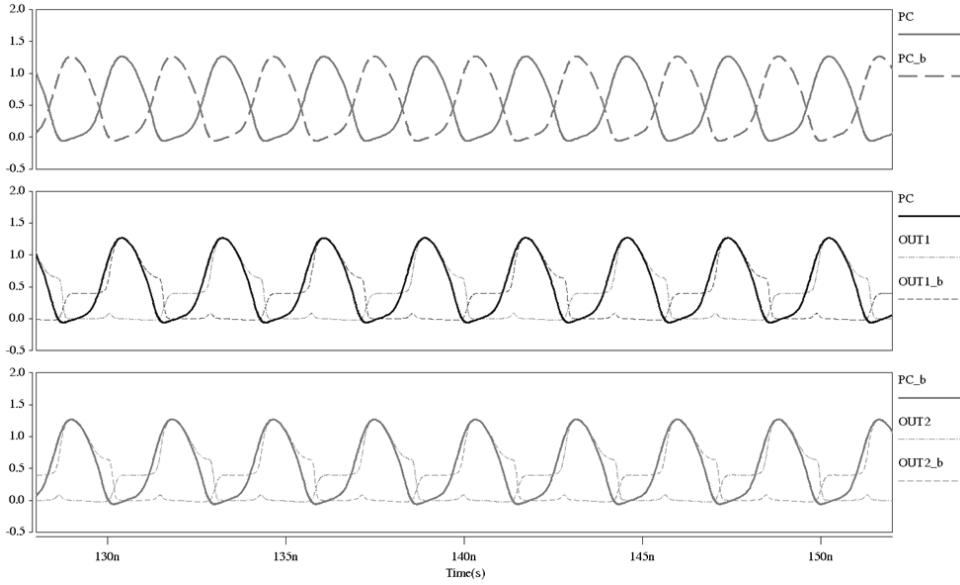
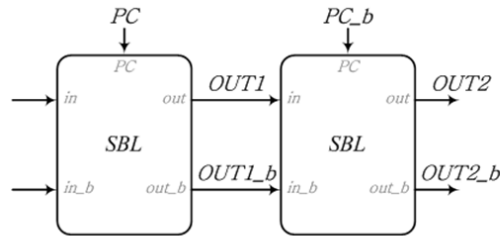


그림 4. SBL 게이트의 동작 원리

제 3 장 제안하는 전원 클럭 발생기

3.1 기존의 전원 클럭 발생기

앞서 논의한 것처럼 전하 회수 회로의 효율적인 동작을 위해서는 회로에 전원을 공급하는 전원 클럭이 서서히 증가하고 감소하는 형태가 되어야 한다. 기존의 전원 클럭 발생기에는 크게 step wise charging 방식과 resonant charging 방식이 있으나, 전자의 경우 후자에 비해 스위치의 동작을 제어하기 위한 Finite State Machine(FSM) 회로가 추가적으로 필요 하는 등 회로의 구성이 복잡하고, 에너지 효율 측면에서 크게 성능이 떨어지는 단점이 있어 전자보다 후자인 resonant charging 방식을 이용하고 있다 [7].

LC 공진을 기반으로 하는 resonant charging 방식의 전원 클럭 발생기는 크게 비동기식과 동기식의 두 가지 방식으로 구분할 수 있다. 그림 5 는 비동기식 전원 클럭 발생기의 회로이다. 비동기식 방식은 $-gm$ 발진기를 기반으로 한 구조로서 한 쌍의 상보적인 전원 클럭을 만들어 낸다. 이 구조는 시스템의 동작에 따라 변화하는 부하 커패시턴스 값에 따라 전원 클럭의 주파수가 변화할 수 있는 단점이 있지만, 외부로부터의 추가적인 제어 신호가 필요 없다는 장점이 있다.

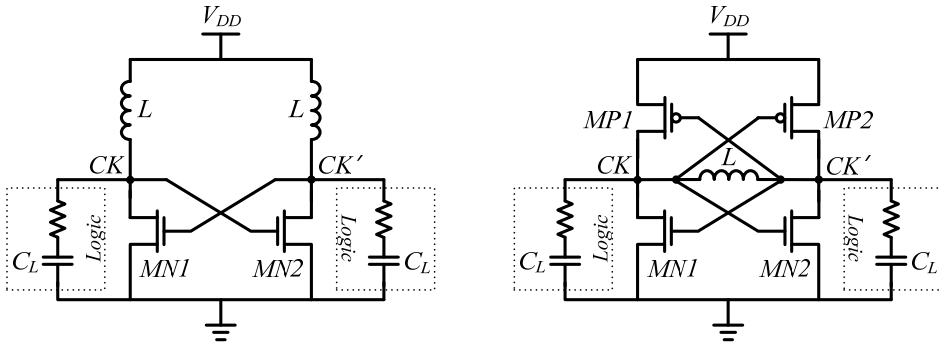


그림 5. 비동기식 전원 클럭 발생기 : 2N 과 2N2P

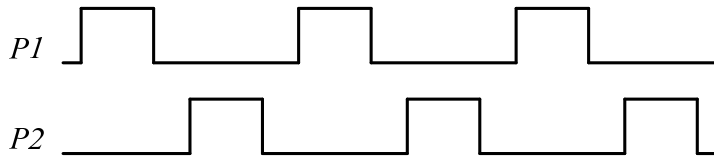
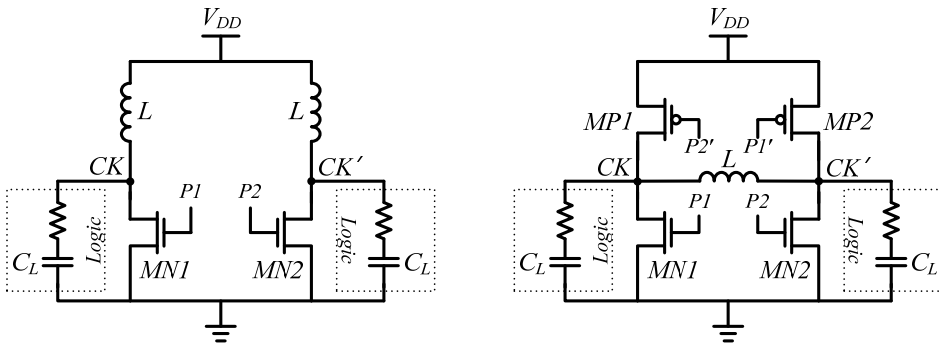


그림 6. 동기식 전원 클럭 발생기 : 2N 과 2N2P

동기식 전원 클럭 발생기의 회로는 그림 6 에 나타내었다. 동기식 전원 클럭 발생기는 비동기식 전원 클럭 발생기에 비해 작은 크기의 MOS 트랜지스터가 스위치로 사용되며, 시스템의 동작에 따른 부하 커패시턴스 값의 변화와는 무관하게 일정한 주파수를 갖는 전원 클럭을 발생시킨다는

장점을 가진다. 하지만 스위치를 제어하기 위해 외부로부터의 신호가 필요하기 때문에 이를 위한 추가적인 제어 회로가 필요하다는 단점을 가지고 있다. 위와 같은 구조를 갖는 전원 클럭 발생기의 전원 클럭은 전원 클럭 발생기의 구조가 2N 구조인지 2N2P 구조인지에 따라 각각 (3)번 수식과 (4)번 수식과 같은 주파수를 갖는다.

$$f_{2N} = \frac{1}{2\pi\sqrt{LC}} \quad (3)$$

$$f_{2N2P} = \frac{1}{2\pi\sqrt{L\left(\frac{C}{2}\right)}} \quad (4)$$

3.2 제안하는 전원 클럭 발생기

3.2.1 기본적인 능동 인덕터

저전력 VLSI 시스템을 설계하는데 적합한 전하 회수 회로를 효율적으로 동작시키기 위해서 일반적으로 사용되는 LC 공진을 기반으로 하는 전원 클럭 발생기를 앞에서 살펴보았다. 이 방식에 사용되는 인덕터 소자로는 수동 인덕터를 들 수 있다. 수동 인덕터는 전원 클럭 발생기에 적용하였을 때 자체의 인덕턴스 값에 따라 클럭의 주파수를 결정하게 된다. 이에 비해 CMOS 로 구성된 능동 인덕터는 적은 수의 MOS 트랜지스터를 이용하여 구성되어 가변 인덕턴스를 갖는 특징이 있어 발진기 뿐 아니라 대역 필터와 이상기 등 많은 회로들에 적용되고 있다 [9, 10].

일반적으로 능동 인덕터는 gyrator-C 네트워크를 기초로 한다. 기본적인 이상적 single-ended gyrator-C 능동 인덕터의 구조는 그림 7 과 같다. Gyrator 는 두 개의 트랜스컨덕터가 서로 순환하듯 연결되어 구성된다. 여기서 두 트랜스컨덕터의 중간 노드에 커패시터를 연결하였을 때 그 구조를 gyrator-C 네트워크라고 한다. 이상적으로 트랜스컨덕터의 입력 저항과 출력 저항이 무한대이고, 그 트랜스컨덕턴스의 값이 일정할 때 손실이 없다고 할 때, 그림 7 의 gyrator-C 네트워크의 어드미턴스를 구하면 다음과 같다.

$$Y = \frac{I_{in}}{V_{in}} = \frac{1}{s \left(\frac{C}{G_{m1}G_{m2}} \right)} \quad (5)$$

(5)번 수식으로부터 gyrator-C 네트워크가 $s \left(\frac{C}{G_{m1}G_{m2}} \right)$ 를 인덕턴스 값으로 갖는 인덕터와 같이 동작하는 것을 알 수 있다. Gyrator-C 능동 인덕터의 인덕턴스 값은 C 값에 비례하고, gyrator의 두 트랜스컨덕턴스 값들의 곱에 반비례한다.

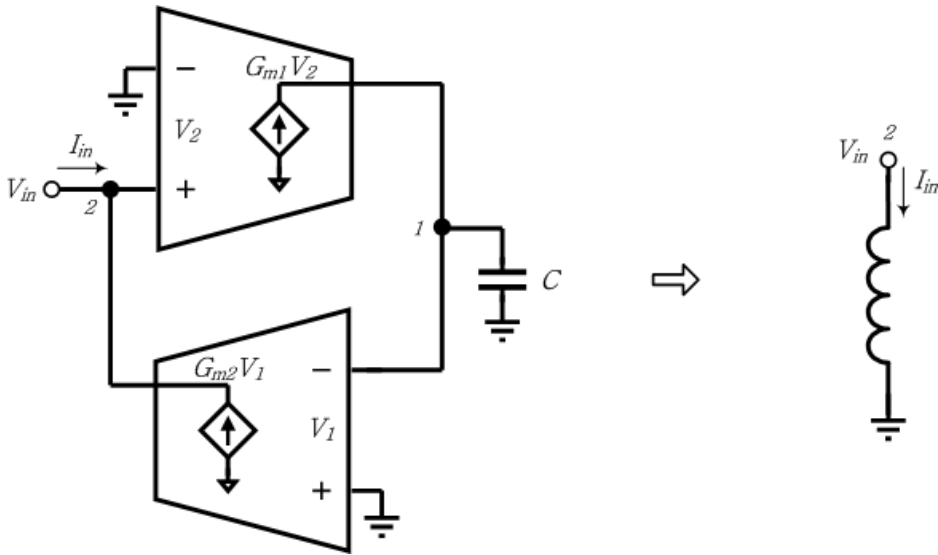


그림 7. 이상적 single-ended gyrator-C 능동 인덕터의 구조

그림 8은 앞의 이상적인 경우와는 다른, 손실이 있는 gyrator-C 능동 인덕터이다. 1번 노드와 2번 노드에서 키르히호프의 전류 법칙에 따라

방정식을 세워 구한 gyrator-C 네트워크의 어드미턴스는 아래 (6)번 수식으로 나타낼 수 있고, 그림 8 의 오른쪽 등가 회로의 각 파라미터들은 (7)번 수식과 같다.

$$Y = \frac{I_{in}}{V_{in}} = sC_2 + G_{o2} + \frac{1}{s\left(\frac{C_1}{G_{m1}G_{m2}}\right) + \frac{G_{o1}}{G_{m1}G_{m2}}} \quad (6)$$

$$R_p = \frac{1}{G_{o2}}$$

$$C_p = C_2$$

$$R_s = \frac{G_{o1}}{G_{m1}G_{m2}}$$

$$L = \frac{C_1}{G_{m1}G_{m2}} \quad (7)$$

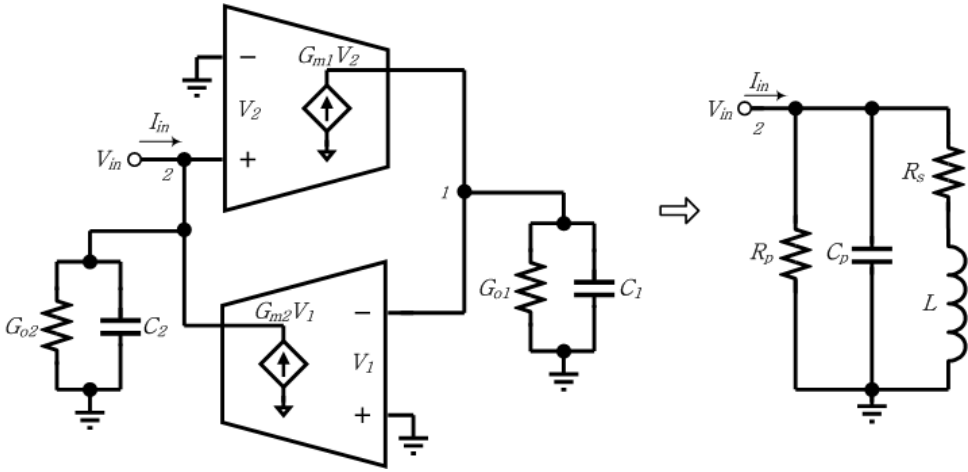


그림 8. 손실이 있는 single-ended gyrator-C 능동 인덕터의 구조

3.2.2 제안하는 전원 클럭 발생기의 회로

앞에서는 gyrator-C 능동 인덕터의 기본적인 원리와 전원 클럭 발생기의 일반적인 구조에 대해 알아보았다. 여기서는 제안한 전원 클럭 발생기의 인덕터 구조에 사용한 능동 인덕터에 대한 분석을 하고, 이를 적용한 전원 클럭 발생기의 회로도 및 전원 클럭 발생기의 동작을 확인하기 위해 설계한 검증 회로를 제시한다.

3.2.2.1 제안하는 전원 클럭 발생기의 능동 인덕터

본 논문에서 제안하는 전원 클럭 발생기에 적용한 인덕터를 구성하는 능동 인덕터의 회로는 그림 9 와 같다. 이 능동 인덕터는 4 개의

NMOS 와 두 개의 커패시터, 그리고 바이어스 전류를 공급하기 위한 전류 거울로 구성되어 있다. 좌우가 완벽히 대칭을 이루기 때문에 소신호 회로 분석을 하기 위해 half circuit 기법을 적용하면 능동 인덕터의 어드미턴스와 등가 회로의 파라미터들은 각각 다음 (8), (9)번 수식과 같다. 능동 인덕터의 소신호 등가회로는 그림 10에 나타내었다.

$$Y = \left(\frac{1}{r_{O1}} + g_{m2} \right) + sC_{gs2} + \frac{g_{m1} \left(g_{m2} + \frac{1}{r_{O2}} \right)}{s(C_{gs1} + C) + \frac{1}{r_{O2}} + \frac{1}{r_{OP}}} \quad (8)$$

$$R_p = \frac{1}{g_{m2}}$$

$$C_p = C_{gs2}$$

$$R_s = \frac{\frac{1}{r_{O2}} + \frac{1}{r_{OP}}}{g_{m1}g_{m2}}$$

$$L = \frac{C_{gs1} + C}{g_{m1}g_{m2}} \quad (9)$$

능동 인덕터의 입력 단에 전압이 인가되면, 트랜지스터 M2의 드레인에 생성된 전류를 통해 트랜지스터 M1의 게이트-소스 커패시턴스와 그에 병렬로 추가된 커패시턴스를 충전하게 된다. 이렇게 생성된 M1의 게이트 전압이 M1의 드레인 즉, 능동 인덕터의 입력

단에서 입력 전류를 만들어 내면서 전체 회로가 인덕터와 같은 동작을 하게 된다.

능동 인덕터의 자기 공진 주파수 ω_l 는 M1 과 M2 의 단위 전류 이득 주파수인 ω_{l1} 와 ω_{l2} 를 이용하여 표현하면 다음과 같다.

$$\omega_l^2 = \frac{g_{m1}g_{m2}}{C_{gs1}C_{gs2}} = \omega_{l1}\omega_{l2} \quad (10)$$

동작 주파수가 자기 공진 주파수보다 높을 경우, 능동 인덕터는 더 이상 인덕터와 같이 동작하지 않고, 커패시터와 같이 동작하게 되기 때문에 높은 자기 공진 주파수를 갖도록 하는 것이 좋다. (10)번 수식을 통해 능동 인덕터를 구성하는 MOSFET 의 크기를 작게 하고, 바이어스 전류를 크게 함으로써 보다 높은 자기 공진 주파수를 가질 수 있다. 이 능동 인덕터의 Q factor 는 다음 (11)번 수식으로 나타내었다.

$$Q = \frac{R_p}{\omega_l L_p} \quad (11)$$

본 논문에서 제안하는 전원 클럭 발생기에 사용한 인덕터의 구조는 그림 11 과 같다.

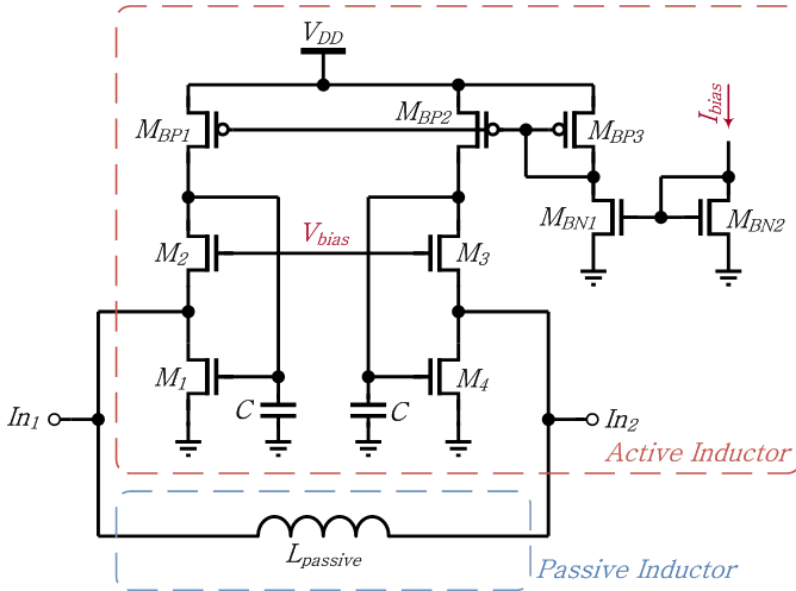


그림 11. 제안하는 전원 클럭 발생기에 적용한 인덕터 구조

능동 인덕터는 동작적 측면에서 가변 인덕터와 같은 기능을 하지만 에너지 측면에서 볼 때 자체적으로 에너지를 저장하는 기능을 갖지 못하는 단점이 있다. 반면 수동 인덕터의 경우, 에너지를 저장하는 기능을 갖지만 능동 인덕터와 같은 인덕턴스의 가변성은 갖지 못한다. 따라서 본 논문에서는 그림 11 과 같이 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조의 인덕터를 적용하였다. 이러한 구조의 인덕터는 에너지 측면에서 능동 인덕터가 갖는 단점을 수동 인덕터를 이용하여 보완하고, 능동 인덕터를 이용하여 전체 인덕턴스의 가변성을 갖는

구조로서 전원 클럭 발생기에 적용하여 발생하는 전원 클럭의 주파수를 조절할 수 있게 하였다.

3.2.2.2 전원 클럭 발생기의 동작 검증 회로

그림 12는 본 논문에서 제안하는 전원 클럭 발생기의 전체 회로도이다. 콜피츠 발진기 구조를 이용한 비동기식 2N2P 전원 클럭 발생기로 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조를 갖는 인덕터의 L 값과 전원 클럭에 연결된 클럭 분배 네트워크 및 로직의 기생 커패시턴스를 C 값으로 한 LC 공진을 통해 partially overlapping 된 한 쌍의 전원 클럭인 PC 와 PC_b 를 만들어 낸다. 발생한 한 쌍의 전원 클럭 PC 와 PC_b 의 주파수는 능동 인덕터의 바이어스 전류를 통해 조절된다. 능동 인덕터의 바이어스 전류를 변화시킴으로써 전체 인덕턴스를 변화시켜 LC 공진에 따라 발생하는 전원 클럭의 주파수를 조절하게 된다.

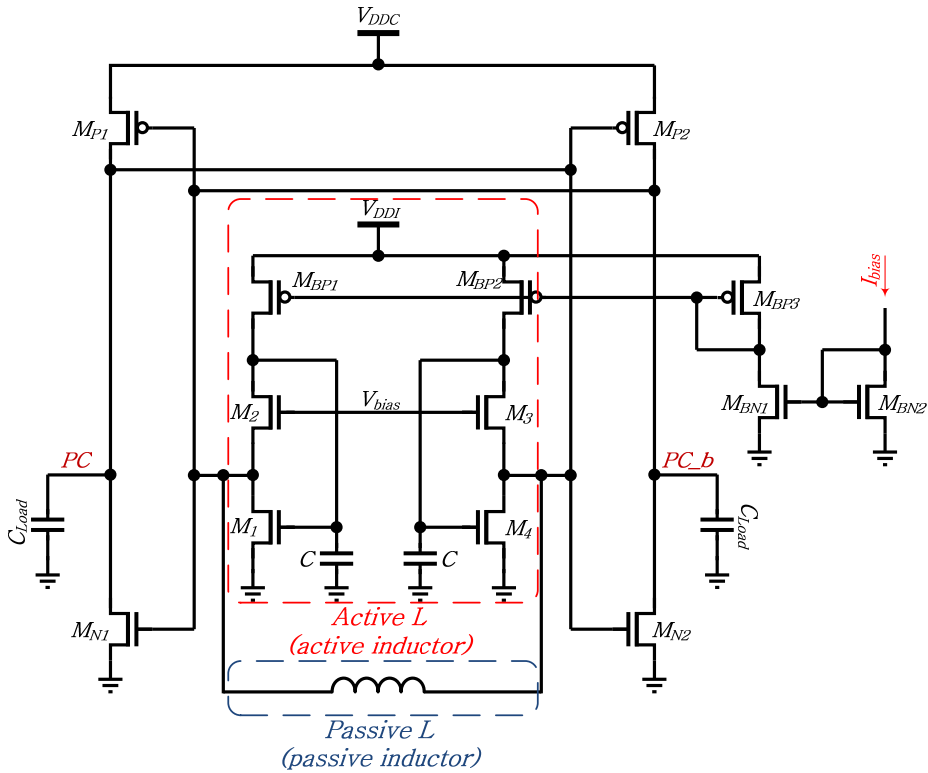


그림 12. 제안하는 전원 클럭 발생기의 전체 회로도

위의 설계한 전원 클럭 발생기의 동작을 검증하기 위해 전하 회수 회로의 일환인 Subthreshold Boost Logic 으로 구성된 16 비트 Carry Lookahead Adder(CLA)를 설계하였다. 16 비트 CLA 는 4 비트 CLA 를 기본 블록으로 이용하여 설계되었으며, 4 비트 CLA 의 회로는 그림 13 과 같다.

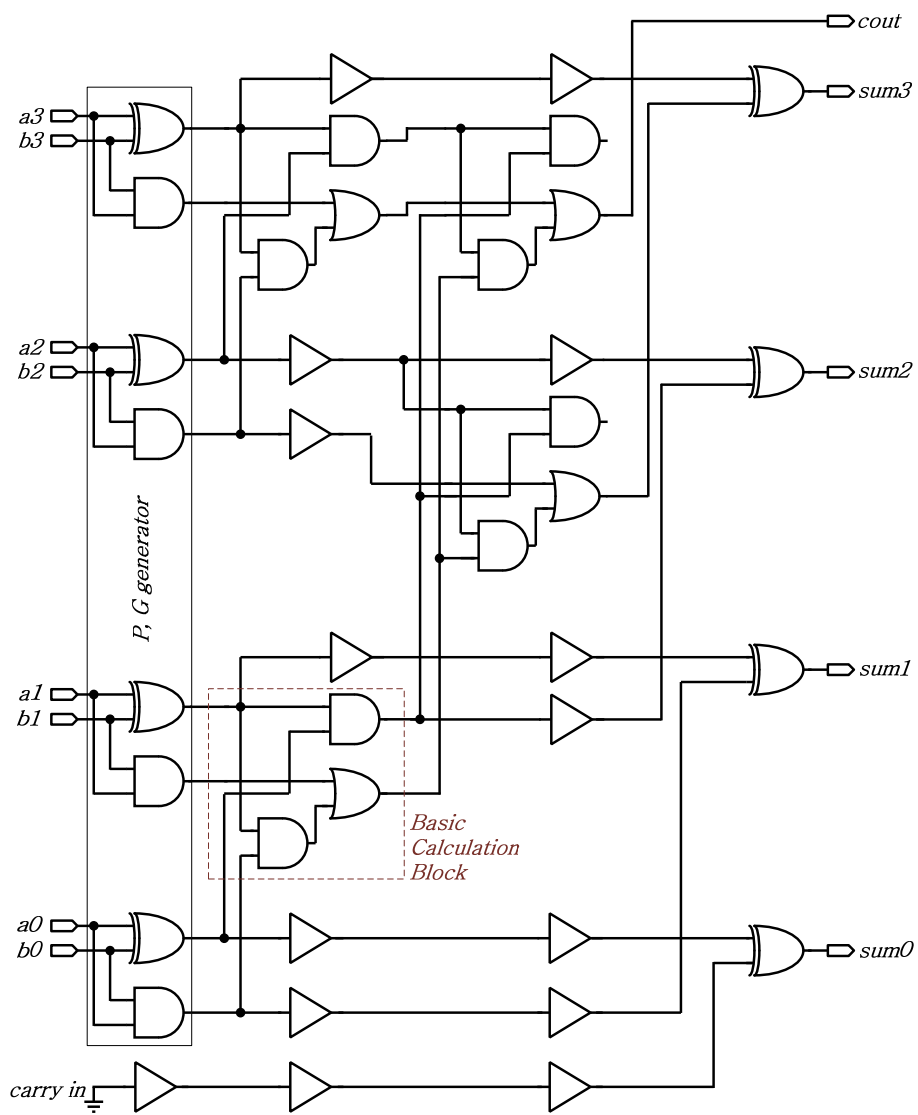


그림 13. SBL 4비트 Carry Lookahead Adder의 회로.

제 4 장 시뮬레이션 결과

4.1 전원 클럭 발생기 및 동작 검증 회로

본 논문에서 제안한 전원 클럭 발생기는 0.18 μm CMOS 공정에서 설계하여 시뮬레이션을 통해 그 동작을 검증하였다. 그림 14 는 그림 12 의 전원 클럭 발생기 및 그림 13 의 검증 회로인 16 비트 Carry Lookahead Adder(CLA)를 포함한 전체 회로이다.

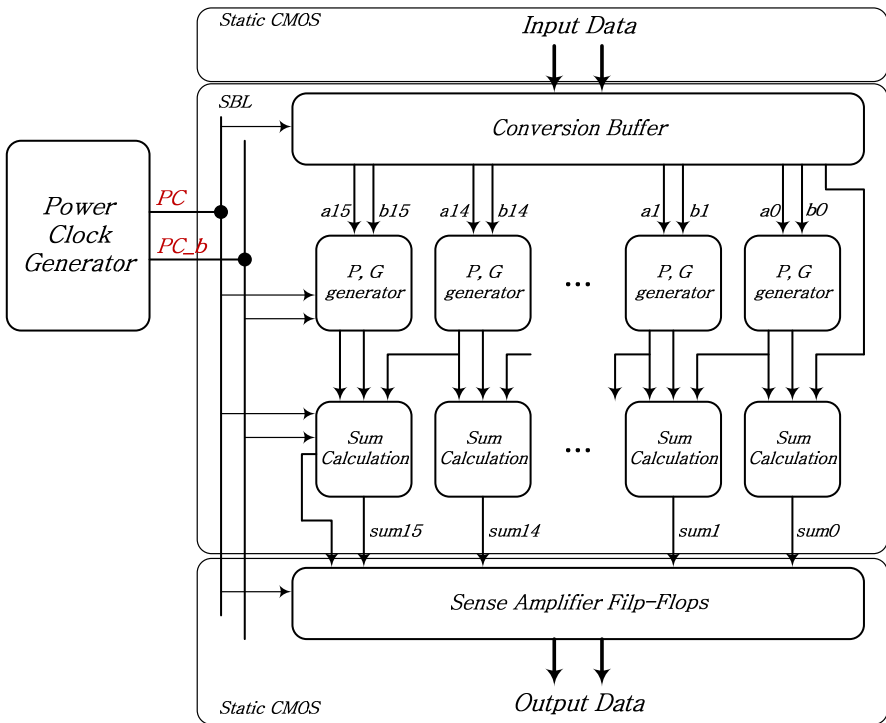


그림 14. 전원 클럭 발생기 및 16비트 CLA를 포함한 전체 회로

전하 회수 회로의 일환인 Subthreshold Boost Logic(SBL)은 일반적인 디지털 신호를 SBL 신호로 변환, 또 SBL 신호를 다시 디지털 신호로 변환하는 블록을 필요로 한다. 그림 12 의 SBL 회로의 입력단에 존재하는 Conversion buffer 는 입력 데이터 신호를 일반적인 static CMOS 신호에서 SBL 로 변환하는 역할을 한다. SBL 신호로 변환된 입력 데이터 신호가 검증 회로인 16 비트 CLA 를 거쳐 나온 출력 데이터 신호를 SBL 신호에서 다시 static CMOS 신호로 변환하는 역할은 SBL 회로 출력 단의 Sense amplifier flip-flops 가 하고 있다. 또한 회로의 입력 단에서는 전원 클럭을 클럭으로 사용하는 D flip-flop 을 이용하여 모든 데이터를 동기화 시켰다. 데이터 신호를 변환하는 역할을 하는 Conversion buffer 와 Sense amplifier flip-flop 의 회로는 그림 15 와 같다.

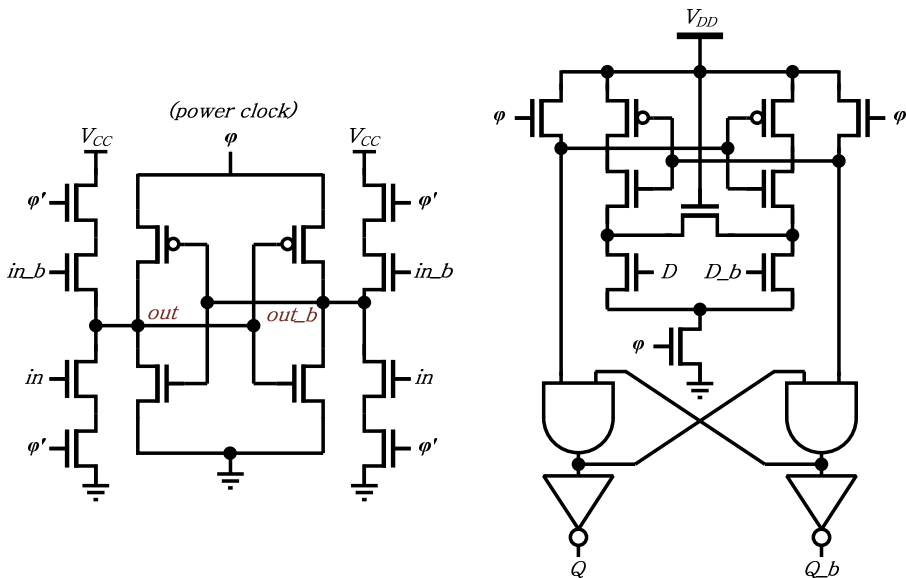


그림 15. Conversion buffer(좌)와 Sense amplifier flip-flop(우)의 회로

4.2 시뮬레이션 결과

4.2.1 전원 클럭 발생기의 시뮬레이션

본 논문에서 제안한 전원 클럭 발생기의 시뮬레이션을 위해 전원 클럭 발생기에 연결되는 로직 회로와의 연결을 분리시키고 전원 클럭에 연결된 클럭 분배 네트워크 및 로직 게이트들의 기생 커패시턴스를 각 클럭 phase 당 5pF 으로 정하고 시뮬레이션 하였다. 전원 클럭 발생기에 적용한 인덕터 구조에서 사용한 수동 인덕터의 인덕턴스는 82nH, V_{DD} 는 1.8V 이고 그림 10 의 전원 클럭 발생기 및 인덕터를 구성하는 트랜지스터의 크기를 표 1 에 정리하였다.

표 1. 전원 클럭 발생기의 파라미터 값

Transistor	Size($\mu\text{m}/\mu\text{m}$)	Transistor	Size($\mu\text{m}/\mu\text{m}$)
M_{N1}, M_{N2}	80 / 0.18	M_1, M_4	50 / 0.18
M_{P1}, M_{P2}	40 / 0.18	M_2, M_3	75 / 0.18
$M_{BP1}, M_{BP2}, M_{BP3}$	3 / 0.18	M_{BN1}, M_{BN2}	1 / 0.18

전원 클럭 발생기의 시뮬레이션을 통해 발생시킨 한 쌍의 전원 클럭의 파형은 그림 16 이다.

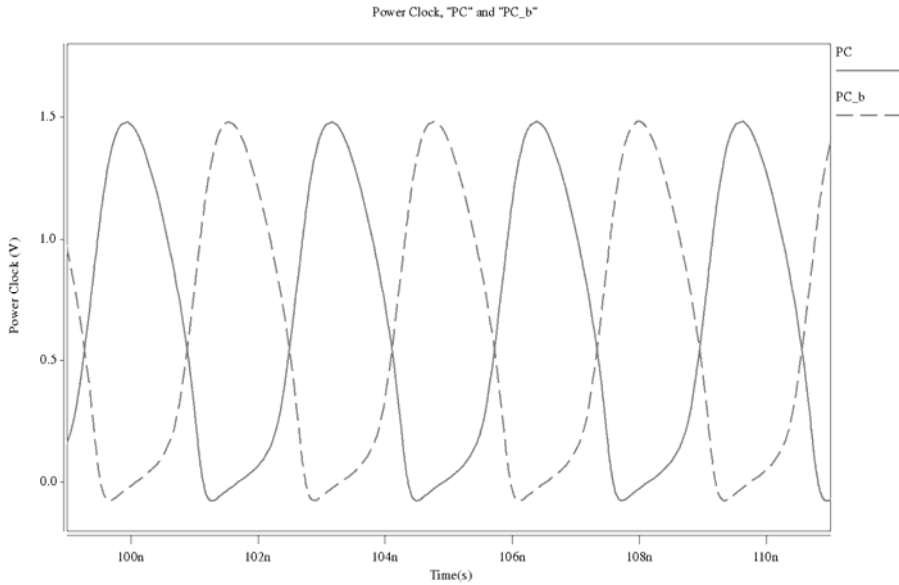


그림 16. 한 쌍의 전원 클럭 PC, PC_b의 파형

시뮬레이션 결과 전원 클럭의 주파수는 352MHz 이고, 전원 클럭의 최댓값은 1.266 V 이다. 이 때 전원 클럭 발생기의 소모 전력은 4.25 mW 이다. 발생하는 전원 클럭의 주파수는 전체 인덕터를 구성하는 능동 인덕터의 인덕턴스를 바이어스 전류에 따라 변화시킴으로써 조절할 수 있다. 전원 클럭의 주파수에 대한 능동 인덕터의 인덕턴스 값 변화는 그림 17 과 같다. 능동 인덕터의 바이어스 전류는 20uA 에서 100uA 의 범위에서 조절하였다. 전원 클럭의 주파수의 조절 범위는 317MHz 에서 470MHz 까지로 약 150MHz 의 대역에 걸쳐 주파수 조절을 할 수 있다.

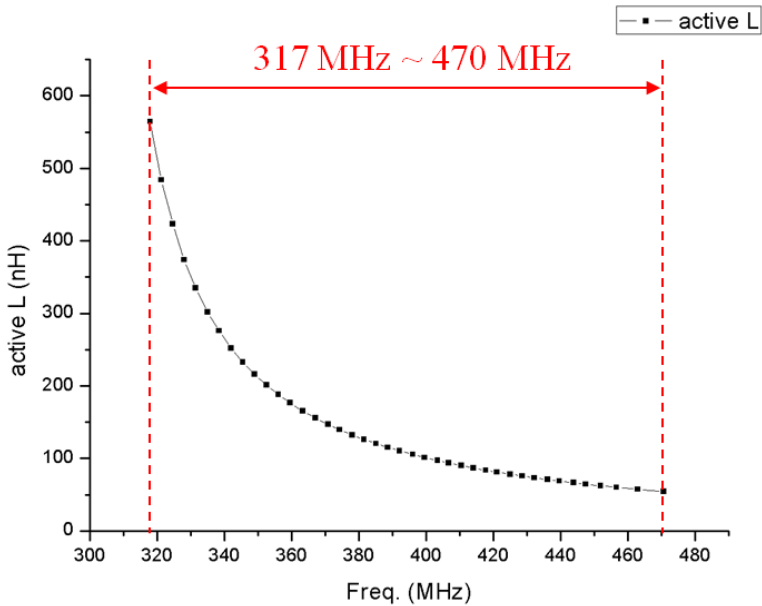


그림 17. 전원 클럭의 주파수에 대한 능동 인덕턴스의 변화

능동 인덕턴스의 값에 따른 주파수의 변화 경향의 정확성을 확인하기 위해 그림 18 과 같이 추가적으로 수동 인덕터 두 개를 병렬로 연결한 형태의 인덕터를 사용한 전원 클럭 발생기를 구성하였고, 두 개의 수동 인덕터 중 하나의 인덕턴스는 82nH 로 고정, 다른 하나의 인덕턴스 값을 변화시키면서 같은 시뮬레이션을 수행하였다. 시뮬레이션 결과, 전원 클럭의 주파수에 대한 능동 인덕터의 인덕턴스 값의 경향과 수동 인덕터의 인덕턴스의 경향의 그래프가 유사한 경향을 보이는 것을 확인할 수 있었다. 전원 클럭의 주파수에 대해 가변 수동 인덕터의 인덕턴스 값을 앞선 능동 인덕터의 인덕턴스 값과 비교한 결과를 그림 19 에 나타내었다.

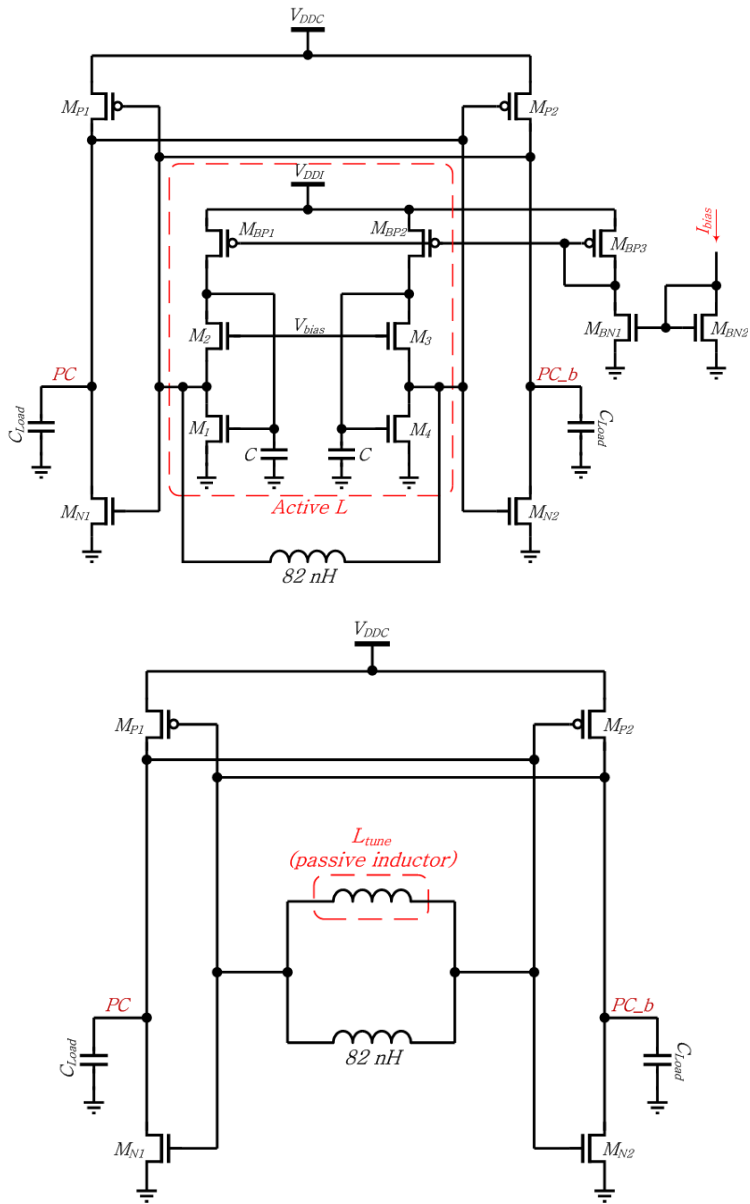


그림 18. 능동 인덕턴스와 수동 인덕턴스의 비교를 위한 두 회로

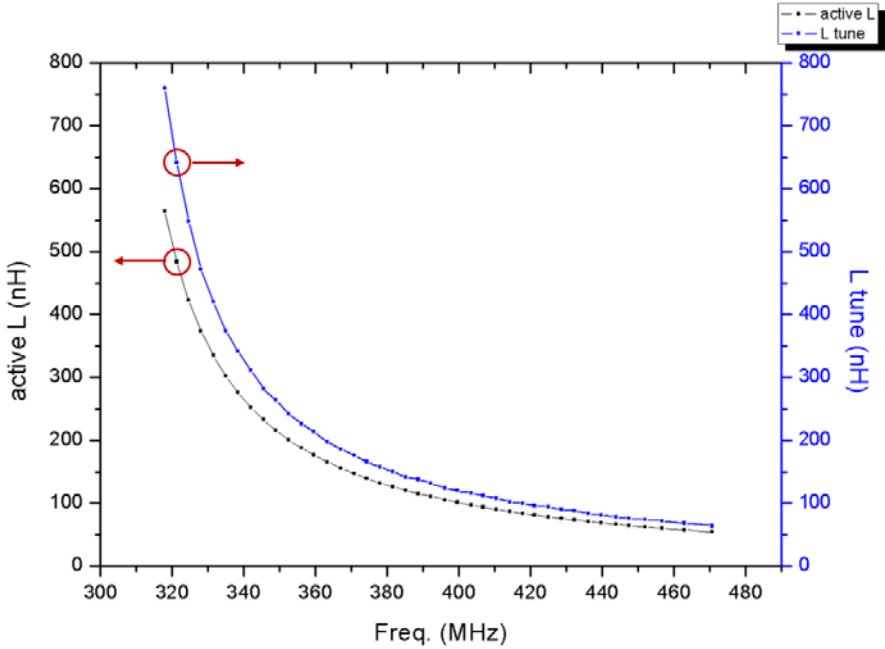


그림 19. 주파수에 대한 능동 인덕턴스와 수동 인덕턴스의 비교

제안한 전원 클럭 발생기에서 사용한 인덕터 구조의 에너지 보존 특성을 확인하기 위해 그림 20 과 같이 수동 인덕터 만 사용한 구조, 능동 인덕터와 수동 인덕터를 결합한 구조, 그리고 능동 인덕터 만 사용한 구조 등 총 세 가지 경우에 대하여 각각 시뮬레이션 하였다. 구성한 세 가지 종류의 전원 클럭 발생기 각각의 인덕터 입력 노드 전류 흐름의 시뮬레이션 결과를 그림 21 에 나타내었다.

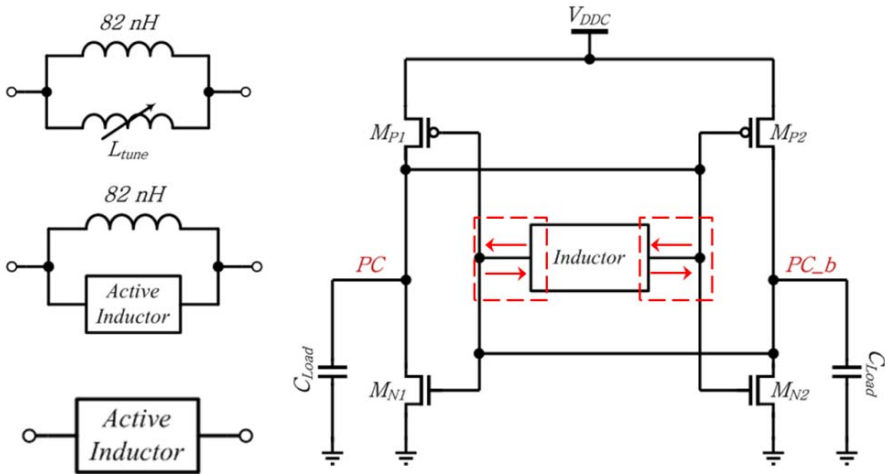


그림 20. 세 가지 인덕터에 대한 전류 흐름 시뮬레이션 회로

그림 21의 첫 번째 그래프는 수동 인덕터만 사용한 구조, 두 번째 그래프는 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조, 그리고 세 번째 그래프는 능동 인덕터만을 사용한 구조를 전원 클럭 발생기에 적용했을 때, 인덕터의 입력 노드의 전류 흐름을 나타낸 것이다. 인덕터의 입력 노드의 전류 흐름을 통해서 인덕터가 에너지 저장 역할을 하는지의 여부를 확인하였다. 첫 번째의 수동 인덕터만 사용한 구조는 인덕터로 전류의 흐름이 양방향으로 이루어지면서 인덕터가 에너지 저장 역할을 하는 것을 확인할 수 있다. 하지만 세 번째의 능동 인덕터만을 사용한 구조는 에너지를 소모하는 역할만 할 뿐, 수동 인덕터만을 사용한 구조와 달리 에너지를 저장 및 제공하는 역할을 하지 못하는 것을 확인할 수 있다. 이에 비해 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조는 능동 인덕터의 영향으로 수동 인덕터만 사용한 구조와 비교하였을 때, 에너지를 조금 더 소모하는 것을 확인할 수 있지만,

병렬로 연결된 수동 인덕터가 능동 인덕터 만을 사용한 구조가 갖는 단점을 보완함으로써 능동 인덕터 만으로 구성된 구조와는 달리 에너지 저장 역할을 하는 것을 확인할 수 있다.

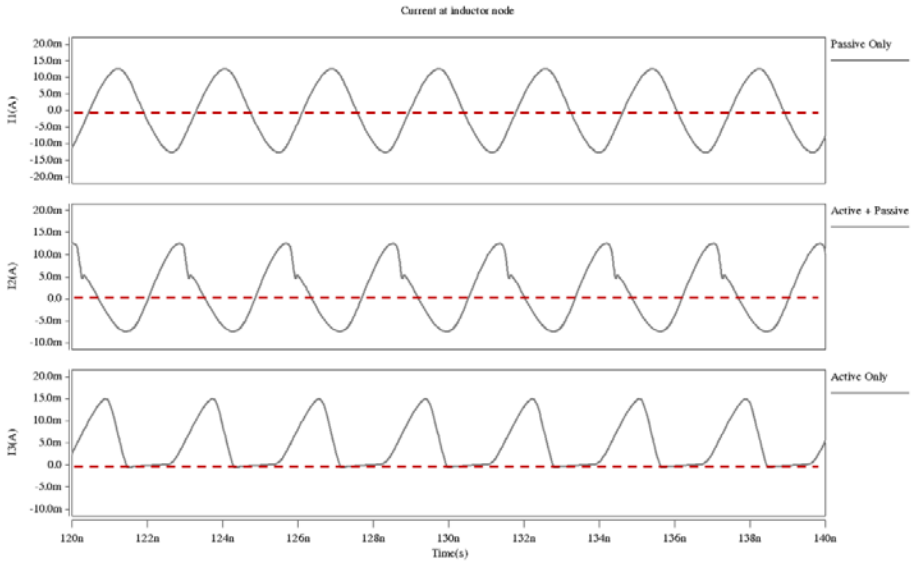


그림 21. 세 가지 인덕터 구조의 인덕터 입력 노드의 전류 흐름

위와 같은 세 가지 인덕터 구조에 대하여 전원 클럭 주파수 변화에 따른 전원 클럭 발생기의 소모 전력을 그림 22 에 나타내었다. 에너지 저장 역할을 하지 못하는 능동 인덕터 구조의 경우, 수동 인덕터 만을 사용한 구조에 비해 전체 소모 전력이 높은 것을 확인할 수 있다. 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조의 경우, 낮은 전원 클럭 주파수에서는 수동 인덕터가 지배적인 역할을 하기 때문에 전체 소모 전력이 적지만, 높은 전원 클럭 주파수에서는 능동 인덕터가 수동

인덕터보다 지배적인 역할을 하게 되면서 전체 소모 전력이 증가하게 된다.

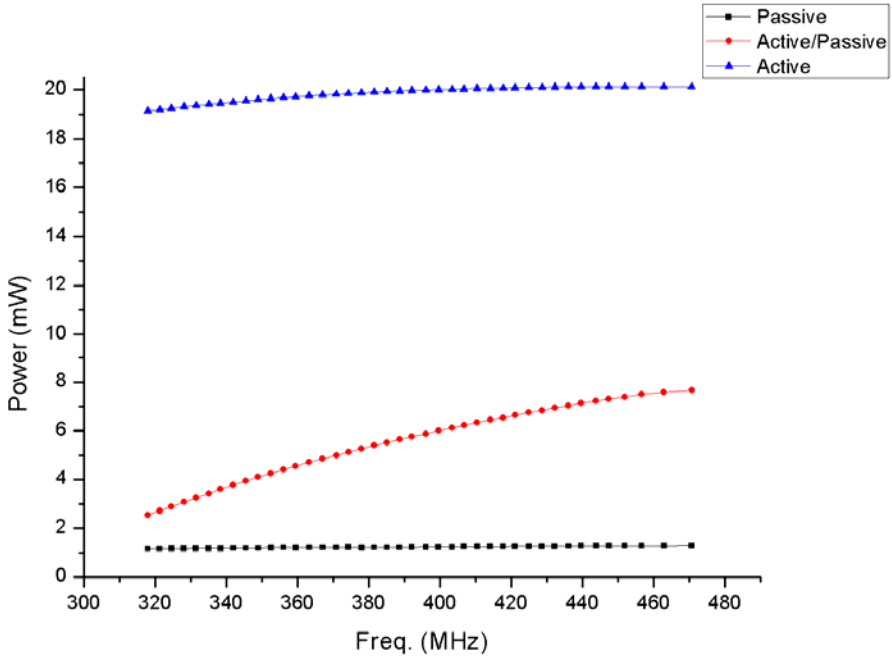


그림 22. 세 가지 인덕터 구조의 주파수에 따른 소모 전력

4.2.2 검증 회로를 포함한 전체 시스템의 시뮬레이션

본 논문에서 제안한 전원 클럭 발생기의 정상 동작을 확인하기 위하여 Subthreshold Boost Logic(SBL)으로 16 비트 Carry Lookahead Adder 를 설계하였다. 16 비트 CLA 의 입력 중 입력 A 로는 매 클럭

주기에 따라 변화하는 입력 신호를, 입력 B 로는 고정된 입력 신호를 주어 검증 회로의 출력을 확인함으로써 그 동작을 확인하였다. 입력 신호에 따른 예상되는 출력 신호와 시뮬레이션 결과의 내부 신호를 각각 그림 23, 그림 24 와 그림 25 에 나타내었다.

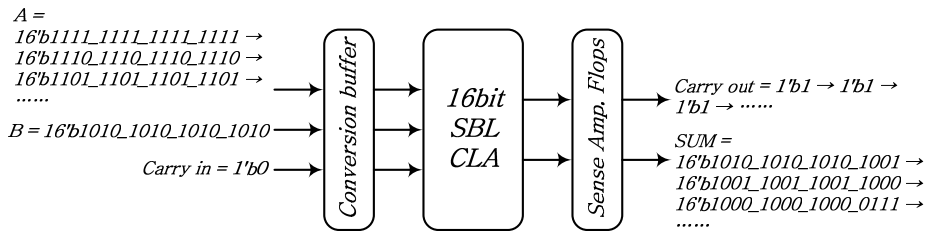


그림 23. 16비트 CLA의 입력 신호와 출력 신호 패턴

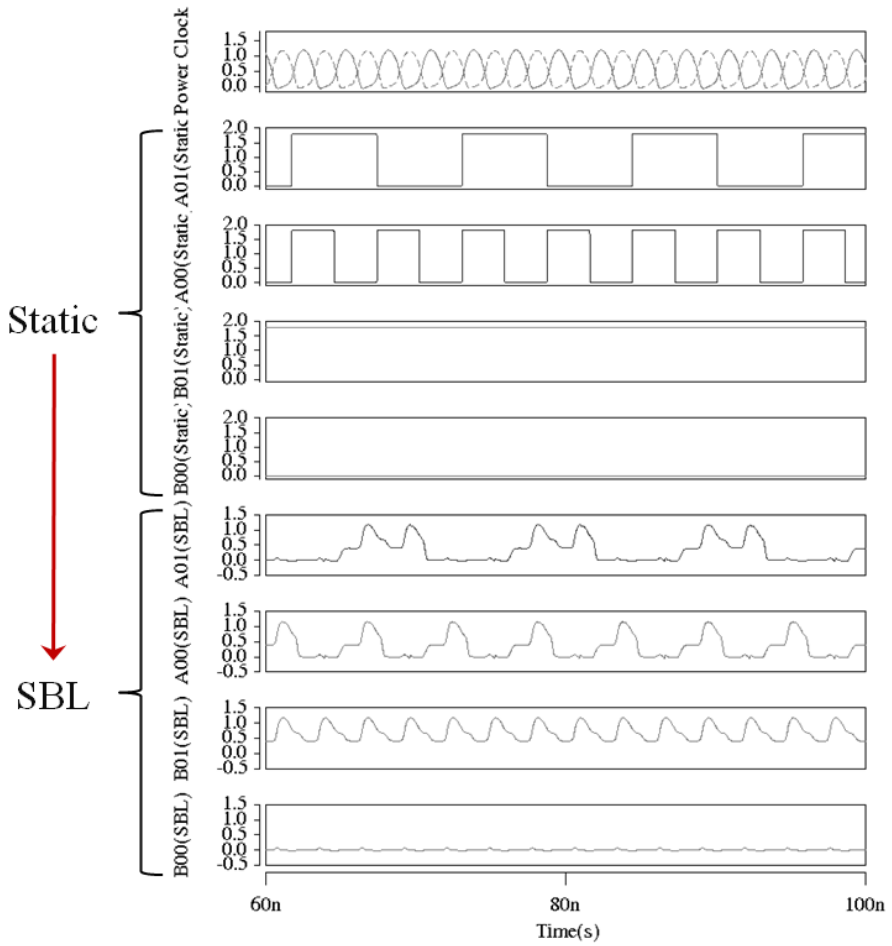


그림 24. 16비트 SBL CLA의 입력 데이터 신호의 일부

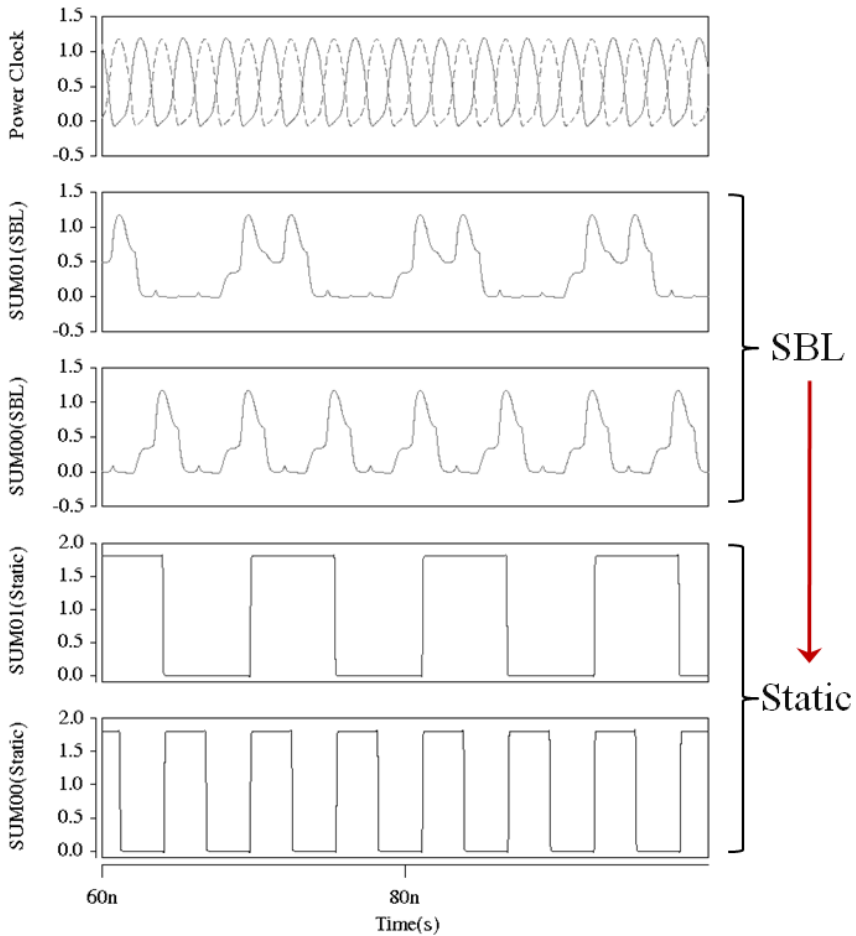


그림 25. 16비트 SBL CLA의 출력 데이터의 일부

검증 회로의 동작에서는 전원 클럭 발생기에서 발생된 한 쌍의 전원 클럭 PC 와 PC_b 에 의해 16 비트 SBL CLA 의 입력에 대한 출력이 정상적으로 출력되는 것을 확인하였다. 디지털 신호의 입력이 Conversion buffer 를 통해 SBL 신호로 변환되고, 한 쌍의 전원 클럭 PC 와 PC_b 를 이용한 SBL 게이트로 구성된 검증 회로인 16 비트

Carry Lookahead Adder 의 연산을 거친 출력이 Sense amplifier flip-flop 을 통해 SBL 신호에서 다시 디지털 신호의 출력으로 변환되는 과정을 확인할 수 있다.

검증 회로인 16 비트 SBL Carry Lookahead Adder 를 전원 클럭 발생기에 로직으로 연결하였을 때 동작 주파수에 따른 전체 소모 전력을 시뮬레이션을 통해 그림 26 에 나타내었다.

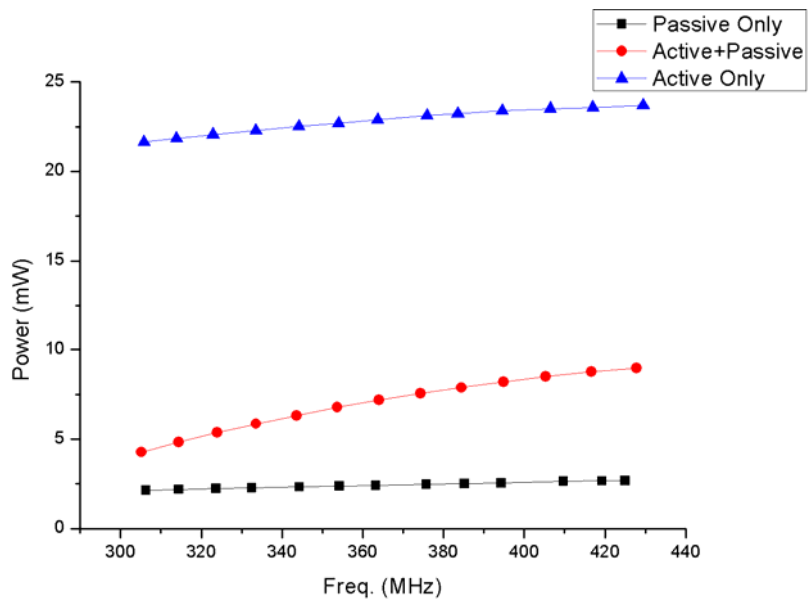
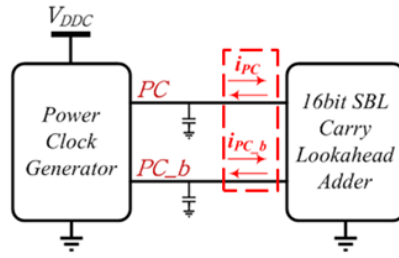


그림 26. 전체 시스템의 동작 주파수에 대한 소모 전력

앞의 그림 22 에서는 전원 클럭 발생기의 로드 커패시턴스를 5pF 의 값을 가지는 커패시터로 고정하고 시뮬레이션 하였을 때, 전원 클럭 주파수에 대한 소모 전력을 확인하였다. 전원 클럭 발생기의 로드로서의

로직 회로로 16 비트 SBL Carry Lookahead Adder 를 연결하였을 때, 앞의 전원 클럭 발생기의 로드 커패시턴스로 5pF 의 커패시터를 사용하였을 때보다 큰 전력을 소모하는 것을 확인하였다. 이상적인 커패시터만을 로드 커패시턴스로 사용했을 때와는 달리 연결된 로직 회로에서 전력을 소모하기 때문에 실제 검증 회로를 이용하는 경우 더 큰 전력을 소모하는 결과를 얻게 된다.

검증 회로인 16 비트 Carry Lookahead Adder 는 제 3 장에서 언급한 것과 같이 전하 회수 회로의 일환인 Subthreshold Boost Logic 으로 설계하였다. 제 2 장에서 살펴본 전하 회수 회로의 기본 동작과 같이 제안한 전원 클럭 발생기는 점진적으로 변화하는 전원 클럭 PC 와 PC_b 를 발생시키고, 이 한 쌍의 전원 클럭에 따라 검증 회로인 16 비트 SBL Carry Lookahead Adder 가 동작한다. 검증 회로의 전하 회수 동작을 시뮬레이션을 통해 검증한 결과를 그림 27 에 나타내었다. 제안한 전원 클럭 발생기와 로직인 검증 회로 사이의 전류 흐름을 통해서 검증 회로의 전하 회수 동작을 확인하였다. 시뮬레이션 결과, 점진적으로 변화하는 한 쌍의 전원 클럭 PC, PC_b 에 따라 전원 클럭 발생기에 연결된 검증 회로에서 공급된 전하가 회수되는 동작이 이루어지는 것을 알 수 있다. 16 비트 SBL Carry Lookahead Adder 에서 낮은 레벨의 전류를 형성함으로써 디지털 회로에 비해 낮은 에너지 소모하는 전하 회수 회로의 특징을 갖는 것을 확인하였다.



Current at "PC" and "PC_b"

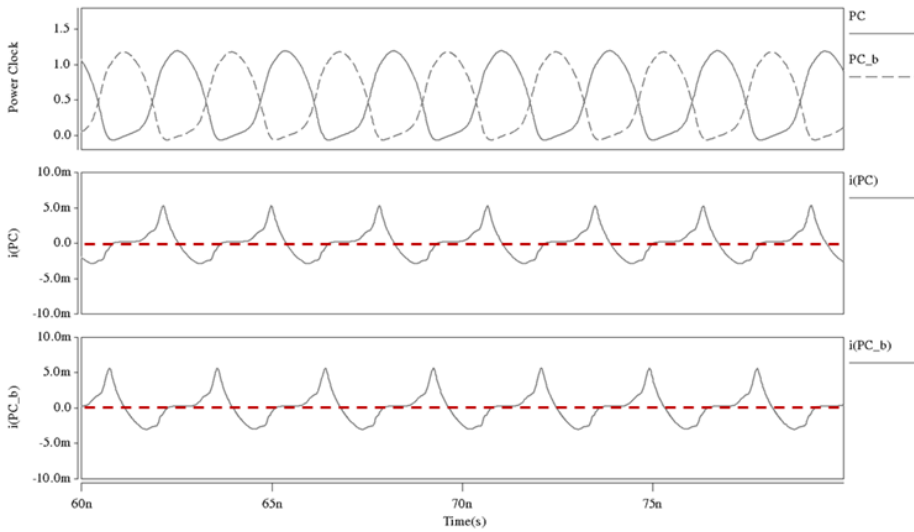


그림 27. 전하 회수 회로로서 검증 회로의 동작

아래 표 2 는 제안한 전원 클럭 발생기의 시뮬레이션 결과를 정리한 것이다.

표 2. 제안한 전원 클럭 발생기의 시뮬레이션 결과 요약

Process Technology		0.18 μ m CMOS
Supply Voltage	Active inductor	1.8 V
	Power clock generator	1.4 V
Clock frequency		352 MHz
V_{peak} of power clock		1.266 V
Power dissipation		4.25 mW

제 5 장 결론

전하 회수 회로를 위한 전원 클럭 발생기는 회로의 구현이 간단한 점 등 여러 가지 장점을 갖는 LC 공진을 기반으로 하는 resonant charging 방식의 전원 클럭 발생기를 일반적으로 사용한다. 이러한 방식의 전원 클럭 발생기는 수동 인덕터의 인덕턴스를 L 값으로 사용하는데, 이 경우 수동 소자의 값에 따라 전원 클럭의 주파수가 고정되는 특징을 갖는다. 전원 클럭 주파수를 조절하기 위해 injection-locked 소자와 레퍼런스 클럭을 통한 펄스 발생기를 이용하는 방법이 사용된다. 그러나 레퍼런스 클럭에 의한 지터 노이즈 및 전원 클럭의 위상 차 문제 등이 발생할 수 있다. 인덕턴스를 조절하여 주파수 조절을 하기 위해 수동 인덕터가 아닌 능동 인덕터 만을 이용하여 인덕턴스를 조절하는 방법이 있지만, 능동 인덕터는 수동 인덕터와는 다르게 소자에서 에너지 저장 역할을 하지 못하는 단점이 있다.

본 논문에서는 CMOS 로 구성된 능동 인덕터와 수동 인덕터를 병렬로 결합한 구조의 인덕터를 사용하여 전하 회수 회로의 전원 클럭 발생기를 설계하였다. 제안한 회로는 0.18 μm 공정에서 설계되었으며, 전력 소모 면에서 수동 인덕터 만을 이용한 전원 클럭 발생기보다 많은 파워를 소모하지만, 150MHz 의 주파수 대역에서 전원 클럭의 주파수를 조절하였다. 또한 능동 인덕터 만을 이용한 전원 클럭 발생기의 경우 능동 인덕터에서 에너지 저장 역할을 하지 못하는 단점이 있지만 능동

인덕터와 수동 인덕터를 병렬로 결합한 인덕터 구조를 이용한 전원 클럭 발생기의 경우 이용한 인덕터 구조를 통해 전원 클럭의 주파수 조절이 가능하면서 에너지 저장 역할을 수행할 수 있었다. 제안한 전원 클럭 발생기의 동작을 확인하기 위해 전하 회수 회로의 일환인 Subthreshold Boost Logic 을 이용한 16 비트 Carry Lookahead Adder 를 검증 회로로 사용하였고, 352MHz 의 전원 클럭 주파수에서 그 동작을 확인하였다.

참고문헌

- [1] B. Zhai, *et al.*, “Energy-Efficient Subthreshold Processor Design,” *IEEE Trans. on VLSI systems*, vol.17, pp. 1127-1137, Aug. 2009.
- [2] S. Hanson, *et al.*, “A Low-Voltage Processor for Sensing Applications with Picowatt Standby Mode,” *IEEE J. of Solid-State Circuits*, vol.44, pp. 1145-1155, Apr. 2010.
- [3] S. Kim, *et al.*, “Single-Phase Source-Coupled Adiabatic Logic,” *IEEE Int. Symp. on Low Power Electronics and Design*, pp. 97-99, Aug. 1999.
- [4] C. Ziesler, *et al.*, “A 225 MHz Resonant Clocked ASIC Chip,” *IEEE Int. Symp. on Low Power Electronics and Design*, pp. 48-53, Aug. 2003.
- [5] D. Maksimovic, *et al.*, “Clocked CMOS Adiabatic Logic with Integrated Single-Phase Power Clock Supply,” *IEEE Trans. on VLSI Systems*, vol. 8, no.4, pp. 460-463, Aug. 2000.
- [6] V. S. Sathe, *et al.*, “RF2: A 1GHz FIR Filter with Distributed Resonant Clock Generator,” *IEEE Symp. on VLSI Circuits*, pp. 44-45, Jun. 2007.
- [7] M. Arsalan, *et al.*, “Charge-Recovery Power Clock Generators for Adiabatic Logic Circuits,” *IEEE Int. Conf. on VLSI Design*, pp. 171-174, Jan. 2005.
- [8] W. H. Ma, *et al.*, “187MHz Subthreshold-Supply Charge-Recovery FIR,” *IEEE J. of Solid-State Circuits*, vol. 45, pp. 793-803, Apr. 2010,
- [9] Y. Wu, *et al.*, “RF Bandpass Filter Design based on CMOS Active Inductors,” *IEEE Trans. on Circuits and Systems II*, vol. 50, pp. 942-949, Dec. 2003.

- [10] L. H. Lu, *et al.*, "A 4-GHz Phase Shifter MMIC in 0.18-um CMOS," *IEEE Microwave and Wireless Components Letters*, vol. 15, pp. 694-696, Oct. 2005.
- [11] Y. Takahashi, *et al.*, "On Chip LC Resonant Circuit Using an Active Inductor for Adiabatic Logic," *IEEE Int. Midwest Symp. on Circuit and Systems*, pp. 1171-1174, Aug. 2009.
- [12] Y. Pu, *et al.*, "An All Digital PLL with an Active Inductor DCO for LTE Applications in 0.13um CMOS," *Analog integrated Circuits and Signal Proc.*, vol. 68, pp. 257-268, Sep. 2011.
- [13] Y. Pu, *et al.*, "Wide-Band Fine-Resolution DCO with an Active Inductor and Three-Step Coarse Tuning Loop," *ETRI J.*, vol. 33, no. 2, pp. 201-209, Apr. 2011.

Abstract

There are two important constraints, which are high performance and low power, in VLSI systems, today. The power consumption of the system is increased for high performance as the operating frequency of the system has increased. To solve this issue and design the low power system, voltage scaling methods are used. As the supply voltage has been scaled down below threshold voltage, however, subthreshold leakage energy has been also increased exponentially. Many other design techniques have been studied to lower the power consumption and achieve high performance, and charge recovery design is proposed as a good method that meets both low power and high performance. Charge recovery circuit has a great advantage that its energy efficiency is higher than that of conventional CMOS designs.

In the case of charge recovery design, a ramping voltage is used as its supply voltage to achieve high energy efficiency. With a gradual transition of supply voltage, the energy consumption of total system decreases since the current flows in low level. The power supply of charge recovery system is also used to synchronize operations of logic gates, it is called as a power clock. There are two main methods in power clock generation, which are a step wise charging clock generation and a resonant clock generation, where the latter is simpler and more efficient than the former, so used commonly. The clock frequency of power clock generator based on LC resonant oscillation is determined by the inductance of the passive inductor and

the capacitance which is total parasitic capacitance of clock distribution network and connected logic gates. In this case, the frequency of power clock is fixed by passive components and injection-locked devices are used for frequency tuning of generated power clock. However, there are some disadvantages in this tuning scheme, such as clock-jitter noise from a reference clock and a phase difference between two generated power clocks. The power clock generator using an active inductor for frequency scaling method is proposed as an alternative solution, but the main problem of this method is that an active inductor cannot take a role as a passive inductor in energy saving manner.

In this paper, the power clock generator using the inductor which an active inductor and a passive inductor are combined in parallel is proposed. The proposed power clock generator is implemented in 0.18 μm CMOS technology and 16bit carry lookahead adder based on Subthreshold Boost Logic is designed in same technology to confirm the operation of the proposed circuit.

Keywords: power clock generator, active inductor, charge recovery circuit

Student Number: 2011-20820