



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위논문

RF MEMS 스위치와
CMOS DC-DC 컨버터의
이종 통합에 관한 연구

A Study on a Hetero-Integration of
RF MEMS Switch and CMOS DC-DC Converter

2017년 2월

서울대학교 대학원

전기컴퓨터공학부

장 연 수

RF MEMS 스위치와 CMOS DC-DC 컨버터의 이중 통합에 관한 연구

지도 교수 전 국 진

이 논문을 공학박사 학위논문으로 제출함
2016년 12월

서울대학교 대학원
전기컴퓨터공학부
장 연 수

장연수의 공학박사 학위논문을 인준함
2017년 2월

위 원 장 _____ 박 영 준 _____ (인)

부위원장 _____ 전 국 진 _____ (인)

위 원 _____ 조 동 일 _____ (인)

위 원 _____ 김 용 권 _____ (인)

위 원 _____ 김 서 규 _____ (인)

초 록

본 논문은 RF(Radio Frequency) MEMS(Micro Electro Mechanical Systems) 스위치와 승압 CMOS(Complementary Metal Oxide Semiconductor) DC-DC(Direct Current-Direct Current) 컨버터 간의 이종 통합(hetero-integration)에 관한 연구 내용을 다룬다.

RF MEMS 스위치의 우수한 고주파 특성을 휴대용 통신 기기에 적용하기 위하여 그 동안 많은 연구와 개발이 이루어졌다. 구동 전압이 수십 볼트인 RF MEMS 스위치와 승압 DC-DC 컨버터를 결합하여 사용자에게 제공한다면 사용자는 낮은 전압으로 RF MEMS 스위치를 구동하는 효과를 볼 수 있다. 따라서 본 논문에서는 이종 칩 각각의 최적화가 가능한 이종 통합 방식을 선정하여 재배선층(RDL, Re-Distribution Layer) 위에 RF MEMS 스위치와 DC-DC 컨버터를 결합하는 연구를 진행하였다.

논문은 크게 네 부분으로 구성된다. 첫 번째는 이종 통합을 위한 재배선층 특성 연구, 두 번째는 RF MEMS 스위치와 CMOS DC-DC 컨버터 및 두 칩의 이종 통합 방법 제안, 세 번째는 상용 칩을 이용한 이종 통합 재배선층의 설계, 네 번째는 상용 칩을 이용한 이종 통합 재배선층의 제작 및 검증이다.

기판의 종류, 기판의 두께, 전송 선로, 배선 금속, 임피던스, 기판 구조의 변화에 따른 재배선층의 고주파 특성을 연구하였다. 세 종류의 다른 유전상수의 재배선층 기판을 비교한 결과 기판의 유전상수는 낮을수록, 다섯 가지 두께의 기판을 비교한 결과 기판의 두께는 얇을수록, 두 가지 전송 선로 타입을 비교한 결과 GCPW(grounded coplanar waveguide) 전송 선로가 CPW(coplanar waveguide) 전송 선로보다 신호 분리도 특성이 우수하였다. 또한 네 가지 전송 선로 금속 물질 비교 결과 금속의 전도도가 높을수록 삽입 손실(insertion loss) 특성이 우수하였으며 열한 가지 포트에서의 임피던스 변화를 살펴본 결과 임피던스 매칭이 잘 이루어질수록 반사 손실(return loss) 특성이 우수하였다. MEMS 미세 공정을 적용하여 실리콘 기판에 실리콘 산화막(SiO_2)을 증착하고 트렌치(trench)를 형성함으로써 기판 구조에 변화를 준 결과, 목표 대역의 최대 주파수 6GHz에서 반사 손실과 신호 분리도의 특성이 개선되었다. 고주파 특성 개선 효과를 해석하기 위하여

RLC 집중 소자 모델(lumped element model)을 이용하였다.

본 연구실에서 제작된 낮은 구동 전압의 우수한 신호 분리도의 정전 구동 방식의 RF MEMS 스위치와 CMOS DC-DC 컨버터를 소개하고 재배선층을 이용한 두 칩의 이중 통합에 대한 모델링과 시뮬레이션으로 결합 후 고주파 특성을 예측하였다.

상용 칩과 플립칩(flip-chip) 공정으로 재배선층을 이용한 이중 통합의 고주파 특성을 검증하였다. 칩의 성능 변동 폭을 최소화 하고 재현성을 확보하면서 기판과 전송 선로 변화에 의한 영향을 보기 위하여 상용 칩과 플립칩 공정을 이용하였다. 선정된 OMRON RF MEMS 스위치는 직렬 연결된 Dickson 전하 펌프로 구동되었으며 OMRON RF MEMS 스위치의 RLC 집중 소자 모델링 결과는 10GHz 대역에서 실측 결과를 잘 반영하는 것을 확인하였다. 기판의 두께, 기판의 유전 상수, 기판의 트렌치 깊이, 신호선의 총 길이, 신호선 금속의 전도도, 신호선 금속의 높이 변화에 따른 이중 통합 후 RF MEMS 스위치의 고주파 특성 변화 경향성을 수식으로 정리하였다. Conformal mapping 방식으로 재배선층 전송 선로의 집중 소자 모델링을 진행하였으며 재배선층 전송 선로의 집중 소자 성분은 quasi-static TEM 모드에서 신호 전송이 된다는 가정하에 도출되었다. 이후 재배선층 전송 선로의 집중 소자 모델과 RF MEMS 스위치의 집중 소자 모델을 ABCD 행렬로 변환하고 행렬 곱으로 결합하여 이중 통합 후 RF MEMS 스위치의 고주파 특성을 수식으로 표현하고 시뮬레이션과 비교함으로써 검증하였다.

듀로이드 기판, FR4 기판, 실리콘 기판을 재배선층 기판으로 하는 연구를 진행하였다. 듀로이드와 FR4 기판에서는 기판의 종류, 기판의 두께, 전송 선로 타입 차이에 따른 이중 통합 시 고주파 특성을 연구하였고 실리콘 기판에서는 기판의 구조 변화에 따른 이중 통합 특성을 연구하였다. 듀로이드와 GCPW 전송 선로 조합의 재배선층과 FR4와 CPW 전송 선로 조합의 재배선층은 상용 PCB(Printed Circuit Board) 공정을 이용하여 제작하였다. 약 50옴 임피던스 매칭의 경우와 상용 PCB 공정 특성을 반영한 56옴, 59옴 임피던스의 경우 특성을 시뮬레이션으로 비교, 분석하였다. 듀로이드 기판은 유전상수가 작고 두께가 얇으며 GCPW를 적용하였기 때문에 상대적으로 유전상수가 크고 두께가 두꺼우며 CPW 전송 선로를 적용한 FR4 기판보다 6GHz 대역에서 삽입 손실은 약 2.08dB, 반사 손실은 약 3.91dB, 신호 분리도는 약 3.33dB 우수한 것을 확인하였다.

MEMS 미세 공정으로 고저항 실리콘 웨이퍼 위에 실리콘 산화막을

올리고 전송 선로 주변에 $50\mu\text{m}$ 깊이의 트렌치를 형성함으로써 고주파 신호 전송 특성을 개선하는 방법을 제안하였다. 총 2장의 마스크를 사용하여 4인치 실리콘 웨이퍼 위에 제작하였다. 공정 오차인 기판과 전송 신호선의 두께 및 간격 변화, 측정 환경인 기판 물질 그리고 저온 무연납 범프의 공동이 이중 통합 시 공진과 관련이 있는 것을 확인하였다. $50\mu\text{m}$ 깊이의 트렌치 구조에 의하여 실리콘 기판과 이중 통합된 스위치는 6GHz 대역에서 삽입 손실은 약 0.32dB, 반사 손실은 약 1.38dB, 신호 분리도는 약 0.04dB 개선된 것을 확인하였다. 실리콘 기판과 이중 통합된 RF MEMS 스위치의 DC 포트에서 RF 포트 특성은 3GHz 대역에서 트렌치 유무와 관계 없이 약 32dB 이상의 신호 분리도 특성을 보이는 것을 확인하였다. 스위치와 저온 무연납을 제외한 재배선층 특성 검증을 위한 테스트 패턴에서는 $50\mu\text{m}$ 깊이의 트렌치 구조에 의하여 6GHz 대역에서 삽입 손실은 약 0.05dB, 반사 손실은 약 1.66dB, 신호 분리도는 약 1.82dB 개선된 것을 확인하였다.

본 논문에서는 재배선층을 이용한 RF MEMS 스위치와 CMOS DC-DC 컨버터의 통합 방법을 제안하였다. 제안한 방법은 듀로이드, FR4, 고저항 실리콘 기판의 재배선층과 상용 칩을 이용하여 검증하였으며 고저항 실리콘 기판에 산화막과 트렌치 구조를 이용하여 고주파 특성 개선 가능성을 확인하였다.

주요어 : RF MEMS 스위치, 이중 통합, 재배선층, 트렌치, 전송선로, DC-DC 컨버터

학 번 : 2006-23194

목 차

초록	i
목차	iv
그림 목차	vi
표 목차	xi
제 1 장 서론	1
제 1 절 연구 배경	1
제 2 절 연구 동향	2
1.2.1 RF MEMS 스위치-CMOS 통합	2
1.2.2 저전압, 정전 구동 방식의 RF MEMS 스위치	9
1.2.3 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터	12
1.2.4 정전 구동 방식의 RF MEMS 스위치와 DC-DC 컨버터 이종 통합	15
제 3 절 논문의 동기	18
제 4 절 논문의 목적	19
제 5 절 논문의 구성	20
제 2 장 이종 통합을 위한 재배선층 특성 연구	22
제 1 절 기관과 전송 선로 선정	22
제 2 절 배선 금속 선정	27
제 3 절 임피던스 매칭	29
제 4 절 기관 식각을 통한 고주파 특성 개선	31
제 3 장 RF MEMS 스위치와 CMOS DC-DC 컨버터 개발과 이종 통합 특성 시뮬레이션	41
제 1 절 낮은 구동 전압 및 높은 신호 분리도 특성의 정전 방식 RF MEMS 스위치	41
3.1.1 RF MEMS 스위치 구조	41
3.1.2 RF MEMS 스위치 특성	44
3.1.3 RF MEMS 스위치 모델링	50
제 2 절 정전 방식 RF MEMS 스위치 구동용 전하 펌프 방식 승압 CMOS DC-DC 컨버터	60
3.2.1 CMOS DC-DC 컨버터 구조	60
3.2.2 CMOS DC-DC 컨버터 특성	61
제 3 절 재배선층 설계	68
제 4 절 이종 통합 특성 예상 및 분석	69

제 4 장 이중 통합 재배선층 설계	72
제 1 절 칩 선정.....	72
제 2 절 재배선층 설계	77
4.2.1 설계 변수에 따른 고주파 특성 분석.....	77
4.2.2 기판과 전송 선로 조합을 통한 특성 개선.....	93
4.2.3 기판 구조 변경을 통한 특성 개선	99
제 5 장 이중 통합 재배선층 제작	109
제 1 절 재배선층 공정	109
제 2 절 제작 결과 및 측정 분석.....	110
5.2.1 기판과 전송 선로 조합.....	110
5.2.2 기판 구조 변경	116
5.2.3 이중 통합 전후 측정 결과 비교 정리.....	126
제 6 장 결 론	130
참고문헌	134
Abstract	142

그림 목차

- 그림 1.1 RF MEMS 스위치와 CMOS DC-DC 컨버터를 통합한 모식도
- 그림 2.1 재배선층 특성 검증을 위한 HFSS 시뮬레이션 모델(신호선이 분리된 경우)
- 그림 2.2 재배선층의 기판과 전송 선로 타입에 따른 신호 분리도 특성
- 그림 2.3 재배선층의 분리된 전송 선로의 RLC 집중 소자 모델
- 그림 2.4 254 μm 두께의 듀로이드 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW
- 그림 2.5 1600 μm 두께의 듀로이드 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW
- 그림 2.6 1600 μm 두께의 FR4 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW
- 그림 2.7 재배선층의 연결된 전송 선로의 RLC 집중 소자 모델
- 그림 2.8 전송 선로의 금속 물질의 전기 전도도 변화에 따른 삽입 손실 특성
- 그림 2.9 임피던스 변화에 따른 반사 손실 특성
- 그림 2.10 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 특성 검증을 위한 HFSS 시뮬레이션 모델 (신호선이 분리된 경우)
- 그림 2.11 실리콘 기판의 실리콘 산화막, 트렌치 구조의 HFSS 시뮬레이션 결과 (a) 실리콘 산화막 증착 전후 비교 (b) 실리콘 산화막 1 μm 증착 조건에서 20 μm 트렌치 형성 전후 비교
- 그림 2.12 신호선이 온전한 경우, ON 상태의 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 RLC 집중 소자 모델
- 그림 2.13 CPW 전송 선로에 고주파 신호가 인가되었을 때의 실리콘 기판의 전기장에 대한 HFSS 시뮬레이션 결과 (a) CPW (b) 1 μm 실리콘 산화막과 CPW 조합 (c) 1 μm 실리콘 산화막과 20 μm 실리콘 트렌치와 CPW 조합
- 그림 2.14 신호선이 1mm 간격으로 분리된 경우, OFF 상태의 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 RLC 집중 소자 모델
- 그림 3.1 제안한 RF MEMS 스위치 (a) 구조도 (b) 단면도
- 그림 3.2 그림 3.1에서 AA' 방향으로 자른 제안한 RF MEMS 스위치의 단면과 동작 순서 (a) 구동 전 (b) 첫 번째 구

- 동 (c) 두 번째 구동
- 그림 3.3 제작한 스위치의 사진 (a) RF MEMS 스위치 (b) 접촉 (c) 스프링 (d) 앵커
- 그림 3.4 제작한 RF MEMS 스위치의 ON/OFF 특성
- 그림 3.5 제작한 RF MEMS 스위치의 고주파 특성
- 그림 3.6 ON 상태에서의 RF MEMS 스위치의 접촉선 부분 모델 (a) 집중 소자 모델, (b) 모식도.
- 그림 3.7 OFF 상태에서의 RF MEMS 스위치의 접촉선 부분 모델 (a) 집중 소자 모델, (b) 모식도.
- 그림 3.8 ON 상태에서의 RF MEMS 스위치 모델 (a) 집중 소자 모델, (b) 모식도.
- 그림 3.9 OFF 상태에서의 RF MEMS 스위치 모델 (a) 집중 소자 모델, (b) 모식도.
- 그림 3.10 HFSS 시뮬레이션 값과 RLC 집중 소자 모델 결과 비교 (a) 고주파 특성, (b) ON 상태에서의 DC to RF 특성(HFSS_: HFSS 시뮬레이션, RLC_: 집중 소자 모델)
- 그림 3.11 정전 용량형 RF MEMS 스위치 구동용 전하 펌프 방식의 DC-DC 컨버터 개략도
- 그림 3.12 $1.8M\Omega$ 부하 저항에 대한 DC-DC 컨버터 출력 포스트 시뮬레이션 결과(채널 선택 신호 3.3V, $1.0\mu s$ 오름/내림 시간)
- 그림 3.13 4채널 승압 DC-DC 컨버터 (a) 레이아웃, (b) 제작된 칩
- 그림 3.14 $1.8M\Omega$ 부하 저항에 대한 DC-DC 컨버터 출력 전압 측정 결과
- 그림 3.15 기생 성분을 고려한 DC-DC 컨버터 출력단 개략도
- 그림 3.16 $1.8M\Omega$ 부하 저항에 대한 DC-DC 컨버터 4채널 출력 전압
- 그림 3.17 실리콘 트렌치와 CPW 전송 선로 조합의 재배선층 HFSS 시뮬레이션 모델
- 그림 3.18 스위치와 CPW 실리콘 트렌치 재배선층과 결합 전후 특성 비교 시뮬레이션 결과 (a) 고주파 특성, (b) ON 상태에서의 DC to RF 특성(SW(RLC)_: 결합 전, SW_Si_SiO2_Tr_CPW_: 결합 후)
- 그림 4.1 OMRON RF MEMS 스위치를 RLC 집중 소자로 모델링 결과
- 그림 4.2 OMRON RF MEMS 스위치의 삽입 손실, 반사 손실, 신호 분리도 특성(RLC_: 집중 소자 모델 시뮬레이션 값, Meas_: 측정 값)
- 그림 4.3 OMRON RF MEMS 스위치의 DC to RF 특성(RLC_: 집중 소자 모델 시뮬레이션 값, Meas_: 측정 값)

- 그림 4.4 재배선층과 RF MEMS 스위치를 결합한 집중 소자 모델
- 그림 4.5 재배선층과 RF MEMS 스위치 결합 임피던스 모델
- 그림 4.6 재배선층 기판의 두께와 유전 상수 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도
- 그림 4.7 재배선층 기판의 트렌치 깊이와 신호선 총 길이 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도
- 그림 4.8 재배선층 기판의 전송 선로 금속의 전도도와 높이 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도
- 그림 4.9 재배선층과 결합 후 RF MEMS 스위치 고주파 특성의 시뮬레이션과 수식 결과 비교 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도, (이상 시뮬레이션 결과) (d) 삽입 손실 (e) 반사 손실 (f) 신호 분리도, (이상 수식 결과)
- 그림 4.10 재배선층의 HFSS 시뮬레이션 모델 (a) 듀로이드와 GCPW 조합 (b) FR4와 CPW 조합
- 그림 4.11 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조를 시뮬레이션 한 결과 (a) 임피던스 매칭 경우 (b) 재배선층 공정을 고려한 임피던스 경우 (Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합)
- 그림 4.12 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조의 DC 포트에서 RF 포트로의 고주파 특성을 시뮬레이션 한 결과 (Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합)
- 그림 4.13 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 HFSS 시뮬레이션 모델
- 그림 4.14 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조를 시뮬레이션 한 결과 (a) 임피던스 매칭 경우 (b) 저온 무연납의 공동과 재배선층 공정을 고려한 임피던스 경우 (Si_SiO2_intg_: 실리콘 기판의 실리콘 산화막과 기판, Si_SiO2_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)
- 그림 4.15 공동이 발생한 저온 무연납 범프의 모델

- 그림 4.16 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조에 대하여 DC 포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과(Si_SiO2_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO2_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)
- 그림 4.17 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 특성 검증을 위한 테스트 패턴의 HFSS 시뮬레이션 모델
- 그림 4.18 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 시뮬레이션 결과 (Si_SiO2_: 실리콘 기판의 실리콘 산화막 조합, Si_SiO2_Tr_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)
- 그림 5.1 실리콘 기판의 실리콘 산화막과 트렌치 구조의 전송 선로 공정 순서
- 그림 5.2 재배선층 기판을 이용하여 컨버터와 스위치를 이중 통합한 결과 (a) 듀로이드 기판과 GCPW 전송 선로 (b) FR4 기판과 CPW 전송 선로
- 그림 5.3 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치와 컨버터를 이중 통합 방법으로 제작 후 측정 결과와 시뮬레이션 결과 비교(Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도
- 그림 5.4 실리콘 재배선층 기판 위에 OMRON 스위치를 이중 통합한 결과 (a) 실리콘 기판의 실리콘 산화막과 CPW 전송 선로 조합 (b) 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 전송 선로 조합으로 이루어진 재배선층 조합
- 그림 5.5 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 제작 후 측정한 결과와 시뮬레이션 결과 비교(Si_SiO2_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO2_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도
- 그림 5.6 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판

의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 제작 후 DC 포트에서 RF 포트로의 고주파 특성 측정 결과와 시뮬레이션 결과 비교(Si_SiO₂_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO₂_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)

그림 5.7 실리콘 산화막이 증착된 실리콘 기판의 트렌치 유무에 따른 재배선층 특성 검증을 위한 테스트 패턴의 제작 결과

그림 5.8 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 제작 후 측정 결과와 시뮬레이션 결과 비교 (Si_SiO₂_: 실리콘 기판의 실리콘 산화막 조합, Si_SiO₂_Tr_: 실리콘 기판의 실리콘 산화막과 트렌치 조합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도

그림 5.9 이중 통합 전후 측정 결과 비교 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도 특성 (SW_only: OMRON 스위치, Du+GCPW: 듀로이드 기판의 GCPW 구조, FR4+CPW: FR4 기판의 CPW 구조, Si+SiO₂+Tr+CPW: 실리콘 기판의 실리콘 산화막과 트렌치 그리고 CPW 조합, Si+SiO₂+CPW: 실리콘 기판의 실리콘 산화막과 CPW 조합)

표 목차

- 표 1.1 Post-CMOS 방식으로 제작된 RF MEMS 스위치 비교
- 표 1.2 CMOS BEOL 층의 후처리 방법으로 제작된 RF MEMS 스위치 비교
- 표 1.3 RF MEMS 스위치-CMOS 통합 방식 비교
- 표 1.4 RF MEMS 스위치 구동 방식에 따른 장단점 비교
- 표 1.5 저전압 정전 구동 방식 RF MEMS 스위치 비교
- 표 1.6 DC-DC 컨버터 승압 방식에 따른 장단점 비교
- 표 1.7 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터 비교
- 표 1.8 집적 회로와 이중 통합한 정전 구동 방식의 RF MEMS 스위치 비교
- 표 2.1 재배선층 시뮬레이션에 사용한 물성 및 수치
- 표 2.2 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 시뮬레이션에 사용한 물성 및 수치
- 표 2.3 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 HFSS와 RLC 집중 소자 모델의 ADS 시뮬레이션 결과 @ 6GHz
- 표 2.4 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 RLC 집중 소자 모델의 성분값, 신호선이 온전한 경우, ON 상태
- 표 2.5 ON 상태에서 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 수치와 커패시턴스
- 표 2.6 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 RLC 집중 소자 모델의 성분값, 신호선이 1mm 간격으로 분리된 경우, OFF 상태
- 표 3.1 제작한 스위치의 측정 결과
- 표 3.2 저전압 정전 구동 방식 RF MEMS 스위치 비교
- 표 3.3 RF MEMS 스위치의 집중 소자 요소와 값
- 표 3.4 HFSS 시뮬레이션과 집중 소자 모델의 ADS 시뮬레이션 결과 @ 6GHz
- 표 3.5 부하 저항에 따른 DC-DC 컨버터 출력 측정 결과
- 표 3.6 부하 저항에 따른 DC-DC 컨버터 리플 시뮬레이션 값과 측정 값 비교
- 표 3.7 부하 저항에 따른 DC-DC 컨버터 출력 전류 계산 결과
- 표 3.8 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터
- 표 3.9 재배선층 물성 및 수치

- 표 3.10 스위치와 CPW 실리콘 트렌치 재배선층과 결합 전후 특성 비교 시뮬레이션 결과 < 6GHz
- 표 4.1 OMRON RF MEMS 스위치 RLC 집중 소자 모델의 성분값
- 표 4.2 OMRON RF MEMS 스위치의 RLC 집중 소자 모델 시뮬레이션 결과와 측정 결과 비교 < 6GHz
- 표 4.3 OMRON RF MEMS 스위치 구동용 Dickson 전하 펌프 방식의 DC-DC 컨버터 구성용 상용 칩 목록
- 표 4.4 재배선층의 물성 변화에 따른 RF MEMS 스위치 고주파 특성 변화를 확인하기 위한 재배선층 물성 목록과 변화량
- 표 4.5 듀로이드, FR4, 실리콘 기판의 재배선층 시뮬레이션 및 수식 분석 물성 및 수치 정리
- 표 4.6 재배선층 결합 전후 시뮬레이션, 수식 결과 정리 < 10GHz
- 표 4.7 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합의 이중 통합 HFSS 시뮬레이션 파라미터
- 표 4.8 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 결과 < 6GHz
- 표 4.9 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 DC포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과 < 3GHz
- 표 4.10 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 HFSS 시뮬레이션 파라미터 및 결과 @ 6GHz
- 표 4.11 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합의 이중 통합 HFSS 시뮬레이션 파라미터
- 표 4.12 공동이 발생한 저온 무연납 범프 모델의 파라미터
- 표 4.13 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 결과 < 6GHz
- 표 4.14 실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과 < 3GHz
- 표 4.15 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층의 테스트 패턴의 HFSS 시뮬레이션에 사용한 물성 및 수치
- 표 4.16 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 시뮬레이션 결과 비교 < 6GHz
- 표 5.1 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합의

이중 통합 제작 비교

- 표 5.2 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 및 측정 결과 < 6GHz
- 표 5.3 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합의 이중 통합 제작 비교
- 표 5.4 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 측정 결과 < 6GHz
- 표 5.5 실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC포트에서 RF 포트로의 고주파 특성 측정 결과 < 3GHz
- 표 5.6 실리콘 기판의 실리콘 산화막과 트렌치 구조의 재배선층의 테스트 패턴의 제작 결과
- 표 5.7 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴의 측정 비교 < 6GHz
- 표 5.8 듀로이드, FR4, 실리콘 기판의 재배선층 물성 및 수치 정리
- 표 5.9 이중 통합 전후 측정 결과 정리 < 6GHz
- 표 6.1 제안한 이중 통합 방식의 RF MEMS 스위치 고주파 특성 비교

제 1 장 서 론

제 1 절 연구 배경

RF(Radio Frequency) MEMS(Micro Electro Mechanical Systems) 스위치는 우수한 고주파 특성으로 인하여 휴대용 통신 기기에 적용하기 위하여 그 동안 많은 연구와 개발이 이루어졌다. 대표적인 RF MEMS 스위치 구동 방법에는 정전(electrostatic), 전자기(electromagnetic), 압전(piezoelectric), 전열(thermoelectric) 방식이 있다. 그 중에서 정전 구동 방식은 다른 구동 방식에 비하여 소형이며 제작이 용이하고 소모 전력이 작으나 구동 전압이 수십 볼트로 크다. 일반적으로 휴대용 전자 기기들은 약 3V에서 5V 사이 전압의 배터리를 사용한다. 그러므로 RF MEMS 스위치의 우수한 고주파 특성을 유지하면서 구동 전압을 낮추는 연구에 대한 것은 중요한 연구 주제이다[1.1-1.11].

정전 구동 방식 RF MEMS 스위치의 구동 전압과 신호 분리도(isolation)는 교환(tradeoff) 관계이다. 신호 분리도는 구동 간격에 비례하기 때문에 구동 간격을 줄이면 구동 전압과 신호 분리도는 감소하며 구동 간격을 늘리면 구동 전압과 신호 분리도는 증가한다. 구동 전압을 낮추면서 우수한 신호 분리도 특성을 유지하는 것이 연구자들의 관심 있는 연구 주제이다. 승압용 DC-DC 컨버터를 사용하여 RF MEMS 스위치를 구동하더라도 승압하는 전압이 높을수록 DC-DC 컨버터의 소비 전력이 커지므로 RF MEMS 스위치의 구동 전압이 낮을수록 적용하려는 휴대용 통신 기기에 유리하며 이에 구동 전압을 낮추려는 연구는 계속되고 있다[1.1-1.11].

이중 칩을 통합하여 우수한 성능을 내는 칩을 개발하고자 하는 연구는 다양한 분야에서 이루어지고 있다[1.12-1.17]. 정전 구동 방식의 RF MEMS 스위치는 구동 전압을 낮추더라도 휴대용 통신 기기에서 RF MEMS 스위치를 구동하기 위해서는 승압 DC-DC 컨버터가 필요하다. 따라서 휴대용 통신 기기에 적용하기 위한 RF MEMS 스위치와 승압 CMOS(Complementary Metal Oxide Semiconductor) DC-DC 컨버터 결합에 관한 연구도 그 동안 수십 년에 걸쳐서 이루어졌다[1.18-1.22]. 이중 칩의 우수한 특성을 그대로 유지하면서 간단한 방법으로 결합하는 연구와 결합 후 이중 칩 간에

성능을 저해하는 요소를 최소화하는 연구에 대한 관심이 커지고 있다.

제 2 절 연구 동향

1.2.1 RF MEMS 스위치-CMOS 통합

CMOS 집적회로(Integrated Circuit)의 일부분을 우수한 특성의 MEMS 기기로 대체하여 MEMS와 CMOS를 통합하는 연구는 그 동안 수십 년에 걸쳐서 이루어져 왔다. MEMS-CMOS 통합 방법은 직접적(direct)인 방법과 간접적(indirect)인 방법으로 분류할 수 있다. 직접적인 통합 방법은 단일 통합(monolithic integration)이라고 하며 간접적인 통합 방법은 이중 통합(hetero-integration)이라고 한다[1.23, 1.24].

단일 통합 방법은 MEMS 공정과 CMOS 공정 순서에 따라 네 방식으로 분류된다. MEMS 공정을 먼저하고 CMOS 공정을 이후에 진행하는 Pre-CMOS, MEMS-CMOS 공정을 동시에 진행하는 Intra-CMOS, CMOS 공정을 먼저하고 MEMS 공정을 이후에 진행하는 Post-CMOS, CMOS 공정을 먼저하고 CMOS BEOL(Back End Of Line)을 이용하는 CMOS-BEOL 층의 후처리(postprocessing of CMOS-BEOL layers)이다. 단일 통합 방법 중에서 RF MEMS 스위치를 통합한 연구는 두 방법, post-CMOS와 CMOS-BEOL 층의 후처리 방법으로 진행되었다. Post-CMOS 과정은 CMOS 파운드리(foundry) 선정이 용이하다는 장점이 있다. CMOS 집적회로 제작을 위한 최적의 파운드리를 선정한 후에 RF MEMS 스위치를 제작할 MEMS 파운드리를 선정해야 한다. 하지만 MEMS 공정을 하기 위해서는 열 예산(thermal budget)을 고려해야 하며 일반적으로 400°C 에서 500°C 이하이다. 게다가 CMOS 집적회로 공정으로 인한 표면 굴곡을 평탄하게 처리하는 작업이 추후 MEMS 공정을 위하여 필요하다. MEMS 기기의 기계적인 특성은 표면의 평탄한 정도에 따라 달라지며 평탄하지 않으면 기계적인 스트레스를 받게 되고 기계적인 강도가 약해지기 때문이다. CMOS BEOL 층의 후처리 방법은 어떠한 추가 박막의 증착이나 사진 공정이 필요 없는 것이 장점이다. 하지만 MEMS 기기의 두께나 간격은 BEOL CMOS 표준 공정에서 제공하는 수치를 사용해야 하므로 MEMS 기기 설계에 제한이 있는 것이 단점이다[1.25-1.27].

Post-CMOS 방식으로 제작된 RF MEMS 스위치는 표 1.1에

정리하였다. IBM에서는 RF MEMS 스위치와 Resonator를 동시에 만들 수 있는 공정을 제안하였다. MEMS 기기는 구리를 이용하여 추후 CMOS back end 공정에 적용할 수 있도록 공정을 설계하였으나 제작된 RF MEMS 스위치의 동작 전압은 40V로 다소 높고 2GHz 대역에서 삽입 손실이 4dB 수준으로 크기 때문에 접촉 부분의 개선이 필요하다[1.28].

NTT에서는 산화막-금-산화막 형태의 구조물을 이용하여 3.3V 저전압에서 동작하는 SP8T RF MEMS 스위치를 개발하였다. RF MEMS 스위치 제어용 3-bit address decoder를 CMOS LSI 공정으로 제작한 후 그 위에 표면 마이크로머시닝(surface micromachining) 공정으로 RF MEMS 스위치를 제작하였다. 구동 전압은 낮으나 그만큼 정전력이 약하고 접촉이 약해지므로 삽입 손실이 큰 편이며 따라서 삽입 손실을 줄일 필요가 있다[1.29].

IM(Institute of Microelectronics)와 Nanyang Technological University에서는 CMOS 집적회로가 제작된 기판 위에 RF MEMS 스위치를 제작하고 FR4 기판에 옮기는 연구를 진행하였다. 고저항 실리콘 웨이퍼에 제작한 고주파 특성과 유사한 고주파 특성을 보였으나 면적은 다소 크고 기판을 옮기기 전후 NMOS/PMOS 소자의 문턱 전압이 이동하고 누설 전류가 증가하는 등 CMOS 소자의 전기적 특성이 변한 것을 확인하였다. 이에 따라 기판 이동 및 관련 공정 시 CMOS 소자의 성능 열화를 줄이기 위한 대한 개선이 필요하다[1.30].

KTH-Royal Institute of Technology, Cranfield University와 VTT에서는 200도 이하의 MEMS 공정으로 CMOS에 영향을 최소화하는 RF MEMS 스위치를 연구하였다. 압전 물질을 이용한 외팔보(cantilever) 구조이며 간단한 구조에 비하여 공정 과정이 다소 복잡하며 구동 전압이 62V로 높아서 이에 대한 보완이 필요하다. 그리고 MEMS 공정 온도가 200도로 낮으나 CMOS 집적회로가 있는 기판 위에 RF MEMS 스위치를 제작한 것이 아니므로 CMOS 집적회로에 대해 개발한 MEMS 공정이 영향이 없음을 증명할 필요가 있다[1.31].

CMOS BEOL 층의 후처리 방법으로 제작된 RF MEMS 스위치는 표 1.2에 정리하였다. 조사된 CMOS BEOL 층의 후처리 방법으로 제작된 RF MEMS 스위치는 모두 shunt capacitive 방식으로 10GHz 이하의 주파수에서는 신호 분리도 특성이 contact 방식보다 좋지 않으나 10GHz 이상의 대역에서는 주파수가 증가할수록 신호 분리도

특성이 우수해 지는 것이 특징이다. 따라서 CMOS BEOL 층의 후처리 방법으로 제작된 RF MEMS 스위치는 밀리미터파(millimeter wave) 대역 응용으로 적합하다. National Chung Hsing University에서는 BEOL 층 중에서 가장 하부 금속 층을 CPW 전송 선로로 만들고 가장 상부 금속 층을 RF MEMS 스위치의 기계적 구조물로 하였다. 스위치의 크기는 약 0.04mm²로 작으나 신호 분리도 특성이 좋지 않아서 개선이 필요하다[1.32].

Hughes Network Systems, GWU(George Washington University)와 UCSB(university of California, Santa Barbara)에서는 80개 손가락 구조를 가진 외팔보 형태의 열전 방식으로 동작하는 RF MEMS 스위치를 연구하였다. 스위치의 길이는 약 750 μ m로 길어서 변위는 약 110 μ m로 매우 크고 5.4GHz에서 삽입 손실이 1.6dB 정도로 큰 편이다[1.33].

University of Waterloo에서는 두 개의 shunt capacitive RF MEMS 스위치를 직렬 연결하여 임피던스를 증가하고 높은 신호 분리도 특성을 가지는 RF MEMS 스위치를 제안하였다 그리고 RF MEMS 스위치 하부 실리콘을 약 65 μ m 깊이로 식각하여 저저항 실리콘 기판의 RF MEMS 스위치로의 기생 성분 효과를 감소시켰다. 구조물은 휘어 있는 형태이므로 변위가 커서 구동 전압이 85V로 크며 RF MEMS 스위치 2개를 직렬 연결하였기 때문에 면적이 약 1.2mm²로 다른 RF MEMS 스위치에 비하여 큰 편이다[1.34].

IHP, Fraunhofer IZM과 NNFC(National NanoFab Center)에서는 BEOL 층의 공정으로 RF MEMS 스위치를 제작한 이후에 한 장의 마스크를 추가하여 웨이퍼 단위로 패키지가 가능하게 하였다. 패키지 후 내부는 10⁻³mbar 압력을 유지하였으며 이때 90GHz에서 0.5dB의 우수한 삽입 손실 특성을 보였으나 구동 전압이 50V로 다소 높다. 전하 펌프 방식의 집적회로를 이용하여 2.5V 전압의 20MHz 클럭 입력 신호를 승압하여 RF MEMS 스위치 구동용 50V 출력을 발생하였다. Shunt capacitive 방식으로 밀리미터파 대역에서 고주파 특성이 우수하나 10GHz 이하 대역에서 고주파 특성은 개선이 필요하다[1.35].

이중 통합은 모듈식의 통합 방식으로써 장점은 통합 전에 MEMS 기기와 CMOS 회로 각각의 성능을 최적화 할 수 있고 결합 시에는 열예산과 같은 통합에 관련된 다른 칩의 공정 조건을 고려하지 않아도 된다는 것이다. 따라서 이중 통합 방식은 각 칩의 우수한 성능을 구현하는데 적합하며 성능을 우선한 설계를 할 수 있다. 게다가 이중

통합은 MEMS-CMOS 통합뿐만 아니라 다른 반도체 산업의 다중 칩 패키지(multichip package)에 폭넓게 사용되고 있어서 이중 통합 공정 연구가 많이 이루어져 왔으며 관련하여 많은 기술이 축적되어 있다[1.12-1.17]. 하지만 이중 통합을 위한 MEMS 칩과 CMOS 칩을 연결하는 과정이 필수적이며 재배선층(RDL, Re-Distribution Layer)이 필요하며 재배선층에 의해 MEMS-CMOS 기기의 성능이 열화 될 수 있다. 그리고 본딩(bonding)과 같은 두 칩을 접합하는 과정에서 발생하는 성능 변화와 두 칩이 동작하는 과정에서 컨버터에서 발생하는 클럭 리플의 영향을 차단하며 고주파 특성 변화를 최소화하고 각 칩의 우수한 성능을 유지하는 것은 중요하다[1.36]. 이중 통합 방식으로 RF MEMS 스위치를 집적회로와 결합하는 연구는 Motorola, Analog Devices, OMRON에서 이루어졌으며 자세한 내용은 1.2.4에서 다루도록 하겠다. 지금까지 살펴본 RF MEMS 스위치와 CMOS 통합 방법들을 표 1.3에 비교 정리하였다[1.23, 1.24].

표 1.1 Post-CMOS 방식으로 제작된 RF MEMS 스위치 비교

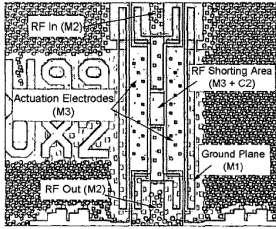
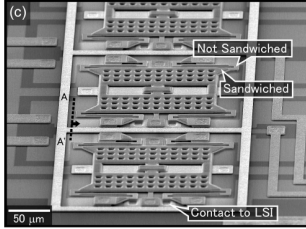
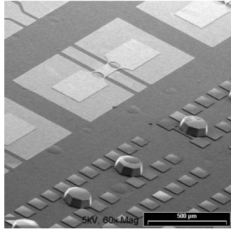
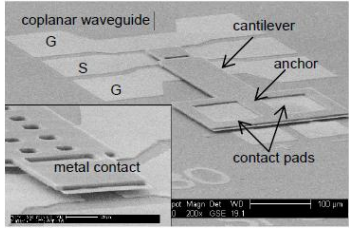
	IBM (2004) [1.28]	NTT(2006) [1.29]	IM, Nanyang Tech. Univ. (2006) [1.30]	KTH-Royal Institute Of Tech., Cranfield Univ. VTT (2010) [1.31]
이미지				
RF 출력 수	1	8	1	1
구동 방식	Electrostatic	Electrostatic	Electrostatic	Piezoelectric
ON/OFF 방식	Contact	Contact	Shunt capacitive	Contact
삽입 손실	4dB @ 2GHz	2.2dB @ 5GHz	0.2/0.5dB @ 5/20GHz	0.7dB @ 5GHz
신호 분리도	30dB @ 2GHz	49dB @ 5GHz	7.5/25dB @ 5/20GHz	34dB @ 5GHz
구동 전압	40V	3.3V	-	62V
스위치 크기(1개)	-	0.04mm ²	1mm ²	0.15mm ²
집적회로 공정	-	0.6μm CMOS LSI	CMOS IC	-
집적회로 타입	-	3bit address decoder	CMOS Transistor	-
회로 칩 크기	-	3mm ²	0.25mm ²	-

표 1.2 CMOS BEOL 층의 후처리 방법으로 제작된 RF MEMS 스위치 비교

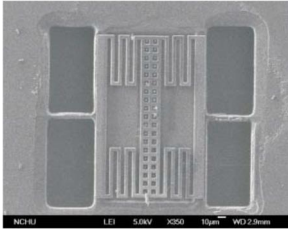
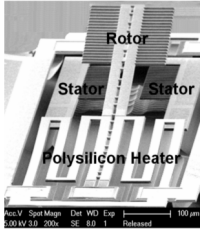
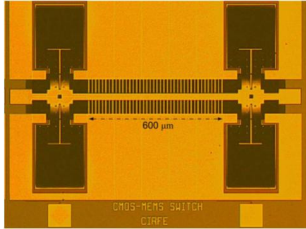
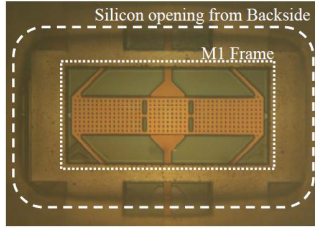
	National Chung Hsing Univ. (2005) [1.32]	Hughes Network Sys., GWU, UCSB (2008) [1.33]	Univ. of Waterloo (2010) [1.34]	IHP, Fraunhofer IZM, NNFC (2010) [1.35]
이미지				
RF 출력 수	1	1	1	1
구동 방식	Electrostatic	Thermoelectric	Electrostatic	Electrostatic
ON/OFF 방식	Shunt capacitive	Shunt capacitive	Shunt capacitive	Shunt capacitive
삽입 손실	2.2/2.5dB @ 10/40GHz	1.6dB @ 5.4GHz	0.58/1.4dB@10/20GHz	0.1/0.5dB @ 10/90GHz
신호 분리도	3.8/4.5dB @ 10/40GHz	33dB @ 5.4GHz	19/40dB @ 10/20GHz	1/15dB @ 10/90GHz
구동 전압	17V (Pull-in)	25V (Pull-in)	85V	50V
스위치 크기(1개)	0.04mm ²	0.4mm ²	1.2mm ²	-
집적회로 공정	0.35μm, 2P4M CMOS	0.6μm, CMOS	0.35μm, 2P4M CMOS	0.25μm, BiCMOS
집적회로 타입	-	-	-	Charge pump
회로 칩 크기	-	-	-	-

표 1.3 RF MEMS 스위치-CMOS 통합 방식 비교

	단일 통합		이중 통합
	Post-CMOS	CMOS-BEOL 층의 후처리	
MEMS 부분 열예산 제한	Yes	No	No
MEMS 층 두께나 간격의 제한	Yes	Yes	No
CMOS 면적의 효율적 사용	Yes	No	No
MEMS 층의 잔류 응력(residual stress) 제어 가능성	No	No	Yes
평탄화 작업 필요성	Yes	No	No
파운드리 요건	Yes (MEMS 가능)	Yes (세척과 식각)	No
통합을 위한 기술개발 노력	Medium	Low	Low
추가 마스크 요건	Yes	No	No
통합 수준	웨이퍼 수준	칩 또는 웨이퍼 수준	칩 또는 웨이퍼 수준

1.2.2 저전압, 정전 구동 방식의 RF MEMS 스위치

RF MEMS 스위치는 고주파에서 전기 신호에 의해 기계적으로 전송 선로(transmission line)를 ON 또는 OFF 하는 스위치이다. RF MEMS 스위치는 고체상태 기기(solid-state device)보다 고주파에서 우수한 특성을 보이기 때문에 그 동안 많은 연구가 이루어져왔다[1.1]. 정전(electrostatic), 전열(thermoelectric), 전자기(electromagnetic), 압전(piezoelectric) 방식은 RF MEMS 스위치를 구동하기 위한 대표적 방법들이며 장단점은 표 1.4와 같다. 전열 방식은 다른 방식에 비하여 구동 전압이 낮지만 열 손실이 많으며 스위칭 속도(switching speed)가 느리다. 전자기 방식은 구동력이 다른 방식에 비하여 크지만 소형화 공정이 어렵다. 압전 방식은 반응 속도가 빠르지만 압전 물질로 기기를 제작하는 것은 어렵다. 정전 방식은 소형 제작이 용이하며 소비 전류와 전력이 작으나 구동 전압이 크다.

표 1.4 RF MEMS 스위치 구동 방식에 따른 장단점 비교

Type	구동전압(V)	소비전류(mA)	소비전력(mW)	크기
정전	High (20-80)	Low (0)	Low (0)	Small
전열	Low (3-5)	High (5-100)	High (0-200)	Large
전자기	Low (3-5)	High (20-150)	High (0-100)	Medium
압전	Medium (3-20)	Low (0)	Low (0)	Medium

전열과 전자기 방식은 구동에서 발생하는 열과 전자기장이 주변의 다른 전자기기에 영향을 주어 성능 변화를 초래할 수 있으며 압전 방식은 압전 물질을 이용한 소형 기기 제작이 어렵기 때문에 정전 방식이 휴대용 전자기기 적용에 가장 적합하다고 할 수 있으며 구동 전압을 낮추기 위해 많은 연구가 이루어지고 있다[1.2]. 정전 구동 방식 RF MEMS 스위치의 구동 전압을 낮추기 위하여 제안된 방법들을 표

1.5에 정리하였다.

NTU(National Taiwan University)에서는 잔류 응력(residual stress)을 제어할 수 있는 띠고리(buckle)의 구부러진 구조를 제안하였다[1.8]. 동작 전압은 잔류 응력에 의하여 감소하였으나 잔류 응력은 공정 변화(variation)에 의존하며 공정 조건을 제어하는 것은 쉽지 않기 때문에 NTU의 RF MEMS 스위치 제작을 위하여 재생산성(reproducibility)과 균일성(uniformity)이 특별히 요구된다.

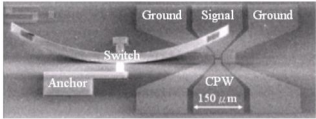
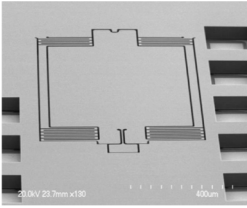
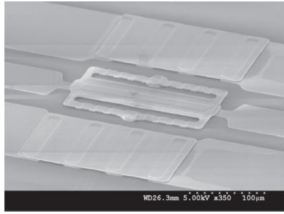
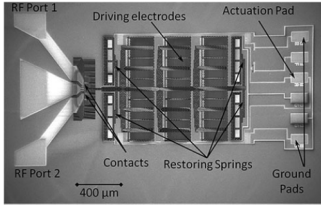
삼성종합기술원(SAIT, Samsung Advanced Institute of Technology)과 고려대학교에서는 두 가지 모드로 동작하는 두껍고 딱딱한(stiff) 막(membrane)을 제안하였다. 막의 유연한 스프링 부분은 낮은 전압에서 위 아래 구동 모드로 동작하게 하고 막의 축(pivot)부분은 스위치 ON 또는 OFF 구동할 때 시소(seesaw) 모드로 동작하게 한다[1.9]. 전극과 막 사이의 일정하게 잘 정의된 작은 간격과 저전압 구동을 달성하였으나 축과 비대칭 구조로 인하여 삽입 손실(insertion loss)은 이전의 결과들보다 큰 수치이다.

UNSW(The University of New South Wales)에서 연구한 결과에 따르면 딩플(dimple)선들을 이용하여 빔(beam)의 스트레스(stress)를 줄이고 강도(stiffness)는 딩플 선들을 이용하여 제어하였다. UNSW에서 제안한 구조는 고유의 특색이 있으나 복잡한 구조이며 삽입 손실이 이전의 연구 결과보다 큰 편이다[1.10].

Fraunhofer ENAS와 Chemnitz University of Technology는 큰 종횡비(high-aspect-ratio)의 공정으로 대면적의 빗(comb) 모양 전극을 제작하여 수평 방향으로 움직이는 저전압 구동 RF MEMS 스위치를 제안하였다[1.11]. 제안한 스위치는 고저항 웨이퍼를 사용하여 고주파 특성을 보완하고 유리 기판으로 웨이퍼 수준의 패키지를 하였으나 사용한 공정 방법과 구조는 이미 선행 결과와 매우 유사한 방법이며[1.4] 면적은 다른 스위치에 비하여 큰 편이다.

그 동안 RF MEMS 스위치의 구동 전압을 낮추는 연구가 진행되었고 새로운 구조를 사용하거나 기존 방법에서 면적을 늘이는 구조를 사용하였다. 전극 면적을 유지하면서 구동 전압을 낮추면 정전력이 작아져서 접촉(contact) 부분의 접촉 면적이 작아져 삽입 손실이 클 수 있고 정전력을 크게 하기 위해 전극 면적을 크게 하면 스위치의 면적이 커지게 된다. RF MEMS 스위치의 우수한 고주파 특성을 유지하면서 구동 전압을 낮추는 새로운 아이디어가 필요하다.

표 1.5 저전압 정전 구동 방식 RF MEMS 스위치 비교

	단위	NTU (2007) [1.8]	삼성종합기술원, 고려대학교 (2009) [1.9]	UNSW (2010) [1.10]	Fraunhofer ENAS, Chemnitz Univ. of Tech.(2014) [1.11]
이미지	-				
접촉 물질	-	Au-Au	Au-Au	Au-Au	Au-Au
구조 물질	-	AlN	Si	Au	Si
구동 전압 (풀인 전압)	V	(10.2~70)	(10-12)	20 (13.56, 계산값)	5 (4.4)
삽입 손실	dB	0.21 @5GHz	0.25 @2GHz	0.45 @6GHz	0.6 @5GHz
신호 분리도	dB	44 @5GHz	50 @2GHz	45 @6GHz	35 @5GHz
면적 (pad 제외)	mm ²	0.6 x 0.4	1.20 x 0.92	0.25 x 0.3	1.2 x 1.4

1.2.3 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터

DC-DC 컨버터는 DC(Direct Current) 전압을 다른 레벨의 DC 전압으로 변환하는 전자 회로이다. 정전 구동 방식의 MEMS 기기를 구동하기 위한 승압 DC-DC 컨버터는 그 동안 수십 년에 걸쳐서 연구되어 왔다. 그 동안 정전 구동 방식의 MEMS 기기는 공정 용이성, 작은 면적, 우수한 특성 등의 장점으로 다양한 MEMS 기기에서 구동원으로써 연구가 많이 이루어져 왔다. 하지만 정전 구동 방식의 MEMS 기기의 구동 전압은 일반적으로 수십 볼트이며 따라서 승압 DC-DC 컨버터와 같은 고전압을 발생하는 회로가 정전 구동 방식의 MEMS 기기 구동을 위해 필요하다. 승압용 DC-DC 컨버터는 대표적으로 전하펌프(charge pump) 방식과 부스트(boost) 방식으로 분류되며 장단점은 표1.6과 같다.

표 1.6 DC-DC 컨버터 승압 방식에 따른 장단점 비교

Type	효율 (%)	출력 (mW)	외부수동소자	크기
전하 펌프	Low (<90)	Low (0.01-10)	No	Small
부스트	High (>90)	High (1-1000)	Yes (inductor)	Large

부스트 방식은 효율과 출력이 높다는 장점이 있으나 외부 수동 소자로써 인덕터(inductor)를 필요로 하여 크기가 커진다는 것이 단점이다. 전하 펌프(charge pump) 방식은 효율과 출력이 상대적으로 낮으나 MEMS 기기 구동용으로 사용하기에는 충분하며 외부 수동 소자를 필요로 하지 않아서 CMOS 공정으로 소형화가 가능하다는 것이 장점이다[1.37]. 따라서 전하 펌프 방식의 CMOS DC-DC 컨버터가 제작이 가능하므로 정전 구동 방식의 MEMS 기기와 결합하기에 적합하며 이와 관련하여 진행된 연구는 표 1.7에 정리하였으며 자세한 사항은 다음과 같다[1.38-1.40].

DALSA Semiconductor에서는 0.8 μ m 공정 기술을 이용하여 두 가지 방식의 DC-DC 컨버터를 제작하였다. 승압 방식은 16단 구조에

적합한 Pelliconi 전하 펌프를 사용하였으며 5V 입력 전압을 20V 또는 50V로 승압한다. 클럭 주파수는 10MHz이며 출력 전압의 리플(ripple)은 400mV로 동일하다[1.38].

IMEC은 Dickson 전하 펌프를 단위 구조로 하여 0.7 μ m 공정 기술을 이용하여 DC-DC 컨버터를 제작하였다. 열두 단 구조는 5V 입력 전압을 32V로 승압한다. 클럭 주파수는 1.875MHz이다[1.39].

IHP(Innovations for High Performance)는 Dickson 전하 펌프를 단위 구조로 하여 0.25 μ m 공정 기술을 이용하여 부하 저항의 크기에 따라 세 가지 방식의 DC-DC 컨버터를 제작하였다. 모두 20개 단의 Dickson 전하 펌프로 구성되며 각각 2.75V, 3.25V, 4.25V 입력 전압을 모두 40V로 승압하며 모두 클럭 주파수는 20MHz이다. 출력 전압의 리플은 각각 3.67V, 2.67V, 1.34V로 다른 DC-DC 컨버터에 비하여 다소 큰 편이다[1.40].

지금까지 개발된 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터는 리플이 0.4V에서 3.67V로 크다. 또한 OFF시 MEMS 기기의 전하가 자연 방전되어야 하므로 시간이 다소 소요될 것으로 예상된다. 따라서 리플이 작고 OFF시 MEMS 기기 전하를 빠른 시간에 방전할 수 있는 기능을 가진 전하 펌프 개발이 필요하다.

표 1.7 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터 비교

	DALSA Semiconductor Inc. (2004) [1.38]		IMEC (2004) [1.39]	IHP (2013) [1.40]			Units
				250k Ω	1M Ω	5M Ω	
공정 기술	0.8	0.8	0.7	0.25	0.25	0.25	μm
입력 전압	5.0	5.0	5	4.25	3.25	2.75	V
출력 전압	20.0	50.0	32	40	40	40	V
단수	5	16	12	20	20	20	-
한 단의 승압 전압	3	2.8	2.25	1.79	1.84	1.86	V
클럭 주파수	10	10	1.875	~20(내부)	~20(내부)	~20(내부)	MHz
출력 전압의 리플	400	400	-	~3670	~2670	~1340	mV
출력 전류	25	50	-	-	-	-	μA
소모 전력	-	-	-	75 (+링 발진기)	27 (+링 발진기)	12 (+링 발진기)	mW
면적	30K	330K	11840K	300K(링 발진기, 3패드 포함)			μm^2

1.2.4 정전 구동 방식의 RF MEMS 스위치와 DC-DC 컨버터 이중 통합

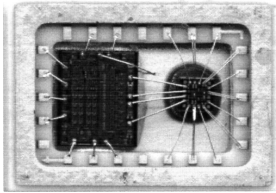
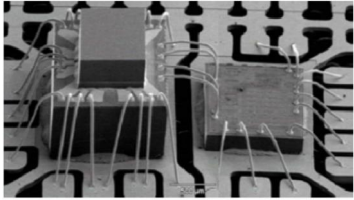
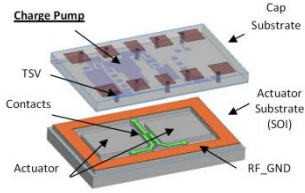
그 동안 진행된 정전 구동 방식의 RF MEMS 스위치와 집적화된 DC-DC 컨버터의 이중 통합에 대한 연구 결과를 표 1.8에 정리 하였다. Motorola, Analog Devices, OMRON에서 이중 통합 방법으로 RF MEMS 스위치와 승압 전하 펌프 방식의 DC-DC 컨버터를 통합하는 연구가 진행되었다. Motorola의 RF MEMS 스위치는 설계에 따라 30V에서 60V 전압에서 구동되었으며 면적은 패드를 제외하고 약 0.01mm^2 였다. CMOS DC-DC 컨버터는 전하 펌프 방식으로 2.66V에서 3V 전압을 입력 받아서 30V에서 60V 출력 전압을 발생하였다. Analog Devices의 RF MEMS 스위치는 SP4T(Single Pole Four Throw)이며 80V 전압에서 구동되었으며 면적은 패드를 제외하고 한 개 부분에 대하여 약 0.12mm^2 이며 DMOS(Double-diffused MOS) DC-DC 컨버터는 전하 펌프 방식으로 3V에서 5V의 전압을 입력 받아서 80V로 승압하였다. OMRON의 RF MEMS 스위치는 SPDT(Single Pole Double Throw)이며 구동 전압은 28V, 면적은 패키지 상태에서 스위치 한 개에 대하여 약 2mm^2 였다. 집적화된 DC-DC 컨버터는 전하 펌프 방식이며 2.5V에서 3.5V 전압을 입력 받아서 28V 출력 전압을 발생하였다[1.18-1.22].

Motorola와 OMRON 스위치의 경우 RF MEMS 스위치의 결합 전 특성이 결합 후 특성보다 우수하였다. Motorola RF MEMS 스위치는 금 또는 알루미늄을 이용한 와이어 본딩(wire bonding) 방식으로 결합하였으며 3GHz 이하 주파수에서, 결합 전의 삽입 손실은 0.3dB 이하, 신호 분리도는 50dB 이상이었고 결합 후의 삽입 손실은 1dB 이하, 신호 분리도는 25dB 이상이었다. 결합 후 삽입 손실은 0.7dB, 신호 분리도는 25dB 열화 되었다[1.18-1.19]. OMRON RF MEMS 스위치는 구리 TSV(Through Silicon Via)를 이용하여 결합하였으며 3GHz 이하 주파수에서, 결합 전의 삽입 손실은 0.18dB 이하, 신호 분리도는 32dB 이상이었고 결합 후의 삽입 손실은 0.25dB 이하, 신호 분리도는 30dB 이상이었다. 결합 후 삽입 손실은 0.07dB, 신호 분리도는 2dB 열화되었다[1.21-1.22].

앞선 연구 결과들을 통하여 재배선층과 결합 및 패키지 방식이 RF MEMS 스위치의 고주파 특성에 결정적인 영향을 주는 것을 확인하였다.

재배선층과 이중 칩을 결합하는 방법에는 플립칩 본딩, 와이어 본딩, TSV를 이용한 결합 방법이 있다. 와이어 본딩은 금, 알루미늄과 같은 금속 와이어로 패드와 패드 사이를 연결하는 방식으로 와이어 본딩 장비로 간편하게 연결할 수 있는 것이 장점이나 다른 본딩 방식에 비하여 배선 길이가 길어서 인덕터 성분이 크기 때문에 고주파에서는 적합하지 않다. TSV를 이용한 결합 방법은 구리와 같은 금속으로 기판을 관통하여 최단 거리로 패드와 패드 사이를 연결할 수 있고 웨이퍼 수준의 통합이 가능하며 풋프린트(foot print)를 줄일 수 있다는 것이 장점이나 웨이퍼 수준에서 실리콘 관통 공정, 관통 내부를 금속으로 빈틈 없이 채우는 공정, 웨이퍼 수준의 본딩하기 위한 공정 비용이 크다. 플립칩 본딩은 무연납 범프(solder bump)를 이용하여 패드와 패드 사이를 결합하는 방식으로 면적은 TSV보다 크고 와이어 본딩보다 작으며 패드와 패드 사이 배선의 거리는 TSV와 비슷하다는 것이 장점이다[1.41-43]. 따라서 재배선층과 플립칩 본딩을 이용한 이중 통합은 RF MEMS 스위치와 CMOS DC-DC 컨버터의 이중 통합에 적합할 것으로 예상된다.

표 1.8 집적 회로와 이중 통합한 정전 구동 방식의 RF MEMS 스위치 비교

	Motorola (2003) [1.18, 1.19]	Analog Devices(2011) [1.20]	OMRON (2013) [1.21, 1.22]
이미지			
RF 출력 수	1,2,4,6 (이미지는 4)	4	2
삽입 손실	< 1dB @ < 3GHz (<0.3dB 통합 전)	< 0.4dB @ < 6GHz	< 0.25dB @ < 3GHz (<0.18dB 통합 전)
신호 분리도	> 25dB @ < 3GHz (>50dB 통합 전)	> 25dB @ < 6GHz	> 30dB @ < 3GHz (>32dB 통합 전)
구동 전압	30-60V	80V	28V
스위치 크기(1개)	~0.01mm ² (pad 제외)	~0.12mm ² (pad 제외)	~2mm ² (패키지)
컨버터 공정	CMOS	DMOS(Double-diffused MOS)	- (IC, Silicon)
컨버터 타입	전하 펌프	전하 펌프	전하 펌프
컨버터 입력 전압	2.66-3V	3-5V	2.5-3.5V
컨버터 출력 전압	30-60V	80V	28V
회로 칩 크기	~8mm ² (칩, pad 포함)	~1.5mm ² (칩, pad 포함)	~2mm ² (패키지)
통합 방식	와이어 본딩	와이어 본딩	TSV

제 3 절 논문의 동기

MEMS는 초기에 소형화로 주목을 받았지만 최근에는 CMOS의 공정이 MEMS 공정보다 더욱 미세화되었고 MEMS를 넘어서 NEMS(Nanoelectromechanical Systems)가 연구, 개발 되고 있는 상황이다. 따라서 소형화는 더 이상 MEMS의 고유 영역이 아니라고 할 수 있으며 MEMS의 명맥을 지켜나가기 위해서는 CMOS나 NEMS보다 차별화된 우수한 특성을 구현해야 한다.

RF MEMS 스위치는 고주파 대역에서 CMOS와 같은 고체상태 기기보다 우수하기 때문에 많은 주목을 받아왔다. 그리고 NEMS 기술로 소형 RF NEMS 스위치를 구현한다면 신호와의 간격이 작아서 우수한 신호 분리도 특성을 보장할 수 없기 때문에 많은 주목을 받아왔다. 하지만 휴대용으로써 혹은 소비 전력을 줄이기 위하여 저전력 전자기기에 대한 수요가 증가하고 있는 상황에서 대부분의 RF MEMS 스위치의 구동 전압은 여전히 수십 볼트에 머물고 있는 상황이다. 게다가 이론적으로 정전 구동 방식의 RF MEMS 스위치는 소비 전력이 영에 가깝지만 스위치를 구동하기 위한 전압을 발생하기 위한 회로의 소비 전력을 고려해야 한다. 일반적으로 승압해야 하는 전압이 클수록 전압을 승압하는 회로에서의 소비 전력은 커지게 된다. 따라서 RF MEMS 스위치의 구동 전압은 가능한 낮아야 RF MEMS 스위치를 적용하고자 하는 시스템 전체의 소비 전력을 줄일 수 있다. RF MEMS 스위치를 구동하기 위한 DC-DC 컨버터는 리플이 작고 빠른 충전과 방전을 할 필요가 있다.

지금까지 RF MEMS 스위치 연구는 RF MEMS 스위치의 우수한 고주파 특성을 개선하는데 집중하였으며 구동 전압을 낮추더라도 휴대용 전자기기에 적용하기에는 높은 전압이었다. 사용자 입장에서 RF MEMS 스위치로 고체상태 기기를 대체하여 우수한 성능을 이용하기 위해서는 고체상태 기기 구동 전압 정도로 구동 전압이 낮아야 한다. 따라서 RF MEMS 스위치와 구동용 집적화된 DC-DC 컨버터를 결합한 솔루션을 사용자에게 제공한다면 사용자 입장에서는 낮은 전압으로 RF MEMS 스위치를 구동하는 효과가 있다.

정전 구동 방식 RF MEMS 기기와 집적화된 DC-DC 컨버터를 결합하는 방식으로 와이어 본딩과 TSV를 이용한 방법이 연구되었다. 와이어 본딩은 고주파에서 특성을 저해시키는 요인으로 작용할 수 있고

TSV는 고주파 특성이 우수하고 면적이 작으나 공정이 어렵다. 플립칩 본딩 방식은 공정이 용이하면서 고주파 특성도 우수하나 아직까지 관련된 RF MEMS 스위치와 DC-DC 컨버터를 결합하는 연구 결과가 보고되지 않았다.

지금까지의 연구 결과를 종합하면 새로운 방식의 저전압 구동하는 우수한 고주파 특성의 RF MEMS 스위치와 RF MEMS 스위치를 안정적으로 ON 또는 OFF 할 수 있는 DC-DC 컨버터 그리고 RF MEMS 스위치와 DC-DC 컨버터의 성능 변화를 최소화하면서 두 칩을 결합할 수 있는 기술에 대한 연구가 필요하다.

제 4 절 논문의 목적

본 논문에서는 6GHz 대역 휴대용 전자 통신기기에 적용 가능한 정전 구동 방식 RF MEMS 스위치의 성능 변화를 최소화하면서 재배선층을 이용하여 정전 구동 방식 RF MEMS 스위치 구동용 승압 DC-DC 컨버터와 이중 결합하는 것을 목표로 한다.

사용자 입장에서 저전압 입력으로 RF MEMS 스위치를 구동할 수 있도록 승압 DC-DC 컨버터와 RF MEMS 스위치를 결합하여 휴대용 전자 통신 기기의 제공 전압과 RF MEMS 스위치 구동 전압 사이의 전압 차이를 보상한다. 플립칩 본딩 방식을 이용한 이중 통합 방법으로 RF MEMS 스위치와 DC-DC 컨버터 결합 후 RF MEMS 스위치의 특성을 예측하고 개선한다. 그리고 우수한 고주파 특성의 재배선층 구조를 제안한다. 이를 위하여 다양한 재배선층 기판의 종류와 구조 그리고 전송선로 타입과 물질 후보 군을 선정하고 이에 따른 RF MEMS 스위치의 이중 통합 후 결합 특성에 대하여 연구하고 분석한다. 칩의 성능 변동 폭을 최소화하고 재현성을 확보하기 위하여 상용 칩을 연구에 이용한다. 재배선층과 RF MEMS 스위치의 RLC 집중 소자 모델링과 시뮬레이션을 통한 통합 시 특성을 예측 및 분석을 진행한다. 그리고 제작 및 측정을 통하여 재배선층과 플립칩 결합에 의한 RF MEMS 스위치의 고주파 특성을 확인하고 변화 원인에 대하여 분석한다. 이중 통합 후 컨버터의 클럭 리플이 RF MEMS 스위치의 고주파 특성에 대한 영향을 확인하고 분석한다.

상용 칩으로 검증한 방법을 본 연구실에서 제작된 낮은 구동 전압의 우수한 신호 분리도의 RF MEMS 스위치와 CMOS DC-DC 컨버터의 이중 통합에 적용할 경우 고주파 특성을 예측한다. 그림 1.1은 최종

목표로 하는 RF MEMS 스위치와 CMOS DC-DC 컨버터를 통합한 모식도이다.

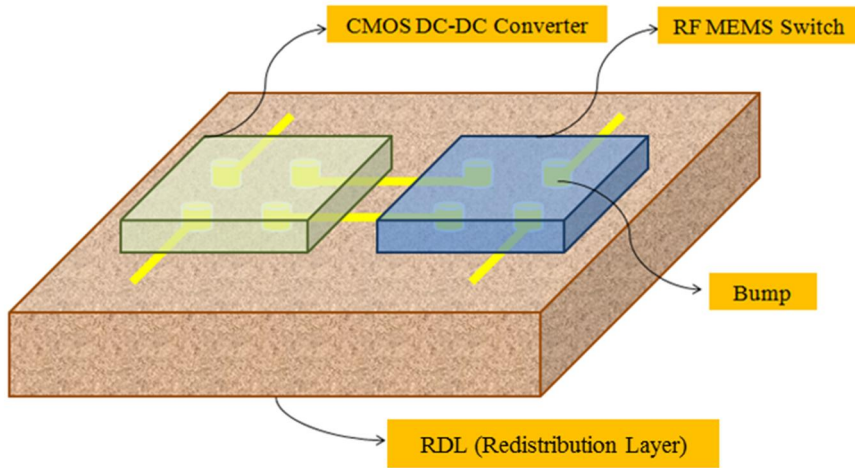


그림 1.1 RF MEMS 스위치와 CMOS DC-DC 컨버터를 통합한 모식도

제 5 절 논문의 구성

본 논문은 재배선층을 이용한 RF MEMS 스위치와 CMOS DC-DC 컨버터의 이종 통합에 관한 연구를 다룬다. 상용 칩을 이용한 RF MEMS 스위치와 컨버터의 이종 통합에 대한 모델링과 시뮬레이션 및 제작한 결과를 다룬다. 그리고 동일한 모델링과 시뮬레이션을 본 연구실에서 제작된 스위치와 컨버터에 대하여 실시한 결과를 다룬다.

2장에서는 RF MEMS 스위치와 CMOS DC-DC 컨버터 신호를 연결할 재배선층의 기관 유전상수와 전송 선로 방식에 따른 신호 분리도 특성 변화, 배선 금속 물질 변화에 따른 삽입 손실 변화, 임피던스(impedance) 매칭에 따른 반사 손실 변화를 시뮬레이션을 통하여 예측한다 더 나아가 MEMS 미세 공정을 이용한 식각을 통한 고주파 특성 개선 방법을 제안하고 시뮬레이션으로 검증한다.

3장에서는 본 연구실에서 제작된 낮은 구동 전압의 우수한 신호 분리도의 RF MEMS 스위치와 CMOS DC-DC 컨버터를 소개하고 두 칩의 이종 통합에 대한 모델링과 시뮬레이션 결과를 다룬다. 이종 칩에 적합한 재배선층을 설계하고 제안한 RF MEMS 스위치 모델링 결과로 이종 통합 후 고주파 특성 변화를 예상하고 분석한다.

4장에서는 다양한 이중 통합을 검증할 상용 칩을 선정하고 모델링 및 시뮬레이션으로 특성을 검증한다. 선정한 칩에 적합한 재배선층을 설계하고 이중 통합 후 고주파 특성을 시뮬레이션으로 예측한다. 기판과 전송 선로 조합을 통한 이중 통합 후 고주파 특성을 연구한다. 상용 PCB 공정을 고려하여 듀로이드 기판과 GCPW(grounded coplanar waveguide) 전송 선로 조합의 재배선층과 FR4 기판과 CPW(coplanar waveguide) 전송 선로 조합의 재배선층을 비교한다. 기판 구조 변경을 통한 이중 통합 후 고주파 특성을 연구한다. MEMS 미세 공정을 고려하여 실리콘 기판에 실리콘 산화막(SiO_2) 증착과 트렌치 구조를 형성한 재배선층과 산화막 증착한 실리콘 기판의 재배선층을 비교한다.

5장에서는 4장에서 설계한 네 종류의 이중 통합 재배선층에 대한 상용 PCB 공정과 MEMS 미세 공정을 소개하고 제작 결과와 측정에 대한 분석을 진행한다. 재배선층의 제작 과정에서 발생할 수 있는 오차를 확인하여 시뮬레이션 결과와 제작 결과의 차이점을 분석하고 고주파 특성 변화에 미치는 영향을 분석한다.

6장에서는 본 논문의 결과를 정리하고 결론 맺는다.

제 2 장 이중 통합을 위한 재배선층 특성 연구

제 1 절 기판과 전송 선로 선정

재배선층은 칩의 입출력 신호와 칩간 신호를 전기적으로 연결한다. 재배선층에 의한 신호의 손실과 신호 간의 간섭을 줄이기 위해서는 기판의 종류, 전송 선로의 타입 선정은 중요하다. 기판은 전송 신호의 손실 원인이나 신호 간섭의 매개체로 작용한다. 기판의 유전상수와 두께 그리고 전송 선로 타입에 따라 손실이나 간섭의 특성은 변할 것으로 예상된다. 따라서 기판의 종류와 전송 선로의 타입에 따른 신호 분리도 특성을 확인하기 위해 기판은 재배선층으로 많이 이용되는 FR4, 듀로이드(Duroid 5880)와 MEMS 공정이 가능한 고저항 실리콘을 선정하였다. 전송 선로의 타입은 일반적으로 사용되는 CPW 그리고 CPW와 마이크로스트립 선로(microstrip line)의 결합 형태인 GCPW를 선정하였다. 신호 분리도 특성 검증은 ANSYS HFSS 프로그램(ANSYS Inc., Canonsburg, PA, USA)을 이용하였다. 그림 2.1은 HFSS 시뮬레이션에 이용한 모델이며 물성 및 수치는 표 2.1에 정리하였다.

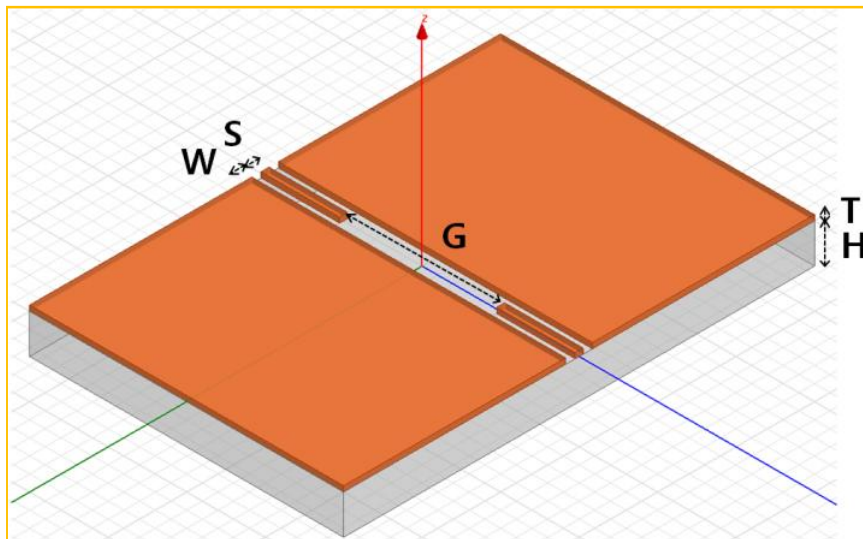


그림 2.1 재배선층 특성 검증을 위한 HFSS 시뮬레이션 모델(신호선이 분리된 경우)

표 2.1 재배선층 시뮬레이션에 사용한 물성 및 수치

	Value
Transmission line	
G, Signal Gap (μm)	1000
S, Signal Width (μm)	50
T, Metal Thickness (μm)	35
Substrate Area (mm^2)	3×2
Sweep Parameters	
H, Substrate Height (μm)	<u>250</u> , 500, 750, 1000, <u>1600</u>
Dielectric Constant	
(Duroid 5880)	2.2
(FR4)	4.4
(Silicon)	11.9
Conductivity (S/m)	
(Silver, Ag)	61×10^6
(Copper, Cu)	58×10^6
(Gold, Au)	41×10^6
(Nickel, Ni)	15×10^6
W, Signal to Ground Gap (μm)	4–37, (step: 3)

기판의 두께는 실리콘, FR4, 듀로이드의 두께를 고려하여 250 μm 부터 1600 μm 까지 변화하였다. 전송 선로 금속은 구리로 고정하였으며 목표 대역의 최대 주파수인 6GHz에서의 신호 분리도 특성을 그림 2.2에 그래프로 정리하였다. 전송 선로의 신호선폭은 50 μm 이며 신호선과 접지 사이의 간격은 듀로이드 기판의 경우 19 μm , FR4 기판의 경우 26 μm , 실리콘 기판의 경우 60 μm 로 하여 50옴 임피던스 매칭을 하였다. 신호선의 폭이 수 백 μm 면 50옴 임피던스 매칭을 위하여 신호선과 접지 사이의 간격을 기판의 두께 변화에 따라 변경해 주어야 하기 때문에 신호선 폭은 50 μm 로 정하였다.

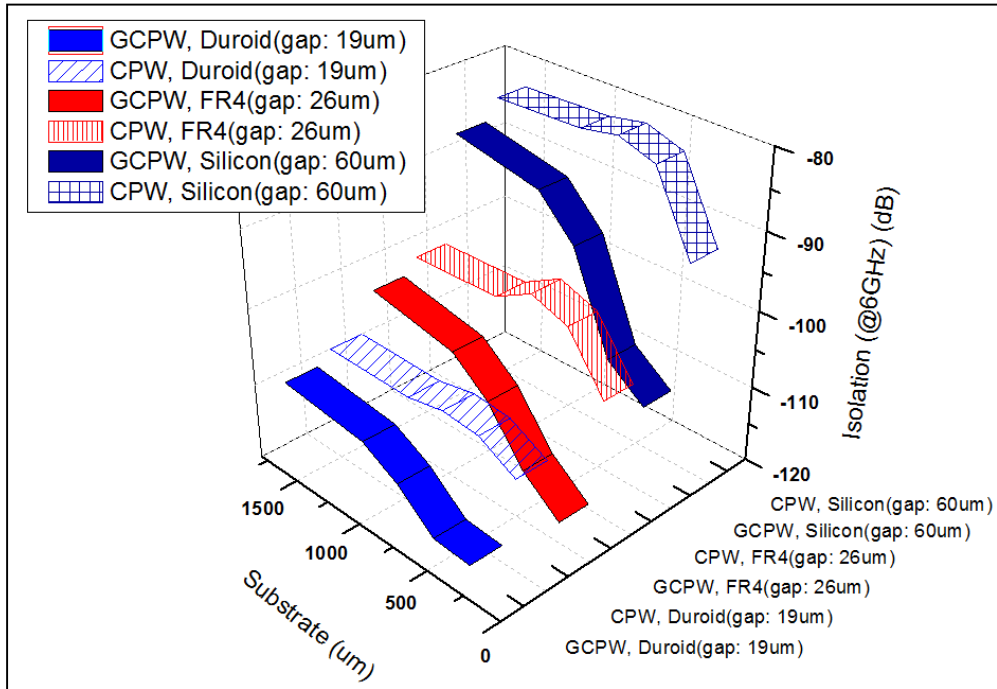


그림 2.2 재배선층의 기판과 전송 선로 타입에 따른 신호 분리도 특성

동일한 기판 종류에 대하여 기판의 두께가 얇을수록, GCPW의 신호 분리도가 CPW의 신호 분리도보다 우수하나 기판의 두께가 두꺼워질수록 GCPW의 신호 분리도와 CPW의 신호 분리도는 유사해지는 특성을 보였다. 기판의 두께가 얇을 경우 GCPW 밑면의 그라운드의 영향이 크지만 기판의 두께가 두꺼워질수록 밑면의 그라운드 영향이 줄어들어서 1600 μm 두께에서는 GCPW의 신호 분리도는 CPW의 신호 분리도와 유사하다. 그림 2.3은 재배선층의 분리된 전송 선로의 RLC 집중 소자(lumped element) 모델링 결과이다.

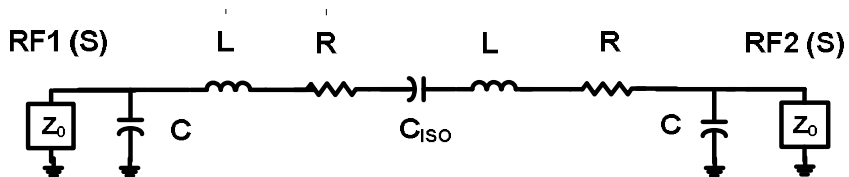


그림 2.3 재배선층의 분리된 전송 선로의 RLC 집중 소자 모델

RLC 집중 소자 모델은 ABCD 행렬(matrix)로 표현할 수 있으며 ABCD 행렬로 신호 분리도를 표현할 수 있다[2.1].

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} 1 & 0 \\ j\omega C & 1 \end{pmatrix} \begin{pmatrix} 1 & 2R + j\omega 2L + \frac{1}{j\omega C_{ISO}} \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ j\omega C & 1 \end{pmatrix} \quad (2.1)$$

ABCD 행렬은 $1 \ll \left| j\omega C \left(2R + j\omega 2L + \frac{1}{j\omega C_{ISO}} \right) \right|$ 와 $|2R + j\omega 2L| \ll \left| \frac{1}{j\omega C_{ISO}} \right|$ 조건에서 다음과 같은 수식으로 표현할 수 있다 ($R: 10^{-1}\Omega$, $L: 10^{-10}\text{H}$, $C_{ISO}: 10^{-15}\text{F}$, $C: 10^{-14}\text{F}$, $\omega: < 10^{10}\text{rad/sec}$).

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \frac{1}{j\omega C_{ISO}} \begin{pmatrix} j\omega C & 1 \\ -\omega^2 C^2 & j\omega C \end{pmatrix} \quad (2.2)$$

신호 분리도를 ABCD 행렬로 나타내면 다음과 같다.

$$S_{21} = \frac{2}{A + \frac{B}{Z_0} + CZ_0 + D} \quad (2.3)$$

RLC 집중 소자의 수치를 고려하여 신호 분리도는 다음 수식으로 정리할 수 있다.

$$S_{21} = 2j\omega Z_0 C_{ISO} \quad (2.4)$$

R 은 전송 선로의 저항, L 은 전송 선로의 인덕턴스, C 는 전송 선로와 접지 사이의 커패시턴스, C_{ISO} 는 분리된 전송 선로 사이의 커패시턴스, Z_0 는 입출력 포트의 임피던스이다. 분리된 전송 선로 사이의 커패시턴스가 작을수록 신호 분리도 특성이 우수한 것을 알 수 있다. 전송 선로 사이의 fringing 커패시턴스를 포함한 총 커패시턴스는 기판의 두께가 얇을수록, 기판의 유전상수가 작을수록, GCPW의 경우가 CPW의 경우보다 작다.

분리된 전송 선로에서 한쪽 신호선에 인가된 신호가 기판을 통과하여 반대편 분리된 신호선에 전달되는 fringing 커패시턴스 성분을 확인하기 위해 기판 두께, 기판 유전상수, 전송 선로 변경에 따른 기판의 전기장 변화를 HFSS 프로그램을 이용하여 확인해 보았다. 시뮬레이션 결과는 그림 2.4, 그림 2.5, 그림 2.6과 같으며 기판 우측의 신호선에 고주파 신호가 인가되면 기판에 발생하는 전기장을 나타내었다. 각 그림의 좌측은 위에서 본(top view) 전기장이며 각 그림의 우측은 기판의 수직 단면(cross section)에서 본 전기장이다.

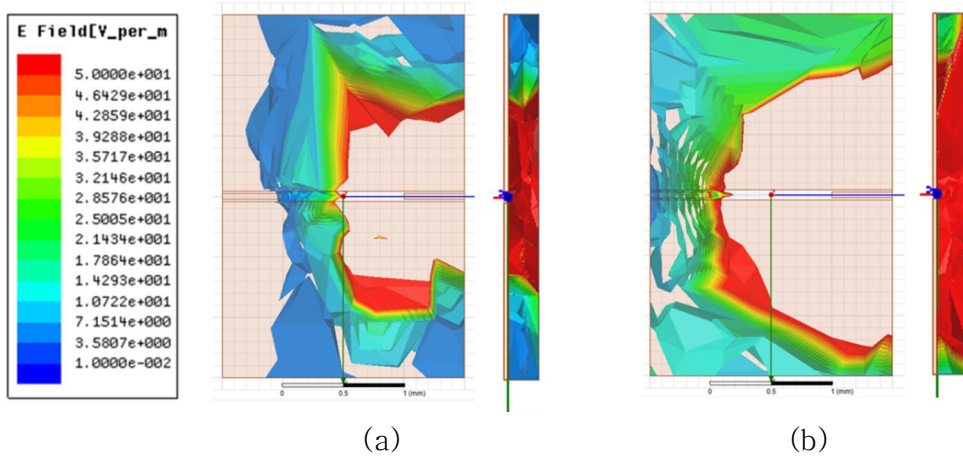


그림 2.4 254 μm 두께의 듀로이드 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW

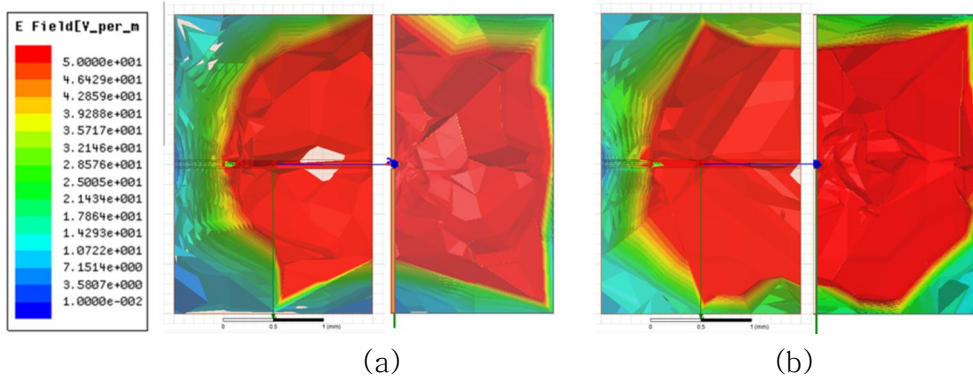


그림 2.5 1600 μm 두께의 듀로이드 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW

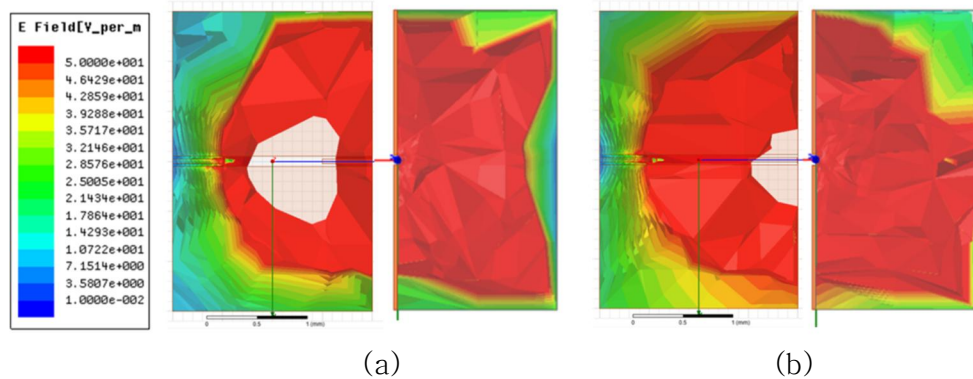


그림 2.6 1600 μm 두께의 FR4 기판 재배선층의 전기장 시뮬레이션 결과 (a) GCPW (b) CPW

254 μm 두께의 얇은 듀로이드 기판의 GCPW 전송 선로에서는 약한 전기장이 좌측 분리된 신호선에 전달되는 것을 그림 2.4(a)에서 확인할 수 있는 반면에 CPW 전송 선로에서는 강한 전기장이 좌측 분리된 신호선에 전달되는 것을 그림 2.4(b)에서 확인할 수 있다. 1600 μm 두께의 두꺼운 듀로이드 기판에서는 그림 2.5(a)의 GCPW 전송 선로 기판과 그림 2.5(b)의 CPW 전송 선로 기판의 경우 모두 기판을 통해 분리된 반대편 신호선까지 전달되는 신호가 비슷한 것을 전기장의 세기로 확인할 수 있다. 1600 μm 두께의 두꺼운 FR4 기판에서는 그림 2.5의 동일 두께의 듀로이드 기판의 경우보다 더 강한 전기장의 세기를 보이며 기판의 더 깊은 깊이까지 신호가 전달되는 것을 그림 2.6의 시뮬레이션 결과에서 확인할 수 있다. 시뮬레이션 결과를 종합하면 재배선층을 이용한 이중 통합 시에 GCPW 전송 선로와 유전상수가 작고 얇은 두께의 듀로이드 기판을 재배선층으로 사용한다면 우수한 신호 분리도 특성을 보일 것임을 예상할 수 있다.

제 2 절 배선 금속 선정

재배선층의 전송 선로의 금속 물질에 따라서 전송되는 신호의 손실에 변화가 있을 것이며 금속의 전기 전도도가 높을수록 저항이 작기 때문에 삽입 손실은 감소할 것으로 예상된다. 재배선층의 연결된 전송 선로는 그림 2.7과 같이 RLC 집중 소자로 모델링 할 수 있다.

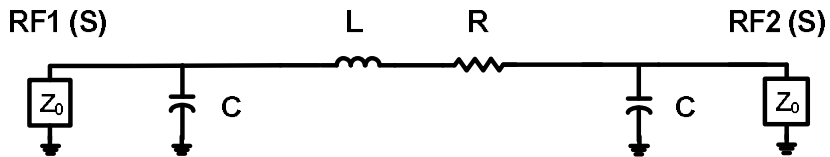


그림 2.7 재배선층의 연결된 전송 선로의 RLC 집중 소자 모델

삽입 손실은 $|j\omega C(R + j\omega L)| \ll 1$ 조건에서 다음과 같은 수식으로 표현할 수 있다[2.1] ($R: 10^{-1}\Omega$, $L: 10^{-10}\text{H}$, $C: 10^{-14}\text{F}$, $\omega: < 10^{10}\text{rad/sec}$).

$$S_{21} = \frac{2}{\left(2 + \frac{R}{Z_0}\right) + j\omega Z_0 \left(2C + \frac{L}{Z_0^2}\right)} \quad (2.5)$$

R 은 전송 선로의 저항, L 은 전송 선로의 인덕턴스, C 는 전송 선로와 접지 사이의 커패시턴스, Z_0 는 입출력 포트의 임피던스이다. 전송 선로의 저항, 인덕턴스, 커패시턴스가 클수록 삽입 손실이 커지는 것을 알 수 있다. 고주파에서 전송 선로의 저항은 skin depth를 고려하여 다음과 같은 수식으로 표현할 수 있다[2.2].

$$R = R_{DC} + R_{AC} = \frac{L}{ts\sigma} + \frac{L}{t\delta\sigma} \quad (2.6)$$

R_{DC} 은 직류(DC, Direct Current) 저항, R_{AC} 은 교류(AC, Alternating Current) 저항, δ 는 skin depth, σ 는 금속의 전도도, L 은 CPW 전송 선로의 길이, s 는 전송 선로의 폭, t 는 전송 선로의 두께이다.

고주파 신호는 금속의 표면을 통과하는 특성이 있으며 그 깊이를 skin depth라 하며 다음 수식으로 표현된다.

$$\delta = \sqrt{\frac{2}{\sigma\omega\mu}} \quad (2.7)$$

δ 는 skin depth, σ 는 금속의 전도도, ω 는 각주파수, μ 는 투자율이다. 전송 선로의 직류 저항은 금속 전도도에 반비례하고 교류 저항은 금속 전도도의 제곱근에 반비례 하므로 금속의 전도도가 증가할수록 전송 선로의 저항은 감소하고 삽입 손실이 감소할 것임을 예상할 수 있다.

그림 2.8은 목표 대역의 최대 주파수 6GHz에서 삽입 손실 특성을 HFSS 프로그램을 이용하여 시뮬레이션 진행한 결과이다. 시뮬레이션에는 제 2장 제 1절에서 우수한 신호 분리도 특성을 보인 GCPW 전송 선로와 유전상수가 작은 듀로이드 기판을 이용하였다. 전기 전도도는 은, 구리, 금, 니켈 순으로 크며 시뮬레이션 모델의 자세한 수치는 표 2.1에 정리하였다.

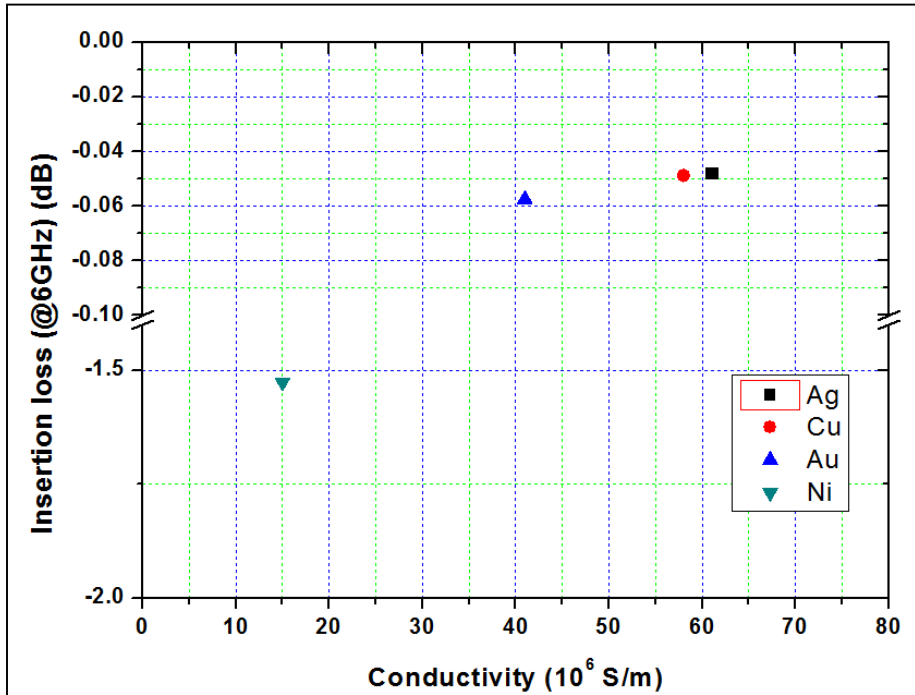


그림 2.8 전송 선로의 금속 물질의 전기 전도도 변화에 따른 삽입 손실 특성

예상과 동일하게 금속 전기 전도도가 높을수록 삽입 손실 특성이 우수한 것을 그림 2.8의 시뮬레이션 결과에서 확인할 수 있다. 은과 구리는 전기 전도도 특성이 유사하고 삽입 손실 특성도 유사하지만 비용 면에서 구리가 더 실용적이라서 많이 사용되고 있다. 금은 구리와 유사한 삽입 손실 특성을 보이며 오랜 시간 동안 변하지 않는 특성으로 인하여 구리의 산화 방지막으로 사용되고 있다.

제 3 절 임피던스 매칭

고주파 신호의 반사 손실은 두 전송 선로 경계면에서의 임피던스 차이에 의해 발생한다. 외부의 임피던스가 50옴일 경우 재배선층 경계면의 임피던스도 50옴이어야 반사 손실을 최소화할 수 있다. 그림 2.7과 같은 재배선층의 연결된 전송 선로의 반사 손실은 $|j\omega C(R + j\omega L)| \ll 1$ 조건에서 다음과 같은 수식으로 표현할 수 있다 ($R: 10^{-1}\Omega$, $L: 10^{-10}\text{H}$, $C: 10^{-14}\text{F}$, $\omega: < 10^{10}\text{rad/sec}$).

$$S_{11} = \frac{\frac{R}{Z_0} - j\omega Z_0 \left(2C - \frac{L}{Z_0^2}\right)}{\left(2 + \frac{R}{Z_0}\right) + j\omega Z_0 \left(2C + \frac{L}{Z_0^2}\right)} \quad (2.8)$$

R 은 전송 선로의 저항, L 은 전송 선로의 인덕턴스, C 는 전송 선로와 접지 사이의 커패시턴스, Z_0 는 입출력 포트의 임피던스이다. 허수부가 0이 되는 조건에서 즉, 전송 선로의 임피던스가 입출력 포트의 임피던스와 매칭되는 조건에서 반사 손실이 작아짐을 알 수 있다[2.1]. HFSS 시뮬레이션 프로그램으로 재배선층의 임피던스를 신호의 폭, S , 는 $50\mu\text{m}$ 로 고정하고 신호선과 접지선 사이 간격, W , 를 $4\mu\text{m}$ 에서 $37\mu\text{m}$ 까지 $3\mu\text{m}$ 간격으로 변화 시키면서 임피던스 변화에 따른 반사 손실 특성을 확인하였다. 시뮬레이션 모델의 자세한 수치는 표 2.1과 같으며 제 2장 제 1절에서 우수한 신호 분리도 특성을 보인 GCPW 전송 선로와 유전상수가 작은 듀로이드 기판, 그리고 제 2장 제 2절에서 선정된 구리 금속을 전송 선로 금속 물질로 이용하였다.

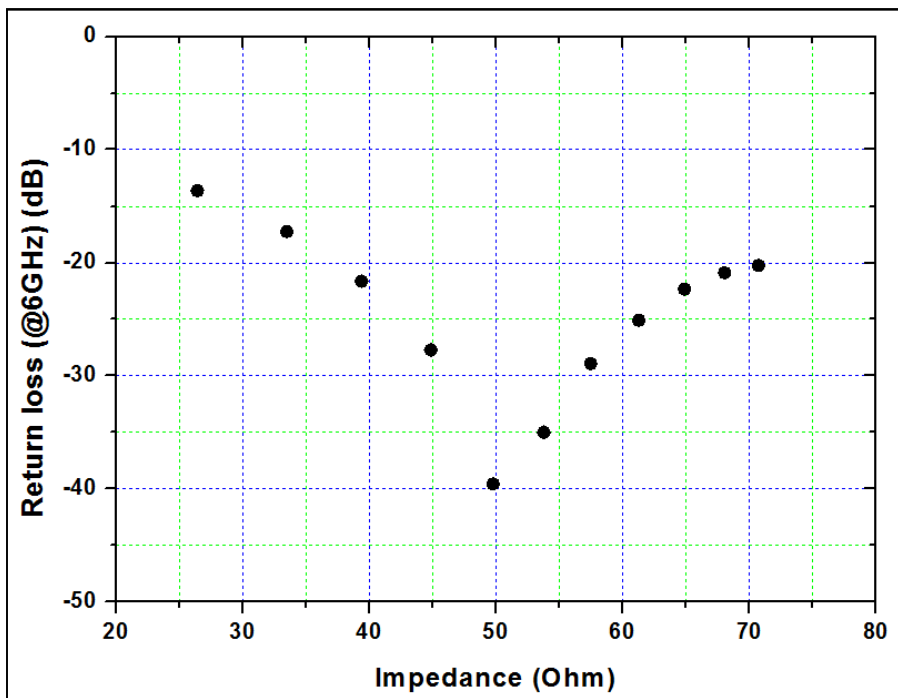


그림 2.9 임피던스 변화에 따른 반사 손실 특성

예상과 동일하게 포트의 임피던스가 50옴일 경우에는 재배선층의 임피던스도 50옴으로 임피던스 매칭이 이루어져야 반사 손실 특성이 가장 우수한 것을 그림 2.9 시뮬레이션 결과를 통해 확인할 수 있었다.

제 4 절 기판 식각을 통한 고주파 특성 개선

그동안 전송 선로의 고주파 특성을 개선하기 위해 많은 연구가 이루어져왔다. 유전상수가 작은 기판을 사용하여 기판으로의 손실을 줄일 수 있으나 기판을 변경하기 어려운 경우에는 기판에서 전송 선로를 띄우거나 기판을 식각하는 방법으로 기판의 손실을 줄일 수 있다[2.3-2.7]. 전송 선로를 띄우는 경우는 배선이 길어지면 안정성 측면에서 실용성이 떨어지므로 기판을 식각하는 방법이 현실적이다. 신호선 주변을 식각하면 기판의 영향을 줄일 수 있으며 고주파 특성을 개선할 수 있다[2.4-2.7]. 듀로이드 기판 재질은 PTFE (Polytetrafluoroethylene)이며 FR4 기판 재질은 글라스 에폭시로 두 기판 모두 식각이 어렵지만 실리콘 기판은 식각이 가능하다. 따라서 실리콘 기판에 대하여 $1\mu\text{m}$ 두께의 실리콘 산화막 유무에 따른, 신호선과 접지선 사이의 실리콘을 $0\mu\text{m}$ 에서 $20\mu\text{m}$ 두께까지 $10\mu\text{m}$ 단위로 식각한 트렌치(trench) 구조에 따른, 고주파 특성 변화를 HFSS 시뮬레이션을 통하여 확인해 보았다. HFSS 시뮬레이션 모델은 그림 2.10과 같으며 표 2.2에 시뮬레이션에 사용한 물성과 수치를 정리하였다.

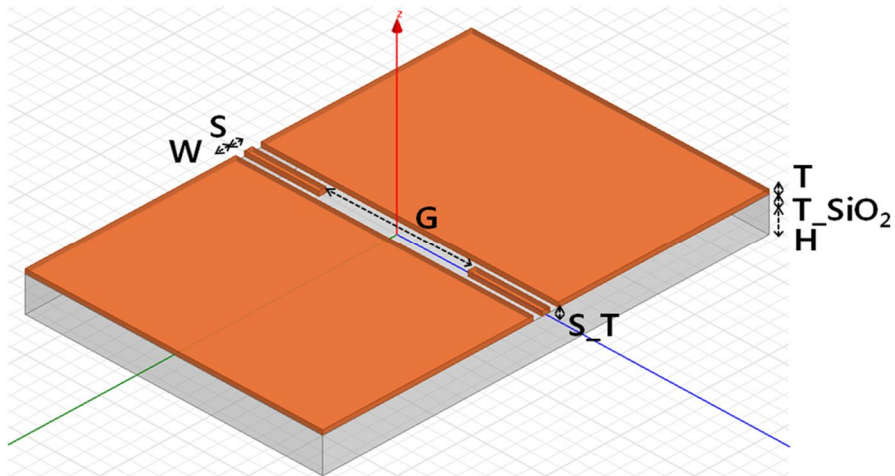


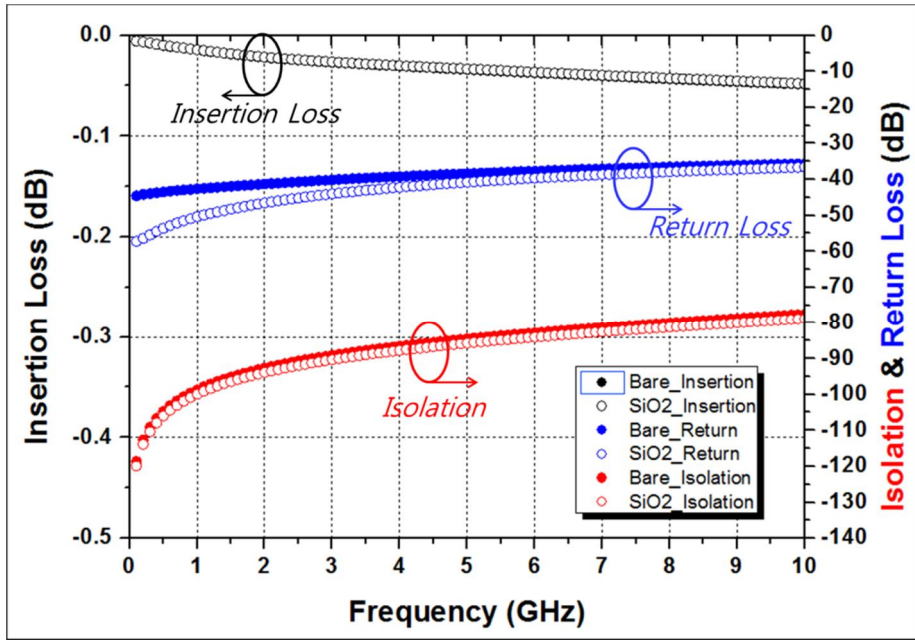
그림 2.10 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 특성 검증을 위한 HFSS 시뮬레이션 모델 (신호선이 분리된 경우)

표 2.2 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 시뮬레이션에 사용한 물성 및 수치

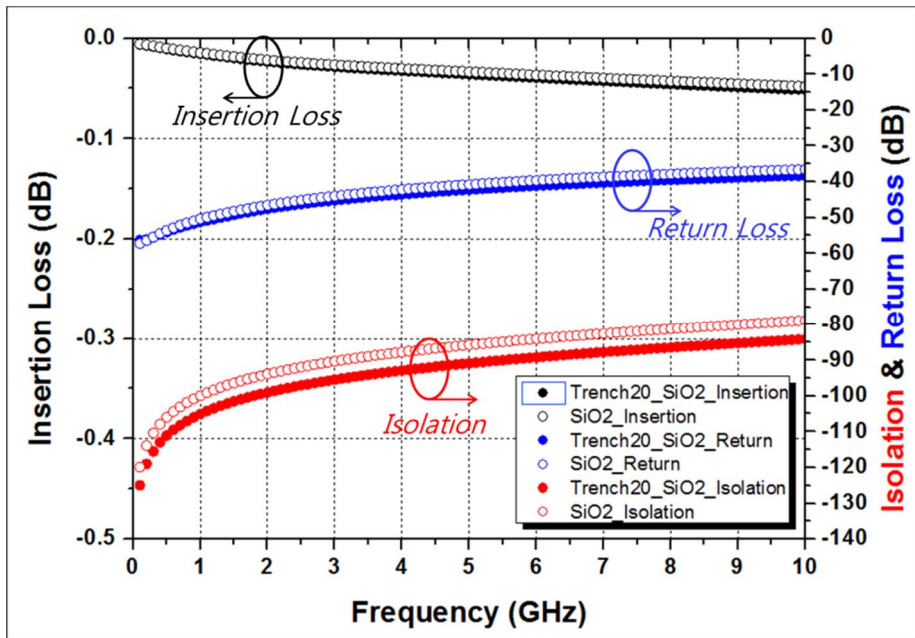
	Value
Transmission line	
G, Signal Gap (μm)	1000
S, Signal Width (μm)	50
T, Metal Thickness (μm)	35
Substrate Area (mm^2)	3×2
H, Substrate Height (μm)	500
Dielectric Constant	11.9
Conductivity (S/m)	58×10^6
Permittivity, ϵ_0 (F/m)	8.85×10^{-12}
Permeability, μ (H/m)	1.26×10^{-6}
Sweep Parameters	
W, Signal to Ground Gap (μm)	65, 60, 48.2, 41.04
T_SiO ₂ , SiO ₂ Thickness (μm)	0, 1
S_T, Silicon Trench (μm)	0, 10, 20

전송 선로의 특성 임피던스(characteristic impedance)를 50옴으로 유지하기 위하여 실리콘 산화막 증착 이전의 트렌치 형성 이전의 bare 실리콘 기판 구조에서 신호선과 접지선 사이 간격을 $65\mu\text{m}$ 로 하였다. 실리콘 산화막 $1\mu\text{m}$ 증착 이후 트렌치 깊이 $0\mu\text{m}$, $10\mu\text{m}$, $20\mu\text{m}$ 각각에 대하여 신호와 접지 사이 간격을 $60\mu\text{m}$, $48.2\mu\text{m}$, $41.04\mu\text{m}$ 로 형성하였다.

실리콘 기판 위에 실리콘 산화막을 $1\mu\text{m}$ 두께로 하여 특성이 개선되는 것과 실리콘 산화막이 증착된 상태에서 실리콘 트렌치 구조를 형성하여 트렌치 구조에 의하여 특성이 개선되는 것을 확인하였다. HFSS 고주파 시뮬레이션 결과를 그림 2.11에 그래프로 표현하였으며 6GHz에서의 HFSS 시뮬레이션 결과와 RLC 집중 소자 모델의 ADS 시뮬레이션 결과를 표 2.3에 정리하였다.



(a)



(b)

그림 2.11 실리콘 기판의 실리콘 산화막, 트렌치 구조의 HFSS 시뮬레이션 결과 (a) 실리콘 산화막 증착 전후 비교 (b) 실리콘 산화막 1 μm 증착 조건에서 20 μm 트렌치 형성 전후 비교

표 2.3 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 HFSS와 RLC 집중 소자 모델의 ADS 시뮬레이션 결과 @ 6GHz

SiO ₂ (μm)	Trench (μm)	Gap (μm)	HFSS			ADS (RLC lumped element model)		
			Return loss (dB)	Insertion loss (dB)	Isolation (dB)	Return loss (dB)	Insertion loss (dB)	Isolation (dB)
0	0	65	37.69	0.04	82.81	37.67	0.04	82.82
1	0	60	39.63	0.04	84.05	39.73	0.04	84.07
1	10	48.2	40.05	0.04	87.21	40.08	0.04	87.19
1	20	41.04	41.13	0.04	89.24	41.13	0.04	89.20

실리콘 산화막의 유전상수는 실리콘의 유전상수의 약 1/3이므로 실리콘 기판 위에 실리콘 산화막을 증착함으로써 전송 선로에 대한 기판의 영향이 감소한다. 실리콘 산화막에 의하여 반사 손실은 목표 대역의 최대 주파수 6GHz에서 37.67dB에서 39.73dB로 약 2.06dB 개선되고 신호 분리도는 82.82dB에서 84.07dB로 약 1.25dB 개선되는 것을 확인하였다. 삽입 손실 특성은 실리콘 산화막 증착 전후 유사하였다.

기판에 트렌치를 형성하면 전송 선로 주변의 기판이 전송 선로에서 멀어지게 되며 이는 기판으로의 fringing 커패시터 성분을 감소하는 효과가 있다. 20 μm 깊이 트렌치에 의하여 목표 대역의 최대 주파수 6GHz에서 반사 손실은 39.73dB에서 41.13dB로 약 1.4dB 개선되고, 신호 분리도는 84.07dB에서 89.20dB로 약 5.13dB 개선되는 것을 확인하였다. 삽입 손실 특성은 트렌치 형성 전후 유사하였다.

모델링에는 ADS 프로그램(Keysight Technologies Inc. Santa Rosa, CA USA)을 이용하였다. 스위치의 삽입 손실, 반사 손실, 신호 분리도 특성과 RLC 집중 소자 모델링의 삽입 손실, 반사 손실, 신호 분리도 특성이 일치할 때까지 집중 소자 값을 반복적으로 찾아낸다[2.8-2.10]. 그림 2.12은 신호선이 온전한 경우, ON 상태의 RLC 집중 소자 모델링 결과이며 표 2.4에 집중 소자 각각의 수치를 정리하였다.

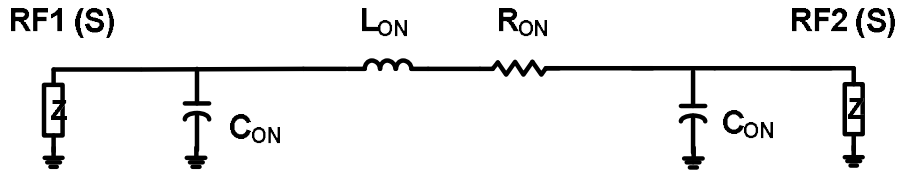


그림 2.12 신호선이 온전한 경우, ON 상태의 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 RLC 집중 소자 모델

표 2.4 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 RLC 집중 소자 모델의 성분값, 신호선이 온전한 경우, ON 상태

SiO ₂ (μm)	Trench (μm)	Gap (μm)	R _{ON} (m Ω)	L _{ON} (pH)	C _{ON} (fF)
0	0	65	418.31	67.82	20.19
1	0	60	418.31	66.34	18.31
1	10	48.2	418.31	65.47	17.90
1	20	41.04	418.31	64.10	16.95

신호선이 온전하게 연결된 경우, 신호선의 저항과 인덕턴스 성분은 각각 R_{ON}과 L_{ON}으로 표현하였으며 신호선과 접지선 사이의 커패시턴스 성분은 C_{ON}으로 표현하였다. 식 (2.7)에 의하여 그림 2.10의 시뮬레이션 상의 skin depth를 구하면 6GHz에서 약 0.85 μm 이다. CPW 전송선로에서 신호는 신호선과 접지 사이 양단으로 통과하기 때문에 신호선 두께의 두 배에 해당하는 폭과 skin depth 깊이에 해당하는 면적으로 신호가 지나간다. 식 (2.6)에 의하여 그림 2.12의 R_{ON}을 계산하면 6GHz에서 약 598m Ω 이다. RLC 집중 소자 모델링 결과, 신호선의 저항은 약 418m Ω 으로 수식으로 계산한 저항 값과 유사하지만 작은 수치이다.

수식으로 계산한 저항 값이 모델링 저항 값보다 큰 이유는 수식 계산에서 고려한 skin depth는 약 63.6%의 전류 밀도에 해당하는 성분만을 고려하였기 때문이다. 실제 전류는 skin depth보다 두꺼운 두께에서도 전류가 흐를 것이므로 실제 전류가 흐르는 면적은 계산에서의 면적보다 크며 따라서 실제 저항은 계산 값보다 더 작을 것임을 알 수 있다. HFSS 시뮬레이션 결과로 RLC 집중 소자를

피팅(fitting)하고 HFSS 시뮬레이션의 모델에는 실제 구조와 수치가 반영되어 있으므로 신호가 전송 선로를 통하여 전달되는 실제 면적이 반영된다.

신호선과 접지선 사이의 간격은 실리콘 산화막이 올라갈수록, 트렌치가 깊어질수록 좁아진다. 이에 따라서 신호선과 접지선 사이의 평판 커패시터 성분(C_{Cal})은 점점 커지게 된다. 집중 소자 모델의 C_{ON} 은 신호선과 접지선 사이의 평판 커패시터 성분(C_{Cal})뿐만 아니라 fringing 성분($C_{fringing}$)을 포함하고 있기 때문에 C_{ON} 은 다음과 수식으로 나타낼 수 있으며 자세한 수치는 표 2.5와 같다.

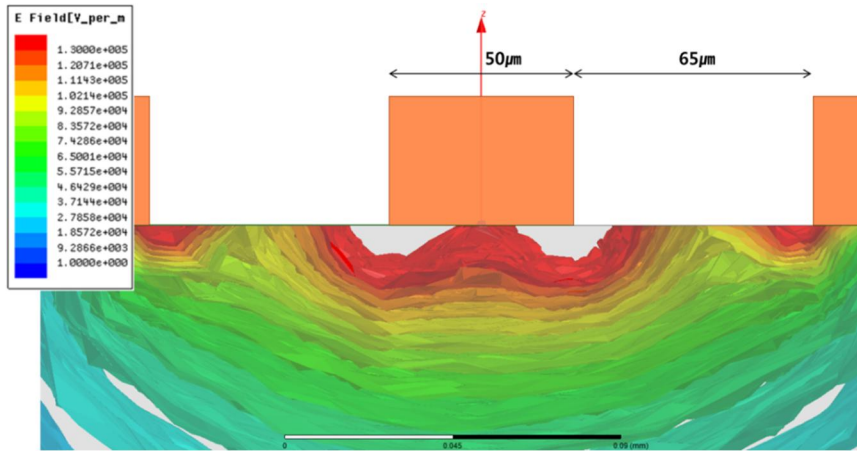
$$C_{ON} = C_{Cal} + C_{fringing} \quad (2.9)$$

표 2.5 ON 상태에서 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 수치와 커패시턴스

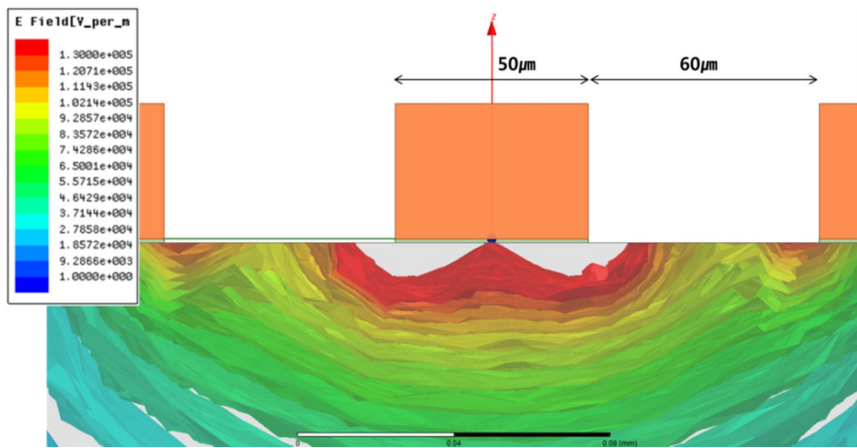
SiO ₂ (μm)	Trench (μm)	Gap (μm)	C_{Cal} (fF)	C_{ON} (fF)	$C_{fringing}$ (fF)
0	0	65	9.5	20.2	10.7
1	0	60	10.3	18.3	8.0
1	10	48.2	12.9	17.9	5.0
1	20	41.04	15.1	17.0	1.9

모델링 결과(C_{ON})와 평판 커패시턴스 수식 계산 결과(C_{Cal})의 차이는 기생 커패시터 성분인 fringing 커패시터($C_{fringing}$) 성분이다. Fringing 커패시터 성분은 기판에 의한 효과가 주를 이루고 있어서 실리콘 산화막을 올릴수록, 트렌치 깊이가 깊어질수록 기판의 효과가 줄어들기 때문에 작아지는 것을 확인할 수 있다.

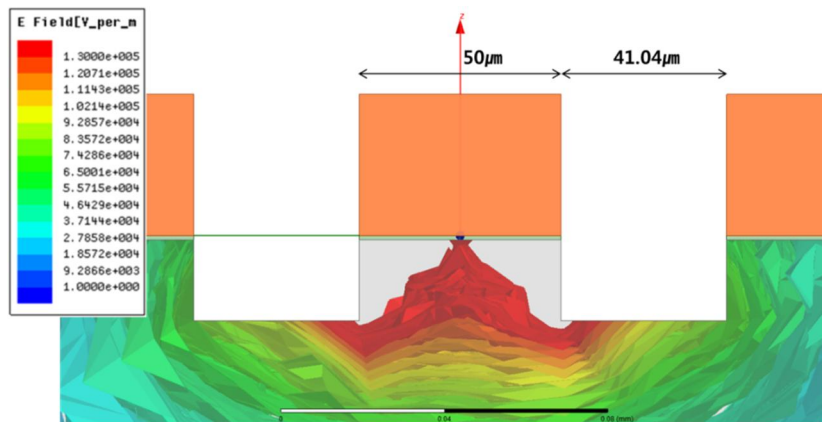
CPW 전송 선로에 RF 신호가 인가되었을 때의 실리콘 기판의 전기장에 대한 HFSS 시뮬레이션 결과는 그림 2.13과 같다.



(a)



(b)



(c)

그림 2.13 CPW 전송 선로에 고주파 신호가 인가되었을 때의 실리콘 기판의 전기장에 대한 HFSS 시뮬레이션 결과 (a) CPW (b) $1\mu\text{m}$ 실리콘 산화막과 CPW 조합 (c) $1\mu\text{m}$ 실리콘 산화막과 $20\mu\text{m}$ 실리콘 트렌치와 CPW 조합

실리콘 기판의 실리콘 산화막 $1\mu\text{m}$ 와 CPW 전송 선로 조합에서 실리콘 기판의 전기장을 살펴보면 신호선 하부와 접지선 모서리의 하부에서 약 $20\mu\text{m}$ 이내의 깊이에서 $1.3 \times 10^5 \text{V/m}$ 이상의 세기로 강한 전기장이 형성되는 것을 그림 2.13(a)에서 확인할 수 있다. 전기장의 세기가 강할수록 기판을 통과하는 신호의 세기가 크다고 볼 수 있다. $1\mu\text{m}$ 두께의 산화막을 형성하면 신호선 하부의 전기장 세기는 그 깊이가 약 $25\mu\text{m}$ 로 더 깊어지고 접지선 모서리의 하부의 전기장 세기는 $1.2 \times 10^5 \text{V/m}$ 이하로 약해지는 것을 그림 2.13(b)에서 확인할 수 있다. $1\mu\text{m}$ 두께의 실리콘 산화막과 $20\mu\text{m}$ 깊이의 실리콘 트렌치 구조에서는 신호선 하부의 전기장 세기는 약 $30\mu\text{m}$ 로 그 깊이가 더 깊어지고 접지선 모서리의 하부의 전기장 세기는 $6.5 \times 10^4 \text{V/m}$ 이하로 약해지는 것을 그림 2.13(c)에서 확인할 수 있다. 실리콘 산화막과 트렌치 구조에 의해서 기판과 전송 선로 가까이로 통과하는 신호는 줄어들고 기판의 더 깊은 곳으로 신호가 전달되는 것을 시뮬레이션으로 확인하였다. 기판의 깊이가 깊어질수록 저항 성분은 커지고 기판을 통과하는 신호는 큰 저항 성분을 지나게 되어서 기판을 통하여 원하지 않는 신호가 전달되는 양이 감소한다. 트렌치 구조에 의하여 전송 선로의 모서리 부분에서 기판의 빈 공간에서 전기장의 세기가 약해지고 전송 선로를 지나는 신호의 손실이 감소한다[2.5].

그림 2.14는 신호선이 1mm 간격으로 분리된 경우, OFF 상태의 RLC 집중 소자 모델링 결과이며 표 2.6에 집중 소자 각각의 수치를 정리하였다.

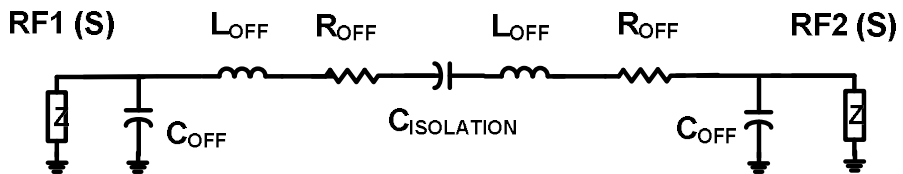


그림 2.14 신호선이 1mm 간격으로 분리된 경우, OFF 상태의 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 RLC 집중 소자 모델

신호선이 1mm 간격으로 분리된 경우에는 분리된 위치의 신호선 간의 커패시턴스 성분을 $C_{\text{ISOLATION}}$ 으로 표현하였으며 신호선의 저항과 인덕턴스 성분을 R_{OFF} 와 L_{OFF} 로 표현하였다. 그리고 신호선과 접지선 사이의 커패시턴스를 C_{OFF} 로 표현하였다.

표 2.6 실리콘 기판의 실리콘 산화막, 트렌치 구조의 CPW 전송 선로의 RLC 집중 소자 모델의 성분값, 신호선이 1mm 간격으로 분리된 경우, OFF 상태

SiO ₂ (μm)	Trench (μm)	Gap (μm)	R _{OFF} (m Ω)	L _{OFF} (pH)	C _{OFF} (fF)	C _{ISOLATION} (aF)	C _{ISO_Cal} (aF)
0	0	65	104.58	16.96	10.10	19.19	19.45
1	0	60	104.58	16.59	9.16	16.60	19.44
1	10	48.2	104.58	16.37	8.95	11.50	19.09
1	20	41.04	104.58	16.03	8.48	9.20	18.74

전송 선로에서 1mm 간격으로 신호선이 분리된 경우에 대하여 전송 선로 사이의 커패시터, C_{ISOLATION}은 기판을 통과하는 fringing이 주된 성분이다. 분리된 두 신호선의 커패시턴스 성분은 C_{ISO_Cal}이라고 하며 다음 수식으로 구할 수 있다.

$$C_{ISO_cal} = C_{plate} + C_{fringing} = \epsilon_0 \frac{2\delta t}{d} + \frac{\pi\epsilon_0\epsilon_{r,eff}\delta}{2 \ln\left(\frac{d}{\left(\frac{t}{2}\right)}\right)} \quad (2.10)$$

C_{plate}은 분리된 신호선 사이의 커패시턴스, C_{fringing}은 분리된 신호선 사이의 fringing 커패시턴스, ϵ_0 은 유전율, $\epsilon_{r,eff}$ 은 유효 유전상수, δ 는 skin depth, d는 금속판 사이의 간격, t는 금속판 두께의 절반이며 $d \gg t$ 조건을 만족한다. CPW 전송 선로에서 신호는 금속판 면적 전체가 아닌 신호선과 접지선 사이의 skin depth를 고려한 면적에서 전달되므로 이를 반영한 C_{plate} 커패시턴스를 계산하면 약 0.53aF이다. RLC 집중 소자 모델링 결과에서 C_{ISOLATION}과 계산 결과인 C_{plate}의 차이는 공기와 기판을 통과하여 전달되는 fringing 커패시턴스 값이다. 분리된 신호선의 끝 부분을 평행한 실린더의 절반으로 가정하면 금속판의 두께에 절반에 해당하는 성분이 실린더의 반지름으로 가정된다[2.11]. 실린더의 길이는 skin depth의 두 배에 해당하며 전하량과 관심 영역은 각각 절반으로 감소하여 fringing 커패시턴스는 두 평행선 커패시턴스의 1/4 수준으로 근사할 수 있다. 분리된 두 신호선 사이의 유효 유전상수는 산화막, 트렌치, 실리콘 기판의 두께의 비율을 반영하여 다음과 같은 수식으로 계산되었다.

$$\epsilon_{r,eff} = \frac{t_{Sub} + (t_{Sub} - t_{Trench})\epsilon_{Si} + t_{SiO_2}\epsilon_{SiO_2}}{2t_{Sub} + t_{SiO_2}} \quad (2.11)$$

t_{Sub} 는 실리콘 기판의 두께, t_{Trench} 는 트렌치 깊이, t_{SiO_2} 는 실리콘 산화막 두께, ϵ_{Si} 은 실리콘의 유전상수, ϵ_{SiO_2} 는 실리콘 산화막의 유전상수이다. Bare 실리콘에서는 fringing 커패시터가 크게 작용하는 경우이며 기판을 통과하는 성분이 주요 성분으로 추정된다. 실리콘 산화막 증착과 트렌치 깊이가 깊어짐에 따라 기판의 영향이 점점 더 감소하게 되어서 fringing 커패시터가 감소하며 실리콘 산화막 $1\mu m$ 증착과 트렌치 $20\mu m$ 형성의 경우의 $C_{ISOLATION}$ 의 값은 $9.20aF$ 이며 bare의 $C_{ISOLATION}$ 값은 $19.19aF$ 이므로 절반 이하로 줄어드는 것을 확인하였다.

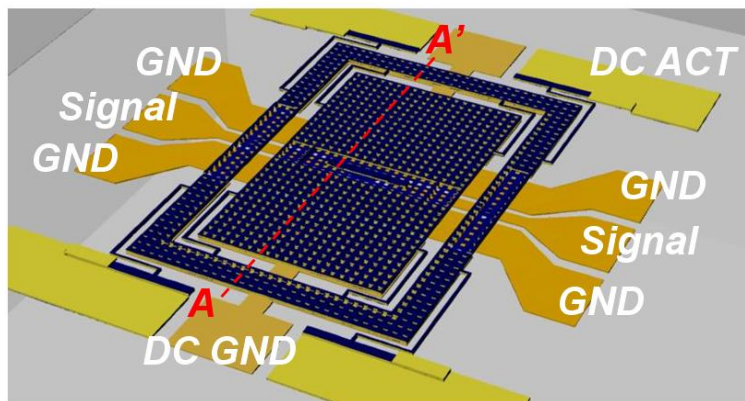
실리콘 기판에 실리콘 산화막과 트렌치를 형성함으로써 고주파 특성 개선이 가능하다는 것을 HFSS 시뮬레이션을 통하여 확인하였고 수식 계산과 집중 소자 모델링을 통하여 현상을 분석하여 보았다. HFSS 시뮬레이션 결과는 구조물의 치수를 반영하기 때문에 수식 계산이나 집중 소자 모델링 결과보다 정확하였다. 수식 계산과 집중 소자 모델링은 HFSS 시뮬레이션 결과에 비하여 정확도는 떨어질 수 있으나 분석하기에 적합하였다.

제 3 장 RF MEMS 스위치와 CMOS DC-DC 컨버터 개발과 이중 통합 특성 시뮬레이션

제 1 절 낮은 구동 전압 및 높은 신호 분리도 특성의 정전 방식 RF MEMS 스위치*

3.1.1 RF MEMS 스위치 구조

제안한 RF MEMS 스위치의 구조도와 단면도는 그림 3.1과 같다. 제안한 RF MEMS 스위치는 외부의 첫 번째 구동에 의한 이동부, 내부의 두 번째 구동에 의한 이동부 그리고 접히는 빔 타입의 스프링으로 구성되며 MEMS 공정이 가능하면서 실리콘보다 유전상수가 작은 퀴즈 웨이퍼 위에 제작 되었다. 그림 3.1(b)는 제안한 RF MEMS 스위치의 단면도이다.



(a)

* 본 절의 일부부분은 *Journal of Micromechanics and Microengineering*[1.2]에 게재한 내용이며 본 논문의 저자는 게재 논문의 제 1저자 임.

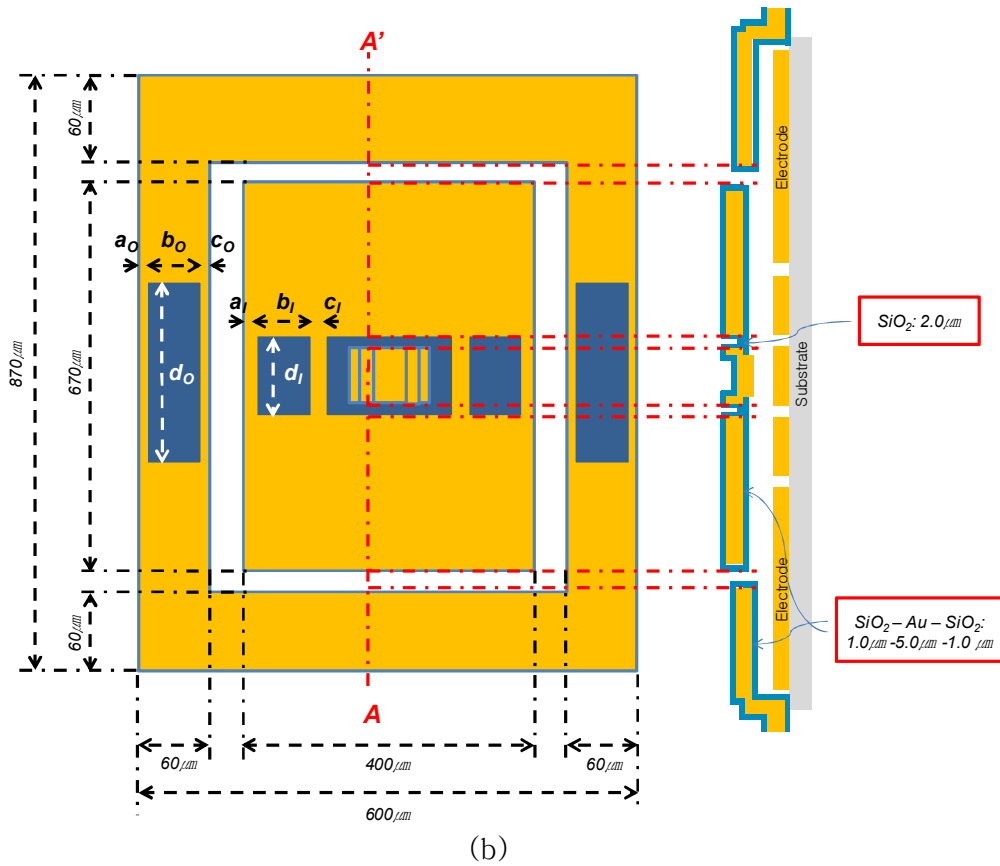


그림 3.1 제안한 RF MEMS 스위치 (a) 구조도 (b) 단면도

스프링과 이동부는 $1.0\mu\text{m}$ 두께의 실리콘 산화막, $5.0\mu\text{m}$ 두께의 금(Au), $1.0\mu\text{m}$ 두께의 실리콘 산화막 층으로 구성된다. 스위치가 ON 상태에서 RF 신호선과 구동 신호선의 단락(short)을 방지하기 위해서 접촉(contact) 주변을 $2.0\mu\text{m}$ 두께의 실리콘 산화막으로 둘러 싸서 내부의 두 번째 구동에 의한 이동부로부터 분리하였다. 만약 금과 같은 전도성 물질이 CPW 전송선 근처에 있으면 전도성 물질을 통한 RF 신호 손실에 의하여 신호 분리도는 감소하고 삽입 손실은 증가한다. 고주파 특성을 개선하기 위해 $2.0\mu\text{m}$ 두께의 실리콘 산화막을 내부의 두 번째 구동에 의한 이동부에 위치한 접촉 주변과 CPW 전송선 주변, 그리고 외부의 첫 번째 구동에 의한 이동부의 CPW 전송선 주변에 형성하였다. 하지만, 만약 실리콘 산화막만의 면적이 증가하면 금으로 된 부분이 감소하게 되어서 이동부의 기계적 강도가 작아진다. 실리콘 산화막의 크기는 기계적 시뮬레이션과 RF 시뮬레이션 결과에 따라서 기계적 강도는 강하면서 고주파 특성은 우수한 조건으로 결정하였다.

그림 3.2는 제안한 RF MEMS 스위치의 단면과 동작 순서를 보여준다. 제안한 이단 구동 RF MEMS 스위치 구조는 구동 전압을 감소시킨다. 구동 전에 외부의 첫 번째 구동 전극과 바닥의 접지 전극 사이의 간격은 g_1 , 접촉과 신호선 사이의 간격은 C_g , 유전 물질의 두께는 t_d 이며 그림 3.2(a)에 나타내었다. 구동 패드를 통해서 구동 전압이 가해지면, 외부의 첫 번째 구동에 의한 이동부가 상부 구동 전극과 하부 접지 전극 사이의 정전력에 의해 수직으로 아래 방향으로 움직인다. 이는 외부의 첫 번째 상단 구동 전극과 하부 접지 전극 사이의 간격이 내부의 두 번째 상단 구동 전극과 하부 접지 전극 사이의 간격보다 작기 때문이다. 외부의 첫 번째 구동을 마친 이후에 내부의 두 번째 구동 이동부와 하부 접지 전극 사이의 간격은 약 외부의 첫 번째 구동 전극과 하부 접지 전극 사이 간격 정도 감소한다. 이때 내부 두 번째 구동 전극과 하부 접지 전극 사이의 간격을 $g_{2,real}$ 이라고 하며 그림 3.2(b)와 같다. $g_{2,real}$ 은 정전력에 의해 g_2 (g 와 g_1 사이의 간격, $g_2 = g - g_1$)보다 작다. 만약 인가 전압이 내부 이동부의 풀인(pull-in) 전압보다 충분히 높다면 $g_{2,real}$ 은 0에 근접하게 된다. 내부의 두 번째 구동에 의한 이동부는 상부의 구동 전극과 하부의 접지 전극 사이의 정전력에 의해 수직 아래 방향으로 이동한다. 그리고 분리되었던 RF 신호선은 두 번째 구동에 의한 이동부의 금 금속 접촉에 의해 그림 3.2(c)와 같이 연결된다.

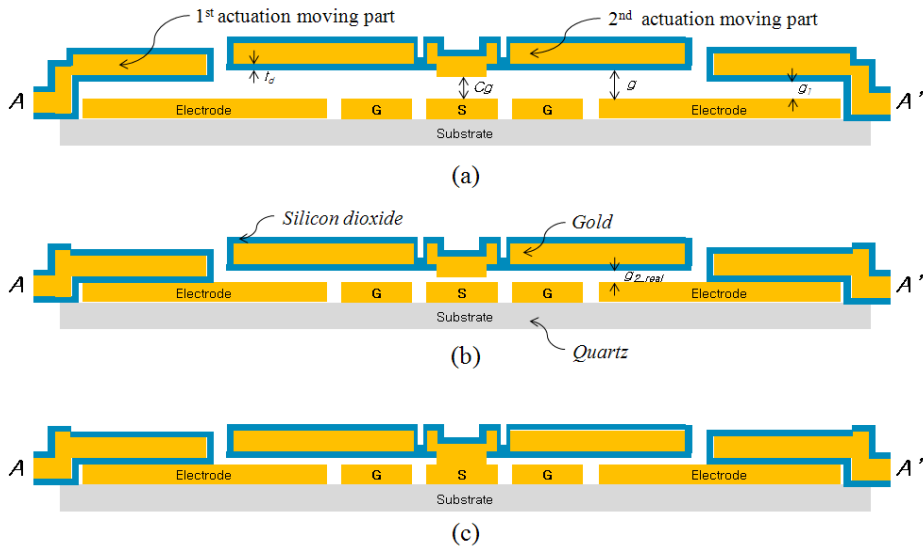


그림 3.2 그림 3.1에서 AA' 방향으로 자른 제안한 RF MEMS 스위치의 단면과 동작 순서 (a) 구동 전 (b) 첫 번째 구동 (c) 두 번째 구동

3.1.2 RF MEMS 스위치 특성

단일(single) 수직으로 구동하는 RF MEMS 스위치의 정전력은 다음 식 (3.1)과 같이 나타낼 수 있다.

$$F_E = \frac{\epsilon_0 A V^2}{2 \left(g - d + \frac{t_d}{\epsilon_r} \right)^2} \quad (3.1)$$

F_E 는 정전력, ϵ_0 는 두 전극 사이 공기의 유전상수, A 는 구동 전극의 전체 면적, V 는 구동 전압, g 는 두 전극 사이의 구동 간격, d 는 구동에 의한 전극의 변위 그리고 ϵ_r 은 전극 사이의 단락을 방지하는 유전 물질의 상대 유전상수이다. 실리콘 산화막을 전극 사이의 유전 물질로 사용하면 일반적으로 구동 간격, g 는 t_d/ϵ_r 보다 많이 크다. 그리고 구동 전의 정전력은 구동에 의한 전극의 변위인 d 가 0인 상황으로 볼 수 있다. 그러므로 식 (3.1)은 다음 식 (3.2)와 같이 나타낼 수 있다.

$$F_E = \frac{\epsilon_0 A V^2}{2 \left(g - d + \frac{t_d}{\epsilon_r} \right)^2} \approx \frac{\epsilon_0 A V^2}{2g^2} \quad (3.2)$$

정전력 F_E 는 구동 간격 제곱의 역수이기 때문에 만약에 간격이 일정한 수로 분할이 된다면 동일한 구동 전압에 의한 정전력은 분할한 수의 제곱만큼 증가하게 된다. 그러므로 높은 신호 분리도와 낮은 전압으로 동작하게 위해서 그림 3.2와 같이 간격을 둘로 나누었다.

첫 번째 구동 전의 첫 번째 구동 정전력, F_{E_1st} 는 식 (3.3)과 같다.

$$F_{E_1st} = F_{E1} + F_{E2_1} = \frac{\epsilon_0 A_1 V^2}{2g_1^2} + \frac{\epsilon_0 A_2 V^2}{2(g_1 + g_2)^2} \quad (3.3)$$

F_{E1} 는 외부의 첫 번째 구동 정전력, F_{E2_1} 은 내부의 첫 번째 구동 정전력, A_1 은 외부의 첫 번째 구동 전극의 면적, A_2 는 내부의 두 번째

구동 전극의 면적이다. 첫 번째 구동 이후에 외부 이동부는 정전력에 의해서 하부 전극과 결합하고 내부 이동부는 첫 번째 구동 전보다 그림 3.2(b)와 같이 하부 전극에 가까워진다. 두 번째 구동 전의 두 번째 구동 정전력, F_{E_2nd} 는 다음 식 (3.4)와 같다.

$$F_{E_2nd} = F_{E2_2} = \frac{\epsilon_0 A_2 V^2}{2g_2^2} \quad (3.4)$$

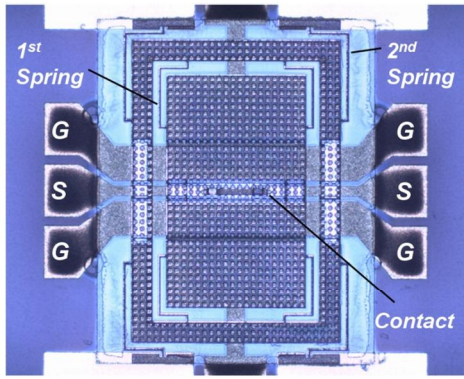
그리고 그림 3.2(c)와 같이 CPW의 RF 신호선은 접촉이 하부로 내려와서 RF 신호선과 결합하면서 연결이 된다. 만약 단일 구동 RF MEMS 스위치와 이단 구동 RF MEMS 스위치의 전체 구동 간격과 전체 전극 면적이 같다면 ($A=A_1+A_2$, $g=g_1+g_2$), 이단 구동에서 첫 번째 구동의 전극 면적이 두 번째 구동의 전극 면적과 같다면 ($A_1=A_2=A/2$), 그리고 첫 번째 구동의 간격과 두 번째 구동의 간격이 같다면 ($g_1=g_2=g/2$), 정전력은 다음 수식으로 나타낼 수 있다.

$$F_{E_1st} = F_{E1} + F_{E2_1} = \frac{\epsilon_0 A \left(\sqrt{\frac{5}{2}} V \right)^2}{2g^2} \quad (3.5)$$

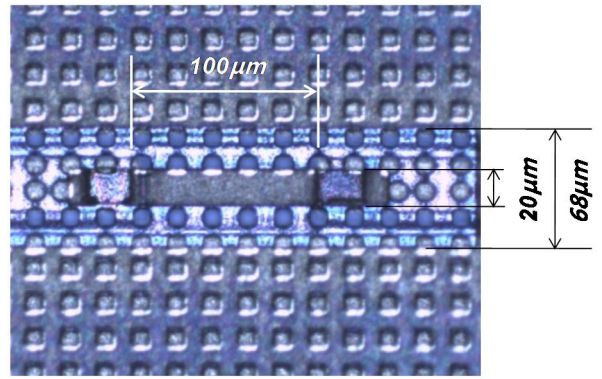
$$F_{E_2nd} = F_{E2_2} = \frac{\epsilon_0 A (\sqrt{2} V)^2}{2g^2} \quad (3.6)$$

식 (3.5)와 식 (3.6)에서 구동 전압이 최소 29% 감소되는 효과가 있음을 확인할 수 있다.

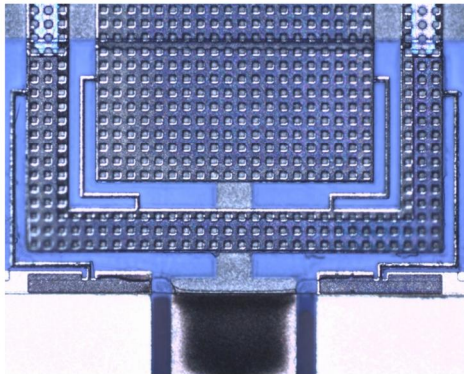
제안한 RF MEMS 스위치는 표면 마이크로머시닝(surface micromachining) 방법으로 제작되었고 릴리즈(release)시 점착(stiction)을 방지하기 위하여 건식 식각(dry etch) 방법을 이용하여 릴리즈 되었다. 제작된 RF MEMS 스위치는 그림 3.3와 같다.



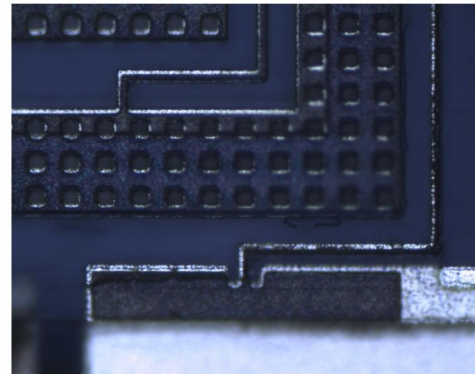
(a)



(b)



(c)



(d)

그림 3.3 제작한 스위치의 사진 (a) RF MEMS 스위치 (b) 접촉 (c) 스프링 (d) 앵커

제작한 스위치의 웨이퍼 테스트 결과를 표 3.1에 정리하였다.

표 3.1 제작한 스위치의 측정 결과

	Value
Pull-in voltage (V)	10
Actuation voltage (V)	20
Isolation @ 2/6GHz (dB)	49.7 / 39.6
Insertion loss @ 2/6GHz (dB)	0.035 / 0.093
Return loss @ 2/6GHz (dB)	43.3 / 32.1

제작한 RF MEMS 스위치의 ON/OFF 특성은 그림 3.4와 같다.

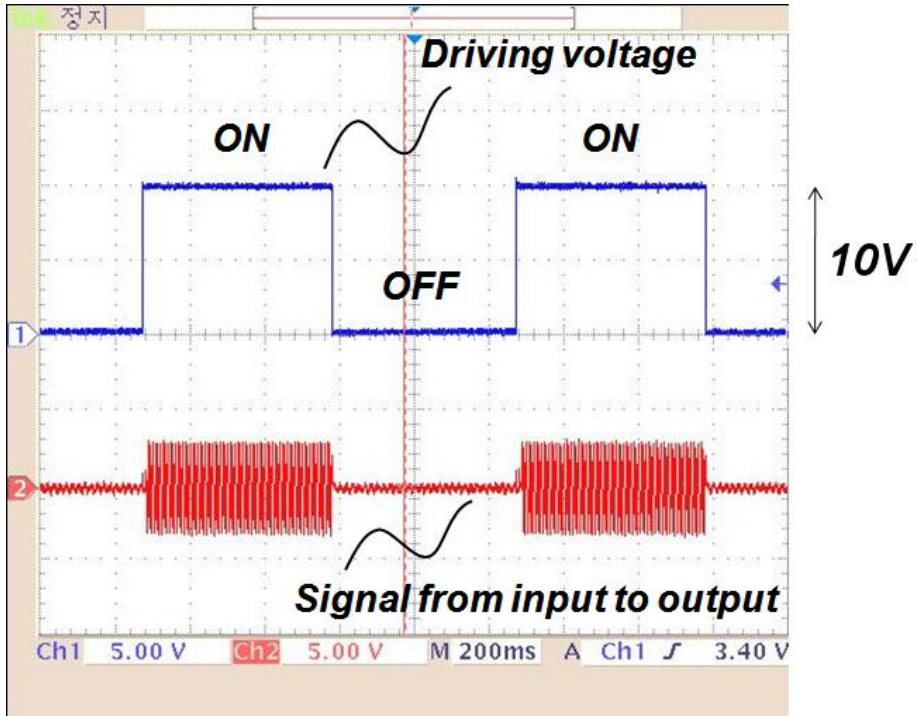


그림 3.4 제작한 RF MEMS 스위치의 ON/OFF 특성

주파수 2Hz의 10V 전압 구형파 신호를 RF MEMS 스위치의 구동 전압으로 인가하였다. RF MEMS 스위치의 RF 입력 신호로는 주파수 100kHz의 6V 피크 투 피크 전압을 가하였다. 그림 3.4과 같이 제작한 RF MEMS 스위치는 ON/OFF 구동 전압에 의하여 선택적으로 신호를 전달할 수 있었다. 제작한 RF MEMS 스위치의 구동 전압은 20V로 예상한 전압보다 약간 높은 수치였다. 이는 구동 전압 계산에 사용한 파라미터와 제작 후 실측한 파라미터 사이의 차이에 기인한다. 여러 가지 차이가 있을 수 있으나 그 중에서 계산에서 사용한 스프링의 두께, 금과 실리콘 산화막의 영률과 전단 계수의 차이가 주요 차이이다.

0.5GHz에서 10GHz 범위에서 측정한 삽입 손실, 신호 분리도, 반사 손실은 그림 3.5에 나타내었다.

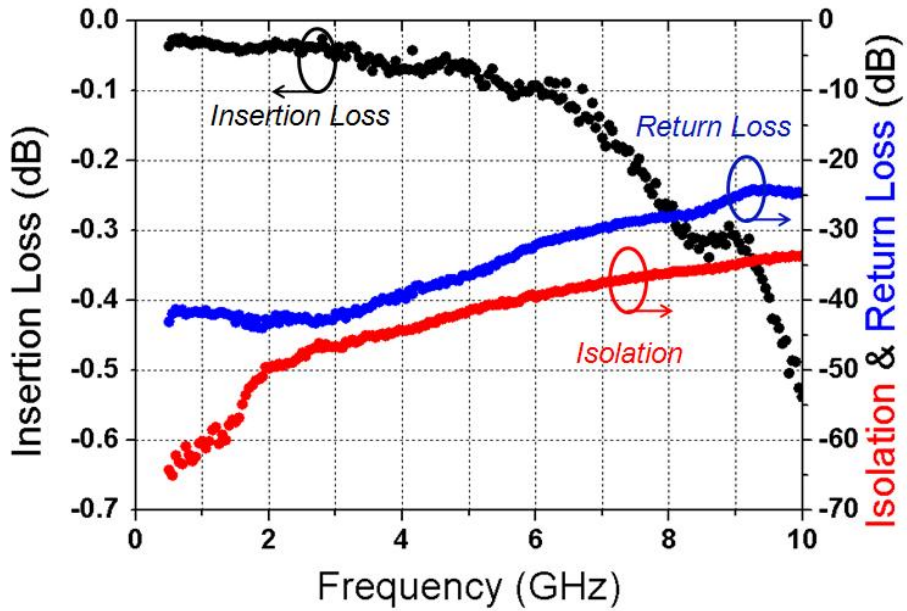
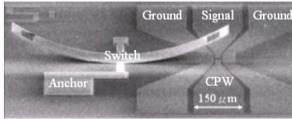
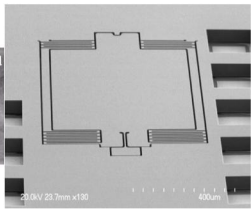
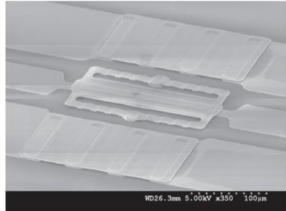
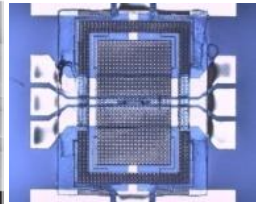
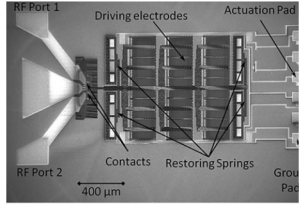


그림 3.5 제작한 RF MEMS 스위치의 고주파 특성

삽입 손실과 반사 손실 그리고 신호 분리도는 시뮬레이션 결과와 약간 차이가 있었다. 이는 시뮬레이션에 결과를 바탕으로 설계를 했지만 공정을 진행하면서 공정 오차에 의하여 실제 제작 결과의 수치는 시뮬레이션의 수치와 달라졌기 때문이다. 특히 CPW 신호선과 접지선 사이 간격과 CPW 전송선의 모서리 모양이 시뮬레이션과 실제 제작 결과 간에 차이가 있다. 그리고 제작 후에는 접촉 저항이 있으나 시뮬레이션에서는 접촉 저항이 고려되지 않은 것도 하나의 원인이다.

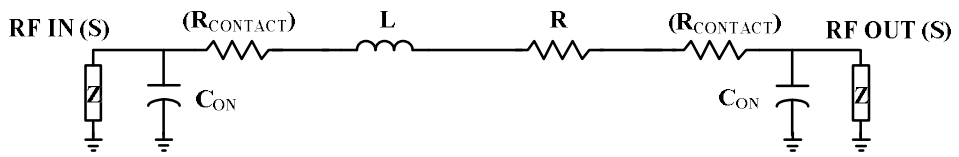
그 동안 연구된 저전압 정전 구동 방식의 RF MEMS 스위치를 제안한 RF MEMS 스위치와 표 3.2에서 비교, 정리하였다. 제안한 이단 구동 스위치의 구동 전압은 다른 저전압 스위치의 구동 전압과 비슷한 정도이지만 삽입 손실은 가장 우수하였다. 신호 분리도 특성은 비슷하였고 면적은 중간 수준인 것을 확인할 수 있다.

표 3.2 저전압 정전 구동 방식 RF MEMS 스위치 비교

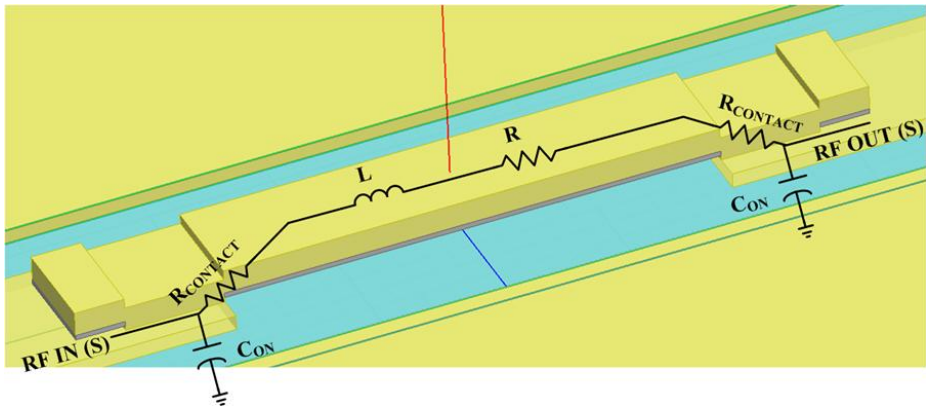
	단위	NTU (2007) [1.8]	삼성종합기술원, 고려대학교 (2009) [1.9]	UNSW (2010) [1.10]	SNU, 본 논문 (2011) [1.2]	Fraunhofer ENAS, Chemnitz Univ. of Tech.(2014) [1.11]
이미지	-					
접촉 물질	-	Au-Au	Au-Au	Au-Au	Au-Au	Au-Au
구조 물질	-	AlN	Si	Au	SiO ₂ -Au-SiO ₂	Si
구동 전압 (풀인 전압)	V	(10.2~70)	(10-12)	20 (13.56, 계산값)	20 (10)	5 (4.4)
삽입 손실	dB	0.21 @5GHz	0.25 @2GHz	0.45 @6GHz	0.11 @6GHz	0.6 @5GHz
신호 분리도	dB	44 @5GHz	50 @2GHz	45 @6GHz	39.1 @6GHz	35 @5GHz
면적 (pad 제외)	mm ²	0.6 x 0.4	1.20 x 0.92	0.25 x 0.3	0.6 x 0.9	1.2 x 1.4

3.1.3 RF MEMS 스위치 모델링

제안한 RF MEMS 스위치의 ON과 OFF 상태의 집중 소자 모델을 ADS 프로그램을 이용하여 HFSS 시뮬레이션 결과에 대하여 피팅하였다. RF MEMS 스위치의 접촉 부분의 ON 상태의 집중 소자 모델과 모식도는 그림 3.6에 표현하였고, OFF 상태의 집중 소자 모델과 모식도는 그림 3.7에 표현하였다.

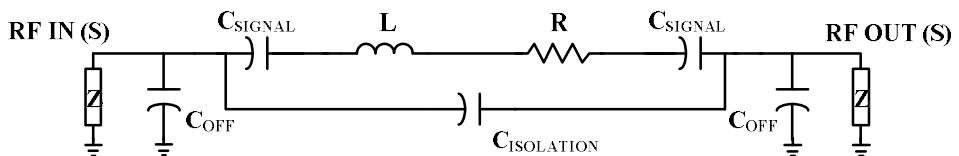


(a)

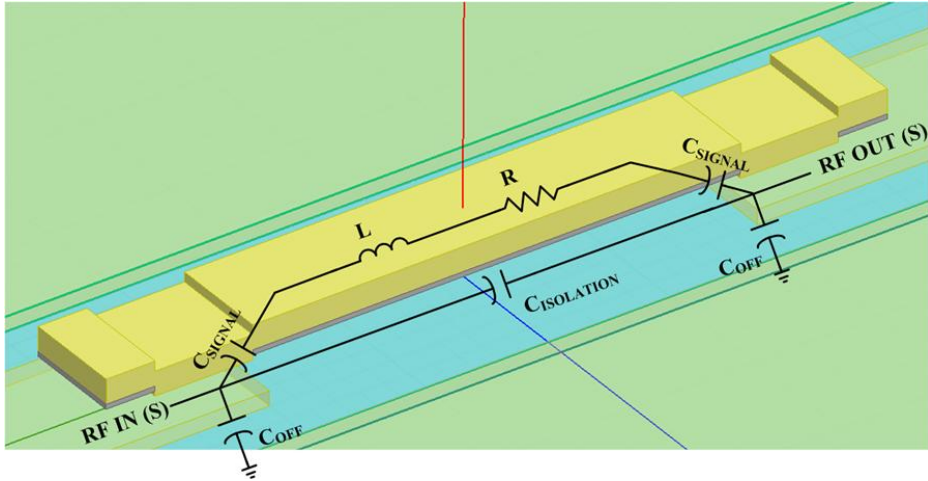


(b)

그림 3.6 ON 상태에서의 RF MEMS 스위치의 접촉선 부분 모델 (a) 집중 소자 모델, (b) 모식도.



(a)



(b)

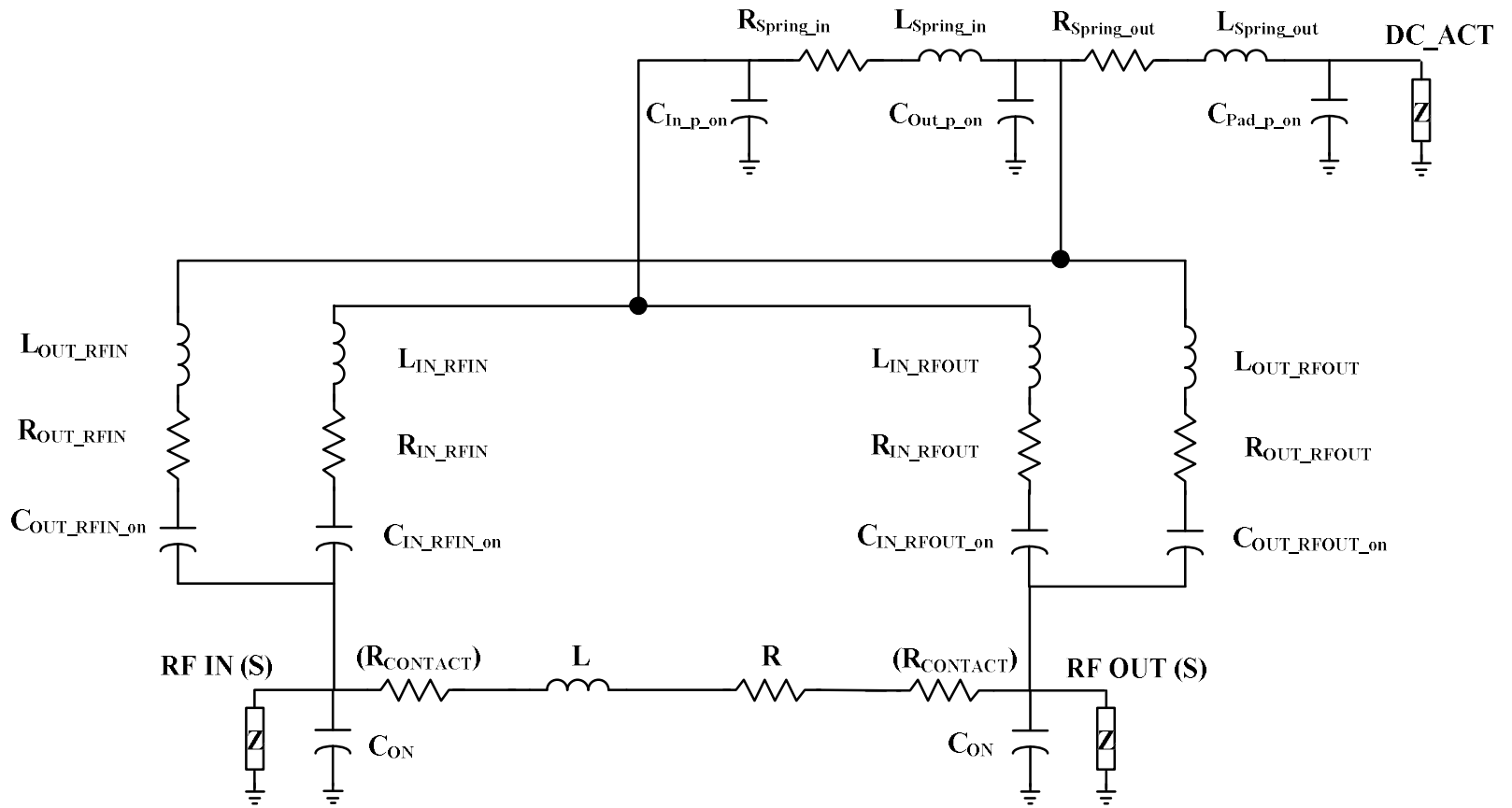
그림 3.7 OFF 상태에서의 RF MEMS 스위치의 접촉선 부분 모델
(a) 집중 소자 모델, (b) 모식도.

RLC 집중 소자로 RF MEMS 스위치를 모델링하는 과정은 성공적인 피팅을 위하여 중요하다. 신호선, 접촉 부분, 스프링 부분은 저항과 인덕터의 직렬 연결로 모델링 하였다. 접촉시 접촉 면에서 발생하는 저항은 접촉 저항으로 모델링 하였다. 분리되어 있는 두 신호선 또는 두 금속 판 사이에서 발생하는 fringing 또는 커플링 현상은 커패시터로 모델링 하였다. ON 상태에서 제안한 모델은 두 접촉 저항과 접촉 부분의 저항과 인덕터, 두 fringing 커패시터로 구성되었다. 각 집중 소자의 단위는 접촉 저항은 수십 $m\Omega$, 접촉 부분의 저항은 수백 $m\Omega$, 접촉 부분의 인덕터는 수백 pH , fringing 커패시터 부분은 수십 fF 이다. 접촉 저항의 단위는 제작된 스위치에 20V가 가해질 경우 접촉 힘이 약 $121\mu N$ 임을 감안하여 문헌 값을 참고하였다[3.1-3.2]. OFF 상태에서는 ON 상태의 집중 소자 모델의 접촉 저항을 RF 신호선과 접촉 부분 사이의 수 fF 커패시터 성분으로 변환하였고 분리된 RF 신호선 사이의 수 aF 커패시터가 추가되었다.

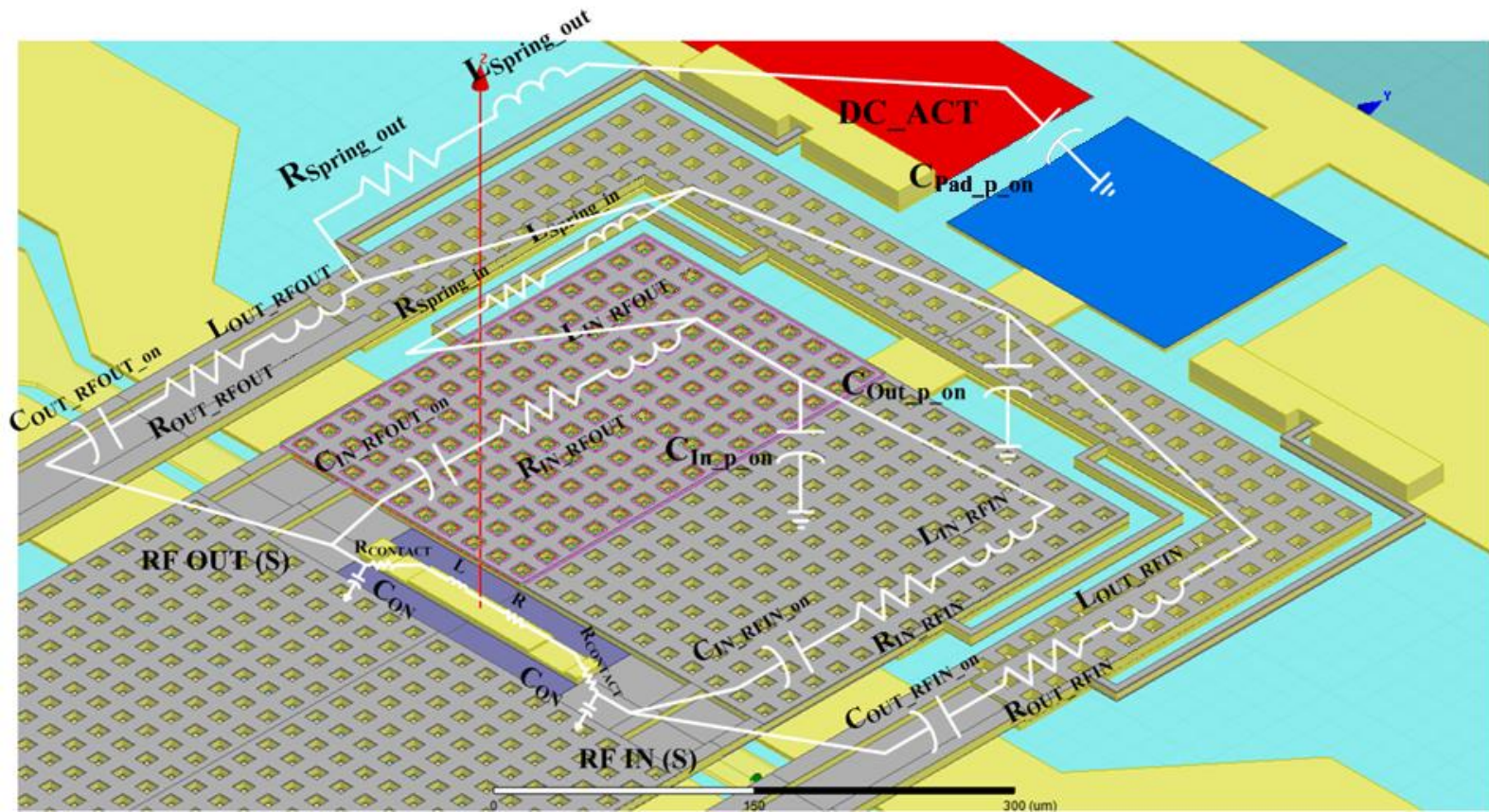
RF MEMS 스위치의 전체의 ON 상태의 집중 소자 모델과 모식도는 그림 3.8에 표현하였고, OFF 상태의 집중 소자 모델과 모식도는 그림 3.9에 표현하였다. ON 상태의 집중 소자 모델은 그림 3.6의 모델에 DC 구동 전압 패드 부분을 포함한 모델로써 내부와 외부 구동부와 내부와 외부 스프링 부분이 모델링에 포함되었다. $L_{OUT_RFIN_on}$, $R_{OUT_RFIN_ON}$, $C_{OUT_RFIN_on}$ 은 RF IN 포트 부근의 외부 첫 번째 구동 이동부의,

$L_{IN_RFIN_on}$, $R_{IN_RFIN_on}$, $C_{IN_RFIN_on}$ 은 RF IN 포트 부근의 내부 두 번째 구동 이동부의, $L_{IN_RFOUT_on}$, $R_{IN_RFOUT_on}$, $C_{IN_RFOUT_on}$ 은 RF OUT 포트 부근의 내부 두 번째 구동 이동부의, $L_{OUT_RFOUT_on}$, $R_{OUT_RFOUT_on}$, $C_{OUT_RFOUT_on}$ 은 RF OUT 포트 부근의 외부 첫 번째 구동 이동부의 인덕터, 저항, 커패시터 성분이다. $C_{In_p_on}$ 은 내부 스프링과 접지 사이의 내부 두 번째 구동 이동부와 접지 사이의 커패시터 성분이다. $R_{Spring_in_on}$ 과 $L_{Spring_in_on}$ 은 내부 스프링의 저항과 인덕터 성분이다. $C_{Out_p_on}$ 은 외부 스프링과 접지 사이의 외부 첫 번째 구동 이동부와 접지 사이의 커패시터 성분이다. $R_{Spring_out_on}$ 과 $L_{Spring_out_on}$ 은 외부 스프링의 저항과 인덕터 성분이다. $C_{Pad_p_on}$ 은 DC_ACT 패드와 접지 사이의 커패시터 성분이다.

OFF 상태의 집중 소자 모델은 그림 3.8의 ON 상태의 집중 소자 모델의 접촉 저항을 RF 신호선과 접촉 부분 사이의 커패시터 성분으로 변환하였고 분리된 RF 신호선 사이의 커패시터가 추가되었다. 스위치의 물리적 형태는 그대로 유지하면서 ON 상태에서 OFF 상태로 이동하므로 저항과 인덕터 성분 값은 ON 상태와 동일하게 유지하면서 커패시터 성분 값에 변화가 있다.

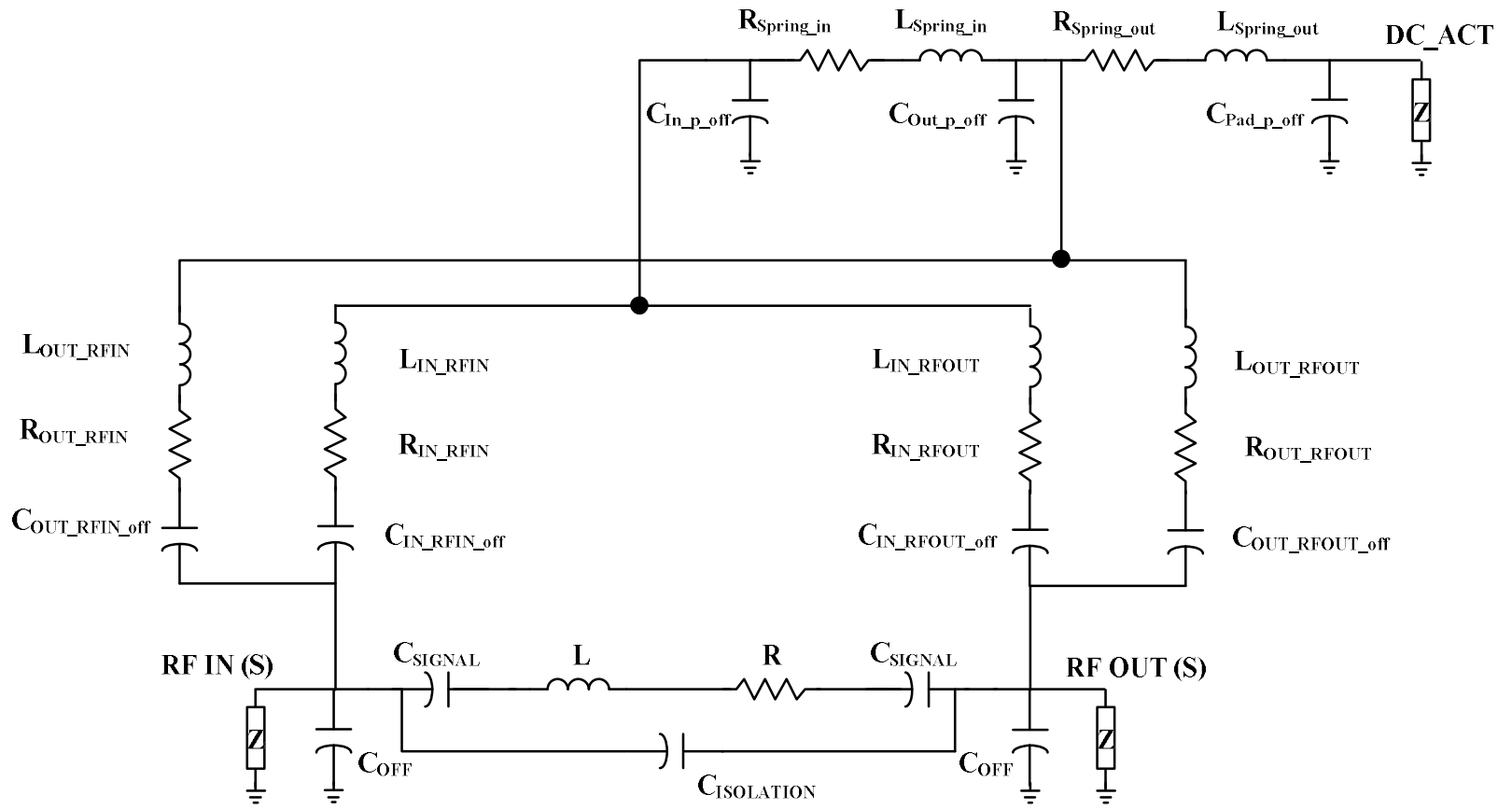


(a)

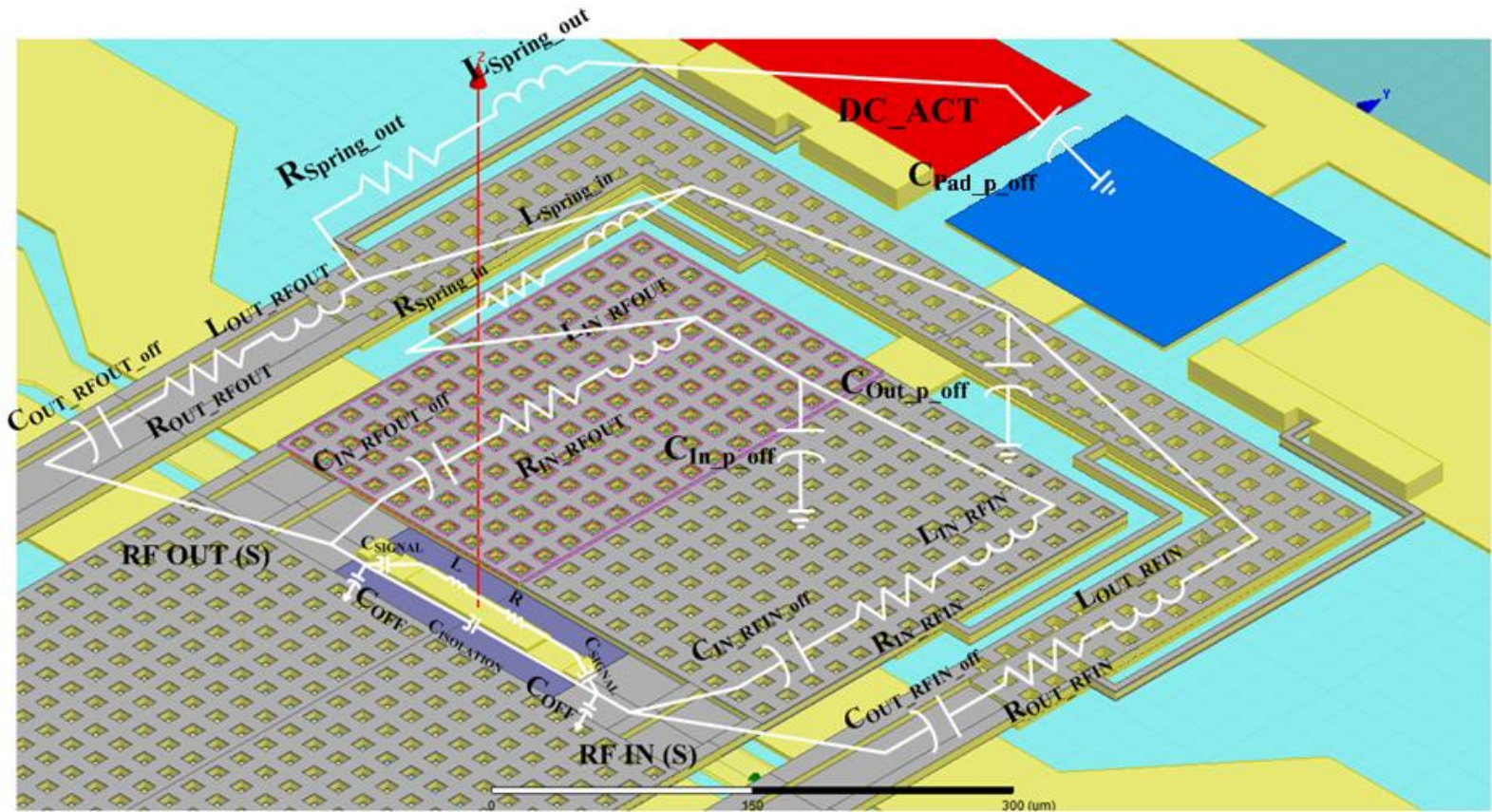


(b)

그림 3.8 ON 상태에서의 RF MEMS 스위치 모델 (a) 집중 소자 모델, (b) 모식도.



(a)



(b)

그림 3.9 OFF 상태에서의 RF MEMS 스위치 모델 (a) 집중 소자 모델, (b) 모식도.

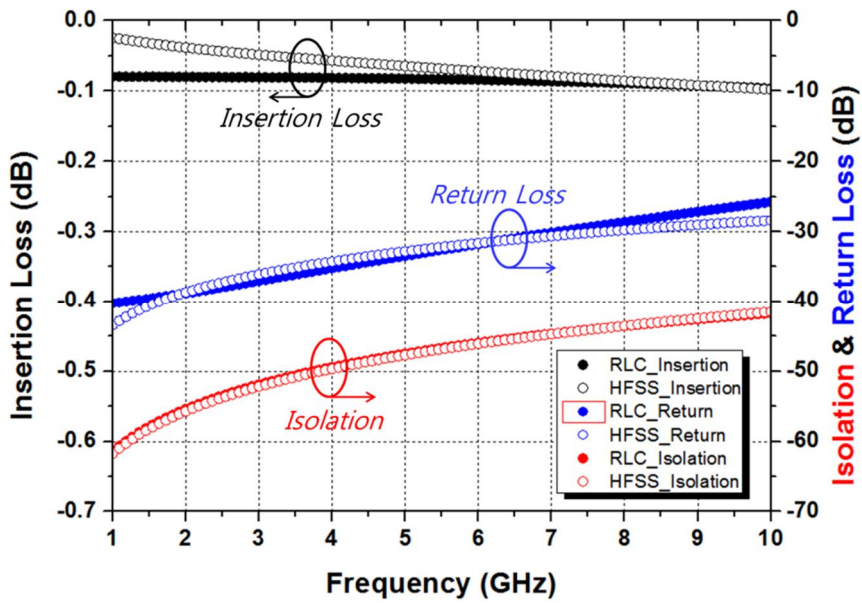
초기 값과 피팅 순서는 성공적인 RLC 집중 소자 모델링을 위해 중요하다. 초기 값은 스위치의 각 부분의 수치와 문헌 값에 근거하여 정하였다. 집중 소자의 수치를 결정하는 순서는 중요도가 높은 고주파 특성부터 시작하여 DC 포트에서 RF 포트 순으로 진행한다. 접촉 선 부분은 반사 손실, 삽입 손실, 신호 분리도와 같은 고주파 특성에 직접적으로 영향이 있으므로 가장 먼저 집중 소자 값을 결정하였다. 그리고 DC 포트에서 RF 포트 특성을 결정하는 내외부의 스프링과 내부의 두 번째 구동 이동부의 집중 소자 값을 결정하였다. 마지막으로 외부 첫 번째 구동 이동부, fringing, 커플링 커패시터의 집중 소자 값을 결정하였다. 표 3.3에 제안한 스위치의 집중 소자 요소와 값을 정리하였다.

표 3.3 RF MEMS 스위치의 집중 소자 요소와 값

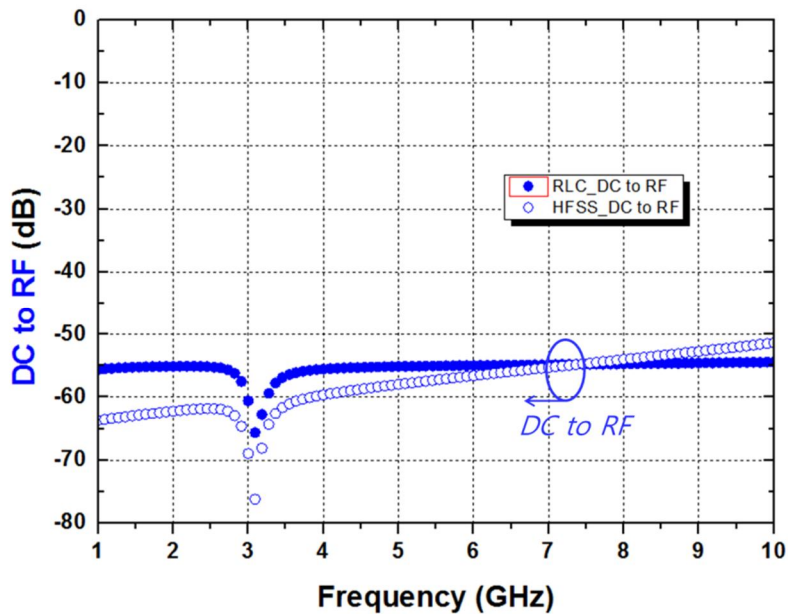
Lumped Elements	Value	Lumped Elements	Value
R_{CONTACT} (m Ω)	(21.3)	L (pH)	473.8
R (m Ω)	960.0	C_{ON} (fF)	76.7
C_{SIGNAL} (aF)	9.8	C_{OFF} (fF)	57.4
$C_{\text{ISOLATION}}$ (fF)	1.3	—	—
$R_{\text{OUT_RFIN}}$ (Ω)	8.1	$R_{\text{IN_RFIN}}$ (m Ω)	647.2
$L_{\text{OUT_RFIN}}$ (nH)	8.2	$L_{\text{IN_RFIN}}$ (nH)	21.9
$C_{\text{OUT_RFIN_on}}$ (fF)	3.8	$C_{\text{IN_RFIN_on}}$ (fF)	3.2
$C_{\text{OUT_RFIN_off}}$ (aF)	152.7	$C_{\text{IN_RFIN_off}}$ (aF)	160.4
$R_{\text{IN_RFOUT}}$ (m Ω)	649.7	$R_{\text{OUT_RFOUT}}$ (Ω)	8.1
$L_{\text{IN_RFOUT}}$ (nH)	16.2	$L_{\text{OUT_RFOUT}}$ (nH)	8.0
$C_{\text{IN_RFOUT_on}}$ (fF)	3.1	$C_{\text{OUT_RFOUT_on}}$ (fF)	4.0
$C_{\text{IN_RFOUT_off}}$ (aF)	113.9	$C_{\text{OUT_RFOUT_off}}$ (aF)	86.5
$R_{\text{Spring_in}}$ (Ω)	1.0	$R_{\text{Spring_out}}$ (Ω)	1.4
$L_{\text{Spring_in}}$ (nH)	1.4	$L_{\text{Spring_out}}$ (pH)	378.3
$C_{\text{In_p_on}}$ (pF)	3.5	$C_{\text{Out_p_on}}$ (pF)	4.4
$C_{\text{In_p_off}}$ (fF)	561.1	$C_{\text{Out_p_off}}$ (fF)	637.9
$C_{\text{Pad_p_on}}$ (fF)	69.0	$C_{\text{Pad_p_off}}$ (fF)	1.3

집중 소자 모델은 10GHz 대역까지 유효한 것을 그림 3.10의

고주파 특성 그래프를 통하여 확인할 수 있다.



(a)



(b)

그림 3.10 HFSS 시뮬레이션 값과 RLC 집중 소자 모델 결과 비교
 (a) 고주파 특성, (b) ON 상태에서의 DC to RF 특성(HFSS_: HFSS 시뮬레이션, RLC_: 집중 소자 모델)

표 3.4에서 집중 소자 모델이 목표 대역의 최대 주파수 6GHz에서 HFSS 시뮬레이션 수치와 일치하는 것을 확인할 수 있다.

표 3.4 HFSS 시뮬레이션과 집중 소자 모델의 ADS 시뮬레이션 결과 @ 6GHz

HFSS		ADS (Lumped Element Model)	
Value (dB)		Value (dB)	
Insertion Loss	0.07	Insertion Loss	0.08
Return Loss	31.63	Return Loss	31.75
Isolation	46.09	Isolation	45.96
DC to RF (ON)	56.60	DC to RF (ON)	54.98

그림 3.10과 표 3.4를 통하여 목표 대역의 최대 주파수인 6GHz를 포함한 10GHz 대역에서 RLC 집중 요소 모델은 HFSS 시뮬레이션 값과 경향성이 일치하며 수치도 근사하므로 모델링이 잘 이루어졌다고 할 수 있다. 오차가 발생하는 원인은 식각 홀과 접촉 주변의 기계적 스트레스를 줄이기 위한 네 개의 금으로 된 빔으로 보강한 구조는 모델링에 반영되지 않았기 때문이다. 그리고 고주파로 갈수록 신호의 파장은 감소하여 분석 대상인 스위치의 크기가 파장에 비하여 점점 커져서 집중 소자 모델로 모든 현상을 반영하기 어려워진다. RF MEMS 스위치에서 접촉선 면적은 $180\mu\text{m} \times 20\mu\text{m}$, 외부 스프링 부분의 면적은 $400\mu\text{m} \times 5\mu\text{m}$, 내부 스프링 부분의 면적은 $290\mu\text{m} \times 5\mu\text{m}$, 외부 첫 번째 구동 이동부의 면적은 $600\mu\text{m} \times 870\mu\text{m}$, 스위치의 전체 면적은 $1800\mu\text{m} \times 1450\mu\text{m}$ 이다. 10GHz의 파장은 30mm이다. 스위치의 가장 긴 부분은 DC 포트에서 RF 포트 부분인데 10GHz 신호의 파장의 약 1/15에 해당하는 길이이다. 이 경우 입력 신호와 출력 신호의 위상 차이는 약 24도 정도 된다.

DC 포트에서 RF 포트로의 신호 경로는 50옴 매칭이 되어 있는 전송 선로가 아니라 스위치 구조의 일부이기 때문에 고주파 신호의 위상 변화, 공진 및 오차가 발생할 수 있음을 감안해야 한다. DC 포트에서 RF 포트로의 특성은 0에서 10GHz 대역에서 50dB 이상의 우수한 신호 분리 특성을 가진 것으로 확인하였으며 따라서 RF MEMS 스위치에 전달될 수 있는 컨버터의 클럭에 의한 리플 성분을 효과적으로 차단할 것으로 예상할 수 있다.

제 2 절 정전 방식 RF MEMS 스위치 구동용 전하 펌프 방식 승압 CMOS DC-DC 컨버터*

3.2.1 CMOS DC-DC 컨버터 구조

그림 3.11은 제안한 컨버터의 구조를 나타낸다. 내부적으로 4개의 컨버터가 병렬로 연결되어 있어서 4채널 출력이 가능하며 최대 4개의 정전 용량형(capacitive) RF MEMS 스위치를 선택적으로 구동할 수 있다.

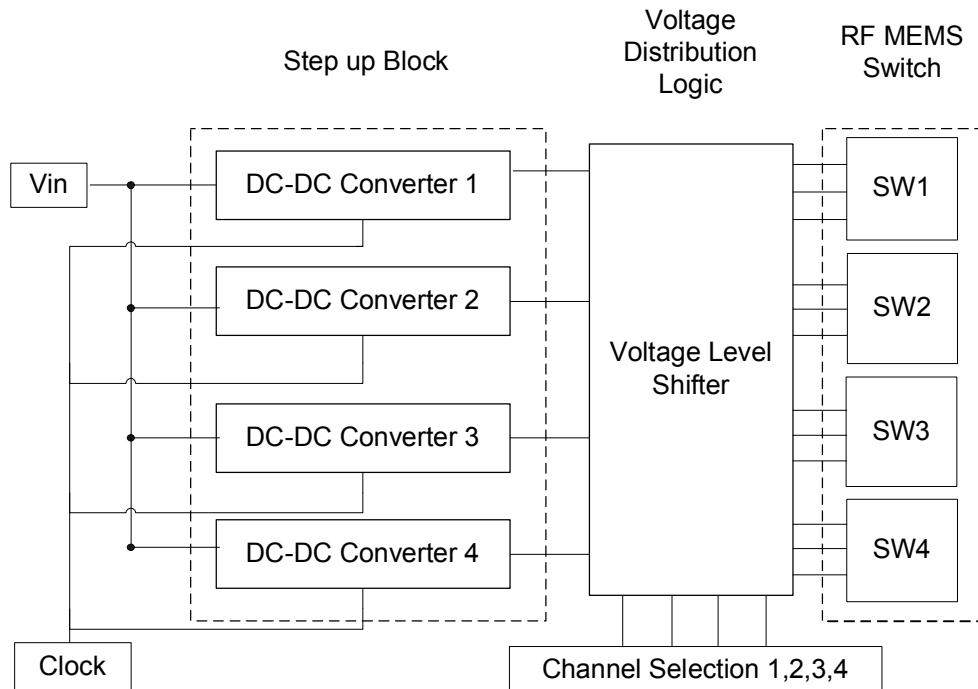


그림 3.11 정전 용량형 RF MEMS 스위치 구동용 전하 펌프 방식의 DC-DC 컨버터 개략도

승압은 전하 펌프 방식인 전압 더블러(voltage doubler)를 단위 구조로 하였다. 전압 레벨 변환기(voltage level shifter)를 이용하여 3.3V 신호로 수십 볼트의 컨버터 출력을 선택적으로 ON과 OFF 할 수 있도록 구현하였다. 최종 출력단에 13.8pF 부하 커패시터를

* 본 절의 일부분은 전자공학회논문지-SD(*IEEK Journals SD(Semiconductor & Device*[1.37]에 게재한 내용이며 본 논문의 저자는 게재 논문의 제 1저자 임.

사용하였으며 정전 용량형 RF MEMS 스위치는 1pF 커패시터로 모델링하였다. 부하 저항은 직렬로 연결하여 접지 위치에 따라 0.6MΩ, 1.8MΩ, 9MΩ으로 선택하여 사용할 수 있도록 하였다. 칩 내부의 CMOS 공정 중에 제작된 저항과 커패시터만으로 원하는 출력을 낼 수 있도록 설계하였다.

3.2.2 CMOS DC-DC 컨버터 특성

일곱 단으로 직렬 연결한 전압 더블러에 10MHz 클럭 주파수를 인가하여 3.3V 입력을 제안한 RF MEMS 스위치의 풀인 전압인 10V 이상으로 승압하였다. 이상적인 경우 DC-DC 컨버터의 출력 전류는 일정하므로 부하 저항의 크기에 따라 출력 전압의 크기는 결정된다. 부하 저항 값이 크면 출력 전압을 높일 수 있고 저항으로 흐르는 직류 전류가 작아 손실되는 전력 소모를 줄일 수 있다는 장점이 있으나 넓은 면적을 차지한다는 단점이 있다. 입력 전압(V_{in})을 부유(floating) 커패시터에 충전된 전하를 이용하여 승압하는 방식이며 출력 전압(V_{out})은 부유 커패시터 용량이나 MOSFET 특성에 따라 입력 전압(V_{in})보다 최대 2배까지 커지는 것이 특징이다[3.3-3.5]. 본 연구에서는 면적과 출력 특성을 고려하여 1.7pF 부유 커패시터를 사용하였다.

$I_{out} \neq 0$ 일 때 전압 이득은 각 단의 출력 저항(R_{out})에 의해 감소하며 다음 식으로 표현된다.

$$\Delta V_{stage} = V_{clock} \left(\frac{C}{C+C_{par}} \right) - R_{out} I_{out} \quad (3.7)$$

$$R_{out} = R_{switch} + \frac{1}{f_c C} \quad (3.8)$$

C 는 부유 커패시턴스, C_{par} 는 내부 단 노드에서의 기생 커패시턴스, R_{out} 은 단의 출력 저항, R_{switch} 는 트랜지스터 스위치의 ON 저항이다. R_{out} 은 f_c 와 R_{switch} 에 의존하는 비선형적인 함수이다[3.3-3.5]. 본 공정에서 트랜지스터 스위치의 ON 저항은 약 7.6kΩ이고 기생 커패시턴스는 수십 fF이므로 출력 전류 약 25μA를 예상하면 ΔV_{stage} 는 약 1.56V가 된다.

n개의 단을 직렬 연결하면 전체 출력 전압은 다음과 같이

나타내어진다.

$$V_{out} = V_{dd} + n\Delta V_{stage} \quad (3.9)$$

7개의 단을 직렬 연결하면 3.3V 입력 전압을 약 14.2V로 증압할 것임을 계산할 수 있다. 제작 구조에서 DC-DC 컨버터의 출력 전압은 부하 저항의 선택에 따라 더 낮은 전압으로 조절 가능하므로 실제 전압 이득 ΔV_{stage} 와 출력 전압 V_{out} 은 이보다 작을 수 있다.

컨버터의 출력단에서 출력을 선택적으로 ON/OFF하는 전압 레벨 변환기를 사용하였다. 전압 레벨 변환기는 저전압을 고전압으로 변환하므로 MOSFET 노드 간에는 고전압 압력(stress)이 걸리므로 고전압 MOSFET 소자를 이용하였다. 0.7 μ m CMOS 고전압/저전압 공정과 Spectre® 회로 시뮬레이터를 이용하여 시뮬레이션한 결과 채널 선택 신호에 의해 DC-DC 컨버터의 출력이 RF MEMS 스위치에 선택적으로 전달되는 것을 확인하였다(그림 3.12).

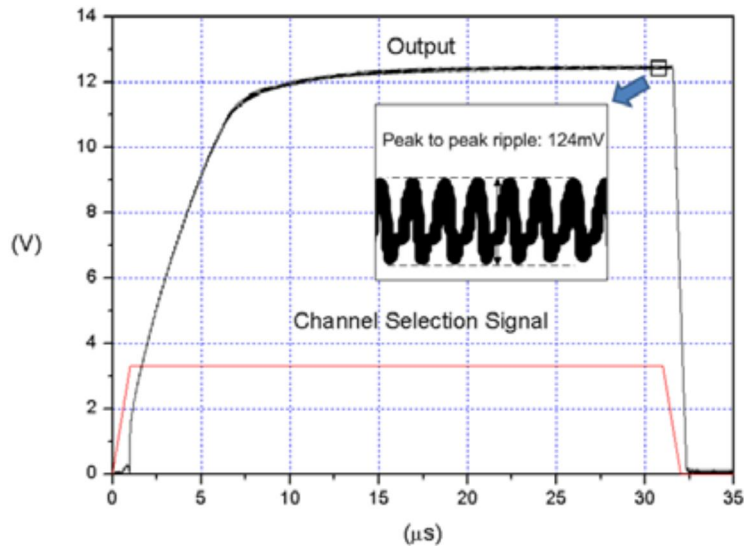


그림 3.12 1.8M Ω 부하 저항에 대한 DC-DC 컨버터 출력 포스트 시뮬레이션 결과(채널 선택 신호 3.3V, 1.0 μ s 오름/내림 시간)

제작된 컨버터는 그림 3.13와 같으며 전체 칩의 크기는 패드를 포함하여 2.8 x 2.1mm²이다.

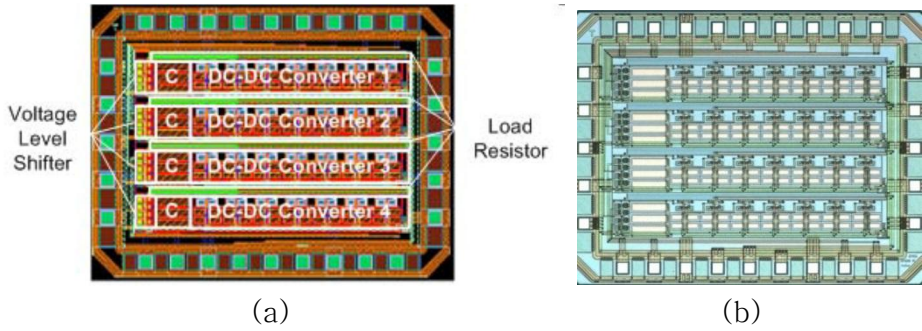


그림 3.13 4채널 승압 DC-DC 컨버터 (a)레이아웃, (b)제작된 칩

표 3.5에 부하 저항에 따른 DC-DC 컨버터 출력 측정 결과를 정리하였다. 컨버터는 각 부하 저항에 대하여 $11.3 \pm 0.1V$, $12.4 \pm 0.1V$, $14.1 \pm 0.2V$ 출력 특성을 보였으며 전력 소모는 각각에 대하여 $8.61mW$, $7.82mW$, $7.52mW$ 인 것을 확인하였다.

표 3.5 부하 저항에 따른 DC-DC 컨버터 출력 측정 결과

	Output Voltage (V)	Input Current (mA)	Power Consumption (mW)
$0.6M\Omega$	11.3	2.61	8.61
$1.8M\Omega$	12.4	2.37	7.82
$9M\Omega$	14.1	2.28	7.52

출력 증가 시간(rise time)은 평균 $30\mu s$ 이며 이는 시뮬레이션 결과 $30\mu s$ 와 일치하였고 그림 3.14와 같다.

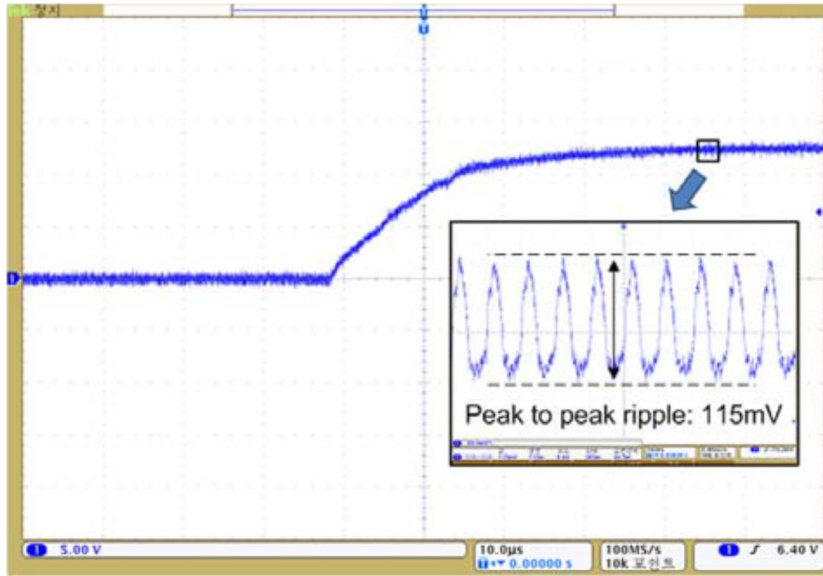


그림 3.14 1.8MΩ 부하 저항에 대한 DC-DC 컨버터 출력 전압 측정 결과

표 3.6에 부하 저항에 따른 DC-DC 컨버터 리플 시뮬레이션 값과 측정 값을 비교 정리하였다. 측정한 리플의 크기를 포스트 시뮬레이션 값과 비교하면 0.6MΩ 부하 저항의 경우 91mV와 94mV로 비슷한 것을 확인하였다. 1.8MΩ, 9MΩ 부하 저항의 경우 포스트 시뮬레이션 값보다 작은 것을 확인하였다.

표 3.6 부하 저항에 따른 DC-DC 컨버터 리플 시뮬레이션 값과 측정 값 비교

	Post Simulation(mV)	Measure(mV)
0.6MΩ	91	94
1.8MΩ	124	115
9MΩ	172	118

이는 그림 3.15의 기생 성분을 고려한 DC-DC 컨버터 출력단 모델로 설명된다. 0.6MΩ의 부하 저항의 경우 패드와 연결선에 의한 영향이 없는 반면에 1.8MΩ, 9MΩ 부하 저항의 경우 부유 상태의 패드와 금속선에 의한 기생 커패시터, 기생 저항 성분이 보이며 이 성분들이 리플 크기에 영향이 있기 때문이다.

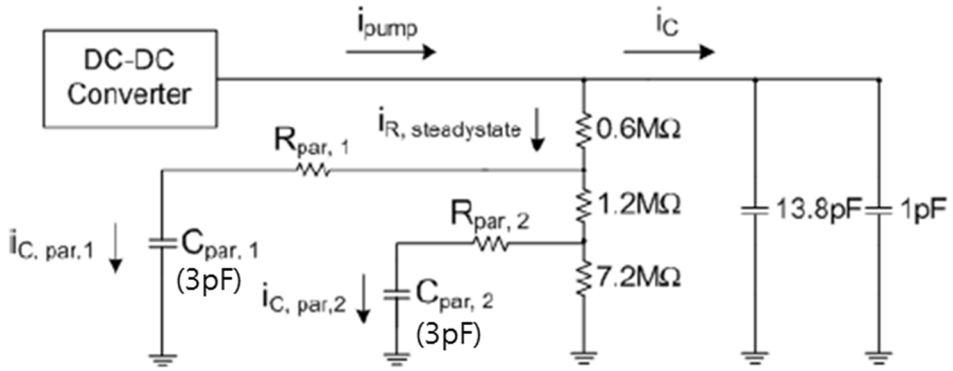


그림 3.15 기생 성분을 고려한 DC-DC 컨버터 출력단 개략도

기생 커패시터와 저항 성분을 고려하여 DC-DC 컨버터의 출력 전류 값(i_{pump})은 표 3.7에 정리하였고 다음 식으로 표현된다.

표 3.7 부하 저항에 따른 DC-DC 컨버터 출력 전류 계산 결과

	$i_{R,steadyst.} (\mu A)$	$i_c (\mu A)$	$i_{c,par} (\mu A)$	$i_{pump} (\mu A)$
0.6MΩ	18.8	13.9	0	32.7
1.8MΩ	6.89	17.0	3.45	27.3
9MΩ	1.57	17.5	7.08	26.2

$$i_{R,steadystate} = \frac{V_{out}}{R_{out}} \quad (3.10)$$

$$i_c = \Delta V_{out} \times C_{load} \times f_c \quad (3.11)$$

$$i_{c,par} = \Delta V_{out} \times C_{par} \times f_c \quad (3.12)$$

$$i_{pump} = i_{R,steadystate} + i_c + i_{c,par} \quad (3.13)$$

V_{out} 은 정상 상태에서 출력 전압, $i_{R,steadystate}$ 는 정상 상태에서 부하저항 R_{out} 을 통해 흐르는 전류, ΔV_{out} 은 정상 상태에서 출력 전압의 리플, f_c 는 전압 더블러의 클럭 주파수, $i_{c,par}$ 는 패드 기생 커패시터에

흐르는 전류, C_{par} 는 패드 기생 커패시턴스, C_{load} 는 부하에 걸리는 커패시턴스 총합, i_C 는 부하 커패시터에 흐르는 전류이다[3.6].

Pad 연결이 되어있지 않은 경우에 대하여 기생 커패시터에 흐르던 전류는 부하 커패시터로 흐르게 되므로 포스트 시뮬레이션과 동일한 조건에서 리플을 계산할 수 있다. 0.6M Ω , 1.8M Ω , 9M Ω 부하 저항 순서로 각각 94mV, 138mV, 166mV이며 이는 포스트 시뮬레이션 결과와 유사하다.

4채널에서 출력 전압이 모두 일치하는 것과 제작된 칩의 측정 결과 네 개의 채널이 채널 선택 신호에 따라 선택적으로 ON/OFF 되는 것을 그림 3.16에서 확인하였다.

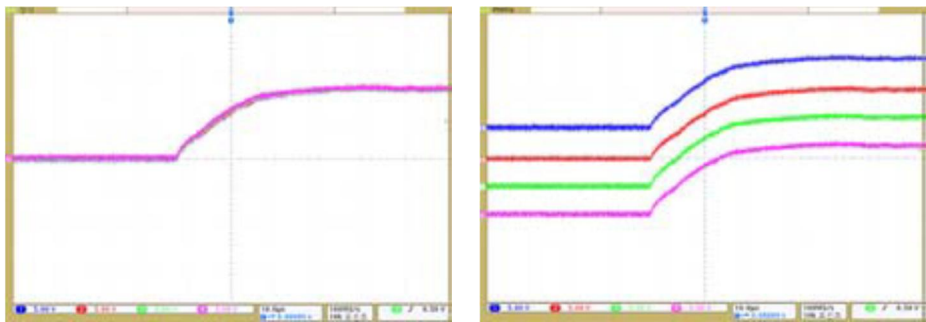


그림 3.16 1.8M Ω 부하 저항에 대한 DC-DC 컨버터 4채널 출력 전압

제작된 CMOS DC-DC 컨버터와 지금까지 제작된 MEMS 기기 구동용 DC-DC 컨버터의 특성을 표 3.8에 비교, 정리하였다. 제작된 CMOS DC-DC 컨버터 출력의 리플이 더 작아 안정적으로 전류를 공급할 수 있는 장점을 확인하였다.

표 3.8 정전 구동 방식의 MEMS 기기 구동용 CMOS DC-DC 컨버터

	DALSA Semiconductor Inc. (2004) [1.38]		IMEC (2004) [1.39]	SNU, 본 논문 (2009) [1.37]			IHP (2013) [1.40]			Units
	0.6M Ω	1.8M Ω	9M Ω	250k Ω	1M Ω	5M Ω				
공정 기술	0.8	0.8	0.7	0.7	0.7	0.7	0.25	0.25	0.25	μm
입력 전압	5.0	5.0	5	3.3	3.3	3.3	4.25	3.25	2.75	V
출력 전압	20.0	50.0	32	11.3	12.4	14.1	40	40	40	V
단수	5	16	12	7	7	7	20	20	20	-
한 단의 승압 전압	3	2.8	2.25	1.14	1.3	1.54	1.79	1.84	1.86	V
클럭 주파수	10	10	1.875	10	10	10	~20 (내부)	~20 (내부)	~20 (내부)	MHz
출력 전압의 리플	400	400	-	94	115	118	~3670	~2670	~1340	mV
출력 전류	25	50	-	32.7	27.3	26.2	-	-	-	μA
소모 전력	-	-	-	8.61	7.82	7.52	75	27	12	mW
				(레벨 변환기 포함)			(링 발진기 포함)			
면적	30K	330K	11840K	5880K (4개 컨버터, 28개 패드 포함)			300K (링 발진기, 3개 패드 포함)			μm^2

제 3 절 재배선층 설계

MEMS 공정이 가능한 비저항(resistivity)이 10000Ωcm 이상인 고저항 실리콘을 재배선층 기판으로 선정하고 전송 선로는 금 배선의 실리콘 산화막과 실리콘 트렌치 조합의 CPW를 선정하였다. 스위치를 외부 파티클(particle)로부터 보호하기 위하여 BCB(BenzoCycloButene) 물질을 패키지 물질로 선정하였다. 선정한 재배선층 물질의 특성과 수치는 표 3.9 와 같으며 시뮬레이션 모델은 그림 3.17과 같다. 스위치와 재배선층 연결은 직육면체 모양의 저온 무연납(Sn 42.0/Bi 58.0)으로 모델링하였다.

표 3.9 재배선층 물성 및 수치

	Value
Transmission line (CPW, Au)	
S, Signal Width (μm)	115
G, Signal Gap (μm)	27
T, Metal Thickness (μm)	3
Conductivity (S/m)	41×10^6
Substrate (Si)	
Dielectric Constant	11.9 (Si), 4 (SiO ₂)
H, Substrate Height (μm)	500
T _{Trench} , Substrate Trench (μm)	50
T _{SiO2} , SiO ₂ Thickness (μm)	1
Substrate Area (mm ²)	3×3
Bump (Solder, Sn 42.0/Bi 58.0)	
BH, Bump Height (μm)	100
Conductivity (S/m)	25.6×10^5
PKG (BCB)	
Dielectric Constant	2.6
PH, PKG Height (μm)	100
Area (mm ²)	2×2

고저항 실리콘 기판 위 $1\mu\text{m}$ 두께의 실리콘 산화막이 있으며 그 위에 $3\mu\text{m}$ 두께의 금으로 된 전송 선로가 있다. 신호선 주변에는 $50\mu\text{m}$ 깊이의 트렌치가 형성되어있다. 고주파 신호는 RF1과 RF2 포트를 통하여 전달되고 RF MEMS 스위치 구동 전압은 V1(DC) 포트를 통하여 인가된다.

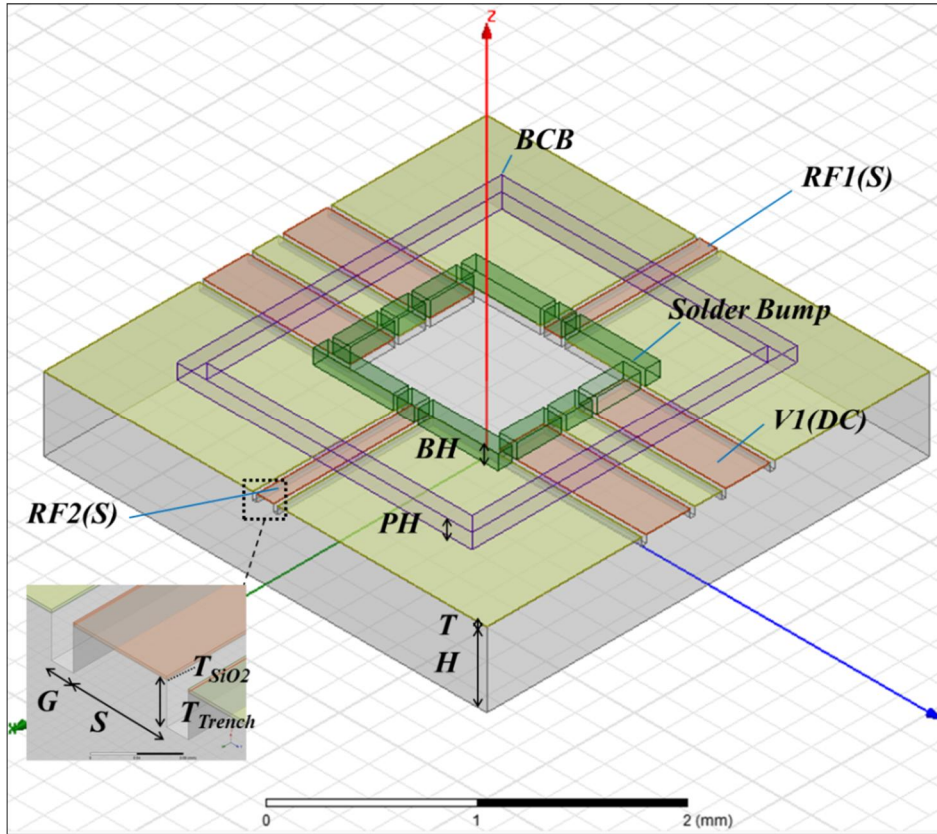
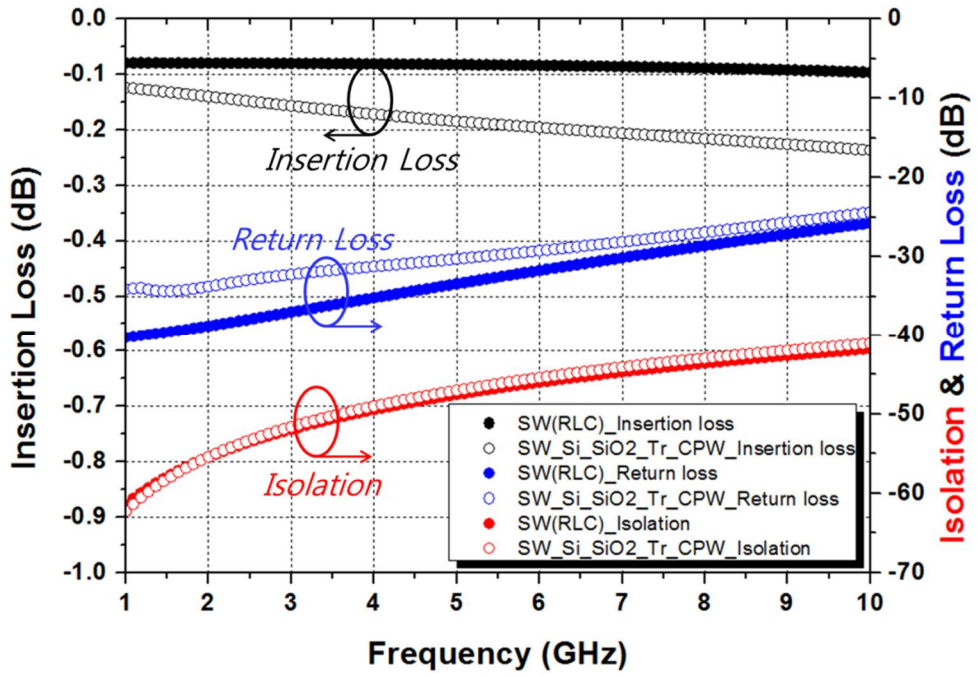


그림 3.17 실리콘 트렌치와 CPW 전송 선로 조합의 재배선층 HFSS 시뮬레이션 모델

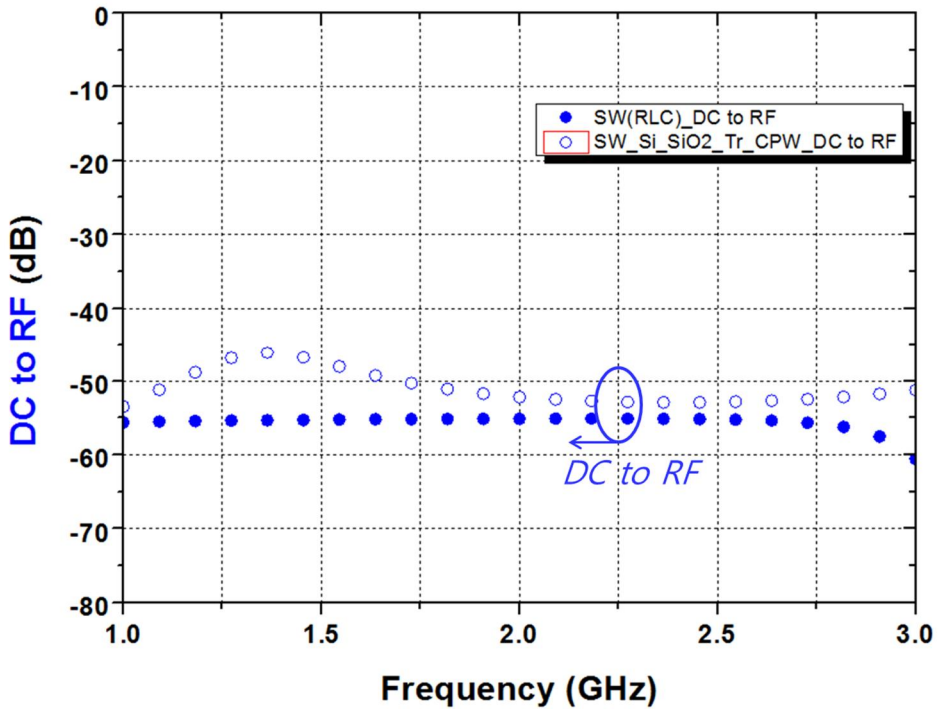
재배선층 HFSS 시뮬레이션 결과는 ADS 호환 가능한 touchstone, SnP 파일로 변환을 하여 스위치 RLC 집중 소자 모델과 결합하여 기판과 전송 선로에 따른 이중 통합 시 고주파 특성 변화를 확인하였다.

제 4 절 이중 통합 특성 예상 및 분석

재배선층과 스위치를 결합 전후 시뮬레이션 결과는 그림 3.18과 같다.



(a)



(b)

그림 3.18 스위치와 CPW 실리콘 트렌치 재배선층과 결합 전후 특성 비교 시뮬레이션 결과 (a) 고주파 특성, (b) ON 상태에서의 DC to RF 특성(SW(RLC)_: 결합 전, SW_Si_SiO2_Tr_CPW_: 결합 후)

재배선층과 결합 후 삽입 손실과 반사 손실은 특성이 열화되고 신호 분리도 특성은 개선되는 경향을 확인하였다. 표 3.10은 목표 대역 6GHz 이하 주파수에서 고주파 특성을 나타내었다.

표 3.10 스위치와 CPW 실리콘 트렌치 재배선층과 결합 전후 특성 비교 시뮬레이션 결과 < 6GHz

	결합 전 (스위치)	결합 후 (스위치와 재배선층)
Insertion loss (dB)	< 0.08	< 0.20
Return loss (dB)	> 31.75	> 29.25
Isolation (dB)	> 45.96	> 45.41
DC to RF (dB) < 3GHz	> 55.10	> 46.13

6GHz 대역에서 삽입 손실은 0.08dB 이하에서 0.20dB이하로 약 0.12dB, 반사 손실은 31.75dB 이상에서 29.25dB 이상으로 약 2.5dB, 신호 분리도는 45.96dB 이상에서 45.41dB 이상으로 약 0.55dB 열화하였다. RF MEMS 스위치 구동용 DC-DC 컨버터의 클럭 주파수는 수 십MHz 이하이므로 클럭에 의한 하모닉(harmonic) 성분을 고려하면 3GHz 대역까지 특성을 보는 것은 의미가 있다. DC 포트에서 RF 포트는 물리적으로 분리되어 있으므로 신호 분리도 특성을 보였으며 특성은 3GHz 대역에서 55.10dB이상에서 46.13dB이상으로 약 8.97dB 열화 되었다. 이때 DC 포트는 전송 선로가 아니라서 임피던스 부정합 상태임을 감안해야 한다.

제 4 장 이중 통합 재배선층 설계

제 1 절 칩 선정

칩의 성능 변동에 의한 영향을 최소화 하고 기판과 전송 선로 변화에 의한 영향을 확인하면서 재현성을 확보하기 위해 상용 칩과 플립칩 공정을 이용하였다. 상용칩으로 정전 구동 방식 저항 접촉 OMRON RF MEMS 스위치를 선정하였다. 선정한 OMRON 칩은 이미 다수의 고주파 응용 연구에서 검증되었다[4.1-4.3]. OMRON 칩은 4GHz 대역까지 RLC 집중 소자(lumped component) 모델링이 연구 되었으나[4.1] 그 이상의 대역에서는 추가적으로 연구가 필요하다. 그리고 컨버터의 구동 전압에 실린 클럭 리플이 스위치의 성능에 주는 영향을 판단하기 위해서는 DC 포트에서 RF 포트로의 고주파 특성에 대한 연구가 필요하다. 그림 4.1은 OMRON 칩을 10GHz 대역까지 RLC 집중 소자로 모델링한 결과이다. 선정된 OMRON 스위치는 SPDT 스위치이며 RF_COM 단자로 입력된 신호가 RF1 또는 RF2에 전송된다. 그림 4.1에서 RF2 신호에 해당하는 스위치는 항상 OFF 상태이고 RF1 신호에 해당하는 스위치는 ON 또는 OFF를 하는 상태이며 파란 점선 네모 안의 부분이 스위치 접촉과 전송 선로 부분을 모델링한 결과이다.

전송 선로 또는 접촉 부분과 같이 금속으로 연결된 부분은 저항과 인덕터 성분으로 모델링하며 전송 선로와 전송 선로 사이 또는 접촉과 전송 선로 사이와 같이 끊어진 부분은 커패시터로 모델링 할 수 있다. 데이터 시트 상에서 접촉 저항 성분은 최대 1500mΩ이나 이는 극한 상황의 경우이고 0.5mV DC 상태에서 0.5mA, 핫 스위치(hot switch), 10⁸ 동작 조건에서 125개 샘플, 250개 접촉에 대하여 평균적으로 ±100mΩ 내외인 것을 모델링에 반영하였다[4.4]. OMRON RF MEMS 스위치 모델의 RLC 집중 소자 값은 표 4.1과 같다. RLC 집중 소자 모델링에는 스위치의 구조를 고려하였다[4.5-4.6].

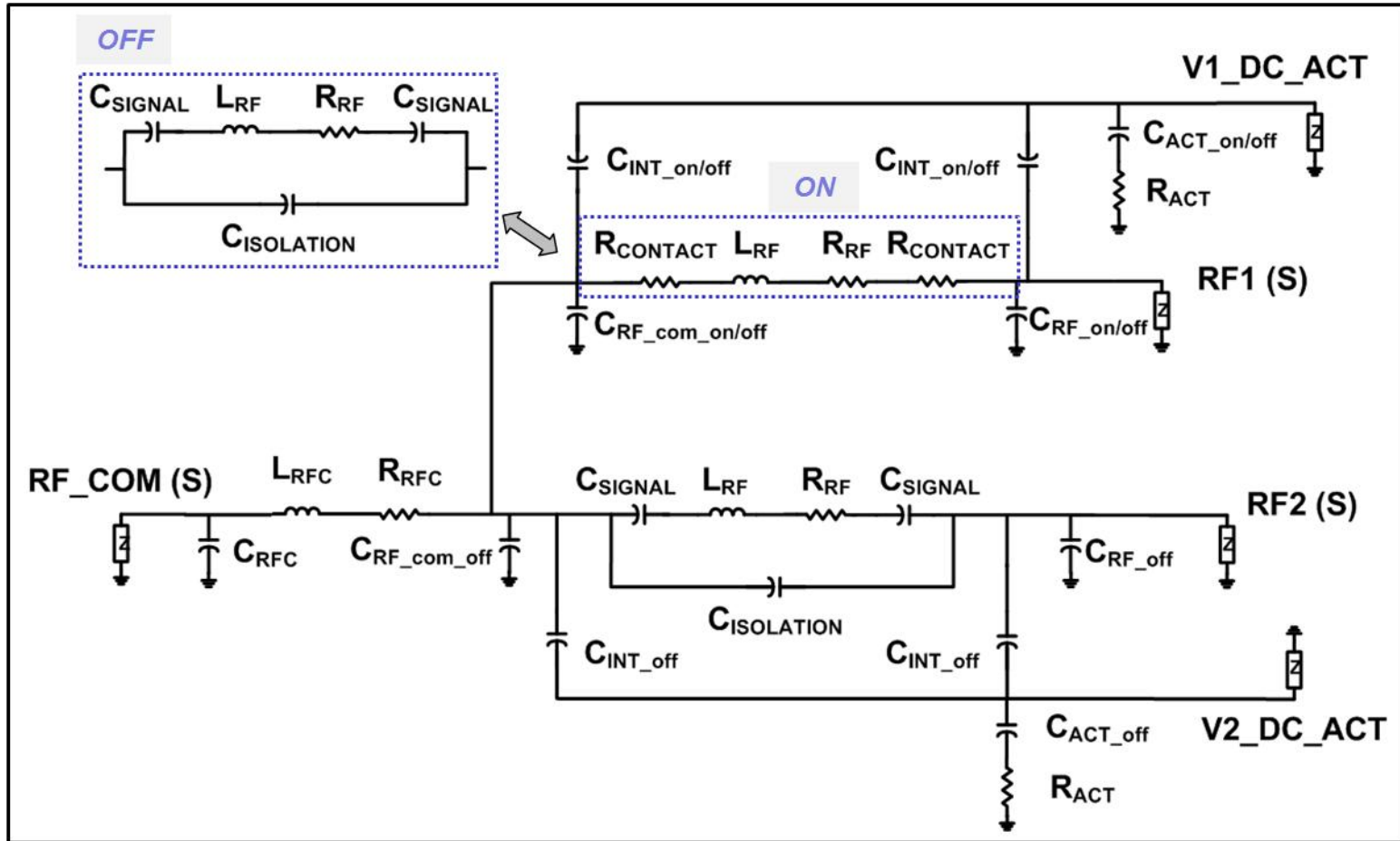


그림 4.1 OMRON RF MEMS 스위치를 RLC 집중 소자로 모델링 결과

표 4.1 OMRON RF MEMS 스위치 RLC 집중 소자 모델의 성분값

Lumped Elements	Value	Lumped Elements	Value
$R_{CONTACT}$ (m Ω)	97.0	L_{RF} (pH)	854.6
R_{RF} (m Ω)	661.8	$C_{RF_com_on/off}$ (fF)	298.1/249.6
C_{SIGNAL} (fF)	1.0	$C_{RF_on/off}$ (fF)	298.1/249.6
$C_{ISOLATION}$ (fF)	7.4	R_{RFC} (m Ω)	866.5
C_{RFC} (fF)	243.2	L_{RFC} (nH)	1.1
$C_{INT_on/off}$ (fF)	23.7/6.9	$C_{ACT_on/off}$ (fF)	20.0/6.2
R_{ACT} (k Ω)	10.0	—	—

측정 결과와 모델링 결과를 이용한 고주파 특성 시뮬레이션 결과를 그림 4.2, 그림 4.3에 나타내고 표 4.2에 정리하였다.

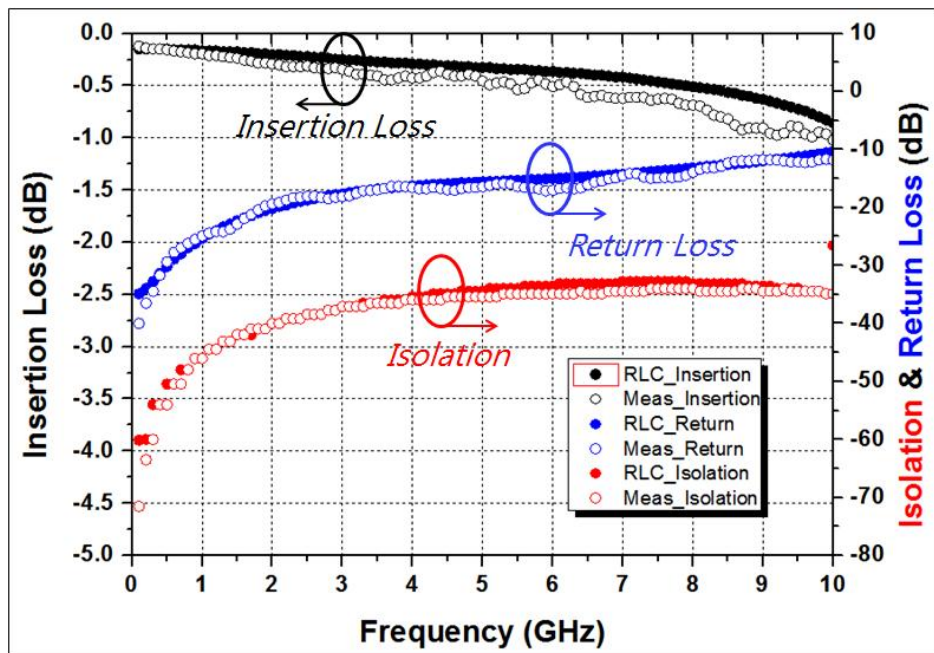


그림 4.2 OMRON RF MEMS 스위치의 삽입 손실, 반사 손실, 신호 분리도 특성(RLC_: 집중 소자 모델 시뮬레이션 값, Meas_: 측정 값)

6GHz 대역에서 측정 결과와 집중 소자 모델의 시뮬레이션 결과는 각각 삽입 손실은 0.54dB 이하와 0.36dB 이하, 반사 손실은 15.86dB

이상과 15.04dB 이상, 신호 분리도는 34.89dB 이상과 33.56dB 이상이였다. 그림 4.2의 그래프에서 측정 결과와 집중 소자 모델의 시뮬레이션 결과는 0에서 10GHz 대역에서 고주파 특성이 유사한 것을 확인할 수 있으며 따라서 모델링이 적절하게 이루어졌다는 것을 확인하였다.

DC 포트에서 RF 포트로의 특성은 측정 결과와 모델링 결과에 다소 차이가 있었다. 그 이유는 DC 포트에서 RF 포트로의 경로는 전송 선로가 아니며 의도적으로 임피던스 매칭한 선로가 아니기 때문이다. 0에서 10GHz 대역에서 DC 포트에서 RF 포트로의 특성은 20dB 이상의 우수한 신호 분리 특성을 가진 것으로 확인하였으며 따라서 컨버터의 클럭 리플 성분이 RF MEMS 스위치에 주는 영향은 미미할 것으로 예상할 수 있다.

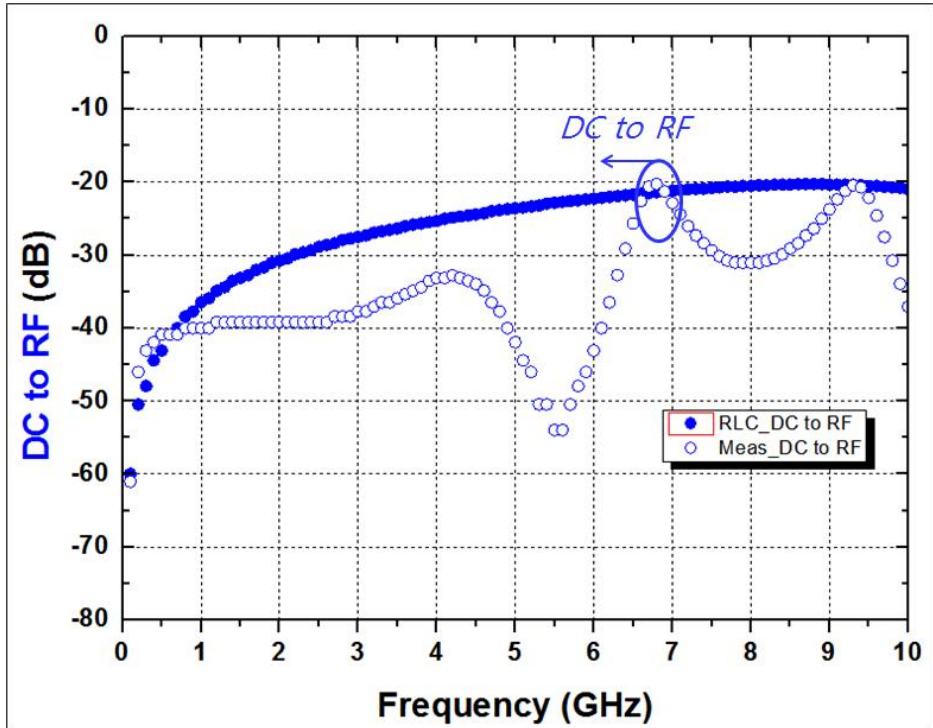


그림 4.3 OMRON RF MEMS 스위치의 DC to RF 특성(RLC_: 집중 소자 모델 시뮬레이션 값, Meas_: 측정 값)

표 4.2 OMRON RF MEMS 스위치의 RLC 집중 소자 모델 시뮬레이션 결과와 측정 결과 비교 < 6GHz

	Simulation (RLC Model)	Measurement
Insertion loss (dB)	< 0.36	< 0.54
Return loss (dB)	> 15.04	> 15.86
Isolation (dB)	> 33.56	> 34.89
DC to RF (dB) < 3GHz	> 27.54	> 37.72

OMRON RF MEMS 스위치의 구동 전압은 $34 \pm 1.7V$ 로 3.3V 신호로 구동하기 위해서는 승압 DC-DC 컨버터가 필요하다. OMRON 보고서에 따르면 스위치 구동용으로 인덕터를 사용한 부스트 타입의 컨버터를 제안한다[4.6]. 하지만 부스트 방식은 효율이 높으며 출력이 크다는 장점이 있으나 외부 수동 소자로써 인덕터를 필요로 하여 크기가 크다는 것이 단점이다. 전하 펌프 방식은 효율과 출력이 상대적으로 낮으나 MEMS 기기 구동용으로 사용하기에는 충분하며 CMOS 공정으로 제작할 경우 외부 수동 소자를 필요로 하지 않아서 소형화가 가능하다는 것이 장점이다[1.37]. 따라서 CMOS 공정 가능성을 고려하여 Dickson 전하 펌프 방식의 DC-DC 컨버터를 이용하여 OMRON RF MEMS 스위치를 구동하였다. Dickson 전하 펌프 방식의 DC-DC 컨버터에 사용한 상용 칩은 표 4.3과 같다.

열두 단의 Dickson 전하 펌프를 직렬로 구성하였고 1MHz 클럭 주파수를 이용하여 3.3V 입력을 약 34V로 승압 할 수 있도록 ADS 프로그램을 이용하여 설계하였다. 설계한 컨버터의 시뮬레이션 상의 평균 전압의 10%에서 90%로의 출력 증가 시간(rise time)은 약 $200\mu s$, 정상 상태(steady state)에서 출력 전압의 평균은 35.7V이며 리플은 피크 투 피크(peak to peak) 74.3mV이며 평균 리플은 $13.6mV^2$ 이었다. Dickson 전하 펌프의 리플은 다음 수식으로도 예상할 수 있으며 ADS 시뮬레이션 결과와 유사한 수준인 피크 투 피크 약 35mV이다[4.7-4.8].

$$V_r = \frac{V_{out}}{fR_L C_L} \quad (4.1)$$

V_r 은 출력 전압의 리플, V_{out} 은 출력 전압으로 35V, f_s 는 클럭 주파수로 1MHz, R_L 은 부하 저항으로 RF MEMS 스위치의 DC 포트 저항인 10k Ω , C_L 은 부하 커패시턴스로 100nF이다.

표 4.3 OMRON RF MEMS 스위치 구동용 Dickson 전하 펌프 방식의 DC-DC 컨버터 구성용 상용 칩 목록

Part Name	Manufacture	Model Number	Specifications
Diode	Fairchild	ES2D	Forward voltage: 0.90V, Average Forward Current: 2A, Reverse recovery time: 20ns, Max reverse voltage: 200V, 18pF
Capacitor	Murata	GRM188R 71H104K A93	100 \pm 10nF, <50V, Capacitance change rate: \pm 15.0%
MUX	Texas Instruments	SN74HC1 57	Propagation delay: <160ns when $C_L=50$ pF

제 2 절 재배선층 설계

4.2.1 설계 변수에 따른 고주파 특성 분석

고주파 특성에 영향을 주는 재배선층의 물리적 요소들의 변화에 따른 고주파 특성 변화 경향성을 파악하고자 전송 선로의 종류를 CPW로 고정하고 재배선층 전송 선로의 집중 소자 모델링을 진행하였다. 그리고 재배선층 전송 선로의 집중 소자 모델과 RF MEMS 스위치의 집중 소자 모델을 ABCD 행렬로 변환 후 결합하여 이중 통합 후 RF MEMS 스위치의 고주파 특성을 분석하였다. 재배선층 전송 선로의 집중 소자 성분은 quasi-static TEM 모드에서 신호 전송이 된다는 가정하에

도출되었다. 재배선층의 저항 성분, R_{RDL} 은 직류 저항과 교류 저항의 합으로 표현되며 식 (2.6)과 같다. 듀로이드 기판, FR4 기판, 실리콘 위 실리콘 산화막 구조 기판, 실리콘 트렌치 위 실리콘 산화막 구조 기판의 유효 유전 상수와 커패시턴스는 다음과 같이 표현된다[4.9-4.10].

$$\varepsilon_{eff_CPW} = 1 + \frac{1}{2}(\varepsilon_{rsub} - 1) \frac{K(k'_0) K(k_{sub})}{K(k_0) K(k'_{sub})} \quad (4.2)$$

$$\varepsilon_{eff_CPW_Si_SiO_2} = 1 + \frac{1}{2}(\varepsilon_{rsi} - 1) \frac{K(k'_0) K(k_{si})}{K(k_0) K(k'_{si})} + \frac{(\varepsilon_{rSiO_2} - \varepsilon_{rsi})}{2} \frac{K(k'_0) K(k_{SiO_2})}{K(k_0) K(k'_{SiO_2})} \quad (4.3)$$

$$\begin{aligned} \varepsilon_{eff_CPW_Si_SiO_2_Trench} = \\ 1 + \frac{1}{2}(\varepsilon_{rsi} - 1) \frac{K(k'_0) K(k_{si})}{K(k_0) K(k'_{si})} + \frac{(\varepsilon_{rtrench} - \varepsilon_{rsi})}{2} \frac{K(k'_0) K(k_{trench})}{K(k_0) K(k'_{trench})} + \\ \frac{(\varepsilon_{rSiO_2} - \varepsilon_{rtrench})}{2} \frac{K(k'_0) K(k_{SiO_2})}{K(k_0) K(k'_{SiO_2})} \end{aligned} \quad (4.4)$$

$$C_{air} = 4\varepsilon_0 \frac{K(k_0)}{K(k'_0)} l \quad (4.5)$$

$$C_{CPW} = \varepsilon_{eff_CPW} C_{air} \quad (4.6)$$

$$C_{CPW_Si_SiO_2} = \varepsilon_{eff_CPW_Si_SiO_2} C_{air} \quad (4.7)$$

$$C_{CPW_Si_SiO_2_Trench} = \varepsilon_{eff_CPW_Si_SiO_2_Trench} C_{air} \quad (4.8)$$

$$C_{RDL} = \frac{C_{CPW \text{ or } CPW_Si_SiO_2 \text{ or } CPW_Si_SiO_2_Trench}}{2} + \varepsilon_0 \frac{tl}{w} \quad (4.9)$$

$$K(k_0), K(k'_0), K(k_{sub}), K(k'_{sub}), K(k_{si}), K(k'_{si}), K(k_{SiO_2}), K(k'_{SiO_2}),$$

$K(k_{trench}), K(k'_{trench})$ 는 제 1종 완전 타원 적분이며 ε_{rsub} 는 듀로이드, FR4와 같은 단일 기판의 유전 상수, ε_0 은 진공의 유전율, ε_{rsi} 은 실리콘의 유전 상수, ε_{rSiO_2} 는 실리콘 산화막의 유전 상수, $\varepsilon_{rtrench}$ 는 실리콘 트렌치의 유전 상수이다. 실리콘 트렌치의 유전 상수는 진공 상태인 1을 가정하였다. C_{air} 는 모든 유전체가 없는 상황의 두께를 고려하지 않은 전송 선로의 총 커패시턴스, C_{CPW} , $C_{CPW_Si_SiO_2}$,

$C_{CPW_SI_SiO_2_Trench}$ 는 유전체가 있는 상황의 금속 두께를 고려하지 않은 전송 선로의 총 커패시턴스, C_{RDL} 은 유전체가 있는 상황의 금속 두께를 고려한 전송 선로의 커패시턴스, t 는 전송 선로 금속의 두께, w 는 전송 선로의 신호선과 접지 사이의 간격, l 은 신호선의 길이이다. C. P. Wen의 Conformal mapping 방식으로 해석되었다[4.11].

$k_0, k'_0, k_{sub}, k'_{sub}, k_{Si}, k'_{Si}, k_{SiO_2}, k'_{SiO_2}, k_{trench}, k'_{trench}$ 각각은 다음과 같다.

$$k_0 = \frac{S}{S+2W} \quad (4.10)$$

$$k_{sub} = \frac{\sinh\left(\frac{\pi S}{4h_{sub}}\right)}{\sinh\left(\frac{\pi(S+2W)}{4h_{sub}}\right)} \quad (4.11)$$

$$k_{Si} = \frac{\sinh\left(\frac{\pi S}{4(h_{Si}+h_{SiO_2})}\right)}{\sinh\left(\frac{\pi(S+2W)}{4(h_{Si}+h_{SiO_2})}\right)} \quad (4.12)$$

$$k_{SiO_2} = \frac{\sinh\left(\frac{\pi S}{4h_{SiO_2}}\right)}{\sinh\left(\frac{\pi(S+2W)}{4h_{SiO_2}}\right)} \quad (4.13)$$

$$k_{trench} = \frac{\sinh\left(\frac{\pi S}{4(h_{trench}+h_{SiO_2})}\right)}{\sinh\left(\frac{\pi(S+2W)}{4(h_{trench}+h_{SiO_2})}\right)} \quad (4.14)$$

$$k'_0 = \sqrt{1 - k_0^2} \quad (4.15)$$

$$k'_{sub} = \sqrt{1 - k_{sub}^2} \quad (4.16)$$

$$k'_{Si} = \sqrt{1 - k_{Si}^2} \quad (4.17)$$

$$k'_{SiO_2} = \sqrt{1 - k_{SiO_2}^2} \quad (4.18)$$

$$k'_{trench} = \sqrt{1 - k_{trench}^2} \quad (4.19)$$

S는 신호선 폭, h_{sub} 는 FR4와 듀로이드 같은 단일 기판의 두께, h_{Si} 는 실리콘 기판의 두께, h_{SiO_2} 는 실리콘 산화막의 두께, h_{trench} 는 실리콘 트렌치의 두께이다. 재배선층 전송 선로 금속의 두께를 고려한 집중 소자 모델의 인덕턴스, L_{RD_L} 은 두 금속 평행판 인덕턴스, L_{PP} 와 금속 두께를 고려하지 않은 CPW의 인덕턴스, L_{GS} 의 병렬로 표현되며 다음과 같다[4.10].

$$L_{RD_L} = L_{PP} // L_{GS} \approx \frac{\mu_0 t}{2 \left(2 \frac{K(k_0)}{K(k_0')} + \frac{t}{w} \right)} \quad (4.20)$$

μ_0 는 진공의 투자율이다. 재배선층 전송 선로의 집중 소자 모델과 RF MEMS 스위치 집중 소자 모델의 결합은 그림 4.4과 같이 표현된다. 제2장 제4절에서 재배선층의 1mm 분리된 전송 선로의 커패시턴스, $C_{ISOLATION}$ 을 집중 소자 모델링 및 수식으로 계산하였고 aF 단위인 것을 확인하였다. OMRON RF MEMS 스위치의 경우 RF_COM 포트에서 RF1 포트로의 거리는 약 2mm이며 역시 aF 단위인 것을 예상할 수 있었다. 따라서 10GHz 대역에서 분리된 전송 선로의 커패시턴스, $C_{ISOLATION}$ 의 임피던스는 약 $10^7 \sim 10^8$ 옴 단위임을 예상할 수 있었다. 반면에 OMRON RF MEMS 스위치의 임피던스는 수에서 수십 옴 단위이므로 전송 분리된 선로의 커패시턴스, $C_{ISOLATION}$ 은 OMRON RF MEMS 스위치와 병렬 연결될 경우, 그 영향이 미미하므로 모델링에서는 제외하였다. 재배선층의 물리적 특성 변화에 따른 고주파 특성 변화를 확인하기 위하여 플립칩 범프는 이상적인 전도체로 가정하였다. $R_{RD_L_RF_COM}$, $L_{RD_L_RF_COM}$ 각각은 RF MEMS 스위치의 RF_COM 포트와 연결된 재배선층의 저항, 인덕턴스이며 각각은 R_{RD_L} , L_{RD_L} 의 1/2이다. $C_{RD_L_RF_COM}$ 은 RF MEMS 스위치의 RF_COM 포트와 연결된 재배선층의 커패시턴스이며 C_{RD_L} 과 같다. $R_{RD_L_RF1}$, $L_{RD_L_RF1}$ 각각은 RF MEMS 스위치의 RF1 포트와 연결된 재배선층의 저항, 인덕턴스이며 각각은 R_{RD_L} , L_{RD_L} 의 1/2이다. $C_{RD_L_RF1}$ 은 RF MEMS 스위치의 RF1 포트와 연결된 재배선층의 커패시턴스이며 C_{RD_L} 과 같다. RF MEMS 스위치의 RLC 집중 소자 모델 성분 값은 표 4.1과 같다. 각 부분의 임피던스는 Z1에서 Z9까지 아홉 부분의 임피던스로 정리되며 그림 4.5에 모델을 나타내었으며 각 임피던스는 다음과 같이 표현된다.

$$Z1 = \frac{1}{j\omega C_{RDL_RF_COM}} \quad (4.21)$$

$$Z2 = R_{RDL_RF_COM} + j\omega L_{RDL_RF_COM} \quad (4.22)$$

$$Z3 = \frac{1}{j\omega C_{RFC}} \quad (4.23)$$

$$Z4 = R_{RFC} + j\omega L_{RFC} \quad (4.24)$$

$$Z5 = \frac{1}{j\omega C_{RF1_com_on/off}} \quad (4.25)$$

$$Z6 = 2R_{CONTACT} + R_{RF} + j\omega L_{RF} \quad (4.26)$$

$$Z_{6ISO} = \frac{\frac{1}{j\omega C_{ISOLATION}}(R_{RF} + j\omega L_{RF} + \frac{2}{j\omega C_{SIGNAL}})}{R_{RF} + j\omega L_{RF} + \frac{2}{j\omega C_{SIGNAL}} + \frac{1}{j\omega C_{ISOLATION}}} \quad (4.27)$$

$$Z7 = \frac{1}{j\omega C_{RF1_on/off}} \quad (4.28)$$

$$Z8 = R_{RDL_RF1} + j\omega L_{RDL_RF1} \quad (4.29)$$

$$Z9 = \frac{1}{j\omega C_{RDL_RF1}} \quad (4.30)$$

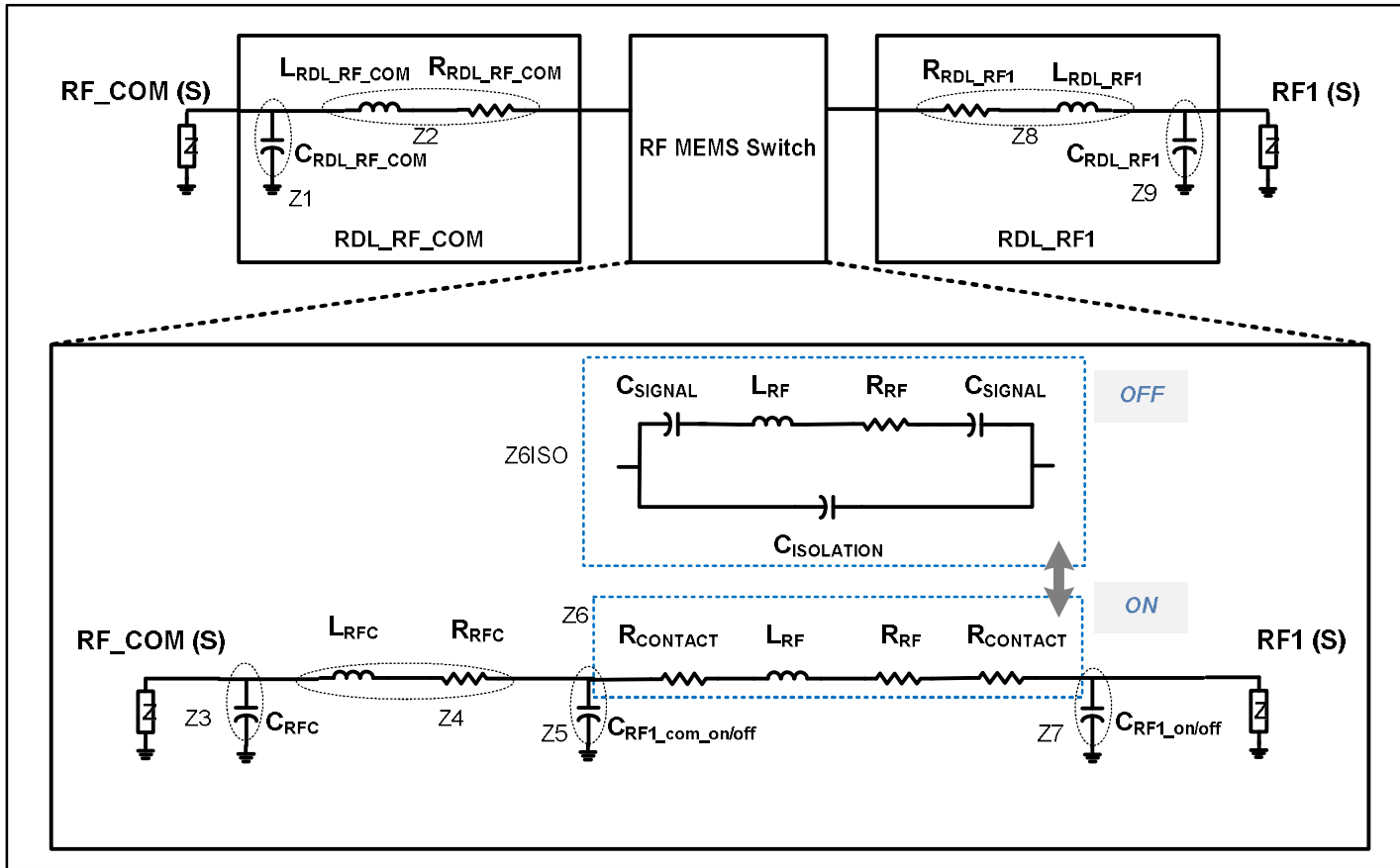


그림 4.4 재배선층과 RF MEMS 스위치를 결합한 집중 소자 모델

Z1에서 Z9까지의 임피던스 연결을 그림 4.5에 나타내었다.

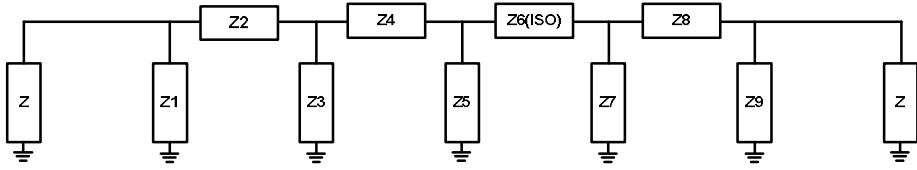


그림 4.5 재배선층과 RF MEMS 스위치 결합 임피던스 모델

각 임피던스 부분은 ABCD 행렬로 표현할 수 있으며 각 ABCD 행렬의 곱으로 재배선층과 RF MEMS 스위치 결합의 ABCD 행렬은 다음 식으로 표현된다.

$$\begin{pmatrix} A & B \\ C & D \end{pmatrix} = \begin{pmatrix} 1 & 0 \\ \frac{1}{Z_1} & 1 \end{pmatrix} \begin{pmatrix} 1 & Z_2 \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{Z_3} & 1 \end{pmatrix} \begin{pmatrix} 1 & Z_4 \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{Z_5} & 1 \end{pmatrix} \begin{pmatrix} 1 & Z_{6(or\ 6ISO)} \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{Z_7} & 1 \end{pmatrix} \begin{pmatrix} 1 & Z_8 \\ 0 & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{Z_9} & 1 \end{pmatrix} \begin{pmatrix} 1 & 0 \\ \frac{1}{Z} & 1 \end{pmatrix} \quad (4.31)$$

고주파 특성 S_{21} 과 S_{22} 을 ABCD 행렬로 나타내면 다음과 같다.

$$S_{21} = \frac{2}{A + \frac{B}{Z} + CZ + D} \quad (4.32)$$

$$S_{22} = \frac{-A + \frac{B}{Z} - CZ + D}{A + \frac{B}{Z} + CZ + D} \quad (4.33)$$

식 (4.32)와 식 (4.33)에 식 (4.1)에서 식(4.31)의 결과를 대입하여 정리하면 이중 통합 후 삽입 손실, 반사 손실, 신호 분리도 고주파 특성을 수식으로 예상할 수 있다. 수식 계산에는 Matlab(The MathWorks Inc., Natick, MA, USA) 프로그램을 이용하였다.

분석한 재배선층은 $1\mu\text{m}$ 두께의 실리콘 산화막이 증착된 실리콘 기판을 기본으로 하며 자세한 물성 수치와 변화량은 표 4.4에 정리하였다.

표 4.4 재배선층의 물성 변화에 따른 RF MEMS 스위치 고주파 특성 변화를 확인하기 위한 재배선층 물성 목록과 변화량

Transmission line	
Substrate and Dielectric	Si(507 μm) + SiO ₂ (1 μm)
Type of Transmission Line	CPW
Signal Width	100 μm
Signal Line Metal	Au(3.2 μm)
Sweep Parameters	
Substrate Thickness (μm)	100–1000, step: 100
Substrate Dielectric Constant	1–14, step: 1
Trench (μm)	20–140, step: 10
Total Signal Length (mm)	0.1– <u>1</u> , step: 0.1
Metal Conductivity ($\times 10^6\text{S/m}$)	15–60, step: 5
Metal Height (μm)	3–14, step: 1
Signal to Ground Width (μm)	1–500, step: 0.01 for Impedance Matching

1 μm 두께의 실리콘 산화막이 증착된 실리콘 기판을 기준으로 각각 기판의 두께는 100 μm 에서 1000 μm 까지 100 μm 단위로 변화하면서 기판의 유전 상수는 1에서 14까지 1 단위로 변화에 따른 RF MEMS 스위치 특성 변화를 수식을 이용하여 그림 4.6과 같이 확인하였다. 기판의 트렌치 깊이는 20 μm 에서 140 μm 까지 10 μm 단위로 변화하면서 신호선의 총 길이는 0.1mm에서 1mm까지 0.1mm 단위로 변화에 따른 RF MEMS 스위치 특성 변화를 수식을 이용하여 그림 4.7과 같이 확인하였다. 신호선 금속의 전도도는 $15 \times 10^6\text{S/m}$ 에서 $60 \times 10^6\text{S/m}$ 까지 $5 \times 10^6\text{S/m}$ 단위로 변화하면서 신호선 금속의 높이는 3 μm 에서 14 μm 까지 1 μm 단위로 변화에 따른 RF MEMS 스위치 특성 변화를 수식을 이용하여 그림 4.8과 같이 확인하였다. 전송 선로의 물리적 특성 변화에 따라 임피던스도 변화하므로 신호 선폭은 100 μm 로 고정하고 신호선과 접지 사이의 간격을 0.01 μm 를 최소 단위로 조정함으로써 49.9에서 50.1 사이 내에서 50옴 임피던스 매칭을 유지하였다. 재배선층의 CPW 전송 선로의 특성 임피던스 수식은 다음과 같다[4.10].

$$Z_0 = \frac{\sqrt{\mu_0/\epsilon_0}}{2\sqrt{\epsilon_{eff}\left(\frac{t}{w} + 2\frac{K(k_0)}{K(k'_0)}\right)}} \quad (4.34)$$

ϵ_0 은 진공의 유전율, μ_0 는 진공의 투자율, $K(k_0), K(k'_0)$ 는 제 1종 완전 타원 적분이며 t 는 전송 선로 금속의 두께, w 는 전송 선로의 신호선과 접지 사이의 간격, k_0 와 k'_0 각각은 식 (4.10)과 식(4.15)와 같다.

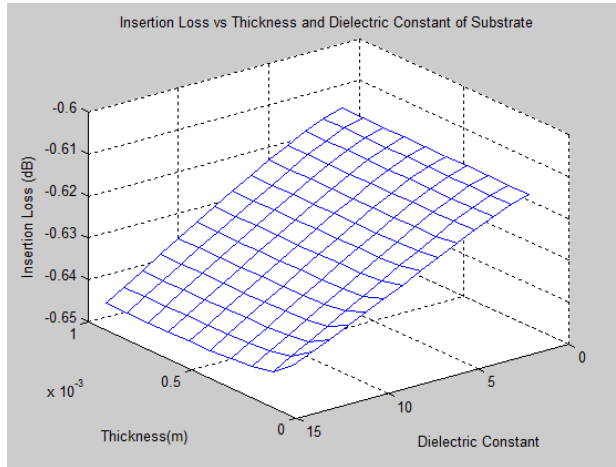
목표 대역의 최대 주파수 6GHz에서 고주파 특성 변화를 확인하였다. 6GHz의 파장은 50mm이므로 재배선층의 최대 배선 길이는 총 신호선 길이 1mm의 절반인 0.5mm 이하가 되도록 모델링하였으며 이는 6GHz의 파장의 1/100 이하로 집중 소자 모델링이 유효하다.

기판의 유전 상수가 1로 가장 작은 경우는 기판의 두께 증가에 따른 고주파 특성 변화가 없었으나 기판의 유전 상수가 14로 큰 경우는 기판의 두께가 증가함에 고주파 특성은 약 0.13dB 이하로 열화되었다. 기판의 두께가 100 μ m로 얇은 경우는 기판의 유전 상수 증가에 따라 고주파 특성은 약 0.60dB 이하로 열화되었으나 기판의 두께가 1000 μ m로 두꺼운 경우는 기판의 유전 상수가 증가함에 따라 고주파 특성은 약 0.73dB 이하로 열화되었다. 종합하면 기판의 두께는 얇고 유전 상수는 작을수록 재배선층과 접합 후 RF MEMS 스위치의 고주파 특성은 우수하였다.

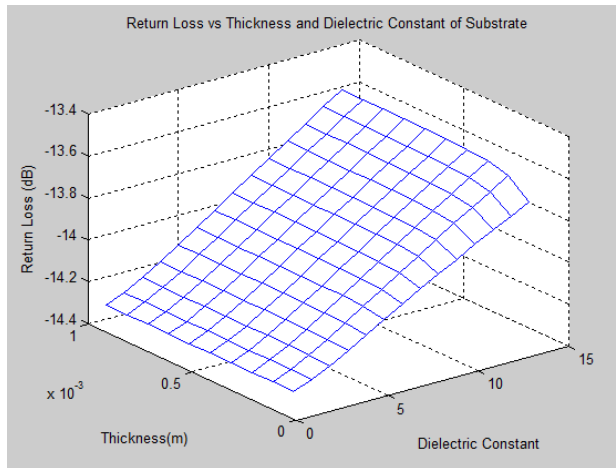
신호선의 총 길이가 0.1mm로 짧은 경우는 기판의 트렌치 깊이가 증가할수록 고주파 특성은 약 0.01dB 이하로 개선되었으나 신호선의 총 길이가 1mm로 긴 경우에는 기판의 트렌치 깊이가 증가할수록 고주파 특성은 약 0.30dB 이하로 개선되었다. 트렌치의 높이가 20 μ m로 낮은 경우는 신호선의 총 길이가 증가할수록 삽입 손실과 반사 손실은 0.28dB 이하로 열화, 신호 분리도는 0.22dB 이하 개선되었다. 트렌치의 높이가 140 μ m인 경우는 신호선의 길이가 길어질수록 삽입 손실과 반사 손실은 약 0.27dB 이하로 열화, 신호 분리도는 0.24dB 이하 개선되었다. 종합하면 트렌치의 깊이가 증가하고 신호선 길이가 짧아짐에 따라 삽입 손실과 반사 손실의 개선 비율이 신호 분리도의 열화 비율보다 크므로 트렌치는 깊을수록 신호선 길이는 짧을수록 재배선층과 접합 후 RF MEMS 스위치의 고주파 특성은 우수하였다.

신호선 금속의 높이가 3 μ m로 낮은 경우는 신호선 금속의 전도도가 증가함에 따라 삽입 손실은 약 0.26dB 이하 개선, 반사 손실과 신호

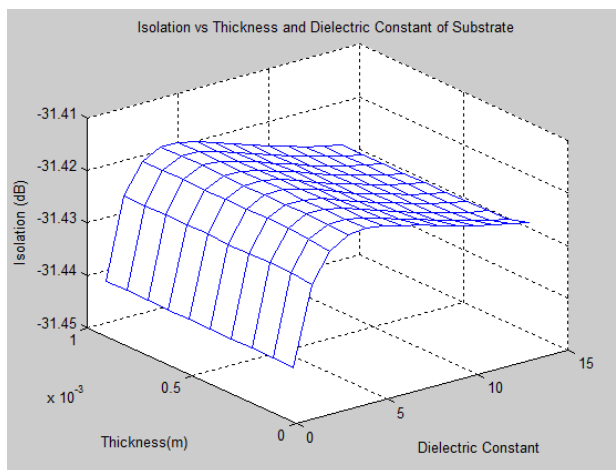
분리도는 약 0.25dB 이하 열화되었으나 신호선 금속의 높이가 14 μ m로 높은 경우는 신호선 금속의 전도도가 증가함에 따라 삽입 손실은 약 0.06dB 이하 개선, 반사 손실과 신호 분리도는 약 0.06dB 이하 열화되었다. 신호선 금속의 전도도가 15 $\times 10^6$ S/m로 낮은 경우에는 신호선의 높이가 증가함에 따라 삽입 손실은 약 0.40dB 이하 개선, 반사 손실과 신호 분리도는 약 0.37dB 이하 열화되었으나 신호선 금속의 전도도가 60 $\times 10^6$ S/m로 높은 경우에는 신호선의 높이가 증가함에 따라 삽입 손실은 약 0.20dB 이하 개선, 반사 손실과 신호 분리도는 약 0.21dB 이하 열화되었다. 종합하면 신호선 금속의 두께와 전도도가 증가함에 따라 삽입 손실의 개선 비율이 반사 손실과 신호 분리도의 열화 비율보다 크므로 신호선 금속의 두께와 전도도가 증가할수록 재배선층과 접합 후 RF MEMS 스위치의 고주파 특성은 우수하였다.



(a)

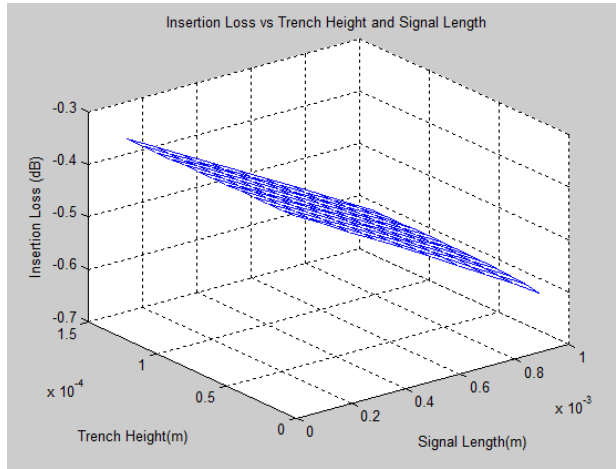


(b)

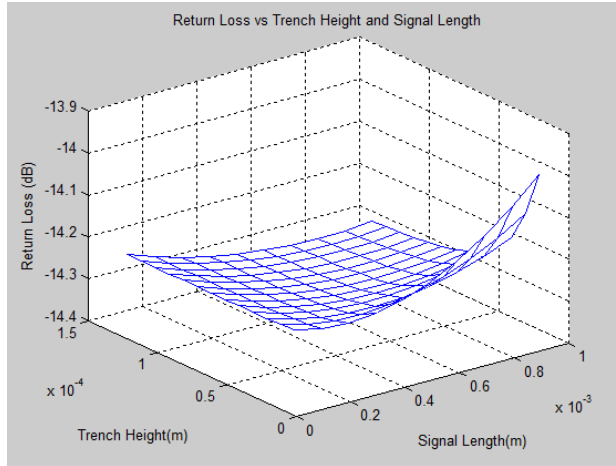


(c)

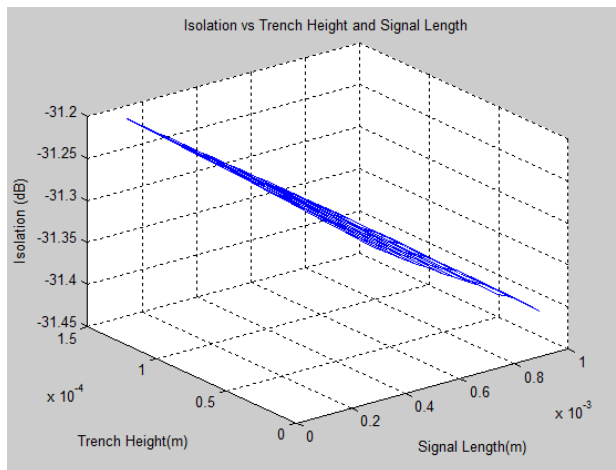
그림 4.6 재배선층 기판의 두께와 유전 상수 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도



(a)

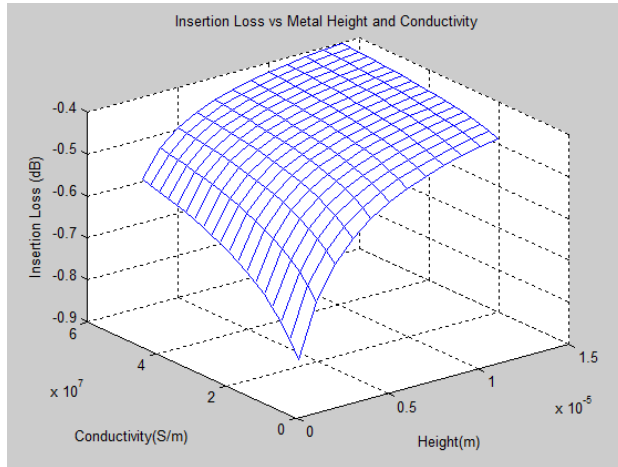


(b)

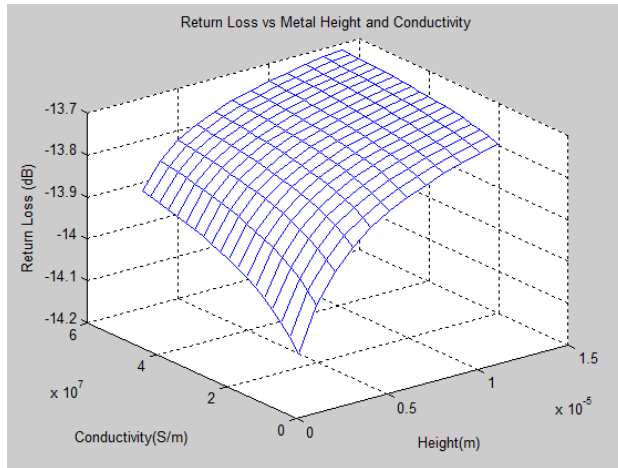


(c)

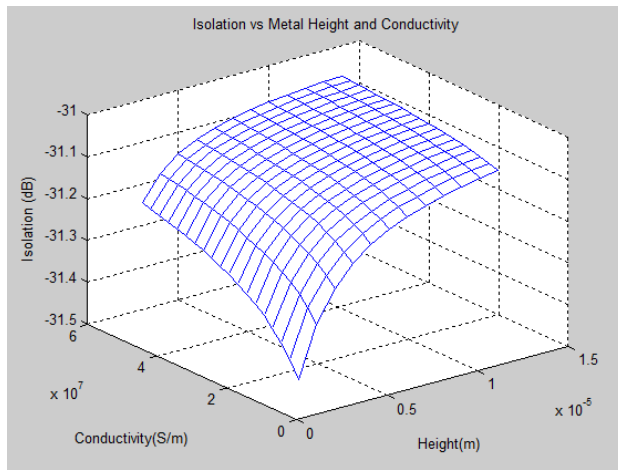
그림 4.7 재배선층 기관의 트렌치 깊이와 신호선 총 길이 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도



(a)



(b)



(c)

그림 4.8 재배선층 기판의 전송 선로 금속의 전도도와 높이 변화에 따른 고주파 특성 변화 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도

네 종류의 듀로이드, FR4, 실리콘, 실리콘 트렌치로 재배선층 기판 종류만 변화할 경우의 결합 후 RF MEMS 스위치 고주파 특성을 시뮬레이션과 수식으로 확인하였다. 시뮬레이션에는 HFSS와 ADS 프로그램을 이용하였다. 재배선층 전송 선로는 620 μm 단일 선폭으로 하고 단일 신호선의 길이는 500 μm 로 하였다. 플립칩 범프는 이상적인 전도체로 가정하였다. 표 4.5과 같이 재배선층의 두께, 면적, 전송 선로 타입, 신호선 종류와 두께, 신호선 폭을 고정하고 재배선층 기판과 신호선과 접지 사이 간격을 변화하여 시뮬레이션과 수식 분석을 진행하였다. 각 기판의 신호선과 접지 사이의 간격은 각 포트의 임피던스를 50.0 Ω 으로 하는 수치이다.

표 4.5 듀로이드, FR4, 실리콘 기판의 재배선층 시뮬레이션 및 수식 분석 물성 및 수치 정리

	Duroid	FR4	Silicon	
Substrate				
Dielectric Constant	2.2	4.4	11.9	
Thickness (μm)	507			
Area (mm^2)	3.8 \times 6.5			
Total Signal Length (mm)	1			
Trench (μm)	-	-	50	-
SiO ₂ (μm)	-	-	1	1
Transmission Line				
Type	CPW			
Line Metal Thickness (μm)	3.2(Au)			
Signal Width (μm)	620			
Signal to Ground Width (μm)	31.51	76.25	185.17	263.54

10GHz 대역에서의 시뮬레이션 결과와 수식 분석 결과는 표 4.6과 그림 4.9와 같다. 삽입 손실과 반사 손실에서 시뮬레이션과 수식 분석 간에 정확한 수치에서 차이는 있었으나 경향성은 일치하였다. 삽입 손실과 반사 손실의 경우 듀로이드, FR4, 실리콘 트렌치, 실리콘 순으로

우수하였다. 신호 분리도 특성은 수식 분석에서는 듀로이드, FR, 실리콘 트렌치, 실리콘 순으로 우수하나 시뮬레이션에서는 실리콘, 실리콘 트렌치, FR4, 듀로이드 순으로 우수하였다. 시뮬레이션과 수식의 차이는 시뮬레이션에서는 신호선의 꺾임, 접지선의 폭과 같은 재배선층의 구조가 반영된 반면에 수식에서는 신호선의 꺾임, 접지선의 폭과 같은 재배선층의 구조는 반영되지 않았고 quasi-static TEM 모드에서 신호 전송이 된다는 가정에 기인한다.

표 4.6 재배선층 결합 전후 시뮬레이션, 수식 결과 정리 < 10GHz

		Insertion loss (dB)	Return loss (dB)	Isolation (dB)
Switch Only (RLC model)		< 0.86	> 10.37	> 32.76
Du	Simulation	< 0.84	> 10.21	> 33.21
	Formula	< 1.86	> 6.31	> 26.21
FR4	Simulation	< 0.88	> 10.06	> 33.29
	Formula	< 1.87	> 6.29	> 26.17
Si+SiO ₂ +Tr	Simulation	< 1.18	> 7.94	> 34.36
	Formula	< 1.89	> 6.25	> 26.11
Si+SiO ₂	Simulation	< 1.30	> 7.38	> 34.66
	Formula	< 1.90	> 6.24	> 26.07

제안한 수식 분석 과정과 결과는 재배선층의 기관 선정과 설계에 있어서 경향성을 파악하고 RF MEMS 스위치 결합 시 고주파 특성을 예측하기에 적당하였다. 재배선층 기관의 두께, 면적, 전송 선로 타입, 신호선 종류와 두께, 신호선 폭을 고정한 상태에서 결합 전후 RF MEMS 스위치의 고주파 특성 변화는 시뮬레이션에서는 2.99dB 이하, 수식에서는 6.69dB 이하이었다. 실리콘 트렌치 기관의 고주파 특성은 실리콘 기관의 고주파 특성보다 우수함을 확인하였으며 듀로이드, FR4, 실리콘 트렌치 기관 중 가장 우수한 기관의 고주파 특성과 실리콘 트렌치 기관의 고주파 특성 차이는 시뮬레이션에서 2.27dB 이하, 수식에서 0.1dB 이하로 작은 것을 확인하였다. 따라서 기관의 종류가 다르고 그에 따라 포트의 50옴 임피던스 매칭을 위하여 신호선과 접지

사이의 간격에 차이가 있는 경우, 실리콘 트렌치를 기판으로 하는 재배선층은 가장 우수한 특성을 보인 듀로이드를 기판으로 하는 재배선층에 비하여 약 2.27dB 이하의 고주파 특성 열화가 예상되었으며 이는 이중 칩 통합에는 적합한 수준임을 확인하였다.

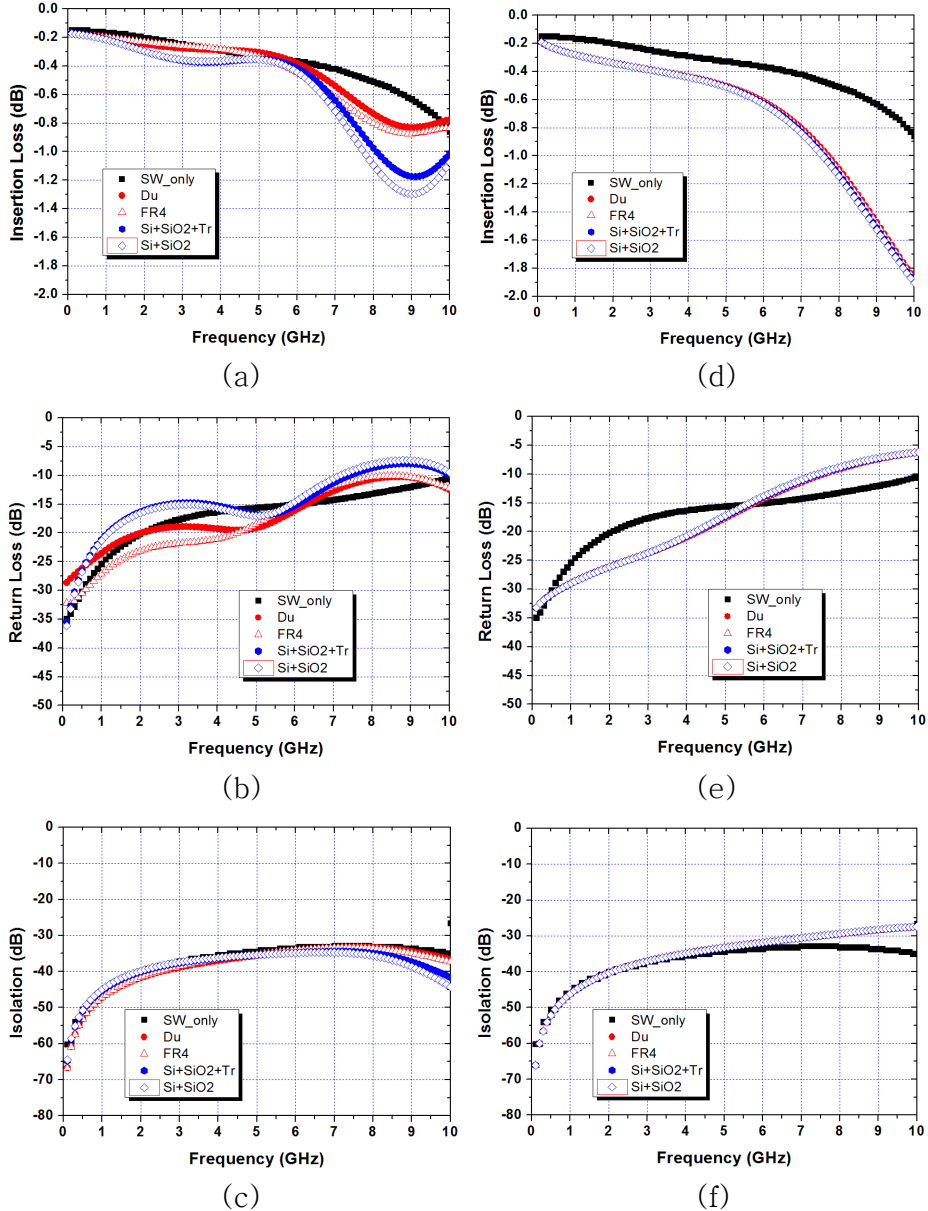
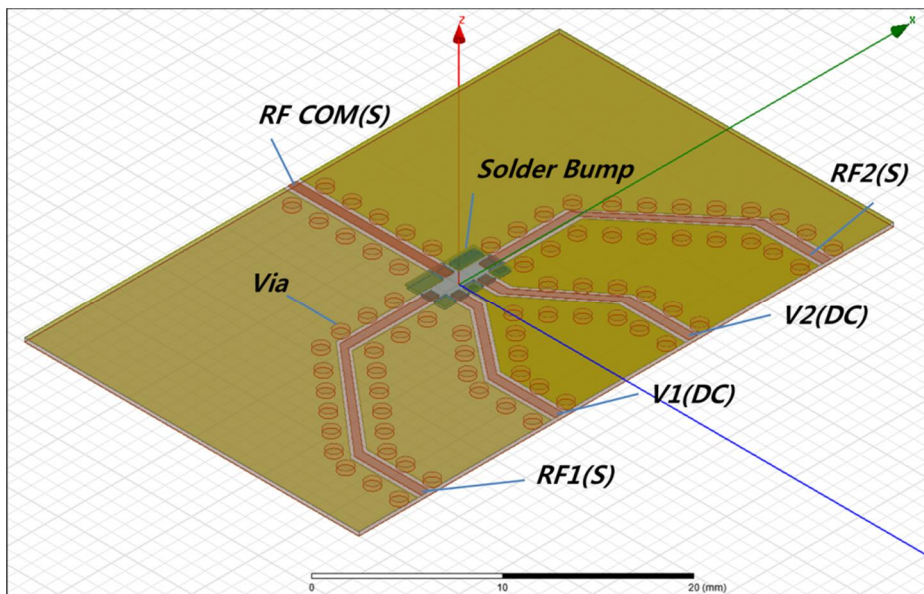


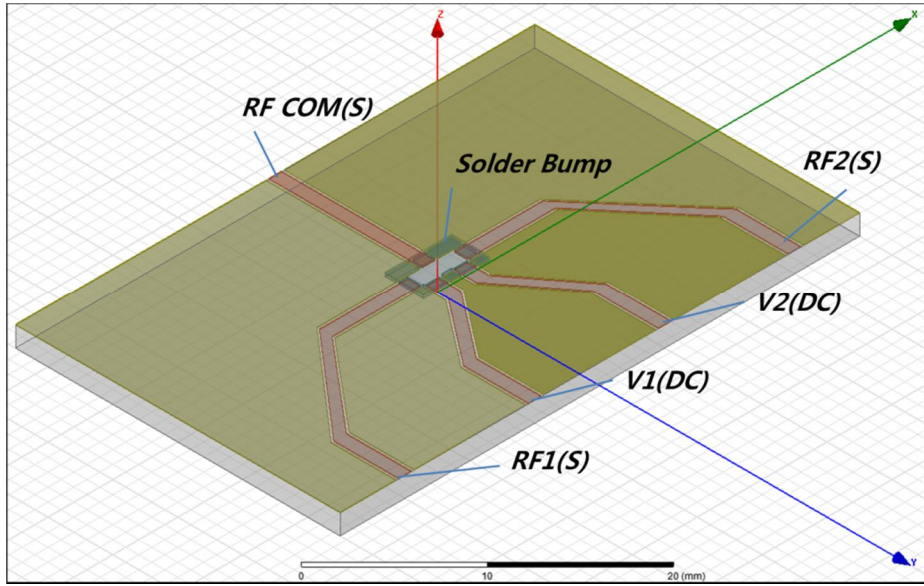
그림 4.9 재배선층과 결합 후 RF MEMS 스위치 고주파 특성의 시뮬레이션과 수식 결과 비교 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도, (이상 시뮬레이션 결과) (d) 삽입 손실 (e) 반사 손실 (f) 신호 분리도, (이상 수식 결과)

4.2.2 기판과 전송 선로 조합을 통한 특성 개선

기판과 전송 선로에 따른 이중 통합 시 고주파 특성 변화를 확인하기 위하여 듀로이드 기판 위에 GCPW 전송 선로, FR4 기판 위에 CPW 전송 선로를 형성하고 스위치와의 이중 통합 특성을 HFSS와 ADS 프로그램을 이용하여 비교하였다. 그림 4.10의 모델에 대하여 표 4.7의 파라미터로 HFSS 프로그램에서 재배선층을 시뮬레이션 진행하였다. 그리고 HFSS 시뮬레이션 결과는 ADS 호환 가능한 touchstone, SnP 파일로 변환을 하였다. 재배선층 시뮬레이션은 제작 시 RF MEMS 스위치 전송 선로 면적에 해당하는 가로 40mm, 세로 25mm에 대하여 진행하였다. GCPW의 경우 재배선층 하부의 접지와 상부의 접지를 연결하기 위한 구리 관통 비아(Via)를 HFSS 시뮬레이션 모델에 반영하였다. OMRON RF MEMS 스위치와 재배선층 연결은 직육면체 모양의 무연납으로 모델링하였다. 이후 ADS 프로그램에서 재배선층의 touchstone, SnP 파일 형태의 HFSS 시뮬레이션 결과를 OMRON RF MEMS 스위치 RLC 집중 소자 모델과 결합하여 시뮬레이션 진행하였다.



(a)



(b)

그림 4.10 재배선층의 HFSS 시뮬레이션 모델 (a) 듀로이드와 GCPW 조합 (b) FR4와 CPW 조합

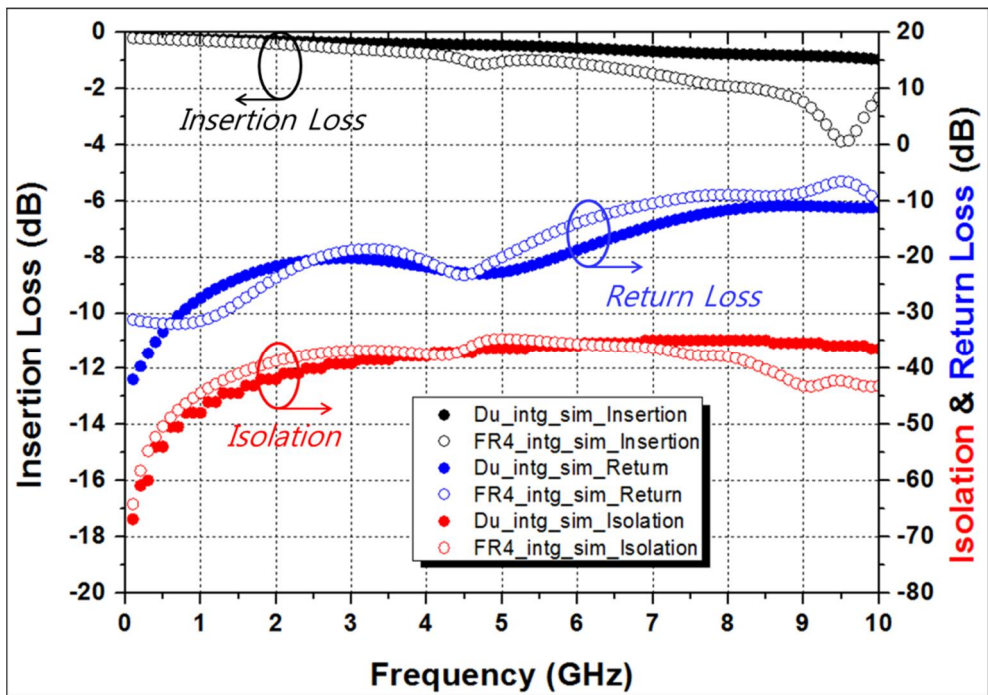
표 4.7 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합의 이중 통합 HFSS 시뮬레이션 파라미터

		Duroid+GCPW	FR4+CPW
Substrate area (mm ²)		40 × 25	
Line metal thickness (μm)		35 (Cu)	65 (Cu)
Substrate dielectric constant		2.2	4.4
Substrate thickness (μm)		240	1530
Type of transmission line		GCPW	CPW
Switch signal width (μm)		565	960
Switch signal to ground width (μm)	Impedance matched case	121	144
	Real case	370	215

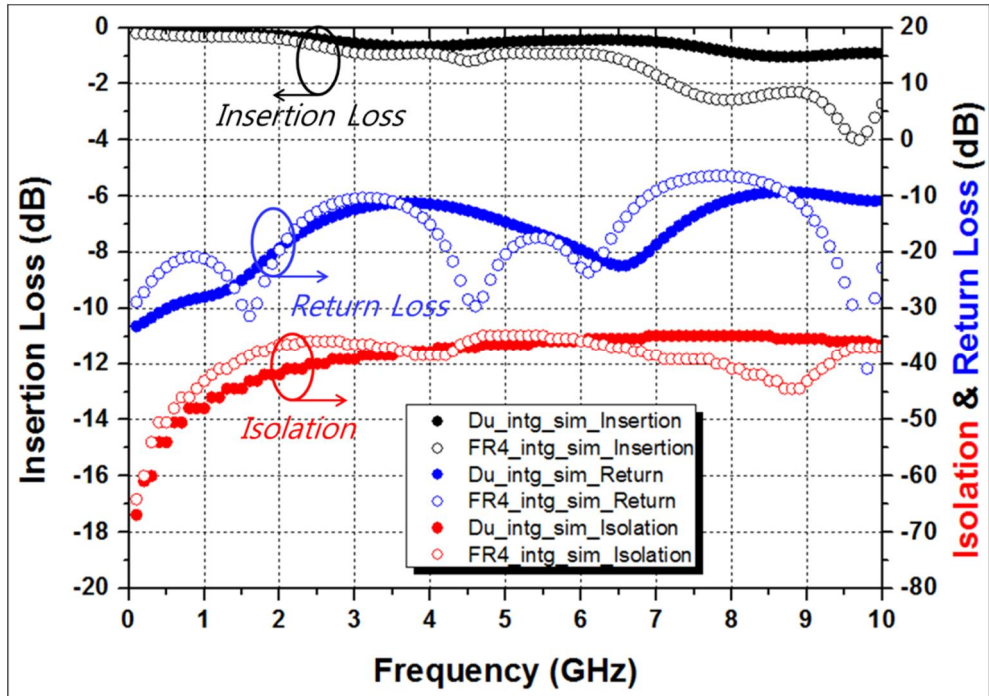
FR4의 유전상수는 듀로이드의 유전상수보다 크고 CPW 전송 선로는 GCPW 전송 선로보다 기판 하부를 통한 신호 간섭에 취약하다. 시뮬레이션 진행 시 기판 두께는 실제 기판 두께와 유사한 듀로이드

기판의 두께는 $240\mu\text{m}$ 로 FR4 기판의 두께는 $1530\mu\text{m}$ 를 선정하였다. 신호선 폭은 각각 플립칩 공정이 가능한 $565\mu\text{m}$ 와 $960\mu\text{m}$ 이다. 약 50옴 임피던스 매칭이 되는 경우(Impedance matched case)와 공정을 반영한 약 56옴, 약 59옴 임피던스 경우(Real case)의 신호선과 접지 사이의 간격을 선정하였다.

재배선층의 HFSS 시뮬레이션 결과와 OMRON RF MEMS 스위치 RLC 집중 소자 모델을 결합하여 시뮬레이션 진행한 결과는 그림 4.11와 같다.



(a)



(b)

그림 4.11 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조를 시뮬레이션 한 결과 (a) 임피던스 매칭 경우 (b) 재배선층 공정을 고려한 임피던스 경우 (Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합)

그림 4.11(a)의 경우는 약 50옴 임피던스 매칭이 이루어진 경우이고 그림 4.11(b)의 경우는 공정 조건을 반영한 약 56옴, 약 59옴 임피던스의 경우이다. 두 경우를 비교하면 임피던스 매칭이 잘 이루어질수록 공진 발생은 감소하며 따라서 본래 스위치의 특성에 가까운 고주파 특성이 나오는 것을 표 4.8에서 확인할 수 있다. 약 50옴 매칭이 이루어지는 경우 4.5GHz 부근에서 공진이 발생하는 것을 확인할 수 있다. 이는 입력과 출력 포트의 임피던스 매칭이 듀로이드 기판의 경우가 각각 49.6옴, 50.4옴이며 FR4 기판의 경우가 각각 51.1옴, 49.9옴으로 차이가 있기 때문이다.

공정 조건을 반영한 약 56옴, 약 59옴 임피던스 경우에서 입력(RF_COM)과 출력 포트(RF1)의 임피던스 매칭이 듀로이드 기판의 경우가 각각 56.0옴, 55.8옴이며 FR4 기판의 경우가 각각 59.0옴, 58.9옴이다. 이 경우 6GHz 대역에서 듀로이드와 GCPW 조합과 FR4와

CPW 조합의 순서로 삽입 손실은 각각 0.68dB 이하와 1.2dB 이하, 반사 손실은 각각 11.19dB 이상과 10.31dB 이상, 신호 분리도는 각각 35.92dB 이상과 34.89dB 이상이었다. 공진에 의해 제 2장 제 1절의 경향성과 차이있었다. FR4 기판의 반사 손실 특성에서 약 1.5GHz, 4.5GHz, 6GHz, 9.5GHz에서 공진이 발생하는 것을 확인하였다. 듀로이드 기판은 유전상수가 작고 두께가 얇으며 GCPW를 적용하였기 때문에 상대적으로 유전상수가 크고 두께가 두꺼우며 CPW 전송 선로를 적용한 FR4 기판보다 신호 분리도 특성이 우수한 것을 확인하였다. 이중 통합 이후 고주파 특성이 개선되는 현상은 공진이 원인이다. 공진이 발생하는 경우는 전송 선로의 휘는 부분에서 또는 공정 상의 이유로 신호선 폭이나 간격 변화하는 부분에서 임피던스 부정합이 발생하는 경우이며 이는 대역 내에서 고주파 특성 그래프의 파형에서 피크(peak)가 형성됨으로써 확인할 수 있었다.

표 4.8 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 결과 < 6GHz

	Switch only (RLC Model)	Duroid+GCPW+Switch		FR4+CPW+Switch	
		Impedance matched case	Real case	Impedance matched case	Real case
Insertion loss (dB)	< 0.36	< 0.47	< 0.68	< 1.13	< 1.20
Return loss (dB)	> 15.04	> 18.77	> 11.19	> 13.96	> 10.31
Isolation (dB)	> 33.56	> 35.92	> 35.92	> 34.66	> 34.89

듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조의 DC 포트에서 RF 포트 특성 시뮬레이션 결과는 그림 4.12, 표 4.9과 같다.

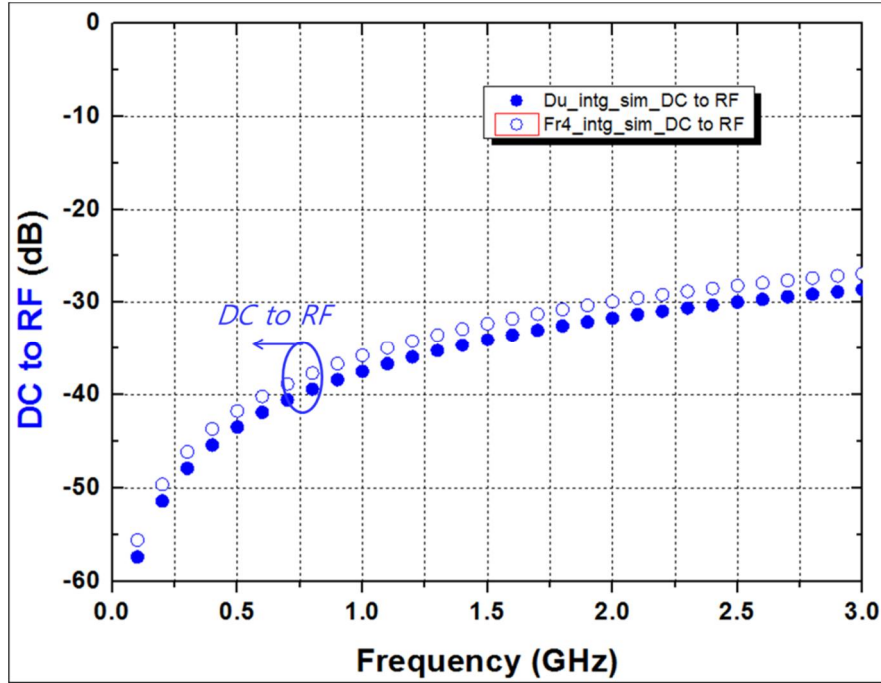


그림 4.12 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조의 DC 포트에서 RF 포트로의 고주파 특성을 시뮬레이션 한 결과 (Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합)

표 4.9 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 DC포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과 < 3GHz

	Duroid+GCPW	FR4+CPW
DC to RF (dB)	> 28.61	> 26.91

DC 포트에서 RF 포트는 물리적으로 분리되어 있으므로 신호 분리도 특성을 보였으며 듀로이드와 GCPW 조합과 FR4와 CPW 조합 각각에 대하여 3GHz 대역에서 약 28.61dB 이상과 26.91dB 이상인

것을 확인하였다. 두 경우 모두 약 26dB 이상의 신호 분리도 특성을 보이므로 RF MEMS 스위치 자체의 DC 포트에서 RF 포트 신호 차단 능력은 우수한 것을 확인하였다. DC 포트는 전송 선로가 아니라서 임피던스 부정합 상태임을 감안해야 한다.

4.2.3 기판 구조 변경을 통한 특성 개선

재배선층으로 사용될 실리콘 웨이퍼는 비저항이 $10000\Omega\text{cm}$ 이상인 $500\mu\text{m}$ 두께의 111 방향 4인치 실리콘 웨이퍼를 선정하였다. 그림 4.13의 재배선층 모델에 대하여 50옴 임피던스 조건에 대하여 트렌치의 깊이는 기계적 강도를 고려하여 파손을 방지하기 위하여 웨이퍼 두께의 10%에 해당하는 $50\mu\text{m}$ 까지에 대하여 $10\mu\text{m}$ 단위로 확인하였다. 재배선층의 고주파 특성은 제작 시 RF MEMS 스위치 전송 선로 면적에 해당하는 가로 9mm, 세로 6mm에 대하여 HFSS 시뮬레이션 프로그램에서 확인하였다. 트렌치 유무와 관계 없이 실리콘 산화막의 두께는 $1\mu\text{m}$ 이며 전송 선로는 CPW 구조로 동일하다. Bare 웨이퍼가 아닌 산화막 웨이퍼를 선정한 이유는 실리콘 기판과 금속 전송 선로의 접착력 향상과 후속 공정인 스위치 실장을 위한 플립칩 공정을 고려하였기 때문이다. 실리콘 기판은 열 전도율이 우수하므로 무연납을 녹이기 위한 온도에 도달하기 전에 실리콘 기판이 열을 방출하므로 Bare 웨이퍼 기판에서는 플립칩 공정을 진행할 수 없다. 트렌치 $50\mu\text{m}$ 경우의 6GHz에서 고주파 특성이 가장 우수한 것을 표 4.10에서 확인할 수 있으며 트렌치 없는 경우와 비교하면 삽입 손실은 0.026dB, 반사 손실은 1.3dB, 신호 분리도는 2.57dB 개선된 것을 확인할 수 있었다.

트렌치 $50\mu\text{m}$ 유무에 따라 약 50옴 임피던스 매칭이 되는 경우(Impedance matched case)와 공정 오차인 기판과 전송 신호선의 두께 및 간격 변화, 측정 환경인 기판 물질 그리고 저온 무연납 범프의 공동(void)을 반영한 경우(Real case)에 대하여 시뮬레이션을 진행하였으며 자세한 시뮬레이션 파라미터는 표 4.11과 같다. 재배선층의 HFSS 시뮬레이션 결과와 OMRON RF MEMS 스위치 RLC 집중 소자 모델과 결합하여 ADS 시뮬레이션 진행한 결과는 그림 4.14과 같다. OMRON RF MEMS 스위치와 재배선층 연결은 직육면체 모양의 저온 무연납으로 모델링하였다. MEMS 공정은 상용 PCB 공정보다 정확하므로 전송 신호선과 접지 사이의 간격의 평균값은 설계값에 근사하였다.

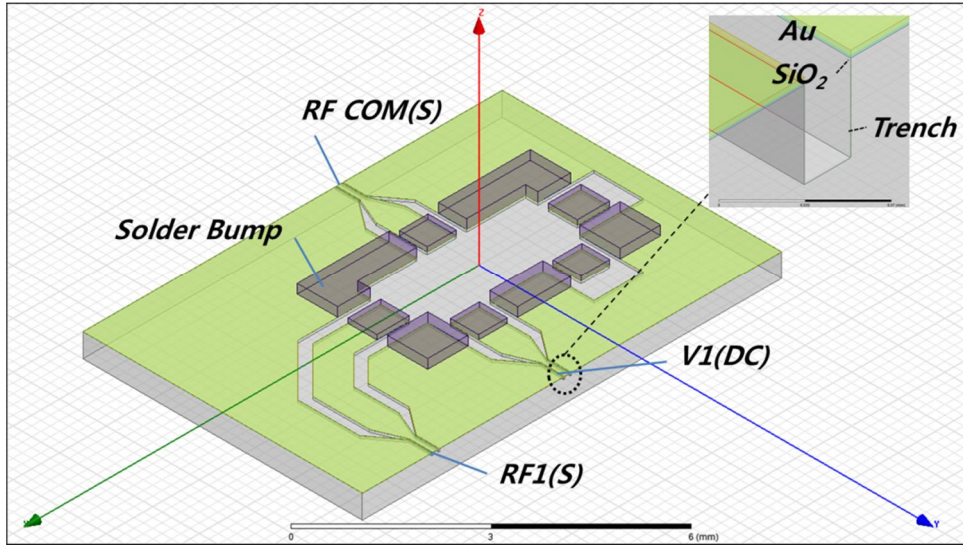


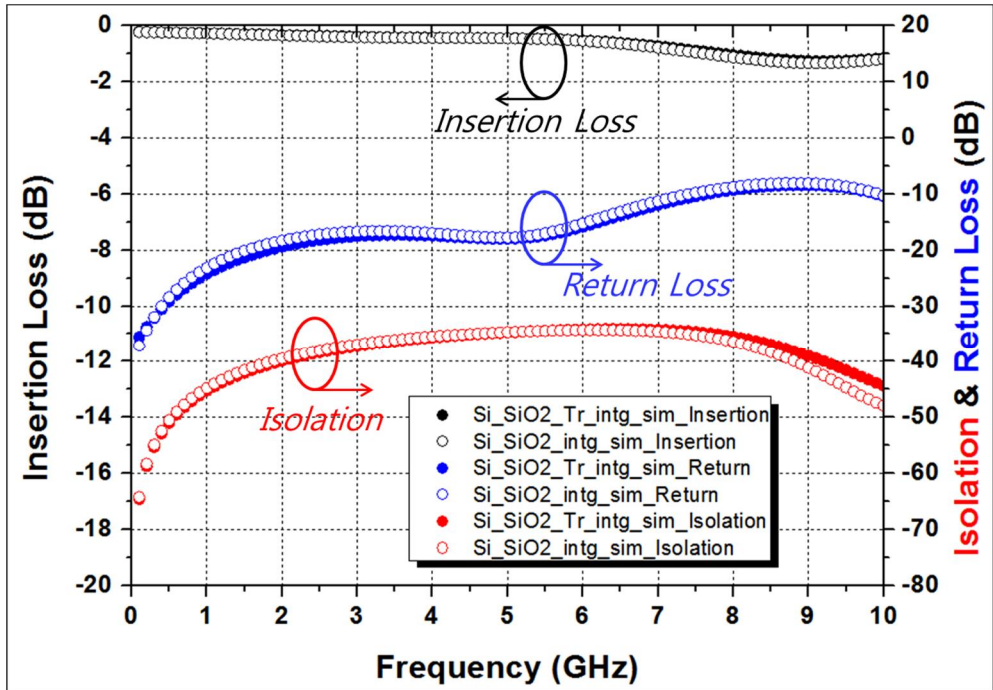
그림 4.13 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 HFSS 시뮬레이션 모델

표 4.10 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 HFSS 시뮬레이션 파라미터 및 결과 @ 6GHz

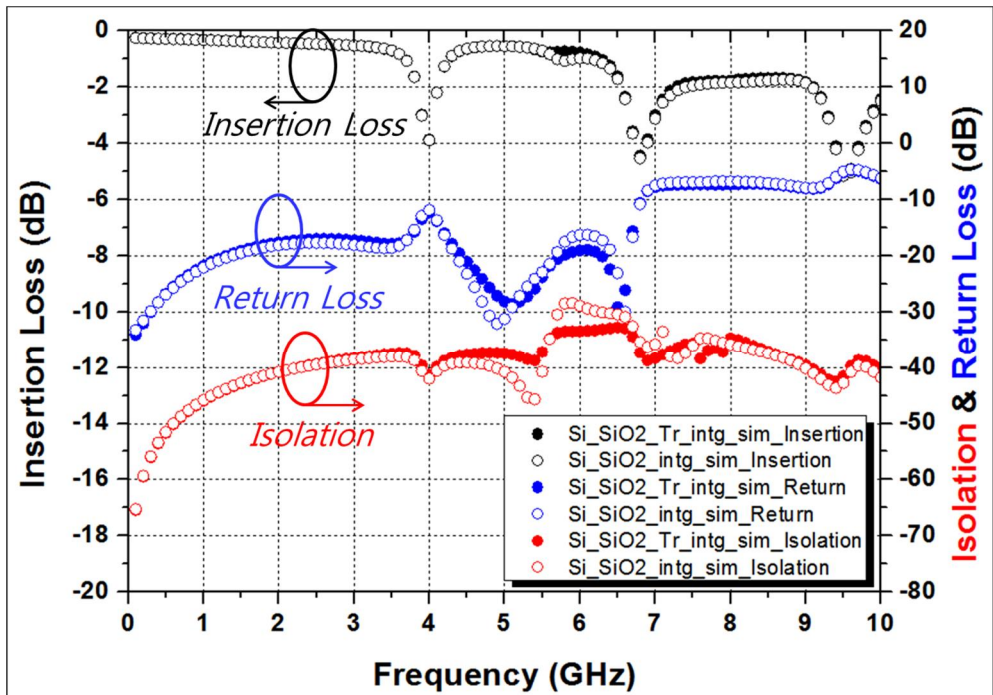
Trench (μm)	Signal Width (μm)	Signal to Ground Gap (μm)	Insertion loss (dB)	Return loss (dB)	Isolation (dB)
0	620/115	300/62	0.152	17.19	50.84
10		281/49	0.140	17.32	51.48
20		264/40	0.140	17.47	52.10
30		252/33	0.129	18.41	52.44
40		237/30	0.130	18.27	52.91
50		222/27	0.126	18.49	53.41

표 4.11 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합의 이중 통합 HFSS 시뮬레이션 파라미터

		Si+SiO ₂	Si+SiO ₂ +Tr
Substrate Area (mm ²)		9 × 6	
Line Metal thickness (μm)	Impedance matched case	3	
	Real case	3.2	
Substrate Dielectric Constant		11.9	
Substrate Thickness (μm)	Impedance matched case	500	
	Real case	507	
Type of Transmission Line		CPW	
Signal Width (μm)	Impedance matched case	620/115	
	Real case	619.5/114.5	
Signal to Ground Width (μm)	Impedance matched case	300/62	222/27
	Real case	299.5/61.5	221.5/26.5
Trench (μm)	Impedance matched case	–	50
	Real case	–	49.5
Thermal Tape (mm ²)	Impedance matched case	–	
	Real case	7 × 6 × 0.5	
Measurement Chuck	Impedance matched case	–	
	Real case	Metal (Iron, 7 × 6 × 1.5)	



(a)



(b)

그림 4.14 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조를 시뮬레이션 한

결과 (a) 임피던스 매칭 경우 (b) 저온 무연납의 공동과 재배선층 공정을 고려한 임피던스 경우 (Si_SiO2_intg_: 실리콘 기판의 실리콘 산화막과 기판, Si_SiO2_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)

MEMS 공정은 상용 PCB 공정에 비하여 정확하므로 신호폭이나 간격이 $0.5\mu\text{m}$ 오차 이내에서 형성되었다. 하지만 MEMS 공정 오차 뿐만 아니라 측정 환경과 저온 무연납 범프의 공동을 반영하면 공진이 발생하는 것을 확인하였다. 측정 시 칩 하부의 고정을 위한 열 테이프(thermal tape), 금속으로 이루어진 측정용 척(chuck), 무연납 범프의 공동, $\pm 0.5\mu\text{m}$ 공정 오차, 약 $507\mu\text{m}$ 두께의 실리콘 웨이퍼 두께, 약 $3.2\mu\text{m}$ 두께로 도금된 전송 선로를 반영한 HFSS 시뮬레이션 결과에 따르면 약 $50.0\pm 1.0\Omega$ 임피던스 매칭이 되는 것을 확인하였다. 실리콘 기판은 열을 배출하는 역할을 하기 때문에 저온 무연납을 사용해야 하나 저온 무연납은 범프를 형성하는 과정에서 공동이 발생한다[4.12-4.13]. 공동은 커패시터 성분이며 범프의 인덕터 성분과 함께 공진을 발생하는 원인이 된다. 두 포트 RF_COM, RF1에 대하여 세 개의 공동이 발생하였고 그 중 두 개의 공동이 RF1에 발생하였다고 가정하였다. 범프는 그림 4.15와 같이 모델링 하였으며 각각의 수치는 표4.12와 같다[4.14].

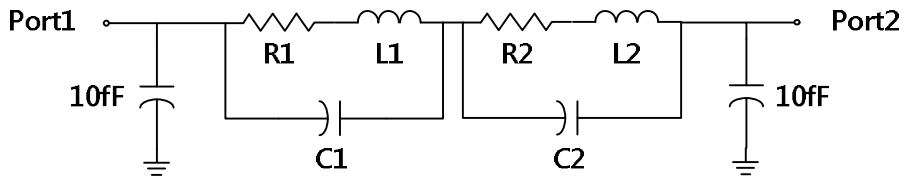


그림 4.15 공동이 발생한 저온 무연납 범프의 모델

표 4.12 공동이 발생한 저온 무연납 범프 모델의 파라미터

	R1(Ω)	L1(pH)	C1(pF)	R2(Ω)	L2(pH)	C2(pF)
RF_COM	0.1	50	11	-	-	-
RF1	0.1	80	20	0.1	40	7

저온 무연납의 분말 형태의 뭉침 현상과 공동을 고려하여 실제

전도도의 1/200 수준인 $1.28 \times 10^4 \text{S/m}$ 를 가정하고 skin depth에 흐르는 전류에 대한 저항 성분을 고려하였다[4.15, 4.16]. 저온 무연납 범프에서 발생한 공동은 평판 커패시터이며 평판 커패시터 사이의 간격 약 100nm를 가정하면 커패시터 평판의 면적은 패드 전체 면적 $0.45 \times 0.7 \text{mm}^2$ 의 약 22.8~65.2%에 해당하였다. 공진 주파수는 $1/\sqrt{LC}$ 로 표현되며 RF_COM 공동에 의한 공진 주파수는 6.8GHz, RF1 공동에 의한 공진 주파수는 4.0GHz, 9.5GHz이었다.

실리콘의 유전 상수는 11.9 이므로 측정 시 칩의 하부 물질 여부에 따라 특성이 변하는 것을 확인하였다. 이 경우에서 입력(RF_COM)과 출력 포트(RF1)의 임피던스 매칭이 실리콘 기판의 실리콘 산화막 구조의 경우가 각각 49.8옴, 49.6옴이며 실리콘 기판의 실리콘 산화막과 트렌치 구조의 경우가 각각 49.1옴, 49.0옴이다.

실리콘 기판과 스위치의 결합 후 6GHz 대역에서의 특성은 표 4.13에서 확인할 수 있으며 실리콘 기판의 실리콘 산화막 구조와 CPW 조합과 실리콘의 실리콘 산화막과 트렌치와 CPW 조합의 순서로 삽입 손실은 각각 3.88dB 이하와 3.86dB 이하, 반사 손실은 각각 11.84dB 이상과 12.31dB 이상, 신호 분리도는 각각 28.39dB 이상과 33.46dB 이상으로 반사 손실 특성의 경우는 제 2장 제 4절의 경향성과 일치하였다. 삽입 손실 특성은 약 0.02dB, 반사 손실 특성은 약 0.47dB, 신호 분리도 특성은 약 5.07dB 실리콘 산화막과 트렌치 구조가 유리한 것을 확인하였다.

표 4.13 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 결과 < 6GHz

	Switch only (RLC Model)	Si+SiO ₂ +CPW+Switch	Si+SiO ₂ +Trench +CPW+Switch
Insertion loss (dB)	< 0.36	< 3.88	< 3.86
Return loss (dB)	> 15.04	> 11.84	> 12.31
Isolation (dB)	> 33.56	> 28.39	> 33.46

실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC 포트에서 RF 포트 특성 시뮬레이션 결과는 그림 4.16, 표 4.14과 같다.

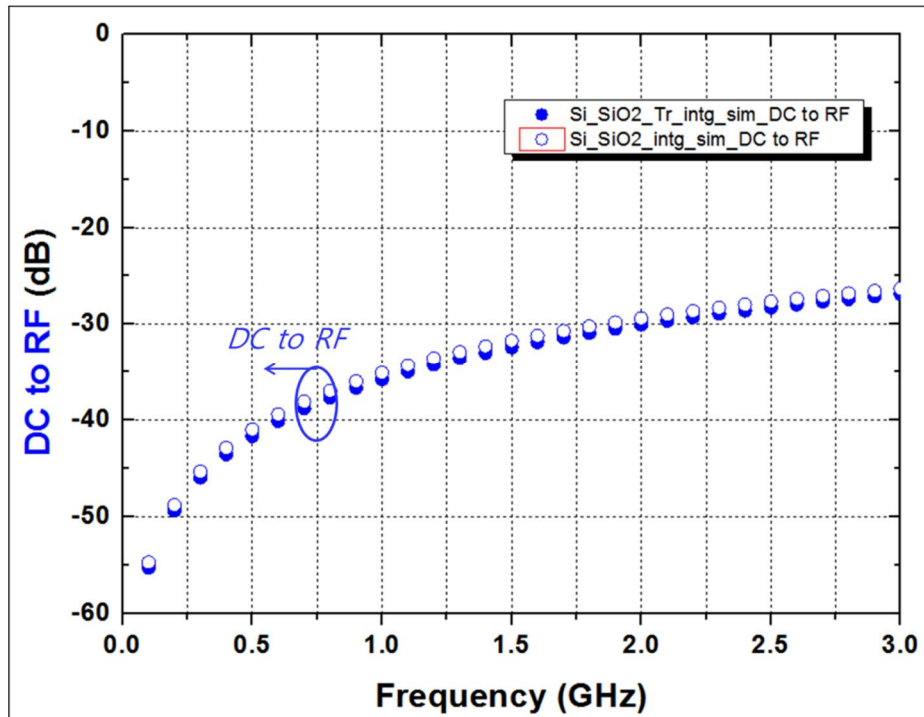


그림 4.16 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 플립칩 결합한 구조에 대하여 DC 포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과(Si_SiO2_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO2_Tr_intg_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)

표 4.14 실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC 포트에서 RF 포트로의 고주파 특성 시뮬레이션 결과 < 3GHz

	Si+SiO ₂	Si+SiO ₂ +Tr
DC to RF (dB)	> 26.30	> 26.86

DC 포트에서 RF 포트는 물리적으로 분리되어 있으므로 신호 분리도 특성을 보였으며 트렌치가 없는 경우와 있는 경우 각각에 대하여

3GHz 대역에서 약 26.30dB 이상과 26.86dB 이상인 것을 확인하였다. 트렌치 유무에 따라 약 0.56dB의 특성 개선을 확인하였고 두 경우 모두 약 26dB 이상의 신호 분리도 특성을 보이므로 RF MEMS 스위치 자체의 DC 포트에서 RF 포트 신호 차단 능력은 우수한 것을 확인하였다. DC 포트는 전송 선로가 아니어서 임피던스 부정합 상태임을 감안해야 하며 범프의 공동에 의한 공진은 약 4GHz 이상에서 발생하므로 3GHz 대역 특성 내에서 공진은 확인되지 않았다.

저온 무연납을 제외한 실리콘 산화막과 트렌치에 의한 특성 개선 효과를 확인하기 위하여 그림 4.17과 표 4.15의 테스트 패턴을 이용하였다. 실리콘 기판에 대하여 $1\mu\text{m}$ 두께의 실리콘 산화막을 증착하고 신호선과 접지선 사이의 실리콘을 $50\mu\text{m}$ 까지 식각한 트렌치 구조에 따른 고주파 특성 변화를 HFSS 시뮬레이션을 통하여 확인하였다.

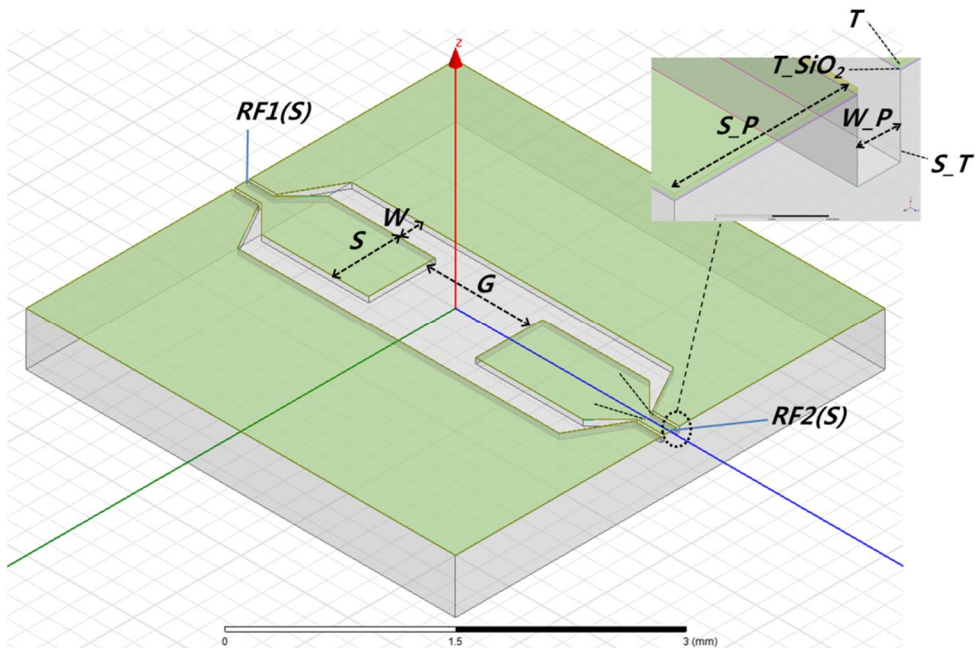


그림 4.17 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층 특성 검증을 위한 테스트 패턴의 HFSS 시뮬레이션 모델

표 4.15 실리콘 기판의 실리콘 산화막, 트렌치 구조의 재배선층의 테스트 패턴의 HFSS 시뮬레이션에 사용한 물성 및 수치

	Si+SiO ₂	Si+SiO ₂ +Tr
Substrate Area (mm ²)	4×4	
H, Substrate Height (μm)	500	
Dielectric Constant	11.9 (Si), 4 (SiO ₂)	
Transmission line		
G, Signal Gap (μm)	1000	
S_T, Silicon Trench (μm)	50	
T_SiO ₂ , SiO ₂ Thickness (μm)	1	
S, Signal Width (μm)	620	
S_P, Probe Width (μm)	115	
T, Metal Thickness (μm)	3 (Au)	
W_P, Probe Signal to Ground Gap (μm)	62	27
W, Signal to Ground Gap (μm)	300	222

테스트 패턴에서 전송 선로의 신호선의 폭은 620μm이며 프로브 팁의 크기를 고려하여 입출력 포트 부분의 신호선의 폭은 115μm로 설계하였다. 전송 선로의 임피던스를 50옴으로 유지하기 위하여 실리콘 기판의 1μm 실리콘 산화막 조합 구조에서 신호선과 접지선 사이 간격을 신호선과 프로브선에 대하여 각각 300μm, 62μm로 하였다. 실리콘 기판의 1μm 실리콘 산화막 증착 이후 50μm 깊이 실리콘 트렌치 구조에 대하여 신호와 접지 사이 간격을 신호선과 프로브선에 대하여 각각 222μm, 27μm로 형성하였다.

1μm 실리콘 산화막이 증착된 상태에서 50μm 깊이 실리콘 트렌치 구조를 형성하여 트렌치 구조에 의하여 고주파 특성이 개선되는 것을 그림 4.18에서 확인할 수 있으며 6GHz에서의 고주파 특성을 표 4.16에 정리하였다.

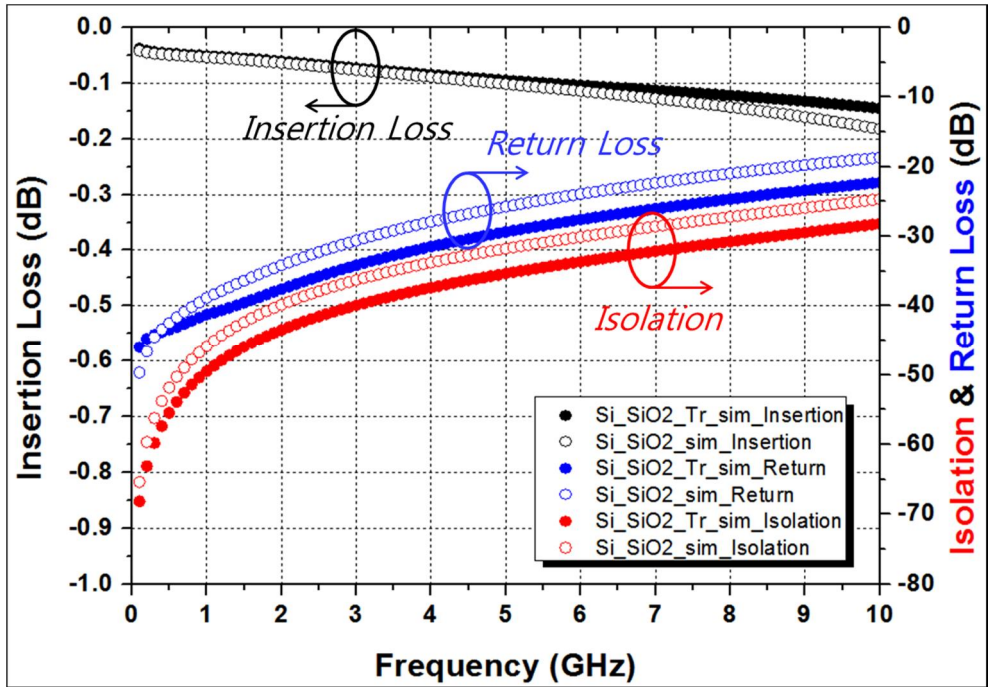


그림 4.18 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 시뮬레이션 결과 (Si_SiO₂: 실리콘 기판의 실리콘 산화막 조합, Si_SiO₂_Tr_: 실리콘 기판의 실리콘 산화막과 트렌치 조합)

표 4.16 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 시뮬레이션 결과 비교 < 6GHz

	Si+SiO ₂	Si+SiO ₂ +Tr
Insertion loss (dB)	< 0.11	< 0.10
Return loss (dB)	> 23.92	> 27.59
Isolation (dB)	> 30.08	> 33.65

반사 손실은 23.92dB에서 27.59dB로 약 3.7dB 개선되며 삽입 손실은 0.11dB와 0.10dB로 유사하고 격리도는 30.08dB에서 33.65dB로 약 3.6dB 개선된 것을 확인하였다.

제 5 장 이중 통합 재배선층 제작

제 1 절 재배선층 공정

본 연구에서 재배선층은 각 기판의 표준 규격 및 각 공정 조건을 고려하여 제작되었다. 따라서 전송 선로의 종류, 금속의 전도도와 높이, 기판의 유전상수, 기판의 두께, 신호 선의 길이 그리고 트렌치 깊이는 각 재배선층마다 서로 차이가 있으며 이는 고주파 특성에 영향이 있다.

듀로이드 기판 위의 GCPW 전송 선로 제작과 FR4 기판 위의 CPW 전송 선로 제작은 상용 공정을 이용하였다. 각 기판에 구리 박막이 적층(Copper Clad Laminate) 되어 있으며 구리 도금으로 두께를 조정하였다. 이후 감광 필름(DFR, Dry Film photoResist)과 구리 습식 식각으로 전송 선로 패턴을 형성하고 구리가 산화되는 것을 방지하기 위하여 니켈과 금을 순서대로 각각 $5\mu\text{m}$, 30nm 두께로 도금하면 전송 선로가 완성된다.

실리콘 기판의 실리콘 산화막과 트렌치 구조 공정은 MEMS 공정을 이용하였으며 그림 5.1 같은 순서로 진행되었다.

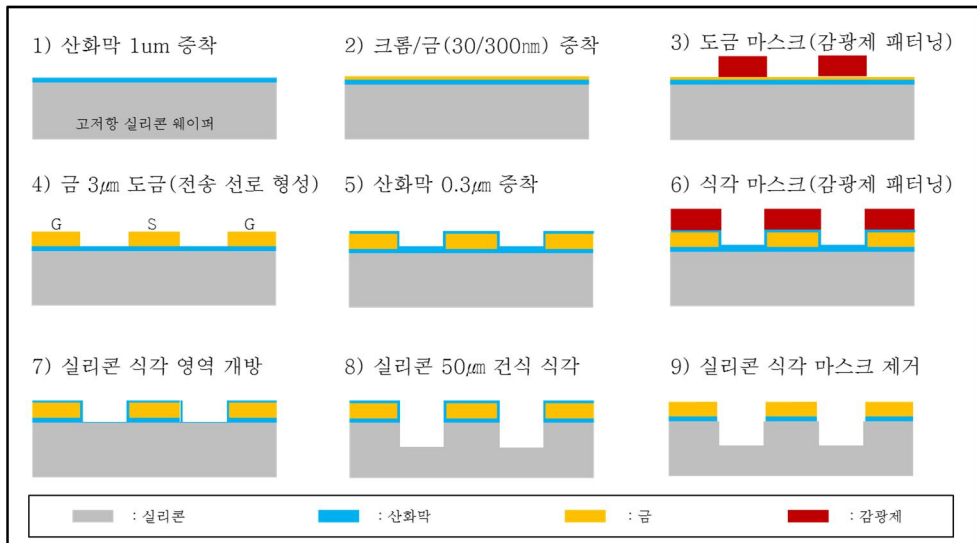


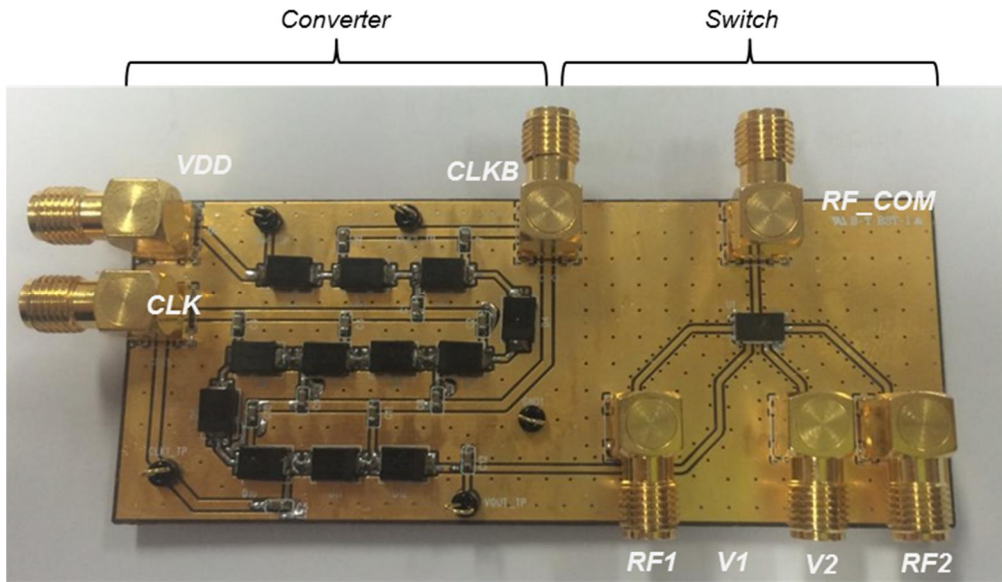
그림 5.1 실리콘 기판의 실리콘 산화막과 트렌치 구조의 전송 선로 공정 순서

총 2장의 마스크를 사용하여 4인치의 평균 $507\mu\text{m}$ 두께의 비저항이 $10000\Omega\text{cm}$ 이상인 고저항 실리콘 웨이퍼 위에 제작하였다. 실리콘 기판 위에 $1\mu\text{m}$ 두께의 실리콘 산화막 증착은 PECVD(Plasma Enhanced Chemical Vapor Deposition)를 이용하였다. 도금 방식으로 금으로 된 전송 선로를 형성하였다. 전자총 증착 장비(E-gun evaporator)를 이용하여 접합(adhesion) 및 시드 층(seed layer)로 사용할 크롬/금(Cr/Au)을 각각 30nm, 300nm 증착하였다. 이후 감광제(THB-111N)를 $9\mu\text{m}$ 두께로 도포한 후 사진 공정으로 전송 선로 형성될 부분을 패터닝하였다. 이후 금 도금 방식으로 약 $3\mu\text{m}$ 두께의 전송 선로를 형성하였다. 도금 마스크로 사용한 감광제를 제거한 후 습식 식각 방법을 이용하여 접착 및 시드 층으로 사용한 크롬과 금 부분을 식각하였다. 실리콘 기판 식각 시 식각 마스크로 사용할 $0.3\mu\text{m}$ 두께의 실리콘 산화막을 PECVD 방식으로 증착하였다. 이후 감광제(AZP4620)를 $6\mu\text{m}$ 두께로 도포 한 후 실리콘 식각할 부분의 실리콘 산화막을 ICP(Inductive Coupled Plasma) 방식으로 식각하였다. 실리콘 산화막의 식각 마스크로 사용한 감광제를 산소 플라즈마(O_2 plasma)로 제거한 후 ICP 방식으로 실리콘 기판을 $50\mu\text{m}$ 식각하였다. 실리콘 식각 마스크로 사용한 실리콘 산화막 $0.3\mu\text{m}$ 를 BOE 용액에서 습식 식각 방식으로 제거하면 실리콘 기판의 실리콘 산화막의 트렌치 구조 전송 선로가 완성된다.

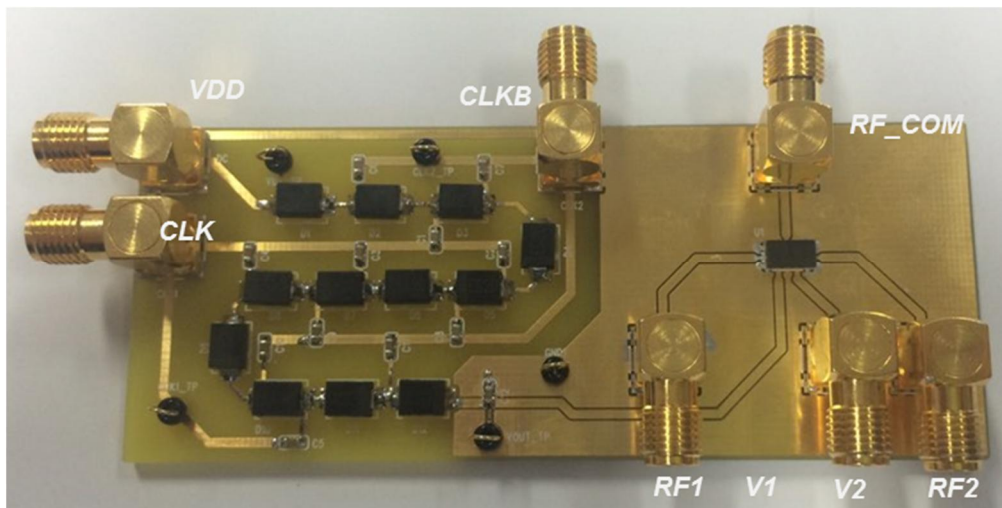
제 2 절 제작 결과 및 측정 분석

5.2.1 기판과 전송 선로 조합

듀로이드 기판과 GCPW 전송 선로 조합의 재배선층 위에, FR4 기판과 CPW 전송 선로 조합의 재배선층 위에 OMRON RF MEMS 스위치와 열두 단 DC-DC 컨버터를 제작한 결과는 그림 5.2과 같다. 재배선층 위에 칩은 무연납(LFSOLDER TLF-204-105S-2, Sn 96.5/Ag 3.0/Cu 0.5, 녹는점: $216\sim 220^\circ\text{C}$)을 이용하여 플립칩 결합하였다.



(a)



(b)

그림 5.2 재배선층 기판을 이용하여 컨버터와 스위치를 이중 통합한 결과 (a) 듀로이드 기판과 GCPW 전송 선로 (b) FR4 기판과 CPW 전송 선로

전체 기판 크기는 $90.5 \times 36.5 \text{mm}^2$ 로 동일하다. 컨버터 배선에서 클럭 주파수와 전력 부분은 1mm 이외 부분은 0.5mm로 하였다. 듀로이드 기판과 FR4 기판은 각각 약 0.5 온스(oz)의 약 $17.5 \mu\text{m}$ 두께와 약 1온스의 약 $35 \mu\text{m}$ 두께의 구리로 덮여 있는 기판(Copper Clad Laminate)을 사용하였다. 각각의 기판에 약 $10 \mu\text{m}$ 와 약 $30 \mu\text{m}$ 두께의

구리 도금 공정으로 구리 전송 선로의 두께는 각각 약 $30\mu\text{m}$, 약 $60\mu\text{m}$ 가 되었다. 구리 산화를 방지하기 위하여 구리 전송 선로 위에 $5\mu\text{m}$ 두께의 니켈과 $0.03\mu\text{m}$ 두께의 금을 도금 하였다. 제작 결과는 표 5.1에 정리하였다.

표 5.1 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합의 이중 통합 제작 비교

	Duroid+GCPW	FR4+CPW
Converter type	12 stage Dickson charge pump, 1MHz clock	
Substrate area (mm^2)	90.5×36.5	
Converter line width (mm)	Clock/Power: 1, else: 0.5	
Line metal thickness (μm)	29-4-0.03 (Cu-Ni-Au) ± 5	60-4-0.03 (Cu-Ni-Au) ± 11
Type of converter line	GCPW	Single
Substrate dielectric constant	2.2	4.4
Substrate thickness (μm)	254 ± 17.8	1530 ± 153
Type of transmission line	GCPW	CPW
Switch signal width (μm)	565 ± 5	960 ± 5
Switch signal to ground width (μm)	370 ± 15	215 ± 4

재배선층 제작 과정에서 발생하는 오차는 공정 오차에 기인하며 수치 변화에서의 오차와 구조 변화에서의 오차로 분류된다.

수치 변화에 따른 오차는 기판 두께, 동박 두께, 도금 두께, 전송 선로의 폭과 선 사이의 간격, 유전상수 등에서 발생한다. 듀로이드 기판의 두께 오차는 $\pm 7\%$, FR4 기판의 두께 오차는 $\pm 10\%$ 이다. 도금 전에 듀로이드 기판과 FR4 기판에 결합되어 있는 기본 동박(laminated copper) 두께의 오차는 각각 $18 \pm 2\mu\text{m}$ 와 $30 \pm 5\mu\text{m}$ 이다. 구리 도금 공정 과정의 오차는 듀로이드 기판에 대하여 약 $11 \pm 2\mu\text{m}$ 와 FR4 기판에 대하여 약 $30 \pm 5\mu\text{m}$ 이다. 따라서 구리 도금 공정 이후 배선의 두께는 각각 약 $29 \pm 4\mu\text{m}$, 약 $60 \pm 10\mu\text{m}$ 두께가 되었다. 구리 산화를 방지하기

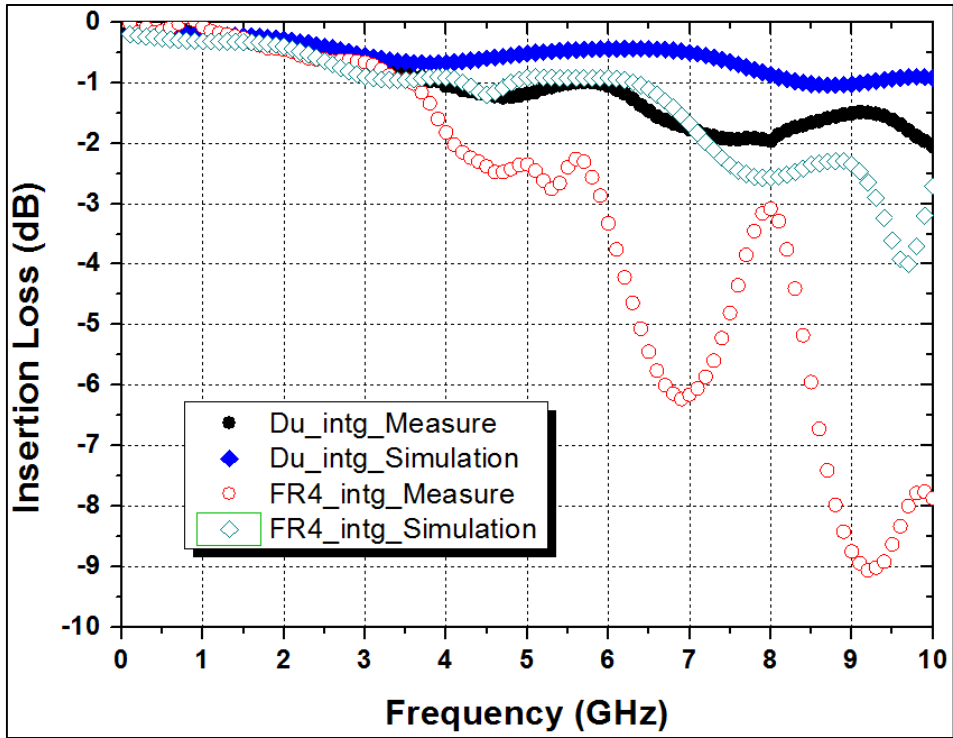
위하여 도금한 니켈은 약 $4 \pm 1 \mu\text{m}$ 두께이며 니켈 도금 이후에 진행한 금 도금의 두께는 약 $0.03 \mu\text{m}$ 로 상대적으로 다른 금속에 비하여 얇아서 오차는 무시할 수준이다. 선폭에서는 목표 값 대비 $\pm 5 \mu\text{m}$ 오차가 발생하였다. 전송 선로와 접지 사이의 간격에서는 목표 값인 $385 \mu\text{m}$ 대비 최대 약 $-30 \mu\text{m}$ 의 오차가 있었으며 평균 값인 $370 \mu\text{m}$ 대비 $\pm 15 \mu\text{m}$ 내의 오차가 있었다. 그리고 0에서 10GHz 대역에서 두 기판의 유전상수는 약 15% 내외로 변화한다.

구조 변화에 따른 오차는 전송 선로의 단면, 전송 선로의 측벽(sidewall), 등에서 발생할 수 있다. 전송 선로의 공정 과정에서 사용한 감광 필름(DFR) 특성에 의하여 전송 선로 단면은 윗변이 아래변보다 짧은 사다리꼴 모양이며 전송 선로의 측벽에는 노광 파장에 의한 굴곡이 발생한다.

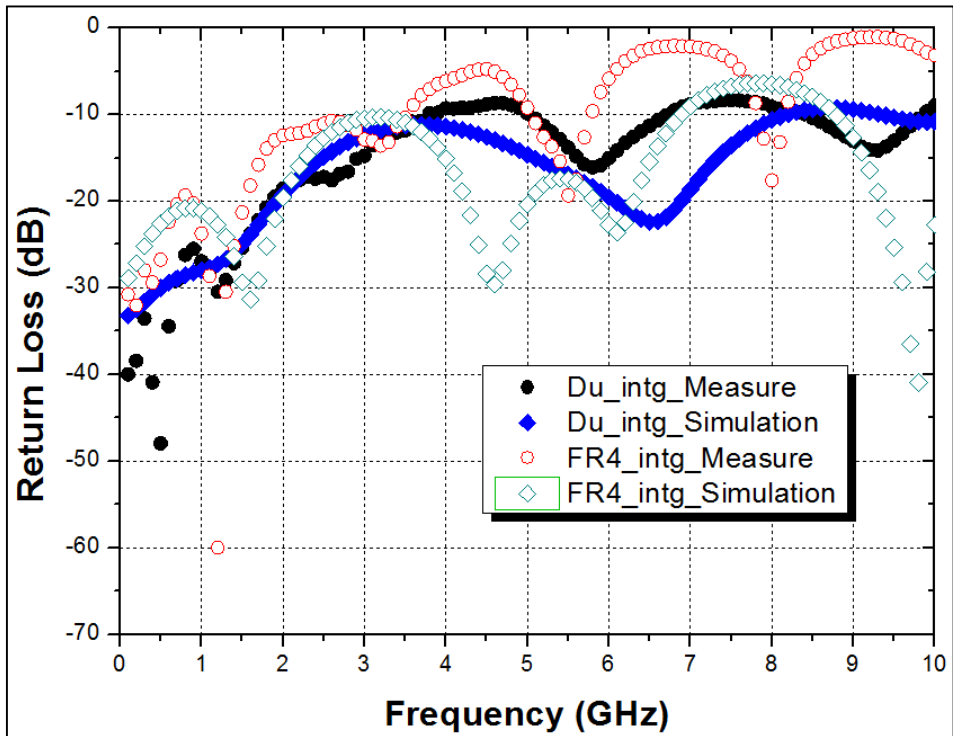
앞서 언급한 공정 과정에서 발생하는 오차에 의하여 임피던스 부정합이 발생하며 임피던스 부정합에 의하여 공진이 발생한다. 배선이 길어질수록 신호선의 폭이나 신호선과 접지 사이 간격을 제어할 구간이 길어지므로 공정 오차에 의하여 임피던스 부정합이 발생할 확률이 높아진다. 임피던스 부정합 부분마다 반사파가 발생하게 되고 신호 손실이 발생하며 공진 조건이 형성된다. 설계 시 임피던스 매칭을 하였으나 제작 후 측정 시 삽입 손실, 반사 손실, 신호 분리도 특성에서 공진이 발생하는 것은 공정 오차에 따른 임피던스 부정합이 주요 원인이다. 따라서 배선은 가능한 짧게 하고 공정 오차를 줄일수록 임피던스 매칭이 되어서 우수한 고주파 특성 확보에 유리하다.

그림 5.3에 듀로이드, FR4 기판의 재배선층과 OMRON 스위치 결합 후 고주파 특성 측정 결과를 나타내었다. FR4 기판의 유전상수가 듀로이드 기판의 유전상수보다 크기 때문에 신호가 기판으로 잘 통과하므로 다양한 주파수에서 공진이 발생하는 경향이 있다. FR4 기판의 반사 손실 특성에서 약 1.5GHz, 3.2GHz, 5.5GHz, 8GHz에서 공진이 발생하는 것을 확인할 수 있었다. 각각의 공진 주파수는 시뮬레이션 결과와 0에서 1.5GHz 정도 차이가 있으나 네 부분에서 공진이 발생한 것은 일치하였다. 시뮬레이션 상과 측정 상의 공진 주파수의 차이는 앞서 언급한 공정 상의 오차와 산화 방지용 니켈과 금 도금은 반영하지 않은 구리 전송 선로만으로 시뮬레이션을 진행한 것에 기인한다. 듀로이드 기판은 유전상수가 작고 두께가 얇으며 GCPW를 적용하였기 때문에 상대적으로 유전상수가 크고 두께가 두꺼우며 CPW 전송 선로를 적용한 FR4 기판보다 삽입 손실과 신호 분리도 특성이

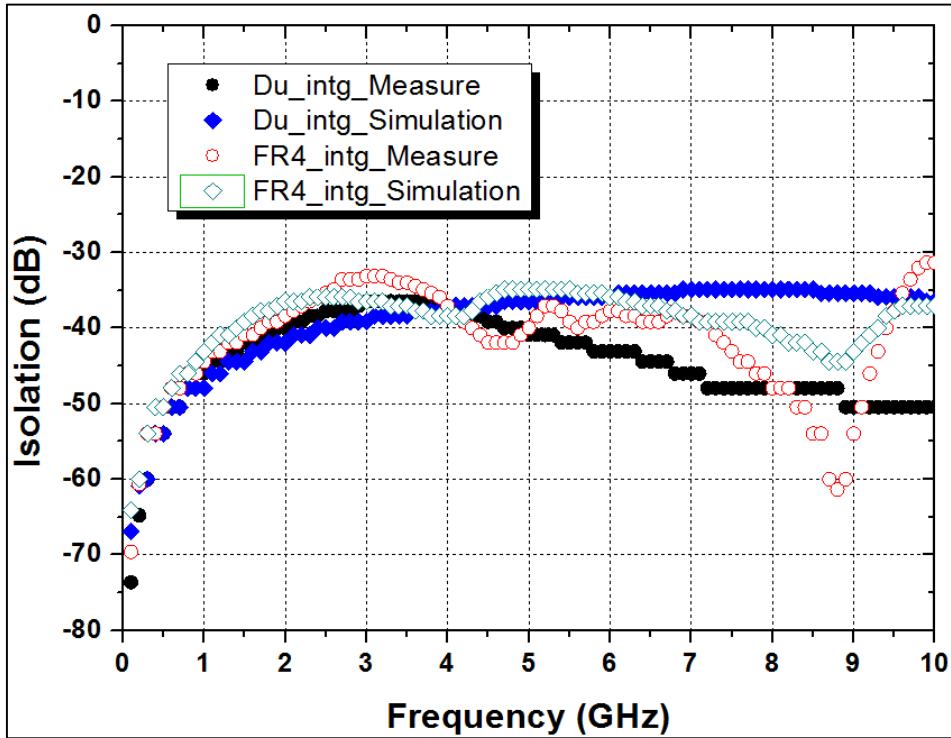
우수한 것을 측정으로 확인하였다.



(a)



(b)



(c)

그림 5.3 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합으로 이루어진 재배선층에 OMRON 스위치와 컨버터를 이중 통합 방법으로 제작 후 측정 결과와 시뮬레이션 결과 비교(Du_intg_: 듀로이드 기판 결합, FR4_intg_: FR4 기판 결합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도

측정 결과와 시뮬레이션 결과를 표 5.2에 비교, 정리하였다. 6GHz 대역에서의 고주파 특성을 살펴보면 듀로이드와 GCPW 조합과 FR4와 CPW 조합의 순서로 삽입 손실은 각각 1.24dB 이하와 3.32dB 이하, 반사 손실은 각각 8.66dB 이상과 4.75dB 이상, 신호 분리도는 각각 36.48dB 이상과 33.15dB 이상으로 듀로이드가 FR4보다 우수한 경향성은 시뮬레이션과 일치하였다. 다만 반사 손실에서 다소 차이가 나는 원인은 언급한 공정 오차에 따른 공진의 발생에 기인한다.

표 5.2 듀로이드 기판과 GCPW 조합, FR4 기판과 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 시뮬레이션 및 측정 결과 < 6GHz

	Duroid+GCPW		FR4+CPW	
	Sim.	Meas.	Sim.	Meas.
Insertion loss (dB)	< 0.68	< 1.24	< 1.20	< 3.32
Return loss (dB)	> 11.19	> 8.66	> 10.31	> 4.75
Isolation (dB)	> 35.92	> 36.48	> 34.89	> 33.15

5.2.2 기판 구조 변경

실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층 위에 OMRON RF MEMS 스위치를 제작한 결과는 그림 5.4와 같다.

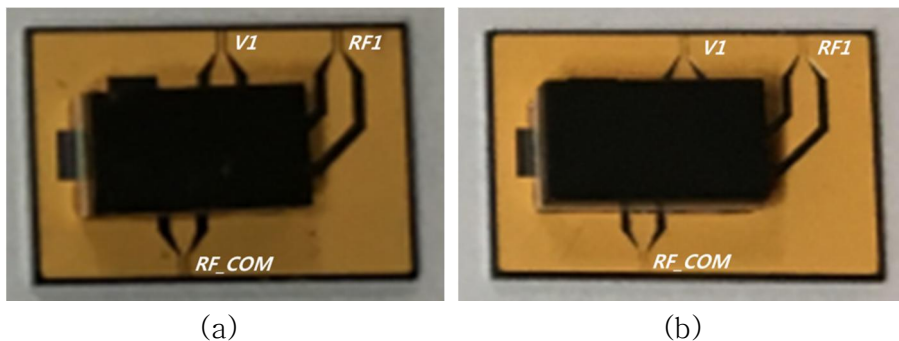


그림 5.4 실리콘 재배선층 기판 위에 OMRON 스위치를 이중 통합한 결과 (a) 실리콘 기판의 실리콘 산화막과 CPW 전송 선로 조합 (b) 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 전송 선로 조합으로 이루어진 재배선층 조합

전체 기판 크기는 $9 \times 6 \text{mm}^2$ 로 트렌치 유무에 관계 없이 동일하다. 전송 선로는 평균 $3.2 \mu\text{m}$ 두께의 금 도금 공정으로 형성되었으며 자세한 수치는 표 5.3과 같다.

표 5.3 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합의 이중 통합 제작 비교

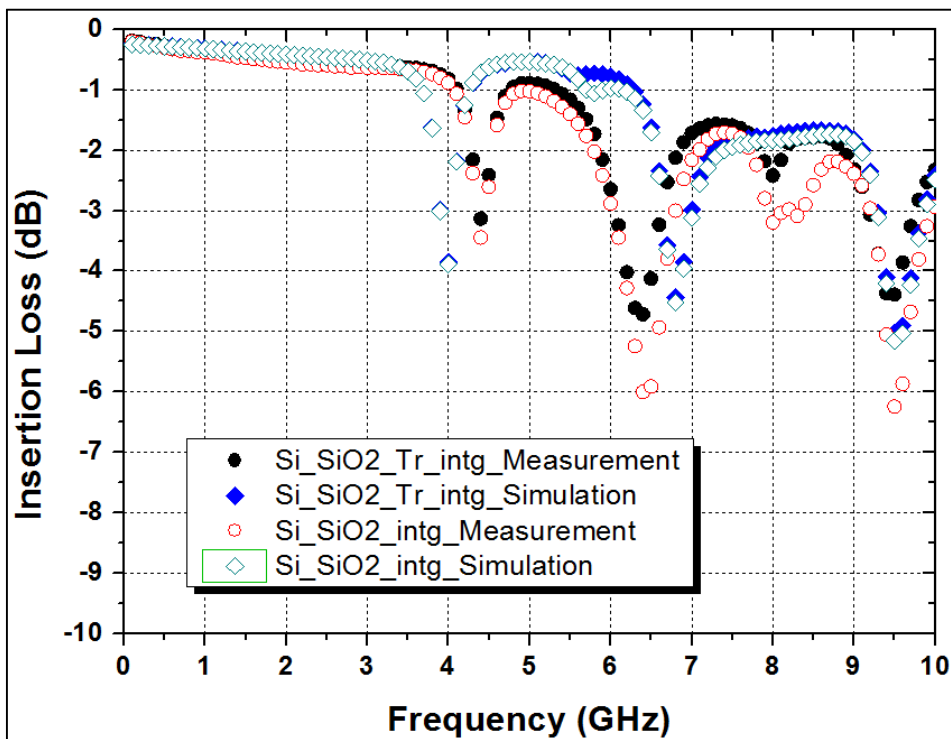
	Si+SiO ₂	Si+SiO ₂ +Tr
Substrate area (mm ²)	9 × 6	
Line metal thickness (μm)	3.2 (Au) ± 0.1	
Substrate dielectric constant	11.9	
Substrate thickness (μm)	507 ± 1.4	
Type of transmission line	CPW	
Switch signal width (μm)	620/115 ± 0.5	
Silicon dioxide thickness (μm)	1.0 ± 0.02	
Silicon trench depth (μm)	0	57/50 ± 0.5
Switch signal to ground width (μm)	300/62 ± 0.5	222/27 ± 0.5

실리콘 재배선층 제작 과정에서 발생하는 오차를 정리하면 다음과 같이 수치와 모양에 대한 오차로 분류할 수 있다. 실리콘 기판의 두께 오차는 설계 값인 500μm 기준으로 +5.6μm에서 +8.4μm이다. 신호선으로 사용할 금 도금 공정 결과는 설계 값인 3μm 기준으로 +0.1μm에서 +0.3μm이다. 선폭은 설계 값 대비 ±0.5μm 오차가 발생하였다. 전송 선로와 접지 사이의 간격에서도 설계 값 대비 ±0.5μm 오차가 발생하였다. 실리콘 산화막 공정에서는 설계 값인 1μm 대비 ±0.02μm 오차가 발생하였다. 트렌치 식각 공정에서는 설계 값 50μm 대비 27μm 폭의 패턴에서는 ±0.5μm 오차가 발생하였고 222μm 폭의 패턴에서는 +6.5μm에서 +7.5μm의 오차가 발생하였다. 이는 식각 패턴의 폭의 차이에 따른 식각율이 달라지기 때문이며 27μm 폭의 패턴에 대하여 50μm 목표로 식각함으로써 222μm 폭의 패턴의 깊이가 약 57μm로 깊어진 결과이다.

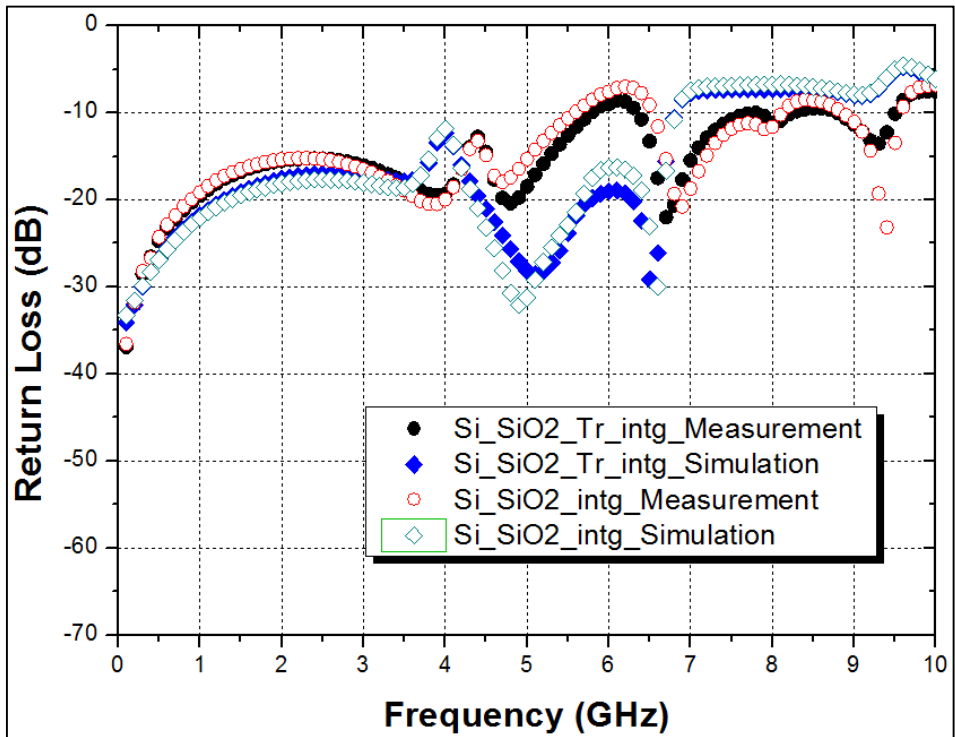
전송 선로의 공정 과정에서 사용한 감광제(THB-111N) 특성에 의하여 전송 선로의 단면은 윗변이 아래변보다 짧은 사다리꼴 모양이며 전송 선로의 측벽에는 노광 파장에 의한 굴곡이 발생한다. 트렌치 구조를 제작하기 위해 실리콘 식각 시 사용한 ICP 식각에 의하여 측벽에 scallop이 형성 되었다. 공정 과정에서 발생하는 설계 수치나

설계 구조와의 차이 때문에 임피던스 부정합이 발생한다. 제5장 제2절 5.2.1에서는 공정 오차에 의한 임피던스가 59옴으로 임피던스 부정합이 공진의 주요 원인이었다. 하지만 실리콘 공정에서는 공정 오차가 $\pm 0.5\mu\text{m}$ 이내로 작아서 임피던스는 약 $50.0 \pm 1.0\text{옴}$ 이내이므로 공진의 주요 원인이 아닌 것을 시뮬레이션을 통해 확인되었다. 실리콘은 열전도 특성이 우수하여 일반 무연납 범프의 녹는점까지 온도를 올리기 어려움이 있었다. 따라서 열전도가 낮은 실리콘 산화막 위에 저온 무연납 범프(LFSOLDER TLF-401-11, Sn 42.0/Bi 58.0, 녹는점: 139°C)를 이용하여 이중 통합을 진행하였다. 하지만 저온 무연납 범프는 공동이 발생하며 이는 고주파 특성에서 공진을 발생하는 원인임을 제4장 제2절 4.2.3에서 시뮬레이션을 통해 확인하였다.

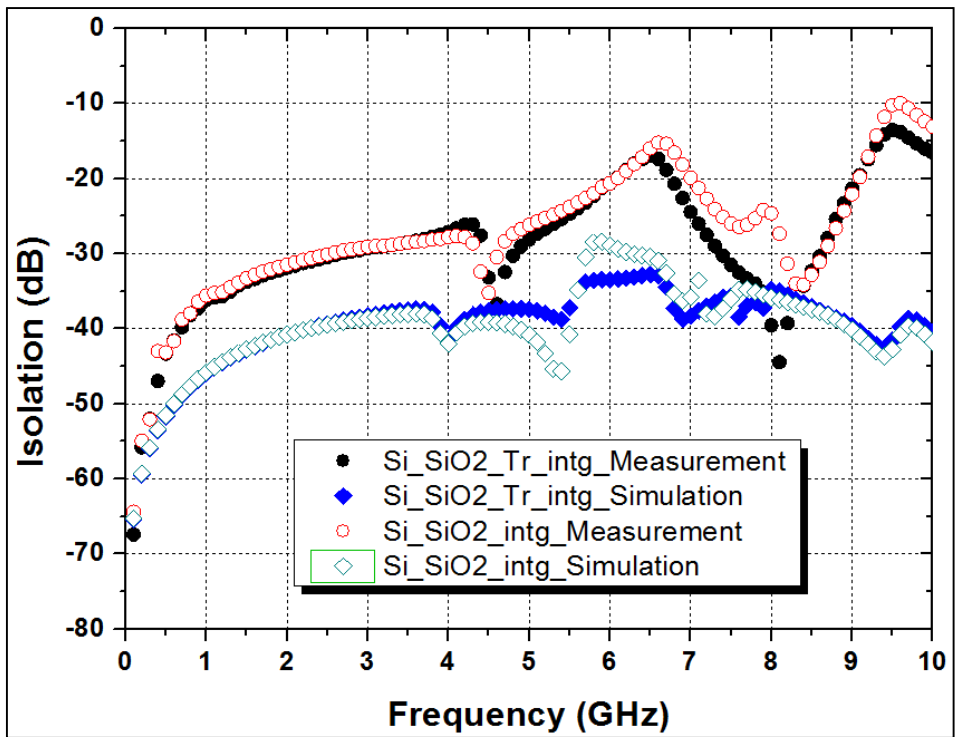
그림 5.5에 실리콘 재배선층과 OMRON 스위치 결합 후 고주파 특성 측정 결과를 나타내었다. 앞서 언급한 오차를 반영하여 진행한 시뮬레이션 결과와 유사하게 공진이 발생하는 것을 확인할 수 있다. 목표 대역인 6GHz 이내에서 트렌치 구조에 의하여 삽입 손실과 반사 손실 특성이 우수함을 측정을 통하여 확인하였다.



(a)



(b)



(c)

그림 5.5 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘

기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 제작 후 측정한 결과와 시뮬레이션 결과 비교(Si_SiO₂_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO₂_Tr_intg: 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도

측정 결과와 시뮬레이션 결과는 표 5.4에 비교, 정리하였다. 6GHz 대역에서 실리콘 기판의 실리콘 산화막과 CPW 조합과 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합의 순서로 삽입 손실은 각각 3.45dB 이하와 3.13dB 이하, 반사 손실은 각각 7.58dB 이상과 8.96dB 이상, 신호 분리도는 각각 20.63dB 이상과 20.67dB 이상으로 시뮬레이션과 경향성이 일치하였다. 시뮬레이션 결과와 수치 상에서 차이가 나는 이유는 앞서 언급한 저온 무연납의 공동, 재배선층 공정 오차, 기판의 두께 오차 그리고 측정 환경에 기인한다.

표 5.4 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합 재배선층의 OMRON 스위치의 삽입 손실, 반사 손실, 신호 분리도 측정 결과 < 6GHz

	Si+SiO ₂		Si+SiO ₂ +Tr	
	Sim.	Meas.	Sim.	Meas.
Insertion loss (dB)	< 3.88	< 3.45	< 3.86	< 3.13
Return loss (dB)	> 11.84	> 7.58	> 12.31	> 8.96
Isolation (dB)	> 28.39	> 20.63	> 33.46	> 20.67

실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC 포트에서 RF 포트 특성 측정 결과는 그림 5.6, 표 5.5과 같다.

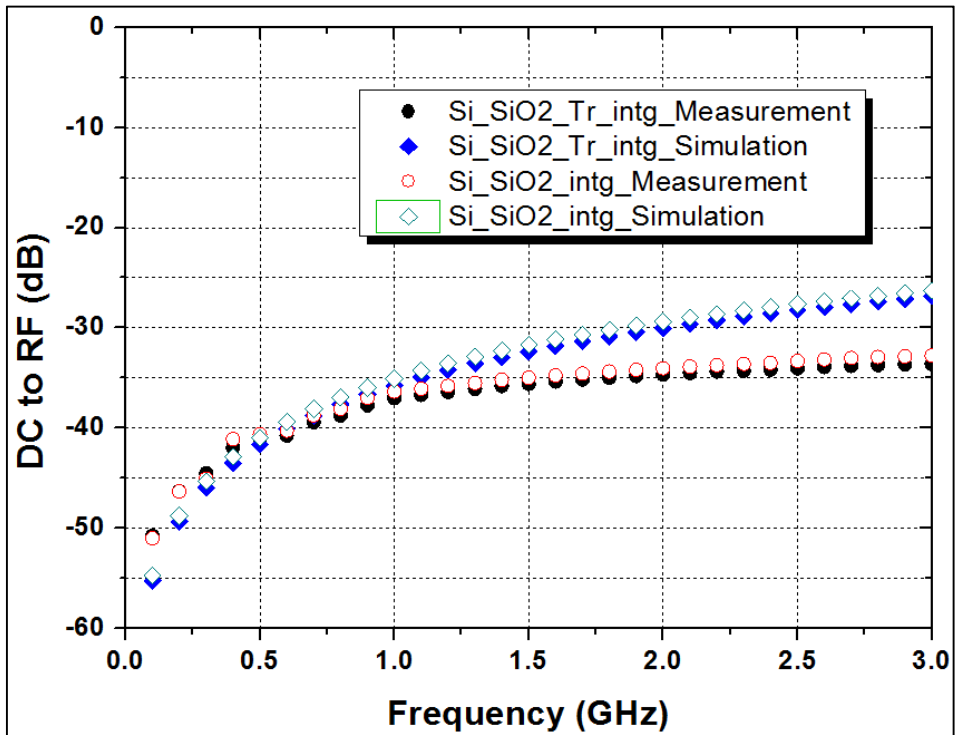


그림 5.6 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층에 OMRON 스위치를 제작 후 DC 포트에서 RF 포트로의 고주파 특성 측정 결과와 시뮬레이션 결과 비교 (Si_SiO₂_intg: 실리콘 기판의 실리콘 산화막과 CPW 조합, Si_SiO₂_Tr_intg: 실리콘 기판의 실리콘 산화막과 트렌치 조합)

표 5.5 실리콘 기판 재배선층의 트렌치 유무에 따른 OMRON 스위치의 DC포트에서 RF 포트로의 고주파 특성 측정 결과 < 3GHz

	Si+SiO ₂		Si+SiO ₂ +Tr	
	Sim.	Meas.	Sim.	Meas.
DC to RF (dB)	> 26.30	> 32.80	> 26.86	> 33.61

DC 포트에서 RF 포트는 물리적으로 분리되어 있으므로 신호 분리도 특성을 보였으며 트렌치가 없는 경우와 있는 경우 각각에 대하여 3GHz 대역에서 약 32.80dB 이상과 33.61dB 이상인 것을 확인하였다. 트렌치 유무에 따라 약 0.81dB의 특성 개선을 확인하였다. 두 경우

모두 약 32dB 이상의 신호 분리도 특성을 보이므로 RF MEMS 스위치 자체의 DC 포트에서 RF 포트 신호 차단 능력은 우수한 것을 확인하였다. 시뮬레이션 결과보다 6~7dB 큰 결과가 나온 것은 그림 4.3과 표 4.2에서와 같이 스위치의 RLC 집중 소자 모델의 DC 포트에서 RF 포트로의 고주파 특성 값과 측정 값 간의 차이에 기인하며 이를 감안하면 경향성은 일치하는 것을 확인하였다. DC 포트는 전송 선로가 아니라서 임피던스 부정합 상태임을 감안해야 하며 범프의 공동에 의한 공진은 약 4GHz 이상에서 발생하므로 3GHz 대역 특성 내에서 공진은 확인되지 않았다.

실리콘 기판의 실리콘 산화막과 CPW 조합 구조에 대하여 트렌치를 추가하였을 때 개선 특성을 확인하기 위한 테스트 패턴 제작 결과는 그림 5.7과 같다.



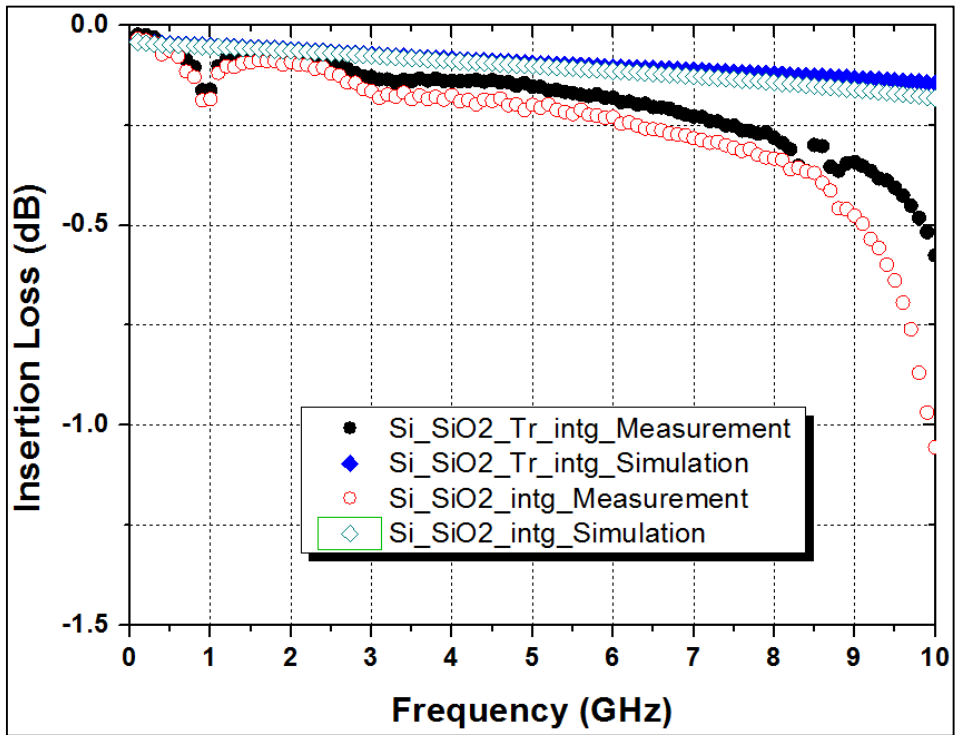
그림 5.7 실리콘 산화막이 증착된 실리콘 기판의 트렌치 유무에 따른 재배선층 특성 검증을 위한 테스트 패턴의 제작 결과

테스트 패턴의 기판 크기는 $4 \times 4\text{mm}^2$ 로 트렌치 유무에 관계 없이 동일하다. 전송 선로는 평균 $3.2\mu\text{m}$ 두께의 금 도금 공정으로 형성하였으며 자세한 수치는 표 5.6과 같다.

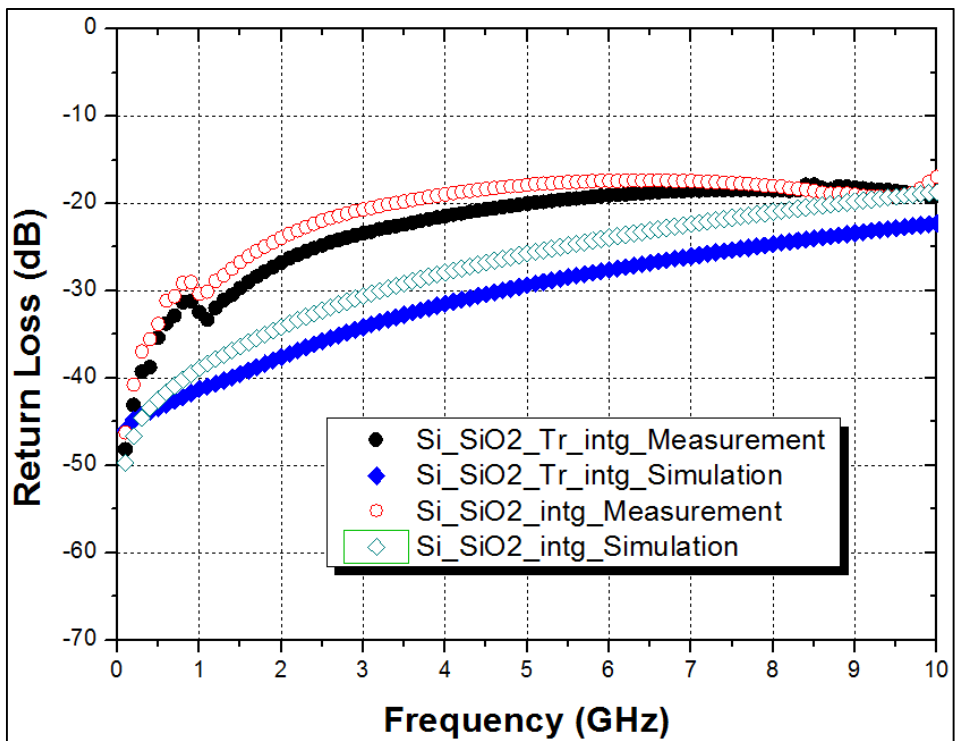
표 5.6 실리콘 기판의 실리콘 산화막과 트렌치 구조의 재배선층의 테스트 패턴의 제작 결과

	Si+SiO ₂	Si+SiO ₂ +Tr
Substrate Area (mm ²)	4×4	
H, Substrate Height (μm)	507 ± 1.4	
Dielectric Constant	11.9 (Si), 4 (SiO ₂)	
Transmission line		
G, Signal Gap (μm)	1000 ± 0.5	
S_T, Silicon Trench (μm)	0	57/50 ± 0.5
T_SiO ₂ , SiO ₂ Thickness (μm)	1.0 ± 0.02	
S, Signal Width (μm)	620 ± 0.5	
S_P, Probe Width (μm)	115 ± 0.5	
T, Metal Thickness (μm)	3.2 (Au) ± 0.1	
W_P, Probe Signal to Ground Gap (μm)	62 ± 0.5	27 ± 0.5
W, Signal to Ground Gap (μm)	300 ± 0.5	222 ± 0.5

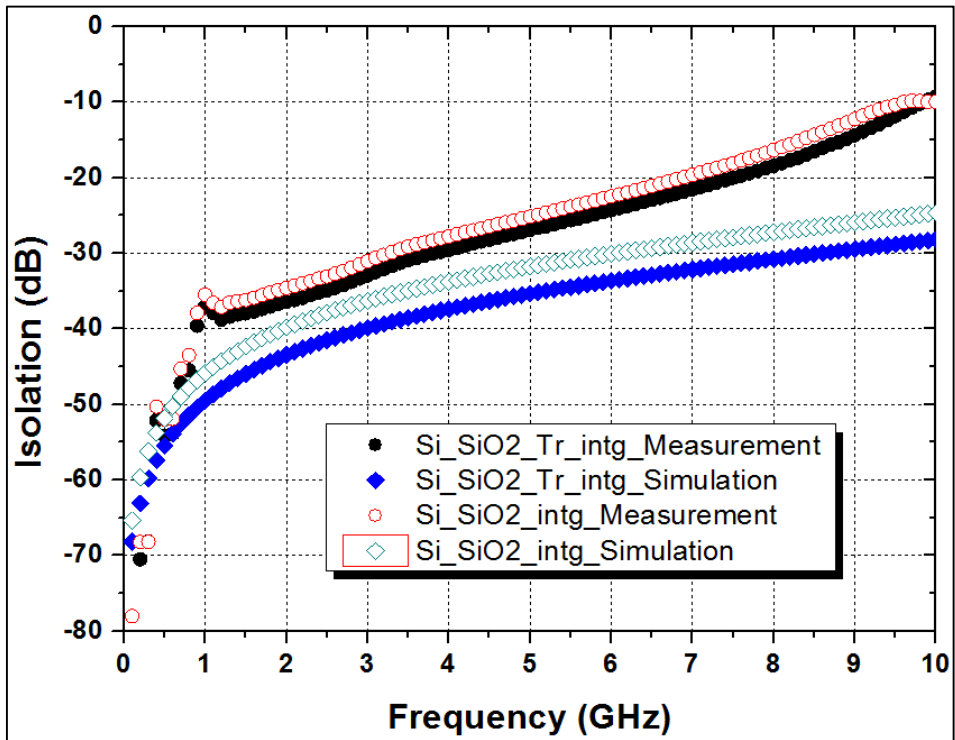
테스트 패턴 제작 과정에서 발생하는 오차는 실리콘 재배선층과 동일한 웨이퍼 상에서 공정이 진행되었으므로 일치한다. 테스트 패턴의 고주파 특성 측정 결과는 그림 5.8과 같다.



(a)



(b)



(c)

그림 5.8 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴 제작 후 측정 결과와 시뮬레이션 결과 비교 (Si_SiO2_: 실리콘 기판의 실리콘 산화막 조합, Si_SiO2_Tr_: 실리콘 기판의 실리콘 산화막과 트렌치 조합) (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도

목표 대역의 최대 주파수 6GHz를 포함한 0-10GHz 대부분의 대역에서 삽입 손실, 반사 손실, 신호 분리도 특성에서 트렌치 구조가 우수한 것을 확인하였다. 테스트 패턴에서는 스위치가 포함되지 않았기 때문에 실리콘 재배선층과 스위치 결합 특성에서보다 트렌치 유무에 따른 고주파 특성 개선 효과를 명확하게 확인할 수 있었다. 재배선층 테스트 패턴의 고주파 특성 측정 결과와 시뮬레이션 값을 표 5.7에 비교, 정리하였다. 목표 대역의 최대 주파수 6GHz에서 실리콘 기판의 실리콘 산화막 구조와 실리콘 기판의 실리콘 산화막과 실리콘 트렌치 구조의 순서로 삽입 손실은 각각 0.23dB 이하와 0.18dB 이하, 반사 손실은 각각 17.40dB 이상과 19.06dB 이상, 신호 분리도는 각각

22.48dB 이상과 24.30dB 이상으로 시뮬레이션과 경향성이 일치하였다.

표 5.7 실리콘 기판의 실리콘 산화막과 CPW 조합, 실리콘 기판의 실리콘 산화막과 트렌치 구조와 CPW 조합으로 이루어진 재배선층의 테스트 패턴의 측정 비교 < 6GHz

	Si+SiO ₂		Si+SiO ₂ +Tr	
	Sim.	Meas.	Sim.	Meas.
Insertion loss (dB)	< 0.11	< 0.23	< 0.10	< 0.18
Return loss (dB)	> 23.92	> 17.40	> 27.59	> 19.06
Isolation (dB)	> 30.08	> 22.48	> 33.65	> 24.30

5.2.3 이중 통합 전후 측정 결과 비교 정리

본 논문에서 이중 통합 재배선층으로 연구된 듀로이드, FR4, 실리콘 기판과 전송 선로의 특성을 정리하면 표 5.8와 같다.

세 종류 각각에 대하여 일반적으로 사용되는 두께를 선정하였다. 기판의 면적은 듀로이드와 FR4에서는 컨버터를 이중 통합 함으로써 90.5×36.5mm² 이었으며 실리콘에서는 웨이퍼 크기와 수율을 고려하여 컨버터를 제외한 9×6mm²로 제작하였다. 실리콘에서는 50μm 깊이의 트렌치 구조에 의한 고주파 특성 개선 가능성을 확인하였으며 실리콘 기판의 열 전도를 극복하고 성공적인 플립칩 공정을 위하여 산화막을 증착하고 저온 무연납을 사용하였다. 전송 선로 타입은 듀로이드는 GCPW, FR4와 실리콘은 CPW를 사용하였다. 전송 선로 금속은 듀로이드와 FR4가 구리, 실리콘은 금이었으며 두께는 각각 순서대로 29μm, 60μm, 3.2μm이었다. 선로의 임피던스는 듀로이드와 FR4는 약 59옴, 실리콘은 약 50옴이었다. 이중 통합 전후 RF MEMS 스위치의 특성을 비교하면 표 5.9과 같이 정리된다.

표 5.8 듀로이드, FR4, 실리콘 기판의 재배선층 물성 및 수치 정리

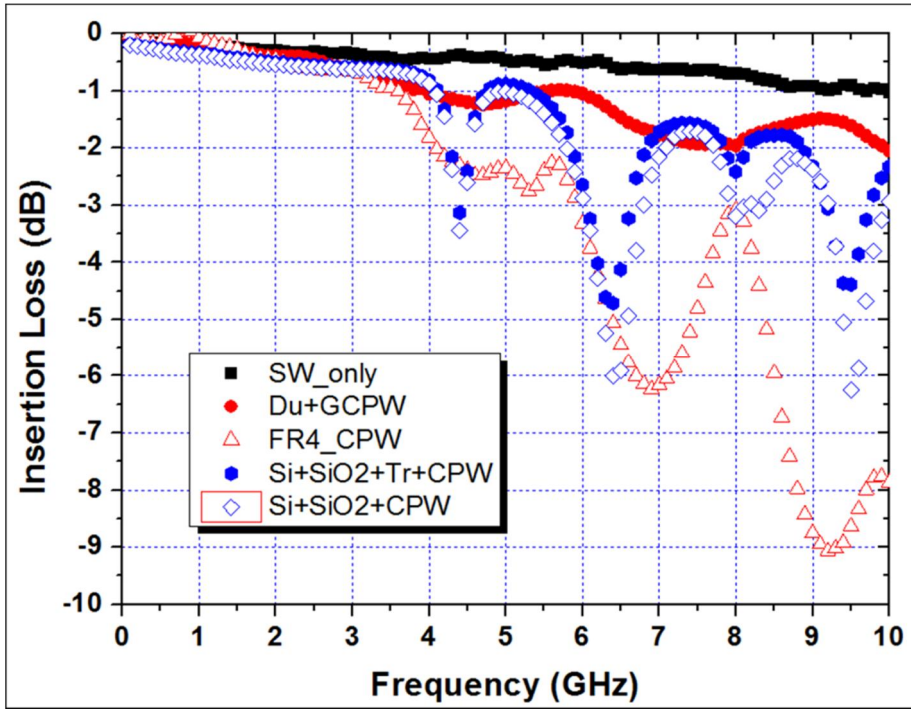
	Duroid	FR4	Silicon	
Substrate				
Dielectric Constant	2.2	4.4	11.9	
Thickness (μm)	254	1530	507	
Area (mm^2)	90.5 \times 36.5		9 \times 6	
Trench (μm)	-	-	-	50
SiO ₂ (μm)	-	-	1	1
Transmission Line				
Type	GCPW	CPW	CPW	CPW
Line Metal Thickness (μm)	29(Cu)	60(Cu)	3.2(Au)	
Signal Width (μm)	565	960	620/115	
Signal to Ground Width (μm)	370	215	300/62	222/27
Note	Sn 96.5 /Ag 3.0/Cu 0.5		Sn 42.0/Bi 58.0	

표 5.9 이중 통합 전후 측정 결과 정리 < 6GHz

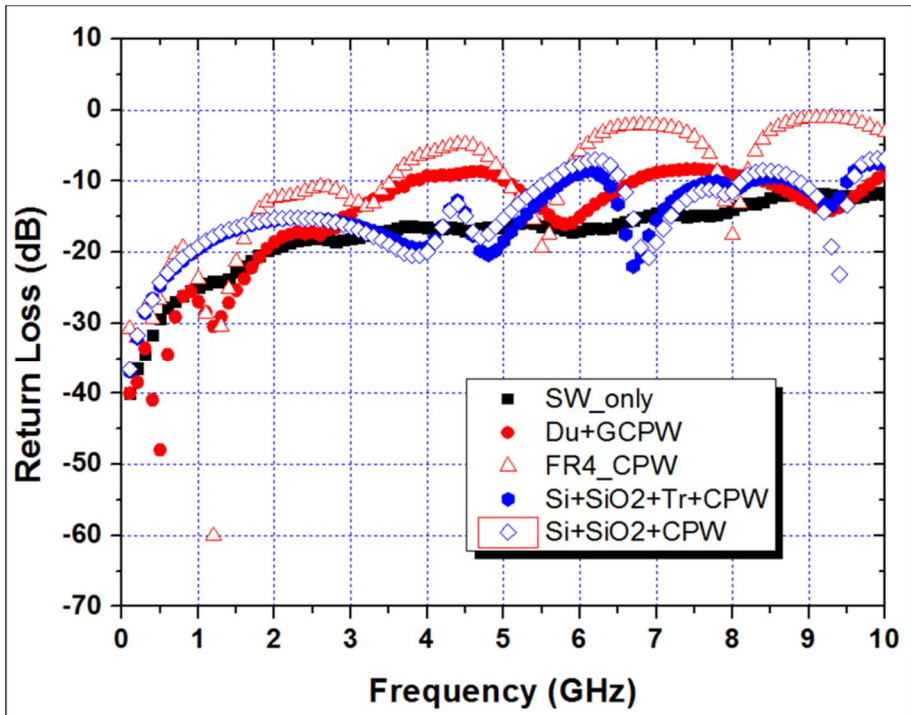
	Insertion loss (dB)	Return loss (dB)	Isolation (dB)	DC to RF (dB) <3GHz
Switch Only	< 0.54	> 15.86	> 34.89	> 37.72
Du+GCPW	< 1.24	> 8.66	> 36.48	-
FR4+CPW	< 3.32	> 4.75	> 33.15	-
Si+SiO ₂ +Tr+CPW	< 3.13	> 8.96	> 20.67	> 33.61
Si+SiO ₂ +CPW	< 3.45	> 7.58	> 20.63	> 32.80

삽입 손실은 듀로이드, 실리콘 트렌치, FR4, 실리콘 순서로 우수하고 반사 손실은 실리콘 트렌치, 듀로이드, 실리콘, FR4 순서로 우수하고 신호 분리도는 듀로이드, FR4, 실리콘 트렌치, 실리콘 순으로 우수한 것을 확인할 수 있었다. DC to RF 특성은 3GHz 이하 대역에서

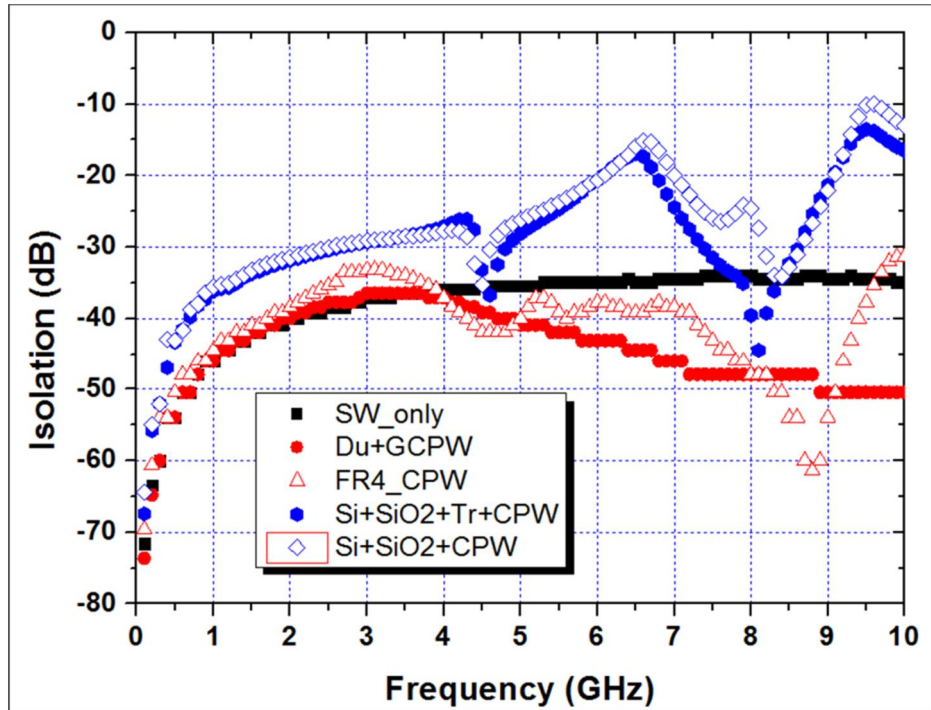
30dB 이상으로 컨버터의 클럭 주파수에 의한 리플을 차폐 특성은 우수한 것을 확인하였다. 이중 통합 전후의 고주파 특성을 그림 5.9에 그래프로 비교하였다.



(a)



(b)



(c)

그림 5.9 이중 통합 전후 측정 결과 비교 (a) 삽입 손실 (b) 반사 손실 (c) 신호 분리도 특성 (SW_only: OMRON 스위치, Du+GCPW: 듀로이드 기판의 GCPW 구조, FR4+CPW: FR4 기판의 CPW 구조, Si+SiO₂+Tr+CPW: 실리콘 기판의 실리콘 산화막과 트렌치 그리고 CPW 조합, Si+SiO₂+CPW: 실리콘 기판의 실리콘 산화막과 CPW 조합)

이중 통합 후 공진이 발생하는 것을 확인할 수 있었으며 공진의 원인은 듀로이드와 FR4에서는 신호선 폭의 공정오차와 신호선과 접지 사이 간격의 공정 오차에 의한 임피던스 부정합이며 실리콘에서는 저온 무연납 범프에서 발생한 공동에 의한 임피던스 부정합임을 확인하였다. 따라서 공진 현상은 전송 선로의 선폭과 간격에서의 공정 오차를 줄이고 무연납 범프에서의 공동을 줄이는 것으로 개선 가능하다.

제 6 장 결 론

본 논문에서는 6GHz 대역에서 정전 구동 방식의 RF MEMS 스위치의 우수한 특성을 유지하면서 재배선층을 이용하여 정전 구동 방식의 RF MEMS 스위치 구동용 CMOS DC-DC 컨버터와 결합하는 방식에 대한 연구를 진행하였으며 특히, 재배선층 기판의 종류, 기판의 두께, 전송 선로 금속 물질, 전송 선로의 타입, 포트의 임피던스 매칭, 기판의 구조 변화에 따른 고주파 특성 변화에 대하여 연구하였다. 기판의 유전 상수가 낮을수록, 기판의 두께가 얇을수록, 기판 하부에 접지 전극이 있을 경우, 임피던스 매칭이 잘될수록, 전송 선로의 신호선과 접지 사이의 트렌치 구조에 의하여 기판의 영향이 감소하는 구조일수록 고주파 특성이 우수한 것을 확인하였다. 연구된 듀로이드, FR4, 고저항 실리콘 기판과 CPW, GCPW, 트렌치 CPW 전송 선로 조합 중에서는 듀로이드 기판의 GCPW 전송 선로 조합의 고주파 특성이 가장 우수하였다.

본 연구실에서 제작된 낮은 구동 전압의 우수한 신호 분리도의 RF MEMS 스위치와 CMOS DC-DC 컨버터를 소개하고 두 칩의 이중 통합에 대한 모델링과 시뮬레이션 결과를 다루었다. 고저항 실리콘에 트렌치가 형성된 CPW 전송 선로 기판을 선정하였으며 결합 후 특성 변화는 6GHz 대역에서 삽입 손실 0.2dB, 반사 손실 2.5dB, 신호 분리도 0.55dB 임을 확인하였다.

Quasi-static TEM 모드에서 신호 전송이 된다는 가정 하에 conformal mapping 방식으로 재배선층 전송 선로의 집중 소자 모델링을 진행하였다. 이후 ABCD 행렬식으로 이중 통합 후 RF MEMS 스위치의 고주파 특성을 수식으로 표현하고 시뮬레이션과 비교, 검증하였다. 재배선층 기판의 두께는 얇을수록, 유전 상수는 작을수록, 트렌치 깊이는 깊을수록, 신호선의 총 길이는 짧을수록, 금속의 전도도는 클수록, 금속의 높이는 높을수록 이중 통합 후 RF MEMS 스위치의 고주파 특성은 우수할 것으로 예상되었다. 그리고 같은 조건에서 기판의 종류만 다른 경우, 고저항 실리콘 기판에 산화막과 트렌치가 있는 재배선층과 결합 후 고주파 특성은 듀로이드 재배선층과 결합 후 고주파 특성보다 10GHz 대역에서 약 2.27dB 이하 열화인 것을 확인하였다. 이를 통하여 고저항 실리콘 기판에 산화막과 트렌치가

있는 재배선층은 고주파 응용에 적합하다는 결론을 내렸다.

이중 통합 후 듀로이드와 GCPW 전송 선로 조합 재배선층의 고주파 특성이 가장 우수한 것을 제작 및 측정으로 확인하였다. 6GHz 대역에서 결합 후, RF MEMS 스위치의 삽입 손실은 0.7dB 열화, 반사 손실은 7.2dB 열화, 신호 분리도는 1.59dB 개선됨을 확인하였다. 고저항 실리콘 기판의 산화막과 트렌치가 있는 CPW 구조의 재배선층과 저온 무연납을 이용한 이중 통합 후 6GHz 대역에서 RF MEMS 스위치의 삽입 손실은 2.59dB, 반사 손실은 8.28dB, 신호 분리도는 14.22dB 열화 됨을 MEMS 공정으로 재배선층 제작 후 측정을 통해 확인하였다. 이중 통합 후 고주파 특성에서 공진이 발생하는 것을 확인하였으며 공진의 원인은 듀로이드와 FR4 재배선층에서는 신호선 폭의 공정오차와 신호선과 접지 사이 간격의 공정 오차에 의한 임피던스 부정합이 주원인이며 실리콘 재배선층에서는 저온 무연납 범프에서 발생한 공동에 의한 임피던스 부정합이 주원인임을 확인하였다. 따라서 재배선층의 공진 현상은 전송 선로의 선폭과 간격에서의 공정 오차를 줄이고 무연납 범프에서의 공동을 줄이는 것으로 개선 가능함을 확인하였다. 스위치와 저온 무연납을 제외한 재배선층 특성 검증을 위한 테스트 패턴의 고주파 특성 측정을 통해 고저항 실리콘 기판은 50 μ m 깊이의 트렌치 구조에 의하여 6GHz 대역에서 삽입 손실은 0.05dB, 반사 손실은 1.66dB, 신호 분리도는 1.82dB 개선 효과가 있음을 확인하였다.

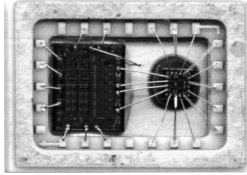
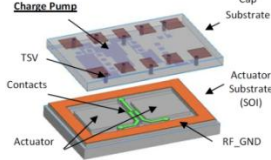
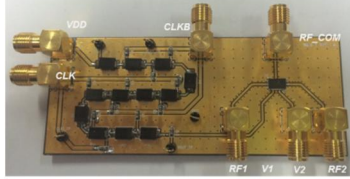
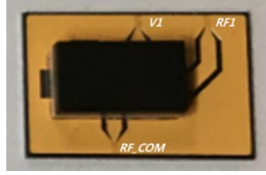
DC 포트에서 RF 포트의 고주파 특성은 RF MEMS 스위치 구동용 DC-DC 컨버터의 클럭 주파수와 DC 포트는 전송 선로가 아닌 임피던스 부정합 상태임을 고려하여 3GHz 대역 특성을 확인하였다. DC 포트에서 RF 포트는 물리적으로 분리되어 있으므로 신호 분리도 특성을 보였다. 실리콘 기판의 트렌치 CPW 구조의 재배선층과 결합 후, RF MEMS 스위치의 DC 포트에서 RF 포트로의 고주파 특성은 33.61dB 이상으로 결합 전보다 약 4.11dB 이하 열화 됨을 확인하였고 이를 통해 스위치의 컨버터의 클럭 리플 차단 능력은 우수함을 확인할 수 있었다.

제안한 이중 통합 방식으로 제작된 RF MEMS 스위치의 고주파 특성을 다른 이중 통합 방식으로 제작된 RF MEMS 스위치의 고주파 특성과 표 6.1에 비교 정리하였다. 플립칩 본딩 방식은 와이어 본딩 방식보다 우수하고 TSV 본딩 방식과 유사한 고주파 특성을 보이는 것을 제작 및 측정을 통하여 확인하였다. 그리고 Motorola, OMRON RF MEMS 스위치의 측정 결과는 3GHz, 본 논문의 RF MEMS 스위치의

측정 결과는 6GHz인 것을 감안하면 듀로이드 GCPW 조합의 재배선층을 이용한 결합의 고주파 특성은 우수하다. 트렌치 실리콘과 CPW 조합의 재배선층도 저온 무연납 범프의 공동에 의한 공진을 개선한다면 우수한 특성의 고주파 특성이 예상된다.

결론적으로 실리콘 기판의 트렌치 CPW 조합의 재배선층을 이용한 이중 통합 방식은 정전 구동 방식의 RF MEMS 스위치와 전하 펌프 방식의 CMOS DC-DC 컨버터 결합에 적합한 것을 확인하였다. 기판의 유전상수와 두께, 전송선로의 물질과 구조, 임피던스 매칭은 재배선층 기판을 선정할 때 고려해야 할 요소임을 확인하였다. 정전 구동 방식 RF MEMS 스위치의 DC 포트에서 RF 포트로의 신호 분리도 특성은 우수하였다. 이를 통해 이중 통합 후 DC-DC 컨버터의 클럭 리플은 정전 방식의 RF MEMS 스위치에 큰 영향이 없는 것을 확인하였다.

표 6.1 제안한 이중 통합 방식의 RF MEMS 스위치 고주파 특성 비교

	Motorola (2003) [1.18, 1.19]	OMRON (2013) [1.21, 1.22]	SNU(2016), 듀로이드 GCPW	SNU(2016), 실리콘트렌치 CPW
이미지				
RF 출력 수	1,2,4,6 (이미지는 4)	2	2 (OMRON 스위치)	2 (OMRON 스위치)
삽입 손실	< 1dB @ < 3GHz (<0.3dB 통합 전)	< 0.25dB @ < 3GHz (<0.18dB 통합 전)	< 1.24dB @ < 6GHz (<0.54dB 통합 전)	< 3.13dB @ < 6GHz (<0.54dB 통합 전)
신호 분리도	> 25dB @ < 3GHz (>50dB 통합 전)	> 30dB @ < 3GHz (>32dB 통합 전)	> 36.48dB @ < 6GHz (>34.89dB 통합 전)	> 20.67dB @ < 6GHz (>34.89dB 통합 전)
구동 전압	30-60V	28V	35V	35V
스위치 크기(1개)~0.01mm ² (pad 제외)		~2mm ² (패키지)	~2mm ² (패키지)	~2mm ² (패키지)
컨버터 공정	CMOS	- (IC, Silicon)	-	-
컨버터 타입	전하 펌프	전하 펌프	전하 펌프	-
컨버터 입력 전압	2.66-3V	2.5-3.5V	3.3V	-
컨버터 출력 전압	30-60V	28V	34-35V	-
회로 칩 크기	~8mm ² (칩, pad 포함)	~2mm ² (패키지)	~800mm ²	-
통합 방식	와이어 본딩	TSV	플립칩 본딩	플립칩 본딩

참고 문헌

- [1.1] Rebeiz G M and Muldavin J B, “RF MEMS switches and switch circuits,” IEEE Microwave Magazine, Vol.2, pp. 59–71, 2001.
- [1.2] Yeonsu Jang, et al., “An RF MEMS switch with a differential gap between electrodes for high isolation and low voltage operation,” Journal of Micromechanics and Microengineering, Vol.21, No.7, pp.075016, 2011.
- [1.3] Yeonsu Jang, et al., “Double Actuation RF MEMS Switch with Low Voltage Operation for Multi-band Selection,” Global Symposium on Millimeter Waves 2010, pp. 221–224, Incheon, Korea, 2010.
- [1.4] S Kang, H C Kim, K Chun, “A low-loss, single-pole, four-throw RF MEMS switch driven by a double stop comb drive,” Journal of Micromechanics and Microengineering, Vol.19, No.3, pp.035011, 2009.
- [1.5] Sungchan Kang, et al., “See-saw Type RF MEMS Switch with Narrow Gap Vertical Comb,” Journal of Semiconductor Technology and Science, Vol.7, No.3, pp.177~182, 2007.
- [1.6] Samira Aghaei , et al., “A low voltage vertical comb RF MEMS switch,” Microsystem Technologies–Micro–and Nanosystems–Information Storage and Processing Systems, pp.919–924, 2010.
- [1.7] Jaewoo Lee, et al., “A low-loss single-pole six-throw switch based on compact RF MEMS switches,” IEEE Transactions on Microwave Theory and Techniques, Vol.35, Issue 11, pp. 3335–3344, 2005.
- [1.8] C. H. Chu, W. P. Shih, S. Y. Chung, H. C. Tsai, T. K. Shing and P. Z. Chang., “A low actuation voltage electrostatic actuator for RF MEMS switch applications,” Journal of Micromechanics and Microengineering, 17. pp. 1649–1656, 2007.
- [1.9] Jongseok Kim, et al., “A stiff and flat membrane operated DC contact type RF MEMS switch with low actuation voltage,” Sensors and Actuators A: Physical, pp. 114–119, 2009.

- [1.10] K.Y. Chan and R. Ramer, “A novel RF MEMS switch with novel mechanical structure modeling,” *Journal of Micromechanics and Microengineering*, Vol.20, No.1, pp. 015031, 2010.
- [1.11] Markus Gaitzsch, et al., “Analysis of Au metal–metal contacts in a lateral actuated RF MEMS switch,” *International Journal of Microwave and Wireless Technologies*, pp. 481–486, 2014.
- [1.12] Nasser Kurd, et al, “Haswell: A Family of IA 22nm Processors,” *ISSCC 2014*, pp.112–114, 2014.
- [1.13] Bok Eng Cheah, et al, “Crosstalk Study of High Speed On–Package interconnects for Multi–Chip Package,” *Electromagnetic Compatibility (EMC)*, 2014 *IEEE International Symposium on*, pp.381–385, 2014.
- [1.14] Dan Oh, et al, “Design and Characterization of a 12.8GB/s Low Power Differential Memory System for Mobile Applications,” *Electrical Performance of Electronic Packaging and Systems*, 2009. *EPEPS '09. IEEE 18th Conference on*, pp.33–36, 2009.
- [1.15] “MultiChip, Packages, Literature Number: SNOA287,” *Texas Instruments*, 2000
- [1.16] “Samsung Mobile Memory, Taking Mobility to New Storage Horizons, Mobile DRAM/Multi–chip Packages/eMMC,” *Samsung*, 2010.
- [1.17] “Big Performance, Small Footprint, Multichip Packages,” *Micron*, 2014.
- [1.18] A.P. De Silva, et al, “Motorola MEMS Switch Technology for High Frequency Applications,” *IEEE Microelectromechanical Systems Conference*, pp.22–24, 2001.
- [1.19] Ananda P. De Silva, et al, “The Package Integration of RF MEMS Switch and Control IC for Wireless Applications,” *Proceedings of the 42nd European Microwave Conference*, pp.255–260, 2003.
- [1.20] Ray Goggin, et al., “Fully integrated, high yielding, high reliability DC contact MEMS switch technology & control IC in standard plastic packages,” *Sensors*, 2011 *IEEE*, pp.958–961, 2011.
- [1.21] Takeshi Fujiwara, et al, “Development of RF–MEMS ohmic

contact switch for mobile handsets applications,” IEEE Transactions on Advanced Packaging, pp.180–183, 2012.

[1.22] Tomonori Seki, et al, “An RF MEMS switch for 4G Front-Ends,” Microwave Symposium Digest (IMS), 2013 IEEE MTT-S International, 2013.

[1.23] H. Jaafar, et al, “A Comprehensive Study on RF MEMS Switch,” Microsystem Technologies, pp.2109–2121, 2014.

[1.24] Raafat R. Mansour, “RF MEMS–CMOS Device Integration,” IEEE Microwave Magazine, pp.39–56, 2013.

[1.25] M Lapisa, et al., “Wafer–Level Heterogeneous Integration for MOEMS, MEMS, and NEMS,” IEEE Journal of Selected Topics in Quantum Electronics, pp. 629–644, 2011.

[1.26] Kang–Wook Lee, et al., “Three–Dimensional Hybrid Integration Technology of CMOS, MEMS, and Photonics Circuits for Optoelectronic Heterogeneous Integrated Systems,” IEEE Transactions on Electron Devices, pp. 748–757, 2011.

[1.27] Zhen Song, et al., “Three–dimensional integration of suspended single–crystalline silicon MEMS arrays with CMOS,” 2015 28th IEEE International Conference on Micro Electro Mechanical Systems (MEMS), pp. 304–307, Estoril, Portugal, 2015.

[1.28] C.V. Jahnes, et al, “Simultaneous fabrication of RF MEMS switches and resonators using copper–based CMOS interconnect manufacturing methods,” in Proc. 17th IEEE International Conference on Micro Electro Mechanical Systems (MEMS), pp.789–792, Jan 2004.

[1.29] K. Kuwabara, et al, “RF CMOS–MEMS switch with low–voltage operation for single–chip RF LSIs,” in Proc. International Electron Devices Meeting (IEDM) 2006, Dec 2006.

[1.30] Q.X.Zhang, et al, “Novel monolithic integration of RF–MEMS switch with CMOS–IC on organic substrate for compact RF system,” in Proc. International Electron Devices Meeting (IEDM) 2006, Dec 2006.

[1.31] F. Saharil, et al, “Low–temperature CMOS–compatible 3D–integration of monocrystalline–silicon based PZT RF MEMS switch actuators on RF substrates,” in Proc. 23rd IEEE International

Conference on Micro Electro Mechanical Systems (MEMS), pp.47–50, Jan 2010.

[1.32] C–L Dai, et al, “Design and fabrication of RF MEMS switch by the CMOS process,” Tamkang Journal of Science and Engineering, Vol. 8, No. 3, pp. 197–202, 2005.

[1.33] S. Zhang, et al, “Wideband CMOS compatible capacitive MEMS switch for RF applications,” IEEE Microwave Wireless Components Letters, Vol. 18, No. 9, pp. 599–601, 2008.

[1.34] S Fouladi, et al, “Capacitive RF MEMS switches fabricated in standard 0.35 μ m CMOS technology,” IEEE Transactions on Microwave Theory and Techniques, Vol. 58, No. 2, 2010.

[1.35] M. Kaynak, et al, “BiCMOS embedded RF–MEMS switch for above 90GHz applications using backside integration technique,” in Proc. International Electron Devices Meeting (IEDM) 2010, pp.832–835, Dec 2010.

[1.36] De Silva, et al., “The package integration of RF–MEMS switch and control IC for wireless applications,” IEEE Transactions on Advanced Packaging, pp. 255–260, 2003.

[1.37] Yeonsu Jang, et al., “Four Channel Step Up DC–DC Converter for Capacitive SP4T RF MEMS Switch Application,” IEEE Journals SD (Semiconductor & Device), pp. 93–100, 2009.

[1.38] Richard, J.–F. et al. “High voltage charge pump using standard CMOS technology,” The 2nd Annual IEEE Northeast Workshop on Circuits and Systems, NEWCAS, pp317–320, Montreal, Canada, Jun 2004.

[1.39] M.Y. Ghannam et al. “CMOS–integrated digitally controlled DC–DC voltage converter with voltage and time configurations for on–chip high voltage MEMS switch actuation,” The 16th International Conference on Microelectronics, pp97–100, Tunis, Tunisia, Dec, 2004.

[1.40] Mehmet Kaynak, et al. “A CMOS Based Fast High–Voltage Generation Circuit for BiCMOS Embedded RF–MEMS Applications,” Silicon Monolithic Integrated Circuits in RF Systems (SiRF), 2013 IEEE 13th Topical Meeting on, pp21–23, 2013.

[1.41] Peter Elenius, et al, “Comparing Flip–Chip and Wire–bond

- Interconnection Technologies,” Chip Scale Review, pp.81–87, 2000.
- [1.42] Palesko, C.A., et al, “Cost Comparing for Flip Chip, Gold Wire Bond, and Copper Wire Bond Packaging,” Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th, pp.10–13, 2010.
- [1.43] Baumann G., et al, “51GHz Frontend with Flip Chip and Wire Bond Interconnections from GaAs MMICs to a Planar Patch Antenna,” Microwave Symposium Digest, 1995., IEEE MTT–S International, pp.1639–1642, 1995.
- [2.1] Sungchan Kang, “A Single–Pole Multi–Throw, Radio–Frequency MEMS Switch Laterally Driven with a Low Voltage,” PhD thesis, Seoul National University, Republic of Korea, 2011.
- [2.2] Stephen H. Hall, et al, “Advanced Signal Integrity for High–Speed Digital Designs,” Wiley, 2009.
- [2.3] A. Eblabla, et al, “Novel Shielded Coplanar Waveguides on GaN–on–Low Resistivity Si Substrates for MMIC Applications,” IEEE Microwave and Wireless Components Letters, pp. 427–429, 2015.
- [2.4] Michael R. Vissers, et al, “Reduced microwave loss in trenched superconducting coplanar waveguides,” Applied Physics Letters, pp. 082602–1–082602–3, 2012.
- [2.5] Suidong Yang, et al, “Characteristics of trenched coplanar waveguide for high–resistivity Si MMIC applications,” IEEE Transactions on Microwave Theory and Techniques, vol. 46, pp.623–631, 1998.
- [2.6] Z.R. Bu, et al, “Characteristics of trenched coplanar waveguide for SiMMIC applications,” IEEE MTT–S International Microwave Symposium Digest, vol. 2, pp.735–738, 1997.
- [2.7] Diego Marti, et al, “110 GHz characterization of coplanar waveguides on GaN–on–Si substrates,” 2011 German Microwave Conference, 2011.
- [2.8] F. Dellsperger, “ADS 2012 student quick reference guide part 1,” 2013.
- [2.9] Agilent Technologies, “Topic 5: S–parameter simulation and optimization,” 2009.

- [2.10] Z. Zheng, “Novel modeling methods for microwave GaAs MESFET device,” PhD thesis, National University of Singapore, Singapore, 2010.
- [2.11] C.P. Yuan, et al, “A Simple formula for the estimation of the capacitance of two-dimensional interconnects in VLSI circuits,” IEEE electron device letters, vol. EDL-3, No. 12, Dec 1982.
- [3.1] G. M. Rebeiz, “RF MEMS theory, design and technology,” Wiley, 2003.
- [3.2] Q. Ma, et al, “Metal contact reliability of RF MEMS switches,” Proc. SPIE, vol. 6463, Reliability, Packaging, Testing, and Characterization of MEMS/MOEMS VI, 646305, 2007.
- [3.3] R. Pelliconi et al. “Power efficient charge pump in deep submicron standard CMOS technology,” IEEE Journal of Solid-State Circuits, Vol. 38, No. 6, pp. 1068–1071, Jun 2003.
- [3.4] C. Lauterbach et al. “Charge sharing concept and new clocking scheme for power efficiency and electromagnetic emission improvement of boosted charge pumps,” IEEE Journal of Solid-State Circuits, vol. 35, pp.719–723, May 2000.
- [3.5] SC Lee et al. “A low-ripple switched-capacitor DC-DC up converter for low-voltage applications,” Asia Pacific Conference on ASICs, pp13–16, Jeju, Korea, Oct 2000.
- [3.6] Jae-Youl Lee et al. “A regulated charge pump with small ripple voltage and fast start-up,” IEEE Journal of Solid-State Circuits, Vol. 41, pp. 425–432, Feb 2006.
- [4.1] Chih-Hsiang Ko, et al, “An Electronically-Scanned 1.8–2.1 GHz Base-Station Antenna Using Packaged High-Reliability RF MEMS Phase Shifters,” Microwave Theory and Techniques, IEEE Transactions on, pp.979–985, 2013.
- [4.2] Ho Kevin Ming-Jiang, et al, “Microstrip antennas with full polarization diversity using packaged RF MEMS switches,” Antennas and Propagation Society International Symposium (APSURSI), pp.1–2, 2012.
- [4.3] Vikram Sekar, et al, “A 1.2–1.6-GHz Substrate-Integrated-Waveguide RF MEMS Tunable Filter,” IEEE Transactions on Microwave Theory and Techniques, pp.866–876, 2011.

- [4.4] OMRON, “RF MEMS Switch, 2SMES-01,” pp.91-98.
- [4.5] Yutaka Uno, et al, “Development of SPDT-Structured RF MEMS Switch,” Transducers 2009, pp.541-544, 2009.
- [4.6] OMRON Electronic Components, “White Paper: RF MEMS Switching: What you need to know, Structure and Usage of OMRON MEMS Switch 2SMES-01,” pp.1-13, 2013.
- [4.7] Mengshu Huang, “High Efficiency and Low Noise Charge Pump Circuits for Non-volatile Memories,” PhD thesis, Waseda University, Japan, 2012.
- [4.8] Louie Pylarinos, et al, “Charge Pumps: An Overview,” Proceedings of the IEEE International Symposium on Circuits and Systems, May 2003.
- [4.9] Rainee N. Simons, “Coplanar Waveguide Circuits, Components, and Systems,” John Wiley & Sons, Inc., 2001.
- [4.10] S T Todd, “High aspect ratio transmission line circuits micromachined in silicon,” PhD thesis, University of California, Santa Barbara, USA, Dec, 2010.
- [4.11] C.P. Wen, “Coplanar Waveguide: A surface Strip Transmission Line Suitable for Nonreciprocal Gyromagnetic Device Applications,” IEEE Trans. Microwave Theory and Techniques, Vol. 17, No. 12, pp.1087-1090, Dec 1969.
- [4.12] Ray P. Prasad, “BGA 보이드의 원인,” 월간 표면실장기술, pp.51-52, 2004.
- [4.13] 이종근, et al. “솔더 접합부에 생성된 void의 JEDEC 규격과 기계적 특성에 미치는 영향,” Journal of the Microelectronics & Packaging Society, vol. 18, No. 4, pp.1-9, 2011.
- [4.14] Kouzema B., et al. “Electrical Analysis of IC Packaging with Emphasis on Different Ball Grid Array Packages,” Electronic Components and Technology Conference, Jun 2001.
- [4.15] D. Wang, “Experimental study of void formation in solder joints of flip-chip assemblies,” PhD thesis, The University of Texas at Austin, USA, May, 2005.
- [4.16] H. Ceric, et al, “Impact of intermetallic compound on solder bump electromigration reliability,” 2013 International Conference on Simulation of Semiconductor Processes and Devices (SISPAD),

pp.73–76, Sep. 2013.

Abstract

A Study on a Hetero-Integration of RF MEMS Switch and CMOS DC-DC Converter

Yeonsu Jang

School of Electrical Engineering & Computer Science
The Graduate School
Seoul National University

The Hetero-Integration of a radio frequency microelectromechanical system (RF MEMS) switch and step up complementary metal-oxide semiconductor (CMOS) DC-DC converter is examined in this study. The RF MEMS switch has previously been researched and developed for mobile communication devices because of its excellent RF performance at high frequencies. If the step-up CMOS DC-DC converter and RF MEMS switch with high operation voltage were to be integrated, the user would be able to drive the RF MEMS switch with a low voltage. Therefore, the hetero-integration of an RF MEMS switch and DC-DC converter with a Re-Distribution Layer (RDL) for optimization of each chip was examined in this work.

This paper consists of four sections. First, the RF characteristics of the RDL for the hetero-integration of the RF MEMS switch and CMOS DC-DC converter were analyzed. Second, the RF MEMS switch, the CMOS DC-DC converter, and their hetero-integration

were proposed. Third, the design of the RDL was suggested for the hetero-integration of commercial chips. Fourth, the fabrication and measurement of hetero-integrated commercial chips were presented.

The RF characteristics of the RDL were analyzed; these characteristics depend on three dielectric constants of substrate, five substrate thicknesses, two transmission line types, four transmission line metals, eleven port impedances, and silicon dioxide and trench structures. The RF characteristics of RDL were improved, with a lower dielectric constant and reduced thickness of substrate. The isolation of the grounded coplanar waveguide (GCPW) transmission line was much better than that of the CPW transmission line. The insertion loss improved with the increase in the conductivity of the metal transmission line. The return loss was improved by impedance matching. The insertion loss was improved by the trench structure of the substrate and the deposition of the silicon dioxide by MEMS fabrication. The RLC lumped element model was suggested to analyze the improvement of the return loss and insertion loss at the target band frequency of 6GHz.

A low voltage operated high isolation RF MEMS switch and CMOS DC-DC converter, which were developed in the laboratory, were introduced, and their modeling and simulation for the hetero-integration of the RF MEMS switch and the CMOS DC-DC converter was analyzed.

The RF characteristics of the hetero-integration were verified by using commercial chips and flip-chip bonding. Commercial chips and flip-chip bonding were selected to minimize the variations in the chips' characteristics, to verify the effect of substrates and transmission lines, and to ensure reproducibility. The RLC lumped

model of the selected OMRON RF MEMS switch was fitted to the measurement results from DC to 10GHz. The cascaded Dickson charge pump was used to actuate the OMRON RF MEMS switch.

The RF characteristics of the hetero-integrated RF MEMS switch, which depend on the physical changes of the RDL, were verified by RLC lumped element modeling of RDL. The physical changes of RDL include the thickness of substrate, dielectric constant of substrate, trench depth of substrate, total signal length, conductivity of signal metal, and height of metal line. The RLC lumped element model was derived using conformal mapping techniques. A quasi-static TEM mode of propagation along a transmission line was assumed. The ABCD matrix was used to calculate the RF characteristics of the flip-chip bonded RF MEMS switch on the RDL.

Duroid, FR4, and silicon were considered as substrates for the RDL. The RF characteristics of Duroid with a 56Ω impedance GCPW transmission line and that of FR4 with a 59Ω impedance CPW transmission line were simulated and compared. From DC to 6GHz, the RF characteristics of Duroid were superior to those of FR4, where the insertion loss was lower by 2.08dB, the return loss was higher by 3.91dB, and the isolation was higher by 3.33dB.

Using the MEMS process for improving the RF characteristics of the RDL, silicon dioxide was deposited on a high resistivity silicon wafer. Silicon trenches with a depth of $50\mu\text{m}$ were then formed around the transmission lines. Low temperature solder bumps were used to bond the chips onto the RDL. The resonances in the RF characteristics were caused by voids in the low temperature solder bumps. From DC to 6GHz, the RF characteristics of the flip-chip bonded RF MEMS switch on a $50\mu\text{m}$ trenched CPW were superior to those of the flip-chip bonded RF MEMS switch on a non-trenched

CPW, where the insertion loss was lower by 0.32dB, the return loss was higher by 1.38dB, and the isolation was higher by 0.04dB. From DC to 3GHz, the DC–port to RF–port characteristics showed an isolation of more than 32dB for both trenched and non–trenched CPW. From DC to 6GHz, the RF characteristics showed a 50 μ m trenched CPW test pattern for the RDL without the RF MEMS switch and solder bump, which were better than those of the non–trenched CPW test pattern, where the insertion loss was lower by 0.05dB, the return loss was higher by 1.66dB, and the isolation was higher by 1.82dB.

In this paper, a methodology for the hetero–integration of an RF MEMS switch and a CMOS DC–DC converter by RDL was proposed. The hetero–integration of an RF MEMS switch and a DC–DC converter was verified using commercial chips and Duroid, FR4, and high resistivity silicon substrate. The RF characteristics of the hetero–integrated RF MEMS switch with trenched high resistivity silicon substrate RDL were improved, compared to those of the hetero–integrated RF MEMS switch with non–trenched high resistivity silicon substrate.

Keywords : RF MEMS switch, Hetero–Integration, Re–Distribution Layer(RDL), Trench, Transmission line, DC–DC Converter

Student Number : 2006–23194