



저작자표시-비영리-변경금지 2.0 대한민국

이용자는 아래의 조건을 따르는 경우에 한하여 자유롭게

- 이 저작물을 복제, 배포, 전송, 전시, 공연 및 방송할 수 있습니다.

다음과 같은 조건을 따라야 합니다:



저작자표시. 귀하는 원저작자를 표시하여야 합니다.



비영리. 귀하는 이 저작물을 영리 목적으로 이용할 수 없습니다.



변경금지. 귀하는 이 저작물을 개작, 변형 또는 가공할 수 없습니다.

- 귀하는, 이 저작물의 재이용이나 배포의 경우, 이 저작물에 적용된 이용허락조건을 명확하게 나타내어야 합니다.
- 저작권자로부터 별도의 허가를 받으면 이러한 조건들은 적용되지 않습니다.

저작권법에 따른 이용자의 권리는 위의 내용에 의하여 영향을 받지 않습니다.

이것은 [이용허락규약\(Legal Code\)](#)을 이해하기 쉽게 요약한 것입니다.

[Disclaimer](#)

공학박사 학위 논문

H.264 기반의 저전력  
Heterogeneous 영상 저장 장치

H.264-based Low Power  
Heterogeneous Video Recording System

2015년 2월

서울대학교 대학원

전기 컴퓨터 공학부

김 현

# H.264 기반의 저전력 Heterogeneous 영상 저장 장치

H.264-based Low Power  
Heterogeneous Video Recording System

지도교수 김수환

이 논문을 공학박사 학위논문으로 제출함  
2015년 2월

서울대학교 대학원  
전기 컴퓨터 공학부  
김 현

김현의 공학박사 학위 논문을 인준함  
2015년 2월

위원장:	<u>          채수익          </u>	(인)
부위원장:	<u>          김수환          </u>	(인)
위원:	<u>          최기영          </u>	(인)
위원:	<u>          이혁재          </u>	(인)
위원:	<u>          이찬호          </u>	(인)

# 초 록

최근 영상 저장 장치의 사용이 증가함에 따라 한정된 배터리에서 저전력으로 영상 저장 장치를 동작하는 것이 중요하다. 영상 저장 장치에서 장기 저장을 수행하기 위해서는 영상 압축이 필수적이다. 기존 영상 저장 장치에서 영상 압축을 위해 보편적으로 사용되는 H.264/AVC 영상 압축 표준은 높은 압축률을 자랑하지만 높은 복잡도와 프레임 간의 인터 프레임 예측의 사용으로 전력 소모가 크다는 문제점을 갖는다. 본 논문에서는 이러한 문제점을 해결하기 위하여 두 가지 접근 기법을 통해 영상 저장 장치의 소모 전력 중, 가장 큰 비중을 차지하는 영상 압축에 소모 되는 전력을 감소시킨다. 우선, 멀티 압축 모듈을 통한 영상 저장 장치를 활용한다. Discrete Wavelet Transform과 Set Partitioning in Hierarchical Trees 압축에 기반한 경량화 압축 방식은 상대적으로 간단한 압축 방식으로 압축 효율은 H.264/AVC 인코더에 비해 낮으나 훨씬 더 적은 전력 소모로 동작할 수 있다. 본 논문에서는 기존의 영상 저장 장치와 다르게 H.264/AVC 인코더뿐만 아니라 경량화 압축 방식을 영상 저장 장치에 함께 활용하여 저전력 영상 저장 장치를 구성한다. 모든 영상 정보가 장기 저장 되어 보관될 필요가 있는 것이 아니기 때문에 H.264/AVC 인코더보다 압축 효율은 다소 낮지만 훨씬 낮은 전력에서 동작할 수 있는 경량화 압축 방식을 임시 저장 용도로 사용하고 이 영상 정보가 장기 저장될 필요가 있을 경우에만 영상 압축을 위해 H.264/AVC

인코더를 사용한다. 본 논문에서는 경량화 압축 방식의 활용뿐만 아니라 다운 샘플링 기법을 영상 저장 장치에 활용하여 낮은 bitrate 영역에서 더욱 큰 전력 감소 효과를 얻는다. 이러한 멀티 압축 모듈을 통한 방식은 장기 저장의 비율이 높아지면 결국 H.264/AVC 인코더가 사용되는 비율이 높아져서 전력 감소 효과가 크지 않다. 이러한 약점을 보완하기 위해서는 H.264/AVC 인코더 자체의 소모 전력을 감소시키는 것이 중요하다. 그렇기 때문에 본 논문에서는 H.264/AVC 인코더 내부의 전력 소모를 제어하는 power-aware design 기법을 영상 저장 장치에 활용한다. Power-aware design은 최소의 성능 저하로 최대의 전력 감소 효과를 얻는 기법으로 다양한 저전력 알고리즘의 동작 옵션들의 조합들 중에서 최적화된 알고리즘의 조합들로 power-level table을 정의하고 이를 인코더에 적용한다. 최적화된 조합을 찾기 위하여 알고리즘들 간의 상관 관계를 고려하여 개별 알고리즘의 전력 감소 효과를 통해 전체 시스템의 전력 감소 효과를 예측하는 모델을 활용하는데 이러한 전력 예측 모델을 사용하면 최적화된 알고리즘들의 조합을 찾기 위한 시뮬레이션 횟수가 현저하게 감소되기 때문에 여러 저전력 알고리즘이 함께 사용되더라도 최적의 조합을 쉽게 구성할 수 있다. 본 논문에서는 더 뛰어난 성능을 얻기 위해서 입력 영상의 크기와 움직임 여부에 따라서 네 가지의 다른 power-level table을 제시하며 이러한 power-level table이 사전에 정의되기 때문에 최적화된 저전력 알고리즘의 조합들이 실시간으로 인코더에 적용될 수 있다. 본 논문에서는 영상 저장 장치의 전력 감소를 위해 제시된 멀티 압축 모듈을 활용하는 방식과 H.264/AVC 인코더 내부의 전력 소모를 감소하는 방식을

모두 지원하는 통합 영상 저장 장치를 구현하고 통합된 영상 저장 장치 상에서 장기 저장의 비율과 bitrate 목표에 따른 분석을 통하여 동작 상황에 가장 알맞은 최적화된 영상 저장 장치를 활용한다. 이러한 최적화된 영상 저장 장치는 최소한의 성능 저하로 기존의 영상 저장 장치 대비 최대 72.5%의 전력 감소 효과를 갖는다.

**주요어** : 영상 저장 장치, 저전력 구현, 멀티 영상 압축 코덱, H.264/AVC, 경량화 압축 방식, 전력 인지 디자인

**학 번** : 2011-30225

# 목 차

초 록 .....	i
목 차 .....	iv
그림 목차.....	viii
표 목 차 .....	xi
제 1 장 서 론.....	1
1.1 연구 배경.....	1
1.2 연구 내용.....	3
1.3 논문 구성.....	7
제 2 장 관련 연구.....	8
2.1 영상 저장 장치의 동작.....	8
2.2 H.264/AVC 영상 압축 표준.....	12
2.2.1 H.264/AVC 인코더의 동작.....	12
2.2.2 저전력 H.264/AVC 인코더를 위한 기존 연구.....	15
2.3 경량화 압축 방식 알고리즘.....	19
2.3.1 1차원 Discrete Wave Transform.....	19

2.3.2 Set Partitioning in Hierarchical Trees .....	20
2.3.3 1차원 경량화 압축 방식 기법 .....	21
제 3 장 멀티 압축 모듈을 통한 영상 저장 장치 .....	22
3.1 경량화 압축 방식의 구현 .....	22
3.1.1 구현 방식 .....	22
3.1.2 구현 결과 및 성능 비교 .....	28
3.2 경량화 압축 방식을 통한 영상 저장 장치의 구현 .....	34
3.2.1 LWC 기반 영상 저장 장치 .....	35
3.2.2 D-LPFC 기반 영상 저장 장치 .....	38
3.2.3 제안된 영상 저장 장치의 분석 .....	42
3.3 성능 평가 .....	45
3.3.1 전력 측정 방법 .....	45
3.3.2 모드 별 전력 분석 .....	48
3.3.3 F <sub>RECORD</sub> 에 따른 시스템 전체 전력 및 성능 분석 .....	52
제 4 장 H.264/AVC 자체적인 전력 감소 기법 .....	55
4.1 H.264/AVC 자체 전력 감소의 필요성 .....	55
4.2 Power-Aware Design .....	56
4.2.1 Power Level Table의 생성 .....	56
4.2.2 입력 영상의 특징이 미치는 영향 .....	59



4.2.3 전력 레벨의 유동적 선택 기법.....	60
4.2.4 전력 레벨 적용 알고리즘.....	62
4.3 전력 예측 모델.....	65
4.4 Power-Aware Design의 예시.....	71
4.4.1 네 가지 저전력 알고리즘.....	71
4.4.2 전력 예측 모델의 예시.....	73
4.4.3 개별 알고리즘의 전력 소모 측정.....	76
4.4.4 최적화된 알고리즘 옵션의 선택.....	84
4.4.5 Power level table의 생성의 예시.....	87
4.5 성능 평가.....	92
4.5.1 Power-Aware Design의 성능 측정.....	92
4.5.2 기존 Power-Aware Design과의 성능 비교.....	105
4.5.3 Power-Aware Design의 영상 저장 장치 적용.....	113
제 5 장 최적화된 영상 저장 장치의 활용 기법.....	115
5.1 통합 영상 저장 장치.....	116
5.1.1 통합 영상 저장 장치의 구현.....	116
5.1.2 통합 영상 저장 장치의 FPGA 검증.....	119
5.2 최적화된 영상 저장 장치.....	122
5.2.1 최적화된 영상 저장 장치를 위한 분석.....	122

5.2.2 최적화된 영상 저장 장치 선택 기법.....	130
5.3 성능 평가.....	132
제 6 장 결론.....	137
참고문헌 .....	139
Abstract .....	144

# 그림 목차

그림 1.1 영상 저장 장치의 예시.....	2
그림 2.1 일반적인 영상 저장 장치의 동작.....	11
그림 2.2 모바일 기기 전력 소모에서 영상 압축이 차지하는 비율 (1).....	16
그림 2.3 모바일 기기 전력 소모에서 영상 압축이 차지하는 비율 (2).....	16
그림 3.1 1차원 forward DWT의 블록 다이어그램.....	25
그림 3.2 1차원 forward unit의 블록 다이어그램.....	25
그림 3.3 1차원 inverse DWT의 블록 다이어그램.....	25
그림 3.4 1차원 forward SPIHT의 블록 다이어그램.....	27
그림 3.5 압축 효율과 전력 소모 간의 상관 관계.....	28
그림 3.6 LWC 기반 영상 저장 장치의 동작.....	37
그림 3.7 D-LPFC 기반 영상 저장 장치의 동작.....	41
그림 3.8 제안된 영상 저장 장치들의 R-D 성능 비교.....	44
그림 4.1 Power-Level Table을 구성하는 방법.....	58

그림 4.2 전력 레벨 적용 알고리즘.....	64
그림 4.3 전력 레벨 변경 주기에 따른 성능 변화.....	64
그림 4.4 다양한 알고리즘 옵션들의 조합들에 대한 전력 감소 효과 vs. BDBR 변화: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion.....	86
그림 4.5 전력 레벨 개수에 따른 BDBR의 변화.....	91
그림 4.6 Power-Level Table의 전력 감소 효과 vs. BDBR 변화.....	96
그림 4.7 제안한 Power-Level Table과 영상 특징을 고려하지 않은 Power-Level Table의 성능 비교: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion.....	98
그림 4.8 실제 측정된 전력 감소 효과와 전력 예측 모델을 통해 예측된 전력 감소 효과의 성능 비교: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion.....	101
그림 4.9 전력 감소 목표가 35%일 때, Power-Aware Design의 R-D 성능 비교: (a) Akiyo (b) Foreman.....	109
그림 4.10 전력 감소 목표가 40%일 때, Power-Aware Design의 R-D 성능 비교: (a) Akiyo (b) Foreman.....	110
그림 4.11 전력 감소 목표가 40%일 때, 재현된 기존 연구 [23]의 R-D 성능 비교: (a)Akiyo (b)Foreman.....	111
그림 4.12 전력 감소 목표가 40%일 때, 인트라 예측 모드로 결정된 MB 개수의 비율 비교: (a)Akiyo (b)Foreman.....	112

그림 4.13 Power-Aware VRS의 전력 소모 분석.....	114
그림 4.14 Power-Aware VRS의 R-D 성능 분석.....	114
그림 5.1 통합 영상 저장 장치의 하드웨어 플랫폼 .....	118
그림 5.2 SNUPEE rev2.0 SoC Platform Board .....	121
그림 5.3 통합 영상 저장 장치의 FPGA 검증 결과 .....	121
그림 5.4 영상 저장 장치들의 전력 소모 비교.....	126
그림 5.5 영상 저장 장치들의 전력 감소 효과 비교.....	126
그림 5.6 영상 저장 장치들의 R-D 성능 비교 .....	129
그림 5.7 최적화된 영상 저장 장치의 선택 방법.....	131
그림 5.8 영상 저장 장치의 전력 감소 효과 vs. BDPSNR 변화: (a)낮은 $F_{\text{RECORD}}$ +높은 bitrate (b)낮은 $F_{\text{RECORD}}$ +낮은 bitrate (c)높은 $F_{\text{RECORD}}$ +높은 bitrate (d)높은 $F_{\text{RECORD}}$ +낮은 bitrate.....	136

# 표 목차

표 3.1 Synchronous 클럭 도메인에서 경량화 압축 방식의 성능 비교 .....	32
표 3.2 Asynchronous 클럭 도메인에서 경량화 압축 방식의 성능 비교 .....	33
표 3.3 영상 저장 장치 R-D 성능 측정을 위한 실험 환경 .....	44
표 3.4 하드웨어 기반 모듈들의 전력 소모 .....	47
표 3.5 압축 모듈들의 외부 메모리 접근 분석 .....	47
표 3.6 각각 모드에서 영상 저장 장치들의 전력 소모 .....	51
표 3.7 $F_{\text{RECORD}}$ 에 따른 영상 저장 장치들의 전력 소모 .....	54
표 4.1 H.264/AVC 인코더를 구성하는 하드웨어 모듈들의 cost .....	70
표 4.2 H.264/AVC 인코더를 구성하는 하드웨어 모듈들의 연산량 .....	70
표 4.3 예시로 사용된 저전력 알고리즘의 전력 감소 효과 정리 .....	75
표 4.4 Power-Aware Design의 시뮬레이션을 위해 사용된 영상 .....	76
표 4.5 FME 예측 모드 감소 알고리즘의 성능 평가 .....	78
표 4.6 IME 탐색 범위 조절 알고리즘의 성능 평가 .....	80

표 4.7 조기 스킵 모드 결정 알고리즘의 성능 평가.....	81
표 4.8 인트라 프레임 주기 조절 알고리즘의 성능 평가.....	83
표 4.9 Power-Level Table의 구성.....	91
표 4.10 Power-Level Table의 전력 소모 및 전력 감소 효과.....	94
표 4.11 Power-Level Table의 R-D 성능 변화.....	94
표 4.12 영상 분류를 하지 않은 경우의 Power-Level Table 구성.....	96
표 4.13 유동적인 전력 레벨 선택 기법 활용의 성능 변화.....	104
표 4.14 유동적인 전력 레벨 선택 기법의 전력 활용 우수성.....	104

# 제1장 서론

## 1.1 연구 배경

영상 저장 장치란 카메라를 통해 들어 오는 입력 영상을 사용자의 편의에 의해서나 혹은 어떤 사건이 발생했을 때에 메모리에 저장하여 보관할 수 있는 장치를 뜻한다. 최근의 동향에 따라 그림 1.1에 나타난 것처럼 CCTV, 블랙박스, 뱃지 카메라, 스포츠 카메라, 글라스 카메라 등 영상 저장 장치의 사용이 증가하고 있으며 앞으로 드론과 같은 무인 비행체, 그리고 무인 자동차 시스템에도 이러한 영상 저장 장치가 필수적으로 사용될 것이므로 점점 더 사용 빈도가 증가할 것으로 보인다.

영상 저장 장치를 사용하는 많은 기기들이 한정된 배터리에서 동작을 하는 경우가 많기 때문에 저전력으로 영상 저장 장치를 동작하는 것이 하나의 큰 이슈로 부각되고 있다. 영상 저장 장치가 저전력으로 동작하기 위해서는 효율적으로 영상을 저장하는 것이 중요하고 대부분의 영상 저장 장치가 메모리 용량에 제한을 갖기 때문에 영상 압축을 하는 것이 필수적이다. 영상 압축은 영상 저장 장치의 전력 소모에서 가장 큰 비중을 차지하기 때문에 영상 저장 장치의 전력을 제어하려고 할 때, 영상 압축 모듈의 전력 소모를 제어하는 것이 효과적이다. 영상 압축을 위해 여러 가지 압축 방법이 사용될 수 있지만 Moving Picture Experts Group (MPEG)과 Video Coding Experts Group (VCEG)으로 구성된 Joint Video



Team (JVT)에 의해서 2003년도에 제안된 동영상 압축 표준인 H.264/AVC (Advanced Video Coding)를 사용하는 것이 보편적이다 [1]-[3]. H.264/AVC의 경우, 높은 압축 효율을 보이지만 그만큼 많은 연산을 수행하기 때문에 그로 인한 전력 소모가 매우 크다는 문제점을 갖는다 [4]. 그렇기 때문에 영상 저장 장치의 전력 소모를 줄이기 위해서 H.264/AVC 내부적인 저전력 기법과 시스템 전반적인 차원에서의 저전력 기법이 병행될 필요가 있다.



그림 1.1 영상 저장 장치의 예시

## 1.2 연구 내용

본 논문에서는 두 가지 접근 기법을 통하여 영상 저장 장치에서 영상 압축을 위해 소모 되는 전력을 감소시킨다. 우선, 기존 영상 저장 장치의 비효율적인 구조를 보완하기 위하여 시스템 전반적인 차원에서 접근을 시도한다. 그러기 위하여 다수의 영상 압축 방식들을 구현하고 영상 저장 장치가 동작되는 상황에 적합한 압축 방식을 선택적으로 사용하는 멀티 압축 모듈을 통한 저전력 영상 저장 장치를 제안한다. 제안된 시스템에서는 기존의 영상 저장 장치에서 영상 압축에 널리 사용되는 H.264/AVC 인코더뿐만 아니라 압축 효율이 상대적으로 높지 않지만 전력 소모가 매우 낮은 경량화 압축 방식을 동일 플랫폼 상에서 구현하고 플랫폼 내에서 화질 저하를 최소화하면서 전력 소모를 최대한으로 줄일 수 있도록 동작 상황에 적합한 압축 방식을 선택적으로 사용한다.

경량화 압축 방식 (Light-Weight Compression, LWC)이란 H.264/AVC 인코더에 비해 압축률은 다소 떨어지지만 매우 낮은 연산 복잡도로 인하여 H.264/AVC 인코더보다 훨씬 더 낮은 전력으로 동작 가능한 압축 방식을 의미한다. 이러한 LWC는 최근 프레임 메모리 압축 [5] 등의 용도로 압축 효율이 조금 떨어지더라도 간단한 연산을 통해 저전력으로 빠르게 동작이 가능한 임베디드 압축 모듈 [6]이 널리 사용되면서 그 활용도가 높아지고 있다. 이러한 LWC는 여러 가지 방식으로 구현될 수 있는데 본 연구에서는 계산 복잡도가 비교적 낮으면서도 압축 효율이 뛰어난 Discrete Wavelet Transform (DWT) 계수를 Set Partitioning in

Hierarchical Trees (SPIHT)로 압축하는 방식을 사용한다 [7]. 본 논문에서는 이렇게 구현된 LWC를 영상 저장 장치에서 장기 저장 이전에 수행되는 임시 저장에 활용하여 영상 저장 장치의 전력 소모를 감소시킨다. 영상 정보가 임시적으로 저장되는 상황에서는 높은 압축 효율보다 낮은 전력 소모가 더 중요하기 때문에 영상 압축을 위해 연산량이 많은 H.264/AVC 인코더를 사용하는 것보다 LWC를 사용하는 것이 더 적합하다. 다만, LWC는 임시 저장 상황에서 효율적으로 전력 소모를 감소시키지만 장기 저장의 비율이 높은 경우에는 결국 전력 소모가 큰 H.264/AVC 인코더의 사용 비율이 높아져서 큰 전력 감소 효과를 기대할 수 없다.

본 논문에서는 이러한 문제점을 보완하고 추가적인 전력 감소 효과를 얻기 위해서 영상 저장 장치가 장기 저장되는 상황에 다운 샘플링 (down-sampling) 기법을 적용한다. 다운 샘플링 기법으로 크기가 줄어든 영상 프레임을 사용하게 되면 영상 크기가 감소한 비율에 비례해서 영상 압축을 위한 연산량과 소모 전력이 감소되는 효과를 얻을 수 있다. 그러나 이러한 다운 샘플링 기법은 화질의 saturation 현상으로 인해 낮은 bitrate 영역에서만 활용이 가능하기 때문에 제안된 방식만으로는 장기 저장 비율이 높으면서 높은 bitrate를 필요로 하는 상황에서 여전히 전력 감소 효과가 크지 않다. 이러한 약점을 보완하기 위해서는 H.264/AVC 인코더 자체의 전력 소모를 감소시키는 것이 중요하다.

본 논문에서는 LWC나 다운 샘플링 기법을 추가적으로 활용하는 방식들뿐만 아니라 H.264/AVC 인코더 자체적으로 Rate-Distortion (R-D) 성능을 최적화하면서 효과적으로 전력을 감소시키는 새로운 power-aware

design [8]을 적용한 영상 저장 장치를 제안한다. Power-aware design은 다양한 저전력 알고리즘들을 활용하여 그들의 동작 옵션을 조절한다. 이러한 알고리즘들을 효과적으로 조합하기 위하여 본 논문에서는 저전력 알고리즘들 간의 상관 관계를 고려하여 측정된 개별 알고리즘의 전력 감소 효과를 통해 전체 시스템의 전력 감소 효과를 예측하는 모델을 제시한다. 이러한 모델을 활용함으로써 최적화된 알고리즘 조합을 얻기 위한 시뮬레이션 횟수가 현저하게 감소되고 그 결과, 최적화된 알고리즘의 조합을 쉽게 구성할 수 있다. 이렇게 예측된 전력 감소 효과와 시뮬레이션을 통해 측정된 R-D 성능 결과를 기반으로 하여 power-level table이 정의된다. 이 table은 전력 감소 효과에 따라 단계적으로 몇 가지 레벨을 통해 구성되는데 각각의 레벨은 최소의 R-D 성능 감소로 최대의 전력 감소 효과를 보이는 알고리즘 조합으로 이루어진다. 또한, 더 뛰어난 R-D 성능을 얻기 위하여 입력 영상의 크기와 움직임 정도를 통해 입력 영상의 특징을 반영한 네 가지의 다른 table을 제시한다. 이렇게 사전에 정의된 네 가지 table에 있는 알고리즘 조합을 통하여 최적화된 전력 조절 기법을 실시간으로 인코더에 적용하는 것이 가능하다. 현재 상황에 적용하기 적합한 레벨의 선택은 주기적으로 이루어진다. 이미 사용된 전력과 앞으로 사용될 것으로 예측되는 전력을 함께 고려하여 현재 주기에서 사용 가능한 전력을 결정하고 이에 따라 적합한 레벨을 선택한다. 본 논문에서는 제안된 방식의 우수성을 검증하기 위하여 소수 단위 움직임 예측 (Fractional Motion Estimation, FME)을 위한 예측 모드 감소 기법 (Prediction Mode Reduction, PMR) [9],

정수 단위 움직임 예측 (Integer Motion Estimation, IME)을 위한 탐색 범위 조절 기법 (Search Range control, SR) [10], 조기 스킵 모드 결정 기법 (Early SKIP mode decision, ES) [10], 그리고 인트라 프레임 주기 조절 기법 (Intra-Frame Period control, IFP) [10]의 네 가지 보편적인 저전력 알고리즘 기법들을 활용하여 제안된 power-aware design을 시뮬레이션 하였다. 그 결과, 제안한 디자인을 활용하여 평균적으로 25%의 전력 소모를 감소시키기 위하여 움직임이 적은 영상에서는 Common Intermediate Format (CIF, 352×288) 해상도 영상에서 1.34%, High-Definition (HD, 1280×720) 해상도 영상에서 3.42%의 bitrate 증가를 보인다. 움직임이 많은 영상에서는 25%의 전력 소모를 감소시키기 위하여 CIF 영상에서 7.91%, HD 영상에서 6.9%의 bitrate 증가를 보인다.

이처럼 영상 저장 장치의 전력을 감소시키기 위하여 제시된 멀티 압축 모듈을 활용하는 접근법과 H.264/AVC 인코더 내부에서의 전력 소모를 감소시키는 접근법을 병합하고 이를 영상 저장 장치에 함께 활용함으로써 영상 저장 장치를 최적화하여 동작시킬 수 있다. 본 논문에서는 장치의 용도 및 동작 환경에 따른 분석을 위하여 영상의 장기 저장의 비율과 target bitrate를 기준으로 상황을 분류하고 분류된 카테고리 안에서 영상 저장 장치를 최적화하여 동작시킨다. 이렇게 최적화된 영상 저장 장치는 기존의 영상 장치와 비교하였을 때 최고의 화질을 유지하면서 최소 11.7%에서 최대 72.5% 사이의 전력 감소 효과를 보인다.

### 1.3 논문 구성

본 연구의 나머지는 다음과 같이 구성된다. 2 장에서는 영상 저장 장치의 기본 동작을 설명하고 영상 압축 표준인 H.264/AVC 인코더의 기본적인 동작을 설명하며 저전력 H.264/AVC를 구현하기 위한 기존의 연구들을 설명한다. 또한, 본 논문에서 경량화 압축 방식을 구현하기 위해 사용하는 DWT와 SPIHT에 대한 이론적인 설명을 한다. 3 장에서는 제안하는 경량화 압축 방식의 구현 방법 및 구현 결과를 제시하고 다른 압축 모듈과의 압축 성능 비교를 제시한다. 또한, 구현한 경량화 압축 방식을 H.264/AVC 인코더와 함께 영상 저장 장치에 활용하는 멀티 압축 모듈을 통한 저전력 영상 저장 장치에 대해 설명한다. 4 장에서는 H.264/AVC 자체적인 전력 감소 기법인 power-aware design을 설명하고 이 디자인을 적용한 영상 저장 장치를 소개한다. Power-aware design의 활용을 통해 H.264/AVC는 최소한의 성능 저하로 최대한의 전력 감소 효과를 얻을 수 있다. 5 장에서는 멀티 압축 모듈을 통한 저전력 영상 저장 장치와 H.264/AVC를 위한 power-aware design 기법을 모두 포함하는 통합 영상 저장 장치를 제시하고 장치의 용도 및 동작 환경에 따른 분석을 통해 최적화된 영상 저장 장치를 선택적으로 활용 할 수 있는 기법에 대하여 설명한다. 마지막으로 6 장에서 결론을 맺는다.

## 제2장 관련 연구

### 2.1 영상 저장 장치의 동작

일반적으로 영상 저장 장치에서는 카메라로 영상이 들어오고 카메라에서 CMOS Image Sensor (CIS)를 통해 움직임, 소리, 충격 등등의 사건 발생 여부를 확인한다 [11]. 메모리 용량을 절약하기 위하여 사건이 발생하지 않을 동안에는 따로 저장을 수행하지 않은 채 계속해서 사건 탐지만을 수행한다. 그러다가 사건이 발생되면 입력 영상을 압축하여 영상 정보를 메모리에 저장한다. 한정된 저장 용량을 더 효율적으로 활용하기 위하여 저장된 영상이 정말 중요한 사건을 포함하고 있는지를 판단하여 오직 정말 중요한 사건만이 영구적으로 메모리에 저장되게 된다. 이러한 영상 저장 장치의 동작은 크게 임시 모드와 저장 모드의 두 가지 모드로 분류될 수 있다. 어떤 사건이 중요하다고 판단되어서 영상이 장기적으로 저장되어야 할 때 중요성이 판단되기 이전의 영상들 또한 중요한 정보를 담고 있기 때문에 중요성이 판단되기 이전의 얼마 동안의 영상 정보가 임시 저장되어 있어야만 한다. 그렇기 때문에 영상에 어떤 변화가 있을 경우에 항상 메모리에 얼마 동안의 영상 정보를 임시적으로 저장하게 되는데 이러한 상황을 임시 모드라 일컫는다. 임시 저장이라는 것은 작은 메모리 영역에 짧은 시간 동안 영상 정보를 저장하고 영상 정보가 의미 없을 경우에는 계속해서 같은 메모리 영역에 영상을 덮어

쓰는 것을 일컫는다. 반면에 저장 모드는 영상이 중요해서 장기 저장이 필요하다고 판단된 이후에 활성화되어 저장 모드 활성화 이전에 임시 저장된 영상 정보를 장기적으로 보관하기 위하여 장기 저장을 위한 메모리 영역으로 옮기고 저장 모드 활성화 이후 얼마 동안의 영상을 압축하여 장기 저장을 하게 된다. 움직이는 환경에서 동작되는 뱃지 카메라, 주행 중인 블랙박스, 드론 등의 장치의 경우, 계속해서 화면에 변화가 발생하기 때문에 항상 임시 모드가 동작하게 되며 장기 저장의 필요성을 판단하여 중요한 사건에 대해서만 임시 모드가 저장 모드로 전환된다. 반면에 정지된 환경에서 동작하는 CCTV, 주차 중인 블랙박스 등의 장치의 경우, 화면에 변화가 감지될 경우에만 임시 모드가 동작된다. 이는 화면에 변화가 전혀 없다면 굳이 영상을 저장할 필요가 없기 때문에 불필요한 전력 소모를 최소화하기 위해서이다.

H.264/AVC 인코더만을 사용하는 기존의 일반적인 영상 저장 장치의 구조는 그림 2.1과 같다 [12][13]. 기존 시스템에서는 입력 영상이 CIS를 포함한 카메라 [11]를 통해 계속해서 촬영되며 사건이 발생하기 이전에는 저장을 하지 않고 계속해서 사건 탐지만을 수행한다. 만약 어떤 사건이 발생한다면 임시 모드가 활성화 되고 입력 영상은 H.264/AVC 인코더에 의해 압축되어서 Synchronous Dynamic RAM (SDRAM)에 임시적으로 저장된다. 이 과정이 그림 2.1에 검은색 화살표를 통해 제시되었다. 만약 이 사건이 정말 중요한 정보를 담고 있다고 판단될 경우, 저장 모드가 활성화 되고 임시 저장된 영상 스트림 (stream)은 장기 저장을 위하여 SDRAM에서 NAND 플래시 메모리로 옮겨진다. 이 과정이 사전 저장



모드가 되며 이는 그림 2.1에 회색 화살표로 제시되었다. 저장 모드가 활성화 된다면 활성화 이후의 중요한 정보를 포함하고 있는 입력 영상들은 H.264/AVC 인코더로 압축되어서 바로 장기 저장을 위해 사용되는 NAND 플래시 메모리 (NAND flash memory)에 저장된다. 이 과정이 사후 저장 모드가 되며 이는 그림 2.1에 검은색 점선 화살표로 제시되었다. 사전 저장 모드와 사후 저장 모드는 순차적으로 진행된다. 일반적인 영상 저장 장치에서 임시 모드와 2개의 저장 모드의 동작 과정은 다음과 같이 요약될 수 있다.

임시 모드: 카메라 → H.264/AVC 인코더 → SDRAM

사전 저장 모드: SDRAM → NAND 플래시 메모리

사후 저장 모드: 카메라 → H.264/AVC 인코더 → NAND 플래시 메모리

일반적인 영상 저장 장치의 동작은 전력 소모가 큰 H.264/AVC 인코더를 임시 모드와 저장 모드에서 모두 사용하기 때문에 효율성이 떨어진다. 정말 중요한 정보를 담고 있는 의미 있는 입력 영상 만이 저장 모드를 통해 장기 저장되기 때문에 이런 영상 정보들의 경우에만 메모리 용량을 최소화하기 위해 높은 압축 효율을 갖는 압축 모듈을 활용하는 것이 중요하다. 임시 모드에서 저장 모드로 전환 되지 않는 영상 정보들의 경우, 입력 영상이 임시 저장되고 계속해서 다른 영상 정보에 의해 덮어 쓰이기 때문에 높은 압축 효율을 필요로 하지 않는다. 그러므로 높은 압축 효율을 보이지만 그로 인하여 매우 큰 전력 소모를 보이는 H.264/AVC 압축을 임시 모드에서 항상 사용하는 것은 적합하지

않다. 이런 점이 본 논문의 3 장에서 멀티 압축 모듈을 통한 저전력 영상 저장 장치를 제안하게 된 큰 동기이다.

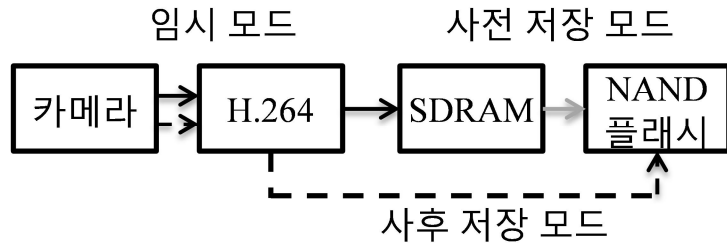


그림 2.1 일반적인 영상 저장 장치의 동작

## 2.2 H.264/AVC 영상 압축 표준

### 2.2.1 H.264/AVC 인코더의 동작

MPEG과 VCEG으로 구성된 JVT는 초기 MPEG-4와 H.263 표준보다 뛰어난 압축 효율을 가지고 시장에 널리 보급되고 있는 방송, 저장 및 스트리밍과 같은 응용 분야를 지원하기 위한 새로운 표준안을 개발하였고 AVC라고 이름 붙여진 H.264 표준을 2003년에 제안하였다. H.264/AVC는 이전의 압축 표준들과 마찬가지로 코덱을 각기 따로 정의하지 않고 인코딩된 비트 스트림의 syntax와 디코딩 방법만을 정의하여 인코더 구현을 위한 자유도를 높였다. 입력 프레임은 16x16 픽셀로 이루어진 매크로블록 (MB) 단위로 처리 되며 현재 프레임만을 이용하는 인트라 프레임 예측 (Intra-frame Prediction)과 현재 프레임 이외에 이전 프레임의 정보를 활용하여 프레임 간의 예측을 수행하는 인터 프레임 예측 (Inter-frame Prediction)이 병행되게 된다. H.264/AVC의 인코더의 구조는 크게 아래의 8개 모듈로 나눌 수 있는데 모든 모듈들은 실시간으로 높은 해상도의 영상을 인코딩하기 위하여 전부 하드웨어로 구현되어 활용 되었다.

a. **Camera Interface** - 외부에서 들어오는 카메라 입력을 받아 외부 메모리에 저장해주는 역할을 한다.

b. **Video Input Module** - Camera Interface가 외부 메모리에 저장한

입력 영상을 인코더로 읽어오는 역할을 한다.

**c. Intra Predictor (IP)** - 현재 프레임만을 이용하여 인트라 프레임 예측을 수행한다. 16×16 단위, 4×4 단위, 그리고 8×8 단위로 다양한 모드 예측이 수행되며 인터 프레임 예측에 비해 연산량이 적고 외부 메모리 접근이 적기 때문에 상대적으로 저전력으로 동작이 가능하다.

**d. Motion Estimator (ME)** - 입력 영상 프레임과 참조 영상 프레임 (reference frame)을 이용하여 인터 프레임 예측을 수행한다. H.264/AVC의 인터 프레임 예측이 이전 표준들과 차별화 되는 점은 16×16 단위부터 4×4 단위까지 다양한 블록 크기를 지원하며 각 MB 내에서 다양한 크기의 서브 블록들이 총 41 가지의 매우 많은 수의 조합을 이룰 수 있다는 점이다. 또한, 이전의 표준들이 정수 단위의 픽셀을 기준으로 수행하는 IME만을 지원한 반면, H.264/AVC에서는 IME와 함께 IME의 결과를 바탕으로 소수 단위의 픽셀을 interpolation하여 수행하는 FME를 지원한다. FME의 경우, 정수 위치의 휘도 성분 샘플들 사이의 1/2 픽셀 샘플과 1/4 픽셀 샘플을 보간을 통해 생성하여 half-pel motion estimation, quarter-pel motion estimation을 통하여 더 세밀한 서브 샘플 움직임 벡터 (Motion Vector)를 지원하게 된다. 또한, 이 모듈은 인터 프레임 예측 결과가 인트라 프레임 예측 결과보다 우수한 경우에 한해서는 움직임 벡터에 대한 움직임 보상 (Motion Compensation)을 수행한다. 이 모듈은 프레임 메모리에서 참조 영상을 읽어오는 기능을 포함하고 있다. 그렇기 때문에 H.264/AVC를 구성하는 중에 가장 많은 연산량을 보이고 가장 많은 외부 메모리 접근을 시도하며 그에 따른 전력 소모 또한 가장 크다.

**e. Discrete Cosine Transform and Quantization (DCTQ)** – 인트라 프레임 예측, 인터 프레임 예측 후 발생한 잔여 영상 (residual image)을 변환 및 양자화한다.

**f. Context-based Adaptive Variable Length Coder (CAVLC)** – 프레임의 헤더, MB의 모드 정보 및 잔여 영상 정보 등을 엔트로피 코딩 (entropy coding) 기법을 이용해 최종적인 스트림의 형태로 만든다.

**g. Adaptive Deblocking Filter (ADF)** – MB 단위로 인코딩한 프레임의 경계 부분이 드러나지 않도록 재구성한 영상 (reconstructed image)을 필터링한다. 필터링을 거친 재구성된 영상을 외부 메모리에 저장하는 기능 역시 포함하고 있다.

**h. RISC Processor** – 하드웨어에 동작 신호를 주고 그 동작이 종료되는 시점을 확인하는 방법으로 시스템 전체를 제어한다. 이외에도 스트림의 프레임 헤더를 생성하는 등의 역할도 수행한다.

### 2.2.2 저전력 H.264/AVC 인코더를 위한 기존 연구

앞서 언급했듯이, H.264/AVC 인코더는 높은 압축 효율로 인하여 영상 저장 장치뿐 아니라 영상을 사용하는 대부분의 기기에서 보편적으로 널리 사용되고 있다. 특히, 최근에는 스마트폰이나 테블릿 PC와 같은 전력 공급이 제한적인 모바일 영상 기기 보급의 확산으로 인하여 점점 소비 전력 제어의 중요성이 강조되고 있다. 스마트폰이나 테블릿 PC에서도 영상 압축의 비중은 상당하기 때문에 이러한 모바일 기기의 전력 소모를 분석하기 위한 많은 이전 연구가 있었다. 그림 2.2 ([14]의 Fig. 3 참조)를 보면 멀티미디어와 관련된 동작이 시스템 전체의 전력 소모 중에 25%를 차지하며 H.264/AVC 인코더가 멀티미디어가 소모하는 전력의 대부분을 차지하는 것을 확인할 수 있다. 그림 2.3 ([15]의 Fig. 7 참조)에는 4가지 단계적인 동작에 있어서 전력 소모를 나타내는 그래프가 제시되었다. J2 단계는 영상 압축 없이 입력 영상을 촬영하는 동작만을 포함하고 J3 단계는 입력 영상을 촬영하고 H.264/AVC 인코더를 통해 영상을 압축하는 동작까지 포함한다. 그러므로, J2와 J3의 차이가 H.264/AVC 인코더에 의해 소모되는 전력을 뜻하고 전체 시스템의 소모 전력 중에 약 40%가 영상 압축을 위해 사용되었음을 확인할 수 있다. 결과적으로 모바일 기기의 전체 소모 전력 중, 약 25%에서 40% 사이의 소모 전력이 H.264/AVC 인코더에서 사용된다고 볼 수 있다. 그러므로 만약 H.264/AVC 인코더의 소모 전력을 40%만큼 감소시키면 전체 시스템 차원에서는 약 10%에서 16% 사이의 전력 감소 효과를 얻을 수 있다.

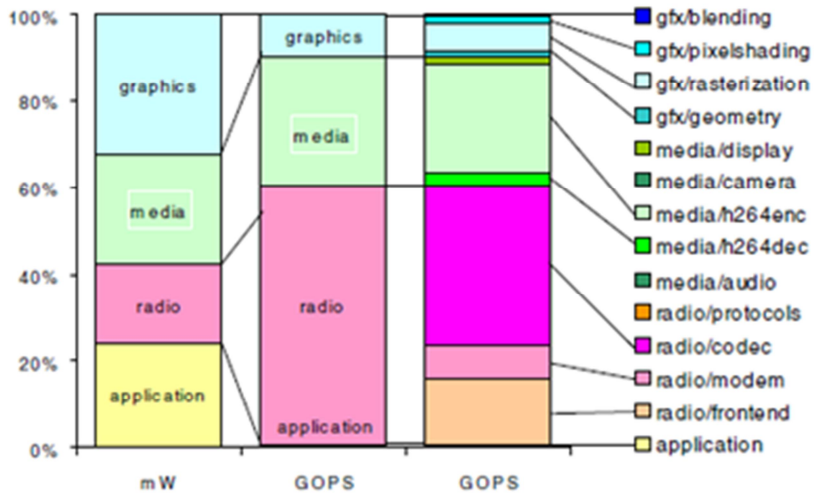


그림 2.2 모바일 기기 전력 소모에서 영상 압축이 차지하는 비율 (1) [14]

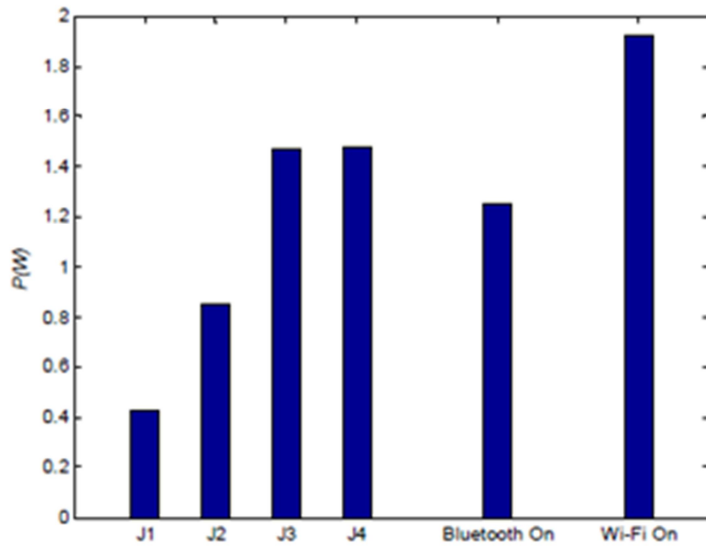


그림 2.3 모바일 기기 전력 소모에서 영상 압축이 차지하는 비율 (2) [15]

이처럼 영상 압축의 전력 소모를 제어하는 것이 중요하기 때문에 H.264/AVC 인코더의 전력 소모를 줄이기 위한 많은 방법이 제안되었다 [16]-[21]. 특히, H.264/AVC 인코더의 전력 소모에서 가장 큰 비중을 차지하는 ME의 전력 소모를 줄이기 위한 개별 알고리즘에 관한 연구에 초점이 맞추어졌다. H.264/AVC 인코더를 위한 개별 저전력 알고리즘들은 어느 정도의 전력 소모를 감소시키지만 그로 인해 야기되는 R-D 성능 저하를 효과적으로 제어하지 못하고 전력 감소 효과를 얻는데 있어서 한계를 갖는다. [22]-[24]에서는 배터리 상황, 사용자의 선택, 그리고 동작 환경 등에 따라 인코더의 동작 옵션을 차등적으로 조절하는 방식을 통해 전력 소모를 제어하였다. [22]에서는 power-aware design의 개념이 소개되었고 H.264/AVC 인코더의 하드웨어 동작을 위한 다양한 전력 스케일링 기법이 제시되었다. [23]에서는 목표 전력 소모량을 설정하고 그에 따라 인코더에서 소모되는 전력을 조절한다. 소비 전력을 조절하기 위하여 IME와 FME, IP 모듈에 대한 몇 가지 옵션을 설정하고 이를 상황에 맞게 조절하여 전력 목표량을 달성한다. [24]에서는 영상의 복잡도와 남은 배터리에 따라 각각 다른 동작 환경을 제공하는 알고리즘이 제안되었다. [25]-[27]에서는 power, rate, distortion 사이의 연관성을 고려하는 Power-Rate-Distortion (P-R-D) 모델이 제시되었다. 그러나 이러한 P-R-D 모델은 실시간으로 확인되지 않는 영상의 특성에 영향을 받는다는 문제점을 갖기 때문에 실시간 인코딩에 적합하지 않다. 또한, P-R-D 모델은 power, rate, distortion을 최적화시키는 인코더의 알고리즘 옵션을 상세하게 제공하지 않기 때문에 제 3자에 의해 같은



모델이 적용된 인코더로 재현 되는 것이 어렵다. 게다가 만약 입력 영상이 바뀌거나 새로운 저전력 알고리즘이 추가되었을 경우, 새로운 분석을 위해 매우 많은 시뮬레이션을 필요로 한다. 이러한 세 가지 한계로 인하여 P-R-D 모델은 인코더에서 원하는 전력 목표를 이루기 위하여 실시간으로 알고리즘의 동작 옵션을 결정하는데 사용될 수 없다. 추가적으로 기존의 저전력 방식들은 영상 입력의 특성을 고려하지 않았다는 문제점을 갖는데 알고리즘의 동작 옵션을 최적화하기 위해서는 전력 목표뿐만 아니라 동작 환경 및 입력 영상의 특성 등이 복합적으로 모두 함께 고려되어야 한다. 즉, 전력 목표, 동작 환경 및 입력 영상의 특성을 모두 함께 고려하여 최적의 R-D 성능에서 가장 낮은 전력으로 인코더를 동작시킬 수 있도록 하는 전력 제어 기법에 관한 연구가 필수적이다.

## 2.3 경량화 압축 방식 알고리즘

### 2.3.1 1차원 Discrete Wavelet Transform

1차원 DWT는 2차원 DWT와 달리 한 방향의 샘플들에 대해서만 변환을 수행한다. 따라서 2차원 DWT에 필요한 내부 메모리가 필요하지 않고 지연 시간 역시 더 짧은 장점이 있다. 1차원 DWT를 수행하면 두 종류의 계수가 생성된다. 첫 번째는 고주파 wavelet 계수이고, 두 번째는 저주파 wavelet 계수이다. 일반적으로 고주파 wavelet 계수는 edge 등의 정보를 갖고, 저주파 wavelet 계수는 상대적으로 더 중요한 plane 영역의 정보를 갖는다. 1차원 DWT는 생성된 저주파 wavelet 계수에 대해 여러 번의 변환 과정을 수행할 수 있다. 이 변환 과정이 수행될 때마다 1차원 DWT의 분해 레벨 (decomposition level)이 증가하게 된다. 일반적으로 매끄러운 이미지는 분해 레벨을 높일수록 신호가 한 쪽으로 더 많이 모이기 때문에 변환에서의 효율을 더 높일 수 있게 된다. 그러나 edge 등이 많은 이미지에서는 상대적으로 큰 고주파 wavelet 계수가 나올 수 있기 때문에 변환에서의 효율이 오히려 더 감소할 수도 있다. 이러한 분해 레벨은 대체로 DWT를 수행하는 처리 단위와 영상의 복잡도에 따라 최적화되는 레벨이 다르게 나타난다.

### 2.3.2 Set Partitioning in Hierarchical Trees

SPIHT 은 DWT 계수를 압축하는데 효율적인 압축 알고리즘이다. 이 방식은 bit-plane 단위로 압축을 수행하며, most significant bit-plane에서부터 least significant bit-plane 방향으로 압축이 진행된다. SPIHT은 압축을 원하는 시점에 끊을 수 있는 장점을 갖는다. 즉, 목표로 하는 압축률이 존재하는 경우 압축된 스트림의 크기를 이에 정확하게 맞출 수 있다. 또한, 압축된 스트림에는 상대적으로 중요한 상위 bit-plane의 정보가 우선적으로 포함되기 때문에 압축 효율 측면에서도 우수한 특성을 갖는다. 일반적인 SPIHT 알고리즘은 2차원 형태의 입력 정보를 압축하므로 입력 정보가 raster 스캔 순서로 들어오는 경우 블록 높이만큼의 라인 버퍼를 필요로 한다. 이 라인 버퍼의 크기가 전체 시스템 비용에서 차지하는 비중이 크므로 이를 해결하기 위해 이용되는 방식이 1차원 압축 방식이다. 1차원 SPIHT은 2차원 SPIHT과 거의 동일한 방식으로 동작하지만 압축하는 블록이 1차원 형태라는 점에서 차이가 난다. 일반적으로 SPIHT 알고리즘은 처리 속도 측면에서 단점을 갖기 때문에 효율적으로 구현하는 것이 중요하다.

### 2.3.3 1차원 경량화 압축 방식 기법

본 논문에서는 영상 압축을 위한 LWC를 위하여 1차원 DWT 계수를 1차원 SPIHT으로 압축하는 방법을 사용한다 [28]. 입력 영상을 DWT 도메인으로 변환하여 압축하는 방식은 JPEG2000 표준 등 여러 압축 방법에서 널리 사용되고 있다 [29]. 1차원 DWT+SPIHT으로 구성된 LWC가 H.264/AVC 인코더와 비교하였을 때, 훨씬 더 낮은 전력으로 동작될 수 있는 이유는 크게 세 가지이다. 첫째, LWC는 엔트로피 코딩이나 디블록킹 필터링 없이 1차원 DWT과 SPIHT으로만 압축을 수행하기 때문에 연산의 복잡도가 상대적으로 낮다. 이는 내부적으로 동작이 간단하기 때문에 모듈에서 내부적으로 소모되는 전력이 작다는 것을 의미한다. 두 번째로 LWC는 H.264/AVC 인코더처럼 2차원 MB 단위로 동작하는 것이 아니고 1차원 구조로 동작하기 때문에 카메라로부터 들어오는 입력 영상을 라인 별로 바로 처리할 수 있다. 그러므로 입력 영상을 외부 메모리에 저장했다가 사용해야 되는 H.264/AVC 인코더와 다르게 입력 영상을 별도로 외부 메모리에 저장하였다가 읽어올 필요가 없기 때문에 외부 메모리 접근이 현저하게 감소하고 그로 인하여 외부 메모리에서 발생하는 전력 소모를 크게 감소시킬 수 있다. 셋째, LWC는 인터 프레임 예측 없이 현재 프레임 내부에서만 압축을 수행하기 때문에 압축 과정에서도 추가적인 외부 메모리 접근이 필요 없고 그로 인해 외부 메모리에서 소모되는 전력이 감소하게 된다. 이런 세 가지 이유로 인해 LWC는 H.264/AVC 인코더에 비해 내부, 외부 전력에서 모두 이득을 볼 수 있다.

## 제3장 멀티 압축 모듈을 통한 영상 저장 장치

### 3.1 경량화 압축 방식의 구현

#### 3.1.1 구현 방식

##### 1) DWT

본 연구의 1차원 DWT는 총 4 개의 필터로 구성되어 있다. 1차원 forward DWT의 경우 두 쌍의 고역 (high-pass) 필터와 저역 (low-pass) 필터로 구성되어 있고 1차원 inverse DWT의 경우 두 쌍의 even 필터와 odd 필터로 구성되며 모든 필터는 (5, 3) 필터이다. 본 연구의 1차원 DWT는 적은 하드웨어 리소스 (resource)로 높은 하드웨어 활용도를 보이는 것을 목표로 하였다. 이를 위해 각각의 필터가 동작하지 않는 시간에 레지스터를 통한 지연 기법을 활용하여 다른 시간의 동작을 위치시켜서 하드웨어 활용도를 높이는 방법을 이용하였다. 가령, 1차원 forward DWT의 front unit에서는 고역 필터와 저역 필터 모두가 100%의 하드웨어 활용도를 보인다.

본 연구의 1차원 DWT는 처리하는 DWT 분해 레벨에 따라 서로 다른 두 개의 unit을 동작시킨다. 각각의 unit은 한 쌍의 고역 필터와 저역

필터 (1차원 forward DWT) 또는 한 쌍의 even 필터와 odd 필터 (1차원 inverse DWT)를 이용한다. 이렇게 2개의 unit으로 나눈 이유는 앞서 언급한 하드웨어 활용도 문제와 모듈화 문제를 해결하기 위해서이다.

그림 3.1은 제안하는 1차원 forward DWT의 블록 다이어그램을 보인다. 앞서 언급한 것처럼 front unit과 back unit으로 구성되며 각각의 unit은 한 쌍의 고역 필터와 저역 필터로 구성된다. Front unit은 연속하는 두 개의 입력 샘플을 받아 DWT 분해 레벨이 1인 forward DWT 동작을 수행한다. 그 결과, 레벨이 1인 저주파 계수와 고주파 계수가 생성된다. 이 때, front unit 내의 두 필터가 모두 100%의 하드웨어 활용도를 보이므로 나머지 레벨에 대한 동작을 수행할 수 없다. 따라서 나머지 레벨에 대한 동작은 back unit에서 수행하도록 한다. Back unit은 front unit에서 생성된 레벨이 1인 저주파 계수만을 입력 샘플로 받는다. 반면, 레벨이 1인 고주파 계수는 더 이상의 변환 과정이 필요하지 않으므로 1차원 forward DWT 밖으로 출력된다. 초기 입력 샘플에 비해 레벨이 1인 저주파 계수는 그 수가 절반이다. 따라서 레벨이 2인 wavelet 계수를 back unit이 계산했을 때 front unit에 비해 절반의 필터 시간이 비게 된다. 이 시간을 이용하여 분해 레벨이 3인 wavelet 계수도 함께 계산하도록 한다. 레벨이 계속 늘어날 경우 입력 샘플의 수도 계속 반으로 감소하기 때문에 스케줄링만 적절히 수행하면 back unit의 하드웨어 활용도가 100%를 넘어가는 경우는 발생하지 않는다. 따라서 제안하는 1차원 forward DWT 구조는 추가되는 하드웨어 리소스를 최소화시키면서 멀티 레벨 변환을 수행할 수 있다.

그림 3.2에는 front unit의 블록 다이어그램을 보인다. 해당 unit은 고역

unit 하나와 저역 unit 하나로 구성된다. 그리고 스케줄링에 따른 레지스터가 이용된다. Back unit의 블록 다이어그램도 front unit의 블록 다이어그램과 거의 동일하다. 그러나 각각의 스케줄링이 다르기 때문에 레지스터 등에서 약간의 차이가 난다.

그림 3.3은 제안하는 1차원 inverse DWT의 블록 다이어그램을 보인다. 1차원 forward DWT와 마찬가지로 front unit과 back unit으로 구성되어 있다. 앞서 언급한대로 각 unit은 비슷한 구조 (한 쌍의 even 필터와 odd 필터, 레지스터로 구성)를 갖기 때문에 모듈화에 용이하다. 1차원 inverse DWT의 처리 순서는 1차원 forward DWT의 처리 순서와 반대이다. 즉, 높은 레벨이 먼저 복원되고 낮은 레벨이 나중에 복원된다. 우선 front unit에 매 클럭마다 두 개의 변환된 입력 계수가 연속적으로 들어온다. 이 때, 입력 계수는 미리 정해진 순서로 들어온다. 따라서 1차원 inverse DWT 앞단에서는 계수 순서를 조절하기 위한 모듈이 추가로 필요하다. Front unit은 분해 레벨이 3인 고주파 wavelet 계수와 저주파 wavelet 계수를 이용하여 분해 레벨이 2인 저주파 wavelet 계수를 복원한다. 그런 다음 front unit의 필터가 비는 시간을 이용하여 분해 레벨이 1인 저주파 wavelet 계수를 복원한다. 이때, 입력된 분해 레벨이 2인 고주파 wavelet 계수와 복원된 분해 레벨이 2인 저주파 wavelet 계수가 이용된다. 복원된 분해 레벨이 1인 저주파 wavelet 계수는 back unit으로 전달된다. 이와 동시에 back unit의 레지스터에서 지연되고 있던 분해 레벨이 1인 고주파 wavelet 계수가 back unit의 필터로 전달된다. 이 계수들을 통해 최종 출력 샘플을 복원하며 복원된 샘플은 매 클럭마다 두 개씩 연속적으로 출력된다.

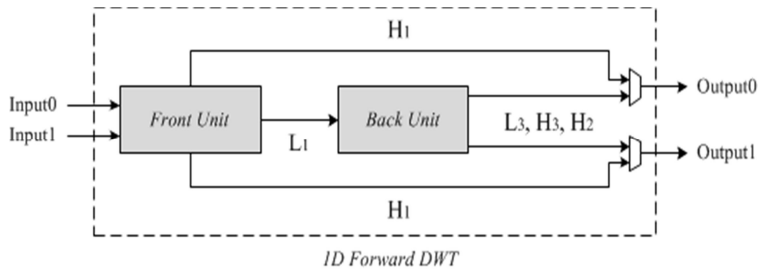


그림 3.1 1차원 forward DWT의 블록 다이어그램

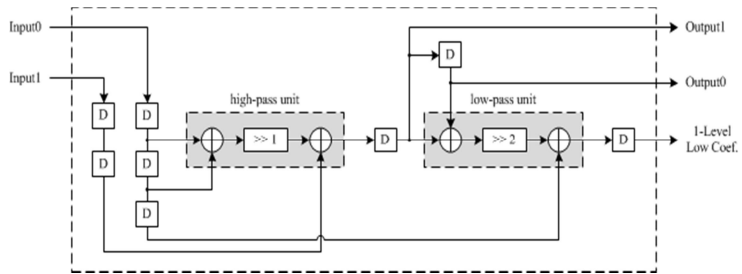


그림 3.2 1차원 forward unit의 블록 다이어그램

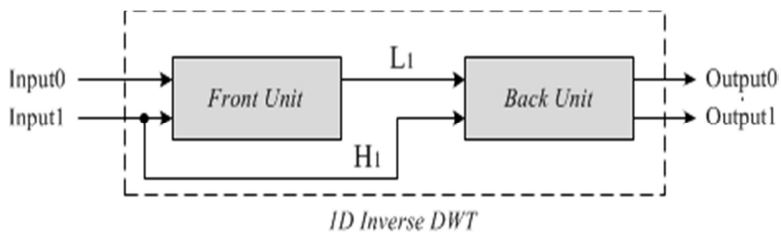


그림 3.3 1차원 inverse DWT의 블록 다이어그램



## 2) SPIHT

그림 3.4에는 1차원 forward SPIHT의 블록 다이어그램이 제시되었다. 1차원 forward SPIHT 모듈은 두 개의 하위 모듈들로 구성된다. 첫 번째는 SPIHT core 모듈이며, 두 번째는 transaction 모듈이다. SPIHT core 모듈은 실제 SPIHT 알고리즘을 수행하는 모듈이고 transaction 모듈은 최종 비트 스트림을 구성하고 모듈 외부로 해당 스트림을 전송하는 기능을 수행한다.

SPIHT core 모듈에서는 Finite State Machine (FSM)이 모든 동작을 통제한다. 우선 FSM은 marker 모듈에 있는 coding state를 초기화한다. 그리고 입력 제어 신호와 압축할 입력이 들어오면 16개의 state calculation unit에 대한 동작을 수행한다. 각각의 unit은 압축된 스트림과 다음 coding state를 계산하기 위해 sign bit, magnitude bit, 현재 coding state 등을 전달받는다. 각 unit의 최대 출력 스트림의 길이는 5이며, 그 길이는 3bit로 표현된다. Packer 모듈은 전달받은 스트림으로 크기가 20bit인 최종 스트림을 생성하며, 이와 동시에 크기가 5bit인 스트림의 길이를 계산한다.

Transaction 모듈에서는 FSM이 ping-pong 방식으로 두 개의 내부 버퍼를 통제한다. SPIHT core 모듈로부터 비트 스트림과 그 길이가 전달되면 accumulated 레지스터가 스트림을 저장하고 8bit 레지스터가 그 길이를 저장한다. 만약 128bit가 스트림에 의해 완전히 차게 되거나 모든 bit-plane에 대한 압축이 완료된다면 버퍼에 대한 업데이트는 중단되게 된다. 한 블록에 대한 압축이 완료되면 해당 모듈은 가능한 버퍼에서 스트림을 출력하며 외부에서 선택한 압축률에 의해 스트림의 일부만 출력할 수도 있다.

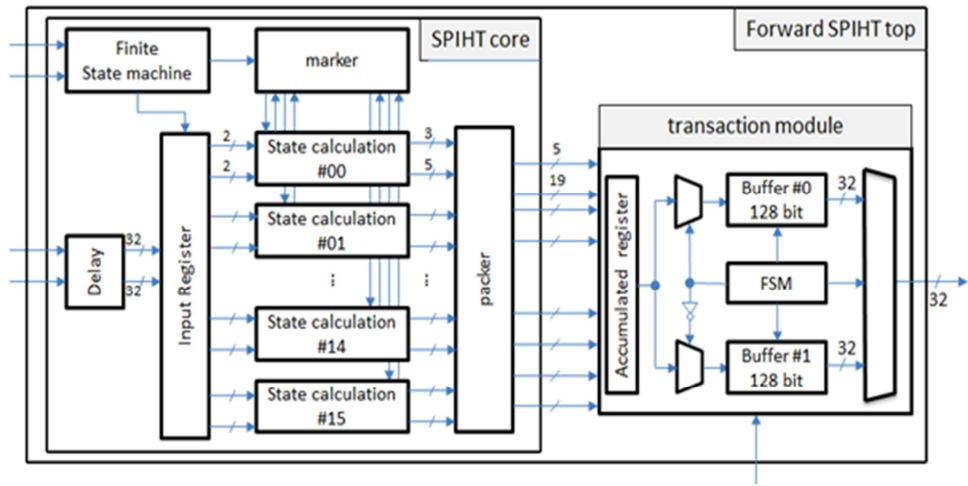


그림 3.4 1차원 forward SPIHT의 블록 다이어그램

### 3.1.2 구현 결과 및 성능 비교

앞 장에서 언급한 1차원 DWT와 SPIHT은 모두 Verilog Hardware Description Language (HDL)를 통하여 Register Transistor Logic (RTL) 기반으로 구현되었다. 이번 장에서는 이러한 1차원 DWT와 SPIHT으로 구현된 LWC의 구현 결과를 제시하고 성능을 분석한다. 그림 3.5에서 볼 수 있듯이, 전력 소모 (연산량)와 성능 (압축 효율)은 서로 비례하는 관계에 있다. 즉, 압축 효율이 좋아질수록 그에 따른 연산량이 크기 때문에 일반적으로 전력 소모가 증가하게 되고 반대로 전력 소모를 감소시키기 위하여 연산량을 줄이면 그에 따라 압축 효율 또한 나빠진다. 그러므로 압축 모듈은 최소의 성능 저하로 최대의 전력 감소 효과를 얻는 것이 중요하다. 본 논문에서는 DWT와 SPIHT으로 구성되는 LWC의 성능 분석과 더불어 JPEG, H.264/AVC 인트라 예측 기법을 비교 대상으로 하여 전력 소모를 비교하고 제안한 방식의 우수성을 보인다.

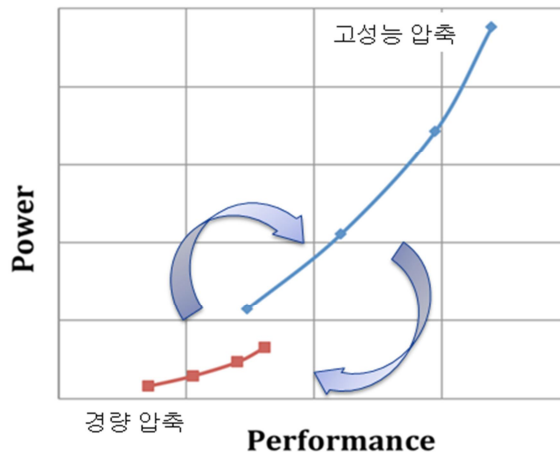


그림 3.5 압축 효율과 전력 소모 간의 상관 관계

압축 모듈의 성능 분석을 위하여 모든 압축 모듈은 HD 해상도 30 frames per second (fps)를 만족할 수 있도록 가정 되었다. 각 모듈의 압축 효율이 모두 다르기 때문에 공정한 비교 분석을 위하여 세 가지 방식이 유사한 화질 (PSNR)을 보일 수 있도록 압축률을 다르게 설정하였다. 압축률이 다르기 때문에 각각의 압축 모듈에 의해 같은 시간 동안 압축된 스트림의 크기 또한 다르게 되는데 이런 스트림 크기의 차이는 메모리에 스트림을 저장하고 불러오기 위해 필요한 전력 소모에 반영하여 고려를 하였다. 효율적인 전력 소모 비교를 위하여 내부 전력 소모와 외부 전력 소모를 함께 예측하였다. 내부 전력 소모의 경우, 모듈 자체의 gate count와 모듈 동작을 위해 필요한 내부 메모리를 함께 고려하여 동작되는 클럭 주파수에 따라 130nm 공정 라이브러리로 Synopsys Design Compiler를 통해 측정하였다. 외부 전력의 경우, 각각의 압축 모듈이 10초 간 압축을 수행하는 동안 압축 모듈의 동작을 위한 외부 메모리 접근으로 인해 발생하는 전력 소모와 압축된 스트림을 외부 메모리에 저장하기 위한 전력 소모를 함께 고려하였다. 스트림을 저장하는 외부 메모리로는 비교의 다양성을 위하여 Double Data Rate 2 (DDR2) SDRAM과 Low Power DDR2 (LP DDR2) SDRAM의 두 가지가 사용되었으며 외부 메모리 전력 소모의 측정은 Micron사에서 제공하는 memory power calculator [30]를 통해 수행되었다. 또한, 비교 분석은 두 가지 클럭 도메인에서 수행되었는데, 하나는 세 가지 모듈이 모두 같은 동작 클럭에서 동작을 하는 synchronous 클럭 도메인을 가정하였고 다른 하나는 각각 모듈의 throughput을 고려하여 세 가지 모듈이 각각 HD 30 fps를 만족시키는

최소한의 동작 클럭에서 동작을 하는 asynchronous 클럭 도메인을 가정하였다.

표 3.1에는 synchronous 클럭 도메인에서 세 가지 모듈을 비교한 결과가 제시되었다. 결과를 살펴보면, 우선 세 가지 모듈에서 모두 43dB 후반에서 44dB 초반의 PSNR을 보이는 압축률이 선택 되었다. 이어서 gate count와 내부 메모리의 결과가 제시되었는데, 하나의 gate와 한 bit는 거의 1:1의 비율로 예측할 수 있기 때문에 결과적으로 DWT+SPIHT 구조는 JPEG보다 95Kgates, H.264 인트라 예측보다 270Kgates만큼 작은 gate count로 구현이 가능하다 [31]. 이어서 외부 메모리 예측을 위해 10초 저장을 위한 스트림 크기가 제시되었는데 이 값은 압축률이 좋을수록 작아지기 때문에 H.264/AVC 인트라 예측에서 가장 작은 값을 보이고 DWT+SPIHT에서 가장 큰 값을 보인다. HD 30 fps를 위한 최소 클럭의 경우, synchronous 클럭 도메인이기 때문에 최소 클럭이 가장 높은 H.264/AVC 인트라 예측의 결과를 공유하였다. 이런 자료들을 바탕으로 각각 모듈의 전력 소모가 표의 마지막에 제시되었다. 내부 전력의 경우, gate count (내부 메모리 포함)에 비례하기 때문에 gate count가 가장 작은 DWT+SPIHT에서 가장 낮게 나타난다. 외부 전력의 경우, LP DDR2 SDRAM을 사용하였을 경우와 DDR2 SDRAM을 사용하였을 경우를 각각 나타내었는데 외부 메모리를 어느 것을 선택하는지에 따라 크게 차이가 나는 것을 확인할 수 있다. 그러나 메모리 선택 여부와 상관 없이 각각 메모리에서 세 모듈이 소모하는 전력의 경향은 비슷하게 나타나는데, DWT+SPIHT과 JPEG에서 외부 전력이 비슷한 수준으로 나타나며

H.264/AVC 인트라 예측에서 가장 큰 외부 전력 소모를 보인다. 이는 H.264/AVC 인트라 예측의 최종 스트림의 크기는 가장 작지만 H.264/AVC 인트라 예측은 영상 압축을 위해 입력 영상을 외부 메모리에 저장해야 하기 때문에 그로 인한 전력 소모가 급증하여서 가장 큰 외부 전력 소모를 보이게 된다. 전체 전력으로 볼 때, 제안된 DWT+SPIHT 구조가 JPEG보다 11.54mW (22.8%), H.264/AVC 인트라 예측보다 47.13mW (54.7%)만큼 작은 전력으로 동작이 가능하다.

표 3.2에는 asynchronous 클럭 도메인에서 세 가지 모듈을 비교한 결과가 제시되었다. Asynchronous 클럭 도메인과 synchronous 클럭 도메인의 가장 큰 차이점은 세 가지 모듈의 HD 30 fps를 위한 최소 클럭에서 나타난다. 이 값은 DWT+SPIHT 구조에서 압도적으로 작은 값을 보이는데 이것은 DWT+SPIHT 구조의 throughput이 매우 높기 때문에 나타난 결과이다. 내부 전력의 경우, gate count 뿐 아니라 동작 클럭에도 비례를 하기 때문에 asynchronous 클럭 도메인에서는 DWT+SPIHT 구조의 내부 전력이 매우 작은 값을 보이게 된다. 이 도메인에서는 DWT+SPIHT 구조나 JPEG의 동작 클럭이 너무 낮아서 DDR2 SDRAM을 사용할 수가 없기 때문에 LP DDR2 SDRAM을 사용한 경우의 결과 만이 제시되었다. 결과를 살펴보면, 전체 전력으로 볼 때 DWT+SPIHT 구조가 JPEG보다 10.95mW(37.8%), H.264/AVC INTRA보다 68.17mW (79.1%)만큼 적은 전력으로 동작이 가능하다.

표 3.1 Synchronous 클럭 도메인에서 경량화 압축 방식의 성능 비교

Synchronous	DWT+SPIHT		JPEG		H.264/AVC 인트라 예측	
PSNR (dB)	43.72		43.58		44.18	
압축률 (%)	37.5		25		16.3	
Gate count (Kgates)	112		40		188	
내부 메모리 (Kbits)	0		167		194	
10 초 저장을 위한 스트림 크기 (Gbits)	1.54		1.24		0.67	
외부 메모리 용량 (Gbits)	2		2		1	
HD 30 fps 를 위한 최소 클럭 (MHz)	162					
내부 전력 (mW)	10.89		24.18		41.84	
외부 전력 (mW)	LP DDR2	DDR2	LP DDR2	DDR2	LP DDR2	DDR2
	28.5	94.8	26.4	89.8	44.4	143.4
전체 전력 (mW)	39.1	105.7	50.6	114	86.2	185.2

표 3.2 Asynchronous 클럭 도메인에서 경량화 압축 방식의 성능 비교

Asynchronous + LP DDR2	DWT+SPIHT	JPEG	H.264/AVC 인트라 예측
PSNR (dB)	43.72	43.58	44.18
압축률 (%)	37.5	25	16.3
Gate count (Kgates)	112	40	188
내부 메모리 (Kbits)	0	167	194
10 초 저장을 위한 스트림 크기 (Gbits)	1.54	1.24	0.67
외부 메모리 용량 (Gbits)	2	2	1
HD 30 fps 를 위한 최소 클럭 (MHz)	16.2	72	162
내부 전력 (mW)	1.09	10.75	41.84
외부 전력 (mW)	16.94	18.23	44.36
전체 전력 (mW)	18.03	28.98	86.2



## 3.2 경량화 압축 방식을 통한 영상 저장 장치의 구현

본 논문에서는 전력 소모와 R-D 성능의 trade-off 관계를 고려하여 두 가지 새로운 영상 저장 장치를 제안한다. 하나는 LWC만을 활용하는 LWC 기반 영상 저장 장치 (LWC VRS) [32]이고 나머지 하나는 LWC를 변형한 low pass filter compression (LPFC)과 다운 샘플링을 함께 활용하는 Down-Sampling & LPFC 기반 영상 저장 장치 (D-LPFC VRS) [33]이다. 두 가지 모두 그림 2.1에 제시된 기존의 영상 저장 장치의 구조에 새로운 압축 모듈을 추가적으로 활용하여 구현한다. 이런 멀티 압축 모듈을 통한 저전력 영상 저장 장치를 활용함으로써 기존의 영상 저장 장치에 비해 큰 전력 감소 효과를 얻을 수 있다.

### 3.2.1 LWC 기반 영상 저장 장치

제안하는 LWC VRS가 그림 3.6에 제시되었다. 그림 2.1에 제시된 기존 영상 저장 장치와 비교했을 때, LWC 인코더 (LWC\_E)와 LWC 디코더 (LWC\_D)가 추가되었으며 이 모듈들은 색칠된 블록으로 표시되었다. 기존의 영상 저장 장치와 마찬가지로 제안된 LWC VRS에서도 CIS를 포함한 카메라가 입력 영상을 촬영하면서 사건 발생 여부를 확인한다. 만약 변화가 감지 되어 임시 모드가 활성화되는 경우, 제안하는 시스템에서는 입력 영상을 H.264/AVC 인코더로 압축하던 기존의 장치와 다르게 저전력으로 동작이 가능한 LWC 인코더를 사용하여 입력 영상을 압축하고 이를 SDRAM에 임시적으로 저장한다. 만약에 임시 저장된 영상 정보가 장기간 보관될 필요가 있는 의미 있는 사건으로 판명될 경우, 저장 모드가 활성화 된다. 사전 저장 모드에서는 LWC 인코더로 압축되어 임시 저장되어 있는 영상 정보가 LWC 디코더에 의해 디코딩되고 H.264/AVC 인코더를 통해 재압축되게 된다. H.264/AVC 인코더로 재압축을 수행하는 것에는 두 가지 이유가 있다. 우선, LWC의 높지 않은 압축률로 인하여 LWC로 압축되어 임시 저장되어 있는 스트림의 크기가 장기 저장 용도로 사용 되기에는 너무 크다는 문제점을 갖는다. 뿐만 아니라 LWC 인코더를 통해 압축된 스트림의 경우, LWC가 영상 압축 표준이 아니기 때문에 장기 보관된 이후에 재생될 필요가 있을 때 LWC 디코더가 없는 일반적인 장치에서는 디코딩되어 재생될 수가 없다. 그렇기 때문에 LWC 디코딩을 통해 영상을 복원한 후, 다시 영상

압축 표준이자 높은 압축률을 자랑하는 H.264/AVC 인코더를 통해 재압축을 하여서 NAND 플래시 메모리에 장기 저장하게 된다. 사전 저장 모드가 동작되고 나면 이어서 사후 저장 모드가 활성화 된다. 이 모드에서는 카메라에서 들어오는 입력 영상이 H.264/AVC 인코더에 의해 압축되고 압축된 스트림은 NAND 플래시 메모리에 저장된다. 제안된 시스템의 동작은 다음과 같이 요약된다.

임시 모드: 카메라 → LWC 인코더 → SDRAM

사전 저장 모드: SDRAM → LWC 디코더 → H.264/AVC 인코더 →  
NAND 플래시 메모리

사후 저장 모드: 카메라 → H.264/AVC 인코더 → NAND 플래시 메모리

제안하는 시스템이 저전력으로 동작될 수 있는 중요한 이유는 전력 소모와 압축 효율 간의 trade-off 관계를 통해 각 모드에서 사건의 중요성을 고려하여 효율적인 제어를 수행하기 때문이다. 중요하다고 판단된 사건을 처리하는 저장 모드에서는 제한된 저장 용량에 최대한 많은 영상을 저장하기 위해 높은 압축 효율이 가장 중요하다. 그러나 모든 임시 모드가 저장 모드로 변환되는 것은 아니다. 임시 모드에서 저장 모드로 변환되지 않는 사건들의 경우, 장기 저장되지 않고 임시 저장 되었다가 계속해서 덮어 쓰이기 때문에 이를 위해 소모되는 전력을 줄이는 것이 전체 시스템의 전력 소모를 줄이는데 큰 역할을 한다. 즉, 임시 모드에서 H.264/AVC 인코더를 사용하는 대신에 전력 소모가 적은 LWC를 활용하여 임시 모드의 전력 소모를 크게 감소시킬 수 있고 임시

모드에서 저장 모드로 변환되는 비율이 낮을수록 전력 감소 효과가 크다.

제안된 영상 저장 장치의 단점은 두 가지를 들 수 있다. 첫째, LWC의 활용으로 인한 1차 R-D 성능 저하와 H.264/AVC 재압축으로 인한 2차 R-D 성능 저하로 인하여 기존의 영상 저장 장치보다 추가적인 R-D 성능 저하가 야기된다는 점이다. 그러나 LWC로 인한 R-D 성능 저하는 LWC의 압축률이 1/2, 3/8정도의 수준일 때에는 거의 미비하기 때문에 LWC 압축률을 잘 조절한다면 해결될 수 있다. 둘째, 임시 모드에서 저장 모드로 전환되는 비율이 높아질수록 제안된 시스템의 전력 감소 효과가 점점 줄어드는 것이 또 하나의 단점이 될 수 있다.

요약 하자면, 제안하는 영상 저장 장치에서는 임시 모드에서 LWC 인코더를 활용하여 큰 전력 감소 효과를 볼 수 있지만 사전 저장 모드에서는 장기 저장을 위하여 임시 저장된 스트림을 LWC 디코더를 통해 디코딩 하고 다시 또 전력 소모가 큰 H.264/AVC 인코더를 사용하여 재압축을 해야 하기 때문에 기존의 영상 저장 장치에 비해 전력 소모가 증가된다. 그러므로 저장 모드의 활성화 비율이 100%에 가까워진다면 기존의 시스템에 비해 전력 이득을 거의 볼 수 없게 된다.

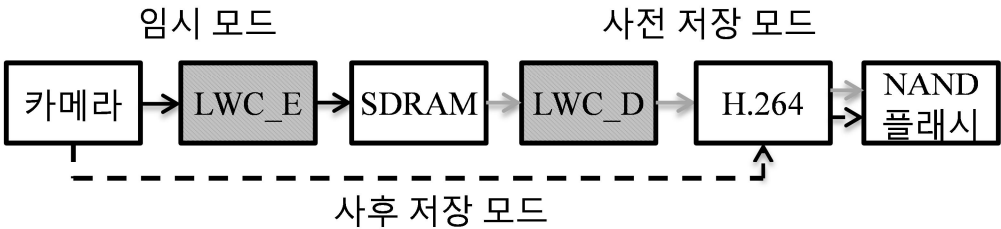


그림 3.6 LWC 기반 영상 저장 장치의 동작

### 3.2.2 D-LPFC 기반 영상 저장 장치

제안하는 D-LPFC VRS가 그림 3.7에 제시되었다. LPFC 인코더 (LPFC\_E)와 LPFC 디코더 (LPFC\_D), 그리고 다운 샘플러 (Down Sampler) 모듈이 그림 2.1에 제시된 기존 영상 저장 장치에 추가되었으며 이 모듈들은 색칠된 블록으로 표시되었다. LPFC란 앞서 설명한 LWC를 변형한 모듈로 DWT를 통해 주파수 도메인으로 변환된 영상 정보에서 고주파 성분은 사용하지 않고 저주파 성분만을 채택하여 SPIHT을 통해 집중적으로 압축을 수행한다. 여러 저역 필터 방식 중, DWT를 통해 도메인을 변환을 하여 저주파 성분과 고주파 성분을 분리한 것은 LWC VRS에서 활용되는 DWT 모듈을 재활용하여 리소스를 최소화하기 위해서이다. 이럴 경우, 새로운 모듈의 추가 없이 약간의 변형만으로 LWC와 LPFC를 하나의 모듈에서 동작시키는 것이 가능하며 이러한 LPFC는 임시 모드에서 활용된다. 임시 모드가 활성화되는 경우, 입력 영상은 H.264/AVC 인코더에 비해 훨씬 저전력으로 동작 가능한 LPFC 인코더에 의해 압축되고 SDRAM에 임시적으로 저장된다. 임시 저장된 영상 정보가 무의미하다고 판단될 경우에는 다른 영상 저장 장치처럼 계속해서 메모리 영역을 덮어 쓰게 된다. 만약, 임시로 저장된 스트림이 장기간 보관될 필요가 있다고 판단되면 사전 저장 모드가 활성화되고 저장 모드 활성화 이전에 SDRAM에 임시적으로 저장되어 있는 스트림이 LPFC 디코더에 의해 디코딩된다. 이렇게 복원된 영상은 저역 필터를 거쳤기 때문에 고주파 성분이 없는 상태이고 H.264/AVC 인코더의

입력으로 사용되기 전에 다운 샘플링을 통하여 가로와 세로가 각각 1/2로 축소되어 영상의 크기가 1/4으로 감소된다. 감소되는 비율은 소모 전력과 R-D 성능의 trade-off 관계를 고려하여 결정하였다. 이렇게 크기가 감소된 영상은 H.264/AVC 인코더의 입력이 되어 재압축을 거치게 된다. 재압축이 필요한 이유는 LWC VRS와 마찬가지로 높은 압축률과 영상 압축 표준으로 압축하기 위함이다. 이렇게 재압축된 최종 스트림은 NAND 플래시 메모리에 장기 저장되게 된다. 이와 더불어 저장 모드 활성화 이후의 영상 정보들이 H.264/AVC 인코더에 의해 압축되어 바로 NAND 플래시 메모리에 저장된다. 제안된 D-LPFC VRS의 동작은 다음과 같이 요약될 수 있다.

임시 모드: 카메라 → LPFC 인코더 → SDRAM

사전 저장 모드: SDRAM → LPFC 인코더 → 다운 샘플러 → H.264/AVC  
인코더 → NAND 플래시 메모리

사후 저장 모드: 카메라 → H.264/AVC 인코더 → NAND 플래시 메모리

제안된 시스템에서 임시 모드에 사용되는 LPFC 인코더의 소모 전력 또한 LWC 인코더와 마찬가지로 H.264/AVC 인코더에 비해 훨씬 작기 때문에 LWC VRS와 마찬가지로 임시 저장을 위해 영상 압축에 필요한 전력 소모가 기존의 시스템에 비해 대폭 감소하게 된다. LPFC는 LWC와 마찬가지로 1-D로 동작되기 때문에 H.264/AVC 인코더에 비해 내부 전력 소모뿐만 아니라 외부 메모리 전력 소모 또한 감소되는 효과가 있다.

이전 장에서 설명한 LWC VRS의 경우, 저장 모드에서 H.264/AVC

인코더를 통한 재압축으로 인해 큰 전력 소모가 발생하기 때문에 임시 모드에서 저장 모드로 전환되는 비율이 높아질수록 전력 감소 효과가 감소하였다. 그렇기 때문에 저장 모드의 비율이 높은 장치에서는 임시 저장에 경량화 압축 방식을 활용해서 임시 모드의 전력 소모를 줄이는 것만으로는 높은 전력 감소 효과를 얻을 수 없다. 제안된 D-LPFC VRS는 LWC VRS의 이러한 단점을 보완할 수 있다. D-LPFC VRS가 LWC VRS보다 추가적으로 전력 감소 효과를 얻을 수 있는 것은 저장 모드에서 다운 샘플링을 사용하기 때문이다. 다운 샘플링을 적용하여 크기가 축소된 영상을 H.264/AVC 인코더로 재압축할 경우, 다운 샘플링된 비율만큼 H.264/AVC 인코더의 연산량뿐만 아니라 외부 메모리 접근 또한 감소하게 된다. 그러므로 H.264/AVC 인코더 내부 전력 소모와 외부 전력 소모가 모두 감소되는 효과를 얻을 수 있다. 게다가 다운 샘플링으로 크기가 줄어든 영상의 사용은 최종 스트림의 크기 또한 감소시키기 때문에 장기 저장을 위해 소모되는 전력 및 장기 저장을 위한 메모리 용량 또한 감소시키는 효과가 있다. 이러한 이유로 제안된 시스템은 임시 모드에서 저장 모드로 전환되는 비율이 높아지더라도 전력 감소 효과를 LWC VRS에 비해 훨씬 높게 유지할 수 있다.

이렇게 LPFC와 다운 샘플링을 함께 활용하게 되면 큰 전력 감소 효과를 얻을 수 있지만 전력 소모와 R-D 성능의 trade-off 관계에 따라 추가적인 R-D 성능 저하가 발생한다. 특히, 다운 샘플링의 활용은 영상의 화질이 어느 수준 이상으로 높아지지 못하는 saturation 현상을 야기하게 된다. 그렇기 때문에 target bitrate가 높은 장치에서는 D-LPFC VRS를

활용하는 것이 불가능하다. 이러한 문제점을 조금이라도 보완하기 위하여 본 논문에서는 LWC가 아닌 LPFC를 사용하였다. LPFC와 다운 샘플링으로 인한 R-D 성능 저하는 모두 영상의 고주파 성분의 손실로부터 야기되기 때문에 두 알고리즘을 함께 사용할 경우, 손실이 겹치게 되어서 성능 저하 효과가 각각의 알고리즘으로 인한 성능 저하 효과를 더한 것에 비하여 감소하게 된다 [34]. 반면에, 이 두 알고리즘의 전력 감소 효과는 각각 독립적이다. 다시 말해서, LPFC는 임시 모드에서 전력 감소 효과를 얻고 다운 샘플링은 사전 저장 모드에서 전력 감소 효과를 얻는다. 그러므로 LPFC와 다운 샘플링을 함께 사용하는 것은 전력 소모와 R-D 성능의 trade-off 관계에 있어서 이점을 보인다.

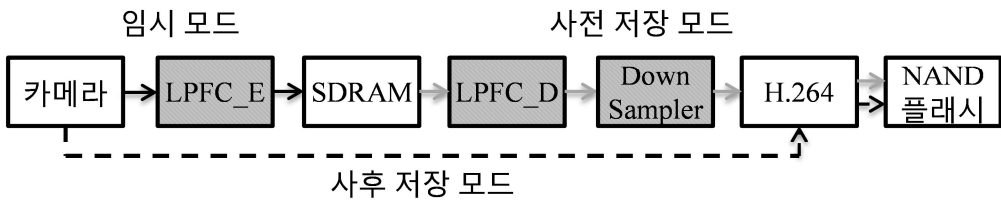


그림 3.7 D-LPFC 기반 영상 저장 장치의 동작



### 3.2.3 제안된 영상 저장 장치의 분석

제안된 LWC VRS와 D-LPFC VRS의 경우, 각각 기존의 영상 저장 장치에서 사용되지 않은 LWC와 LPFC를 추가적으로 사용하여 전력 감소 효과를 얻는 멀티 압축 모듈을 통한 저전력 영상 저장 장치이다. LWC 모듈과 LPFC 모듈의 경우, 주 압축 모듈인 H.264/AVC 인코더에 추가적으로 활용되는 압축 모듈이다. 그렇기 때문에 제안된 시스템에서 재압축을 위해 H.264/AVC 인코더가 동작할 때, H.264/AVC 인코더의 동작 환경에 미치는 영향을 최소화 하면서 전력 감소 효과를 최대한 늘릴 수 있도록 경량화 압축 모듈들의 동작 환경이 설정되어야 하며 그러기 위하여 가장 중요한 경량화 압축 모듈들의 압축률이 결정되어야 한다. 본 논문에서는 LWC와 LPFC의 압축률에 따른 R-D 성능을 실험하여 그 결과를 바탕으로 각각의 영상 저장 장치에 적합한 압축률을 결정하였다. R-D 성능 실험의 경우, 표 3.3에 제시된 실험 환경에 기반하여 하드웨어 시스템과 같은 결과를 도출하는 레퍼런스 소프트웨어 모델을 통해 수행되었다. 표 3.3의 첫 행에 나타난 것처럼 실험을 위하여 여섯 개의 HD 해상도 영상이 각각 90 프레임씩 사용되었다. H.264/AVC 인코더의 동작 환경은 두 번째 행에 제시되었으며, 사용된 LWC와 LPFC의 압축률이 세 번째 행에 제시되었다.

그림 3.8에는 표 3.3의 실험 환경을 통해 기존의 영상 저장 장치, LWC VRS, 그리고 D-LPFC VRS의 최종 스트림에 대해서 그려진 R-D 곡선이 제시되었다. 표 3.3에 제시된 여섯 가지 실험 영상의 R-D 성능

평균값을 통해 그래프가 제시되었으며 X축은 bitrate를 나타내고 Y축은 PSNR을 나타낸다. 그래프에서 “Conventional”로 나타난 점선 곡선이 기존 영상 저장 장치의 실험 결과를 나타낸다. LWC를 추가로 활용하는 LWC VRS의 검은색 곡선이 압축률에 따라 LWC3/8, LWC1/4, LWC3/16으로 표시되었다. 숫자가 의미하는 것이 사용된 LWC의 압축률이다. LWC VRS의 경우, 압축률 3/8까지는 기존 영상 저장 장치 대비 R-D 성능 저하가 미비하며 압축률 1/4부터 기존 영상 저장 장치와의 R-D 성능 차이가 급격히 증가하게 된다. 그렇기 때문에 LWC VRS에서는 미비한 R-D 성능 저하로 전력 감소 효과를 얻을 수 있도록 하기 위하여 LWC의 압축률을 3/8로 결정하였다. 기존의 영상 저장 장치에 추가적으로 LPFC와 다운 샘플링을 적용한 D-LPFC VRS의 R-D 곡선은 회색으로 압축률에 따라 LPFC3/8, LPFC1/4, LPFC3/16로 제시 되었다. D-LPFC VRS의 경우, 다운 샘플링의 사용으로 R-D 성능 저하가 상대적으로 크고 화질이 특정 수준에서 saturation되는 문제가 있지만 2,500Kbps 이하의 낮은 bitrate 영역에서는 오히려 기존의 영상 저장 장치보다도 높은 R-D 성능을 보인다. 또한, 압축률 3/8과 1/4 사이에는 큰 차이가 없지만 압축률 3/16부터 R-D 성능 저하가 급격히 심해진다. 이처럼 LWC VRS와 D-LPFC VRS에서 R-D 성능 저하가 심해지는 압축률이 차이를 보이는 이유는 D-LPFC VRS에서는 다운 샘플링의 활용으로 인해 경량화 압축 방식인 LPFC가 R-D 성능에 직접적으로 미치는 영향이 상대적으로 감소되기 때문이다. D-LPFC VRS는 LWC VRS보다 더욱 많은 전력 감소 효과를 얻기 위하여 제안된 시스템이기 때문에 전력 감소 효과에 중점을 두고 LWC

VRS보다 조금 더 높은 압축률을 사용하여 임시 저장을 위한 전력 감소 효과를 더 줄이는 것이 중요하다. 그렇기 때문에 D-LPFC VRS에서는 LPFC의 압축률을 1/4로 결정하였다. 이처럼 실험 결과에 기반하여 LWC VRS와 D-LPFC VRS에서 각각 LWC 모듈과 LPFC 모듈이 임시 저장을 위해 사용할 압축률을 결정하였으며 그에 따른 전력 감소 효과를 3.3장에서 설명한다.

표 3.3 영상 저장 장치 R-D 성능 측정을 위한 실험 환경

실험 영상	HD (1280×720) 90 프레임	Aspen Factory Pedestrian Area	Rush Hour Sunflower Tractor
H.264/AVC 동작 환경	Profile Quantization Parameter (QP) Group of Pictures (GOP)	Baseline 16,20,24,28,32,36 IPPPP...	
	LWC & LPFC 압축률	3/8, 1/4, 3/16	

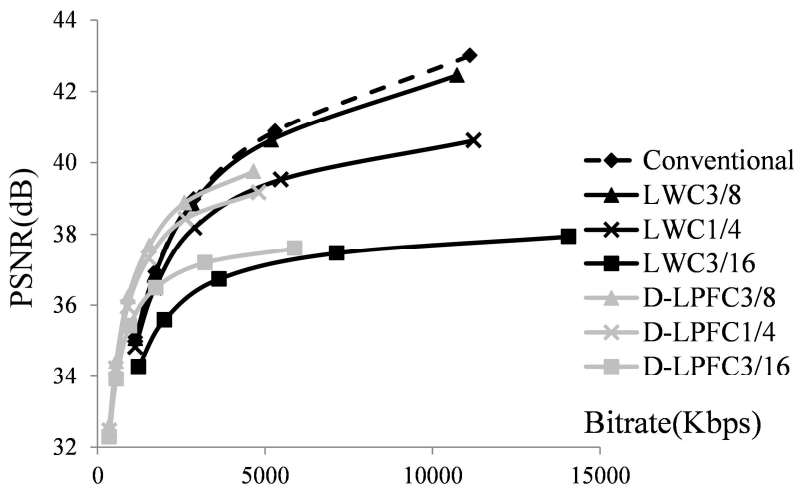


그림 3.8 제안된 영상 저장 장치들의 R-D 성능 비교

### 3.3 성능 평가

이 장에서는 제안된 멀티 압축 모듈을 통한 영상 저장 장치들의 자체 전력 감소 효과를 보이고 제안된 영상 저장 장치들과 기존의 영상 저장 장치를 비교하여 제안된 영상 저장 장치들의 우수성을 입증한다.

#### 3.3.1 전력 측정 방법

영상 저장 장치들의 정확한 전력을 분석하기 위해서는 각각 모듈이 내부적으로 소모되는 전력과 외부 메모리에서 소모되는 전력을 알아야 한다. 본 논문에서는 영상 압축과 관련된 모듈과 영상 압축을 위해 필요한 외부 메모리, 그리고 압축된 최종 스트림을 저장하기 위해 필요한 외부 메모리를 대상으로 전력 소모를 예측하고 비교한다. 그러기 위해 H.264/AVC 인코더, LWC 인코더, LWC 디코더, 다운 샘플러, SDRAM, 그리고 NAND 플래시 메모리의 전력 소모가 측정되었다. LPFC 인코더와 디코더의 동작의 경우, 구조의 유사성으로 인해 각각 LWC 인코더와 디코더 모듈에서 수행되기 때문에 따로 측정되지 않고 LWC의 결과를 함께 사용하였다.  $P_{264}$ ,  $P_{LWCE}$ ,  $P_{LWCD}$ ,  $P_{DOWN}$ ,  $P_{SDRAM}$ ,  $P_{FLASH}$ 를 각각 H.264/AVC 인코더, LWC (LPFC) 인코더, LWC (LPFC) 디코더, 다운 샘플러, SDRAM, 그리고 NAND 플래시 메모리에서 소모되는 전력이라고 하면 전체 전력을 다음과 같이 표현할 수 있다.

$$P_{MODE} = P_{264} + P_{LWCE} + P_{LWCD} + P_{DOWN} + P_{SDRAM} + P_{FLASH} \quad (3-1)$$

$P_{MODE}$ 는 임시 모드 혹은 저장 모드에서 시스템 전체의 전력 소모를 뜻한다. H.264/AVC 인코더의 경우는 하드웨어 기반 실시간 인코더 [35], LWC 인코더와 LWC 디코더의 경우는 1-D DWT와 SPIHT [36]이 Verilog HDL로 구현되어 사용되었다. 다운 샘플러 또한 가장 간단한 구조로 최적화하여 Verilog로 구현하여 사용하였으며 이렇게 구현된 모듈들을 Synopsys Design Compiler로 post-layout 시뮬레이션을 하여 전력 소모를 측정하였다. HD 해상도 30 fps을 만족시키기 위하여 162MHz의 동작 클럭을 가정하였고 130nm 공정 라이브러리를 사용하였다. 이렇게 측정된 내부 모듈들의 소모 전력을 표 3.4에 제시하였다.

외부 전력 예측을 위해서는 각 압축 모듈이 영상 압축을 위해 메모리에 접근하는 횟수와 메모리에 저장되는 최종 스트림의 크기를 알아야 한다. 그러기 위하여 표 3.5에는 H.264/AVC 인코더, LWC, 그리고 LPFC의 동작을 위해 필요한 메모리 용량이 제시되었다. 두 번째 행과 세 번째 행에는 각 압축 모듈의 압축률과 픽셀 당 bit 수가 제시되었다. 픽셀 당 bit 수가 차이를 보이는 것은 영상 모듈이 입력으로 YCbCr420 포맷 (12bits)을 사용하는지 YCbCr422 포맷 (16bits)을 사용하는지에 따라 달라지기 때문이다. 네 번째 행에는 각 압축 모듈의 압축률을 적용해 압축을 하였을 때, 생성된 스트림의 bit 크기를 제시하였고 다섯 번째 행과 여섯 번째 행에는 각 압축 모듈을 동작시킬 때 메모리 Write와 메모리 Read를 위해 필요한 외부 메모리 접근량을 제시하였다. 표 3.5의

정보를 바탕으로 DDR2 SDRAM의 소모 전력은 Micron에서 제공하는 memory power calculator [30]를 사용하여 측정하였고 NAND 플래시 메모리의 소모 전력은 기존의 연구 [37]에 제시된 1bit를 NAND 플래시 메모리에 program, erase, 그리고 read하기 위해 필요한 에너지량을 활용하여 계산하였다. 이렇게 구한 외부 전력과 표 3.4에서 제시된 내부 전력을 바탕으로 임시 모드와 저장 모드에서 소모되는 전력을 정리할 수 있다.

표 3.4 하드웨어 기반 모듈들의 전력 소모

	$P_{264}$	$P_{LWCE}$	$P_{LWCD}$	$P_{DOWN}$
전력 소모 (mW)	97.88	10.89	15.36	13.64

표 3.5 압축 모듈들의 외부 메모리 접근 분석

	H.264/AVC	LWC	LPFC
압축률 (%)	1	37.5	25
한 픽셀 크기 (bits)	12	16	16
초당 최종 스트림 크기 (Kbits)	3240	162000	108000
초당 메모리 Write (Kbits)	648000	0	0
초당 메모리 Read (Kbits)	972000	0	0

### 3.3.2 모드 별 전력 분석

이번 장에는 기존의 영상 저장 장치와 제안한 영상 저장 장치들에서 임시 모드와 저장 모드를 수행하기 위해 필요한 소모 전력을 예측한다. 표 3.6에는 각각의 모드에서 개별 모듈 및 메모리의 전력 소모와 그에 기반한 전체 전력 소모가 제시되었다. 실험 영상과 QP 값에 따라 최종 스트림의 크기에 차이가 발생하기 때문에 표 3.3의 여섯 가지 영상에 대해 20, 24, 28, 32, 36의 다섯 가지 QP 값을 통해 구해진 스트림 크기의 평균값을 사용하여 SDRAM과 NAND 플래시 메모리의 소모 전력을 구하였다. SDRAM의 소모 전력에는 스트림의 저장뿐 아니라 H.264/AVC 인코더를 동작하기 위해 필요한 외부 전력 또한 포함되었다. 아홉 번째 열에 각 모드에서 소모되는 전체 전력이 제시 되었으며 열 번째 열에는 제안하는 LWC VRS와 D-LPFC VRS의 전력 소모가 기존의 영상 저장 장치와 비교했을 때 어떻게 달라졌는지를 제시하였다.

임시 모드와 저장 모드에서 기존 영상 저장 장치의 전력 소모가 각각 표 3.6의 두 번째, 세 번째 행에 제시되었다. 임시 모드에서는 오로지 H.264/AVC 인코더와 SDRAM만이 입력 영상 압축 및 저장을 위해 전력을 소모하고 나머지는 동작하지 않는 상태로 있다. 동작이 필요 없는 모듈들에 대해서는 clock gating [38] 혹은 power gating [39]을 적용하여 불필요한 전력 소모를 최소화하였다. power gating이 적용될 경우, 누설 전력이 거의 무시할 수 있을 수준이 되기 때문에 power gating이 적용된 모듈에 대해서는 전력 소모가 전혀 발생하지 않는다고 가정하고 전력

예측을 진행하였다. 사전 저장 모드에서는 장기 저장하기 위하여 임시 저장된 스트림을 SDRAM에서 NAND 플래시 메모리로 옮기기 위한 전력 소모만 발생한다.

표 3.6의 네 번째와 다섯 번째 행에는 LWC VRS의 전력 소모가 제시되었다. 네 번째 행에 제시된 임시 모드에서는 입력 영상을 임시 저장하기 위하여 LWC 인코더와 SDRAM에서만 전력이 소모된다. 다섯 번째 행에 제시된 사전 저장 모드에서는 임시 저장된 스트림의 재압축을 위해 H.264/AVC 인코더, LWC 디코더, SDRAM, 그리고 NAND 플래시 메모리에서 전력이 소모된다. 임시 모드의 경우, LWC VRS에서는 전력 소모가 큰 H.264/AVC 인코더가 동작하지 않기 때문에 압축 모듈 자체의 연산량과 외부 메모리 접근이 모두 감소해서 239.34mW의 전력 소모가 감소하였다. 반면에, 사전 저장 모드에서는 재압축을 위해 H.264/AVC 인코더뿐만 아니라 LWC 디코더에서도 전력을 소모하기 때문에 236.8mW만큼의 전력 소모가 증가한다. 주목할 점은 기존의 영상 저장 장치의 임시 모드와 LWC VRS의 사전 저장 모드에서 모두 H.264/AVC 인코딩을 수행하지만,  $P_{\text{SDRAM}}$ 이 차이를 보인다. LWC VRS의 사전 저장 모드에서  $P_{\text{SDRAM}}$ 이 더 작은 것을 확인할 수 있는데, 이는 LWC VRS의 사전 저장 모드에서는 H.264/AVC 인코더의 입력 영상이 이미 SDRAM에 저장되어 있고 이 스트림을 읽어와서 LWC 디코더로 디코딩해서 사용한다. 그렇기 때문에 LWC VRS의 사전 저장 모드에서 H.264/AVC 인코더가 동작할 때에는 입력 영상을 저장하기 위한 외부 메모리 접근이 불필요하고 메모리에서 읽어 오는 영상의 크기 또한 LWC의 압축률만큼



감소되어서 프레임 메모리 압축 [5]을 사용한 것처럼 입력 영상을 위한 외부 메모리 접근이 줄어드는 효과를 얻을 수 있다. 그러나 한 가지 단점은 임시 모드에서 LWC 인코더를 사용하여 임시 저장을 수행하게 되면 LWC의 압축률이 높지 않기 때문에 임시 저장을 위하여 사용되어야 하는 SDRAM의 영역이 넓어지면서 refresh operation을 통해 저장된 정보를 유지해야 하는 영역이 넓어지게 되어서 약간의 SDRAM 소모 전력이 증가한다. 이러한 두 가지 차이점을 반영한 결과, SDRAM의 전력 소모는 LWC VRS의 사전 저장 모드에서 기존 시스템의 임시 모드보다 약 20%정도 낮은 값으로 나타나게 된다.

표 3.6의 여섯 번째와 일곱 번째 행에는 D-LPFC VRS의 전력 소모가 제시되었다. 여섯 번째 행에 제시된 임시 모드에서는 LWC VRS와 마찬가지로 LPFC 인코더와 SDRAM에서만 입력 영상의 임시 저장을 위해 전력이 소모된다. LWC VRS의  $P_{SDRAM}$ 과 D-LPFC VRS의  $P_{SDRAM}$ 이 다른 이유는 LWC VRS의 압축률은 3/8이고 D-LPFC VRS의 압축률은 1/4이기 때문에 SDRAM에 임시 저장되는 스트림의 크기가 다르기 때문이다. 일곱 번째 행에 제시된 사전 저장 모드에서는 임시 저장되어 있는 스트림의 재압축을 위해 H.264/AVC 인코더, LPFC 디코더, 다운 샘플러, SDRAM, 그리고 NAND 플래시 메모리에서 전력이 소모된다. LWC VRS와 비교했을 때, 다운 샘플러의 사용으로 추가적인 전력 소모가 발생하지만 그로 인하여 H.264/AVC 인코더, SDRAM, NAND 플래시 메모리의 소모 전력이 모두 감소하는 효과를 얻을 수 있다. 이는 처리 되어야 하는 영상의 크기가 1/4로 감소하기 때문에 그로 인해 내부적인 모듈의 동작과 함께

외부 메모리 접근, 그리고 최종 스트림의 크기도 감소하기 때문이다. 기존의 영상 저장 장치와 비교했을 때, 임시 모드의 경우에는 전력 소모의 감소폭이 LWC VRS와 비슷한 수치인 242.26mW로 나타난다. 비록 사전 저장 모드에서는 재압축으로 인하여 기존 영상 저장 장치 대비 94.03mW의 전력 소모가 증가하지만, 증가되는 폭이 LWC VRS에 비해 약 40% 수준으로 훨씬 감소되었다.

여덟 번째 열에는 사후 저장 모드의 전력 소모가 제시 되었다. 세 가지 영상 저장 장치에서 사후 저장 모드의 동작이 모두 같기 때문에 하나의 열에 함께 제시하였다. 사후 저장 모드에서는 기본적으로 기존 영상 저장 장치의 임시 모드와 비슷하게 H.264/AVC 인코더로 입력 영상을 압축해서 메모리에 저장을 하게 된다. 다만, 기존 영상 저장 장치의 임시 모드에서 압축된 스트림을 SDRAM에 저장했다면 사후 저장 모드에서는 압축된 스트림을 바로 NAND 플래시 메모리에 장기 저장하게 된다. 그렇기 때문에 SDRAM 소모 전력에 차이가 있으며 추가적으로 NAND 플래시 메모리에서 전력 소모가 발생한다.

표 3.6 각각 모드에서 영상 저장 장치들의 전력 소모

영상저장장치	모드	P <sub>264</sub> (mW)	P <sub>LWCE</sub> (mW)	P <sub>LWCD</sub> (mW)	P <sub>DOWN</sub> (mW)	P <sub>SDRAM</sub> (mW)	P <sub>NAND</sub> (mW)	P <sub>MODE</sub> (mW)	P <sub>SAVING</sub> (mW)
기존	임시	97.88				236.34		334.22	-
	사전저장					65.83	5.72	71.55	-
LWC VRS	임시		10.89			83.99		94.88	239.34
	사전저장	97.88		15.36		189.54	5.57	308.35	-236.8
D-LPFC VRS	임시		10.89			81.07		91.96	242.26
	사전저장	24.47		15.36	13.64	107.4	4.71	165.58	-94.03
사후 저장		97.88				236.12	5.72	339.72	-

### 3.3.3 $F_{\text{RECORD}}$ 에 따른 시스템 전체 전력 및 성능 분석

3.3.2 장에는 각각 영상 저장 장치에서 임시 모드와 두 가지 저장 모드의 전력 소모가 독립적으로 제시되었다. 하지만, 시스템 전체의 전력 소모를 예측하기 위해서는 임시 모드와 저장 모드의 전력 소모를 함께 고려하여야 한다. 앞에서 언급했듯이 저장 모드는 임시 저장된 사건이 중요하다고 판단되어 장기 저장으로 넘어갈 경우에만 활성화되기 때문에 임시 모드가 저장 모드로 전환되는 비율인  $F_{\text{RECORD}}$ 가 전체 시스템의 전력 소모를 구할 때 포함되어야 하며, 시스템 전체의 전력 소모  $P_{\text{TOTAL}}$ 은 다음과 같이 구할 수 있다.

$$P_{\text{TOTAL}} = P_{\text{TEMPORARY}} + (P_{\text{F-RECORD}} + P_{\text{B-RECORD}}) \times F_{\text{RECORD}} \quad (3-2)$$

$P_{\text{TEMPORARY}}$ ,  $P_{\text{F-RECORD}}$ , 그리고  $P_{\text{B-RECORD}}$ 는 영상 저장 장치에서 각각 임시 모드, 사전 저장 모드, 그리고 사후 저장 모드에서의 전력 소모를 뜻한다.  $F_{\text{RECORD}}$ 는 영상 입력이나 사건 탐지 알고리즘에 의해 약간의 영향을 받지만 영상 저장 장치의 용도 및 동작 환경에 따라 매우 큰 차이를 보이게 된다. 본 논문에서는 모든 가능성을 열어두기 위하여  $F_{\text{RECORD}}$ 를 0%부터 100%까지 모든 경우에 대하여 고려하여 실험을 진행한다.

표 3.7에는 다양한  $F_{\text{RECORD}}$ 에 따라 (3-2)를 통해 구해진 영상 저장 장치 전체의 전력 소모를 제시하였다. 두 번째 열부터 네 번째 열에는 각각 기존의 영상 저장 장치, LWC VRS, 그리고 D-LPFC VRS의 소모

전력이 제시되었다. 다섯 번째 열과 여섯 번째 열에는 기존의 영상 저장 장치와 비교했을 때, 각각 LWC VRS와 D-LPFC VRS가 전력 소모를 얼마나 감소시켰는지 (전력 절약)를 나타냈다. 일곱 번째 열과 여덟 번째 열에는 기존 영상 저장 장치 대비 LWC VRS와 D-LPFC VRS로 인해 감소된 전력의 비율 (전력 이득)을 각각 백분율로 나타내었다. 결과를 살펴보면,  $F_{\text{RECORD}}$ 가 증가하게 되면 곧 장기 저장되는 비율이 높아지는 것을 뜻하기 때문에 세 가지 영상 저장 장치 모두 전력 소모가 증가하게 되는데 그 증가되는 폭이 시스템에 따라 차이를 보인다. LWC VRS의 경우, 최대 239.3mW의 전력 감소 효과가 있으며 이는 최대 71.6%의 전력 소모를 감소시킬 수 있음을 뜻한다. 그러나  $F_{\text{RECORD}}$ 가 높아지면 높아질수록 전력 감소 효과가 감소하며  $F_{\text{RECORD}}$ 가 100%가 될 경우에는 전력 절약 효과가 2.5mW (0.3%)로 거의 없는 것을 확인할 수 있다. 이는 저장 모드로 전환되는 비율이 높아지면 H.264/AVC 인코딩을 통해 재압축해야 하는 빈도가 높아지기 때문에 그로 인해 소모되는 전력이 증가되면서 야기된 결과이다. 그러나  $F_{\text{RECORD}}$ 가 100%라는 것은 모든 임시 모드가 저장 모드가 되는 것이기 때문에 결국 모든 영상이 장기 저장이 되어야 하는 것을 의미한다. 이럴 경우는 입력 영상을 임시 저장을 할 필요가 없이 캡코더처럼 계속해서 사후 저장 모드를 활성화하여 장기 저장을 수행하면 되기 때문에 임시 모드 자체가 불필요한 영상 저장 장치가 된다. 그러므로 이런 경우에는 임시 저장 용도로 LWC를 활용하여 멀티 압축 모듈을 통한 영상 저장 장치를 구현하는 것이 영상 저장 장치의 전력 소모를 감소시키는데 효과가 크지 않다. 이처럼 상황에 맞는

영상 저장 장치의 분석 및 활용 방법은 5 장에서 자세하게 설명한다.

D-LPFC VRS의 경우,  $F_{\text{RECORD}}$ 와 무관하게 항상 LWC VRS보다 전력 감소 효과가 크게 나타난다. 최소 148.2mW에서 최대 242.3mW의 전력 감소 효과가 있으며 이는 기존 영상 저장 장치 대비 최소 19.9%에서 최대 72.5%의 전력 소모를 감소시킬 수 있음을 뜻한다. 언급했듯이  $F_{\text{RECORD}}$ 가 0%일 때 전력 소모 효과가 최대치를 보이고 100%일 때 전력 소모 효과가 최소치를 보이는데 전력 감소 효과가 최대치일 경우, LWC VRS와 D-LPFC VRS 사이에 차이가 크지 않지만 최소치일 경우, 둘 사이에 차이가 매우 크게 나타난다. 이는 D-LPFC VRS에서는 다운 샘플링의 사용으로 사전 저장 모드에서 소모되는 전력을 LWC VRS에 비해 크게 감소시켰기 때문이다.

표 3.7  $F_{\text{RECORD}}$ 에 따른 영상 저장 장치들의 전력 소모

$F_{\text{RECORD}}$ (%)	전력 소모 (mW)			전력 절약(mW)		전력 이득 (%)	
	기존	LWC VRS	D-LPFC VRS	LWC VRS	D-LPFC VRS	LWC VRS	D-LPFC VRS
0	334.2	94.9	92.0	239.3	242.3	71.6	72.5
5	354.8	127.3	117.2	227.5	237.6	64.1	67.0
10	375.3	159.7	142.5	215.7	232.9	57.5	62.0
20	416.5	224.5	193.0	192.0	223.5	46.1	53.7
25	437.0	256.9	218.3	180.1	218.8	41.2	50.1
30	457.6	289.3	243.6	168.3	214.1	36.8	46.8
40	498.7	354.1	294.1	144.6	204.6	29.0	41.0
50	539.9	418.9	344.6	120.9	195.2	22.4	36.2
60	581.0	483.7	395.1	97.3	185.8	16.7	32.0
70	622.1	548.5	445.7	73.6	176.4	11.8	28.4
75	642.7	580.9	470.9	61.7	171.7	9.6	26.7
80	663.2	613.3	496.2	49.9	167.0	7.5	25.2
90	704.4	678.1	546.7	26.2	157.6	3.7	22.4
100	745.5	743.0	597.3	2.5	148.2	0.3	19.9

## 제4장 H.264/AVC 자체적인 전력 감소 기법

### 4.1 H.264/AVC 자체적인 전력 감소의 필요성

앞에서 설명한 것처럼 기존의 영상 저장 장치뿐만 아니라 멀티 압축 모듈을 통한 영상 저장 장치에서도 H.264/AVC 인코더는 주 영상 압축 방식으로 사용된다. 3 장에서 설명된 것처럼  $F_{\text{RECORD}}$ 가 낮은 경우에는 LWC VRS를 통하여 큰 전력 감소 효과를 얻을 수 있고  $F_{\text{RECORD}}$ 가 높더라도 target bitrate가 낮은 경우에는 다운 샘플링을 활용하는 D-LPFC VRS를 통해 높은 전력 감소 효과를 유지할 수 있다. 그러나  $F_{\text{RECORD}}$ 와 target bitrate가 모두 높은 장치의 경우에는 H.264/AVC 인코더의 활용 빈도가 높음에도 불구하고 다운 샘플링을 활용할 수 없기 때문에 제안된 멀티 압축 모듈을 통한 영상 저장 장치만으로는 높은 전력 감소 효과를 얻는 것이 불가능하다. 결국 이런 경우에는 H.264/AVC 인코더 안에서 자체적으로 전력을 감소시키는 것이 필수적이다. 본 논문에서는 H.264/AVC 인코더의 성능을 최적화하면서 효과적으로 전력을 감소시키는 방식을 제안하고 이를 영상 저장 장치에 활용하여 최적화된 영상 저장 장치를 구현한다.

## 4.2 Power-Aware Design

제안하는 power-aware design은 정해진 전력 목표를 이루기 위해 H.264/AVC 인코더에 보편적으로 활용되는 저전력 알고리즘들의 동작 옵션을 효과적으로 조합하여 인코더의 전력 소모를 제어한다. 그러므로 power-aware design의 역할은 R-D 성능과 전력 소모 간의 trade-off 관계에 있는 여러 저전력 알고리즘의 옵션들을 활용하여 이런 알고리즘 동작 옵션들의 최적의 조합을 찾는 것이다. 이런 조합들을 통해 원하는 전력 목표를 가장 뛰어난 R-D 성능으로 이룰 수 있으며 전력 목표에 따라 이런 조합들을 몇 가지 단계로 구성하여 Power-Level Table (PLT)이 만들어진다.

### 4.2.1 Power Level Table의 생성

PLT는 다양한 저전력 알고리즘들의 동작 옵션을 정의하여 순차적인 전력 감소 효과를 가질 수 있게 한다. 동작 옵션들은 주어진 전력 목표에서 최고의 화질을 이룰 수 있도록 선택된다. 이러한 PLT는 그림 4.1처럼 총 여섯 단계를 거쳐 구성된다. 첫 단계에서는 개별적인 알고리즘들의 각각 옵션들의 전력 감소 효과가 시뮬레이션을 통해 측정된다. 이러한 시뮬레이션은 전력 제어를 위해 활용되는 모든 개별 알고리즘의 옵션들에 대해 수행되며 각각 알고리즘의 결과는 다른

알고리즘과 독립적으로 측정된다. 정확한 전력 소모 예측을 위하여 개별 알고리즘의 전력 측정에는 측정을 위해 많은 시간을 필요로 하지만 정확한 측정 결과를 제공하는 post-layout 시뮬레이션이 필수적이다.

다음으로 여러 알고리즘들과 그들의 수많은 옵션들이 조합되어 함께 적용되는 상황의 전력 소모가 예측된다. 가능한 모든 알고리즘의 옵션들의 조합을 측정하여야 하는데 이를 전부 post-layout 시뮬레이션을 통해 측정하는 것은 너무나도 많은 시간을 필요로 한다. 이런 문제를 해결하기 위하여 알고리즘 조합들의 전력 측정에는 post-layout 시뮬레이션을 수행하지 않고 전력 예측 모델을 활용한다. 이러한 모델은 첫 단계에서 측정된 개별 알고리즘 옵션들의 전력 결과를 활용하여 여러 알고리즘 옵션들이 조합되었을 때의 전력을 예측하게 되며 해당 모델에 관한 자세한 설명은 4.3 장에서 제시한다.

세 번째 단계에서는 두 번째 단계를 통해 전력 소모가 예측된 다양한 알고리즘 조합들의 R-D 성능 변화가 레퍼런스 소프트웨어 시뮬레이션을 통해 측정된다. 소프트웨어 시뮬레이션은 post-layout 시뮬레이션보다 훨씬 더 빠른 시간 안에 가능하기 때문에 모든 알고리즘 조합의 R-D 성능을 예측이 아닌 실제 측정을 통해 얻는 것이 가능하다.

네 번째 단계에서는 모든 알고리즘 조합에 대하여 두 번째 단계에서 예측된 전력 감소 효과와 세 번째 단계에서 측정된 R-D 성능 저하의 상관 관계를 정의한다. 다섯 번째 단계에서 PLT를 구성하게 될 적당한 전력 레벨의 개수를 결정하는데 이런 전력 레벨의 개수는 PLT가 인코더에 적용되어 전력을 조절할 때, 인코더의 성능에 영향을 미친다.



마지막 단계에서는 R-D 성능을 최적화하는 알고리즘 동작 옵션들을 선택하고 이를 PLT로 정의한다. 4.4 장에서는 H.264/AVC의 전력 감소를 위해 보편적으로 활용되는 네 가지 알고리즘을 사용하여 실제로 PLT를 구성하는 예시를 제시한다.



그림 4.1 Power-Level Table을 구성하는 방법

#### 4.2.2 입력 영상의 특징이 미치는 영향

저전력 알고리즘이 인코더의 동작에 미치는 효과는 입력 영상의 특징에 따라 영향을 받는다. 그러므로 이러한 특성을 고려하여 가장 효율적인 전력 감소를 이루기 위하여 제안된 power-aware design은 입력 영상을 입력 영상의 크기 (large, small)와 움직임 정도 (fast, slow)에 따라 네 가지로 분류한다. 각 네 가지 영역 (fast-large, fast-small, slow-large, slow-small)에 대하여 4.2.1 장에서 설명한 PLT를 구성하는 방법을 적용하여 네 가지의 각각 다른 PLT가 구성된다. 영상의 크기는 영상의 가로 크기가 1,000 픽셀보다 큰지 작은지에 따라 분류된다. 움직임 정도는 이전 30 프레임의 움직임 벡터 평균 값이 한 픽셀보다 큰지 작은지에 따라 분류된다. 이러한 기준들은 모두 레퍼런스 소프트웨어 시뮬레이션을 통해 결정되었다. 단, 첫 30 프레임은 이전 프레임의 움직임 벡터 정보가 없기 때문에 항상 slow 영상으로 가정된다.

### 4.2.3 전력 레벨의 유동적 선택 기법

PLT는 각 레벨이 인코더에 적용되었을 때, 얻을 수 있는 전력 감소 효과를 정의한다. 물론, 이 값은 예측된 값이기 때문에 실제로 소모되는 전력과는 차이를 보일 수 있다. 그러므로 전력 목표를 항상 만족시키기 위해서 실제로 소모된 전력과 사전에 예측된 전력 소모 값이 비교되어야 한다. 비교 결과, 실제로 소모된 전력과 예측된 전력 소모의 값이 다르다면 인코더는 향후 남은 동작에서 실시간으로 전력 소모를 제어하여 원하는 전력 목표를 맞춰야만 한다. 그러기 위하여 인코더가 동작하는 동안 인코딩 주기가 작은 구간으로 세분화되어 각 주기 별로 전력 소모가 제어될 수 있도록 설계가 되어야만 한다.

$P_T$ 를 인코더에 주어진 전체 전력이라고 가정하자.  $P_{CUR}$ 가 현재 주기에서 사용 가능한 전력,  $P_{PAST}$ 가 이전의 주기들에서 이미 사용된 전력, 그리고  $P_{FUR}$ 가 남은 주기들이 사용해야 할 전력을 나타낼 때,  $P_{CUR}$ 는 다음과 같은 식을 통해 구할 수 있다.

$$P_{CUR} = P_T - (P_{PAST} + P_{FUR}) \quad (4-1)$$

모든 주기에서  $P_{CUR}$ 는 (4-1)을 통해 계산되며  $P_{CUR}$ 에 가장 적합한 예측 소모 전력을 갖는 레벨이 PLT 중에서 선택된다.  $P_{FUR}$ 의 경우, 아직 처리되지 않은 미래의 프레임들이 사용할 수 있도록 할당하는 전력 값이기 때문에 실제로 인코딩이 수행되기 전에는 정확한 값을 알 수 없다. 그러므로  $P_{FUR}$ 의 예측을 위하여 모든 주기가 평균값을 사용한다고

가정하고 다음 식처럼 전체 전력을 전체 주기 ( $PE_T$ )로 나눈 평균 값에 남은 주기들 ( $PE_{RE}$ )의 개수를 곱한 값을 항상  $P_{FUR}$ 로 설정하고 적합한 레벨의 선택을 수행한다.

$$P_{FUR} = PE_{RE} \times P_T / PE_T \quad (4-2)$$

#### 4.2.4 전력 레벨 적용 알고리즘

전력 레벨의 유동적 선택 기법을 통해 얻어진 현재 주기에 할당된 전력과 PLT에 정의된 각 레벨의 예측 전력 소모를 활용하여 인코더에 가장 적합한 전력 레벨을 적용시키는 것이 가능하다. 이렇게 반복적으로 첫 주기부터 마지막 주기까지 인코더에 가장 적합한 레벨을 적용하여 인코더를 동작시키는 알고리즘이 그림 4.2에 제시 되었다. 우선, (4-1)을 통해 현재 주기에서 사용 가능한 전력을 구하고 이어서 네 가지로 분류된 크기/움직임 기반 PLT들 중에서 입력 영상에 가장 적합한 PLT를 선택한다. 세 번째 단계에서는 선택된 PLT 안에서 현재 전력 상황인  $P_{CUR}$ 에 가장 적합한 전력 레벨을 선택한다. 선택된 전력 레벨로 현재 주기를 인코딩 하고 나면 마지막으로 실제 소모된 전력을 기반으로 전력 상태를 갱신하게 된다. 이러한 네 가지 단계가 마지막 주기가 인코딩 될 때까지 반복되게 된다. 제시한 알고리즘을 사용할 경우, 모든 주기에서 가장 적합한 전력 레벨이 현재 전력 상황을 고려하여 조절되기 때문에 전력 목표를 항상 맞추는 것이 가능하다. 특히, PLT가 사전에 미리 정의되어 있기 때문에 매우 적은 연산량을 통해 주기마다 적합한 레벨을 변경하는 것이 가능하다. 그러므로 제시된 알고리즘을 실시간으로 인코더에 적용하여 활용하는 것이 가능하다.

이러한 레벨 적용 알고리즘에서 적합한 전력 레벨을 갱신하는 주기는 기기의 특징이나 배터리 용량, 사용자의 선택 등에 따라 변경될 수 있는데 이러한 전력 레벨 변경 주기가 인코더의 성능에 영향을 미친다.

전력 레벨 변경 주기가 압축 성능에 미치는 영향을 보이기 위하여 시뮬레이션을 수행하였다. 일반적으로 전력 레벨 변경을 위한 연산량이 미비하다면 영상의 특징이나 배터리 상황의 변화가 인코더 동작에 즉시 반영될 수 있기 때문에 변경 주기가 짧을수록 더 효과적이다. 그림 4.3에는 다양한 레벨 변경 주기에 대하여 압축 성능을 Bjontegaard Delta Bit Rate (BDBR) [40]로 나타낸 그래프가 제시되었다. X축은 전력 레벨 변경 주기를 횟수 단위로 나타내었다. 횟수 단위라는 것은 인코더가 동작해야 하는 전체 시간이 주어졌을 때, 그 안에서 몇 번의 주기 교체를 시도하는 지를 의미한다. Y축은 BDBR의 변화를 나타내었는데 BDBR은 레벨 변경 주기가 50번인 경우를 기준으로 하여 측정되었다. 비교 대상이 되는 주기는 300번, 150번, 100번, 50번, 30번, 15번, 10번, 5번, 3번, 그리고 2번으로 선정하였다. 결과를 살펴 보면 가장 좋은 BDBR을 보이는 지점과 가장 안 좋은 BDBR을 보이는 지점의 차이가 2.23%로 그렇게 크지 않은 것을 확인할 수 있으며 이는 곧 전력 레벨의 변경 주기가 시스템에 미치는 영향이 큰 편은 아닌 것을 확인할 수 있다. 예상한 것처럼 대체적으로 주기가 짧아질수록 (주기 변경 횟수가 증가할수록) 성능이 좋아지는 경향을 보이는데 50번에서 10번 사이를 기준으로 성능이 saturation 되어서 그 이후로는 변경 횟수가 증가하더라도 성능의 차이가 거의 무시할 수준이 된다. 그렇기 때문에 본 논문에서는 전력 레벨을 갱신하는 주기를 60번으로 설정하였다. 만약 1시간동안 인코더가 동작되어야 한다면, 변경 주기가 1분이 되는 것이고 3시간동안 인코더가 동작되어야 한다면, 변경 주기가 3분이 되는 것이다.

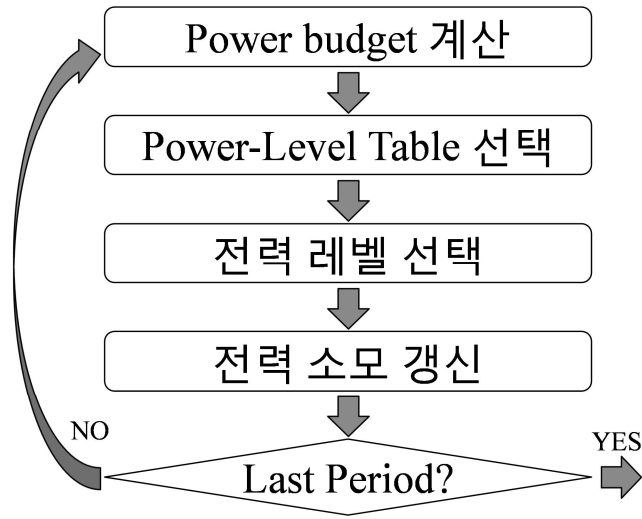


그림 4.2 전력 레벨 적용 알고리즘

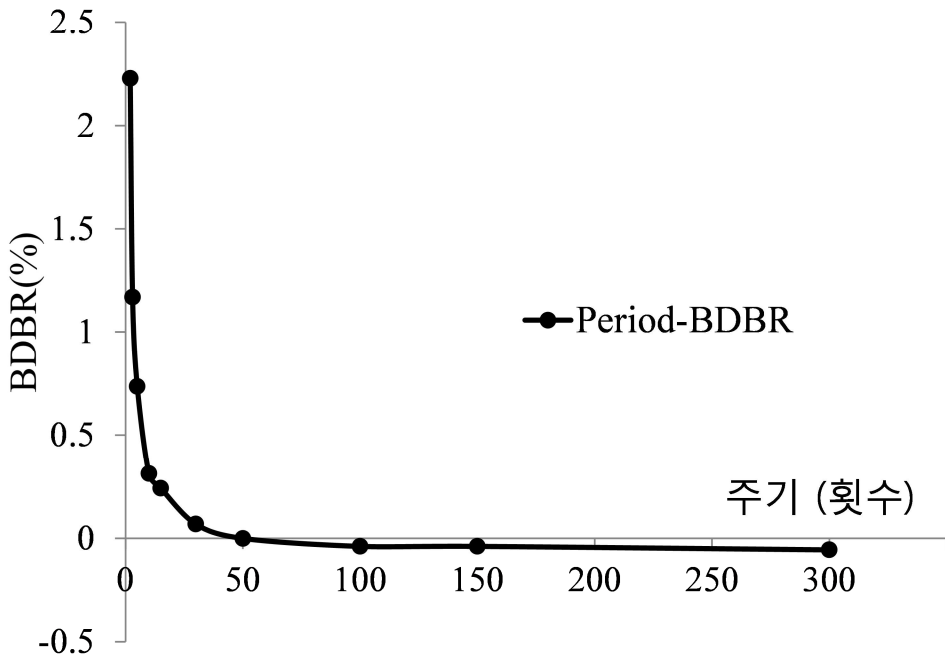


그림 4.3 전력 레벨 변경 주기에 따른 성능 변화

### 4.3 전력 예측 모델

R-D 성능과 전력 소모 간의 trade-off 관계에 있는 수많은 저전력 알고리즘이 존재한다. 이번 장에서는 다양한 저전력 알고리즘이 함께 인코더에 적용될 때, 전력 소모를 예측하는 모델에 대해 설명한다. 저전력 알고리즘은 인터 프레임에 적용 가능한 알고리즘과 인트라 프레임에 적용될 수 있는 두 가지로 분류된다. 이런 두 가지 영역의 알고리즘을 나누어서 다음과 같은 식으로 전체 전력 감소 효과  $PS_{TOTAL}$ 을 정의할 수 있다.

$$PS_{TOTAL} = PS_{P-frame} \times (1 - 1/P) + PS_{I-frame} \times 1/P \quad (4-3)$$

$PS_{P-frame}$ 은 인터 프레임에서 얻어지는 전력 감소 효과를 뜻하고  $PS_{I-frame}$ 은 인트라 프레임에서 얻어지는 전력 감소 효과를 뜻한다. P는 인트라 프레임이 삽입되는 주기를 뜻한다.

(4-3)의 두 가지 요소 가운데,  $PS_{P-frame}$ 를 먼저 분석한다. 인터 프레임에 필요한 모듈은 크게 IME, FME, IP, ADF, VLC의 다섯 가지다. 즉, 전체 전력 감소 효과는 위의 다섯 가지 모듈의 전력 감소 효과의 합으로 구할 수 있다. 인코더의 전력 감소는 대부분 IME, FME, 그리고 IP 모듈을 통하여 이루어지고 ADF와 VLC 모듈을 통한 전력 감소는 크게 활용되지 않는다. 이는 연산량이나 gate count 측면에서 보았을 때, ADF와 VLC 모듈이 H.264/AVC 인코더 안에서 차지하는 비중이 IME, FME, IP 모듈에



비해 크지 않기 때문이다. 표 4.1 ([41]의 TABLE II 참조)에는 H.264/AVC 인코더를 구성하는 하드웨어 모듈들의 gate count와 내부 메모리가 제시되었다. Gate count의 측면에서 볼 때, ADF (표 4.1의 DB)는 IME, FME, IP와 비교했을 때, 각각 6.6%, 5.01%, 16.65%에 해당되고 VLC (표 4.1의 EC)는 IME, FME, IP와 비교했을 때, 각각 9.61%, 7.3%, 24.24%에 해당된다. 메모리 크기의 측면에서도, ADF (표 4.1의 DB)는 IME, FME, IP와 비교했을 때, 각각 6.64%, 6.58%, 18.16%에 해당되고 VLC (표 4.1의 EC)는 IME, FME, IP와 비교했을 때, 각각 9.26%, 9.19%, 25.35%에 해당된다. 그러므로 ADF와 VLC의 전력 소모는 IME, FME, IP의 전력 소모에 비해 훨씬 미비하다고 볼 수 있으며 결국 전체 소모 전력에 있어서 큰 영향을 미치지 않음을 알 수 있다. 표 4.2 ([42]의 Table 1 참조)에는 ADF와 ME, IP의 연산량을 비교한 자료가 제시되었다. “cycles”로 명시된 두 번째 열은 압축을 위한 다양한 연산을 수행할 때 각 모듈이 필요로 하는 프로세서의 연산 cycle을 나타낸다. 결과를 살펴 보면, 인터 프레임 예측 (표 4.2의 Inter Prediction), 인트라 프레임 예측 (표 4.2의 Intra Prediction)과 비교하였을 때, ADF (표 4.2의 Deblocking Filter)가 차지하는 프로세서의 연산 cycle은 매우 미비하다. 그러므로 ADF의 연산량이 전체 시스템의 연산량에 미치는 영향은 미비하다고 볼 수 있다. 본 논문에서는 이러한 자료들을 근거로 하여 ADF와 VLC를 통한 전력 감소 효과는 고려하지 않았다. 그 결과,  $PS_{P-frame}$ 은 다음 식처럼 IME의 전력 감소 효과 ( $PS_{IME}$ ), FME의 전력 감소 효과 ( $PS_{FME}$ ), 그리고 IP의 전력 감소 효과 ( $PS_{IP}$ )의 합으로 구할 수 있다.

$$PS_{P\text{-frame}} = PS_{IME} + PS_{FME} + PS_{IP} \quad (4-4)$$

IME, FME, 그리고 IP에 적용될 수 있는 저전력 알고리즘들은 크게 두 개의 카테고리로 나눌 수 있다. 첫 째, 해당 모듈의 연산량을 조절하여 전력 소모를 감소하는 방식이다. IME에 적용 가능한 탐색 범위 조절 알고리즘이 이 카테고리의 적절한 예로 볼 수 있다. 둘째, 모듈의 활성화 주기를 조절하여 전력 소모를 조절하는 방식이다. 예를 들어 조기 스킵 모드 예측 알고리즘과 같은 경우, ME 모듈과 IP 모듈의 활성화 빈도를 감소시켜서 H.264/AVC 인코더의 전력 소모를 감소시킨다. IME 모듈을 기준으로 하여 이러한 두 가지 카테고리를 수식으로 해석해 보면 다음과 같다.  $PS_{IME,RC}$ 를 첫 번째 카테고리에 해당되는 IME의 연산량을 감소시켜 얻는 전력 감소 효과라 하고  $PS_{IME,RF}$ 를 두 번째 카테고리에 해당되는 IME 모듈의 활성화 주기를 감소시켜서 얻는 전력 감소 효과라 하면 IME 모듈에서 얻을 수 있는 전력 감소 효과는 다음과 같다.

$$PS_{IME} = (1 - FE_{IME,RF}) \times PS_{IME,RC} + PS_{IME,RF} \quad (4-5)$$

$FE_{IME,RF}$ 는 소프트웨어 시뮬레이션으로 구할 수 있는 저전력 알고리즘을 통해 감소되는 IME 모듈의 활성화 빈도를 뜻한다. IME 모듈이 활성화되는 비율을 뜻하는  $(1 - FE_{IME,RF})$  항목이 연산량 감소를 통해 얻는 전력 감소 효과에 곱해지는 이유는 IME 모듈이 활성화되는 경우에만 연산량 감소를 통한 전력 감소 효과가 의미가 있기 때문이다.  $PS_{IME,RC}$ 를 얻기 위해서는 post-layout 시뮬레이션이 필요한 반면,  $PS_{IME,RF}$ 는 post-layout

시뮬레이션 없이 소프트웨어 시뮬레이션으로 모듈의 비활성화 주기를 구하여 예측할 수 있다.  $PC_{IME}$ 를 어떠한 저전력 알고리즘도 적용되지 않은 경우의 IME 모듈의 소모 전력이라 하자. 그러면  $PS_{IME,RF}$ 는  $FE_{IME,RF} \times PC_{IME}$ 로 표현할 수 있고 결국 (4-5)는 다음과 같이 표현 될 수 있다.

$$PS_{IME} = (1 - FE_{IME,RF}) \times PS_{IME,RC} + FE_{IME,RF} \times PC_{IME} \quad (4-6)$$

마찬가지로, FME와 IP 모듈에서 얻을 수 있는 전력 감소 효과를 다음과 같은 수식들로 표현할 수 있다.

$$PS_{FME} = (1 - FE_{FME,RF}) \times PS_{FME,RC} + FE_{FME,RF} \times PC_{FME} \quad (4-7)$$

$$PS_{IP} = (1 - FE_{IP,RF}) \times PS_{IP,RC} + FE_{IP,RF} \times PC_{IP} \quad (4-8)$$

$FE_{FME,RF}$ 와  $FE_{IP,RF}$ 는 각각 FME 모듈과 IP 모듈이 활성화 되지 않을 경우의 비율을 뜻하고  $PC_{FME}$ 와  $PC_{IP}$ 는 각각 어떠한 저전력 알고리즘도 적용되지 않았을 때, FME 모듈의 소모 전력과 IP 모듈의 소모 전력을 뜻한다. (4-6), (4-7), 그리고 (4-8)을 (4-4)에 대입하면 다음과 같은 수식을 얻을 수 있다.

$$PS_{P-frame} = (1 - FE_{IME,RF}) \times PS_{IME,RC} + FE_{IME,RF} \times PC_{IME} + (1 - FE_{FME,RF}) \times PS_{FME,RC} + FE_{FME,RF} \times PC_{FME} + (1 - FE_{IP,RF}) \times PS_{IP,RC} + FE_{IP,RF} \times PC_{IP} \quad (4-9)$$

(4-9)를 통해 전력 소모를 예측하기 위해서는  $PS_{IME,RC}$ ,  $FE_{IME,RF}$ ,  $PC_{IME}$ ,  $PS_{FME,RC}$ ,  $FE_{FME,RF}$ ,  $PC_{FME}$ ,  $PS_{IP,RC}$ ,  $FE_{IP,RF}$ , 그리고  $PC_{IP}$ 의 값을 측정하여야

한다.  $PS_{IME,RC}$ ,  $PS_{FME,RC}$ ,  $PS_{IP,RC}$ 의 경우, 모두 단일 알고리즘이 특정 모듈에 적용되어 얻을 수 있는 전력 감소 효과이기 때문에 단일 post-layout 시뮬레이션으로 구할 수 있다. 또한,  $FE_{IME,RF}$ ,  $FE_{FME,RF}$ ,  $FE_{IP,RF}$ 는 post-layout 시뮬레이션에 비해 훨씬 더 간단하고 빠르게 수행될 수 있는 소프트웨어 시뮬레이션을 통해 측정될 수 있다. 그리고  $PC_{IME}$ ,  $PC_{FME}$ ,  $PC_{IP}$  역시 단일 post-layout 시뮬레이션으로 구할 수 있다. 그러므로 모든 알고리즘 조합의 전력 소모를 구하기 위해 필요로 하는 post-layout 시뮬레이션의 횟수가 사용된 저전력 알고리즘들의 옵션들로 구성할 수 있는 모든 알고리즘 옵션들의 조합의 개수가 아닌 단순히 사용된 저전력 알고리즘의 옵션들의 개수의 합에 비례하게 된다. 즉, 제안한 전력 예측 모델은 필요로 하는 post-layout 시뮬레이션의 횟수를  $O(N!)$  복잡도에서  $O(N)$  복잡도로 대폭 감소시킨다 ( $N$ =사용하는 저전력 알고리즘의 옵션의 수).

이어서 (4-3)의 두 가지 요소 중,  $PS_{I-frame}$ 을 분석한다. 인트라 프레임의 경우, IME와 FME 모듈을 사용하지 않기 때문에 이러한 ME 모듈의 비활성화가 전력 감소 효과를 가져온다 ( $PC_{IME} + PC_{FME}$ ). 또한, IP 모듈에 저전력 알고리즘이 적용되어 자체적으로 추가적인 전력 감소 효과를 가져올 수 있으며 이는 (4-8)과 비슷한 방식으로 구할 수 있다. 다만, IP 모듈은 인트라 프레임에서 항상 활성화되어야 하므로 연산량 감소로 인한 전력 감소 효과만이 적용될 수 있다 ( $PS_{IP} = PS_{IP,RC}$ ). 그러므로  $PS_{I-frame}$ 는 다음과 같이 구해진다.

$$PS_{I-frame} = PC_{IME} + PC_{FME} + PS_{IP,RC} \quad (4-10)$$

식 (4-3)부터 (4-10)을 통해 예측된 알고리즘 조합들의 전력 감소 효과는 실제 post-layout 시뮬레이션으로 측정된 결과와 4.4 장에서 비교되는데 식으로 예측된 값과 실제 측정된 값이 거의 유사한 결과를 보인다.

표 4.1 H.264/AVC 인코더를 구성하는 하드웨어 모듈들의 cost [41]

Functional Block	Gate Counts	Memory (KB)
IME Module	305211	13.71
FME Module	401885	13.82
IP Module	121012	5.01
EC Module	29332	1.27
DB Module	20152	0.91
Others Module	45176	0.00
Total	922768	34.72

표 4.2 H.264/AVC 인코더를 구성하는 하드웨어 모듈들의 연산량 [42]

Sub-function	cycles
SKIP	1284
P16x16	6932
P16x8	7288
Inter Prediction	7288
P8x16	7288
P8x8	8000
P8x4	9424
P4x8	9424
P4x4	12272
Intra Prediction	107856
I16x16	107856
I4x4	193408
I8x8	37824
Delocking Filter	2798

## 4.4 Power-Aware Design의 예시

이 장에서는 네 가지 저전력 알고리즘을 통하여 PLT를 구성하는 예시를 보인다. 예시를 보이기 위해 적용한 방식은 다른 저전력 알고리즘을 사용하더라도 마찬가지로 적용이 가능하다.

### 4.4.1 네 가지 저전력 알고리즘

R-D 성능과 전력 소모의 trade-off 관계를 조절하여 효과적으로 전력 감소 효과를 얻을 수 있는 네 가지 알고리즘이 power-aware design의 예시를 위해 선택되었다. 각 알고리즘이 아래에 간단히 설명되었다.

**FME prediction mode reduction (PMR):** FME 예측 모드 감소 알고리즘은 수행하게 될 FME 모드의 숫자를 결정하는 알고리즘 [9]으로 IME 결과에 기반하여 결정하는 것이 일반적이다. 감소된 FME의 연산량은 FME 모듈의 전력 소모 감소를 가져온다.

**IME search range control (SR):** IME 탐색 범위 조절 알고리즘은 IME의 탐색 범위를 변경함으로써 IME의 연산량을 조절한다. 넓은 탐색 범위는 더 좋은 성능을 보이지만 그에 따른 더 큰 전력 소모를 야기하고 좁은 탐색 범위는 상대적으로 낮은 성능과 작은 전력 소모를 야기한다. 이 논문에서는 content-adaptive 탐색 범위 [43]를 기반으로 하여 [10]에 제시된

탐색 범위 조절 기법을 통해 탐색 범위를 다양한 축소 비율에 따라 감소시킨다.

**Early SKIP mode decision (ES):** 조기 스킵 모드 결정 알고리즘은 H.264/AVC 인코더의 스킵 모드를 사전에 결정하는 방식으로 연산량 감소 및 전력 감소를 위해 널리 사용된다. 다양한 조기 스킵 모드 결정 알고리즘들 중에서 정확한 조기 스킵 모드 결정을 위해 IME 연산을 수행한 후, 그 결과에 따라 스킵 모드를 결정하는 알고리즘 [10]이 선택되었다. 만약 현재 MB가 IME 결과만으로 스킵 모드로 사전에 결정되면 이어서 수행되어야 하는 FME와 IP 연산을 수행하지 않아도 되기 때문에 FME와 IP 모듈의 활성화 빈도 감소를 통하여 각 모듈의 전력 소모가 감소된다.

**Intra-frame period control (IFP):** 여러 영상 프레임 종류 중에서 I-프레임은 ME 연산을 수행하지 않기 때문에 IME와 FME 모듈이 활성화되는 비율이 0%이고 그로 인해 전력 소모가 P-프레임이나 B-프레임에 비해 매우 작다. 그러므로 I-프레임의 사용 빈도가 늘어난다면 전력 감소 효과 또한 증가하게 된다. 다만, I-프레임을 사용하게 되면 bitrate가 급증하기 때문에 R-D 성능과 소모 전력 간의 trade-off 관계를 잘 고려하여 I-프레임의 사용 주기를 결정해야 한다.

#### 4.4.2 전력 예측 모델의 예시

위의 네 가지 알고리즘에 대하여 (4-3), (4-9), 그리고 (4-10)을 활용하여 전력 예측 모델을 적용할 수 있다. 그러기 위해 (4-3), (4-9), 그리고 (4-10)이 네 가지 알고리즘의 특징 및 전력 감소 효과를 고려하여 재구성 되어야 한다. 표 4.3에는 네 가지 알고리즘이 해당되는 카테고리 및 영향을 미치는 모듈이 정리 되었다. 두 번째 열에 제시된 카테고리에서 RC는 연산량을 감소시키는 알고리즘을 뜻하고 RF는 활성화 빈도를 감소시키는 알고리즘을 뜻한다.

이런 정보를 기반으로 (4-6)을 통해 IME 모듈의 전력 감소 효과를 먼저 고려해보면, SR 만이 유일하게 IME 모듈과 관련된 알고리즘이기 때문에 다음과 같은 값들이 적용된다.

$$FE_{IME,RF} = 0, PS_{IME,RC} = PS_{SR} \quad (4-11)$$

다음으로 (4-7)을 통해 FME 모듈의 전력 감소 효과를 고려해보면 PMR과 ES가 FME 모듈의 전력 감소에 영향을 미친다. PMR은 FME의 연산량을 감소시키는 알고리즘이고 (즉,  $PS_{FME,RC} = PS_{PMR}$ ) 반면에, ES는 FME의 활성화 비율에 영향을 미치는 알고리즘이다.  $T_{NUM}$ 을 프레임 전체 MB 개수라 하고  $ES_{NUM}$ 을 조기에 스킵 모드로 결정된 MB 개수라 하면 FME가 활성화되지 않을 비율인  $FE_{FME,RC}$ 는  $ES_{NUM}/T_{NUM}$ 로 나타낼 수 있다.

$$FE_{FME,RF} = ES_{NUM}/T_{NUM}, PS_{FME,RC} = PS_{PMR} \quad (4-12)$$



ES는 FME 모듈뿐만 아니라 IP 모듈에도 영향을 미친다. 그러므로, 이 알고리즘은 (4-8)에도 영향을 미친다. ES는 IP의 활성화 비율에 영향을 미치는 알고리즘이므로 연산량을 감소시키는 효과는 없고 IP 모듈이 활성화되지 않을 비율인  $FE_{IP,RF}$ 는  $FE_{FME,RF}$ 와 마찬가지로  $ES_{NUM}/T_{NUM}$ 로 나타낼 수 있다.

$$FE_{IP,RC} = ES_{NUM}/T_{NUM}, PS_{IP,RC} = 0 \quad (4-13)$$

그러므로, (4-11)부터 (4-13)을 (4-9)에 대입하면 인터 프레임과 관련된 전체 전력 감소 효과는 다음과 같이 구할 수 있다.

$$PS_{P-frame} = PS_{SR} + PS_{PMR} + [(ES_{NUM}/T_{NUM} \times (PC_{FME} + PC_{IP} - PS_{PMR})] \quad (4-14)$$

IFP의 경우, 특수한 경우로 인트라 프레임의 주기를 조절하는 알고리즘이기 때문에 (4-3)의 인트라 프레임의 삽입 주기인 P에 영향을 미친다.

이어서 (4-10)을 통해 인트라 프레임의 전력 감소 효과를 구한다. IP의 연산량을 감소시키는 어떤 특별한 알고리즘도 사용되지 않았기 때문에 오직 인트라 프레임에서 ME 모듈을 사용하지 않음으로써 얻는 전력 감소 효과만 존재하며 이것이 인트라 프레임과 관련된 전체 전력 감소 효과가 된다. (즉,  $PS_{I-frame} = PC_{IME} + PC_{FME}$ ). 그러므로, 인트라 프레임과 인터 프레임을 전부 포함하는 전체 전력 감소 효과는 다음과 같은 식으로 구할 수 있다.

$$PS_{TOTAL} = \{PS_{SR} + PS_{PMR} + [(ES_{NUM}/T_{NUM} \times (PC_{FME} + PC_{IP} - PS_{PMR}))]\} \times (1 - 1/P) + (PC_{IME} + PC_{FME}) \times 1/P \quad (4-15)$$

표 4.3 예시로 사용된 저전력 알고리즘의 전력 감소 효과 정리

저전력 알고리즘	카테고리	영향 미치는 모듈
PMR	RC	FME
SR	RC	IME
ES	RF	FME, IP
IFP	RF	IME, FME

#### 4.4.3 개별 알고리즘의 전력 소모 측정

네 가지의 개별 알고리즘들의 전력 감소 효과와 그에 따른 R-D 성능 저하가 시뮬레이션을 통해 각각 측정되었다. 전력 소모를 측정하기 위한 시뮬레이션에는 하드웨어 기반 H.264/AVC 인코더 [35]가 사용되었는데 이 모듈을 130nm 라이브러리 상에서 Synopsys Design Compiler를 활용하여 post-layout 시뮬레이션 함으로써 전력을 측정하였다. R-D 성능의 경우, 하드웨어 인코더와 같은 결과를 내는 레퍼런스 소프트웨어를 활용하여 시뮬레이션 하였다. 정확한 R-D 성능을 측정하기 위하여 영상은 표 4.4에 제시된 것처럼 크기와 움직임 여부에 따라 네 가지 카테고리로 분류한 후에 각각 영역에 세 가지씩 총 12개의 테스트 영상이 사용되었다. 각 영상은 100프레임씩 사용되었으며 QP 값은 20, 24, 28, 그리고 32가 사용되었다. 인코더의 동작 환경으로는 baseline 프로파일이 사용되었으며 GoP 구조는 “IPPP...”로 설정되었다. 동작 클럭 주파수는 30 fps를 보장하기 위해서 CIF 영상에서 50 MHz, 그리고 HD 영상에서는 162 MHz가 가정되었다 [35].

표 4.4 Power-Aware Design의 시뮬레이션을 위해 사용된 영상

움직임 - 크기	CIF	HD
Slow	Container	Aspen
	News	Sunflower
	Sean	Intotree
Fast	Table	Factory
	Bus	Pedestrian Area
	Stefan	Tractor

## 1) FME 예측 모드 감소 알고리즘

표 4.5에는 PMR을 적용하였을 때, 전력 감소 효과와 R-D 성능 변화가 제시되었다. 첫 번째, 두 번째 열을 통해 표 4.4의 12가지 영상이 크기와 움직임 정도에 따라 분류되었다. 세 번째 열에는 FME 동작에 사용되는 예측 모드의 개수가 표시되었다. 아무런 옵션도 적용되지 않아 Full FME를 수행할 경우 (모드 7), FME는  $16 \times 16$ ,  $16 \times 8$ ,  $8 \times 16$ , 그리고 4개의  $8 \times 8$ 의 총 일곱 가지 모드를 모두 수행한다. 모드 5의 경우에는  $16 \times 16$ ,  $16 \times 8$ , 그리고  $8 \times 16$  모드 중 두 가지 FME 모드가 선택되고 네 개의  $8 \times 8$  모드 중 세 가지 FME 모드가 선택되어 총 다섯 가지 모드를 수행한다. 모드 3의 경우에는  $16 \times 16$ ,  $16 \times 8$ , 그리고  $8 \times 16$  모드 중 한 가지 FME 모드가 선택되고 네 개의  $8 \times 8$  모드 중 두 가지 FME 모드가 선택되어 총 세 가지 모드를 수행한다 [9]. 모드 1의 경우에는 IME 연산에서 최적 모드로 결정된 오직 하나의 FME 모드만이 수행된다. 표 4.5에는 모드 7과 비교하였을 때 각 모드에서 평균 전력 감소 효과, Bjontegaard Delta PSNR (BDPSNR) [40] 변화, 그리고 BDBR 변화가 제시되었다. 일곱 번째 열에는 전력 감소 효과 (PS) 대비 BDBR 변화가 제시되어 PMR 옵션의 절대적인 우수성을 나타내었다.

PMR이 적용되었을 때, 평균적인 BDPSNR 저하는 0.1 dB 미만이며 평균적인 BDBR 증가는 2.52%이다. 모드 1이 사용될 경우, CIF 영상과 HD 영상 간의 BDBR 변화의 차이가 매우 크며 BDBR/PS의 값 또한 비슷한 경향을 보인다. 이는 HD 영상의 spatial complexity가 CIF 영상과

비교했을 때 더 낮기 때문에 FME 예측 모드 감소로 인한 오차의 발생이 HD 영상에서 더 작게 나타나기 때문이다. 그러므로 PMR의 적용으로 인한 전력 감소 효과는 HD 영상에서 CIF 영상보다 더욱 더 큰 효과를 볼 수 있다.

표 4.5 FME 예측 모드 감소 알고리즘의 성능 평가

크기	움직 임	모 드	전력 감소 효과 (%)	BDPSNR (dB)	BDBR (%)	BDBR/ PS
CIF	Slow	5	6.79	-0.02	0.46	0.067
		3	13.59	-0.1	2.56	0.188
		1	18.12	-0.31	8.17	0.451
	Fast	5	6.66	-0.02	0.45	0.068
		3	13.32	-0.08	1.84	0.138
		1	17.76	-0.31	7.19	0.405
HD	Slow	5	6.73	-0.01	0.26	0.039
		3	13.45	-0.06	1.9	0.141
		1	17.94	-0.08	2.71	0.151
	Fast	5	6.47	-0.01	0.41	0.063
		3	12.94	-0.06	1.85	0.143
		1	17.26	-0.08	2.46	0.143

## 2) IME 탐색 범위 조절 알고리즘

표 4.6에는 SR [10]을 적용하였을 때, 전력 감소 효과와 R-D 성능 변화가 제시되었다. 탐색 범위 축소 비율은 기존 탐색 범위 대비 1/2, 1/4, 1/6, 그리고 1/9로 설정되었다. 움직임이 적은 영상의 경우, 평균적인 전력 감소 비율이 9.87%이고 움직임이 많은 영상의 경우, 전력 감소 비율이 11.73%로 큰 차이를 보이지 않는다. 그러나 평균적인 BDBR 변화는 각각 1.78%와 12.26%로 매우 큰 차이를 보이게 되며 그 결과로 일곱 번째 열에 제시된 BDBR/PS 값은 움직임이 적은 영상에서 훨씬 더 작은 값을 보인다. 이러한 결과는 IME의 탐색 범위가 움직임 특성에 민감하게 영향을 받기 때문이며 결과적으로 제안된 IME 탐색 범위 조절 알고리즘은 power-aware design에 사용됨에 있어서 움직임이 적은 영상에서 훨씬 더 효과적으로 활용된다.

표 4.6 IME 탐색 범위 조절 알고리즘의 성능 평가

크기	움직 임	축소 비율	전력 감소 효과 (%)	BDPSNR (dB)	BDBR (%)	BDBR/ PS
CIF	Slow	1/2	6.43	-0.01	0.22	0.034
		1/4	9.64	-0.02	0.4	0.041
		1/6	10.71	-0.03	0.73	0.068
		1/9	11.43	-0.14	3.66	0.321
	Fast	1/2	7.28	-0.05	1.22	0.168
		1/4	10.92	-0.44	9.9	0.907
		1/6	12.14	-0.52	11.99	0.988
		1/9	12.95	-1.08	24.35	1.88
HD	Slow	1/2	6.86	-0.01	0.42	0.061
		1/4	10.29	-0.03	0.9	0.087
		1/6	11.43	-0.06	1.97	0.172
		1/9	12.2	-0.2	5.98	0.49
	Fast	1/2	8.5	-0.16	4.59	0.541
		1/4	12.75	-0.31	9.34	0.733
		1/6	14.17	-0.51	14.55	1.027

### 3) 조기 탐색 모드 결정 알고리즘

표 4.7에는 ES [10]를 적용하였을 때, 전력 감소 효과와 R-D 성능 변화가 제시되었다. 세 번째 열에 제시된 전력 감소 효과를 살펴 보면, 움직임이 적은 영상 (평균 11.34%)과 움직임이 많은 영상 (평균 5.08%) 사이에 매우 큰 차이가 나타나는데 이는 움직임이 적은 영상의 MB가 조기에 스킵 모드로 발견되기가 훨씬 쉽기 때문이다. 그렇기 때문에 조기에 스킵 모드로 발견되는 MB의 개수가 다르게 되고 그로 인한 전력 감소 효과 또한 달라지게 된다. 평균적인 BDPSNR 감소는 0.06 dB 미만이며 평균적인 BDBR 증가는 1.89%이다. BDBR/PS 값을 살펴 보면, CIF 영상에서는 0.025인데 비해, HD 영상에서는 이 값이 0.576으로 큰 차이를 보인다. 또한, 움직임이 적은 영상에서는 BDBR/PS 값이 0.199인데 비해, 움직임이 많은 영상에서는 이 값이 0.402로 역시나 큰 차이를 보인다. 그러므로 조기 스킵 모드 결정 알고리즘은 power-aware design에 사용됨에 있어서 움직임이 적고 크기가 작은 영상에서 훨씬 더 효과적으로 활용된다.

표 4.7 조기 스킵 모드 결정 알고리즘의 성능 평가

크기	움직 임	전력 감소 효과 (%)	BDPSNR (dB)	BDBR (%)	BDBR/ PS
CIF	Slow	14	-0.01	0.24	0.017
	Fast	5.15	-0.01	0.17	0.032
HD	Slow	8.67	-0.09	3.3	0.381
	Fast	5	-0.12	3.86	0.772



#### 4) 인트라 프레임 주기 조절 알고리즘

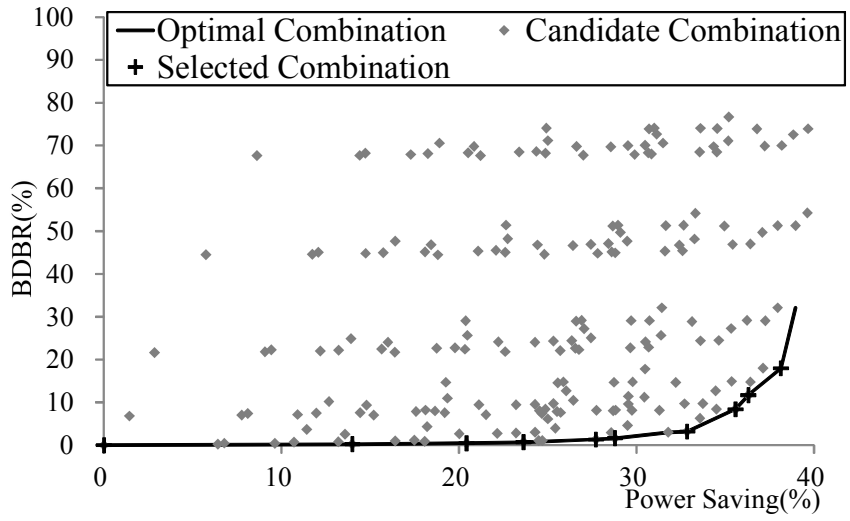
표 4.8에는 IFP [10]를 적용하였을 때, 전력 감소 효과와 R-D 성능 변화가 제시되었다. 세 번째 열에는 사용된 인트라 프레임 주기가 제시되었는데 60, 30, 15, 그리고 10이 선택되었다. BDPSNR 변화와 BDBR 변화를 살펴보면 주기가 짧을수록 (인트라 프레임이 더 많이 사용될수록) 성능 저하가 매우 심하게 나타난다. HD 영상에서는 평균적인 BDBR/PS 값이 1.505인데 비해, CIF 영상에서는 이 값의 평균이 4.192로 훨씬 더 크다. 이는 CIF 영상의 spatial complexity가 HD 영상에 비해 높아서 CIF 영상에서 인트라 프레임 예측의 cost가 HD 영상에 비해 훨씬 크기 때문이다. 또한, 움직임이 많은 영상과 적은 영상에서 평균적인 BDBR/PS 값이 각각 1.295와 4.402로 큰 차이를 보인다. 그러므로 IFP는 power-aware design에 사용됨에 있어서 크기가 크고 움직임이 많은 영상에서 더 효과적으로 활용된다.

표 4.8 인트라 프레임 주기 조절 알고리즘의 성능 평가

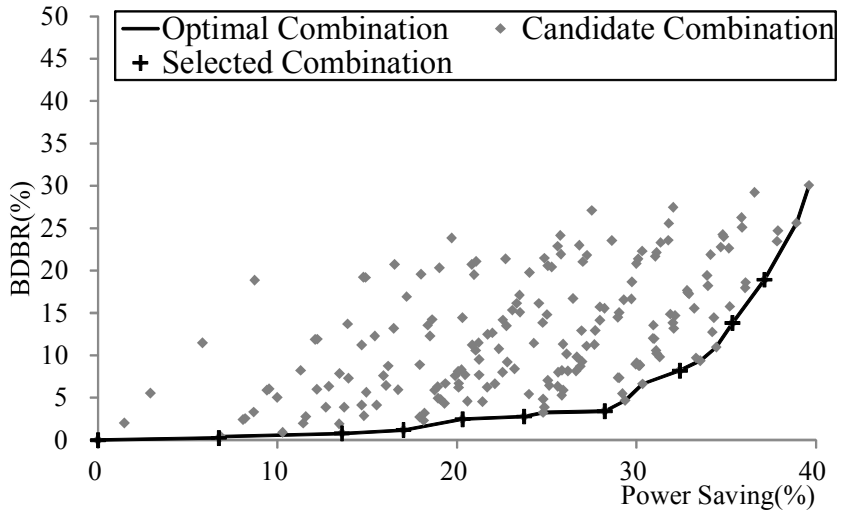
크기	움직 임	주기	전력 감소 효과 (%)	BDPSNR (dB)	BDBR (%)	BDBR/ PS
CIF	Slow	60	1.44	-0.27	6.79	4.713
		30	2.87	-0.87	21.62	7.533
		15	5.75	-1.85	44.47	7.735
		10	8.62	-2.84	67.62	7.845
	Fast	60	1.47	-0.06	1.4	0.955
		30	2.95	-0.2	4.56	1.546
		15	5.9	-0.41	9.52	1.614
		10	8.84	-0.62	14.11	1.596
HD	Slow	60	1.46	-0.06	2	1.372
		30	2.91	-0.18	5.52	1.896
		15	5.82	-0.39	11.45	1.967
		10	8.73	-0.66	18.86	2.16
	Fast	60	1.53	-0.04	1.34	0.874
		30	3.05	-0.12	3.62	1.188
		15	6.11	-0.25	7.81	1.278
		10	9.16	-0.4	11.97	1.307

#### 4.4.4 최적화된 알고리즘 옵션의 선택

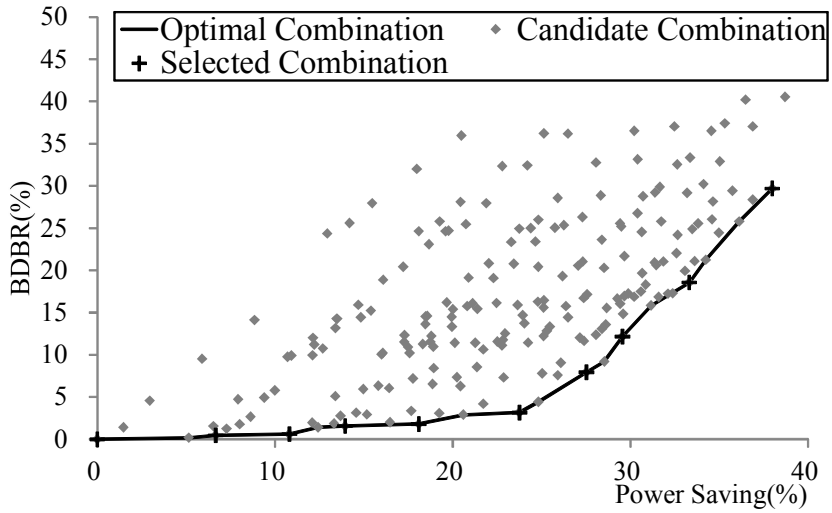
이번 장에서는 그림 4.1에 제시된 방법에 따라 알고리즘 조합을 형성한다. 그림 4.1의 첫 번째부터 네 번째 단계를 거쳐서 네 가지 예시 알고리즘 옵션들의 조합에 대한 BDBR 변화와 전력 감소 효과의 상관 관계가 그림 4.4에 제시되었다. 그래프는 영상의 크기와 움직임 여부에 따라 분류된 네 가지 카테고리에 대해 각각 제시되었다. 모든 그래프의 가로 축은 전력 감소 효과를 나타내고 세로 축은 BDBR 증가를 나타낸다. 그림 4.4의 각 점들은 모든 알고리즘 옵션들의 조합들에 대한 전력 감소 효과 대비 BDBR 증가의 상관 관계를 나타낸다. 전력 감소 효과는 개별 알고리즘 옵션들의 전력 측정 값들을 활용하여 (4-15)을 통해 예측되었고 (그림 4.1의 첫 번째, 두 번째 단계) BDBR 변화는 레퍼런스 소프트웨어를 활용하여 실제 측정되었다 (그림 4.1의 세 번째 단계). 그림 4.4의 점들은 오른쪽 아래에 위치하는 것이 왼쪽 위에 위치하는 것보다 더 뛰어난 성능을 보이는 알고리즘 옵션들의 조합인데 이는 오른쪽 아래에 위치하는 점들이 같은 전력 감소 효과를 보일 때, 더 작은 BDBR 증가를 보이는 조합이기 때문이다. 그림 4.4의 수많은 점들 중, 같은 전력 감소 효과 상에서 가장 작은 BDBR 증가를 보이는 점들을 선으로 연결하였는데 이 선 상에 있는 점들이 최적화된 알고리즘 조합을 뜻한다. 이렇게 모든 알고리즘 옵션의 조합들을 나타내는 수많은 점을 찍을 수 있는 이유는 전력 예측 모델을 통해 알고리즘 옵션의 조합들의 전력 감소 효과를 효과적으로 예측했기 때문이다.



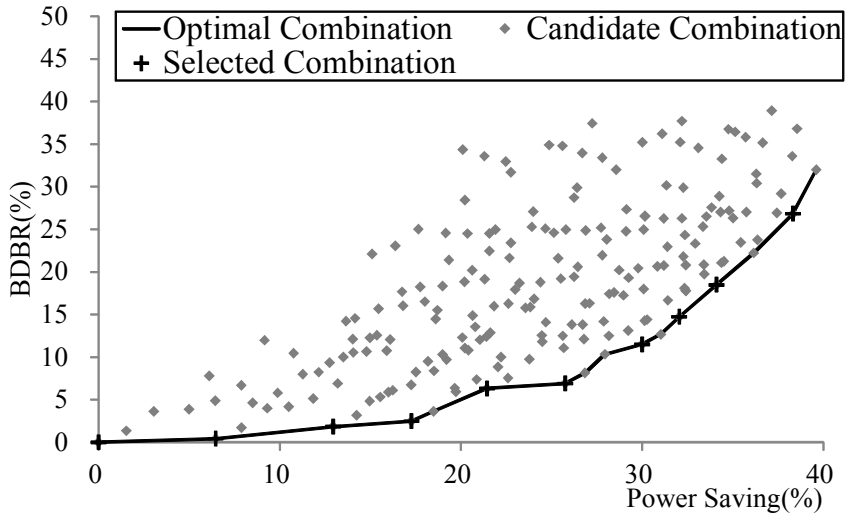
(a)



(b)



(c)



(d)

그림 4.4 다양한 알고리즘 옵션들의 조합들에 대한 전력 감소 효과 vs. BDBR 변화: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion

#### 4.4.5 Power level table의 생성의 예시

Power-aware design의 구성의 마지막 단계는 최적화된 네 가지 알고리즘 옵션들의 조합으로 이루어진 PLT를 생성하는 것이다. 그러기 위하여 그림 4.4의 최적화된 조합들을 연결한 선 상에 있는 점들 중에서 최대한 일정한 간격을 갖도록 하여 10개의 점을 선택하였다. 전력 감소 효과가 최대한 일정할 수 있도록 레벨을 구성하는 것은 주어진 전력에서 가장 적절한 레벨을 선택하는 것을 용이하게 해주며 또한 레벨이 변경될 때 압축 효율이 변경되는 것을 최대한 자연스럽게 만들어 준다. 전력 레벨 개수의 선택 (그림 4.1의 다섯 번째 단계)은 시뮬레이션을 통해 이루어졌다. 레벨의 개수를 한 개부터 열다섯 개로 설정하고 각각 설정된 레벨의 개수로 PLT를 구성하여서 인코더를 동작하였을 때의 BDBR 변화를 측정하였다. BDBR은 레벨 개수가 10개인 경우를 비교 대상으로 하여 제시하였다. 원하는 전력 목표 (30%, 35%)와 영상의 종류 (CIF Slow-Motion, CIF Fast-Motion)를 분류 기준으로 하여 총 네 가지 카테고리를 구성하고 각 카테고리에서 인코더를 동작시킨 결과를 그림 4.5에 제시하였다. 결과를 살펴보면 네 가지 카테고리에서 모두 레벨의 개수가 증가함에 따라 성능 저하가 감소하다가 레벨 개수가 10개인 지점 부근에서 BDBR이 saturation되는 것을 확인할 수 있다. 그러므로 본 논문에서는 이러한 실험을 근거로 하여 전력 레벨을 10개로 결정하였다. 그림 4.4를 보면 X축에 제시된 전력 감소 효과가 일반적으로 최대 40%정도까지 나타나기 때문에 레벨 간의 간격이 대략 4~5% 정도를

유지할 수 있도록 구성하였으며 이는 본 연구의 비교 대상이 되는 [23]에서 선택한 간격과 유사한 값이다.

이러한 방법으로 선택된 10개의 레벨이 그림 4.4에 “+”로 표시되었으며 이런 10개의 레벨을 구성하는 각 알고리즘의 옵션들이 표 4.9에 제시되었다. 표 4.9를 살펴보면 레벨 0부터 레벨 9까지 총 10개의 전력 레벨이 존재한다. 레벨 0은 어떤 알고리즘도 적용되지 않는 기존의 인코더가 되며 레벨 9는 가장 큰 전력 감소 효과를 보이는 옵션들의 조합이 된다. (물론, 그에 따른 R-D 성능 저하도 가장 크게 된다). PMR, SR, ES, 그리고 IFP 열은 예시로 사용된 각각 네 가지 알고리즘의 옵션들을 나타낸다.

조합을 자세히 살펴보면 PMR의 옵션들은 개별 알고리즘 성능에서 분석한 것처럼 영상의 크기에 따라 다르게 적용되는 것을 확인할 수 있다. CIF 영상의 경우, 전력 감소 효과가 가장 큰 모드 1이 움직임이 적은 영상에서는 레벨 7부터 레벨 9까지, 그리고 움직임이 많은 영상에서는 레벨 6부터 레벨 9까지 적용된다. 반면에 HD 영상의 경우, 모드 1이 움직임이 적은 영상에서는 레벨 6부터 레벨 9까지, 그리고 움직임이 많은 영상에서는 레벨 5부터 레벨 9까지 적용이 된다. CIF 영상의 경우, 높은 spatial complexity로 인하여 coefficient로 인한 오차가 영상의 화질에 미치는 영향이 움직임 벡터로 인한 오차가 미치는 영향보다 더 크다. 그러므로 PMR이 R-D 성능 저하에 미치는 영향이 크게 된다. 이와 반대로 HD 영상의 경우, 낮은 spatial complexity로 인해 움직임 벡터로 인한 오차가 coefficient로 인한 오차보다 더 치명적이기 때문에 PMR으로

인한 R-D 성능 저하가 상대적으로 크지 않다. 그러므로 PMR의 적용은 영상이 클 경우에 더 효과적으로 power-aware design에 활용될 수 있다. ES 알고리즘 또한 영상 해상도의 영향을 받는데 CIF 영상에서 HD 영상보다 더 낮은 레벨부터 활용되고 같은 해상도에서는 움직임이 적은 경우에 움직임이 많은 경우보다 더 낮은 레벨부터 활용된다. 이는 IME의 최적 모드가 16×16로 결정되어 조기 스킵 모드로 결정되는 비중이 해상도가 낮고 움직임이 적은 영상에서 해상도가 높고 움직임이 많은 영상보다 더 높기 때문이다. 그러므로 ES는 해상도 낮고 움직임이 적은 영상에서 더 효과적으로 활용된다.

SR과 IFP의 경우, 움직임 여부에 따라 효과가 다르게 나타난다. 움직임이 적은 영상의 경우, 해상도에 관계 없이 SR이 레벨 2부터 레벨 9까지 활용되고 IFP는 CIF 영상에서는 레벨 9에서만, 그리고 HD 영상에서는 레벨 8, 9에서 활용된다. 반면에 움직임이 많은 영상의 경우, SR은 CIF 영상에서는 레벨 3부터 레벨 9까지, HD 영상에서는 레벨 4부터 레벨 9까지 사용되고 IFP는 해상도에 상관없이 레벨 7부터 레벨 9까지 사용된다. SR의 감소 비율 또한 움직임이 적은 영상에서 더 큰 값이 활용되는 것을 확인할 수 있다. 움직임이 적은 영상의 경우, 움직임 벡터 값이 상대적으로 작기 때문에 넓은 탐색 범위가 필요하지 않다. 그러므로 탐색 범위가 감소하여도 R-D 성능 저하가 크지 않다. 반면에 이어지는 프레임들 간의 높은 temporal correlation으로 인하여 인트라 프레임 예측과 인터 프레임 예측 사이의 bitrate 차이가 매우 크다. 그러므로 SR이 PLT를 구성하는데 있어서 큰 영향력을 미치고 IFP는 큰 R-D 성능 저하로



인하여 PLT 구성에 미치는 영향력이 상대적으로 미비하다. 이와 반대로, 대부분의 움직임이 많은 영상들은 움직임 벡터의 값이 크기 때문에 상대적으로 넓은 탐색 범위를 필요로 한다. 그러므로 탐색 범위의 감소가 R-D 성능 저하로 직결된다. 그러나 이어지는 프레임들 간의 낮은 temporal correlation으로 인하여 인트라 프레임 예측과 인터 프레임 예측 사이의 bitrate 차이가 상대적으로 작기 때문에 IFP가 PLT를 구성하는데 있어서 중요한 역할을 하고 SR이 미치는 영향은 움직임이 적은 영상에 비해 상대적으로 작다. 결과적으로 SR은 움직임이 적은 영상에서 더 효율적으로 활용되고 IFP는 움직임이 많은 영상에서 더 효율적으로 활용된다.

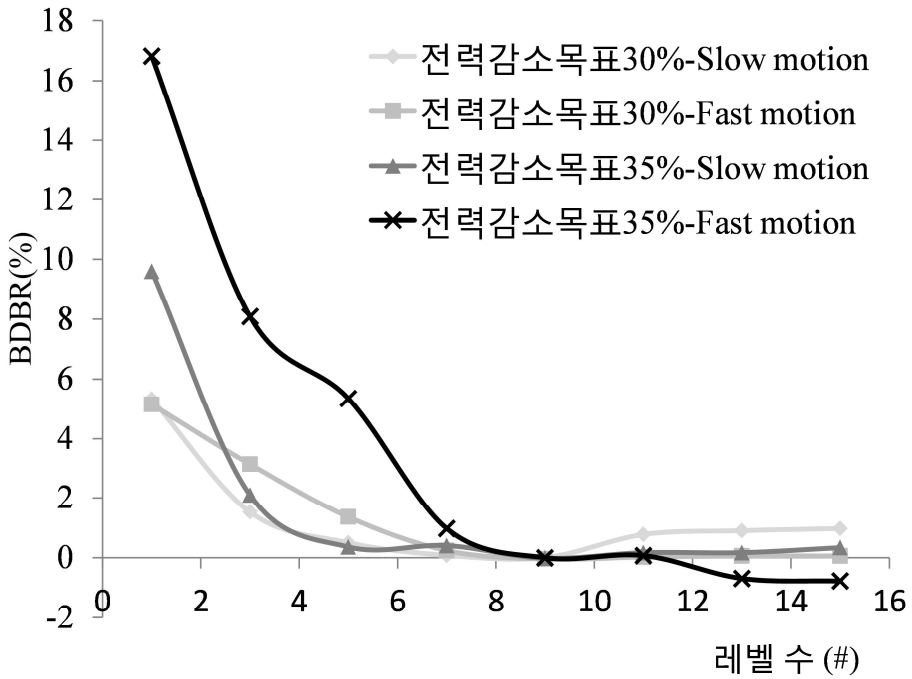


그림 4.5 전력 레벨 개수에 따른 BDBR의 변화

표 4.9 Power-Level Table의 구성

레벨	CIF Slow-Motion				HD Slow-Motion				CIF Fast-Motion				HD Fast-Motion			
	P	E	IF	P	P	E	IF	P	P	E	IF	P	P	E	IF	P
	M	SR	S	R	M	SR	S	R	M	SR	S	R	M	SR	S	R
0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
1	-	-	O	-	5	-	-	-	5	-	-	-	5	-	-	-
2	-	1/2	O	-	5	1/2	-	-	5	-	O	-	3	-	-	-
3	-	1/4	O	-	5	1/4	-	-	5	1/2	-	-	1	-	-	-
4	5	1/4	O	-	3	1/2	-	-	5	1/2	O	-	3	1/2	-	-
5	5	1/6	O	-	3	1/4	-	-	3	1/2	O	-	1	1/2	-	-
6	3	1/6	O	-	1	1/4	-	-	1	1/2	O	-	1	1/4	-	-
7	1	1/6	O	-	1	1/4	O	-	1	1/2	O	30	1	1/4	-	30
8	1	1/9	O	-	1	1/6	O	30	1	1/6	O	60	1	1/4	-	15
9	1	1/9	O	60	1	1/6	O	15	1	1/6	O	10	1	1/4	O	10

## 4.5 성능 평가

이번 장에서는 PLT를 H.264/AVC 인코더에 적용하여 power-aware design의 성능을 측정하고 이러한 성능을 기존의 연구와 비교하여 우수성을 증명한다. 이 외에도 실험을 통하여 본 논문에서 제시한 입력 영상의 특성 고려, 전력 예측 모델, 전력 레벨 적용 알고리즘의 우수성을 보인다. 마지막으로 PLT를 영상 저장 장치에 적용하여 power-aware design을 적용한 영상 저장 장치의 성능을 평가한다.

### 4.5.1 Power-Aware Design의 성능 측정

Power-aware design의 R-D 성능은 표 4.4에 제시된 12개의 영상들을 활용하여 측정되었는데 개별 알고리즘의 성능 측정처럼 각 영상은 20, 24, 28, 32의 네 가지 QP로 100 프레임씩 인코딩 되었다.

표 4.10에는 표 4.9에 제시된 열 개의 전력 레벨로 구성된 네 가지 PLT를 적용하였을 때의 전력 소모 (PC) 및 전력 감소 효과 (PS)가 제시되었고 표 4.11에는 표 4.9의 PLT를 적용하였을 때의 R-D 성능 변화가 제시되었다. 표 4.10의 전력 감소 효과와 표 4.11의 BDPSNR과 BDBR 변화는 레벨 0의 전력 감소 효과 및 성능과 비교하여 제시되었다. 움직임이 적은 영상의 경우, 레벨 1에서 거의 미비한 R-D 성능 저하로 CIF 영상에서 14%, HD 영상에서 6.73%의 전력 감소 효과를 얻었으며 가장 큰 전력 감소 효과를 보이는 레벨 9에서는 CIF 영상과 HD 영상에서

각각 17.95%의 BDBR 증가로 38.14%의 전력 감소 효과, 18.91%의 BDBR 증가로 37.14%의 전력 감소 효과를 얻었다. 움직임이 많은 영상의 경우, CIF 영상에서는 레벨 1이 적용되었을 때, 0.45%의 BDBR 증가로 6.66%의 전력 감소 효과를 얻고 레벨 9가 적용된다면 29.69%의 BDBR 증가로 37.99%의 전력 감소 효과를 얻는다. HD 영상에서는 레벨 9에서 26.83%의 BDBR 증가로 가장 큰 38.34%의 전력 감소 효과를 얻을 수 있다. BDPSNR 관점에서 본다면 0.1dB 미만의 BDPSNR 감소로 움직임이 적은 CIF 영상에서 약 28%, 움직임이 적은 HD 영상에서 약 23%의 전력 감소 효과를 얻을 수 있다. 반면에, 움직임이 많은 영상에서는 같은 BDPSNR 감소로 CIF 영상에서 약 18%, HD 영상에서 약 17%의 전력 감소 효과를 보인다. 이러한 결과를 통해 전력 감소를 위한 R-D 성능 저하가 움직임이 많은 영상에서 더 크게 나타나는 것을 확인할 수 있다.

그림 4.6에는 네 가지 영상 카테고리에 대하여 PLT의 열 개의 전력 레벨에서 전력 감소 효과와 BDBR 변화 간의 상관 관계가 그래프로 제시되었다. 그래프의 가로축이 전력 감소 효과를 나타내고 세로축이 BDBR 변화를 나타낸다. 그래프를 살펴보면 모든 영상 카테고리에서 대략적으로 25%의 전력 감소 효과는 평균적으로 3% 미만의 BDBR 증가로 얻을 수 있다. 그러나 전력 감소 효과가 25% 이상이 되면 BDBR이 급격하게 증가하며, 특히 움직임이 많은 영상에서 이러한 경향이 뚜렷하게 나타난다. 전력 감소 효과가 커질수록 BDBR 증가의 기울기가 급격해지는 경향 또한 상관 관계를 통해 확인할 수 있다.

표 4.10 Power-Level Table의 전력 소모 및 전력 감소 효과

레벨	CIF Slow-Motion		HD Slow-Motion		CIF Fast-Motion		HD Fast-Motion	
	PC (mW)	PS (%)	PC (mW)	PS (%)	PC (mW)	PS (%)	PC (mW)	PS (%)
0	17.9	-	81.1	-	20.2	-	90.1	-
1	15.4	14	75.7	6.73	18.8	6.66	84.3	6.47
2	14.2	20.43	70.1	13.59	18	10.81	78.4	12.94
3	13.7	23.64	67.3	17.02	17.4	13.94	74.6	17.26
4	12.9	27.71	64.6	20.31	16.5	18.09	70.8	21.44
5	12.7	28.78	61.9	23.74	15.4	23.75	66.9	25.76
6	12	32.86	58.2	28.23	14.6	27.53	62.8	30.31
7	11.5	35.58	54.8	32.42	14.2	29.56	62.2	32.06
8	11.4	36.3	52.4	35.35	13.5	33.32	59.4	34.12
9	11.1	38.14	51	37.14	12.5	37.99	55.6	38.34

표 4.11 Power-Level Table의 R-D 성능 변화

레벨	CIF Slow-Motion		HD Slow-Motion		CIF Fast-Motion		HD Fast-Motion	
	BDPSNR (dB)	BDBR (%)	BDPSNR (dB)	BDBR (%)	BDPSNR (dB)	BDBR (%)	BDPSNR (dB)	BDBR (%)
0	-	-	-	-	-	-	-	-
1	-0.01	0.24	-0.01	0.26	-0.02	0.45	-0.01	0.41
2	-0.02	0.46	-0.03	0.78	-0.03	0.61	-0.06	1.85
3	-0.03	0.71	-0.04	1.17	-0.06	1.55	-0.08	2.46
4	-0.05	1.34	-0.08	2.46	-0.07	1.8	-0.21	6.3
5	-0.06	1.62	-0.09	2.78	-0.13	3.17	-0.23	6.9
6	-0.12	3.19	-0.11	3.42	-0.33	7.91	-0.38	11.49
7	-0.32	8.39	-0.23	8.19	-0.51	12.16	-0.5	14.72
8	-0.44	11.68	-0.42	13.79	-0.82	18.55	-0.63	18.5
9	-0.7	17.95	-0.6	18.91	-1.31	29.69	-0.88	26.83

다음으로 영상의 크기와 움직임 여부에 따라 네 가지의 다른 PLT를 구성하는 것의 우수성을 증명하기 위하여 추가적인 실험을 수행하였다. 이를 위하여 그림 4.1에 제시된 절차를 통하여 생성된 새로운 PLT가 표 4.12에 제시되었다. 표 4.12의 경우, 표 4.4에 제시된 12가지 영상들을 크기와 움직임 여부에 따라 분류하지 않은 채 전력 감소 효과를 예측하고 R-D 성능을 측정하여 PLT를 구성하였다. 그림 4.7에는 네 가지 영상 카테고리에 대해 영상을 분류하지 않고 구성된 평균 PLT (표 4.12)를 적용한 경우 (“Average”)와 본 논문에서 제안한 PLT (표 4.9)를 적용한 경우 (“Proposed”)에 대한 전력 감소 효과와 BDBR 증가의 상관 관계가 제시되었다. 결과를 살펴 보면, 네 가지 영상 카테고리에서 모두 본 논문에서 제안한 PLT를 적용하였을 경우가 평균 PLT를 적용하였을 경우보다 같거나 더 작은 BDBR 증가를 보인다. 그림 4.7 (a)에서 전력 감소 효과가 약 38% 수준일 때 평균 PLT를 적용할 경우, 제안된 PLT를 적용한 경우에 비해 BDBR이 약 33%만큼 더 증가하며 그림 4.7 (d)에서 전력 감소 효과가 약 34% 수준일 때 평균 PLT의 적용은 약 8.6%의 추가적인 BDBR 증가를 야기한다.

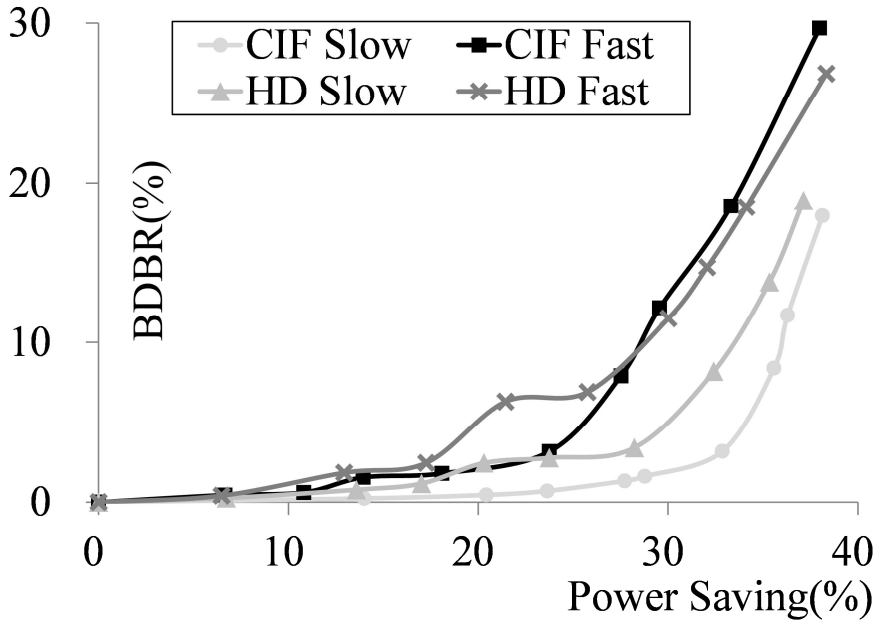
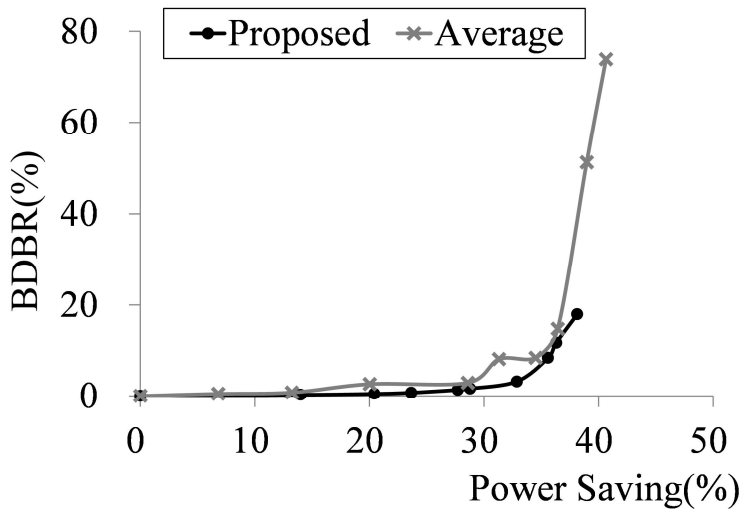


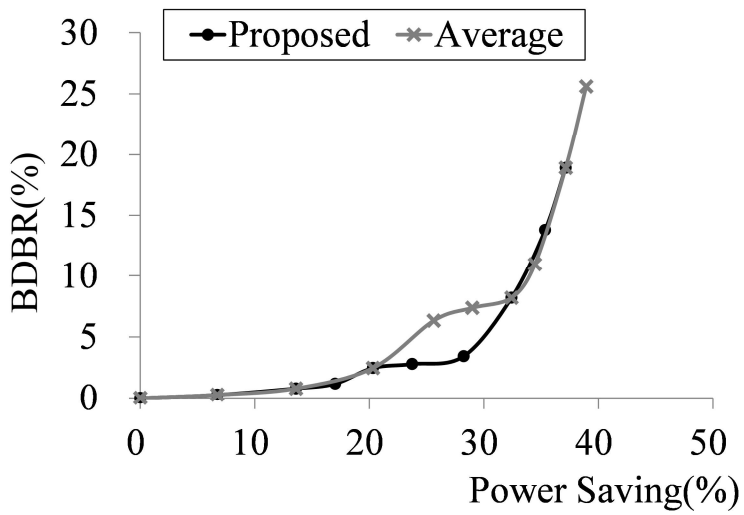
그림 4.6 Power-Level Table의 전력 감소 효과 vs. BDBR 변화

표4.12 영상 분류를 하지 않은 경우의 Power-Level Table 구성

레벨	PMR	SR	ES	IFP
0	-	-	-	-
1	5	-	-	-
2	5	1/2	-	-
3	3	1/2	-	-
4	3	1/2	O	-
5	1	1/2	O	-
6	1	1/4	O	-
7	1	1/6	O	60
8	1	1/6	O	15
9	1	1/6	O	10

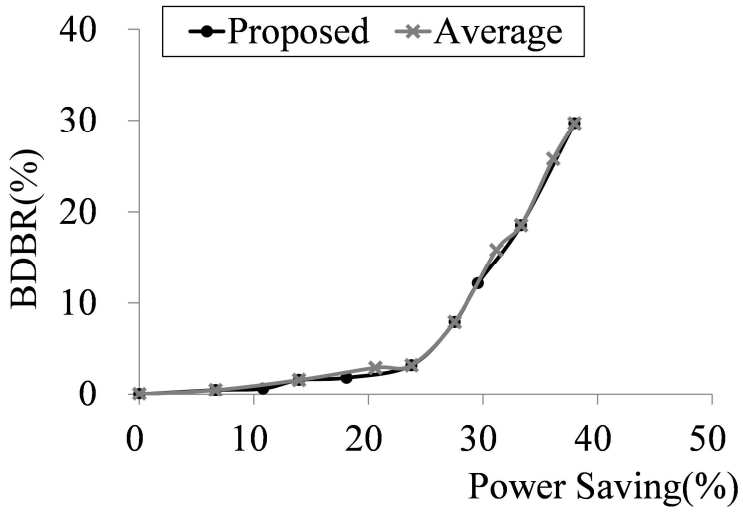


(a)

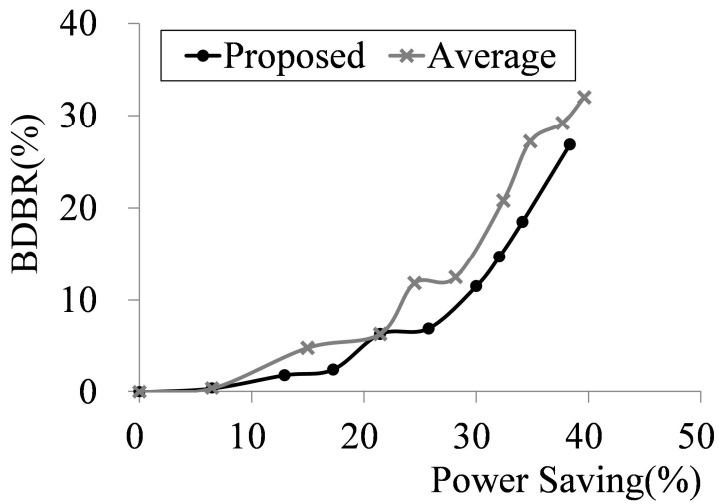


(b)





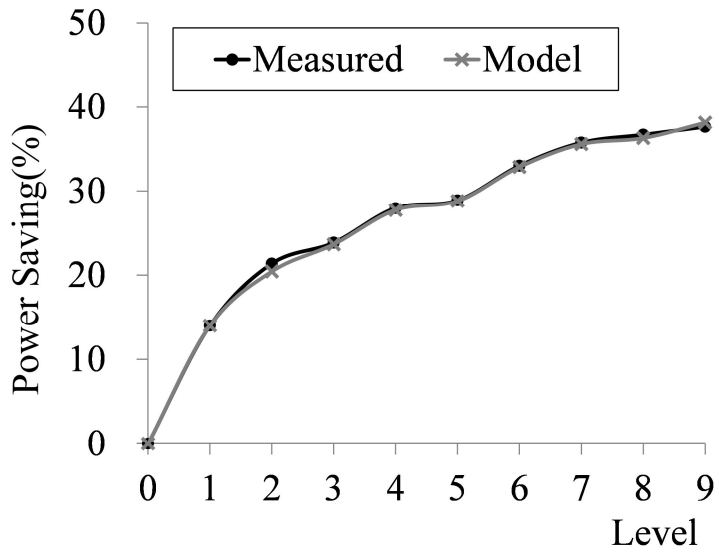
(c)



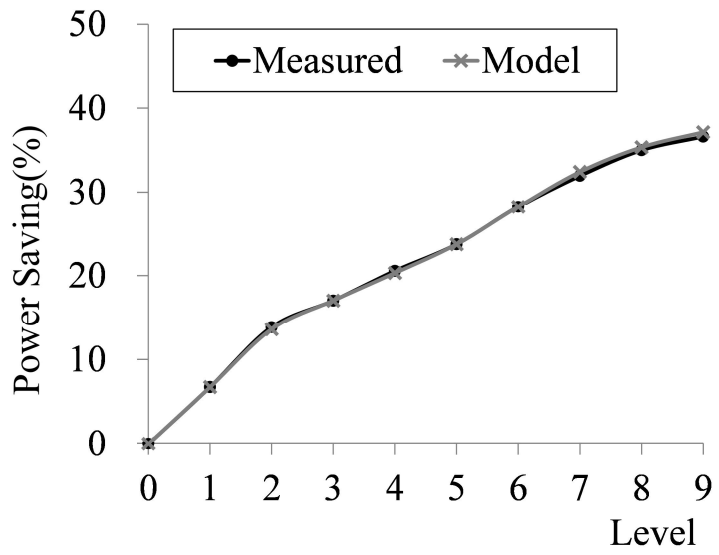
(d)

그림 4.7 제안한 Power-Level Table과 영상 특징을 고려하지 않은 Power-Level Table의 성능 비교: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion.

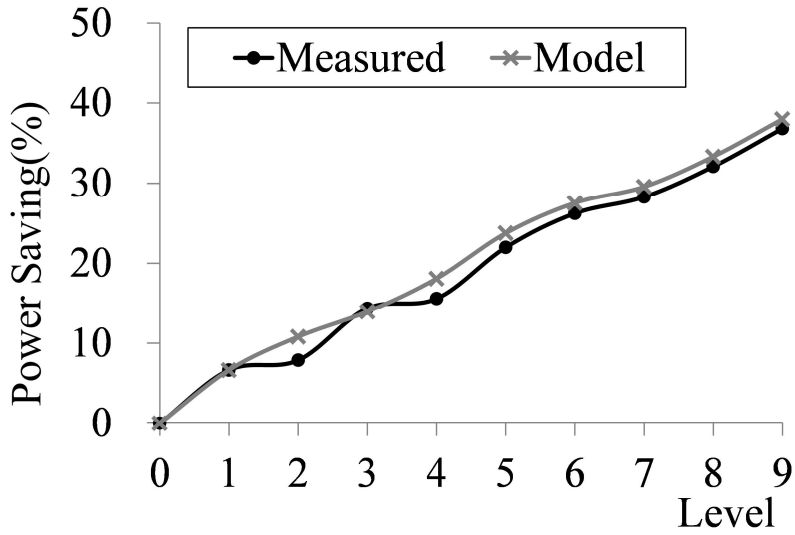
다음으로 (4-15)를 통해 여러 알고리즘 옵션의 조합들의 전력 감소 효과를 예측하는 전력 예측 모델의 정확도를 평가하기 위해 추가적인 실험을 수행하였다. 이를 위해 전력 예측 모델로 예측한 전력 감소 효과와 실제 측정으로 얻어진 전력 감소 효과를 비교하였는데 그림 4.8에 네 가지 영상 카테고리에 대한 실험 결과가 제시되었다. “Measured”로 명시된 검정색 그래프가 표 4.9에 제시된 PLT의 알고리즘 옵션들을 적용하여 실제로 post-layout 시뮬레이션을 통해 측정된 전력 감소 효과를 나타내고 “Model”로 명시된 회색 그래프가 (4-15)를 통해 예측된 전력 감소 효과를 나타낸다. 결과를 살펴보면 두 그래프가 대부분의 전력 레벨에서 거의 일치하는 것을 확인할 수 있으며 움직임이 많은 CIF 영상의 레벨 2에서 2.94%로 가장 큰 차이를 보인다.



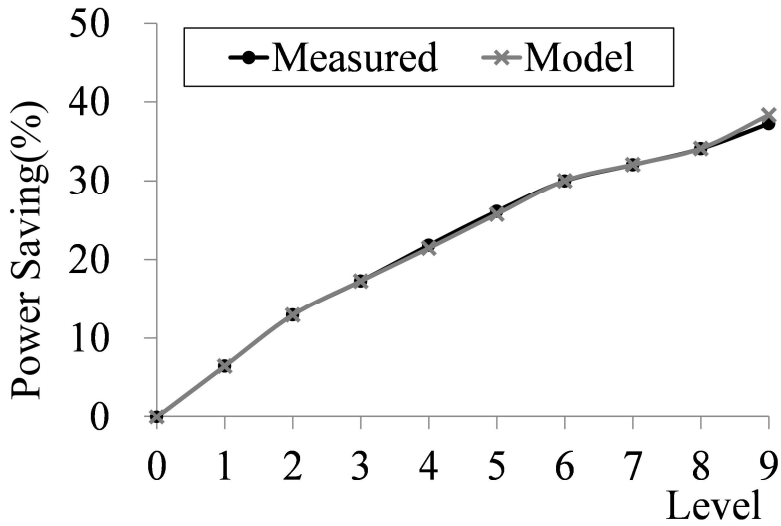
(a)



(b)



(c)



(d)

그림 4.8 실제 측정된 전력 감소 효과와 전력 예측 모델을 통해 예측된 전력 감소 효과의 성능 비교: (a) CIF Slow-Motion (b) HD Slow-Motion (c) CIF Fast-Motion (d) HD Fast-Motion.

유동적인 전력 레벨 선택 기법의 우수성을 확인하기 위하여 추가적인 실험을 수행하였다. 유동적인 전력 레벨 선택 기법을 구현하기 위하여 전력 소모가 30 프레임마다 주기적으로 측정되었으며 이 때마다 (4-1)을 통해  $P_{CUR}$  값이 갱신되었다. 이러한 유동적 전력 레벨 선택 기법은 인코딩 내내 한 가지 레벨을 고정적으로 사용하는 시스템과 비교되었다. 두 시스템에서 모두 전력 감소 목표를 30%, 35%로 설정하였는데 이를 만족시키기 위하여 고정된 전력 레벨을 사용하는 시스템에서는 움직임이 작은 CIF 영상을 위해 각각 레벨 7, 레벨 9가 사용되었고 움직임이 많은 CIF 영상을 위해서는 각각 레벨 6, 레벨 8이 사용되었다. 시뮬레이션에는 세 개의 움직임이 빠른 CIF 영상: FAST1 (Foreman, Soccer, Crew, Ice, Football이 연결된 영상), FAST2 (Bigbuckbunny 영상), FAST 3 (Elephants dream 영상)과 세 개의 움직임이 적은 CIF 영상: SLOW1 (Akiyo, Coastguard, Mother\_daughter, Silent, Weather가 연결된 영상), SLOW2 (Hall monitor, Flower, Waterfall, Tempete, Paris가 연결된 영상), SLOW3 (Highway 영상)이 각각 1500 프레임씩 사용되었다. 표 4.13에는 유동적인 전력 레벨 선택 기법을 적용한 경우의 R-D 성능이 고정된 전력 레벨을 적용한 경우와 비교하여 BDBR, BDPSNR으로 제시되었다. 결과를 살펴보면 모든 영상에서 유동적인 전력 레벨 선택 기법의 적용이 고정된 전력 레벨을 사용하는 것보다 뛰어난 성능을 보이는 것을 확인할 수 있다. 유동적인 전력 레벨 선택 기법을 사용하게 되면 움직임이 많은 영상에서는 BDBR의 경우, 평균적으로 6.46%만큼 감소하였으며 BDPSNR의 경우, 평균적으로 0.328dB만큼 증가하였다. 움직임이 적은 영상에서도 BDBR이 평균적으로

6.64%만큼 감소하였으며 BDPSNR의 경우, 평균적으로 0.262dB만큼 증가하였다.

표 4.14에는 유동적인 전력 레벨 선택 기법이 적용된 시스템과 고정된 전력 레벨이 적용된 시스템에서 주어진 프레임에 대한 모든 인코딩이 끝났을 때 주어진 전력을 얼마나 활용하였는지를 제시하였다. 결과는 움직임이 많은 세 가지 영상의 평균값과 움직임이 적은 세 가지 영상의 평균값이 각각 제시되었는데 영상의 움직임 여부에 상관 없이 유동적인 전력 레벨 선택 기법을 적용한 시스템에서는 주어진 전력을 최소 99.8%만큼 활용하였으나 고정된 전력 레벨이 적용된 시스템에서는 주어진 전력을 최대 95.38%를 활용하는데 그쳤다. 이렇게 전부 사용하지 못하고 남은 전력이 결국 R-D 성능의 저하를 야기했다고 볼 수 있다. 다시 말해서, 유동적인 전력 레벨 선택 기법이 적용된 시스템에서는 전력을 최대한으로 활용하여 조금이라도 더 높은 성능을 이끌어낸 것이다.

표 4.13 유동적인 전력 레벨 선택 기법 활용의 성능 변화

영상	30% 전력 감소		35% 전력 감소	
	BDBR(%)	BDPSNR(dB)	BDBR(%)	BDPSNR(dB)
FAST1	-1.51	0.056	-2.58	0.101
FAST2	-9.98	0.504	-16.59	0.951
FAST3	-2.28	0.1	-5.84	0.257
SLOW1	-2.76	0.115	-5.71	0.228
SLOW2	-1.38	0.062	-6.88	0.327
SLOW3	-10.08	0.368	-13.03	0.47

표 4.14 유동적인 전력 레벨 선택 기법의 전력 활용 우수성

영상	30% 전력 감소		35% 전력 감소	
	유동레벨(%)	고정레벨(%)	유동레벨(%)	고정레벨(%)
FAST	99.93	95.38	99.9	95.33
SLOW	99.8	92.7	99.87	95.35

#### 4.5.2 기존 Power-Aware Design과의 성능 비교

이번 장에서는 제안된 PLT를 활용한 power-aware design을 기존의 power-aware design [23]과 비교하여 그 우수성을 증명한다. 두 시스템을 효과적으로 비교하기 위해서 비슷한 전력 감소 효과를 보이는 상황에서 R-D 성능을 비교하였다.

그림 4.9에는 전력 감소 목표가 35%일 때, 전력 감소 효과가 없는 기존의 인코더, 제안된 power-aware design, 그리고 [23]의 R-D 성능이 제시되었다. [23]에서 사용된 영상이 CIF 해상도의 akiyo 와 foreman 영상이므로 두 가지 영상을 활용하여 비교를 수행하였으며 각각 그림 4.9 (a)와 (b)에 결과가 제시되었다. 그림 4.9를 살펴보면, “기존”으로 명시된 옅은 회색의 그래프가 어떤 저전력 알고리즘도 적용되지 않은 기존의 인코더를 나타내고 (전력 감소 효과 0%) “[23]”으로 명시된 짙은 회색 그래프가 [23]에 제시된 실험 결과를 나타내며 그림 4.9 (a)와 (b)에서 각각 “레벨 7”, “레벨 8”로 명시된 검은색 그래프가 제안한 power-aware design이 적용된 결과를 나타낸다. 명시된 레벨이 전력 감소 목표를 이루기 위하여 인코더에 적용된 레벨을 나타낸다. 그림 4.9 (a)에는 세 가지 그래프 간의 차이가 거의 미비한데, 이는 akiyo 영상이 매우 정적이기 때문에 어떤 저전력 알고리즘이 적용되어도 R-D 성능 저하가 매우 미비하기 때문이다. 그림 4.9 (b)를 살펴보면 [23]의 결과보다 제안한 power-aware design을 적용한 결과가 더 뛰어난 성능을 보이는 것을 확인할 수 있으며 1,600Kbps 부근에서 최대 0.5dB의 PSNR 차이를 보인다.



그림 4.10에는 전력 감소 목표가 40%일 때 기존의 인코더, 제안된 power-aware design, 그리고 [23]의 R-D 성능이 제시되었다. 40%의 전력 감소 효과를 얻기 위해 제안한 시스템은 akiyo와 foreman 영상에서 모두 레벨 9를 적용하였다. 결과를 살펴보면 제안한 power-aware design과 [23] 사이에 매우 큰 성능 차이가 나타나는 것을 확인할 수 있다. Akiyo 영상의 경우, 200Kbps 부근에서 최대 2dB 이상의 PSNR 차이를 보이며 foreman 영상의 경우, 1,600Kbps 부근에서 최대 2dB 이상의 PSNR 차이를 보인다. [23]의 경우, 전력 감소 목표가 35%에서 40%로 넘어가면서 극심한 R-D 성능 저하가 나타나게 된다. 그에 비해 제안된 power-aware design의 경우, 네 가지 알고리즘 옵션들의 최적화시켜서 적용하기 때문에 대략 40%의 전력 감소 역시 심한 R-D 성능 저하 없이 이루는 것이 가능하다.

[23]과 제안한 시스템의 가장 큰 차이는 알고리즘 옵션 선택의 폭이 제안한 시스템에서 훨씬 넓다는 점이다. 제안한 시스템에서는 ME를 위한 옵션이 총 20가지까지 구성될 수 있으며 (IME를 위한 옵션 다섯 가지와 FME를 위한 옵션 네 가지,  $5 \times 4 = 20$ ) 이 중에 최적의 조합을 선택하여 인코더에 적용한다. 반면에 [23]의 경우에는 이러한 옵션이 겨우 3가지에 불과하다. 제안한 시스템에서 이렇게 다양한 알고리즘의 옵션을 활용할 수 있는 것은 전력 예측 모델을 활용함으로써 다양한 알고리즘 옵션의 조합들의 전력 소모를 빠르게 예측할 수 있기 때문이다. 전력 예측 모델 없이는 수많은 조합들의 전력 소모를 측정하는 것이 어렵다.

[23]의 경우, 적은 개수의 알고리즘 옵션들로 인해 약간의 전력 감소 목표 증가에도 (35%→40%) 급격한 R-D 성능 저하가 발생할 수 있다.

이러한 원인을 분석해보면 IME 옵션의 선택에서 원인을 찾을 수 있다. 제안된 시스템에서는 다양한 IME 옵션을 통하여 IME 연산량을 단계적으로 조절하여 전력 소모를 제어할 수 있지만 [23]에서는 전력 스케일링 자료를 기반으로 하여 전력 감소 목표가 40% 정도가 되면 IME 연산을 아예 수행하지 않는다. [23]에서는 아래의 수식에 따라 IME를 동작할지 말지를 결정하는데 IME가 동작하지 않는다면 해당 MB는 인트라 예측 모드를 통해 인코딩 되게 된다.

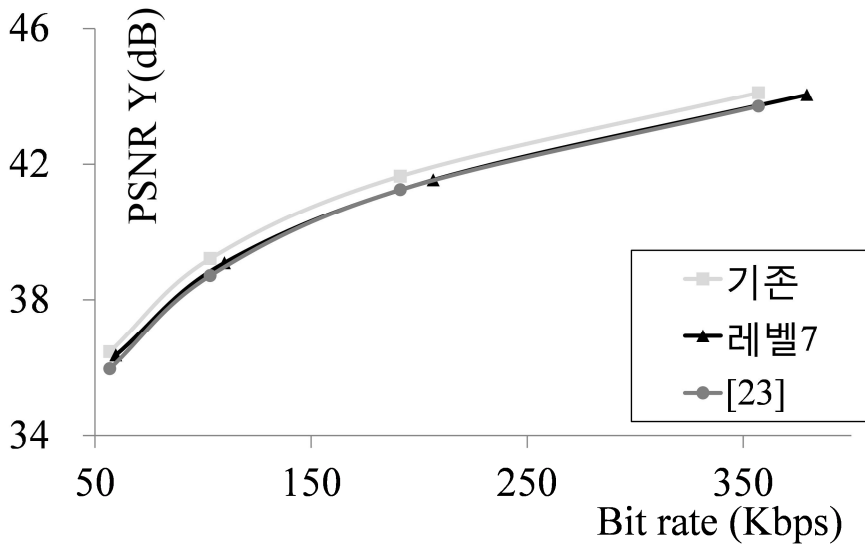
$$\begin{aligned} & \text{if } (Power_{LeftAvg} > P_{IME} + P_{OTHERS}) \text{ perform IME} \\ & \text{else perform only intra-prediction} \end{aligned} \quad (4-16) [23]$$

$Power_{LeftAvg}$ 는 현재 남아 있는 배터리 용량 (사용 가능한 전력량)으로 다음과 같은 식을 통해 구해진다.

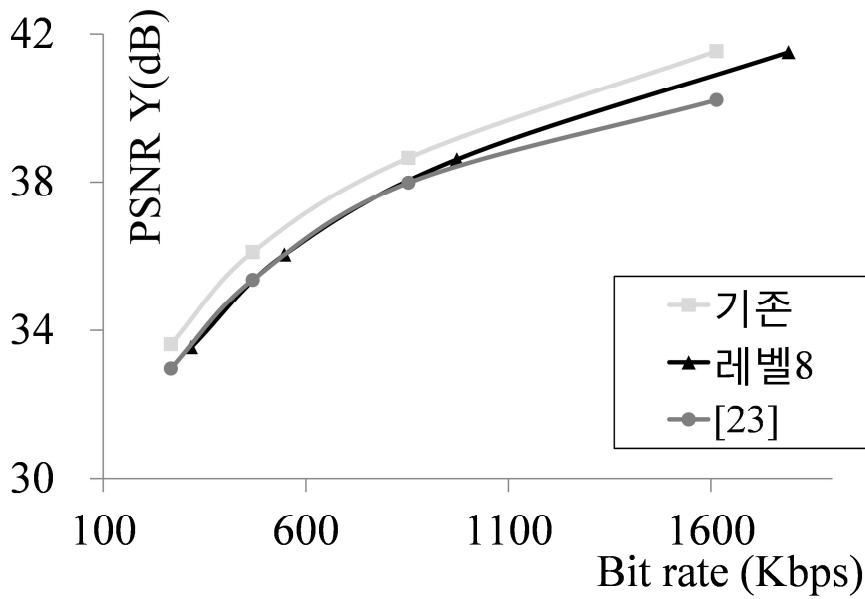
$$Power_{LeftAvg} = \frac{Power\ Budget - \sum_{i=1}^{k-1} Power\ Usage^i}{n - (k-1)} \quad (4-17) [23]$$

$P_{IME}$ 는 IME 모듈의 전력 소모를 뜻하고  $P_{OTHERS}$ 는 IME, FME, IP를 제외한 나머지 모듈들의 전력 소모를 뜻하며 이 값들은 [23]에서 사전에 측정된 전력 스케일링 자료를 통해 결정된다. 전력 감소 목표가 35%일 경우에는 대부분의 MB에서 (4-16)의 조건문이 true가 되어서 IME를 수행하지만 전력 감소 목표가 40%가 되면 (4-16)의 조건문이 false가 되는 MB가 급증하게 된다. 그 결과, IME가 수행 되지 않고 인트라 예측 모드로 인코딩 되는 MB의 수가 급증하면서 bitrate가 크게 증가하게 된다.

이러한 현상을 증명하기 위해서 본 연구에 활용된 H.264/AVC 인코더 모듈에 [23]의 알고리즘을 유사하게 구현하여서 실제로 실험을 진행하였다. 우선, [23]의 알고리즘 구현을 위하여 (4-16)을 통해 IME 연산을 수행할지 말지를 결정하였다. FME의 경우, [23]에서 두 가지 옵션을 제공하기 때문에 일곱 가지의 FME 예측 모드 (16×16, 16×8, 8×16, 그리고 4개의 8×8 모드)를 모두 수행하는 Full-FME (본 논문의 FME 모드 7)와 IME에서 결정된 최적 모드만을 수행하는 가장 간단한 FME (본 논문의 FME 모드 1)를 선택할 수 있게 하였다. [23]에서 사용한 pre-skip 알고리즘은 본 논문에서 사용한 ES와 유사하기 때문에 ES를 통해 구현하였다. 이렇게 재현된 시스템의 R-D 성능이 그림 4.11에 “[23]재현” 곡선으로 제시되었으며 그림 4.11 (a)에 제시된 akiyo 영상과 그림 4.11 (b)에 제시된 foreman 영상에서 모두 [23]의 R-D 곡선과 거의 유사한 것을 확인할 수 있다. 성능의 차이가 인트라 예측 모드로 인코딩 되는 MB 수의 증가로 인한 것임을 보이기 위하여 그림 4.12에는 전력 감소 목표가 40%일 때 기존의 인코더, 제안한 시스템, 그리고 [23]의 알고리즘을 재현한 시스템에서 인트라 예측 모드로 결정된 MB 개수의 비율을 네 가지 QP에 대해 제시하였다. 결과를 살펴보면 “[23]재현” 으로 명시된 [23]의 알고리즘을 재현한 시스템에서 인트라 예측 모드로 결정된 MB의 비율이 급증한 것을 확인할 수 있다. 이러한 결과를 통해 IME 연산을 수행하지 않는 것이 R-D 성능 저하에 큰 영향을 미치는 것을 확인할 수 있으며 IME 연산을 제외하는 것보다 IME 연산의 복잡도를 조절하여 전력 소모를 점차적으로 감소하는 것이 중요함을 알 수 있다.

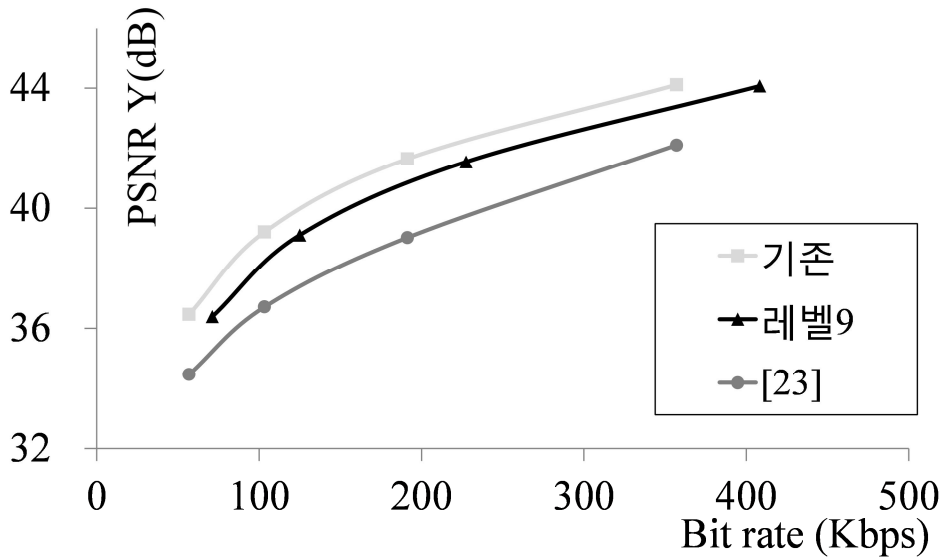


(a)

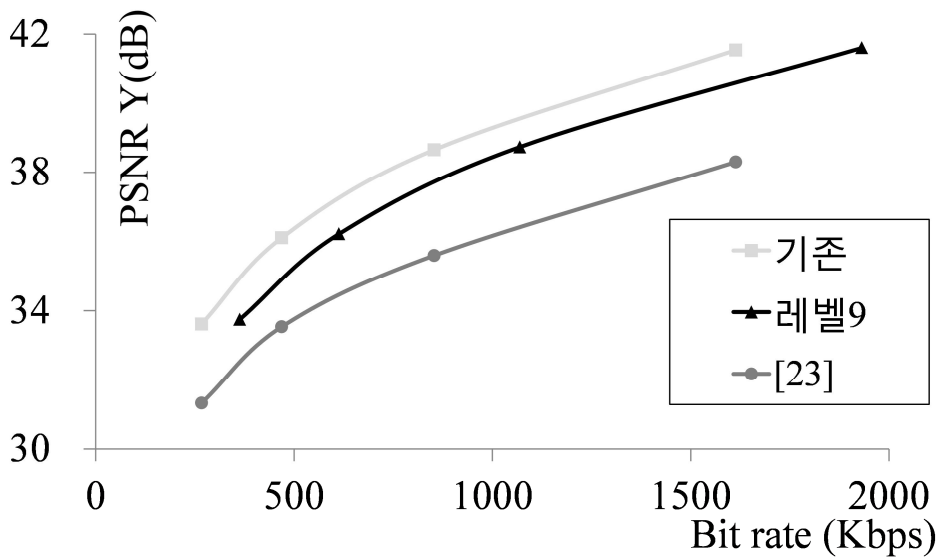


(b)

그림 4.9 전력 감소 목표가 35%일 때, Power-Aware Design의 R-D 성능 비교: (a) Akiyo (b) Foreman

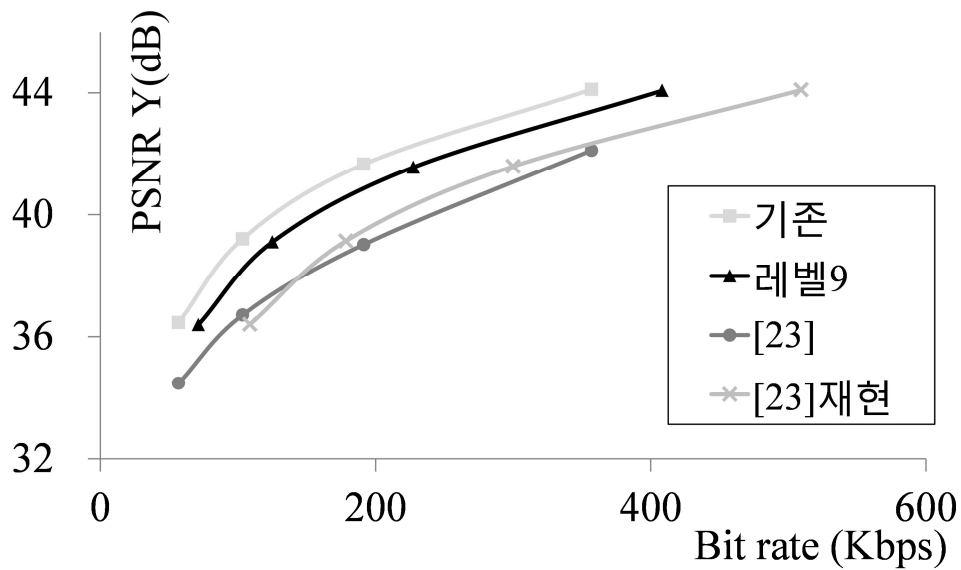


(a)

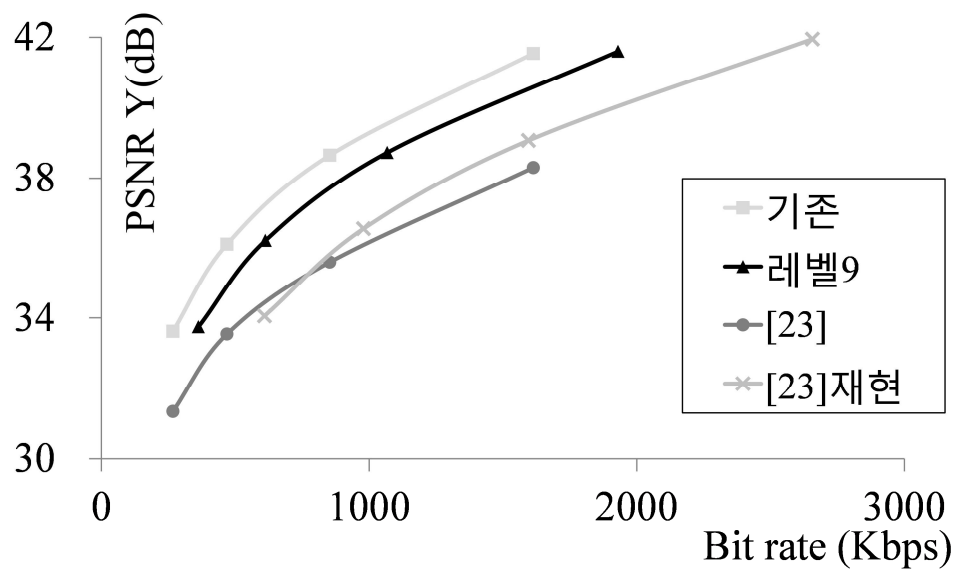


(b)

그림 4.10 전력 감소 목표가 40%일 때, Power-Aware Design의 R-D 성능 비교: (a) Akiyo (b) Foreman

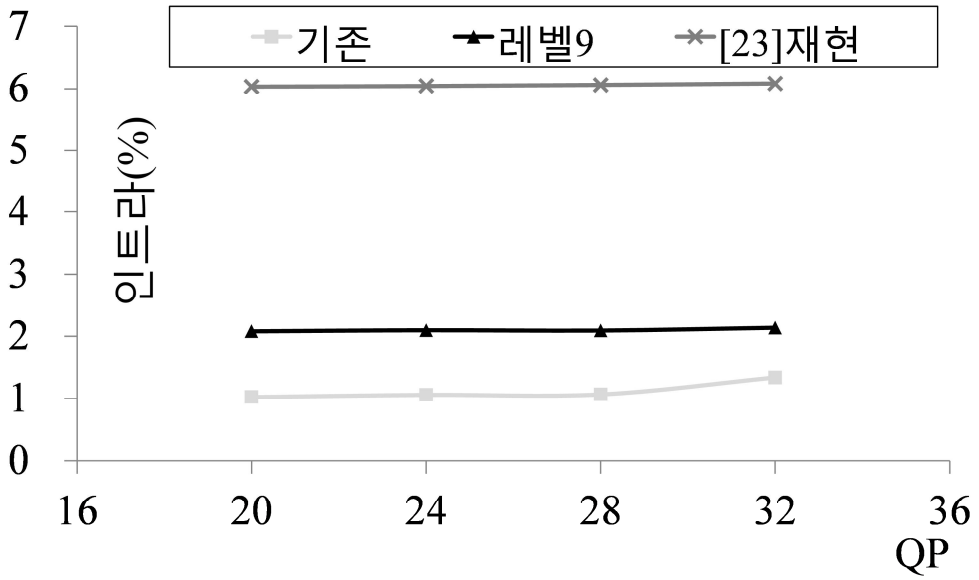


(a)

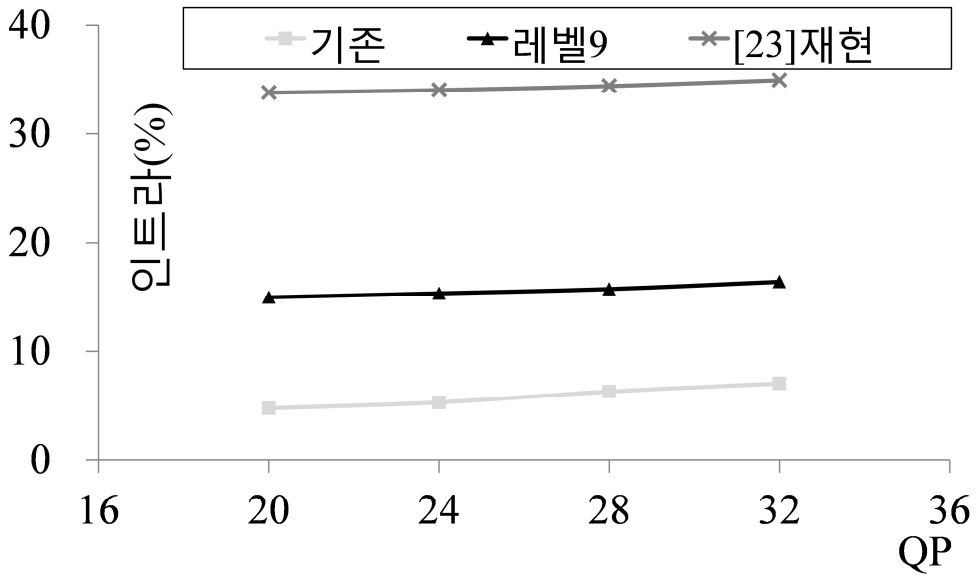


(b)

그림 4.11 전력 감소 목표가 40%일 때, 재현된 기존 연구 [23]의 R-D 성능 비교: (a)Akiyo (b)Foreman



(a)



(b)

그림 4.12 전력 감소 목표가 40%일 때, 인트라 예측 모드로 결정된 MB 개수의 비율 비교: (a)Akiyo (b)Foreman

### 4.5.3 Power-Aware Design의 영상 저장 장치 적용

이번 장에서는 power-aware design을 영상 저장 장치에 적용하였을 때의 성능을 평가한다. Power-aware design은 기존의 영상 저장 장치의 임시 모드에서 입력 영상을 H.264/AVC 인코더로 압축할 때, 인코더에 적용되어 전력 감소 효과를 얻을 수 있으며 레벨 1부터 레벨 9까지 아홉 가지 레벨을 활용하여 원하는 전력 목표를 만족할 수 있도록 사용될 수도 있다. Power-aware design을 적용한 영상 저장 장치 (Power-Aware VRS)의 특징은 임시 모드에서 H.264/AVC 인코더의 전력 제어를 통해 전력 감소 효과를 얻고 사전 저장 모드에서는 기존의 영상 저장 장치와 마찬가지로 스트림을 임시 저장 용도 메모리에서 장기 저장 용도 메모리로 옮기기만 하면 되기 때문에 3 장에서 제시된 멀티 압축 모듈을 통한 영상 저장 장치와 다르게 임시 모드와 저장 모드의 비율에 크게 영향을 받지 않고 전력 감소 효과를 얻을 수 있다는 점이다. 그림 4.13에는 PLT의 각 레벨이 영상 저장 장치에 적용되었을 때, 임시 모드와 사전 저장 모드에서 전력 소모가 제시되었다. 결과를 살펴보면 사전 저장 모드에서는 레벨에 따른 전력 소모 변화가 거의 없는데 비해 임시 모드에서는 레벨이 높아질수록 전력 소모가 점차적으로 감소되는 것을 확인할 수 있다. 그림 4.14에는 PLT의 각 레벨이 영상 저장 장치에 적용되었을 때, R-D 곡선이 제시되었다 (표 3.3에 제시된 실험 환경 사용). 결과를 살펴보면 레벨이 증가될수록 R-D 곡선이 조금씩 아래로 내려오는 것을 확인할 수 있으며 그 감소폭은 미비한 편이다. 즉, 레벨이 높아질수록 전력 소모는 점차적으로 감소하고 그에 따라서 R-D 성능의



미비한 저하가 동반되기 때문에 레벨의 조절을 통해 R-D 성능과 전력 소모의 trade-off 관계를 반영하여 인코더를 동작시키는 것이 가능하다.

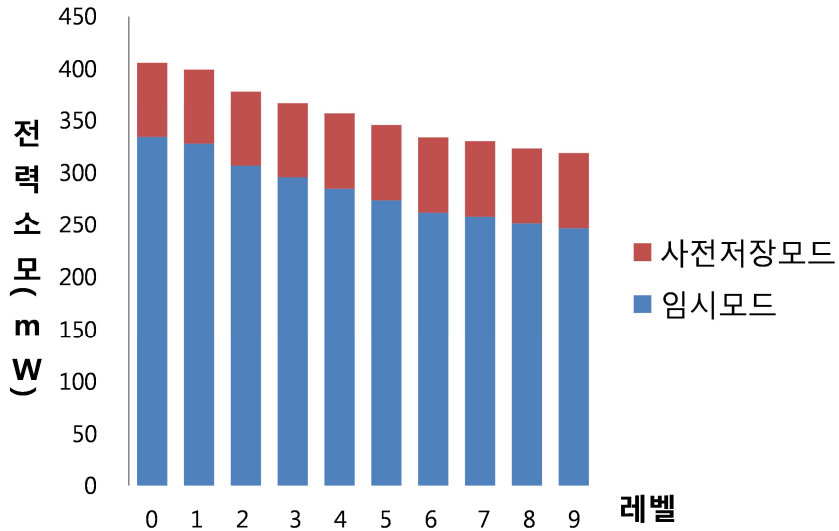


그림 4.13 Power-Aware VRS의 전력 소모 분석

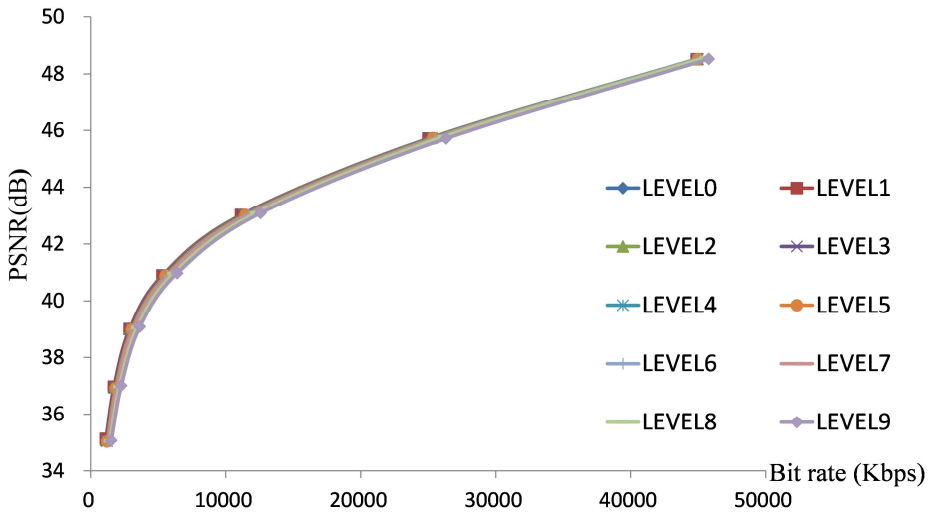


그림 4.14 Power-Aware VRS의 R-D 성능 분석

## 제5장 최적화된 영상 저장 장치의 활용 기법

이번 장에서는 기존의 영상 저장 장치의 구조에 3 장에서 제안한 두 가지 영상 저장 장치를 포함시킨 통합 영상 저장 장치의 하드웨어 플랫폼을 설명한다. 또한, 4 장에서 제안한 H.264/AVC 자체적으로 전력 감소 효과를 얻는 power-aware design을 통합 영상 저장 장치에 접목시킨다. 즉, 이번 장에서는 시스템적으로 멀티 압축 모듈을 활용하고 내부적으로 power-aware design을 활용하여 장치의 용도와 동작 환경에 따라 최적화된 영상 저장 장치를 제공하는 통합 영상 저장 장치의 구현 및 활용에 관한 설명을 한다.

## 5.1 통합 영상 저장 장치

### 5.1.1 통합 영상 저장 장치의 구현

이번 장에서는 3 장에서 제시한 멀티 압축 모듈을 통한 영상 저장 장치와 4 장에서 제시한 power-aware design을 함께 포함하는 통합 영상 저장 장치의 구현에 관한 설명을 한다. 이러한 통합 영상 저장 장치의 하드웨어 플랫폼이 그림 5.1에 제시되었다. H.264/AVC 인코더, LWC (LPFC) 인코더, LWC (LPFC) 디코더, 그리고 다운 샘플러와 같은 개별적인 모듈은 독립적으로 구현되었으며 이런 개별 모듈들은 모든 모듈 간의 데이터 통신이 가능하도록 Advanced eXtensible Interface (AXI)를 통해 연결되었다. OpenRISC 또한 AXI와 연결되어 AXI를 통해 전체 통합 시스템을 제어한다 [44]. 카메라 인터페이스 모듈은 입력 영상을 카메라로부터 받아서 각각의 압축 모듈에 전달한다. 이 때, LWC (LPFC) 인코더는 YCbCr422 포맷을 사용하고 H.264/AVC 인코더는 YCbCr420 포맷을 사용하기 때문에 압축 모듈에 맞게 입력 영상의 포맷을 제어하는 역할을 수행하도록 구현하였다. 또한, 이러한 카메라 인터페이스는 카메라 클럭과 시스템 클럭 간의 비동기화 클럭 도메인도 제어할 수 있도록 설계 되었다. 외부 메모리는 임시 저장 및 H.264/AVC 인코더의 동작을 위한 SDRAM과 장기 저장을 위한 NAND 플래시 메모리의 두 가지가 사용되었으며 각각 메모리 컨트롤러를 통해 전체 시스템과 연동되어 동작한다. 또한 USB

포트를 통해 압축된 최종 스트림을 출력할 수 있도록 Digital Video Port (DVP) 모듈을 전체 플랫폼에 포함하였으며 스트림 인터페이스를 구현하여서 시스템에 추가하였다. 스트림 인터페이스는 시스템 클럭과 스트림을 출력하기 위해 연결되는 장치가 사용하는 클럭이 다를 경우에 대비하여 스트림 출력 시에 외부 클럭과 시스템 클럭 간의 비동기화 클럭 도메인을 제어할 수 있는 모듈이다.

H.264/AVC 인코더는 기존 연구 [35]를 실시간 동작이 가능하도록 구현하여서 사용하였다. LWC는 인코더와 디코더가 각각 구현되었는데 LWC VRS에 사용될 LWC의 동작과 D-LPFC VRS에 사용될 LPFC의 동작을 하나의 모듈에서 처리할 수 있도록 구현되었다. LWC와 LPFC의 기본 동작은 거의 유사하며 LPFC가 DWT의 결과에서 저주파 성분만 사용하여 SPIHT으로 압축을 하는 구조이기 때문에 LWC 내부적으로 DWT 계수를 SPIHT 모듈로 전달하는 과정에서 고주파 성분을 전달하지 않도록 간단하게 변형을 하여 두 가지 기능을 모두 지원하는 모듈로 구현이 가능하다. 이렇게 구현된 모듈은 OpenRISC의 신호에 따라 LWC와 LPFC의 기능을 선택적으로 지원하게 된다. D-LPFC VRS에서 H.264/AVC 인코더의 전력 소모를 추가적으로 크게 감소시키는 다운 샘플러는 Joint Scalable Video Model (JSVM) 레퍼런스 소프트웨어 [45]에서 제공하는 다운 샘플링 기능을 하드웨어로 구현하여 사용하였다. 다만, 자체적인 전력 소모와 gate count를 최소화하기 위해 가로와 세로를 각각 1/2씩 감소시키는 기능만을 포함하도록 축소 비율을 고정하여 가장 간단하게 구현되었다. 이러한 통합 영상 저장 장치는 내부적으로 OpenRISC의

제어를 통해 장치의 용도 및 동작 환경에 적합한 영상 저장 장치의 기능을 선택하여 사용할 수 있다. OpenRISC의 제어에 따라 특정 영상 저장 장치가 선택되면 해당 영상 저장 장치의 임시 모드와 저장 모드 동작에 필요한 모듈들만이 활성화되어서 동작되게 되며 불필요한 모듈들은 clock gating [38] 혹은 power gating [39]을 통해 불필요한 전력 소모를 최소화한다.

Power-aware design의 경우, H.264/AVC 인코더 내부에 적용되어 전력 소모를 제어하게 되는데 PLT의 선택 및 레벨의 선택, 유동적인 레벨 적용 기법 등을 OpenRISC에서 간단한 연산을 통해 결정을 한 후, H.264/AVC 인코더 모듈에 신호를 제공하면 power-aware design의 기능을 포함하고 있는 H.264/AVC 인코더 하드웨어 모듈이 신호에 따라 PLT를 적용하여 인코더를 동작시킨다.

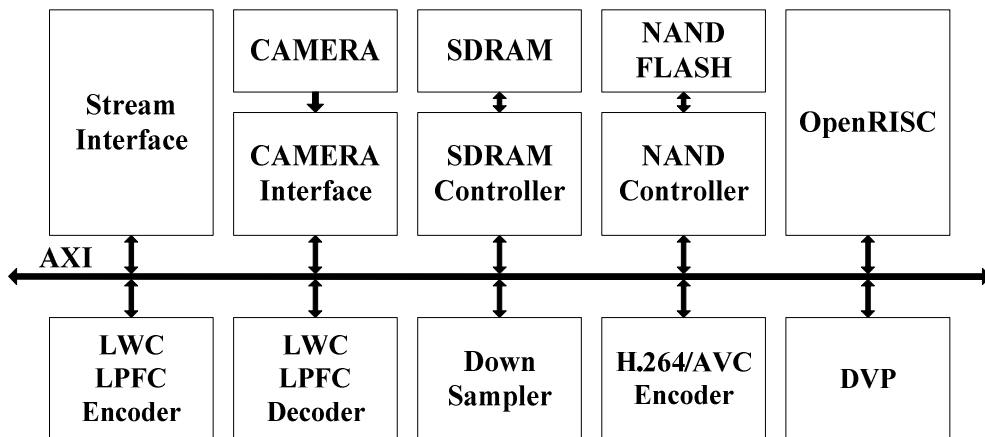


그림 5.1 통합 영상 저장 장치의 하드웨어 플랫폼

### 5.1.2 통합 영상 저장 장치의 FPGA 검증

이번 장에서는 구현된 통합 영상 저장 장치 하드웨어 플랫폼의 동작을 Field Programmable Gate Array (FPGA)를 통해 검증한다. 검증을 위한 FPGA로는 그림 5.2에 나타난 것처럼 ㈜휴인스를 통해 자체 제작한 SNUPEE rev2.0 SoC Platform Board가 사용되었다. 해당 보드는 외부와의 입출력을 담당하는 SNUPEE I/O 보드, Xilinx Virtex-6 (XC6VLX760)를 내장하고 있는 FPGA 보드, 그리고 전원 공급 및 메모리, Ethernet, USB 등등 여러 동작을 지원하기 위한 기능을 포함한 SNUPEE Base Board로 구성된다. 각각의 보드는 그림 5.2에 명시되었다.

검증할 통합 영상 저장 장치의 동작은 크게 세 가지이다. 우선, 기본적으로 제안한 멀티 압축 모듈을 통한 영상 저장 장치의 임시 모드와 사전 저장 모드의 동작을 확인하기 위하여 다음과 같은 경로를 통해 검증을 시도 하였다.

카메라 → 카메라 인터페이스 → LWC 인코더 → SDRAM → LWC 디코더  
→ H.264/AVC 인코더 → SDRAM → DVP → USB → PC

H.264/AVC 인코더로 재압축된 스트림을 SDRAM에 다시 저장한 것은 시스템의 구조상 DVP가 SDRAM에 저장되어 있는 정보를 읽어가도록 설계가 되었기 때문이다.

다음으로 사후 저장 모드 및 기존 영상 저장 장치의 동작을 확인하기

위하여 H.264/AVC 인코더의 스트림을 by-pass시키는 다음과 같은 경로로 검증을 시도하였다.

카메라 → 카메라 인터페이스 → H.264/AVC 인코더 → SDRAM → DVP →  
USB → PC

마지막으로, 비동기화 클럭 도메인 처리 여부 확인을 위하여 외부 보드를 활용하여 LWC 인코더의 동작을 검증한 후, 영상 정보를 외부로 by-pass시키는 다음과 같은 경로로 검증을 시도하였다.

외부 보드 카메라 → 카메라 인터페이스 → LWC 인코더 → SDRAM →  
LWC 디코더 → 스트림 인터페이스 → 외부 보드 화면

외부 보드의 경우, (주)코어로직의 CLM9722 보드가 사용되었는데 외부 보드에서는 80MHz의 클럭을 사용하고 SNUPEE에서는 50MHz의 클럭을 사용하여서 FPGA 검증을 시도하였으며 외부 보드와 SNUPEE는 FPGA Mezzanine Card (FMC)를 통해 연결되었다.

세 가지 경로에서 모두 통합 영상 저장 장치가 FPGA 보드 상에서 정상적으로 동작하는 것을 확인하였으며 그림 5.3에는 외부 보드 화면을 통해 세 번째 경로를 검증한 결과가 제시되었다. 화면 속에 작은 창에 출력된 화면이 SNUPEE에서 LWC 인코딩 및 디코딩을 거쳐서 FMC를 통해 CLM9722 보드 상에서 출력된 화면이다.

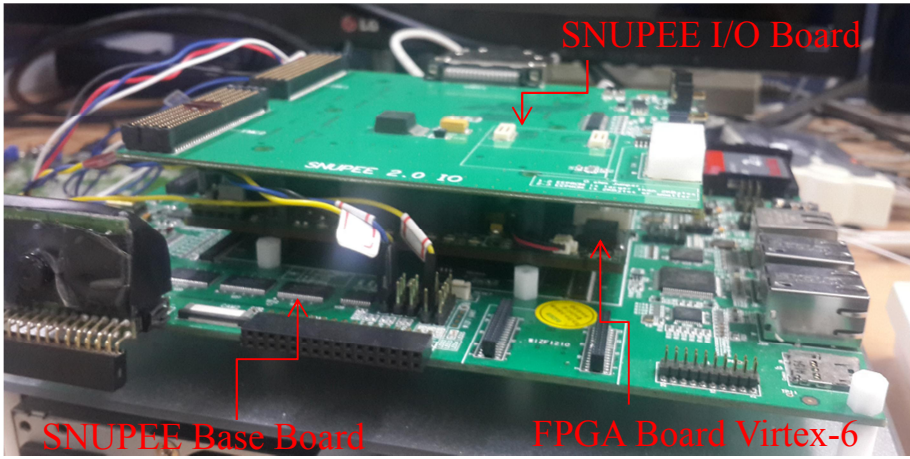


그림 5.2 SNUPEE rev2.0 SoC Platform Board

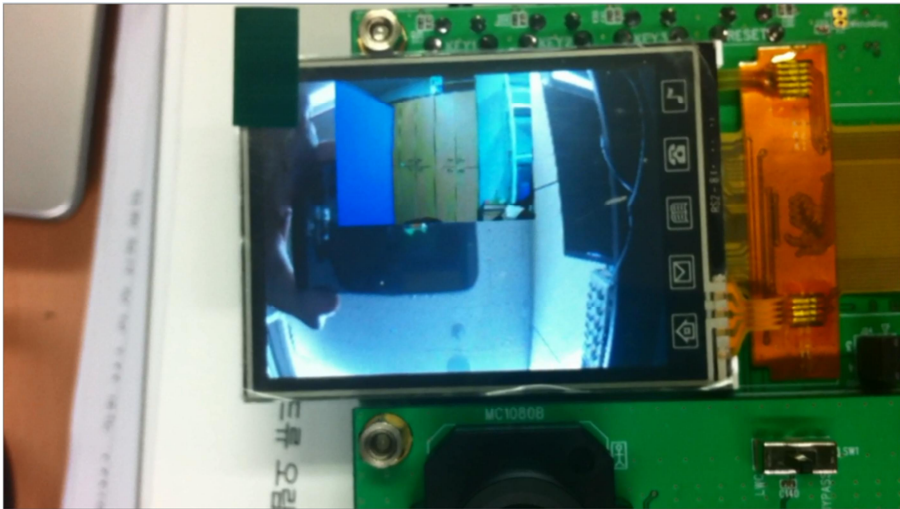


그림 5.3 통합 영상 저장 장치의 FPGA 검증 결과



## 5.2 최적화된 영상 저장 장치

### 5.2.1 최적화된 영상 저장 장치를 위한 분석

기존의 영상 저장 장치는 일반적으로 큰 전력 소모를 야기하지만 높은 화질의 영상을 제공하는 것이 가능하다. 그러므로 만약에 사용자가 전력 소모와 무관하게 고화질의 영상 저장 장치를 사용하고 싶다면 기존의 영상 저장 장치를 선택하여 사용하면 된다. 그러나 화질 저하가 조금 야기되더라도 배터리 문제 등으로 인해 저전력으로 영상 저장 장치를 동작하고 싶을 경우에는 저전력 모드를 통하여 저전력 영상 저장 장치를 사용할 수 있다. 본 논문에서는 LWC 만을 활용하여 임시 모드에서 큰 전력 감소 효과가 있는 LWC VRS와 다운 샘플링까지 활용하여 임시 모드뿐만 아니라 저장 모드에서도 전력 감소 효과가 있는 D-LPFC VRS의 두 가지 멀티 압축 모듈을 통한 영상 저장 장치를 제시하였고 H.264/AVC 인코더 내부의 전력 소모를 효과적으로 감소시키는 power-aware design을 적용한 Power-Aware VRS를 제시하였다. 저전력 모드에서는 R-D 성능과 전력 소모의 trade-off 관계를 고려하여 멀티 압축 모듈을 통한 기법과 인코더 내부의 전력 소모 제어 기법 중에 장치의 용도 및 특성, 그리고 동작 환경에 가장 적합한 방식을 활용할 수 있어야 한다. 그러기 위해서 이번 장에서는 장치의 용도 및 동작 환경에 따른 분석을 통하여 제안한 방법들을 가장 효율적으로 활용하는 방법에 대해 설명한다.

이러한 분석의 목적은 최소의 전력으로 최대의 성능을 얻는 영상 저장 장치를 구성하는 것이기 때문에 R-D 성능과 전력 소모의 trade-off 관계를 고려하여 분석이 이루어진다. 우선, 전력 소모의 측면에서 분석을 하게 되는데 영상 저장 장치의 전력 소모에는 임시 모드가 저장 모드로 전환되는 비율인  $F_{\text{RECORD}}$ 가 최적화된 영상 저장 장치의 선택에 큰 영향을 미친다. 이는  $F_{\text{RECORD}}$ 에 따라 임시 모드와 저장 모드가 전체 시스템의 전력 소모에 미치는 비중이 달라지는데 기존의 영상 저장 장치, 멀티 압축 모듈을 통한 영상 저장 장치, 그리고 Power-Aware VRS에서 임시 모드와 사전 저장 모드의 전력 소모가 모두 다르기 때문이다. 표 3.7과 그림 4.13의 결과들을 기반으로 하여 그림 5.4에는 여러 영상 저장 장치의  $F_{\text{RECORD}}$ 에 따른 소모 전력이 제시되었고 그림 5.5에는 기존 영상 저장 장치와 비교했을 때 각 시스템의 전력 감소 효과가 그래프로 제시되었다. Power-Aware VRS의 경우, 가장 전력 감소 효과가 좋은 레벨 9가 적용된 경우만 표시하였으며 PLT의 경우 레벨의 증가에 따라 전력 감소 효과가 점차적으로 증가하기 때문에 레벨 1부터 레벨 8까지의 소모 전력을 나타내는 결과는 기존의 영상 저장 장치를 나타내는 그래프와 PLT의 레벨 9가 적용됐을 때의 그래프 사이에 위치하게 된다. 그림 5.4를 살펴보면  $F_{\text{RECORD}}$ 가 증가함에 따라 모든 영상 저장 장치에서 전력 소모가 증가하는데 증가하는 기울기가 다른 것을 확인할 수 있다. Power-Aware VRS의 경우, 임시 모드에서 사용되는 H.264/AVC 인코더의 전력 소모만을 감소시켰기 때문에 기울기는 기존 VRS와 같게 되며 기존 VRS의 그래프가 H.264/AVC의 전력 소모가 감소한 만큼 평행하게 아래로

이동하게 된다. 이는 Power-Aware VRS의 경우,  $F_{\text{RECORD}}$ 와 무관하게 전력의 절대적인 수치를 감소시키는 효과가 있음을 뜻한다. 반면에 멀티 압축 모듈을 통한 영상 저장 장치의 경우, 임시 모드에서 전력 소모를 기존 영상 저장 장치 대비 대폭 감소시켰지만 사전 저장 모드에서는 기존의 영상 저장 장치나 Power-Aware VRS보다 전력 소모가 크기 때문에  $F_{\text{RECORD}}$  증가에 따른 전력 증가 폭이 크게 되어서 기울기가 증가하게 된다. 다만, D-LPFC VRS에서는 다운 샘플링을 활용하여 LWC VRS에 비해 그 증가 폭이 감소된 것을 확인할 수 있다.

임시 모드의 활성화 비율이 높지 않아서  $F_{\text{RECORD}}$ 가 상대적으로 높은 CCTV, 주차 중인 블랙박스나 계속해서 장기 저장을 수행하는 캠코더, 스포츠 카메라 같은 경우, 저장 모드가 전체 시스템의 소모 전력에 미치는 비중이 높게 된다. 그러므로 저장 모드에서 전력 소모가 크게 발생하는 LWC VRS를 사용하게 되면 전력 감소 효과가 크게 나타나지 못하며 만약  $F_{\text{RECORD}}$ 가 100%에 가까워질 경우, 표 3.7에 나타난 것처럼 LWC VRS의 전력 감소 효과는 거의 없게 된다. 그러나 다운 샘플링을 통해 사전 저장 모드에서 소모 전력을 감소시킨 D-LPFC VRS를 사용하게 되면  $F_{\text{RECORD}}$ 의 비율이 높은 경우에도 기존 영상 저장 장치 대비 전력 감소 효과가 높게 유지될 수 있다. 또한, Power-Aware VRS도  $F_{\text{RECORD}}$ 와 상관 없이 전력 감소 효과가 일정하게 나타나기 때문에  $F_{\text{RECORD}}$ 가 높을 경우에는 LWC VRS보다 효율적으로 전력을 감소시킬 수 있다. 반면에, 임시 모드의 활성화 비율이 높아서 임시 모드에서 저장 모드로 변환되는 비율이 상대적으로 낮은 뱃지 카메라, 주행중인 블랙박스, 드론과 같은

경우,  $F_{\text{RECORD}}$ 의 값이 작기 때문에 임시 모드가 전체 시스템의 전력 소모에 미치는 비중이 저장 모드가 미치는 비중보다 훨씬 크게 된다. 그렇기 때문에 임시 저장에 경량화 압축 방식을 활용하는 D-LPFC VRS와 LWC VRS를 사용한다면 power-aware design을 활용하는 것보다 더 큰 전력 감소 효과를 얻을 수 있다. 이처럼 임시 저장과 장기 저장의 비율을 고려하여 용도에 적합한 영상 저장 장치를 선택하는 것이 가능하다.

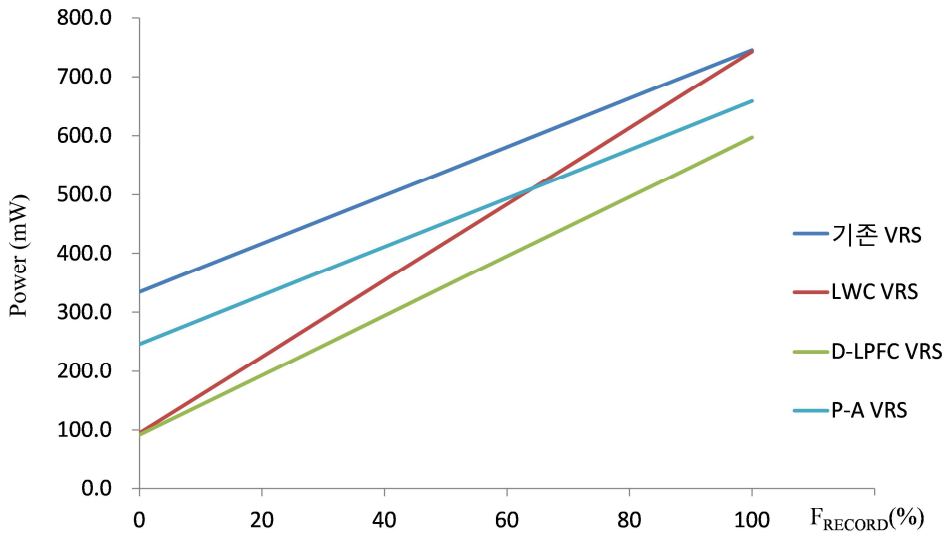


그림 5.4 영상 저장 장치들의 전력 소모 비교

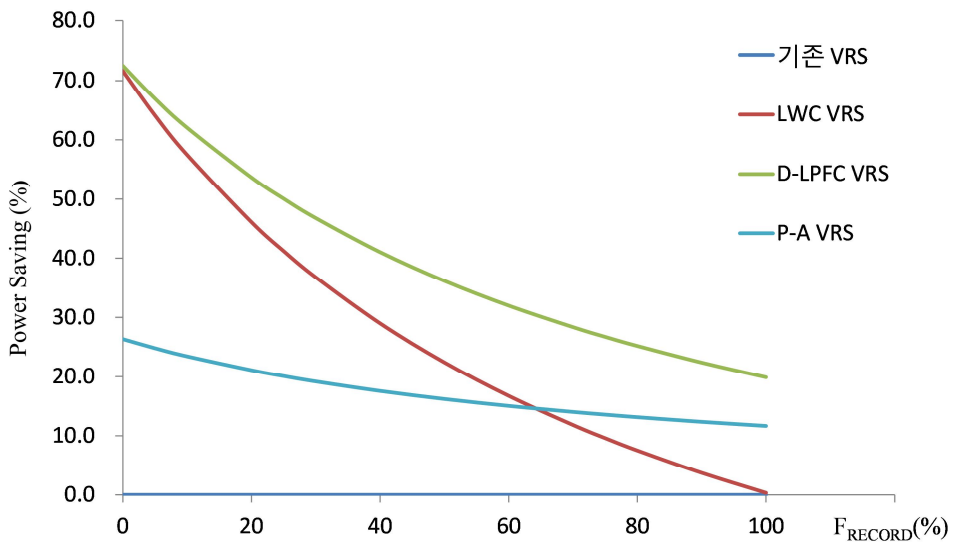


그림 5.5 영상 저장 장치들의 전력 감소 효과 비교

다음으로 R-D 성능의 차원에서 영상 저장 장치를 분석을 하게 된다. 영상 저장 장치의 R-D 성능은  $F_{\text{RECORD}}$ 에는 큰 영향을 받지 않는다. 왜냐하면,  $F_{\text{RECORD}}$ 는 최종 스트림이 발생하게 되는 빈도를 결정하는 것이지 이러한 스트림의 성능에 영향을 미치는 것이 아니기 때문이다. 오히려, 영상 저장 장치의 R-D 성능에는 target bitrate가 큰 영향을 미친다. 그림 5.6에는 표 3.3의 실험 환경을 통해 측정된 영상 저장 장치들의 R-D 곡선이 제시되었다. Power-Aware VRS의 경우, 가장 R-D 성능 저하가 크게 발생하는 레벨 9만 표시하였는데 PLT의 경우, 레벨의 증가에 따라 R-D 성능 저하가 점차적으로 증가하기 때문에 레벨 1부터 레벨 8까지의 R-D 성능을 나타내는 결과는 기존의 영상 저장 장치를 나타내는 그래프와 PLT의 레벨 9가 적용됐을 때의 그래프 사이에 위치하게 된다. Power-Aware VRS의 그래프를 살펴보면 전반적으로 R-D 성능 저하가 미비한 편인데 bitrate가 낮을 경우보다 높을 경우에 R-D 성능 저하가 더욱 더 작게 나타난다. LWC VRS의 경우, Power-Aware VRS와 반대로 낮은 bitrate에서 기존 영상 저장 장치와의 R-D 성능 차이가 미비하고 bitrate가 높아질수록 그 차이가 더 벌어지는 것을 볼 수 있다. 이는 낮은 bitrate를 만족하기 위해 H.264/AVC 인코더에서 높은 QP 값을 사용하게 되면 LWC로 인한 R-D 손실 효과가 시스템에 미치는 영향이 작아지기 때문이다. D-LPFC VRS의 경우, 다운 샘플링의 활용으로 인한 R-D 성능 저하로 인해 bitrate가 증가하여도 PSNR이 거의 변하지 않는 R-D 성능의 saturation 현상이 일어난다. 그렇기 때문에 어느 수준 이상의 PSNR을 내는 것이 어렵고 높은 target bitrate를 필요로 하는 장치에서는 활용할 수

없다. 그러나 매우 낮은 bitrate에서는 기존의 영상 저장 장치나 LWC VRS보다 오히려 더 높은 성능을 보이는데 이는 bitrate가 낮은 어떤 시점부터는 다운 샘플링을 통해 bitrate를 낮추는 것이 QP를 조절하는 방식보다 효율적이기 때문이다 [46].

일반적으로 bitrate bandwidth (BW)에 제한을 갖고 동작되는 시스템들이 많고 그러한 target bitrate를 맞추기 위해 bitrate 컨트롤 기법 [47] 등이 H.264/AVC 인코더에 적용되어 널리 사용되기 때문에 target bitrate를 기준으로 영상 저장 장치를 분류하는 것이 타당하고 볼 수 있다. 이러한 target bitrate는 일반적으로 동작 환경이나 장치의 특성에 따라 달라지게 된다. 저장 용량이 충분한 경우는 상대적으로 높은 bitrate를 사용하는 것이 가능하고 저장 용량이 불충분하거나 저장된 스트림을 바로 Wi-Fi나 무선 네트워크, usb 등으로 전송을 해야 하는 경우는 상대적으로 낮은 bitrate가 사용되어야 하기 때문에 동작 환경이나 장치의 특성에 맞게 최종 압축된 스트림의 크기가 고려되어야 한다. Target bitrate에 제약이 크지 않은 경우에는 보편적으로 영상의 화질에 중점을 두고 압축을 수행을 한다. 이를 위해 H.264/AVC 인코더가 상대적으로 낮은 QP 값을 사용하며 이는 그림 5.6에서 X축의 오른쪽 부분을 의미한다. 앞서 설명했듯이 이런 높은 bitrate 영역에서는 D-LPFC VRS는 성능의 saturation으로 인해 활용될 수가 없으며 LWC VRS보다 Power-Aware VRS가 더 높은 성능을 보이게 된다. 반면에, target bitrate에 제약이 심한 경우에는 영상의 화질보다는 bitrate를 줄이는 것이 중요하기 때문에 H.264/AVC 인코더가 상대적으로 높은 QP 값을 사용하며 이는 그림 5.6에서 X축의

왼쪽 부분을 의미한다. 이런 낮은 bitrate 영역에서는 오히려 기존의 영상 저장 장치보다도 성능이 좋게 나타나는 D-LPFC VRS가 가장 강점을 보이며 Power-Aware VRS보다는 LWC VRS가 더 높은 성능을 보인다. 이처럼 영상 저장 장치에서 저전력 모드가 필요할 때, target bitrate에 따라 영상 화질의 측면에서 더 유리한 영상 저장 장치를 활용하는 것이 가능하다.

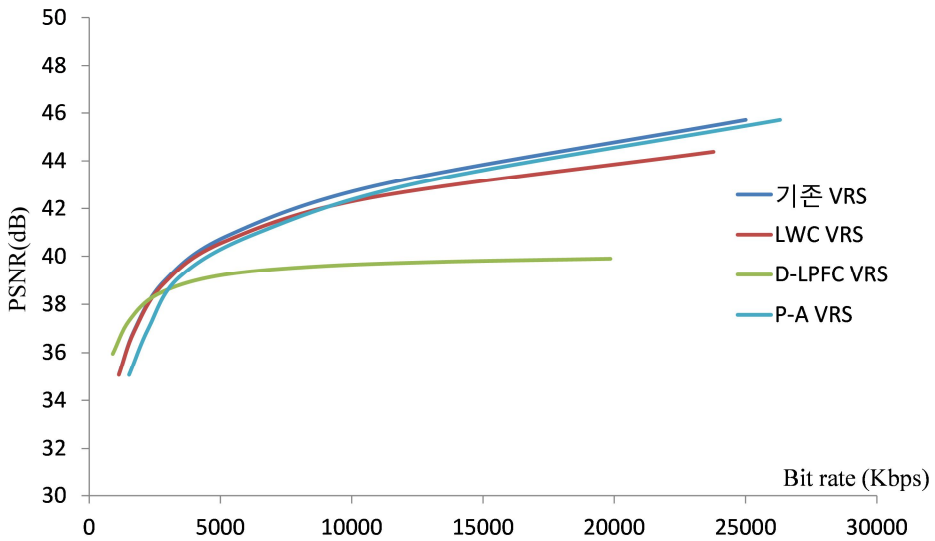


그림 5.6 영상 저장 장치들의 R-D 성능 비교



## 5.2.2 최적화된 영상 저장 장치 선택 기법

앞서 언급된 동작 환경들 (사용자의 편의,  $F_{\text{RECORD}}$ , target bitrate)을 고려하였을 때, 통합 영상 저장 장치에서 최적화된 특정 영상 저장 장치를 선택하는 방식이 그림 5.7에 제시되었다. 사용자가 영상 화질을 최우선으로 생각하는 Quality Mode를 원할 경우, 기존의 영상 저장 장치가 선택된다. 그러나 만약에 사용자가 전력 소모를 감소시킬 수 있는 Low-Power Mode를 원할 경우, 동작 환경 및 장치의 용도에 따라 제안된 영상 저장 장치들이 선택된다. 우선, target bitrate가 BW의 제한으로 인하여 기준 값인  $TH_B$ 보다 낮은 경우에는 전력 감소 효과가 가장 크고 동시에 낮은 bitrate 영역에서 R-D 성능 또한 가장 뛰어난 D-LPFC VRS를 활용한다.  $TH_B$ 의 경우, 그림 5.6에 기반하여 D-LPFC VRS의 saturation이 시작되는 지점이자 Power-Aware VRS와 LWC VRS의 성능의 교차점 부근인 5,000Kbps로 정하였다. 만약, BW의 제한이 없어서 target bitrate가  $TH_B$ 보다 높을 경우에는 D-LPFC VRS는 화질의 saturation으로 인해 성능의 제약이 있기 때문에 사용될 수 없고 LWC VRS와 Power-Aware VRS 중에 적합한 영상 저장 장치를 활용해야 하는데 이 때,  $F_{\text{RECORD}}$ 를 기준으로 하여 영상 저장 장치를 선택하게 된다.  $F_{\text{RECORD}}$ 가 기준 값인  $TH_R$ 보다 낮은 경우에는 임시 저장에 경량화 압축 방식을 활용한 LWC VRS의 전력 감소 효과가 월등히 높기 때문에 LWC VRS를 활용하게 된다. 그림 5.4와 그림 5.5를 보면  $F_{\text{RECORD}}$ 가 높아질수록 LWC VRS의 전력 감소 효과가 점차 감소하다가  $F_{\text{RECORD}}$ 가 60% 부근이 될 경우, Power-Aware VRS의 전력 감소

효과가 LWC VRS의 전력 감소 효과보다 더 뛰어나게 된다. 그런데 그림 5.6에서 볼 수 있듯이 높은 bitrate 영역에서는 기본적으로 Power-Aware VRS가 LWC VRS보다 더 좋은 R-D 성능을 보이기 때문에 이를 감안하여  $TH_R$ 을 50%로 설정하였다. 50% 부근에서 둘 사이의 전력 감소 효과 차이는 6.2% 정도로 크지 않은데 (LWC VRS : 22.4%, Power-Aware VRS : 16.2%) 그에 따른 BDPSNR은 Power-Aware VRS가 0.58dB만큼 우수하기 때문에 (LWC VRS : -0.85dB, Power-Aware VRS : -0.27dB) 성능의 차이가 크다고 볼 수 있다. 그래서 약간의 전력 감소 효과 차이를 감수하고 큰 차이를 보이는 성능의 우수성을 택하였다. 이렇게 동작 환경이나 장치의 용도 및 특성을 고려하여 상황에 맞는 영상 저장 장치를 선택하여 사용할 경우, 기존 영상 저장 장치를 사용하거나 기존 구조에서 저전력으로 동작시킨 영상 저장 장치 중 하나를 단일적으로 사용하는 것보다 같은 전력 소모 상에서 더 우수한 화질을 보이며 그 결과를 다음 장에서 보인다.

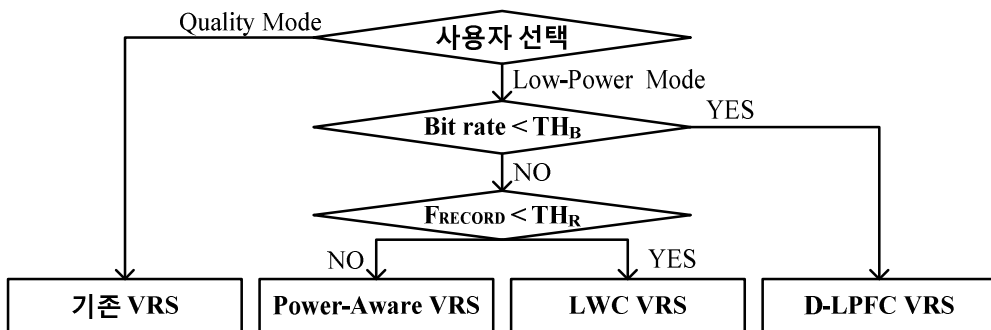


그림 5.7 최적화된 영상 저장 장치의 선택 방법

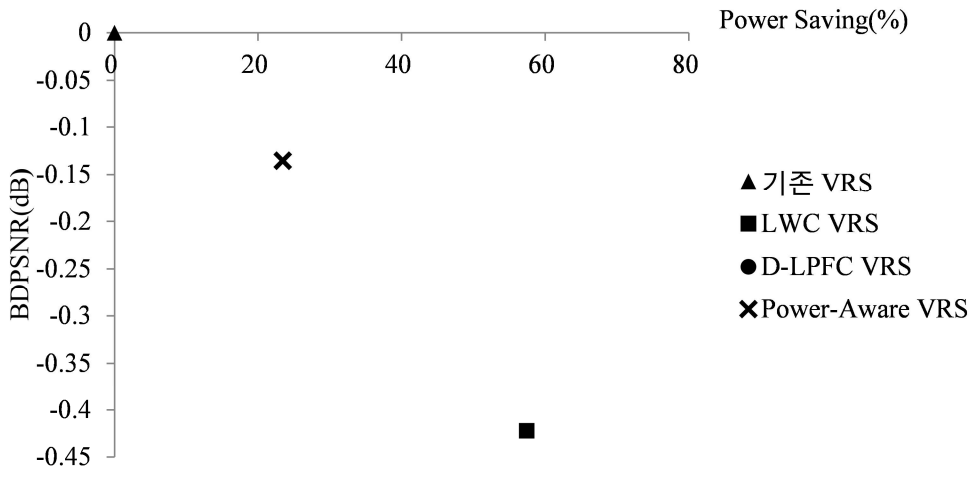
### 5.3 성능 평가

앞에서 언급했듯이 제안한 LWC VRS, D-LPFC VRS, 그리고 Power-Aware VRS의 경우, 전력 감소 효과가 있지만 그에 따른 추가적인 화질의 저하가 야기된다. 이러한 전력 소모와 R-D 성능의 trade-off 관계에서 가장 우수한 성능을 보이는 영상 저장 장치를 선택하는 방법이 5.2 장에서 제시되었다. 이번 장에서는 제시한 선택 방법의 우수성을 보인다. 그러기 위하여 그림 5.8에는 그림 5.5에 제시된 전력 감소 효과와 그림 5.6에 제시된 R-D 성능을 활용하여 전력 감소 효과와 BDPSNR의 trade-off 관계에서 영상 저장 장치의 성능을 평가한다. 본 논문에서는 영상 저장 장치의 선택 기준으로  $F_{\text{RECORD}}$ 와 target bitrate를 활용하였기 때문에  $F_{\text{RECORD}}$ 가 낮은 경우 (10%로 가정)와 높은 경우 (70%로 가정)를 분류하여 그래프를 제시하였고 bitrate 또한 낮은 경우 (H.264/AVC 인코더의 QP : 24, 28, 32, 36)와 높은 경우 (H.264/AVC 인코더의 QP : 12, 16, 20, 24)를 분류하여 총 네 가지의 그래프를 제시하였다 ((a)낮은  $F_{\text{RECORD}}$  + 높은 bitrate, (b)낮은  $F_{\text{RECORD}}$  + 낮은 bitrate, (c)높은  $F_{\text{RECORD}}$  + 높은 bitrate, (d)낮은  $F_{\text{RECORD}}$  + 낮은 bitrate). 그래프의 X축이 기존 영상 저장 장치 대비 전력 감소 효과를 나타내고 Y축이 기존 영상 저장 장치 대비 BDPSNR 값의 변화를 나타낸다. QP 값이 24일 때를 기준으로 bitrate의 높고 낮음을 나눈 것은 본 논문에서 제시한 기준 값이  $TH_B$ 가 5,000Kbps인데 그것에 해당되는 결과를 보이는 QP 값이 24이기 때문이다. 이런 환경에서 기존의 영상 저장 장치, LWC VRS, D-LPFC VRS, Power-Aware VRS (PLT의 레벨 9

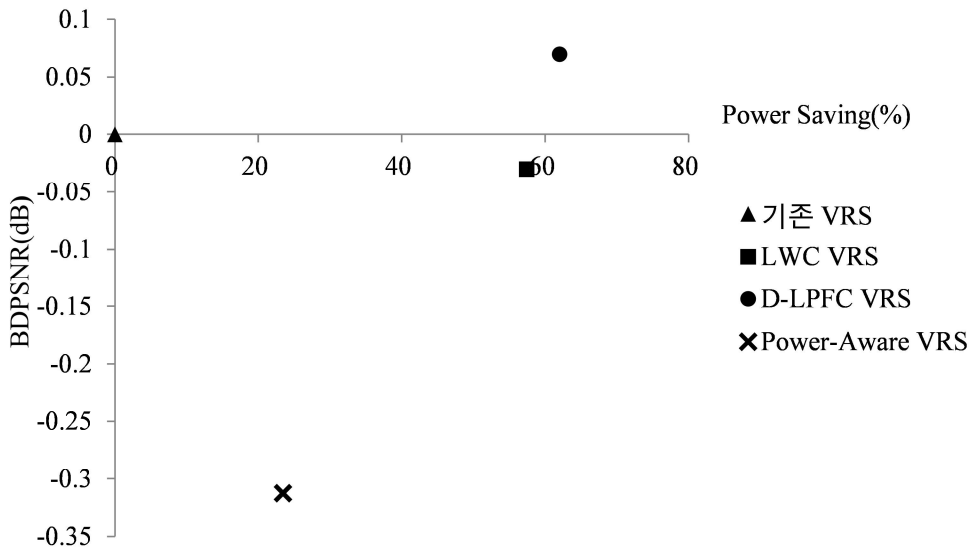
적용)의 성능이 비교되었다.

그림 5.8 (a)를 살펴 보면, LWC VRS가 소모 전력만을 고려하였을 때 가장 큰 전력 감소 효과가 있음을 확인할 수 있다. 전력 감소 효과 대비 BDPSNR 변화 (기울기)가 전력 소모와 R-D 성능의 trade-off 관계에서 시스템의 우수한 정도를 나타낸다고 볼 수 있는데 (기울기가 완만할수록 더 우수한 시스템) Power-Aware VRS와 LWC VRS의 기울기가 거의 일치하는 것을 확인할 수 있다. 즉,  $F_{\text{RECORD}}$ 가 낮고 target bitrate가 높을 경우에는 시스템의 우수성도 뛰어나면서 절대적인 전력 감소 효과도 가장 큰 LWC VRS를 활용하는 것이 가장 효율적임을 확인할 수 있다. LWC VRS를 활용할 경우, 0.42dB의 BDPSNR 감소로 57.5%의 전력 감소 효과를 얻을 수 있다. D-LPFC VRS는 PSNR의 saturation으로 높은 bitrate에서는 사용될 수 없기 때문에 그래프에 표시되지 않았다. 그림 5.8 (b)를 살펴 보면 D-LPFC VRS가 전력 감소 효과도 가장 크면서 오히려 BDPSNR이 기존의 영상 저장 장치와 비교했을 때, 증가하는 것을 확인할 수 있다. 즉,  $F_{\text{RECORD}}$ 가 낮고 target bitrate가 낮을 경우에는 시스템의 우수성도 월등히 뛰어나면서 절대적인 전력 감소 효과도 가장 큰 D-LPFC VRS를 활용하는 것이 가장 효율적이다. D-LPFC VRS를 활용할 경우, 62%의 전력 감소 효과를 얻을 수 있으며 오히려 0.07dB의 BDPSNR이 증가되는 효과 또한 얻을 수 있다. 이러한 성향은  $F_{\text{RECORD}}$ 가 높고 target bitrate가 낮을 경우를 보인 그림 5.8 (d)에서도 마찬가지로 나타나며 (28.4%의 전력 감소 효과), 결국 target bitrate가 낮다면 D-LPFC가 가장 효율적임을 확인할 수 있다. 마지막으로 그림 5.8 (c)를 살펴 보면 Power-Aware VRS가 LWC VRS보다

더 많은 전력 감소 효과를 보이면서 동시에 우수성이 월등히 뛰어난 것을 확인할 수 있다. 즉,  $F_{\text{RECORD}}$ 가 높고 target bitrate가 높을 경우에는 절대적인 전력 감소 효과도 어느 정도 있으면서 시스템의 우수성이 월등히 뛰어난 Power-Aware VRS를 활용하는 것이 가장 효율적임을 확인할 수 있다. Power-Aware VRS를 활용할 경우, 0.14dB의 BDPSNR 감소로 14%의 전력 감소 효과를 얻을 수 있다. 이러한 Power-Aware VRS의 경우, 캠코더와 같이 계속해서 저장 모드가 동작해야 하는 장치 ( $F_{\text{RECORD}}=100\%$ )에서도 최소한의 R-D 성능 저하로 전력 감소 효과를 얻는 것이 가능하며 이는  $F_{\text{RECORD}}$ 의 증가에 따라 전력 감소 효과가 크게 영향을 받는 LWC VRS나 D-LPFC VRS의 약점을 Power-Aware VRS가 보완할 수 있음을 보여 준다.



(a)



(b)

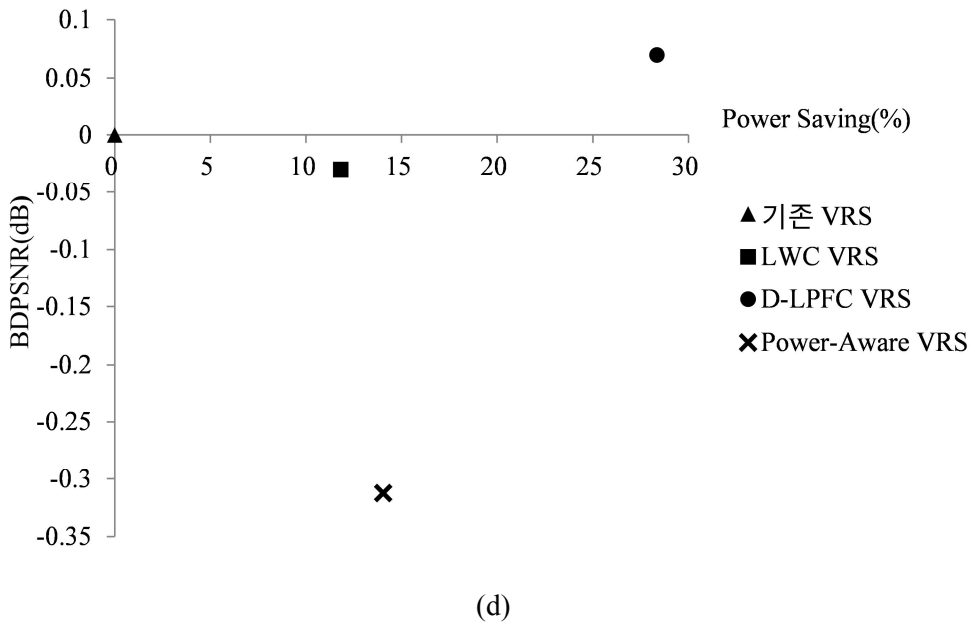
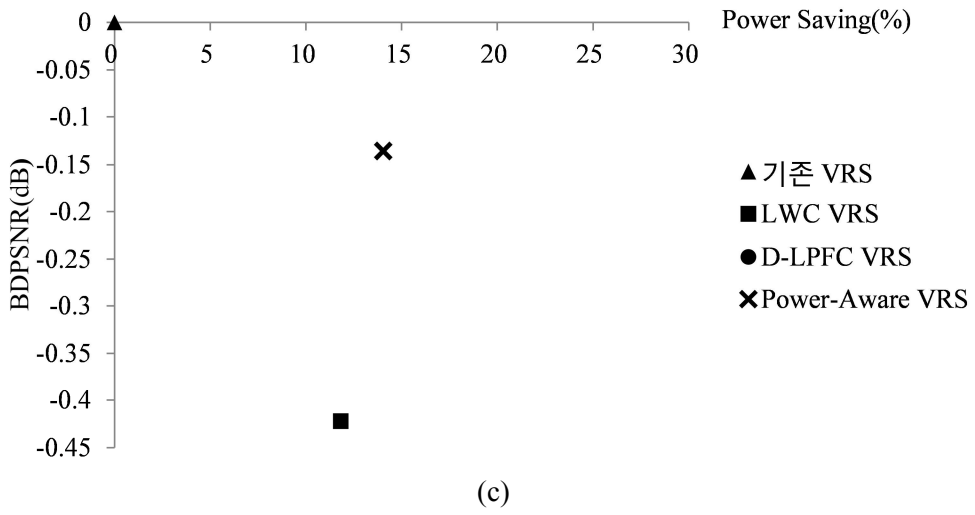


그림 5.8 영상 저장 장치의 전력 감소 효과 vs. BDPSNR 변화: (a) 낮은  $F_{\text{RECORD}}$ +높은 bitrate (b) 낮은  $F_{\text{RECORD}}$ +낮은 bitrate (c) 높은  $F_{\text{RECORD}}$ +높은 bitrate (d) 높은  $F_{\text{RECORD}}$ +낮은 bitrate

## 제6장 결 론

본 연구에서는 영상 저장 장치의 최적화된 동작을 위하여 멀티 압축 모듈을 통한 영상 저장 장치와 H.264/AVC 자체적인 전력 감소 기법인 power-aware design을 활용한 영상 저장 장치를 제안하였다. 멀티 압축 모듈을 통한 영상 저장 장치에서는 영상의 임시 저장을 위해 경량화 압축 방식을 활용한다. H.264/AVC 인코더 대신 전력 소모가 크지 않은 LWC 혹은 LPFC를 활용함으로써 전력 감소 효과를 얻을 수 있으며 이 효과는 특히 임시 저장된 영상 정보가 장기 저장되는 비율이 낮을 경우에 크게 나타난다. 장기 저장의 비율이 높을 경우에 경량화 압축 방식을 활용하는 기법만으로는 전력 감소 효과가 크지 않다는 문제점을 보완하기 위하여 다운 샘플링을 추가로 활용하여 장기 저장을 위한 소비 전력을 감소하였으며 이러한 방식은 target bitrate가 낮은 경우에 매우 효율적으로 활용될 수 있다. 장기 저장의 비율과 target bitrate가 모두 높은 경우에는 H.264/AVC 인코더의 소비 전력을 감소시키는 것이 필요하다.

H.264/AVC 인코더에 적용되어 최소의 성능 저하로 최대의 전력 감소 효과를 얻는 power-aware design의 경우, 영상 저장 장치뿐만 아니라 전반적인 H.264/AVC 인코더에 적용될 수 있으며 평균적으로 6% 미만의 미비한 BDBR 증가로 대략 25% 수준의 H.264/AVC 인코더 전력 소모를 감소시킬 수 있다. Power-aware design은 전력 감소 효과에 따라 단계적으로 몇 가지 레벨을 통해 구성되는 power-level table을 활용하는데



각각의 레벨은 최적화된 알고리즘 조합으로 이루어진다. 제안된 시스템은 알고리즘 간의 상관 관계를 고려하여 효과적으로 시스템의 전력 소모를 예측하기 때문에 모든 알고리즘 옵션들의 조합을 고려하여 그 중에서 최적의 알고리즘 조합을 찾을 수 있으며 새로운 알고리즘이 추가될 경우에도 높은 확장성을 보인다. 또한, 제안된 시스템은 최적화된 power-level table이 사전에 구성되어 있어서 레벨 선택에 필요한 연산량이 매우 미비하기 때문에 인코더에 실시간으로 적용하기 적합하다.

이렇게 제안된 영상 저장 장치들은 하나의 통합된 영상 저장 장치로 구현되며 임시 저장에서 장기 저장으로 전환되는 비율과 target bitrate를 고려하여 상황에 가장 적합한 영상 저장 장치의 기능이 선택되어 최소의 성능 저하로 최대의 전력 감소를 가져온다. 기존의 영상 저장 장치와 비교했을 때, 약 0.1dB의 BDPSNR 감소를 통해 장기 저장의 비율이 10% 수준으로 낮을 경우, 약 60%의 전력 감소 효과를 얻을 수 있고 장기 저장의 비율이 70% 수준으로 높을 경우, 약 21%의 전력 감소 효과를 얻을 수 있다.

## 참 고 문 헌

- [1] Limin Meng, Li Jing, and Ni Yanjie, "Design and Implementation of Wireless Video Transmission System," in *Proc. IEEE Int. Conf. Multimedia Technology*, pp. 1-5, Oct. 2010.
- [2] Zhang Mengmeng, Sun Xingxin, Guan Xiaohan, Yang Yang, and Li Jinhong, "Research and Application of Wireless Video Transmission System Based on H.264 in Aluminum Production Monitoring," in *Proc. IEEE Int. Conf. Measuring Technology and Mechatronics Automation*, pp. 1027-1030, Mar. 2010.
- [3] Zhikao Ren, Minghua Liu, Chen Ye, and Hongbo Shao, "The Real-Time Video Transmission System Based on H.264," in *Proc. Int. Conf. Web Information Systems and Mining*, pp. 270-274, Nov. 2009.
- [4] T. Wiegand, G. Sullivan, G. Bjontegaard, and A. Luthra, "Overview of the H.264/AVC video coding standard," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 13, no. 7, pp. 560–576, July 2003.
- [5] Y. Jin, and H.-J. Lee, "Pixel-Parallel SPIHT for Frame Memory Compression," in *Proc. IEEE Int. SOC Conf.*, pp. 432-435, Sep. 2009.
- [6] C.-C. Cheng, P.-C. Tseng, and L.-G. Chen, "Multimode embedded compression codec engine for power-aware video coding system," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 19, no. 2, pp. 141–150, Feb.2009.
- [7] A. Said and W. Pearlman, "A new, fast, and efficient image codec based on set partitioning in hierarchical trees," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 6, no. 3, pp. 243-250, Jun. 1996.
- [8] Hyun Kim, Chae Eun Rhee, and Hyuk-Jae Lee, "An Effective Combination of Power Scaling for H.264/AVC Compression," *IEEE Trans. Very Large Scale Integr. (VLSI) Syst.*, will be published

- [9] T.-C. Chen, Y.-W. Huang, and L.-G. Chen, "Fully utilized and reusable architecture for fractional motion estimation of H.264/AVC," in *Proc. of IEEE Int. Conf. Acoustics, Speech and Signal Processing*, pp. 9–12, May, 2004.
- [10] H. Kim, C. E. Rhee, J.-S. Kim, S. Kim, and H.-J. Lee, "Power-Aware Design with Various Low-Power Algorithms for an H.264/AVC Encoder," in *Proc. of Int. Symposium on Circuits and Systems*, May, 2011.
- [11] Sung-Min Sohn, Soo-Hwan Kim, Suh-Ho Lee, Kwang-Jin Lee, and Suki Kim, "A CMOS Image Sensor (CIS) Architecture with Low Power Motion Detection for Portable Security Camera Applications," *IEEE Trans. Consum. Electron.*, vol. 49, no.4, pp. 1227-1233, Nov. 2003.
- [12] Qiang Wu, Kebin Jia, and Xuwen Li, "Study on Vehicle Video Blackbox with Acceleration Sensitive Function," in *Proc. IEEE Int. Conf. MultiMedia and Information Technology*, pp. 833-836, Dec. 2008.
- [13] Changwoo Ha, Gwanggil Jeon, and Jechang Jeong, "Vision-Based Smoke Detection Algorithm for Early Fire Recognition in Digital Video Recording System," in *Proc. IEEE Int. Conf. Signal-Image Technology and Internet-Based Systems*, pp. 209-212, Nov. 2011.
- [14] C. van Berkel, "Multi-core for Mobile Phones," in *Proc. DATE*, 2009.
- [15] N. Xu, F. Zhang, Y. Luo, W. Jia, D. Xuan, and J. Teng, "Stealthy video capturer: a new video-based spyware in 3G smartphones," in *Proc. Second ACM conference on Wireless network Security*, ser. WiSec '09. New York, NY, USA: ACM, 2009, pp.69–78.
- [16] A. Bahari, T. Arslan, and A. T. Erdogan, "Low-power H.264 video compression architectures for mobile communication," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 19, no. 9, pp. 1251-1261, Sep. 2009.
- [17] C. Y. Tsai, T. C. Chen, and L. G. Chen, "Low power entropy coding hardware design for H.264/AVC baseline profile encoder," in *Proc. Int. Conf. Multimedia and Expo*, pp.1941-1944, July, 2006.
- [18] C. C. Kuo and S. F. Lei, "Design of a low power architecture for CABAC encoder in H.264," in *Proc. of Asia Pacific Conference on Circuits and Systems*, pp. 243-246, Dec., 2006.

- [19] T. -C. Chen, Y. -H. Chen, S. -F. Tsai, S. -Y. Chien, and L. G. Chen, "Fast algorithm and architecture design of low-power integer motion estimation for H.264/AVC," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 17, no. 5, pp. 568–577, May, 2007.
- [20] T.-C. Chen, Y.-H. Chen, and L.-G. Chen, "Low power and power aware fractional motion estimation of H.264/AVC for mobile application," in *Proc. of Int. Symposium on Circuits and Systems*, pp. 5331–5334, May, 2006.
- [21] Y. -H. Chen, T. -C. Chen, and L. -G. Chen, "Power-Scalable Algorithm and Reconfigurable Macro-Block Pipelining Architecture of H.264 Encoder for Mobile Application," in *Proc. Int. Conf. Multimedia and Expo*, pp. 281-284, July, 2006.
- [22] C. -J. Lian, P. -C. Tseng, and L. -G. Chen, "Low-Power and Power-Aware Video Codec Design: An Overview," in *China Communications*, pp. 45-51, Oct., 2006.
- [23] W. -C. Chang, G. -L. Li, and T. -S. Chang, "Power-Aware Coding for H.264/AVC Video Encoder," in *Proc. of VLSI Design/CAD Symposium*, Aug., 2009.
- [24] A. K. Kannur, and B. Li, "Power-Aware Content-Adaptive H.264 Video Encoding," in *Proc. of IEEE Int. Conf. Acoustics, Speech and Signal Processing*, pp. 925-928, April, 2009.
- [25] Z. He, W. Cheng, and X. Chen, "Energy minimization of portable video communication devices based on power-rate-distortion optimization," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 18, no. 5, pp. 596–608, May, 2008.
- [26] J. Kim, J. Kim, G. Kim, S. Na, and C.-M. Kyung, "Event statistics and criticality-aware bitrate allocation to minimize energy consumption of memory-constrained wireless surveillance system," in *Proc. Int. Conf. Multimedia and Expo*, July, 2010.
- [27] J. Kim, J. Kim, G. Kim and C. -M. Kyung, "Power-rate-distortion modeling for energy minimization of portable video encoding devices," in *Proc. IEEE Int. Midwest Symposium on Circuits and Systems*, pp. 1–4, Aug., 2011.
- [28] Zhang Zhi-hui and Zhang Jun, "Unsymmetrical SPIHT Codec and 1D SPIHT Codec," in *Proc. IEEE Int. Conf. Electrical and Control Engineering*, pp. 2498-2501, Jun. 2010.

- [29] D. S. Taubman and M. W. Marcellin, *JPEG 2000: Image Compression Fundamentals, Standards, and Practice*. Norwell, MA USA: Kluwer, 2001.
- [30] Micron Memory Power Calculator
- [31] M. Q. Do, M. Drazdziulis, P. Larsson-Edefors, and L. Bengtsson, "Parameterizable Architecture-Level SRAM Power Model Using Circuit-Simulation Backend for Leakage Calibration," in *Proc. ISQED*, pp. 557–563, 2006.
- [32] Hyun Kim, Chae Eun Lee, and Hyuk-Jae Lee, "A low-power video recording system with H.264/AVC and light-weight compression," *IEEE Workshop on Signal Processing Systems*, pp. 183–188, Oct. 2013.
- [33] Hyun Kim, Chae Eun Rhee, and Hyuk-Jae Lee, "A Low-Power Hybrid Video Recording System with H.264/AVC and Light-Weight Compression," in *Asilomar Conf. on Signals, Systems, and Computers*, Nov. 2014
- [34] X. Wu, X. Zhang, and X. Wang, "Low bit-rate image compression via adaptive down-sampling and constrained least squares upconversion," *IEEE Trans. Image Process.*, vol. 18, no. 3, pp. 552–561, Mar. 2009.
- [35] Chae Eun Rhee, Jin-Su Jung, and Hyuk-Jae Lee, "A Real-time H.264/AVC Encoder with Complexity-Aware Time Allocation," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 20, no. 7, pp. 1848-1862, Dec. 2010.
- [36] Yongseok Jin and Hyuk-Jae Lee, "A Block-Based Pass-Parallel SPIHT Algorithm," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 22, no. 7, pp. 1064-1075, Jul. 2012.
- [37] Grupp, L.M, "Characterizing Flash Memory: Anomalies, Observations, and Applications," in *Proc. IEEE Int. Symp. Microarchitecture*, pp. 24-33, Dec. 2009.
- [38] X. Chang, M. Zhang, G. Zhang, Z. Zhang, and J. Wang, "Adaptive Clock Gating Technique for Low Power IP Core in SoC Design," in *Proc. IEEE Int. Symp. Circuits Syst.*, pp. 2120-2123, May 2007.

- [39] S. Nomura, F. Tachibana, T. Fujita, C. K. Teh, H. Usui, F. Yamane, Y. Miyamoto, C. Kumtornkittikul, H. Hara, T. Yamashita, J. Tanabe, M. Uchiyama, Y. Tsuboi, T. Miyamori, T. Kitahara, H. Sato, Y. Homma, S. Matsumoto, K. Seki, Y. Watanabe, M. Hamada, and M. Takahashi, "A 9.7 mW AAC-decoding, 620 mW H.264 720 p 60 fps decoding, 8-core media processor with embedded forward-body-biasing and power-gating circuit in 65 nm CMOS technology," in *2008 IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, pp. 262–263, Feb. 2008.
- [40] G. Bjontegaard, "Calculation of average PSNR differences between RD curves," in *VCEG-M33 of ITU-T Q6/16*, Austin TX, USA, April, 2001.
- [41] T.-C. Chen, S.-Y. Chien, Y.-W. Huang, C.-H. Tsai, C.-Y. Chen, T.-W. Chen, and L.-G. Chen, "Analysis and architecture design of an HDTV720p 30 frames/s H.264/AVC encoder," *IEEE Trans. Circuits Syst. Video Technol.*, vol. 16, no. 6, pp. 673–688, Jun. 2006.
- [42] L. Su, Y. Lu, F. Wu, S. Li, and W. Gao, "Real-time video coding under power constraint based on H.264 codec," in *Proc. Visual Communications and Image Processing (VCIP)*, vol. 6508, Jan 2007, pp. 1–12.
- [43] J. -S. Jung, D.-U. Moon, and H. -J. Lee, "Computation reduction of H.264/AVC motion estimation by search range adjustment and partial cost evaluation," in *Proc. of Int. Conf. Electronics, Information and Communication*, pp. 229-233, June, 2008.
- [44] Q. Peng and J. Jing, "System-on-chip design for TV-centric home networks," in *Proc. IEEE Consum. Commun. Netw. Conf.*, pp. 501-506, Jan. 2004.
- [45] J. Reichel, H. Schwarz, and M. Wien, "Joint Scalable Video Model 9.19.7 (JSVM 9.19.7)," Joint Video Team, 16 Jan 2010
- [46] A. M. Bruckstein, M. Elad, and R. Kimmel, "Down-scaling for better transform compression," *IEEE Trans. Image Process.*, vol. 12, no. 9, pp. 1132-1145, Sep. 2003.
- [47] Chae Eun Rhee, Jin-Sung Kim and Hyuk-Jae Lee, "Bitrate Control using a Heuristic Spatial Resolution Adjustment for a Real-time H.264/AVC Encoder," *EURASIP Journal on Advances in Signal Processing*, Volume: 2012 Issue: 87, April, 2012.

## **Abstract**

# **H.264-based Low Power Heterogeneous Video Recording System**

Kim Hyun

Electrical and Computer Engineering

The Graduate School

Seoul National University

An increasing demand for mobile video recording system makes it important to reduce power consumption and to increase battery lifetime. Video compression is essential to store acquired video data. The H.264/AVC video compression standard is widely used for many video recording systems because of its high compression efficiency; however, the complex coding structure of H.264/AVC compression requires large amounts of computation and power consumption. In this paper, two approaches are proposed for reducing the power consumption of video compression in the video recording system. First, this paper proposes a low-power video recording system that incorporates multiple video compression modules and selects an appropriate compression module. A light-weight video compression (LWC), based on discrete wavelet transform and set partitioning in hierarchical trees,

consumes less power than H.264/AVC compression thanks to its relatively simple coding structure although its compression efficiency is lower than that of H.264/AVC compression. This paper proposes a low-power video recording system that combines both the H.264/AVC encoder with high compression efficiency and LWC with low power consumption. Because only meaningful video data are stored in memory for a long period, LWC is used to compress video data temporarily. When the temporary data are determined to be meaningful, they are compressed by the H.264/AVC encoder for permanent storage. For further power reduction, a down-sampling operation is used for permanent data storage when the target bitrate is low. However, the effect of power saving by the low-power video recording system with multiple video compression modules is quite small when the portion of long-term storage is high. To supplement this problem, it is important to reduce the power consumption of the H.264/AVC encoder. Thus, this paper proposes a low-power video recording system that applies the power-aware design to control the power consumption of the H.264/AVC encoder. The power-aware design is a novel method to determine the best combination of operation conditions for multiple power-scaling schemes. The largest power saving can be achieved with the smallest R-D degradation by selecting an optimized combination from among all possible combinations. To derive the best combination of existing power-scaling schemes, the power saving and rate-distortion performances of individual schemes are simulated. Then, the combined effects of these schemes on power saving and R-D loss are modeled and the best operation combination is derived. By using the proposed modeling approach, the number of simulations required to determine the best combination of power-scaling schemes is markedly reduced. Consequently, the set of power-scaling schemes is easily composed. The largest power saving can be



achieved with the smallest R-D degradation by selecting an optimized combination from among all possible combinations. The optimized combinations are defined as a power level table and applied to the encoder. Depending on the size and motion speed of a video, four different power level tables are designed to achieve performance improvements. The proposed power level table is suitable for power control in real-time applications because the table is developed in advance. The two low-power video recording systems, one is that incorporates multiple video compression modules and the other is that applies the power-aware design to reduce the power consumption of the H.264/AVC encoder with the optimized R-D performance, are integrated in the unitary platform. The video recording system can be optimized by selecting the appropriate system according to the proportion of long-term storage and the target bitrate. The optimized video recording system reduces power consumption by up to 72.5% compared to that in a conventional video recording system.

**Keywords :** Video Recording System, Low Power Implementation, Multi Video Codec, H.264/AVC, Light Weight Compression, Power-Aware Design

**Student Number :** 2011-30225