

2001 European ACTC Workshop: il supercalcolo firmato Big Blue

Claudio Arlandini

CILEA, Segrate

Abstract

L' Advanced Computing Technology Center (ACTC) dell' IBM Research Center ha organizzato in collaborazione con il Cineca una riunione presso l'Università di Trieste, per fare il punto sulle attività svolte dall'IBM nel campo del supercalcolo e presentare il nuovo chip Power4.

Keywords: Hardware, Convegni, Supercalcolo, Microprocessori, IBM

Si è svolto dal 19 al 20 febbraio 2001 a Trieste un workshop dedicato al calcolo ad alte prestazioni in ambiente IBM SP. L'occasione era duplice: i tecnici dell'ACTC hanno descritto le caratteristiche del chip Power4, che sta per entrare in produzione, mentre il Cineca ha presentato al pubblico il server IBM RS/6000 basato su processori Power3 appena acquisito. Il pubblico era costituito da una cinquantina di persone, quasi tutti giovani ricercatori, ha mostrato apprezzamento per il programma, intenso e con interventi corposi, e ha reso l'incontro ricco di spunti interessanti, grazie ai numerosi interventi.

La prima giornata è stata monopolizzata da interventi tenuti da personale IBM. In particolare David Klepacki dell'ACTC di Yorktown ha dedicato l'intera mattinata ad illustrare le caratteristiche dell'architettura del nuovo chip. Il Power4 si presenta completamente rinnovato rispetto al suo predecessore, ed è realizzato col massiccio uso delle due nuove tecnologie proprietarie di cui si è molto parlato recentemente. In particolare queste comportano l'utilizzo di un materiale vetro-ceramico per i substrati a costante dielettrica significativamente minore dei convenzionali materiali alumino-ceramici, e del rame per gli strati di interconnessione.

Ogni chip conterrà due CPU operanti ad una frequenza di clock superiore ad 1 GHz (per ovvie ragioni, i dettagli non sono stati rivelati). Le due CPU condividono una cache integrata di livello 2 (L2) di circa 1 MB, a cui sono collegate con un bus iperveloce (>100 GB/s). La cache L2 è formata da tre segmenti indipendenti. In totale il chip è composto dalla bellezza di 170 milioni di transistor, montati su uno zoccolo a 5500 pins. Ogni chip comunica con la memoria attraverso una cache di livello 3 (L3), di circa 128 MB, mediante un bus capace di supportare una banda superiore ai 10 GB/s. I server basati su questo processore conterranno schede contenenti 4 chips, che comunicano mediante un bus operante ad oltre 500 MHz, e con una banda superiore ai 35 GB/s. Questi saranno a loro volta raggruppati in nodi multiprocessori (SMP), rispettando la tradizione dei sistemi IBM dedicati al calcolo ad alte prestazioni.

La filosofia che sta alla base dell'architettura Power4 è quindi di aumentare le prestazioni con l'aumento della velocità di clock e rendendo il più performante possibile lo scambio di informazioni tra le unità computazionali, sia in termini di velocità che di banda passante. In questo modo IBM si pone in contrapposizione con altri costruttori (in primo luogo HP, che sta sviluppando con

Intel CPUs di tipo IA-64) che vedono il futuro dei processori per il supercalcolo in nuove architetture basate sul parallelismo già a livello di set di istruzioni.

Secondo Klepacki i primi server basati sul processore Power4, con nodi a 32 processori, saranno disponibili sul mercato a fine 2001. Alcuni mesi dopo appariranno i primi server con nodi a 8 processori, mentre per metà 2002 farà la sua comparsa un nuovo switch (nome in codice "Federation") che potenzierà la comunicazione internodale. La banda passante di picco aumenterà dai 4 GB/s attuali a 32 GB/s, rendendo possibili prestazioni dell'ordine del Teraflop per macchine a 8 nodi. In seguito potrebbero essere messe sul mercato anche schede con singoli chip Power4, destinati alla realizzazione di cluster Beowulf.

Lewis DeRose, sempre dell'ACTC di Yorktown, ha quindi continuato a discutere del Power4 a proposito dell'aspetto software.

Contemporaneamente allo sviluppo del nuovo processore è infatti in corso di realizzazione un pressochè totale rifacimento del sistema operativo AIX in modo da poter sfruttare appieno delle possibilità offerte dal Power4.

Ha quindi presentato alcuni dei progetti che costituiscono il nerbo dei compiti dell'ACTC, ovvero la realizzazione di strumenti che permettono di ottimizzare le prestazioni di codici su server basati su architettura SP. L'offerta appare molto varia, da pacchetti che analizzano in modo grafico i comportamenti delle singole componenti del software a librerie ottimizzate. E' da notare che tali tools sono o saranno a breve a disposizione degli utenti gratuitamente.

Il secondo giorno è stato dedicato alla presentazione del server IBM appena entrato in servizio al Cineca di Bologna e ad una panoramica di applicazioni che sfruttano le risorse di calcolo del Cineca.

La macchina è dotata di 128 CPUs Power3 operanti ad una frequenza di clock di 375 MHz, suddivisi in 8 nodi di 16 processori ciascuno. Possiede una memoria di 16 GB per nodo e 2.4 TB di spazio disco. Può raggiungere i 192 Gflops di picco. I nodi sono collegati tra loro con un bus ad alte prestazioni (HPSwitch Colony).

Per quanto riguarda gli interventi degli utenti Cineca, particolare rilevanza è stata data ai campi della chimica e della farmaceutica. I codici ab-initio infatti sono particolarmente indicati per sfruttare appieno le possibilità offerte dal calcolo parallelo, e solo ora le risorse di calcolo a disposizione di ricercatori e case farmaceutiche cominciano ad essere tali da rendere questo approccio competitivo con metodi più tradizionali. Particolarmente interessanti a riguardo sono stati gli interventi della dottoressa Ursula Roetlisberger dell'Eidgenoessische Technische Hochschule (ETH) di Zurigo e del professor Andrea DeVita dell'Università di Trieste. La prima ha presentato i risultati del suo lavoro sulla modellazione di medicinali capaci di bloccare la riproduzione del virus HIV, mentre il secondo ha discusso in particolare delle proprietà dei nanotubi di carbonio, la cui realizzazione è molto promettente in vari settori tecnologici, a partire dalla produzione di schermi ultrapiatti di nuova generazione.

In conclusione, con il Power4 IBM sta per lanciare una forte zampata sul mondo del calcolo ad alte prestazioni e potrebbe divenire il costruttore di riferimento del settore. Siccome la lungamente attesa uscita dei primi processori basati su architettura IA-64 dovrebbe (il condizionale è d'obbligo) essere concomitante, lo scontro si presenta interessante.