

IMPLEMENTASI PENGIRIM OFDM PADA FPGA XILINX SPARTAN-3E

Adi Mahmud Jaya Marindra¹, Risanuri Hidayat², Astria Nur Irfansyah²

¹Mahasiswa Jurusan Teknik Elektro dan Teknologi Informasi, FT UGM

²Dosen Jurusan Teknik Elektro dan Teknologi Informasi, FT UGM

Intisari

OFDM adalah sebuah teknik modulasi dengan banyak pembawa yang mampu menyediakan layanan transmisi paralel dengan pesat bit tinggi. OFDM sangat efisien dalam penggunaan lebar pita karena menggunakan sub pembawa yang ortogonal sehingga spektrum antar sub pembawa dapat saling tumpang tindih satu dengan yang lain. Banyaknya penerapan OFDM pada standar-standar komunikasi menyebabkan munculnya berbagai penelitian mengenai implementasi OFDM pada FPGA. Obyek dari penelitian ini adalah mengimplementasikan sebuah model pengirim OFDM pada sebuah chip FPGA Xilinx Spartan-3E. Desain dibagi dalam beberapa bagian yang meliputi pengubah serial ke paralel, pemeta 16-QAM, IFFT 8 titik, dan pengubah paralel ke serial. 16-QAM merupakan salah satu skema modulasi yang digunakan pada standar komunikasi IEEE 802.11a. Desain dibuat dengan VHDL pada perangkat lunak Xilinx ISE 9.2i. Keluaran dari pengirim OFDM ditampilkan pada antarmuka LCD pada papan pengembangan Xilinx Spartan-3E dan dibandingkan dengan keluaran pengirim OFDM serupa yang dimodelkan pada Matlab. Sebagai hasilnya, implementasi pengirim OFDM mampu menunjukkan kinerja yang benar dan sangat mendekati hasil Matlab. Dari segi kapasitas, FPGA Xilinx Spartan-3E sangat mencukupi untuk kebutuhan rancangan dan berpotensi untuk pengembangan implementasi sistem yang lebih besar.

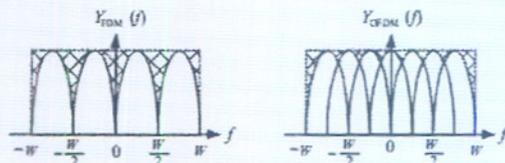
Kata kunci: Pengirim, OFDM, FPGA Xilinx Spartan-3E, VHDL

1. Pendahuluan

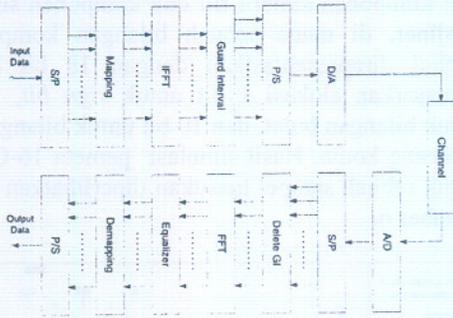
OFDM (Orthogonal Frequency Division Multiplexing) merupakan sebuah skema multipleks yang mampu memberikan pesat bit yang tinggi sekaligus menjawab tantangan efisiensi pada lebar pita frekuensi. Skema penjamakan OFDM merupakan metode khusus di mana aliran data tunggal ditransmisikan pada sejumlah sub pembawa dengan pesat yang lebih rendah dimana setiap sub pembawa bersifat saling ortogonal [1]. Pada dasarnya, OFDM merupakan pengembangan dari FDM (Frequency Division Multiplexing). Keduanya merupakan teknik transmisi pita lebar (wideband) dengan banyak pembawa (multicarrier). Perbedaan utama terletak dari segi efisiensi pemakaian spektrum seperti yang diperlihatkan pada Gambar 1.

Pemakaian spektrum frekuensi pada FDM tidak efisien karena sub pembawa tidak saling ortogonal. Agar tidak terjadi interferensi, sistem FDM harus memberi jarak antara spektrum pembawa satu dengan yang lain. Berbeda halnya dengan OFDM, pemakaian pembawa yang saling ortogonal memungkinkan spektrum antar sub kanal saling tumpang (*overlap*) tanpa menimbulkan interferensi satu sama lain.

Dalam implementasi OFDM, di sisi pengirim terdapat bagian-bagian antara lain blok pengubah serial ke paralel, blok pemeta (*mapping*), blok IFFT, blok *guard interval*, blok pengubah paralel ke serial, dan blok pengubah digital ke analog. Secara sederhana sistem pengirim dan penerima OFDM dapat dilihat pada Gambar 2.



Gbr. 1 - Perbandingan efisiensi spektrum sistem FDM dan OFDM [2]



Gbr. 2 - Konfigurasi sederhana sistem OFDM [3]

Dalam penelitian ini dibuat implementasi sistem dasar pengirim OFDM pada FPGA Xilinx Spartan-3E. Blok-blok yang diimplementasikan terdiri dari blok pengubah serial ke paralel (S/P), blok pemeta, blok IFFT, dan blok pengubah paralel ke serial (P/S).

FPGA (*Field Programmable Gate Array*) adalah peralatan logika yang terdiri dari susunan sel-sel logika dua dimensi dan saklar-saklar yang dapat diprogram [4]. Pengertian terprogram dalam FPGA adalah mirip dengan interkoneksi saklar dalam *breadboard* yang bisa diubah oleh pengguna atau pembuat desain. Karena proses tersebut dapat dikerjakan oleh pendesain di dalam laboratorium atau bisa disebut "*in field*" tanpa adanya fasilitas fabrikasi, maka peralatan tersebut dapat dinamakan sebagai "*field programmable*" [5].

Salah satu jenis FPGA yang diproduksi oleh Xilinx, perusahaan penyuplai PLD terbesar di dunia sekaligus penemu FPGA, adalah FPGA Xilinx Spartan-3E. Pada [6] diuraikan bahwa arsitektur FPGA Xilinx Spartan-3E terdiri dari interkoneksi dan 5 bagian fungsional yang antara lain:

1. *Configurable Logic Block (CLB)*, setiap CLB mempunyai 4 *slice*, masing-masing *slice* terdiri dari 2 *Look-Up Table (LUT)* yang dapat mengimplementasikan fungsi logika termasuk memori penyimpanan (*flip-flop*).
2. *Input/Output Block (IOB)*, mengatur aliran data antara pin *input/output* dan logika internal rangkaian.
3. *Block RAM*, menyediakan penyimpanan data dalam bentuk blok.
4. *Multiplier Block*, sebagai blok pengali internal untuk 2 buah *input* biner 18 bit.
5. *Digital Clock Manager (DCM) Block*, mendistribusikan, menunda, menjamak, membagi, dan menggeser fase sinyal *clock*.

Interkoneksi merupakan penghubung antara bagian-bagian fungsional tersebut.

2. Metodologi Penelitian

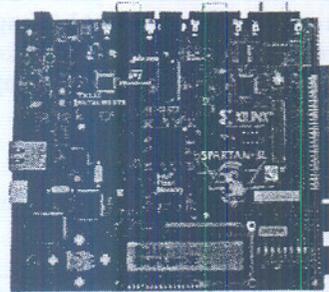
Tahapan penelitian terdiri atas perancangan sistem, pengujian dengan perangkat lunak (simulasi), implementasi ke perangkat keras, pengujian pada perangkat keras, dan analisis hasil pengujian.

Perancangan sistem menggunakan pemrograman dengan VHDL pada perangkat lunak Xilinx ISE 9.2i. Setelah simulasi menunjukkan bahwa desain mampu bekerja dengan benar, selanjutnya hasil perancangan diimplementasikan pada FPGA Xilinx Spartan-3E XC3S500E FG320.

Pengujian implementasi pada perangkat keras melibatkan papan pengembangan Xilinx Spartan-3E. Untuk pengambilan data, masukan sistem diberikan berdasarkan pola saklar geser pada papan starter kit, sedangkan keluaran ditampilkan pada antarmuka LCD.

2.1 Papan Pengembangan Xilinx Spartan-3E

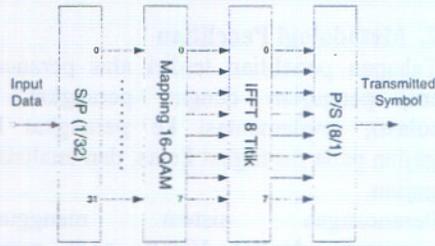
Papan pengembangan Xilinx Spartan-3E, seperti yang diperlihatkan pada Gambar 3, merupakan papan modul yang dikhususkan untuk pengembangan *chip* FPGA famili Spartan-3E. Pada papan ini, *chip* FPGA sudah terintegrasi dengan berbagai macam properti alat dan antarmuka. Properti yang berperan pada penelitian ini antara lain *clock* internal 50 MHz, tombol *reset*, saklar geser, LED, saklar geser, dan antarmuka LCD.



Gbr. 3 - Papan pengembangan Xilinx Spartan-3E

2.2 Perancangan Sistem

Sistem OFDM pada standar komunikasi IEEE 802.11a memiliki 4 buah opsi modulasi yaitu BPSK, QPSK, 16-QAM, dan 64-QAM. Mengacu pada salah satu modulasi dalam standar tersebut, sistem yang diimplementasikan pada penelitian ini menggunakan skema modulasi 16-QAM. Untuk mengantisipasi keterbatasan pada FPGA, rancangan sistem pada penelitian ini hanya menggunakan 8 sub pembawa sehingga menggunakan IFFT 8 titik sebagaimana ditunjukkan oleh Gambar 4.



Gbr. 4 – Bagan sistem pengirim OFDM yang diimplementasikan

Blok *guard interval* yang berada setelah blok IFFT tidak ikut diimplementasikan karena blok *guard interval* merupakan blok optimalisasi yang berfungsi menghilangkan masalah interferensi antar simbol (ISI) akibat jalur perambatan jamak. Pada implementasi nyata, blok *guard interval* merupakan bagian yang sangat penting dalam sistem OFDM, akan tetapi fokus penelitian ini adalah hanya pada sistem dasar pengirim OFDM.

3. Hasil dan Pembahasan

Sistem diuji dalam 2 tahap yakni pengujian pada perangkat lunak Xilinx ISE, yaitu berupa simulasi, dan pengujian setelah implementasi ke FPGA.

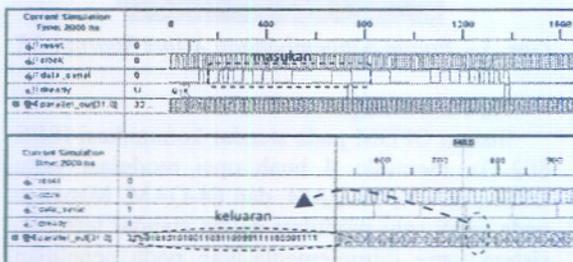
3.1 Pengujian Pada Xilinx ISE (Simulasi)

Pengujian pada perangkat lunak Xilinx ISE dilakukan untuk tiap blok penyusun dan gabungan blok sebagai kesatuan pengirim OFDM.

3.1.1 Pengujian Pengubah Serial ke Paralel

Sesuai hasil simulasi pada Gambar 5, pengubah serial ke paralel dapat berfungsi dengan benar di mana masukan serial diubah ke keluaran paralel dan memberi tanda setiap memparalelkan 32 bit.

Pengubah serial ke paralel diestimasi menggunakan 23 slice terdiri dari 39 slice flip-flop dan 8 LUT, atau ekuivalen dengan 365 gerbang logika.

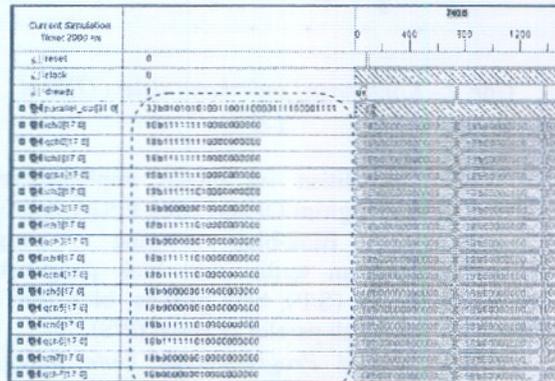


Gbr. 5 – Hasil simulasi pengubah serial ke paralel

3.1.2 Pengujian Pemeta 16-QAM

Setiap 4 bit dari keluaran pengubah serial ke paralel dipetakan menjadi sebuah simbol kompleks menurut diagram konstelasi 16-QAM. Sebuah simbol kompleks hasil pemetaan terdiri

dari komponen simbol riil dan komponen simbol imajiner, di mana sebuah bilangan komponen simbol direpresentasikan dengan 18 bit biner berdasarkan alokasi 1 bit untuk *sign bit*, 7 bit untuk bilangan bulat, dan 10 bit untuk bilangan di belakang koma. Hasil simulasi pemeta 16-QAM untuk sebuah sampel masukan diperlihatkan pada Gambar 6.



Gbr. 6 – Hasil simulasi pemeta 16-QAM

Keluaran tiap sub kanal yang terlihat pada hasil simulasi diperiksa kebenarannya pada Tabel 1. Hasil uji kebenaran memperlihatkan bahwa pemeta 16-QAM telah memberikan keluaran yang sesuai dengan konstelasi 16-QAM.

Pemeta 16-QAM untuk 8 sub kanal diestimasi menggunakan 18 slice terdiri dari 32 LUT, atau ekuivalen dengan 192 gerbang.

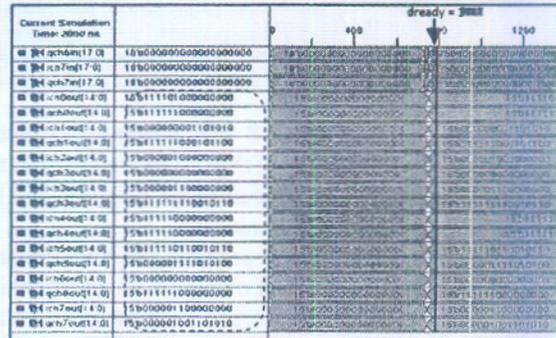
Tabel 1 – Uji kebenaran hasil simulasi pemeta 16-QAM

Data Masukan Pengujian	Kanal ke-	Keluaran Berdasarkan Diagram Konstelasi 16-QAM	Hasil Keluaran Pada Simulasi	Keterangan
0	0	-1-lj	I 11111111.0 00000000 = -1	Sesuai
1			Q 11111111.0 00000000 = -1	
0			I 11111111.0 00000000 = -1	
1			Q 11111111.0 00000000 = -1	
0	1	-1-lj	I 11111111.0 00000000 = -1	Sesuai
1			Q 11111111.0 00000000 = -1	
0			I 11111111.0 00000000 = -1	
1			Q 11111111.0 00000000 = -1	

0	2	-3+1j	I	11111101.0 000000000 = -3	Sesuai
0			Q	00000001.0 000000000 = +1	
1					
1					
0	3	-3+1j	I	11111101.0 000000000 = -3	Sesuai
0			Q	00000001.0 000000000 = +1	
1					
1					
0	4	-3-3j	I	11111101.0 000000000 = -3	Sesuai
0			Q	11111101.0 000000000 = -3	
0					
0					
1	5	+1+1j	I	00000001.0 000000000 = +1	Sesuai
1			Q	00000001.0 000000000 = +1	
1					
1					
0	6	-3-3j	I	11111101.0 000000000 = -3	Sesuai
0			Q	11111101.0 000000000 = -3	
0					
0					
1	7	+1+1j	I	00000001.0 000000000 = +1	Sesuai
1			Q	00000001.0 000000000 = +1	
1					
1					

3.1.3 Pengujian IFFT 8 Titik

Bilangan-bilangan atau simbol hasil pemetaan dijadikan masukan bagi IFFT yang berperan sebagai modulator pada sistem pengirim OFDM. Ada 2 versi blok IFFT yang diimplementasikan, yaitu IFFT dengan pengali internal FPGA dan IFFT dengan pengali buatan. Pada IFFT 8 titik, pengali internal atau pengali buatan hanya diperuntukkan khusus untuk bobot $e^{j\frac{(2\pi)(1)}{8}}$, $e^{j\frac{(2\pi)(3)}{8}}$, $e^{j\frac{(2\pi)(5)}{8}}$, dan $e^{j\frac{(2\pi)(6)}{8}}$ yang mengandung konstanta 0,7071 karena perkalian-perkalian lain yaitu dengan bobot bernilai 1, -1, 1j, dan -1j dapat digantikan dengan modifikasi operasi penjumlahan dan pengurangan. Pengali buatan dibangun dari gerbang-gerbang dengan menerapkan algoritma perkalian Booth.



Gbr. 7 – Hasil simulasi IFFT 8 Titik

Tabel 2 – Uji kebenaran hasil simulasi IFFT 8 Titik

Ka nal ke-	Data Mas ukan	Hasil Perhit ungan Matla b	Hasil Keluaran Pada Simulasi	Selisih
0	I -1	-1,5	11110.1000000 000 = -1,5	0 %
	Q -1	-0,5	11111.1000000 000 = -0,5	0 %
1	I -1	0,103 6	00000.0001101 010 = +0,103515625	0,0814 43%
	Q -1	- 0,457 1	11111.1000101 100 = - 0,45703125	0,0150 41%
2	I -3	0,5	00000.1000000 000 = +0,5	0 %
	Q 1	0	00000.0000000 000 = 0	0 %
3	I -3	0,75	00000.1100000 000 = +0,75	0 %
	Q 1	- 0,103 6	11111.1110010 110 = - 0,103515625	0,0814 43%
4	I -3	-1	11111.0000000 000 = -1	0 %
	Q -3	-1	11111.0000000 000 = -1	0 %
5	I 1	- 0,603 6	11111.0110010 110 = - 0,603515625	0,0139 79 %
	Q 1	0,957 1	00000.1111010 100 = +0,95703125	0,0071 83 %
6	I -3	0	00000.0000000 000 = 0	0 %
	Q -3	-0,5	11111.1000000 000 = -0,5	0 %
7	I 1	0,75	00000.1100000 000 = +0,75	0 %

Q	+	0,603	Q	00000.1001101	0,0139
	1	6		010 =	79 %
				+0,603515625	

Hasil simulasi IFFT 8 titik ditunjukkan oleh Gambar 7. Sedangkan Tabel 2 memperlihatkan pengujian tingkat kebenaran untuk keluaran IFFT yang tertera pada hasil simulasi.

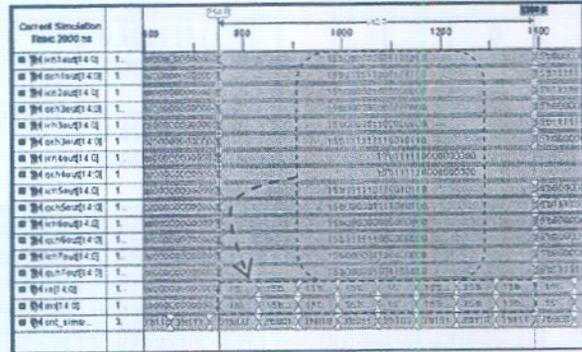
Adanya selisih antara perhitungan Matlab dan hasil simulasi disebabkan oleh perbedaan akurasi, di mana akurasi keluaran perhitungan pada Matlab dibatasi oleh representasi bilangan hingga 4 bilangan di belakang koma. Sementara itu, akurasi hasil keluaran IFFT 8 titik yang diimplementasikan dibatasi oleh ketelitian dalam representasi konstanta bobot 0,7071 dan bilangan hasil keluaran di mana konstanta bobot pengali dan bilangan hasil perkalian direpresentasikan dengan alokasi 10 bit untuk bilangan di belakang koma.

Estimasi penggunaan kapasitas untuk blok IFFT 8 titik dengan pengali internal adalah 634 slice terdiri dari 1064 LUT, 4 pengali 18x18, atau ekuivalen dengan 13923 gerbang. Penggunaan pengali internal tidak memakan kapasitas slice FPGA karena pada FPGA Xilinx Spartan-3E terdapat 20 pengali internal yang teralokasi sendiri di luar CLB. Sedangkan dengan pengali buatan, estimasi kapasitas yang dibutuhkan bertambah menjadi 830 slice terdiri dari 1566 LUT, atau ekuivalen dengan 16965 gerbang.

3.1.4 Pengujian Pengubah Paralel ke Serial

Keluaran IFFT yang ditransmisikan secara bersamaan (paralel) diubah menjadi transmisi serial oleh blok pengubah paralel ke serial. Hasil simulasi pada Gambar 8 memperlihatkan bahwa blok pengubah paralel ke serial dapat berfungsi dengan benar di mana keluaran dari 8 sub kanal IFFT ditransmisikan secara bergantian pada 1 jalur kanal. Dengan periode clock internal FPGA 20 ns, satu simbol OFDM yang terdiri dari keluaran 8 sub kanal akan dikeluarkan dengan durasi 640 ns.

Estimasi penggunaan kapasitas untuk blok pengubah paralel ke serial adalah 126 slice terdiri dari 6 slice flip-flop dan 223 LUT, atau ekuivalen dengan 1539 gerbang.



Gbr. 8 - Hasil simulasi pengubah paralel ke serial

3.1.5 Pengujian Pengirim OFDM (Gabungan Blok)

Blok-blok penyusun digabungkan dengan program struktural. Estimasi penggunaan kapasitas FPGA untuk pengirim OFDM adalah 441 slice terdiri dari 80 slice flip-flop dan 801 LUT, 36 IOB, 4 pengali, dan 2 GCLK. Setelah melalui tahap *implementation*, penggunaan kapasitas lebih dioptimalkan menjadi 339 slice terdiri dari 79 slice flip-flop dan 721 LUT, 36 IOB, 4 pengali, 2 GCLK, dan ekuivalen dengan 7069 gerbang.

Optimalisasi penggunaan kapasitas tidak hanya terjadi pada tahapan implementasi pada Xilinx ISE. Seperti ditunjukkan pada Tabel 3, total penggunaan slice berdasarkan penjumlahan penggunaan kapasitas hasil sintesis masing-masing blok adalah 801 slice. Tetapi setelah penggabungan blok yang membentuk kesatuan pengirim OFDM, penggunaan kapasitas berkurang hingga 399 slice, di mana penggunaan LUT berkurang namun penggunaan flip-flop bertambah. Berdasarkan fenomena penyusutan tersebut, dapat dianalisis bahwa perangkat lunak Xilinx ISE mampu melakukan optimalisasi terhadap rangkaian digital yang akan diimplementasikan ke FPGA. Xilinx ISE membentuk kombinasi optimal antara LUT, flip-flop, serta komponen lain sehingga penggunaan slice FPGA dapat ditekan ke jumlah yang lebih minimal.

Tabel 3 – Pengurangan penggunaan kapasitas setelah penggabungan blok

	Blok S/P	Blok Pemetaan 16-QAM	Blok IFFT 8 Titik	Blok P/S	Total	Pengirim OFDM (Gabungan Blok)
Slice	23	18	634	126	801	399
Slice flip-flop	39	-	-	6	45	79
4 input	8	32	1064	223	1327	721

LUT						
Pengali 18x18	-	-	4	-	4	4
Gerbang	365	192	13923	1539	16019	7069

Pembahasan mengenai penggunaan kapasitas yang telah dijelaskan adalah penggunaan kapasitas untuk pengirim OFDM dengan blok IFFT menggunakan pengali internal. Dengan blok IFFT menggunakan pengali buatan, kebutuhan sumber daya untuk pengirim OFDM akan bertambah menjadi 510 slice terdiri dari 79 slice flip-flop dan 937 LUT, atau ekuivalen dengan 8077 gerbang. Apabila dibandingkan, penggunaan sumber daya FPGA Xilinx Spartan-3E untuk implementasi rancangan pengirim OFDM dengan pengali internal dan dengan pengali buatan ditunjukkan oleh Tabel 4.

Tabel 4 – Penggunaan kapasitas FPGA untuk implementasi pengirim OFDM

Kebutuhan Sumber daya Pendekatan Teknologi Target	Tersedia	Pengirim OFDM dengan pengali internal	Pengirim OFDM dengan pengali buatan		
Slice	4656	399	8%	510	10%
Slice flip-flop	9312	79	1%	79	1%
4 input LUT	9312	737	7%	953	10%
Pengali 18x18	20	4	20%		
IOB	232	36	15%	36	15%
GCLK	24	2	8%	2	8%
Jumlah ekuivalen gerbang	500000	7069	1,41 %	8077	1,62 %

Berkaitan dengan kecepatan dan waktu tunda yang terjadi pada pengirim OFDM, tunda yang dihasilkan sistem pengirim OFDM baik yang menggunakan pengali internal ataupun pengali buatan adalah sama besar, seperti yang ditunjukkan pada Tabel 5.

Tabel 5 – Estimasi waktu tunda pada sistem pengirim OFDM

Jenis Waktu Tunda	Min Periode	Offset In	Offset Out	Combinatorial Path
Logic	2,307	1,526	3,948	-

(gate) delay	ns	ns	ns	
Route (net) delay	1,019 ns	0,420 ns	0,420 ns	-
Total delay	3,326 ns	1,946 ns	4,368 ns	-

Waktu tunda *minimum period* menentukan *clock* maksimum yang dapat digunakan untuk desain. Pada implementasi sistem pengirim OFDM ini, berdasarkan periode minimal 3,326 ns maka *clock* maksimal yang dapat digunakan adalah 300,661 MHz. Dengan *clock* pada papan pengembangan Xilinx Spartan-3E sebesar 50 MHz, model pengirim OFDM yang diimplementasikan mampu memiliki kecepatan yang dapat dihitung berdasarkan persamaan:

$$Kecepatan = \left(\frac{1}{T_s}\right) (N_{IFFT}) (m)$$

di mana, T_s = durasi simbol OFDM (terdiri dari 8 simbol keluaran IFFT), N_{IFFT} = jumlah sub kanal IFFT, dan m = level modulasi (jumlah representasi bit per simbol. Sehingga kecepatan yang diperoleh adalah $\left(\frac{1}{640.10^{-9}}\right)(8)(4) = 50$ Mbps.

Waktu tunda *offset in* dan *offset out* bersumber dari koneksi rangkaian logika paling luar dengan *buffer* masukan atau keluaran. *Offset in* menentukan waktu minimal kedatangan masukan sebelum *clock*, sedangkan *offset out* menentukan waktu maksimal yang dibutuhkan keluaran setelah *clock*.

3.2 Pengujian Hasil Implementasi Pada FPGA

Pengujian hasil implementasi pada FPGA dilakukan pada papan pengembangan Xilinx Spartan-3E. Proses pengamatan melibatkan penggunaan saklar geser, antarmuka LCD, dan LED.

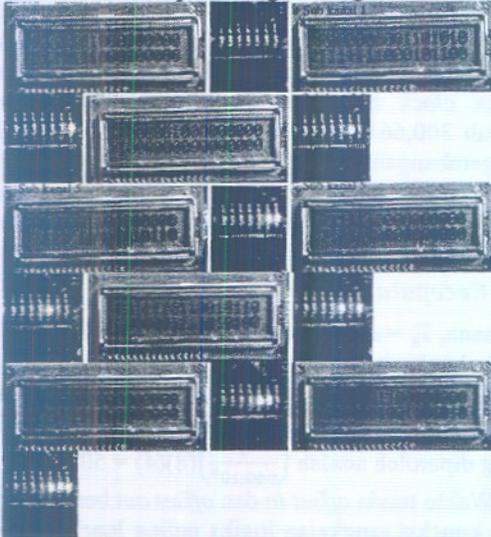
Masukan ditentukan oleh posisi saklar geser berdasarkan pola pembangkitan data yang telah diprogramkan pada FPGA. Setiap variasi posisi 4 saklar geser menyimpan pola runtun sepanjang 32 bit.

Sebagai sampel pengujian posisi saklar geser ditetapkan "0111", di mana posisi tersebut mengakibatkan pola runtun bit yang menjadi masukan adalah "01010101001100110000111100001111".

Keluaran dari pengirim OFDM ditampilkan pada LCD untuk melihat kesesuaian antara keluaran pada hasil simulasi dengan keluaran setelah diimplementasikan. Simbol-simbol yang dikeluarkan dapat tampak oleh mata karena adanya pembagi *clock* yang memperbesar periode *clock* hingga hitungan detik. Data dan urutannya

yang ditampilkan pada LCD dan LED dibandingkan dengan hasil simulasi pada Xilinx ISE serta data OFDM yang dimodelkan pada Matlab.

Salah satu hasil pengujian ditunjukkan pada Gambar 9. Secara keseluruhan implementasi pengirim OFDM pada FPGA Xilinx Spartan-3E telah sesuai dengan pengujian (simulasi) pada perangkat lunak Xilinx ISE dan hasilnya sangat mendekati hasil perhitungan dengan Matlab.



Gbr. 9 – Foto hasil pengujian untuk posisi saklar geser "0100"

4. Kesimpulan

Hasil simulasi dan implementasi pengirim OFDM pada FPGA Xilinx Spartan-3E memberikan keluaran yang sangat mendekati hasil Matlab. Keseluruhan sistem memperlihatkan unjuk kerja yang baik dan mampu berfungsi dengan benar. Sistem pengirim OFDM yang dirancang dengan pengali internal menggunakan kapasitas sebanyak 399 (8%) dari total 4656 slice, serta 4 dari 20 pengali pada FPGA Xilinx Spartan-3E. Sedangkan dengan pengali buatan (algoritma Booth) dibutuhkan kapasitas sebanyak 510 slice (10%) atau ekuivalen 8077 gerbang. Dalam proses implementasi, Xilinx ISE sebagai perangkat lunak pengembangan FPGA mampu melakukan optimalisasi penggunaan kapasitas pada desain.

Waktu tunda *minimum period* sebesar 3,326 ns menyebabkan *clock* maksimal yang dapat diterapkan pada sistem adalah 300,661 MHz. Dengan clock 50 MHz, pengirim OFDM yang diimplementasikan memberikan kecepatan 50 Mbps.

5. Referensi

- [1] Lee, R. C. T., Mao-Ching Chiu and Jung-Shan Lin. 2007. *Communications Engineering*.

Singapore: John Wiley & Sons (Asia) Pte Ltd.

- [2] Pun, Man-On, Michele Morelli, C-C Jay Kuo. 2007. *Multi-Carrier Techniques For Broadband Wireless Communications*. London: Imperial College Press.
- [3] Miyanaga, Yoshikazu, Shingo Yoshizawa (Hokkaido University). 2007. *The Next Generation Wireless Communication System (Proceeding)*, Paper pada International Conference on Telecommunications, Industry and Regulatory Development (ICTIR) 2007. Bangkok.
- [4] Chu, Pong P. 2008. *FPGA Prototyping By VHDL Examples (Xilinx Spartan-3 Version)*. New Jersey: John Wiley & Sons.
- [5] Prihandika, Advis. 2010. *Perbandingan Kinerja Perkalian Biner 8 Bit Algoritma Booth dan Wallace Tree Yang Diimplementasikan Pada FPGA*, Skripsi Jurusan Teknik Elektro UGM. Yogyakarta.
- [6] 2008. *Spartan-3E FPGA Family Complete Data Sheet*. Xilinx, Inc.