

## PERANCANGAN KEDOK SPEKTRUM DAN PENYAMA KANAL OFDM PADA FPGA MENGGUNAKAN VHDL

Hidayat Azza Lazuardi<sup>1</sup>, Budi Setiyanto<sup>2</sup>, Astria Nur Irfansyah<sup>2</sup>

<sup>1</sup>Mahasiswa Jurusan Teknik Elektro dan Teknologi Informasi, FT UGM

<sup>2</sup>Dosen Jurusan Teknik Elektro dan Teknologi Informasi, FT UGM

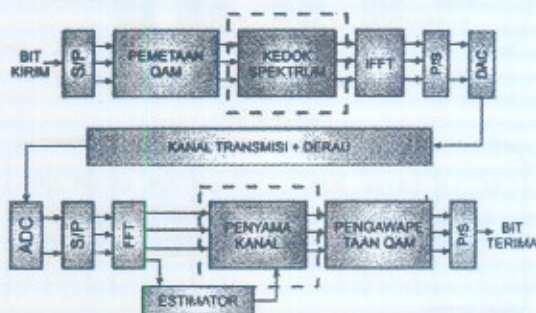
### Intisari

Pada sistem OFDM, kedok spektrum dan penyama kanal diperlukan untuk mengurangi interferens dan distorsi kanal. Kedok spektrum merupakan blok penguatan dan penyusutan daya spektrum sistem OFDM yang terletak pada pengirim. Penyama kanal merupakan blok pengubah isyarat terima terdistorsi menjadi isyarat terpulihkan yang terletak pada penerima sistem OFDM. Perancangan kedua sistem berisi perkalian bilangan biner bertanda. Representasi bilangan biner menggunakan sistem bilangan sign-magnitude. Penelitian ini bertujuan memaparkan, mengimplemetasikan, dan menganalisis kebutuhan gerbang logika perancangan kedok spektrum dan penyama kanal OFDM pada FPGA menggunakan VHDL. Sistem kedok spektrum dirancang untuk sistem OFDM 64 subkanal sedangkan penyama kanal dirancang untuk sistem OFDM 8 subkanal. Hasil perancangan dan simulasi menunjukkan sistem kedok spektrum 64 subkanal membutuhkan slice sebanyak 2.815 atau gerbang logika sebanyak 47.675, sedangkan penyama kanal 8 subkanal membutuhkan slice sebanyak 3.586 atau gerbang logika sebanyak 41.808.

**Kata kunci :** OFDM, kedok spektrum, penyama kanal, perkalian biner, FPGA, VHDL, gerbang logika

### 1. Pendahuluan

Sistem OFDM (*Orthogonal Frequency Division Multiplexing*) adalah teknik modulasi banyak pembawa yang dapat menyediakan layanan transmisi dengan pesat bit tinggi. Pada dasarnya, sistem OFDM membagi aliran pesat bit tinggi menjadi beberapa aliran simbol dengan pesat lebih rendah. Tiap simbol mewakili beberapa bit. Simbol-simbol tersebut kemudian dikirimkan secara bersamaan oleh beberapa subkanal dengan pembawa yang saling orthogonal [1].



Gbr.1- Konfigurasi sederhana sistem OFDM [3]

Konfigurasi sederhana sistem OFDM dapat dilihat pada Gbr 2.2. Secara umum sistem terdiri atas pemetaan dan pengawapetaan, kedok spektrum, IFFT (*Inverse Fast Fourier*

*Transform*) dan FFT (*Fast Fourier Transform*), estimator dan penyama kanal, serta ADC dan DAC.

Penelitian difokuskan membahas perancangan kedok spektrum OFDM 64 subkanal dan penyama kanal OFDM 8 subkanal pada perangkat keras FPGA (*Field Programmable Gate Array*). Hasil perancangan pada FPGA diharapkan mampu merepresentasikan kebutuhan gerbang logika ketika diimplementasikan pada perangkat keras sesungguhnya.

### 2. Metode Penelitian

Penelitian dilakukan dalam beberapa tahap, yaitu perancangan, pembuatan kode VHDL, simulasi, implementasi dan pengujian, pengambilan data, dan analisis.

Perancangan sistem kedok spektrum dan penyama kanal dibuat terpisah tanpa saling mempengaruhi. Perancangan dilakukan pada perangkat lunak Xilinx ISE 9.2i. Setelah itu model sistem disimulasikan dengan perangkat lunak ISE *Simulator* untuk kemudian diimplementasikan dan diuji secara fungsional pada FPGA Spartan 3E.

#### 2.1 Kedok Spektrum

Kedok spektrum merupakan penguatan dan penyusutan daya yang tersusun mengikuti pola tertentu untuk mengurangi daya spektrum *out-of-band* (OOB) pada OFDM [4]. Blok ini dipasang

pada bagian pengirim untuk menekan frekuensi diluar frekuensi utama agar tidak mengganggu blok frekuensi terdekat.

2.2 Estimasi dan Penyama Kanal

Estimasi terhadap suatu kanal transmisi sebenarnya dapat dilakukan dengan memahami karakteristik kanal. Nilai matematis hasil perhitungan estimasi kanal dilambangkan dengan *invers* [H]. Untuk mendapatkan nilai isyarat sebenarnya dilakukan perkalian antara nilai *invers* [H] dengan isyarat yang diterima oleh penerima OFDM. Perkalian ini dilakukan oleh sistem penyama kanal yang berada di penerima OFDM. Sehingga diperoleh isyarat sesuai dengan yang dikirim [5].

2.3 FPGA

FPGA merupakan salah satu bentuk pengembangan dari *programmable logic device* (PLD). FPGA adalah perangkat semikonduktor yang di dalamnya terdapat ribuan gerbang logika dan *switch* interkoneksi yang berbentuk larik (*array*).

Jenis FPGA yang digunakan pada pemodelan ini adalah XCS500E yang berasal dari keluarga Xilinx Spartan 3E. Paket FPGA yang digunakan adalah FG320 dengan kecepatan -4. FPGA ini memiliki jumlah *slice* 4.656 dan gerbang logika sebanyak 500.000.

2.4 VHDL

VHDL adalah bahasa yang digunakan untuk mendeskripsikan fungsi kerja suatu sistem digital pada sebuah IC berkecepatan tinggi. Bahasa VHDL memiliki dua bagian utama yaitu *entity* dan *architecture*.

Bagian *entity* menjelaskan *port-port* antarmuka dalam sistem. Bagian *architecture* menjelaskan komponen lain yang dilibatkan dalam eksekusi program. Selain itu, yang paling utama ialah menjelaskan fungsi dan perintah-perintah yang diberikan, baik perintah sekuensial maupun kombinatorial.

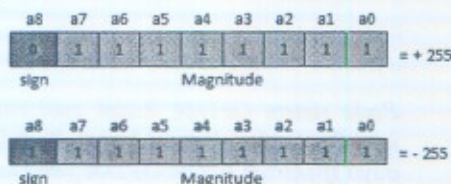
2.5 Perancangan Sistem

Perancangan kedua sistem dibuat terpisah tanpa saling mempengaruhi. Kedok spektrum merupakan blok yang terletak antara pemeta QAM dan IFFT pada pengirim, sedangkan penyama kanal terletak antara FFT dan pengawapeta QAM pada penerima sistem OFDM.

Penyama kanal merupakan sistem pengali kompleks antara dua bilangan masukan dan dua bilangan pengali. Proses yang terjadi di dalam penyama kanal adalah kombinasi operasi perkalian, penjumlahan, dan pengurangan.

Pada perancangan kedok spektrum dan penyama kanal, sistem bilangan yang digunakan

adalah *sign-magnitude system*. Penggunaan sistem bilangan ini dikarenakan algoritma perkalian yang digunakan hanya mampu mengalikan bilangan positif, sedangkan sistem yang dirancang harus dapat memproses semua bilangan bulat, baik positif maupun negatif. Gbr.2 memperlihatkan sistem bilangan *sign-magnitude*.

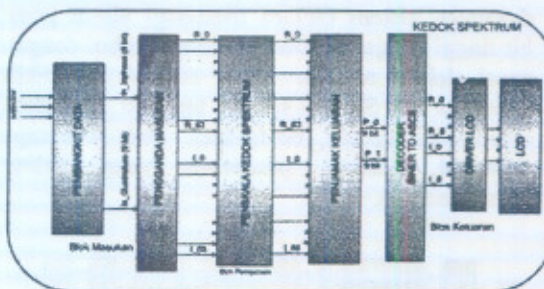


Gbr.2-Sistem bilangan *sign-magnitude* [6]

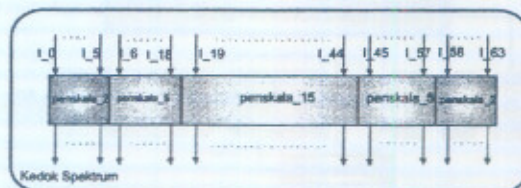
Perancangan blok kedok spektrum dan penyama kanal mempunyai masukan sembilan bit dan panjang bit keluaran yang tidak lebih dari sembilan bit. Hal ini bertujuan untuk mengurangi kerumitan proses komputasi pada sistem OFDM secara keseluruhan.

2.5.1 Kedok Spektrum

Gbr.3 memperlihatkan blok perancangan kedok spektrum yang dibuat. Kedok spektrum dirancang untuk memproses 64 pasang keluaran pemeta QAM. Keluaran satu pemeta QAM terdiri atas *inphase* dan *quadrature* atau sering disebut satu subkanal. Masing-masing subkanal diasumsikan terdiri atas sembilan bit *inphase* dan sembilan bit *quadrature* dengan bit MSB sebagai bit tanda.



Gbr.3- Perancangan kedok spektrum 64 subkanal



Gbr.4-Perancangan penskala kedok spektrum 64 subkanal

Bagian utama merupakan blok kedok spektrum, terdiri atas beberapa blok penskala. Gbr.4 memperlihatkan diagram blok penskala kedok spektrum untuk OFDM 64 subkanal.

Diagram blok ini memproses hanya salah satu keluaran blok pemeta QAM, yaitu *inphase* atau *quadrature*

2.5.1.1 Penskala Kedok Spektrum

Penskala kedok spektrum merupakan representasi fungsi penyusutan daya yang disusun dengan pola tertentu. Penentuan nilai penyusutan tergantung pada perhitungan nilai penyusutan daya total sebelum dan sesudah dilakukan pengkedokkan.

Tbl.1 memperlihatkan pola penyusutan daya perancangan sesuai aturan kedok spektrum tipe B. Blok penskala<sub>15</sub> memproses subkanal 19 sampai 44 dengan faktor pengali 1111, subkanal (0-5) dan (58-63) diskalakan oleh penskala<sub>2</sub> yang memiliki faktor pengali 0010, sedangkan subkanal (6-18) dan (45-57) diskalakan oleh penskala<sub>5</sub> dengan faktor pengali 0101

Tbl.1 Penyusutan daya kedok spektrum tipe B

Rentang	Penyusutan	Subkanal ke	Faktor penskala	Biner
1000	0dB = 1	(19 - 44)	1.54996	1111
1001	(-20 dB) = 0,1	(6 - 18) dan (45 - 57)	0.49014	0101
1010	(-36 dB) = 0.015	(0 - 5) dan (58 - 63)	0.18983	0010
1011	(-45 dB) = 0.005	OOB	OOB	
1100	(-50 dB) = 0.003	OOB	OOB	



Gbr.5-Diagram alir perancangan penskala<sub>15</sub>

Tbl.2-Tabel kebenaran penskala<sub>15</sub>

Bil A	Bil Penskala	Hasil	Hasil 8 bit
255	11111111	15	3825
128	10000000	15	1920
80	01010000	15	1200
32	00100000	15	480
16	00010000	15	240

8	00001000	15	120	8
4	00000100	15	60	4
2	00000010	15	30	2
0	00000000	15	0	0

Tbl.3-Tabel kebenaran penskala<sub>5</sub>

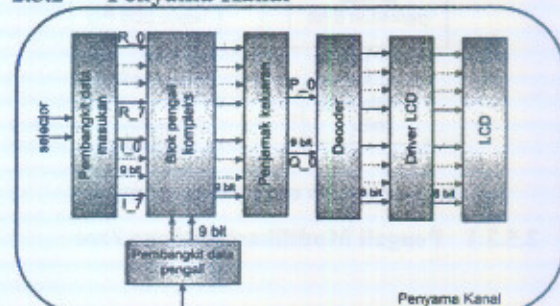
Bil A	Bil Penskala	Hasil real	Hasil 8 bit
255	11111111	5	85
128	10000000	5	42
80	01010000	5	26
32	00100000	5	10
16	00010000	5	5
8	00001000	5	2
4	00000100	5	1
2	00000010	5	0
0	00000000	5	0

Algoritma penskala<sub>15</sub> dapat dilihat secara keseluruhan pada Gbr.5 yang menunjukkan alur perancangan secara keseluruhan. Pada dasarnya algoritma semua penskala sam, perbedaan hanya pada bilangan pengali saja. Tbl.2 memperlihatkan tabel kebenaran penskala<sub>15</sub>. Tbl.3 memperlihatkan tabel kebenaran penskala<sub>5</sub>, sedangkan Tbl.4 memperlihatkan tabel kebenaran penskala<sub>2</sub>.

Tbl.4-Tabel kebenaran penskala<sub>2</sub>

Bil A	Bil Penskala	Hasil real	Hasil 8 bit
255	11111111	2	34
128	10000000	2	17
80	01010000	2	10
32	00100000	2	4
16	00010000	2	2
8	00001000	2	1
4	00000100	2	0
2	00000010	2	0
0	00000000	2	0

2.5.2 Penyama Kanal



Gbr.6-Perancangan penyama kanal

Penyama kanal merupakan gabungan delapan blok pengali kompleks. Setiap blok pengali kompleks memproses dua buah masukan berupa bilangan kompleks. Blok ini terletak di bagian

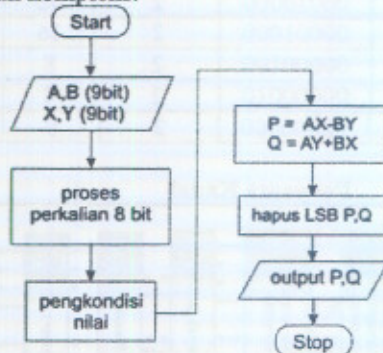
penerima OFDM tepatnya antara blok FFT dan pengawapeta QAM. Penyama kanal berfungsi sebagai blok pengali keluaran FFT dengan keluaran blok estimasi kanal. Gbr.6 memperlihatkan perancangan sistem penyama kanal 8 subkanal.

Tbl.5-Tabel kebenaran pengali kompleks

Masukan		Pengali		Hasil	
A	B	X	Y	P	Q
255	255	255	255	0	255
255	255	255	-255	255	0
128	255	-255	255	-191	-63
255	255	-255	-255	0	-255
-255	-255	255	255	0	-255
255	-255	255	-255	0	-255
16	255	-255	-255	119	-135
32	-255	255	-255	-111	-143
64	-255	-255	-255	-159	95
-128	255	255	-255	63	191
8	255	-255	-255	123	-131
16	-255	255	-255	-119	-135
-128	-255	-255	-255	-63	191

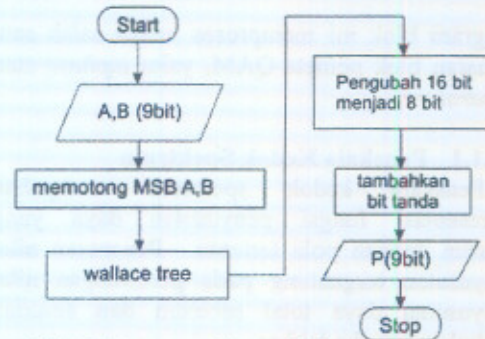
Komponen utama penyama kanal merupakan pengali kompleks. Setiap pengali kompleks akan mengalikan satu masukan dengan satu pengali. Nilai masukan maupun pengali merupakan variabel kompleks. Tbl.5 merupakan tabel kebenaran operasi perkalian kompleks yang dirancang.

Perhitungan pengali kompleks yang dirancang akan memenuhi persamaan  $p + j q = (ax-by) + j (ay+bx)$  (1)  
Gbr.7 memperlihatkan alur perancangan perkalian kompleks.



Gbr.7-Diagram alir pengali kompleks

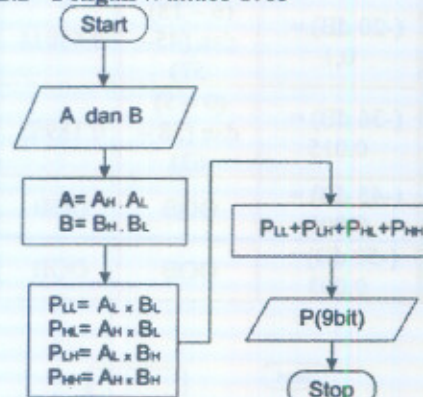
2.5.2.1 Pengali Modifikasi Wallace Tree



Gbr.8-Diagram alir modifikasi wallace tree

Sistem pengali utama dalam pengali kompleks, menggunakan empat blok modifikasi wallace tree. Blok ini merupakan pengali 9 x 9 bit dengan keluaran sebanyak sembilan bit. Penamaan blok modifikasi wallace tree dikarenakan proses perkalian sebenarnya dilakukan oleh pengali wallace tree 8 x 8 bit. MSB masing-masing masukan merupakan bit tanda yang akan dioperasikan secara terpisah. Gbr.8 memperlihatkan diagram alir modifikasi wallace tree.

2.5.2.2 Pengali Wallace Tree



Gbr.9-Diagram alir pengali wallace tree

Perkalian wallace tree adalah operasi perkalian bilangan biner dengan cara memodularisasi per bagian tiap empat bit. Apabila bilangan yang dikalikan adalah delapan bit, maka ada empat buah perkalian (4 bit x 4 bit). Gbr.9 merupakan alur perancangan wallace tree.

3. Pengujian dan Pembahasan

3.1 Pengujian Kedok Spektrum

Tbl.6-Perbandingan keluaran tiap penskala dengan Excel

Bil A	Keluaran Excel			Keluaran Perancangan		
	skl 15	skl 5	skl 2	skl 15	skl 5	skl 2
255	255	85	34	255	85	34
128	128	42.66	17.06	128	42	17
80	80	26.66	10.66	80	26	10
32	32	10.66	4.26	32	10	4
16	16	5.33	2.13	16	5	2
8	8	2.66	1.06	8	2	1
4	4	1.33	0.53	4	1	0
2	2	0.66	0.26	2	0	0
0	0	0	0	0	0	0

Tbl.7-Perhitungan galat tiap penskala

input Bil A	Galat Mutlak			Galat Relatif		
	skl 15	skl 5	skl 2	skl 15	skl 5	skl 2
255	0	0	0	0	0	0
128	0	0.67	0.07	0	1.56	0.39
80	0	0.67	0.67	0	2.5	6.25
32	0	0.67	0.27	0	6.25	6.25
16	0	0.33	0.13	0	6.25	6.25
8	0	0.67	0.07	0	25	6.25
4	0	0.33	0.53	0	25	100
2	0	0.67	0.27	0	100	100
0	0	0	0	0	0	0
rata-rata	0	0.44	0.22	0	18.5	25.0
					0	43

Data keluaran perancangan kedok spektrum dibandingkan dengan data hasil perhitungan pada perangkat lunak Excel. Tbl.6 memperlihatkan perbandingan keluaran perancangan dengan Excel, sedangkan Tbl.7 memperlihatkan nilai galat mutlak keluaran perancangan terhadap perhitungan Excel. Nilai galat muncul karena perancangan hanya dapat menampilkan keluaran bulat sedangkan perhitungan sesungguhnya menghasilkan pecahan.

3.2 Pengujian Penyama Kanal

Tbl.8-Perbandingan pengali kompleks dengan Excel

Terkali	Pengali		Hasil Excel		Hasil perancangan			
	real	im	re	Im	re	Im		
-	255	255	255	255	-255	0	255	0
255	-64	255	255	159.5	95.5	159	95	
128	64	255	255	32	96	32	96	
-	128	64	255	255	-96	-32	-96	-32
64	128	128	255	-47.9	64.13	-47	64	
-64	128	128	255	-80.1	0.125	-80	0	
32	128	128	255	-56	48.13	-55	48	

-32	-	128	255	55.97	-48.1	55	-48	
16	64	128	255	-28	24.06	-27	24	
-16	-64	128	255	27.98	-24.1	27	-24	
8	-	255	255	129.5	-60	129	-60	
-8	255	128	255	-130	60	-	129	60

Tbl.8 memperlihatkan data perbandingan keluaran perancangan penyama kanal 8 subkanal dengan perhitungan menggunakan Excel. Terjadi perbedaan sehingga dapat dihitung nilai galat mutlak seperti pada Tbl.9. Masing-masing komponen bilangan baik real dan imajiner mempunyai nilai galat mutlak yang berbeda.

Tbl.9-Perhitungan galat mutlak pengali kompleks

Multiplicand	Multiplier	galat mutlak		galat relatif (%)			
		re	Im	re	Im		
-255	255	255	255	0	0	0	0
255	-64	255	255	0.5	0.5	0.31	0.52
128	64	255	255	0	0	0	0
-128	64	255	255	0	0	0	0
64	128	128	255	0.93	0.12	1.95	0.19
-64	128	128	255	0.06	0.12	0.07	100
32	128	128	255	0.96	0.12	1.73	0.26
-32	-128	128	255	0.96	0.12	1.73	0.26
16	64	128	255	0.98	0.06	3.51	0.26
-16	-64	128	255	0.98	0.06	3.51	0.26
8	-255	128	255	0.50	0	0.39	0
-8	255	128	255	0.50	0	0.39	0
Rata-rata				0.53	0.09	1.13	8.48

3.3 Penggunaan Resource

Tbl.10-Kebutuhan resource blok kedok spektrum

Rangkaian	Slice Flip Flops	Input LUTs	Slice	Equivalent Gate
	jumlah	jumlah	jumlah	jumlah
64x500e	9312	9312	4656	500000
Blok penskala 2	0	10	7	102
Blok penskala 5	0	35	18	320
Blok penskala 15	0	45	26	449
Blok kedok spektrum	11	5,443	2,815	47,675

Tbl.11-Kebutuhan resource blok penyama kanal

Rangkaian	Slice Flip Flops	4 Input LUTs	Slices	Equivalent Gate
	Jumlah	Jumlah	Jumlah	Jumlah
XCS500e	9312	9312	4656	500000
Blok pengali wallace tree	0	165	87	1,005
Blok modulasi Wallace tree	0	182	97	1,110
Blok Pengali kompleks	169	1,719	929	12,875
Blok penyama kanal	0	6,768	3,584	41,808

Tbl.10 memperlihatkan kebutuhan resource FPGA untuk perancangan kedok spektrum 64 subkanal. Perancangan kedok spektrum 64 subkanal membutuhkan slice sebanyak 2,815 atau gerbang logika sebanyak 47,675.

Tbl.11 memperlihatkan kebutuhan resource FPGA untuk perancangan penyama kanal 8 subkanal. Perancangan penyama kanal 8 subkanal membutuhkan slice sebanyak 3,584 atau gerbang logika sebanyak 41,808.

### 3.4 Delay Komputasi

Setiap algoritma pasti memiliki waktu tunda yang disebabkan proses komputasi. Perancangan sistem kedok spektrum mempunyai waktu tunda sebesar 20,097ns, sedangkan perancangan penyama kanal mempunyai waktu tunda 40,058 ns.

### 4. Kesimpulan

Berdasarkan perancangan, pembuatan, pengamatan, pengujian, dan pembahasan implementasi kedok spektrum dan penyama kanal sistem OFDM diperoleh beberapa kesimpulan sebagai berikut.

1. Perancangan kedok spektrum 64 subkanal membutuhkan slice sebanyak 2,815 atau gerbang logika sebanyak 47,675, sedangkan perancangan penyama kanal 8 subkanal membutuhkan slice sebanyak 3,584 atau gerbang logika sebanyak 41,808.
2. Bilangan keluaran hasil perancangan kedok spektrum dan penyama kanal merupakan bilangan bulat sehingga terjadi perbedaan

antara hasil perancangan dengan hasil perhitungan menggunakan Excel.

3. Kebutuhan slice FPGA pada penyama kanal 8 subkanal lebih banyak jika dibandingkan dengan kebutuhan slice pada kedok spektrum 64 subkanal, namun dilihat dari kebutuhan gerbang logika kedok spektrum membutuhkan gerbang lebih banyak dibandingkan penyama kanal.
4. Kebutuhan gerbang logika dipengaruhi oleh kerumitan masukan sistem yang dirancang.

### 5. Referensi

- [1] Schulze,H., and C. Lüders, 2005, *Theory and Application of OFDM and CDMA*, Inggris: John Wiley & Sons Ltd.
- [2] Prahandika, A., 2010, *Perbandingan Kinerja Perkalian Biner 8 Bit Algoritma Booth dan Wallace Tree yang Diimplementasikan dalam FPGA*, Skripsi, Yogyakarta : UGM.
- [3] Setiyanto, B., 2010, *Perancangan dengan FPGA Spectrum Masker dan Channel Equalizer pada OFDM 16-QAM*, handout, Jurusan Teknik Elektro Fakultas Teknik Universitas Gadjah Mada Yogyakarta.
- [4] Eriyatno, P.D ., 2009 , *Simulasi OFDM dengan Spectrum Masking* ,Skripsi, Yogyakarta : UGM.
- [5] Anwar, A., 2010, *Pengaruh Kerapatan Pilot OFDM Terhadap Kecermatan Estimasi Kanal Menggunakan Algoritma Wiener-Hopf*, Skripsi, Yogyakarta : UGM.
- [6] Tocci, R.J. 1995.*Digital Systems – Principles and Applications*. Prentice-Hall International: London.