



UNIVERSIDADE ESTADUAL DE CAMPINAS
Faculdade de Engenharia Elétrica e de Computação

JOSE LUIS RAMIREZ BOHORQUEZ

SISTEMA DE SENSORIAMENTO DE ESTRESSE MECÂNICO EM
CIRCUITOS INTEGRADOS DE SILÍCIO E DISPOSITIVOS
MICROELETRÔNICOS EMPACOTADOS

STRESS-SENSING-CHIP FOR SILICON INTEGRATED CIRCUITS
AND PACKAGED ELECTRONIC DEVICES

Campinas

2019

JOSE LUIS RAMIREZ BOHORQUEZ

SISTEMA DE SENSORIAMENTO DE ESTRESSE MECÂNICO EM
CIRCUITOS INTEGRADOS DE SILÍCIO E DISPOSITIVOS
MICROELETRÔNICOS EMPACOTADOS

Orientador: Prof. Dr. Fabiano Fruett

Tese de doutorado apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica na Área de concentração de *Eletrônica, Microeletrônica e Optoeletrônica*.

ESTE EXEMPLAR CORRESPONDE À VERSÃO FINAL DA TESE DEFENDIDA PELO ALUNO JOSE LUIS RAMIREZ BOHORQUEZ E ORIENTADA PELO PROF. DR. FABIANO FRUETT

Campinas

2019

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Luciana Pietrosanto Milla - CRB 8/8129

R145s Ramirez Bohorquez, Jose Luis, 1986-
Sistema de sensoriamento de estresse mecânico em circuitos integrados de silício e dispositivo microeletrônicos empacotados / Jose Luis Ramirez Bohorquez. – Campinas, SP : [s.n.], 2019.

Orientador: Fabiano Fruett.
Tese (doutorado) – Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. Microsensores. 2. Circuitos integrados. 3. Sistemas microeletromecânicos. 4. Estresse mecânico. 5. Piezoresistividade. I. Fruett, Fabiano, 1970-. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Informações para Biblioteca Digital

Título em outro idioma: Stress-Sensing-Chip for silicon integrated circuits and packaged electronic devices

Palavras-chave em inglês:

Mircosensors

Integrated circuits

Microtechnology and MEMS

Mechanical stress

Piezoresistivity

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Doutor em Engenharia Elétrica

Banca examinadora:

Fabiano Fruett [Orientador]

José Alexandre Diniz

Luiz Carlos Kretly

Ricardo Cotrin Teixeira

Wilhelmus Adrianus Maria Van Noije

Data de defesa: 21-11-2019

Programa de Pós-Graduação: Engenharia Elétrica

Identificação e informações acadêmicas do(a) aluno(a)

- ORCID do autor: 0000-0001-5504-3823

- Currículo Lattes do autor: <http://lattes.cnpq.br/7096299694473979>

COMISSÃO JULGADORA – TESE DE DOUTORADO

Candidato: Jose Luis Ramirez Bohorquez RA: 096393

Data da Defesa: 21 de novembro de 2019

Título da Tese: “Sistema de sensoriamento de estresse mecânico em circuitos integrados de Silício e dispositivos microeletronicos empacotados”.

Prof. Dr. Fabiano Fruett
Prof. Dr. José Alexandre Diniz
Prof. Dr. Luiz Carlos Kretly
Dr. Ricardo Cotrin Teixeira
Prof. Dr. Wilhelmus Adrianus Maria Van Noije

A ata de defesa, com as respectivas assinaturas dos membros da Comissão Julgadora, encontra-se no SIGA (Sistema de Fluxo de Dissertação/Tese) e na Secretaria de PósGraduação da Faculdade de Engenharia Elétrica e de Computação.

PARA A LUNA E Ayla, AS
MINHAS FILHAS QUE NASCE-
RAM JUNTO COM ESTE TRA-
BALHO.

Agradecimentos

Agradeço principalmente à Thatiane, pelo apoio incondicional e a inesgotável paciência.

Ao Prof. Fabiano Fruett, pela orientação, críticas e apoio.

Aos colegas do LSM, por serem fonte constante de inspiração.

Ao Instituto ELDORADO, pelo apoio técnico e financeiro para esta pesquisa.

Ao Centro de Tecnologia da Informação Renato Archer -CTI, e o Centro de Componentes Semicondutores - CCS da UNICAMP, que emprestaram gentilmente os seus recursos para desenvolver etapas e processos fundamentais para este projeto.

“O mal dos que se crêm na posse da verdade é que,
quando têm de o demonstrar, não acertam uma.”

Camilo José Cela¹

¹Escritor

Resumo

A deformação da rede cristalográfica de um semiconductor gera variações em características elétricas importantes dos semicondutores (incluindo a mobilidade de portadores e a concentração intrínseca de portadores), impactando os parâmetros de operação dos circuitos integrados. A deformação é causada pelo estresse mecânico remanescente, o qual é induzido na fabricação e através do processo de empacotamento. Sensores que podem ser integrados na superfície dos dispositivos são uma excelente ferramenta para quantificação tanto do estresse gerado, quanto da relação deste com as variáveis presentes no processo de empacotamento. Um tal processo possibilita identificar pontos críticos e reduzir o estresse, aumentando a produtividade final.

Apresentamos neste trabalho uma série de piezo-transdutores octogonais baseados no efeito piezo-resistivo do silício e fabricados usando uma tecnologia CMOS comercial (XFABc06 [1]), que foram projetados para identificar os principais componentes do estresse mecânico paralelo à superfície ativa de circuitos integrados de silício. Como os dispositivos são totalmente compatíveis com a tecnologia CMOS, são excelentes ferramentas para identificar e mapear o estresse de forma não invasiva. Todo o projeto dos sensores foi baseado no efeito piezo-resistivo do silício e sustentado em simulações de circuitos elétricos e simulações multi-físicas de modelos de elementos finitos (*FEM*), usando para tal fim ferramentas computacionais como CADENCE Virtuoso® e COMSOL Multyphysic®.

O primeiro modelo de sensor de estresse apresentado integra piezo-resistores com 4 orientações diferentes, em um único dispositivo octogonal, sendo denominado como sensor piezo-resistor de oito terminais (*8TSP - Eight Terminal Silicon Piezotransducer*). O sensor foi fabricado usando as mesmas camadas requeridas para um resistor de difusão e apresenta uma resposta em tensão bastante linear com o estresse. Ao polarizarmos o dispositivo em diferentes orientações foi possível estimar a orientação e magnitude do estresse uniaxial. Fontes de referência, multiplexadores analógicos e um circuito para compensar a deriva térmica foram implementados para construir uma solução completa para mapear o estresse. Um CHIP de teste de estresse com 32 destes dispositivos foi fabricado e usado para determinar o estresse em uma montagem de teste.

Com os resultados da caracterização do primeiro protótipo, desenvolvemos uma segunda geração substituindo os resistores por transistores piezoMOS. A fim de projetar um sensor de estresse mais compacto e com um consumo menor, integramos espelhos de corrente onde os transistores foram posicionados obedecendo à diferentes orientações. Dois modelos foram fabricados usando transistores PMOS e NMOS. Os sensores apresentaram uma saída em corrente, a qual se mostrou menos susceptível ao ruído, podendo ser facilmente operada usando espelhos de corrente. Fontes de referência, portas de transmissão e um ADC de 1-bit foram integrados

para construir uma solução completa. Um CHIP de teste de estresse com 64 destes dispositivos foi fabricado e usado para determinar o estresse em uma montagem de teste.

Palavras-chave: Sensores Integrados, Sensores de estresse mecânico, Efeito piezo-resistivo, transistores piezo-MOS, mapeamento de estresse, Chip de teste de estresse.

Abstract

Strain in the crystal lattice of a semiconductor material generates a drift in important electrical characteristics of the semiconductors, including the mobility of carriers and intrinsic carrier concentration, which also impacts the characteristics and operating parameters of the integrated circuits (ICs). This deformation is caused by the remaining mechanical stress, a random stress that is induced by fabrication process and by the electronic packaging. In order to detect stress-related problems, sensors that can be integrated in the surface of the devices are an excellent tool to quantify the stress generated and its relation with the variables present in the packaging process, which allows to identify critical points and reduce stress, thus increasing the final yield and reliability of the devices.

A series of piezo-transducers based on the piezo-resistive effect of silicon are introduced in this work, those devices were manufactured using commercial CMOS technology (XFABc06 [1]), and they are specially designed to study the main components of the in-plane mechanical stress along the active surface of silicon ICs. Because the devices are fully compatible with CMOS technology, they are non-invasive tools for identifying and mapping stress. The designs are based on the mathematical model of piezo-resistive effect in silicon and they are supported on electrical circuit simulations and multi-physics finite element models simulations using computational design tools, such as CADENCE Virtuoso® and COMSOL Multiphysics®.

The first stress sensor presented integrates piezo-resistors with 4 different orientations into a single octagonal device, so it is denominated as *8TSP - Eight Terminal Silicon Piezotransducer*. The sensor was fabricated using the same layers required for a n-type diffusion resistor, and presents a fairly linear stress response. It was possible to estimate the orientation and magnitude of the uniaxial stress with a single device biased different orientations. A BandGap Reference generator, analog multiplexers and a circuit to compensate for thermal drift were integrated with the sensor to deliver a complete solution. A Stress-test CHIP with 32 of these devices was manufactured and used to map the stress along the CHIP.

With the results from the characterization of the first prototype, we developed a second generation of the stress sensor, replacing the resistors by piezoMOS transistors. We integrate current mirrors, in which the transistors are positioned with different orientations to design a sensor of stress more compact and with a lower power consumption. Two models were fabricated using PMOS and NMOS transistors. The sensors have a current output, which is less susceptible to noise and can be easily operated using current mirrors. Reference current generator, current mirrors, transmission gates and a 1-bit ADC were integrated to build a complete solution. A CHIP stress test with 64 of these devices was manufactured and used to determine stress in a test set.

Key-words: Integrated silicon sensor, Stress sensor, Piezo-resistive effect, Piezo-FET, piFETs, Stress-test CHIP.

Lista de Figuras

1	a)Roseta de resistores usada como Piezo-transdutor [18, 19, 20]; b) Piezo-resistor de oito terminais (8TSP) e c) piezo-transdutor usando piezo-MOSFETs.	30
1.1	Roseta de piezo-resistores com diferentes orientações na wafer [100], a área cinza representa uma dopagem tipo-n e a branca tipo-p [54].	41
1.2	Rosetas de piezo-resistores na wafer [111], os trilha que representam os resistores estão dobradas para aumentar a largura efetiva. a) Apresenta uma roseta com resistores tipo-n (cinza) e tipo-p (branco)[14]; b) apresenta resistores tipo-n (verde) e tipo-p (vermelho) que compõem duas rosetas com orientações complementarias com diferente opções de ligação para isolar diferentes componentes do estresse [18].	41
1.3	Circuito feito com MOSFET sensíveis ao estresse mecânico [34].	42
2.1	Conversão de energia e sinais de diversos domínios ao elétrico	44
3.1	Deformação de um elemento submetido a força longitudinal (estresse longitudinal) e a força transversal (esforço de cisalhamento).	48
3.2	Elemento infinitesimal indicando estresse normal (σ) e tangencial (τ) em todas as direções.	49
3.3	Coefficientes de elasticidade na wafer de silício (001): a) Módulo de Young Y e b) Módulo de Rigidez G [63].	50
3.4	Coefficientes de piezo-resistência longitudinal e transversal [10^{-10}Pa^{-1}]: a) Silício tipo-n; b) Silício tipo-p.	55
3.5	Elemento piezo-resistivo retangular.	56
3.6	Representação gráfica do estresse uniaxial no círculo de Mohr.	57
3.7	Dispositivo de 4 terminais, sendo que os terminais 1 e 2 representam os contatos-corrente, enquanto 3 e 4 são os contatos-sensor.	58
3.8	a) Circuito elétrico equivalente para a resistência de saída; b) Circuito elétrico equivalente para a resistência de entrada; c) Circuito elétrico equivalente em Ponte de Wheatstone.	59
3.9	Densidade de Portadores versus Temperatura para diferentes dopagens em Silício [73].	63
3.10	Mobilidade de portadores em diferentes temperaturas para vários níveis de Dopagem de Silício tipo-n [74].	64

3.11 Resistividade para diferentes temperaturas e para vários níveis de Dopagem de Silício tipo-n.	64
3.12 Fator de correção de coeficientes em diferentes temperaturas para vários níveis de Dopagem de Silício tipo-n.	65
4.1 Representação esquemática da Resistência de entrada e saída.	68
4.2 Resultado de uma simulação numérica de um piezo-resistor. Os contatos-corrente condutores estão representados em cinza, enquanto os equipotenciais e o fluxo de corrente estão representados na área ativa de silício.	69
4.3 Simulação numérica de um sensor de quatro terminais com contatos-sensor não ideais, a) contatos-sensor tem largura de 10% do comprimento da placa, b) largura de 40%.	70
4.4 Simulação numérica de um sensor de quatro terminais com geometria de cruz.	71
4.5 Comparação geométrica entre: a) Roseta de Piezo-resistores e b) piezo-resistor de 8 terminais (8TSP).	72
4.6 Detalhe da geometria do sensor 8TSP, as cotas estão em μm	73
4.7 Resultado da simulação numérica do piezo-transdutor de oito terminais, representando a) a distribuição do estresse no dispositivo e b) as equipotenciais, o fluxo de corrente dentro da área ativa.	75
4.8 Corte transversal da tecnologia XFABc06.	76
4.9 Principais orientações cristalográficas na lâmina de Si [100] tipo-p.	76
4.10 Leiaute de cada dispositivo, corte transversal e imagens microscópicas dos sensores fabricados tomada com um microscópio óptico.	77
4.11 Leiaute piezo-transdutor tipo-n, corte transversal e imagem microscópica do sensor fabricado tomada com um microscópio óptico.	78
4.12 Sequência de comutações no sentido da corrente realizar medições de estresse em dispositivos orientados em: 1) $\varphi = 0^\circ$; 2) $\varphi = 45^\circ$ 3); $\varphi = 90^\circ$ 4) $\varphi = 135^\circ$	78
4.13 Diagrama de Blocos do sistema sensor, incluindo controle de direção de corrente.	79
4.14 Esquemático e leiaute do sensor de oito terminais e os circuitos de bias e controle de corrente.	80
4.15 Imagem microscópica do dispositivo fabricado.	80
4.16 Esquemático de uma matriz de piezo-resistor tipo-n	81
4.17 Leiaute de uma matriz de piezo-resistor tipo-n.	82
4.18 Imagem microscópica da matriz de sensores.	82
4.19 Imagem microscópica do Chip com a Matriz de piezo-resistores de 8 terminais, onde podem ser encontrados os circuitos, as matrizes de sensores e os PADs.	83
5.1 Espelho de corrente com transistores NMOS.	88
5.2 Possível alinhamento de Transistores MOS em diferentes orientações cristalográficas na superfície da <i>wafers</i> [100] para processo XFABc0.6 CMOS.	89
5.3 Sensor de estresse projetado usando PiezoMOSFET, em espelhos de corrente, com diferentes orientações.	90
5.4 Diagrama de circuito esquemático do circuito sensor, usando piezoFET.	91

5.5	Layout dos transdutores usando piezoMOSFET em espelhos de corrente: a) PMOS e b) NMOS.	92
5.6	Comparativo entre Leiaute e microfotografia do piezo-transdutor com piezoFET fabricado.	93
5.7	Diagrama de Blocos de uma matriz de sensores de estresse mecânico tipo Piezo-MOSFET NMOS.	94
5.8	Leiaute de uma matriz de 4×8 sensores de estresse mecânico tipo Piezo-MOSFET.	94
5.9	Imagem microscópica de duas matrizes de sensores.	95
5.10	Diagrama de Blocos do sistema sensor, incluindo controle de direção e de corrente [28].	96
5.11	Esquemático do circuito completo, incluindo circuito de referência, espelhos de corrente para somar e amplificar correntes e Modulador de pulso.	98
5.12	Imagem microscópica do Chip completo, onde podem ser encontrados os circuitos, as matrizes de sensores e PADs de teste.	99
6.1	Detalhe no teste de pressão hidrostática, exemplificando a montagem e empacotamento do CHIP, também ilustra a deformação da membrana e o posicionamento dos sensores [6].	103
6.2	Amostra em ensaio de tração e distribuição de estresse (dentro da área da seção transversal) [9].	104
6.3	Amostra em ensaio de torção e distribuição de esforço de cisalhamento, dentro da área da seção transversal [85].	104
6.4	Amostra em ensaio de torção e, distribuição de esforço de cisalhamento dentro da área da seção transversal [86].	105
6.5	Perfil de flexão, força de cisalhamento e momento fletor: a) Viga em Cantilever; b) Teste de flexão de três pontos; c) Teste de flexão de quatro pontos [86].	105
6.6	Resultados das simulações dos modelos de Elementos Finitos - <i>FEM</i> para um disco em um ensaio de quatro pontos: a) perfil de curvatura e tensão superficial; b) deformação uniaxial.	108
6.7	Vista explodida e diagrama de montagem do aparato de ensaio de flexão de quatro pontos em discos.	109
6.8	Fotografia do aparato fabricado.	110
6.9	Diagrama de Instrumentos usados no teste mecânico.	110
6.10	Dispositivo de silício colado ao disco de metal para ser testado no aparato de flexão de quatro pontos.	111
6.11	Medições experimentais e resultados da simulação para a deflexão na superfície do CHIP de silício, quando este é aderido num substrato metálico sob flexão para diferentes deslocamentos verticais.	112
7.1	Montagem experimental para a caracterização do piezo-resistor de 8 terminais.	114
7.2	Imagem microscópica do piezo-resistor 8TSP de 8 terminais identificando os contatos.	115

7.3	Resultado experimental para a variação relativa da resistência com estresse mecânico, para o piezo-resistor 8TSP tipo-n, para estresse orientado: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	118
7.4	Resultado experimental para a variação relativa da resistência com estresse mecânico, para o piezo-resistor 8TSP tipo-p, para estresse orientado: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	119
7.5	Resultado experimental para a variação da tensão de saída com o estresse mecânico, para o piezo-resistor 8TSP tipo-n para estresse orientado: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	121
7.6	Resultado experimental para a variação da tensão de saída, com o estresse mecânico, para o piezo-resistor 8TSP tipo-p, para estresse orientado: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	122
7.7	Resultado para o piezo-resistor 8TSP tipo-n da simulação de Elementos Finitos para a variação da tensão de saída e da resistência, para as seguintes orientações do estresse: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$. As linhas sólidas apresentam o resultado simulando os piezo-coeficientes publicados por Smith, enquanto os marcadores representam observações experimentais.	124
7.8	Resultado para o piezo-resistor 8TSP tipo-p da simulação de Elementos Finitos para a variação da tensão de saída e resistência, para as seguintes orientações do estresse: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$. As linhas sólidas apresentam o resultado simulando e as observações experimentais.	124
7.9	Resultado da simulação de Elementos Finitos de 8TSP tipo-n, para estresse orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$. As linhas sólidas apresentam o resultado simulado usando os piezo-coeficientes estimados, enquanto os marcadores representam observações experimentais.	126
7.10	Resultado da simulação de Elementos Finitos de 8TSP tipo-p, para estresse orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$. As linhas sólidas apresentam o resultado simulado usando os piezo-coeficientes estimados, enquanto os marcadores representam observações experimentais.	126
7.11	Medida da Resistência de entrada versus Temperatura.	128
7.12	Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$, para diferentes Temperaturas.	128
7.13	Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	129
7.14	Esquemático do 8TSP como comutação de corrente e compensação térmica da sensibilidade ao estresse	130
7.15	Montagem experimental para a caracterização do 8TSP	133
7.16	Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	134
7.17	Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$, para diferentes temperaturas.	135

7.18	Medida da tensão de saída para um estresse de 50MPa orientado em: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$, para diferentes temperaturas.	135
7.19	Medida da tensão diferencial na saídas orientadas a $\varphi = 0^{\circ}$ e $\varphi = 45^{\circ}$ para diferentes orientações de estresse (magnitude de 50Mpa) e estimativa do ângulo e erro.	137
7.20	Medida da tensão diferencial na saídas orientadas a $\varphi = 0^{\circ}$ e $\varphi = 45^{\circ}$ para diferentes orientações de estresse (magnitude de 50Mpa) e estimativa do ângulo e erro.	137
8.1	Montagem experimental para a validação do espelho com piezo-MOSFET.	140
8.2	Resultados observados para a corrente de saída I_{45} versus tensão em espelho NMOS	141
8.3	Resultados observados para a corrente de saída I_{45} versus tensão em espelho PMOS	141
8.4	Montagem experimental para caracterizar a resposta do espelho com piezo-MOSFET ao estresse mecânico.	143
8.5	Resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET com NMOS, para estresse orientado a: a) $\lambda = 0^{\circ}$; e b) $\lambda = 45^{\circ}$	145
8.6	Resultado experimental para a diferença de correntes de saídas com o estresse mecânico para o espelho piezo-MOSFET com NMOS, para estresse orientado a: a) $\lambda = 0^{\circ}$; e b) $\lambda = 45^{\circ}$	146
8.7	Resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET com PMOS, para estresse orientado a: a) $\lambda = 0^{\circ}$; e b) $\lambda = 45^{\circ}$	147
8.8	Resultado experimental para a diferença de correntes de saídas com o estresse mecânico para o espelho piezo-MOSFET com PMOS, para estresse orientado a: a) $\lambda = 0^{\circ}$; e b) $\lambda = 45^{\circ}$	148
8.9	Montagem experimental para a validação do espelho com piezo-MOSFET.	149
8.10	Comparação do resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET usando NMOS, para estresse orientado a: a) $\lambda = 0^{\circ}$ e b) $\lambda = 45^{\circ}$	150
8.11	Correntes diferenciais de saída nos espelhos piezo-MOSFET, para diferentes orientações de estresse	153
8.12	Ângulo estimado usando as medições nos espelhos piezo-MOSFET. A linha Azul representa o ângulo estimado, enquanto os marcadores vermelhos representam o erro de alinhamento com o ângulo esperado	153
8.13	Medida da tensão de saída do circuito modulador de largura de pulso quando a corrente I_{BnMOS} é usada.	155
8.14	Medida da tensão de saída do circuito modulador de largura de pulso quando a corrente I_{ApMOS} é usada.	155
8.15	Duty cycle e frequência para os sinais modulados das correntes: a) I_{BnMOS} com estresse orientado a $\lambda = 90^{\circ}$; e b) I_{ApMOS} para estresse orientado a $\lambda = 45^{\circ}$	156

9.1	Resultados de distribuição de estresse em em um Chip de silício colado em em um substrato circular metalico: a) Distribuição do estresse sobre o disco simulando um ensaio de flexão de quatro pontos; b) distribuição do estresse no CHIP quando o esforço é orientado alinhado com referência [010] ($\lambda = 0^\circ$); e c) com estresse alinhado a [110] ($\lambda = 45^\circ$)	158
9.2	CHIP detalhando as matrizes de piezo-transdutores 8TSP	160
9.3	Resultado experimental para a tensão de <i>offset</i> na saída (sem deformação controlada aplicada) para a corrente orientada a $\varphi = 45^\circ$ nos 16 sensores das duas matrizes em uma amostra do CHIP.	161
9.4	Resultado experimental para a tensão de saída sem deformação controlada aplicada. A escala representa a tensão de <i>offset</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	162
9.5	Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 0^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	163
9.6	Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 0^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	164
9.7	Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 45^\circ$ para um estresse de 50MPa orientado a $\lambda = 0^\circ$	165
9.8	Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 45^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	166
9.9	Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 45^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	167
9.10	Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 0^\circ$ para um estresse de 50MPa orientado a $\lambda = 45^\circ$	167
9.11	Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 22,5^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	168
9.12	Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 22,5^\circ$. A escala representa a tensão de <i>saída</i> em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.	169

9.13	Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 0^\circ$ e 45° para um estresse de 50MPa orientado a $\lambda = 22,5^\circ$	169
9.14	CHIP detalhando as matrizes de piezo-transdutores espelho de corrente, em cor escuro estão indicados os sensores usando pMOS, enquanto em claro estão os nMOS.	172
9.15	Resultado experimental para a corrente de <i>offset</i> na saída (sem deformação controlada aplicada) para 64 sensores do CHIP para as correntes: I_A do espelho PMOS; I_B do espelho NMOS.	172
9.16	Curvas de contorno do resultado experimental para a corrente de <i>offset</i> na saída (sem deformação controlada aplicada) para 64 sensores do CHIP para as correntes: I_A do espelho PMOS; I_B do espelho NMOS.	173
9.17	Resultado experimental para estresse de 25MPa orientado a $\lambda = 0^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	175
9.18	Resultado experimental para estresse de 50MPa orientado a $\lambda = 0^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	175
9.19	Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 0^\circ$	176
9.20	Resultado experimental para estresse de 25MPa orientado a $\lambda = 45^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	177
9.21	Resultado experimental para estresse de 50MPa orientado a $\lambda = 45^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	177
9.22	Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 45^\circ$	178
9.23	Resultado experimental para estresse de 25MPa orientado a $\lambda = 22,5^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	179
9.24	Resultado experimental para estresse de 25MPa orientado a $\lambda = 22,5^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.	179
9.25	Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 22,5^\circ$	179
9.26	Resultados experimentais obtidos no perfilômetro e em simulação com Elementos Finitos para a curvatura na superfície da amostra de Silício.	202
9.27	Vistas explodidas e de ensemble do aparato de flexão de quatro pontos, assim como a foto do aparato construído	203
9.28	Diagrama de Solda (<i>wiremap</i>) do <i>Chip</i> sensor piezo-transdutor no empacotamento DIP-40 e foto do dispositivo encapsulado.	215

9.29	Diagrama de Solda (<i>wiremap</i>) do <i>Chip</i> sensor piezo-transdutor em PCB e foto do dispositivo encapsulado.	216
9.30	Diagrama de Solda (<i>wiremap</i>) do <i>Chip</i> sensor piezo-transdutor no empacotamento QFN-44 e foto do dispositivo encapsulado.	217
9.31	Diagrama de Solda (<i>wiremap</i>) do <i>Chip</i> sensor piezo-transdutor em PCB fina de Poliamida e foto do dispositivo encapsulado.	218
9.32	Alternativa de solda, substituindo a PCB e ligando o <i>Chip</i> diretamente ao FLAT-FLEX, foto do empacotamento e detalhe da ligação com fios de ouro.	218

Lista de Tabelas

3.1	Simplificação dos coeficientes piezo-resistivos de primeira ordem.	53
3.2	Coefficientes piezo-resistivos de primeira ordem [10^{-10}Pa^{-1}] na direção cristalo- gráfica [100] do silício.	54
4.1	Direção da corrente entre os diferentes contatos-corrente da placa octogonal . .	73
7.1	Medição da Resistência de entrada para 3 piezo-resistores de 8 terminais. . . .	116
7.2	Resultados da tensão de <i>offset</i> no empacotamento DIP.	116
7.3	Sensibilidade da variação relativa de resistência sob efeito do estresse mecânico [10^{-10}Pa^{-1}] para 8TSP em silício tipo-n, para cada orientação de estresse uniaxial λ	119
7.4	Sensibilidade da variação relativa de resistência sob efeito do estresse mecânico [10^{-10}Pa^{-1}] de 8TSP em silício tipo-p, para cada orientação de estresse uniaxial λ .	120
7.5	Direção da corrente entre os diferentes contatos-corrente da placa octogonal. . .	120
7.6	Sensibilidade da variação da tensão de saída normalizada $\Delta V_{out}/V_s$ para 8TSP em Silício tipo-n, sob efeito do estresse mecânico [10^{-10}Pa^{-1}], para cada orientação de estresse uniaxial λ	122
7.7	Sensibilidade da variação da tensão de saída normalizada V_{out}/V_s , sob efeito do estresse mecânico [10^{-10}Pa^{-1}], para cada orientação de estresse uniaxial λ , em Silício tipo-p	123
7.8	Coefficientes piezo-resistivos de primeira ordem CPRP [10^{-10}Pa^{-1}]	125
7.9	Resultados da caracterização dos circuitos elétricos do sensor.	134
7.10	Tensão em Volts para cada contato segundo o valor da entrada DIR.	134
8.1	Medição da corrente, tensão e estimativa de resistência de saída em dois espelhos piezo-FET.	142
8.2	Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$ para espe- lho nMOS sob efeito do estresse mecânico [10^{-10}Pa^{-1}] (para cada orientação de estresse uniaxial λ).	146
8.3	Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$, sob efeito do estresse mecânico [10^{-10}Pa^{-1}], para cada orientação de estresse uniaxial λ , no espelho pMOS.	148

8.4	Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$ sob efeito do estresse mecânico [10^{-10}Pa^{-1}] e corrente de offset, para cada orientação de estresse uniaxial λ	151
8.5	Coefficientes piezo-resistivos de primeira ordem CPRP [10^{-10}Pa^{-1}] estimados neste trabalho e comparados com valores apresentados na literatura.	151
8.6	Resultados da caracterização dos circuitos elétricos do sensor.	154
9.1	Tensão de saída em mV para cada uma das direções de polarização do 8TSP em ausencia de deformação controlada.	162
9.2	Corrente diferencial de de saída em μA para cada uma tipo de sensor em ausencia de deformação controlada.	174
9.3	Resultados para diferentes tipos de adesivos.	201

Lista de Símbolos

$F(x)$	Função da variável x
$C(x, y)$	Correlação entre as variáveis x e y
μ_n & μ_p	Mobilidade de portadores (elétrons e lacunas)
μ_0	Mobilidade de portadores sem deformação (sem estresse)
μ_H	Mobilidade Hall
U	Força Magnetomotiva
\vec{E}	Campo Elétrico
Q	Carga elétrica
q	Carga elétrica fundamental
n	Densidade de portadores negativos - elétrons
p	Densidade de portadores positivos - lacunas
n_i	Portadores intrínsecos
ρ	Densidade de carga elétrica
\vec{v}	Velocidade
\vec{J}	Densidade de corrente elétrica
I	Corrente elétrica
ϵ	Constante dielétrica
ϵ_0	Constante dielétrica do vácuo
F_L	Força de Lorentz
A	Área
W	Largura
L	Comprimento
t	Espessura
$C1$ & $C2$	Contatos-corrente
$S1$ & $S2$	Contatos-sensor
V_H	Tensão Hall
R_H	Coefficiente Hall
r_H	Fator Hall
F_n	Força mecânica Normal
F_t	Força mecânica Tangencial
σ	Estresse mecânico Normal
τ	Estresse mecânico Tangencial
λ	Angulo entre o estresse mecânico uniaxial e a direção de referência
σ_{kl}	Matriz de tensores de estresse mecânico

Y	Módulo de Young
G	Módulo de Rigidez
C_{ji}	Matriz de coeficientes de elasticidade
S_{ij}	Matriz de coeficientes independentes da elasticidade
π_{ijkl}	Matriz de coeficientes piezo-resistivos de primeira ordem
π_{11}	Coefficiente piezo-resistivo longitudinal
π_{12}	Coefficiente piezo-resistivo transverso
π_{44}	Coefficiente piezo-resistivo cisalhamento
ν	Coefficiente de Poisson
ϵ	Deformação nominal do material
γ	Deformação transversal do material
ρ_0	Resistividade elétrica nominal
R	Resistência elétrica
G_H	Fator geométrico
P_{11}	Coefficiente piezo-Hall longitudinal
P_{12}	Coefficiente piezo-Hall transverso
V_{out}	Tensão de saída
V_{off}	Tensão de desvio de zero ou tensão de <i>offset</i>
R_{in}	Resistência de entrada
R_{out}	Resistência de saída
S_I	Sensibilidade Hall relativa a corrente de polarização
S_v	Sensibilidade Hall a tensão de polarização
C_{ox}	Capacitância por unidade de área da porta do MOSFET
$\frac{W}{L}$	Relação entre largura e comprimento de porta no MOSFET
V_{GS}	Tensão entre porta e fonte do MOSFET
V_{DS}	Tensão entre dreno e fonte do MOSFET
V_{TH}	Tensão limiar ou de <i>threshold</i> do MOSFET
λ_m	Parâmetro de modulação de canal dos MOSFET

Sumário

Prefácio	28
Motivação	28
Introdução	29
Objetivo	31
Organização	32
I Desenvolvimento Teórico	34
1 Processo de empacotamento microeletrônico	35
1.1 Estresse remanescente no Empacotamento Microeletrônico	36
1.2 Determinação do estresse no empacotamento eletrônico	38
1.2.1 Métodos analíticos e numéricos	39
1.2.2 Técnicas Interferométricas	40
1.2.3 Chips de Teste de Semicondutor	40
2 Sensores Microeletrônicos	43
2.1 Efeitos transdutores	43
2.2 Sensores Microeletrônicos	45
2.3 Especificações de sensores	46
3 O efeito Piezo-resistivo em Silício	47
3.1 Teoria da Elasticidade	47
3.2 Piezo-efeitos em silício cristalino	50
3.2.1 Efeito de Piezo-junção	50
3.2.2 Efeito de Piezo-tunelamento	51
3.2.3 Efeito Piezo-Hall	51
3.2.4 Efeito Piezo-resistivo	51
3.2.5 O Efeito Piezo-MOS	52
3.3 Detalhamento do efeito Piezo-resistivo	52
3.3.1 Desenvolvimento analítico do efeito piezo-resistivo	53
3.3.2 Efeito piezo-resistivo em resistores semicondutores	55

3.3.3	Efeito piezo-resistivo em dispositivos de quatro terminais	58
3.4	Detalhamento do efeito piezo-MOSFET	61
3.5	Dependência da resistividade e piezo-resistividade com a temperatura	62
3.5.1	Variação da resistividade com a temperatura	62
3.5.2	Variação dos coeficientes piezo-resistivo com a temperatura	65
 II Projeto e Desenvolvimento dos Sensores de estresse mecânico		66
4	Sensor Piezo-resistivo octogonal	67
4.1	Parâmetros dos sensores piezo-resistivos	67
4.1.1	Resistência de entrada e de saída	67
4.1.2	Desvio de zero ou Tensão de <i>offset</i>	68
4.2	A influência da geometria em piezo-transdutores de quatro terminais	69
4.3	Piezo-transdutor com geometria octogonal	71
4.3.1	Simulação de Modelo de Elementos Finitos do Piezo-transdutor de 8 terminais	74
4.3.2	Tecnologia de Fabricação CMOS XFAB xc06	75
4.3.3	Dispositivo Fabricado	77
4.4	Piezo-transdutor com controle de direção de corrente	78
4.5	Projeto de uma Matriz de sensores para um Chip de Mapeamento de estresse	81
5	Sensor Piezo-MOSFET octogonal	84
5.1	Sensor de estresse mecânico usando piezo-MOSFET em espelhos de corrente	84
5.1.1	Descasamento entre transistores piezo-MOS	85
5.1.2	Efeito do estresse na corrente de saturação de MOSFETs	86
5.1.3	Efeito do estresse nos espelhos de corrente	87
5.1.4	Comparação entre espelhos simples e espelho tipo cascode	88
5.1.5	Espelhos de corrente usando Piezo-FET em diferentes direções	89
5.2	Sensor piezo-MOSFET octogonal	92
5.3	Projeto de uma Matriz de sensores para um Chip de Mapeamento de estresse	93
5.4	Modulação da saída em largura de pulso	95
5.4.1	Modulação por largura de pulso	96
5.4.2	Condicionamento de sinal usando espelhos de corrente	97
5.5	Chip completo	98
 III Resultados Experimentais		100
6	Aparato para caracterização experimental do sensor de estresse mecânico	101
6.1	Metodologias para testes de deformação e estresse mecânico em materiais	101
6.1.1	Pressão hidrostática	102
6.1.2	Ensaio de tração	103
6.1.3	Ensaio de torção	104

6.1.4	Ensaio de flexão	105
6.2	Ensaio de flexão de quatro pontos	106
6.2.1	Teste de flexão em amostras circulares	107
6.2.2	Análises de Modelos de Elementos Finitos do estresse no disco	107
6.2.3	Aparato de teste de flexão em quatro pontos	108
6.3	CHIPs de silício aderidos a um disco de metal	111
7	Caracterização experimental dos piezo-resistores de oito terminais	113
7.1	Validação do funcionamento do dispositivo	113
7.1.1	Montagem do experimento	114
7.1.2	Resultados dos Testes de Validação	115
7.1.3	Conclusões parciais do testes de Validação	116
7.2	Observações do efeito do estresse em 8TSP à temperatura ambiente e conclusões parciais	117
7.2.1	Variação da Resistência entre terminais opostos pelo efeito do estresse mecânico	117
7.2.2	Variação da tensão de saída nos contatos-sensor pelo efeito do estresse mecânico	120
7.2.3	Comparação dos resultados experimentais com as simulações de modelos de elementos Finitos	123
7.2.4	Conclusões parciais do testes de caracterização da sensibilidade	127
7.3	Variação das características do 8TSP tipo-n com a temperatura	127
7.3.1	Resistência e Sensibilidade para diferentes temperaturas	128
7.3.2	Variação dos piezo-coeficientes com a temperatura	129
7.3.3	Dispositivo de compensação de temperatura integrável em silício	129
7.3.4	Conclusões parciais da sensibilidade do piezo-resistor com a Temperatura	131
7.4	Resultados do 8TSP junto com a compensação da temperatura e comutação de direção de corrente	132
7.4.1	Circuito de polarização e características estáticas do dispositivo	133
7.4.2	Sensibilidade do sistema segundo a direção	133
7.4.3	Compensação da sensibilidade com a temperatura	135
7.4.4	Conclusões parciais para o 8TSP com circuito de controle de direção de corrente	135
7.5	Estimativa de direção e magnitude de estresse	136
7.5.1	Conclusões parciais	138
8	Caracterização experimental dos espelhos de corrente piezo-MOSFET	139
8.1	Validação do funcionamento do dispositivo	139
8.1.1	Montagem do experimento	140
8.1.2	Resultados dos Testes de Validação	141
8.1.3	Conclusões parciais do testes de Validação	142
8.2	Observações do efeito do estresse em espelhos cascode piezo-MOSFET à temperatura ambiente e conclusões parciais	142

8.2.1	Variação das correntes de saída pelo efeito do estresse mecânico	143
8.2.2	Circuito de subtração de corrente e variação das diferenciais de saída pelo efeito do estresse mecânico	148
8.2.3	Conclusões parciais do testes de Validação	151
8.3	Estimativa de direção e magnitude de estresse	152
8.3.1	Conclusões parciais	153
8.4	Resultados do espelho piezo-MOSFET com circuito digitalizador por largura de Pulso	154
8.4.1	Circuito de polarização e características estáticas	154
8.4.2	Sensibilidade da digitalização de sinal por largura de pulso	155
8.4.3	Conclusões parciais para o piezo-MOSFET com circuito digitalizador de sinal em PWM	156
9	Caracterização experimental das matrizes de Sensores de estresse	157
9.1	Resultados de Simulação Multi física do Dispositivo em Silício	157
9.2	Observações do efeito do estresse em matriz de piezo-resistores de 8TSP e conclusões parciais	159
9.2.1	Medição do desvio de zero na ausência de deformação mecânica (<i>offset</i>)	160
9.2.2	Caraterização da resposta da matriz de piezo-transdutores ao aplicar deformação mecânica	163
9.2.3	Conclusões parciais do testes em matriz de 8TSPs	170
9.3	Observações do efeito do estresse em matriz de espelhos piezo-MOSFET e conclusões parciais	171
9.3.1	Determinar o desvio de zero da corrente de saída sem aplicar deformação mecânica	171
9.3.2	Caraterização da resposta da matriz de piezo-transdutores ao aplicar deformação mecânica	174
9.3.3	Conclusões parciais do testes de caracterização da sensibilidade	180
	Conclusões e perspectivas	182
	Trabalhos Futuros	186
	Publicações	187
	Bibliografia	189
	Bibliografia	189
	Apêndice: Teste de adesivos e de substratos	200
	Apêndice: Planos do aparelho de ensaio de quatro pontos	203
	Apêndice: Diagramas de solda e empacotamentos dos dispositivos	214

Prefácio

Motivação

O estresse mecânico causa deformação na estrutura cristalina do material semiconductor, alterando a mobilidade de portadores, a velocidade de saturação e a concentração intrínseca de portadores, acarretando, por conseguinte, alteração no comportamento elétrico. Estas variações causadas pelo estresse são conhecidas como Piezo-efeitos, as quais tem sido aproveitadas tanto para projetar diferentes dispositivos sensores [2, 3, 4, 5, 6, 7, 8, 9, 10, 11], quanto para melhorar o desempenho de transistores e outros componentes, entre eles, os strained-Gate FETs[12].

Um estresse mecânico não controlado pode comprometer o funcionamento apropriado de um circuito integrado (também conhecido como CI ou CHIP), e a sua integridade estrutural. Esta deformação do dispositivo está principalmente associada à diferença nos coeficientes de expansão dos materiais utilizados na indústria de circuitos integrados. Entretanto, um estresse remanescente é inevitavelmente encontrado nos dispositivos eletrônicos, induzido tanto nos processos de fabricação quanto de empacotamento, e que conseqüentemente resulta em uma redução no rendimento na produção.

Ainda que relevante e sempre presente na indústria de semicondutores, o estresse mecânico aleatório não era considerado por projetistas de Circuitos Integrados, sendo considerado um problema a ser resolvido pelo próprios fabricantes de *CIs* ou de invólucros. Entretanto, nos últimos anos, a partir do advento de novas tendências e da evolução tecnológica que vem ganhando espaço na indústria, como a inclusão de menores nós tecnológicos, transistor FinFET, wafers ultrafinas, *flip-chips* e empacotamento 3D (*stacked-die*), houve uma maior concentração dos esforços mecânicos na área ativa dos semicondutores.

Neste contexto, uma ferramenta inovadora para mapear o estresse torna-se útil, a fim de identificar quais etapas do processo podem ser mais críticas. Permitindo verificar quais as melhores alterações a serem aplicadas para reduzir o estresse remanescente ou compensar as variações na operação dos circuitos integrados.

O objetivo final desta pesquisa consiste em desenvolver um sensor de estresse mecânico totalmente compatível com a tecnologia CMOS, o qual possa ser utilizado para construir uma ferramenta de diagnóstico, para ser usada na caracterização de estresse em circuitos integrados empacotados. Todo o trabalho de pesquisa e desenvolvimento foi dividido em duas etapas: a primeira concentrou-se no estudo do estresse mecânico no silício, estudando a relação entre

deformação e a variação do comportamento elétrico, com o objetivo de verificar como ele é induzido na fabricação e no empacotamento de *CI*s, e assim buscamos identificar quais tipos de sensores podem ser usados para obter sinal elétrico equivalente a cada componente do estresse. A segunda etapa esteve focada no desenvolvimento de soluções customizadas para circuitos integrados específicos, com dimensões de produtos (comerciais ou emergentes) que incorporem matrizes de micro-sensores mecânicos integrados, criando uma ferramenta que permita estudar, medir e avaliar o estresse resultante do empacotamento, favorecendo a melhoria na produtividade da indústria microeletrônica de *back-end*.

Introdução

Os estudos sobre os Piezo-efeitos em semicondutores, que relacionam a variação de características elétricas com a deformação da estrutura cristalina, foram inicialmente realizados por Smith [13] no final dos anos 50. Desde então, os piezo-efeitos vem sendo analisados e utilizados para projetar diferentes dispositivos, incluindo sensores de pressão e acelerômetros [2, 3, 4, 5, 6, 7, 8, 9, 10, 11]. No entanto, o estresse mecânico nem sempre resulta útil, vez que uma deformação não desejada pode degradar características que moldam o desempenho dos Circuitos Integrados (*CI*s), inclusive podendo ficar para além das margens de operação definidas para o dispositivo.

Nos processos de *back-end*, fabricação e empacotamento de componentes eletrônicos são usados materiais com coeficientes de expansão distintos, o que resulta em estresse mecânico no interior dos dispositivos quando, por exemplo, há uma variação na temperatura [5, 8, 9, 11, 14]. Dado que a temperatura e outras variáveis ambientais mudam constantemente durante o processo de fabricação e de operação, o estresse remanescente resulta ser inevitável e difícil de controlar.

Neste contexto, dispositivos sensíveis ao estresse mecânico aparecem como ferramentas importantes para a análise estrutural de *CI*s, vez que permitem detectar zonas de concentração de estresse que podem induzir alterações no comportamento da eletrônica [14, 15, 16, 17, 18]. É preciso ressaltar, que identificar as deformações e as etapas que as geram, auxilia na melhora dos processos de *back-end* e pode ser usado para compensar os efeitos associados ao estresse mecânico.

O desenvolvimento de uma ferramenta que permita o mapeamento do estresse mecânica na superfície ativa dos dispositivos semicondutores exige um enfoque multidisciplinar, combinando conhecimentos relativos à física do estado sólido, à resistência dos materiais, aos circuitos elétricos, aos processos de fabricação e de empacotamento de circuitos integrados.

Tradicionalmente, o efeito piezo-resistivo em silício tem sido utilizado para projetar transdutores, com a vantagem de que as resistências de difusão são componentes nativos de todos os processos de fabricação de circuitos integrados comerciais, permitindo que elementos sensores e circuitos de condicionamento sejam integrados monoliticamente [14, 15, 9, 16, 17]. Um sensor de estresse bem conhecido é a Roseta de piezo-resistências, um conjunto de resistências de difusão com diferentes alinhamentos, conforme mostrados na Figura 1.a, que permite medir o estresse em uma determinada região [19, 20, 21]. No entanto, os resistores da Roseta são separados e

espalhados por uma determinada área, o que poderia comprometer a precisão da medição de estresse, e limitar a sua resolução espacial.

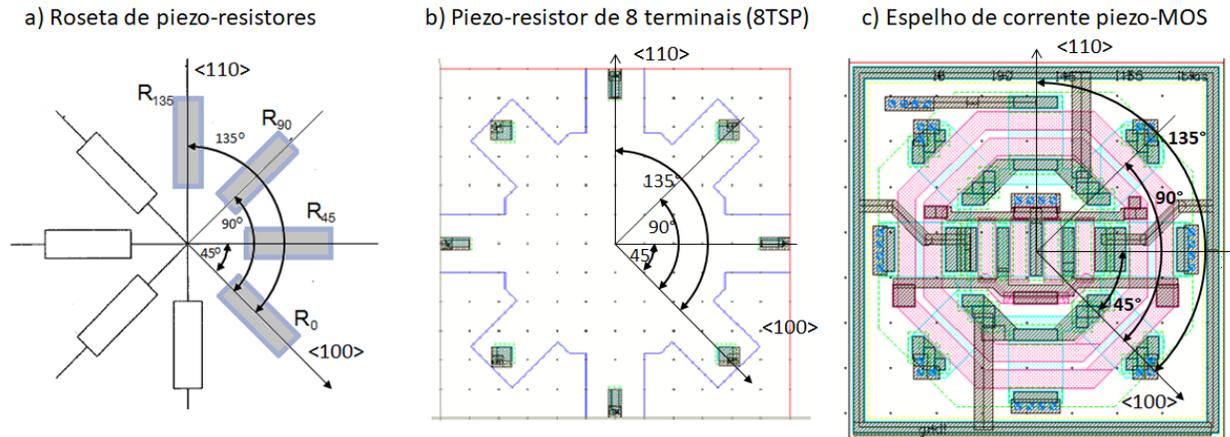


Figura 1: a) Roseta de resistores usada como Piezo-transdutor [18, 19, 20]; b) Piezo-resistor de oito terminais (8TSP) e c) piezo-transdutor usando piezo-MOSFETs.

Neste projeto de pesquisa, estamos desenvolvendo uma série de dispositivos compactos, ilustrados nas Figuras 1.b e 1.c, que permitem fazer medições em várias direções, podendo ser configurados em diferentes modos de operação, além de serem utilizados para caracterizar o estado de estresse mecânico na superfície de circuitos integrados e nos empacotamentos eletrônicos. Detalhes sobre a fabricação e operação de cada um destes dispositivos serão discutidos nos capítulos 4 e 3.

Sendo uma aplicação emergente, existem diferentes montagens experimentais usadas para aplicar uma deformação controlada e adequada para que o dispositivo seja corretamente caracterizado e calibrado [22, 23, 16, 24, 9, 25, 26, 27], sem que haja, no entanto, um processo padrão. Portanto, o trabalho inclui também o desenvolvimento de uma montagem experimental nova e focada em CHiPs semicondutores, que viabilize transferir ao dispositivo um estresse uniaxial bem controlado, além de caracterizar os coeficientes de piezo-resistência, de modo que permita encontrar a sensibilidade dos transdutores de estresse. Cálculos, diagramas e simulações computacionais são apresentados para explicar o desenvolvimento do aparato de teste experimental.

Objetivos

Estudar, projetar e caracterizar uma matriz de sensores de estresse, visando a construção de uma ferramenta que permita quantificar o estresse mecânico resultante em um Circuito Integrado empacotado. Esta ferramenta precisa ser compatível com a tecnologia de fabricação de Circuitos Integrados (ASIC), permitindo que seja monoliticamente integrada.

Objetivos detalhados

- Estudar os piezo-efeitos no silício e selecionar qual seria o mais adequado para desenvolver sensores de estresse, que permitam identificar o estresse remanescente em silício.
- Fabricar uma série de sensores baseados no efeito piezo-resistivo, que permitam fazer medições dos diferentes componentes do estresse mecânico na superfície do Chip de silício.
- Caracterizar todos os dispositivos projetados, com especial atenção à sensibilidade ao estresse mecânico e à variação com a temperatura.
- Projetar um circuito de controle de corrente, que permita controlar a direção da corrente e da tensão de saída, podendo, assim, comutar os terminais de entrada e saída do dispositivo, o que possibilita a reutilização do mesmo dispositivo para identificar os diferentes componentes do estresse mecânico.
- Projetar um circuito que permita multiplexar as polarizações e saídas de múltiplos sensores, de modo a controlar todos os dispositivos de uma matriz, afim de mapear o estresse na superfície do *CHIP* de silício.

Organização

Este documento está organizado em três partes, subdivididas em Introdução, nove capítulos, Conclusões e apêndice, sendo que:

Introdução: Descrevemos a motivação, objetivos e aplicações deste trabalho, assim como a organização da tese.

Primeira Parte: Desenvolvimento Teórico

Capítulo 1: Fazemos uma revisão sobre o empacotamento microeletrônico e os problemas que são associadas aos processo de *back-end*, especialmente os ligados às variações térmicas e mecânicas. Incluímos uma rápida revisão histórica do problema e uma contextualização do problema nos dias atuais.

Capítulo 2: Apresentamos uma introdução sobre o tema de sensores, voltado para a área de microeletrônica. Definimos função de transferência, sensibilidade e outras características dos dispositivos.

Capítulo 3: Apresentamos um resumo da teoria da elasticidade dos materiais e resistência mecânica, apresentando conceitos como força, estresse, deformação, tensores e a Lei de Hooke. Incluímos uma revisão sobre a teoria da elasticidade anisotrópica do silício. Explicamos o efeito piezo-resistivo através da mecânica de materiais, a teoria da elasticidade e a física do estado sólido, relacionando a deformação mecânica com a mudança na resistência elétrica. Adicionamos uma revisão sobre o efeito piezo-resistivo para o silício monocristalino, englobando os coeficientes piezo-resistivos, e como é aproveitado este efeito para projetar sensores.

Segunda Parte: Projeto de Sensores e Circuitos

Capítulo 4: Neste capítulo, introduzimos alguns conceitos importantes para o projeto de piezo-transdutores de dois e de quatro terminais integrados em silício, incluindo o posicionamento dos contatos, a geometria do componente e a fabricação em tecnologia CMOS. Na sequência, discutimos sobre os modos de operação e aplicação dos sensores, baseados no efeito piezo-resistivo, focando no modo pelo qual são modificados e usados para mapear o estresse remanescente na área ativa dos Circuitos Integrados. Analisamos também os desvios na sensibilidade associados a temperatura e como tal desvio pode ser compensado usando circuitos eletrônicos. Finalmente, apresentamos o projeto de um sensor octogonal, que permite identificar os principais componentes do estresse na superfície do silício, além de mostrar o dispositivo fabricado.

Capítulo 5: Apresentamos uma segunda geração do sensor octogonal, onde substituímos os piezo-resistores por transistores piezo-MOS, permitindo integrar as partes dos espelhos de corrente, requeridos para polarizar o dispositivo, diminuindo a área e o consumo de potência.

Terceira Parte: Resultados Experimentais

Capítulo 6: Neste capítulo, apresentamos as estruturas usadas para caracterizar, experimentalmente os dispositivos sensores fabricados. Detalhamos os procedimentos utilizados para empacotar os componentes, controlar a direção e a magnitude do estresse, projetar as estruturas de sustentação mecânica e conectar os instrumentos para montagem do experimento.

Capítulo 7: Apresentamos os resultados da caracterização experimental do piezo-transdutor resistivo de oito terminais 8TSP, incluindo a sensibilidade para várias orientações de estresse e a dependência com relação à temperatura.

Capítulo 8: Apresentamos os resultados da caracterização experimental do piezo-transdutor usando piezo-MOSFET em espelhos de corrente, incluindo a sensibilidade para várias orientações de estresse, a dependência com relação à temperatura e o circuito digitalizador do sinal de saída.

Capítulo 9: Apresentamos os resultados para as matrizes de sensores de estresse mecânico, usando o ensaio de flexão em 4 pontos para aplicar deformação na superfície do dispositivo.

Conclusões

Conclusões e perspectivas: Contém os comentários finais e possíveis trabalhos que podem ser derivados deste projeto. Também uma lista com todas as publicações derivadas desta pesquisa.

Anexos

Apêndice 1: Contém os resultado do teste de adesivos e de substratos usados no empacotamento das amostras.

Apêndice 2: Contém os planos da máquina de 4 pontos.

Apêndice 3:: Contém os diagramas de solda.

Parte I

Desenvolvimento Teórico

Capítulo**1**

Processo de empacotamento microeletrônico

O emprego de materiais semicondutores e a possibilidade de fabricar Circuitos Integrados (denominados como CIs ou CHIPS) revolucionaram a ciência, a indústria e a própria sociedade [28, 29, 11]. Os CIs são utilizados em praticamente todos os equipamentos eletrônicos. A microeletrônica e os CIs possibilitaram todos os desenvolvimentos em computação, sensoriamento, controle e automação, entre outras disciplinas [8]. A cada novo desenvolvimento, os CHIPS tornaram-se cada vez mais rápidos, mais potentes, além de integrarem maior número de transistores e de funcionalidades. Neste contexto, a densidade de componentes aumenta, enquanto o consumo de potência e a tensão de alimentação continuam a se reduzir [30].

Os circuitos requerem um maior número de interconexões, dado que precisam dissipar mais calor e suportar estímulos mecânicos externos, criando problemas de confiabilidade e conectividade. Fato que pode ser verificado no que diz respeito às funções do empacotamento microeletrônico, no qual os invólucros realizam a interconexão dos CIs com os outros componentes, enquanto protegem o delicado material semicondutor do ambiente e das condições de operação [31, 32, 33].

Sendo os invólucros ou encapsulamentos módulos de proteção fabricados ao redor dos circuitos semicondutores, o projeto de um bom empacotamento deve considerar a proteção contra danos mecânicos, dissipação de calor ou resfriamento, emissão eletromagnética, proteção contra descarga eletrostática, manutenção, custo, geometria e inclusive a facilidade para manipular o dispositivo [11]. Dada sua importância, o empacotamento eletrônico ocupa posição de destaque no campo da engenharia elétrica.

Há uma diversidade de materiais disponíveis para a produção do invólucro e no processo de empacotamento do CHIP (incluindo cerâmicos, metais e polímeros), cada um com propriedades próprias, que podem ser aproveitadas para otimizar o funcionamento, o processo de fabricação e o custo do componente. Porém, a integração de materiais com propriedades distintas pode acarretar problemas, principalmente nas interfaces, onde os materiais interagem de forma física e química. Contudo, não resulta incomum que sejam usados, em um mesmo empacotamento, materiais que apresentam diferentes propriedades químicas, mecânicas e térmicas. Com o tempo, entretanto, diferenças na expansão ou absorção de certas espécies químicas pode provocar falhas estruturais ou elétricas [33].

Os elevados coeficientes de expansão térmica e as taxas de absorção de umidade de alguns

materiais, principalmente de polímeros usados no empacotamento, situam-se entre os maiores contribuintes para a geração de falhas estruturais, assim como estão associados à deformação mecânica do delicado dispositivo semiconductor [33], por exemplo, aparece uma curvatura na superfície associada à cura do adesivo com o involucro.

Os semicondutores são especialmente sensíveis ao estresse e à deformação mecânica, já que tais eventos modificam as propriedades elétricas do material. E, quando as deformações atingem um nível elevado, podem até comprometer a integridade estrutural do frágil dispositivo. Dadas, portanto, as implicações do estresse mecânico na integridade física e operacional dos CIs, surge uma necessidade óbvia de caracterizar a distribuição do estresse na área ativa do circuito integrado, o que tem motivado o desenvolvimento de diferentes ferramentas .

1.1 Estresse remanescente no Empacotamento Microeletrônico

Existe uma relação entre o estresse mecânico e a deformação. Considerando um material sólido elástico, esta relação é representado pela lei de Young, que será detalhada no Capítulo 3.

Os semicondutores evidenciam a relação entre as características elétricas e o estresse mecânico, vez que apresentem uma variação associada à deformação da rede cristalina do material [2]. Esta característica, quando bem controlada, pode ser muito bem aproveitada para melhorar o desempenho elétrico dos componentes ou para desenvolver dispositivos sensíveis à deformação. Porém, se a deformação não for controlada ou bem gerenciada, resulta prejudicial para o projeto de CIs, dado que aumenta o descasamento entre os diferentes componentes do circuito.

Existe também um esforço interno totalmente aleatório dentro da rede do material, denominado estresse remanescente, que aparece na fabricação do dispositivo ou é induzido pelo empacotamento nas diferentes condições de operação [33]. Este estresse e a deformação associada da rede cristalina estão relacionados tanto a fatores internos (como defeitos na rede, impurezas ou interfaces com outros materiais), quanto às forças externas (incluindo estresse induzido por expansão térmica ou deformação dos involucro)[33, 39].

Qualquer estresse remanescente compromete estruturalmente e funcionalmente os dispositivos microeletrônicos, de modo que um bom processo de empacotamento é fundamental para controlar a deformação e reduzir o estresse nos componentes, garantindo a robustez dos circuitos comercializados[18, 33].

Com o intuito de ilustrar as fontes de estresse remanescente, apresentamos de modo resumido as principais etapas do processo de fabricação ou de empacotamento, as quais são vistas pela literatura como fontes de estresse remanescente:

- *Fabricação do Circuito Integrado*: processos como implantação e difusão de dopantes, oxidação, deposição de material e metalização na área ativa dos circuitos integrados acarretam deformação da estrutura cristalina [33, 40], já que agregam impurezas, defeitos intersticiais e interfaces entre camadas de diferentes matérias. O estresse induzido na interface entre silício e outros materiais e a deformação associada têm sido bem estudados, inclusive aproveitados para melhorar o desempenho dos FETs, ao aumentar a velocidade de saturação de portadores (*strained-gate transistor*)[12].

- *Processo de corte e desbaste da wafer*: cada wafer fabricada é afinada e dividida em múltiplos CHIPS, estes processos de corte e separação têm um impacto mecânico no dispositivo, produzindo microfaturas e defeitos na rede. Com o intuito de aumentar a densidade dos dispositivos empacotados, especialmente em memórias, smartphones e outros dispositivos mobile, existe uma tendência de afinar as wafers até espessuras menores de 20 μ m, o que aumenta significativamente a concentração de esforços no dispositivo [27].
- *Manufatura de interconexões elétricas*: a ligação das interconexões, seja wirebonding ou flip-chip, requer uma quantidade de energia capaz de fundir, arrastar e deformar o metal, de modo a realizar o contato físico com as interconexões do CHIP. A deformação agrega estresse e pontos de concentração de esforço [41, 35]. O *TSV* ou *Through-Silicon-Via* é uma nova tecnologia que vem sendo adotada para aumentar a velocidade e a densidade dos componentes. A interconexão é realizada através do semiconductor, furando o substrato semiconductor do CI, criando-se um zona de concentração de esforço.
- *Processo de montagem do dispositivo no empacotamento*: as soldas, os adesivos (*die attach*), o material de recheio (*underfill*) e os materiais usados na moldagem dos invólucros têm como função principal manter o dispositivo aderido ao encapsulamento. Não obstante, existe uma variação de volume durante o processo de cura das resinas, o que causa estresse remanescente, dado que qualquer deformação no invólucro é transmitida ao circuito integrado. Vários estudos caracterizaram a deformação associada aos processos de fixação dos CHIPS e moldagem dos encapsulamentos plásticos [41, 35, 42, 43], indicando o processo de montagem como a principal fonte de estresse, sendo que em dispositivos colados diretamente na placa do circuito impresso (*CoB Chip-on-Board* pela sigla em inglês) [43], a deformação tende a ser maior. O estresse associado ao processo de montagem resulta especialmente crítico em empacotamentos *stacked-die* e *3D-packaging*, usados para aumentar a densidade de memória, nos quais múltiplos *dice* são empilhados e qualquer estresse entre as camadas tende a se acumular e propagar [27].
- *Diferenças nos coeficientes de expansão térmica*: os materiais usados na fabricação e empacotamento de dispositivos elétricos apresentam coeficientes de expansão distintos. Dado que durante a manufatura e a operação o dispositivo é exposto a temperaturas distintas, aparecem diferentes deformações e estresse térmico associados à variação de temperatura. Vários pesquisadores [41, 35, 43, 38, 24, 22] examinaram os efeitos da temperatura na deformação da embalagem, assim como analisaram o deslocamento do metal utilizado nas interconexões e os danos estruturais causados por estresse induzido termicamente. Outros estudos aprofundaram as análises anteriormente realizadas, observando o efeito dos ciclos térmicos e os danos induzidos pela fadiga em um processo cíclico [14, 22], demonstrando que as rachaduras nas embalagens, induzidas pela ciclagem térmica, além de comprometer estruturalmente o dispositivo e as interconexões, também influenciam os níveis de estresse e a deformação do próprio circuito integrado.
- *Absorção de umidade*: Polímeros usados na adesão dos chips e na moldagem dos invólucros expandem-se quando absorvem umidade, induzindo estresse nos componentes integrados

[42, 22, 44]. Empacotamentos cerâmicos e metálicos não absorvem umidade, por isso, são usados em aplicações muito específicas. Por outro lado, o invólucro plástico tem custo muito menor e maior produtividade, o que mantém a popularidade deste material na indústria.

Desde o início da indústria da microeletrônica, o estresse mecânico esteve presente. Reduzir o estresse era tratado como um problema a ser resolvido pela indústria de *back-end*, não sendo considerado como uma variável de operação por projetistas de CIs. Porém, novas tecnologias e aplicações requerem cuidados muito maiores para compensar os efeitos do estresse e manter um rendimento elevado na produção (*Throughput yield* em Inglês), assim o estresse mecânico remanescente vem se tornando uma variável adicional a ser considerada (tanto por projetistas de CIs como por engenheiros de empacotamento).

A evolução tecnológica de fabricação, a crescente demanda por componentes pela indústria de dispositivo mobile, novas técnicas de empacotamento e a densidade muito maior de componentes resultaram na intensificação dos esforços de pesquisas para entender e reduzir a incidência do estresse nos CIs. Neste processo, intensificou-se tanto o estudo dos efeitos elétricos e mecânicos relacionados à deformação, quanto a procura por soluções que permitam mapear o estresse durante o empacotamento e operação dos circuitos integrados, a fim de buscar melhorias na fabricação, no processo de empacotamento e no design dos invólucros, compensando os efeitos do estresse.

1.2 Determinação do estresse no empacotamento eletrônico

Desde o início da indústria da eletrônica existe a preocupação por identificar e limitar as falhas estruturais nos dispositivos, de modo que certos pesquisadores buscaram desenvolver métodos para caracterizar, medir e entender os níveis de estresse nos Circuitos Integrados empacotados [34, 14, 22, 33, 37, 15]. Atualmente, a preocupação com o estresse mecânico já não se limita à integridade estrutural do dispositivo, como tem sido mencionado neste trabalho, vez que o estresse está afetando a operação dos circuitos, o que conduz à necessidade de uma metodologia de detecção mais detalhada.

Abordagem puramente analíticas dos efeitos mecânicos no empacotamento tem sido usada por alguns grupos [45, 10], que por exemplo, conseguiram modelar o estresse que leva a delaminação das interconexões durante o refluxo, correlacionando os resultados teóricos com os dados experimentais. Porém, as geometrias e os processos complexos do empacotamento eletrônico limitaram o uso e a eficácia dos métodos analíticos precisos, assim, métodos numéricos e computacionais tem ganho popularidade na análise estrutural.

Ainda assim, a melhor metodologia para detectar e mapear o estresse remanescente consiste na medição experimental do dispositivo, sendo que qualquer ferramenta usada para este fim não pode interatuar com a estrutura, sob o risco de agregar qualquer deformação adicional. Uma aproximação bastante difundida considera o comportamento dos dispositivos empacotados análogo aos termostatos bimetálicos, nos quais aparece uma ondulação mensurável quando os

materiais se expandem em taxas diferentes, fato que está associado ao estresse nas interfaces [46, 39, 47]. A partir desta aproximação, na qual é medida a ondulação na superfície do dispositivo (por exemplo usando técnicas interferométricas), é possível alcançar uma estimativa do estresse associado à curvatura. Entretanto, os dispositivos empacotados apresentam bem mais do que duas interfaces, e as camadas utilizadas para proteger o silício dificultam o uso da interferometria para observar as ondulações na superfície do semicondutor [48, 31]. Além de que o estresse remanescente não apresenta uma distribuição uniforme, o que limita a aplicação da citada aproximação.

Outra metodologia que está sendo desenvolvida para estimar a distribuição do estresse mecânico, metodologia na qual se foca esta pesquisa, consiste em integrar extensômetros na mesma área ativa onde são construídos os CIs, para assim medir a deformação na superfície [20, 49, 23]. Estes sensores de estresse devem ser fabricados em um Chip de teste de estresse, o que permite monitorar a deformação durante os diferentes processos de empacotamento ou em diferentes condições de operação.

Em seguida, apresentaremos um breve resumo bibliográfico das principais técnicas de identificação de estresse mecânico, em circuitos eletrônicos empacotados.

1.2.1 Métodos analíticos e numéricos

Embora os métodos experimentais ofereçam uma boa visão dos problemas relacionados ao estresse mecânico, à integridade estrutural e à confiabilidade nas embalagens eletrônicas, em muitos casos eles são caros e demorados. Uma grande parte dos métodos experimentais são destrutivos e, por isso, requerem um cuidado redobrado no preparo das amostras, ocasionando custo substancial em tempo e recursos.

Métodos numéricos, incluindo modelos de diferenças finitas (*DEM*) e a análise de elementos finitos (*FEA*), são ferramentas poderosas que podem diminuir o tempo gasto no projeto, simulando diversas situações e reduzindo os custos experimentais. A análise de elementos finitos, por exemplo, permite que os engenheiros simulem e comparem uma ampla variedade de combinações de condições de operação, considerações geométricas, materiais e outras variáveis importantes para o projeto de empacotamento, antes mesmo de fabricar os primeiros protótipos [46].

Nos primeiros trabalhos, técnicas de FEA e de simulação computacional foram utilizadas para realizar análises estruturais em invólucros plásticos tipo DIP e SMD (*dual-inline-package* e *Surface-Mounted-Devices*) [46, 39, 47]. Os estudos evoluíram, demandando mais atenção para o processo de montagem do empacotamento, usando FEA e modelagem computacional de dinâmica de fluídos (*CFD*), a fim de determinar a deformação induzida por adesivos, *underfills* e o moldado de plástico, reduzindo, assim, quebras e delaminações nas interconexões [47]. O processo de aplicação e cura do material de *underfill* demonstrou ter um impacto significativo em *flip-chips*, tendo sido associado à qualidade das interconexões e falhas por delaminação, sendo, por isso, investigado e modelado detalhadamente por vários grupos de pesquisa [46, 47, 22].

O efeito de estresse induzido pela temperatura e o efeito dos ciclos térmicos na acumulação de estresse e fadiga também tem sido modelados e observados [36], tanto nos dispositivos semicondutores, quanto nas vias de cobre e nas interconexões do *flip-chip*. Alguns trabalhos chegaram a descrever o empenamento do empacotamento microeletrônica como consequência

do estresse térmico [50], sendo que este estresse é transmitido às interconexões e ao dispositivo semicondutor.

A maior parte dos trabalhos pesquisados [46, 47, 22, 36, 50] focaram o estudo para reduzir a concentração de esforços em interconexões e interfaces das embalagens, dado que estes são os principais pontos de falha. Os estudos demonstraram o uso, com sucesso, de simulação computacional para fazer análises estruturais em componentes eletrônicos, o que pode ser estendido às análises de estresse remanescente no *die* e ao impacto na operação do circuito integrado.

1.2.2 Técnicas Interferométricas

Os semicondutores cristalinos possuem uma estrutura atômica ordenada e periódica, porém, o estresse mecânico gera uma deformação neste padrão. Técnicas ópticas podem ser usadas para medir o padrão na estrutura cristalina, são metodologias que não precisam de contato e são consideradas como não destrutivas, possibilitando uma excelente sensibilidade e resolução.

A interferometria é uma das ferramentas mais utilizadas para determinar deslocamentos no padrão cristalino. O padrão de interferência do feixe de luz refletido na superfície do dispositivo contém informação valiosa sobre o deslocamento e o empenamento do dispositivo (na direção normal ao plano de medição). Por isso, a interferência do feixe de luz tem sido efetivamente usada para medir deformações induzidas termicamente em pacotes eletrônicos [48, 31], estudar o empenamento de empacotamentos SMD causados por processos de solda, por refluxo e na montagem nas PCB [51, 52], assim como as deformações em empacotamentos plásticos BGA associados ao *underfill* e a montagem [53], inclusive deformações associadas ao estresse induzido termicamente [53].

Entretanto, os métodos ópticos requerem um acesso claro e direto à superfície do circuito, o que inviabiliza a sua utilização para monitorar os circuitos durante a fabricação e a montagem, além de mostrar-se inútil nas situações onde o feixe de luz for distorcido, como no caso de materiais usados na passivação, moldagem ou proteção do dispositivo.

1.2.3 Chips de Teste de Semicondutor

O silício é o principal material usado na fabricação de circuitos integrados, tal material apresenta vários piezo-efeitos, incluindo piezo-resistividade, piezo-junção e piezo-tunelamento. O comportamento do silício permite o desenvolvimento de sensores de estresse integrados em CHIPS, característica essencial para os projetos de sensores de pressão, força e acelerômetros [2, 44, 7]. Um projeto adequado de sensores de estresse resulta útil para identificar e mapear o estresse remanescente.

Chips de teste com sensores de estresse piezo-resistivos têm sido utilizados para estudar os níveis de estresse em empacotamentos eletrônicos. Trabalhos pioneiros usaram rosetas de extensômetros (*strain-gauges*) e piezo-resistores de silício em uma wafer [100], basicamente um conjunto de resistores com diferentes orientações e dopagens (como exposto na Figura 1.1), para identificar e avaliar o estresse resultante do processo de empacotamento [54, 20], além de mapear a magnitude do estresse durante os ciclos térmicos [15, 33, 51]. Combinando rosetas de piezo-resistores tipo-n e tipo-p, foi possível identificar os diferentes componentes do estresse

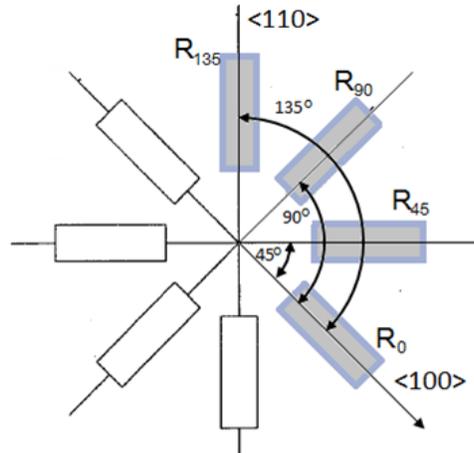


Figura 1.1: Roseta de piezo-resistores com diferentes orientações na wafer [100], a área cinza representa uma dopagem tipo-n e a branca tipo-p [54].

mecânico, orientados no mesmo plano da área ativa dos circuitos integrados.

Algumas pesquisas demonstraram as vantagens em se fabricar sensores de estresse em wafers de silício [111], orientando cada dispositivo segundo ilustrado na Figura 1.2, já que facilita diferenciar um maior número de componentes do estresse [18, 14]. Além disso, estas pesquisas descrevem como compensar as rosetas na wafer [111] com a temperatura.

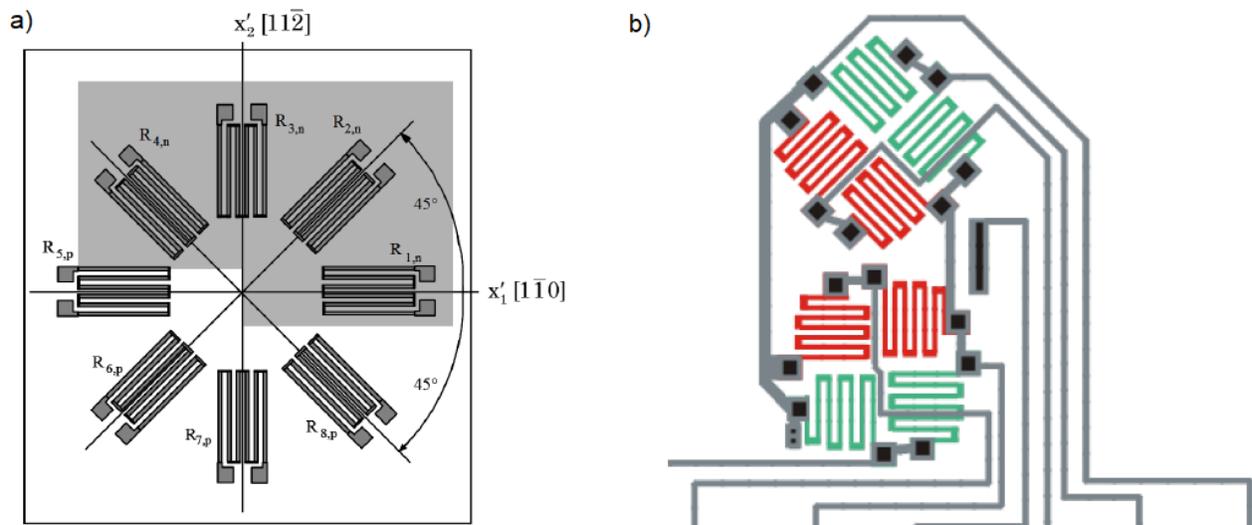


Figura 1.2: Rosetas de piezo-resistores na wafer [111], os trilhas que representam os resistores estão dobradas para aumentar a largura efetiva. a) Apresenta uma roseta com resistores tipo-n (cinza) e tipo-p (branco)[14]; b) apresenta resistores tipo-n (verde) e tipo-p (vermelho) que compõem duas rosetas com orientações complementares com diferente opções de ligação para isolar diferentes componentes do estresse [18].

Estudos futuros substituíram os resistores de 2 terminais por piezo-transdutores de quatro terminais (*Four-terminal silicon piezotransducers-FTSP*), dispensando a necessidade de usar

pontes resistivas, o que facilita a calibração e a medição de estresse [20, 49, 23].

Novas pesquisas avançam no estudo dos efeitos piezo-resistivo e de piezo-junção em outros tipos de dispositivos semicondutores de silício, como transistores piezoMOS, piezo-diodos e estruturas de van der Pauw [4, 32]. Nestes estudos, o estresse mecânico aplicado é relacionado às características do transistor, um exemplo de um circuito feito com piezo-MOSFETs é mostrado na Figura 1.3. Matrizes com este tipo de sensores foram utilizadas para caracterizar os níveis de estresse durante e após diferentes etapas de montagem do CHIP empacotado, a fim de determinar o estresse relacionado com a solda [55], tanto em montagem de dispositivos SMD, quanto em flip-chips [21, 23, 38].

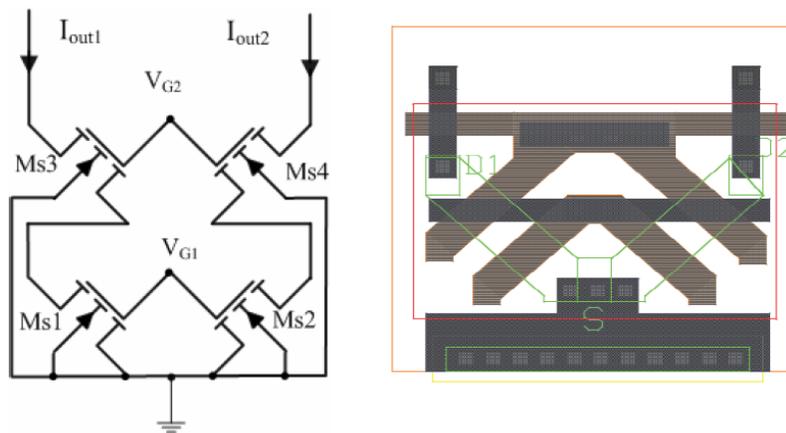


Figura 1.3: Circuito feito com MOSFET sensíveis ao estresse mecânico [34].

Entretanto, para fazer um uso eficiente dos chips de teste a fim de mapear o estresse, é fundamental uma calibração adequada do sistema sensor, além de uma caracterização prévia de todas as fontes de erro associadas a este tipo de integrados. Qualquer sistema utilizado para a fixação do dispositivo e a aquisição de dados precisa ser planejado e caracterizado, dado que podem se tornar uma fonte importante de deformação, eclipsando o estresse remanescente que se deseja observar. Existem estudos que destacam e discutem o uso adequado dos dispositivos para obter resultados válidos, incluindo discussões sobre erros no projeto e na calibração, otimização de geometria e orientação apresentadas por Suhling e Jaeger[14, 34].

Para este trabalho, concentraremos a pesquisa no desenvolvimento de CHIPS que integrem matrizes de piezo-dispositivos com a eletrônica requerida para polarizar os sensores e condicionar o sinal de saída, com o intuito de construir e caracterizar um dispositivo que permita mapear o estresse remanescente após o empacotamento.

Capítulo 2

Sensores Microeletrônicos

Sensores são dispositivos que respondem a um estímulo físico ou químico de forma específica e mensurável, resposta que pode ser facilmente interpretável pelo observador [2, 8, 11]. Sensores projetados para observadores humanos vêm acompanhados de um marcador ou indicador, que permite a fácil interpretação da medição na escala adequada, por exemplo: o barômetro de mercúrio permite relacionar a pressão atmosférica com a altura de uma coluna de mercúrio; ou um termômetro de mercúrio, que permite mensurar a temperatura observando a dilatação do material. Em ambos os casos, uma escala é colada ao tubo de mercúrio e serve como indicador visual ao leitor [8, 11].

Com a rápida adoção de aparelhos elétricos, a disseminação de métodos de controle, a popularização da computação e a instrumentação eletrônica, os sensores eletrônicos que entregam um sinal elétrico como saída, isto é, transformam o estímulo em um potencial ou uma corrente elétrica, como é retratado na Figura 2.1 [2], tornam-se cada vez mais práticos e populares. O sinal elétrico é processado por circuitos integrados, que condicionam o sinal de saída, amplificando e reduzindo o ruído, possibilitando a digitalização e o processamento do sinal usando circuitos lógicos.

Na atualidade, sensores eletrônicos estão substituindo a grande maioria de sensores convencionais, vez que estão se tornando mais baratos, confiáveis e precisos. E ainda, podem ser integrados tanto em um componente único quanto em um sistema de medição e monitoramento completo [11]. Os dispositivos eletrônicos aparecem como blocos fundamentais para o controle e a automação, permitindo a medição de múltiplas variáveis simultaneamente, a implementação de sistemas de monitoramento automáticos e o controle em tempo real e em malha fechada.

A importância destes dispositivos sensores e o seu potencial comercial tem impulsionado a pesquisa, além do desenvolvimento de sensores cada vez mais versáteis, confiáveis e inteligentes.

2.1 Efeitos transdutores

O sensoriamento se fundamenta na capacidade de se obter uma resposta mensurável a partir de um determinado estímulo físico ou químico. Neste contexto, um efeito transdutor define a capacidade de um dispositivo transformar uma magnitude física em uma saída que pode ser medida. A transdução é modelada, matematicamente, usando a chamada **função de transfe-**

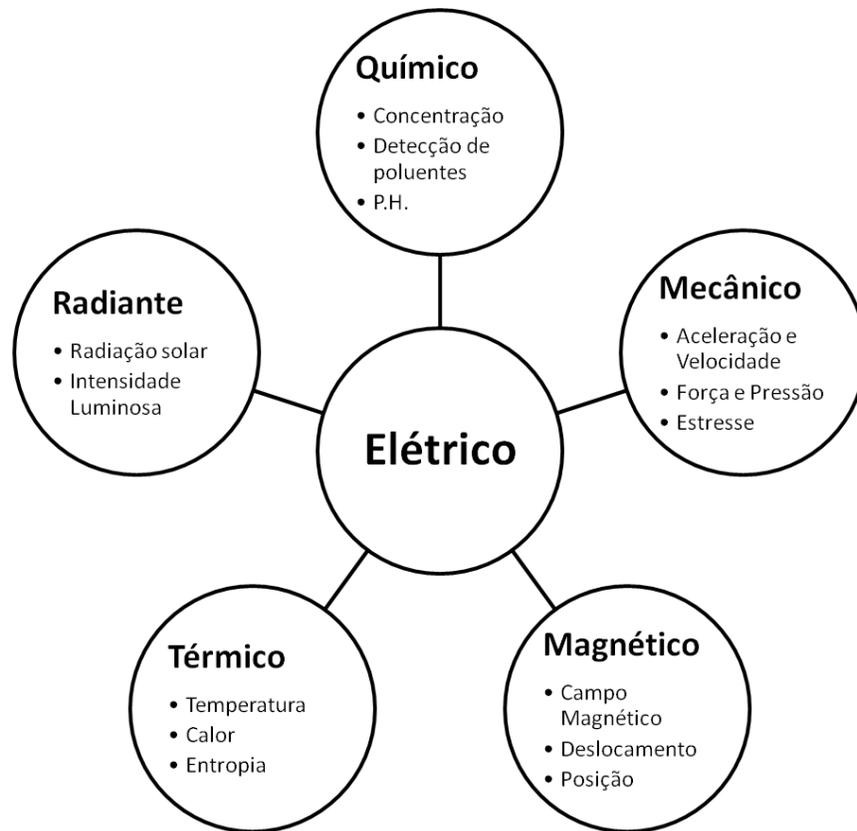


Figura 2.1: Conversão de energia e sinais de diversos domínios ao elétrico .

rência, a qual descreve a relação entre os estímulos de entrada e o sinal de saída [8], como é ilustrado na Equação 2.1. Esta função pode ser uma equação não linear, ou ainda uma equação diferencial, contanto que represente adequadamente o comportamento do dispositivo sensor.

$$Y_{out} = F(in_1, in_2, \dots, in_n) \quad (2.1)$$

É importante observar que, a **função de transferência** relaciona diversas entradas, portanto, a saída típica de um sensor pode depender de múltiplos estímulos diferentes. Caso as respostas a estes estímulos não estejam correlacionadas entre si, podemos reescrever a função de transferência como a superposição das funções correspondentes a cada entrada, como ilustrado na Equação 2.2.

$$Y_{out} = F(in_1) + F_2(in_2) + \dots + F_n(in_n) \quad (2.2)$$

Entretanto, caso exista alguma correlação, é necessário incluir os termos correlacionados dentro da função de transferência, como é explicitado na Equação 2.3. Esta correlação é conhecida como sensibilidade cruzada, relacionando o quanto a sensibilidade a uma entrada em particular é suscetível à presença de outro estímulo.

$$Y_{out} = F(in_1) + F_2(in_2) + \dots + F_n(in_n) + C(in_1, in_2) + \dots + C(in_1, in_n) \quad (2.3)$$

Na maioria dos casos, é desejável que o sensor responda a apenas um único estímulo de

entrada, porém, esta condição almejada é dificilmente encontrada [11, 8]. Então, torna-se necessário maximizar a sensibilidade ao estímulo desejado, enquanto se minimiza ou se suprime a influência de outras possíveis variáveis. Para exemplificar a sensibilidade a vários estímulos no contexto deste trabalho, atentemo-nos às características do silício: a mobilidade de portadores no silício varia com a temperatura, com a dopagem do material e sob efeito do estresse mecânico, portanto, a piezo-resistividade varia com a temperatura, representando, assim, uma sensibilidade cruzada. Deste modo, o efeito da temperatura tem que ser compensado para obter uma medida de estresse adequada.

É também desejável que o sensor tenha uma resposta linear ao estímulo a ser medido, a fim de simplificar o processamento e o condicionamento da saída. Por isso, é comum linearizar a função de transferência em torno do ponto de operação, para facilitar a análise e a caracterização do dispositivo [56, 2].

Como o presente trabalho se concentra em sensores com resposta linear, torna-se desnecessário aprofundar o desenvolvimento de funções de transferência mais complexas, dado que a resposta dos sensores será modelada como um sistema linear e invariante no tempo.

2.2 Sensores Microeletrônicos

Os semicondutores são materiais muito interessantes e úteis para a fabricação de sensores, pois suas características (e.g. mobilidade de portadores e o potencial da junção) apresentam uma forte dependência em relação às variáveis físicas, incluindo: temperatura, estresse mecânico e luz [29, 57, 2, 58]. Estes efeitos têm sido amplamente estudados e caracterizados na física de estado sólido. Os semicondutores, especialmente o silício, apresentam outra característica positiva, a tecnologia necessária para a fabricação de dispositivos já foi amadurecida pela indústria da microeletrônica.

A mobilidade de portadores varia quando aplicado um estresse mecânico no semicondutor, conseqüentemente, a resistividade do material muda [56, 59, 60]. Esta alteração sob efeito do estresse é conhecida como efeito piezo-resistivo, efeito que é peculiarmente significativo no silício monocristalino, como o usado na indústria de microeletrônica. Assim, sensores de estresse e deformação em silício mostram uma sensibilidade muito superior aos sensores metálicos e podem ser integrados facilmente na área ativa dos Circuitos Integrados, fato que os transforma em uma opção muito adequada para a realização de medições não-intrusivas de estresse nos componentes microeletrônicos.

A medição é feita nos sensores de estresse piezo-resistivos diretamente [59, 14], observando a variação da resistência ou monitorando as mudanças da tensão, além da corrente induzida pelo estresse aplicado. Os valores do estresse mecânico são calculados tendo por base as observações realizadas. As considerações necessárias para o projeto de sensores de estresse em silício e os principais métodos para medir o sinal de saída serão apresentados no decorrer do trabalho.

2.3 Especificações de sensores

Os critérios de seleção de sensores são definidos de acordo com suas especificações, sendo que quase todas relacionam-se com a função de transferência do sensor.

Definimos a seguir algumas especificações dos sensores, que serão citadas ao longo deste trabalho [8]:

- **Sensibilidade:** A taxa de variação no sinal de saída em relação a variação do sinal de entrada. A sensibilidade pode ser total, finita ou infinitesimal.
- **Faixa de entrada** (*Span* ou *Full Scale Input*): Definido pela faixa de sinal ou estímulo de entrada perceptível pelo sensor. Também chamada de *Span range* ou *Dynamic range*.
- **Fundo de escala** (*Full Scale Output*): Definido pela diferença algébrica do máximo e do mínimo valor útil do sinal de saída, em resposta ao máximo e ao mínimo estímulo aplicado.
- **Desvio de zero** (*Offset*): Corresponde ao sinal de saída do sensor, quando o sinal de entrada é nulo.
- **Histerese:** Retardo na resposta de um sistema, quando existe um acréscimo ou decréscimo no valor do sinal..
- **Não-linearidade:** Máximo desvio medido no sinal de saída, em relação a uma função linear ideal.
- **Resolução:** Refere-se ao menor incremento do sinal de entrada detectável na saída. Pode ser expresso como uma porcentagem em relação à Faixa de Entrada.
- **Precisão:** Característica de um instrumento de medição, determinado através de um processo estatístico de medição, revelado pelo desvio padrão entre as diversas medidas obtidas de uma grandeza, sob as mesmas condições. A precisão não relaciona as medidas obtidas com a medida real.
- **Exatidão:** Desvio máximo entre os valores do sinal de saída e, o valor ideal de uma grandeza física aplicada a sua entrada. A exatidão não considera a repetição das leituras, mas seu exato valor. Pode ser representada em porcentagem, em relação ao fundo de escala.
- **Deriva térmica:** Desvio sistemático das características do dispositivo gerados pela mudança na temperatura.

Capítulo 3

O efeito Piezo-resistivo em Silício

Os piezo-efeitos relacionam a influência da ação mecânica com a mudança das propriedades elétricas do material. Materiais que apresentam piezos-efeitos, como o silício monocristalino, são apropriados para projetar sensores sensíveis a estímulos como: estresse, deformação, pressão e força mecânica.

Por apresentar propriedades elétricas, químicas e mecânicas adequadas, o silício destaca-se como o principal material utilizado na fabricação de circuitos integrados. O silício também apresenta vários piezo-efeitos, incluindo: piezo-junção, piezo-resistividade, piezo-MOS, piezo-tunelamento e piezo-Hall [56, 44], que serão analisados neste capítulo. Razões que explicam porque o silício tem sido explorado para a produção de sensores desde a década 60, acompanhando e aproveitando os desenvolvimentos em microeletrônica [2, 11, 61, 40, 56, 17].

Apresentamos nas seguintes páginas um breve resumo teórico da mecânica dos sólidos, especialmente a teoria da elasticidade que relaciona a deformação com o estresse mecânico. Em seguida, mencionaremos os diferentes piezo-efeitos presentes no silício e como têm sido estudados e usados para diferentes aplicações. Não entanto, aprofundaremos unicamente no efeito piezo-resistivo, que será usado no projeto dos sensores de estresse mecânico propostos em este trabalho.

3.1 Teoria da Elasticidade

A teoria da elasticidade modela a deformação não permanente de um material submetido à ação um esforço mecânico. Este comportamento é chamado de resposta elástica do material, na qual o estresse gera uma deformação na vizinhança de onde é aplicado [56, 58]. Quando o estresse é retirado, o material volta a sua forma original.

A maior parte dos materiais apresenta uma deformação proporcional ao esforço aplicado, comportamento modelado pela lei de Hooke (introduzida no século XVII por Robert Hooke)[58].

Para ilustrar o comportamento elástico segundo a lei de Hooke, consideremos primeiro um elemento bidimensional. Definamos estresse mecânico como a força total dividida sobre uma superfície de área transversal A . Como a força é um vetor, podemos dividir os componentes da força em normal à superfície F_n , e tangencial à superfície F_t . Deste modo, podemos separar os componentes do estresse como: estresse normal à superfície, representado por σ ; e estresse

tangencial ou de cisalhamento, representado como τ . Assim, relacionamos estresse e força como:

$$\lim_{A \rightarrow 0} \frac{F_n}{A} = \sigma \quad \& \quad \lim_{A \rightarrow 0} \frac{F_t}{A} = \tau \quad (3.1)$$

Já que existem dois tipos de estresse, existem dois tipos de deformações (normal e tangencial à superfície), representadas por alongação ϵ e deformação relativa γ , como ilustrado na Figura 3.1. Deste modo, podemos descrever a deformação como proporcional ao estresse e usar constantes de proporcionalidade: o módulo de Young Y , relaciona a deformação pelo estresse normal; e módulo de rigidez G , para estresse de cisalhamento. A relação pode ser descrita como:

$$\sigma = Y\epsilon \quad (3.2)$$

$$\tau = G\gamma \quad (3.3)$$

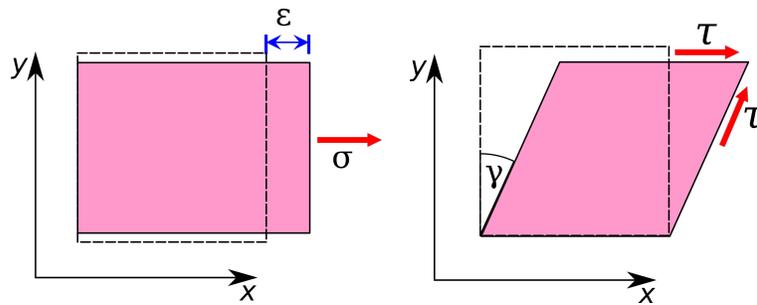


Figura 3.1: Deformação de um elemento submetido a força longitudinal (estresse longitudinal) e a força transversal (esforço de cisalhamento).

Perceba que ao aplicar uma deformação longitudinal no material aparece também uma redução transversal, estas deformações estão relacionadas e dependem das características de cada material, sendo que tal relação é conhecida como coeficiente de Poisson ν [11]. Este coeficiente relaciona ambos os módulos de Rigidez e de Young, como:

$$Y = 2G(1 + \nu) \quad (3.4)$$

Um material tridimensional exposto a forças em todos os seus eixos terá estresse normal e tangencial em todas as dimensões, como ilustrado na Figura 3.2. Sendo assim, teremos três componentes de estresse normal e três de cisalhamento. Para estender as análises a um elemento tridimensional, reescreveremos o estresse de forma vetorial, utilizando uma representação conhecida como tensor de tensão de Cauchy, representado como:

$$\sigma_{ij} = \begin{bmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \\ \tau_{xy} \\ \tau_{xz} \\ \tau_{yz} \end{bmatrix} \quad (3.5)$$

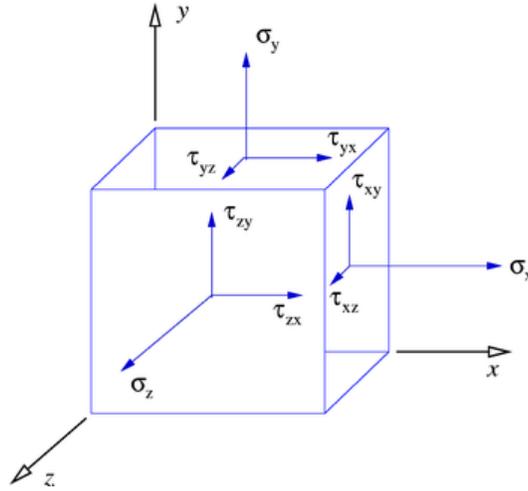


Figura 3.2: Elemento infinitesimal indicando estresse normal (σ) e tangencial (τ) em todas as direções.

Agora, podemos generalizar a lei de Hooke em forma matricial como:

$$\sigma_{ij} = C_{ij}\epsilon_{ij} \quad (3.6)$$

Sendo que C_{ji} é a matriz de coeficiente de elasticidade, equivalentes ao módulo de Young e ao módulo de rigidez.

A deformação também pode ser representada em função do estresse, como a inversa da matriz C_{ij} , denominada matriz dos coeficientes independentes da elasticidade S_{ij} .

$$\epsilon_{ij} = S_{ij}\sigma_{ij} \quad (3.7)$$

Podemos reescrever os coeficientes S_{ij} em função do módulo de Young Y , os módulos de rigidez G e os coeficientes de Poisson ν para cada uma das direções como [56, 7, 62]:

$$\begin{bmatrix} \epsilon_x \\ \epsilon_y \\ \epsilon_z \\ \gamma_{xy} \\ \gamma_{xz} \\ \gamma_{yz} \end{bmatrix} = \begin{bmatrix} \frac{1}{Y_x} & -\frac{\nu_{xy}}{Y_y} & -\frac{\nu_{xz}}{Y_z} & 0 & 0 & 0 \\ -\frac{\nu_{xy}}{Y_x} & \frac{1}{Y_y} & -\frac{\nu_{yz}}{Y_z} & 0 & 0 & 0 \\ -\frac{\nu_{xz}}{Y_x} & -\frac{\nu_{yz}}{Y_y} & \frac{1}{Y_z} & 0 & 0 & 0 \\ 0 & 0 & 0 & \frac{1}{2G_{yz}} & 0 & 0 \\ 0 & 0 & 0 & 0 & \frac{1}{2G_{xz}} & 0 \\ 0 & 0 & 0 & 0 & 0 & \frac{1}{2G_{xy}} \end{bmatrix} \begin{bmatrix} \sigma_x \\ \sigma_y \\ \sigma_z \\ \tau_{xy} \\ \tau_{xz} \\ \tau_{yz} \end{bmatrix} \quad (3.8)$$

Muitos materiais monocristalinos, incluindo o silício usado em microeletrônica, apresentam coeficientes de Poisson, módulos de elasticidade e módulos de rigidez diferentes para cada direção cristalográficas, sendo assim caracterizados como materiais com um comportamento anisotrópico. Resumindo, os coeficientes de elasticidade são diferentes em cada direção, variando de acordo com o alinhamento dos estresses e deformações com a estrutura cristalina.

Para ilustrar a anisotropia do silício e a dependência dos coeficientes de elasticidade com a orientação, a Figura 3.3 ilustra os valores dos módulos de Young e de Rigidez [63] nas diferentes direções do plano (001).

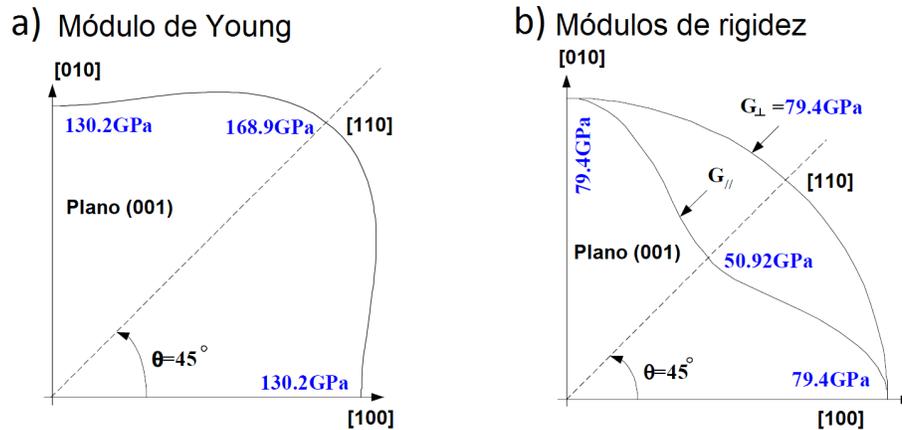


Figura 3.3: Coeficientes de elasticidade na wafer de silício (001): a) Módulo de Young Y e b) Módulo de Rigidez G [63].

3.2 Piezo-efeitos em silício cristalino

A deformação mecânica na estrutura cristalina gera uma mudança mensurável das propriedades do silício cristalino, seja a mobilidade de portadores em semiconductor dopado ou as correntes na junção p-n, estas variações são modeladas pelos piezo-efeitos. A seguir apresentaremos uma breve descrição dos piezo-efeitos de maior relevância no silício, que são: efeito piezo-junção, efeito de piezo-tunelamento, efeito piezo-Hall, efeito piezo-resistivo e efeito piezo-MOS. Focaremos, principalmente, nestes dois últimos para o desenvolvimento deste trabalho, uma vez que serão a base do desenvolvimento dos sensores de estresse implementados na solução proposta.

3.2.1 Efeito de Piezo-junção

A deformação da rede cristalina altera a corrente de saturação reversa, corrente definida pela difusão de portadores minoritários para a região de depleção em uma junção p-n. Esta junção é a estrutura fundamental para certos componentes, como diodos e transistores Bipolares [7, 17, 56]. O efeito de piezo-junção descreve a relação entre a variação na corrente de saturação e um estresse mecânico aplicado. Mesmo que tenha sido analisado pela primeira vez no início da década de 1950, somente na década de 1960 que o efeito de piezo-junção foi investigado em detalhes, passando, assim, a ser utilizado para o projeto de sensores mecânicos [2]. Fisicamente, os mecanismos que explicam este efeito são similares e relacionados com o efeito piezo-resistivo, incluindo a variação no número de portadores, da massa efetiva e do tempo de vida médio de cada portador.

Os sensores baseados no efeito de piezo-junção apresentam uma sensibilidade superior, consumo de potência menor e tamanho reduzido, se comparados aos sensores baseados no efeito piezo-resistivos. Entretanto, a resposta ao estresse é não-linear e apresentam uma alta deriva térmica da sensibilidade, o que envolve estratégias de compensação específicas. Além do mais, os sensores baseados no efeito de piezo-junção são menos robustos do que os baseados no efeito

piezo-resistivo, sendo, por isso, menos populares [56].

3.2.2 Efeito de Piezo-tunelamento

Quando os níveis de dopagem na junção são consideravelmente elevados, a largura da zona de depleção da junção é reduzida, permitindo o tunelamento de portadores. Este efeito é denominado tunelamento banda-a-banda. Quando o referido efeito se acontece junto a uma deformação mecânica, aparece uma variação nas bandas e no tunelamento, dependência que é modelada pelo efeito piezo-tunelamento.

Sensores baseados no efeito de piezo-tunelamento apresentam menos sensibilidade do que similares baseados no efeito piezo-resistivo e no efeito de piezo-junção. Por outro lado, sensores baseados no efeito de piezo-tunelamento apresentam uma excelente estabilidade térmica, possuindo uma baixíssima influência da sensibilidade [7, 56]. Porém, o efeito túnel em junções precisa de uma dopagem alta e muito específica, características que não são comuns no processo de fabricação de circuitos MOS comercial, assim que para construir este tipo de sensor são necessárias etapas específicas e adicionais ao processo comercial ou uma tecnologia muito específica.

3.2.3 Efeito Piezo-Hall

Descoberto por E. H. Hall em 1879, o efeito Hall descreve a aparição de um campo elétrico dentro de uma placa em resposta a um campo magnético. Este efeito tem sido usado para caracterizar o tipo de portadores em materiais semicondutores e para desenvolver sensores integrados de campo magnético.

A mesma geometria básica descrita para os piezo-resistores de 4 terminais, que são apresentado mais adiante neste capítulo, também é utilizada para observar o efeito Hall. De modo que sensores Hall integrados e sensores piezo-resistivos são fabricados usando a mesma geometria e as mesmas etapas. É natural, portanto, concluir que um sensor Hall seja sensível à presença de estresse mecânico, do mesmo modo que um sensor de pressão ao campo magnético. Porém, a relação vai além de uma sensibilidade cruzada, pois a sensibilidade de uma placa Hall é proporcional a mobilidade de portadores, mobilidade que varia como consequência de um estresse mecânico. Deste modo, a própria sensibilidade da placa Hall muda como consequência do estresse mecânico, fenômeno conhecido como efeito piezo-Hall.

3.2.4 Efeito Piezo-resistivo

Mobilidade de portadores e o número de portadores variam com a deformação da rede cristalina, assim o fluxo elétrico no material muda pela ação do estresse. O efeito piezo-resistivo descreve como a resistividade de um material é influenciada pelo estresse mecânico. Documentado em 1954 por Smith [64, 13], o efeito piezo-resistivo é especialmente significativo em silício, permitindo projetar sensores com sensibilidade de várias ordens de magnitude, maiores do que extensômetros metálicos similares. Já que resistores de silício são totalmente compatíveis com as técnicas de fabricação de CIs, o efeito piezo-resistivo tem sido amplamente usado no projeto

de sensores de estresse de silício. A maioria destes sensores consistem de piezo-resistores dentro de uma *Ponte de Wheatstone* ou piezo-resistores de 4 terminais.

Sensores baseados no efeito piezo-resistivo apresentam boa sensibilidade e uma resposta linear ao estresse. Por outro lado, os resistores se caracterizam por dissipar potência e requerem correntes relativamente altas para serem polarizados. Os resistores de difusão são também relativamente grandes, quando comparados aos transistores e diodos, por isso, ocupam grande área de silício. Além do mais, os sensores baseados em piezo-resistores apresentam *offset* e descasamento entre os componentes, principalmente, quando os resistores da ponte são dispostos em áreas ativas separadas.

Como boa parte dos dispositivos desenvolvidos nesta pesquisa se baseiam no efeito piezo-resistivo, este efeito será descrito em detalhe mais adiante neste capítulo.

3.2.5 O Efeito Piezo-MOS

A corrente entre fonte e dreno de transistores MOS é proporcional à mobilidade de portadores no canal, de modo que mudanças na mobilidade levam a uma mudança mensurável na corrente. Esta variação da corrente de saturação com o estresse é denominado efeito piezo-MOS, e está estreitamente relacionada com o efeito piezo-resistivo, já que ambos dependem da variação da mobilidade.

Diferente dos resistores, dentro do transistor MOS os portadores deslocam-se em uma fina camada de inversão próxima da porta, o que reduz significativamente a corrente elétrica e a potência requerida.

Comparativamente, transistores MOS são os componentes de menor área dentro dos circuitos integrados, e assim, os sensores baseados no efeito piezo-MOS requerem menor área e potência (comparados com os transdutores de efeito piezo-resistivo), entretanto, tais sensores exigem um projeto cuidadoso para reduzir fontes de ruído e de *offset*.

3.3 Detalhamento do efeito Piezo-resistivo

O efeito piezo-resistivo descreve como a resistividade de um material é influenciada pelo estresse mecânico [65, 66, 56]. Já em 1856, Lord Kelvin percebeu que a resistência de uma placa metálica muda ao se aplicar uma carga mecânica, variação que está associada à deformação geométrica da placa, e que possibilitaram os extensômetros metálicos (*metallic foil strain gauge* pelo nome em inglês). Mas foi em 1954, quando Smith documentou que um efeito piezo-resistivo é muito maior em semicondutores cristalinos [13, 64], que foi possível desenvolver dispositivos em silício cristalino com um fator de *Gauge* até duas ordens de grandeza superior aos dispositivos metálicos similares.

Sensores baseados no efeito piezo-resistivo podem ser fabricados usando os mesmos processos utilizados na fabricação de *CMOs*, por outro lado, resistores dissipam potência estática, requerem área maior e são muito sensíveis ao descasamento [66, 7]. Ainda assim, este piezo-efeito tem sido a técnica de transdução mecânica mais utilizada em sensores de pressão e força em silício [8]. A maioria destes sensores consistem em resistores de difusão, que são posicionados em uma *ponte de Wheatstone* (ponte resistivo), ou dispositivos piezo-transdutores de 4 terminais (*FTSP*

- *Four terminal Silicon Piezotransducers*, por sua sigla em inglês). Os resistores são alinhados sobre uma micro-máquina, que permite concentrar a deformação mecânica na direção adequada [10, 54, 67, 7].

Apresentamos a seguir um resumo dos modelos teóricos do efeito piezo-resistivo em silício, incluindo as equações que modelam a variação de resistência, tensão e corrente com o estresse mecânico.

3.3.1 Desenvolvimento analítico do efeito piezo-resistivo

Em material cristalino, o efeito piezo-resistivo possui uma natureza anisotrópica. A variação relativa da resistividade do silício monocristalino será diferente em cada direção, podendo ser calculada através dos coeficientes piezo-resistivos e do estresse mecânico aplicado a ele. Os coeficientes piezo-resistivos são um conjunto de constantes obtidas empiricamente, que descrevem a variação relativa da resistividade pelo estresse, como segue:

$$\frac{\Delta\rho_{ij}}{\rho_0} = \pi_{ijkl}\sigma_{kl} + \pi_{ijklmn}\sigma_{kl}\sigma_{mn} \quad (3.9)$$

Na equação, σ_{kl} e σ_{mn} são os tensores de estresse de primeira e segunda ordem, π_{ijkl} e π_{ijklmn} são os coeficientes piezo-resistivos de primeira e segunda ordem, respectivamente. Dado que, para níveis de estresse de até 200 MPa, os coeficientes de segunda ordem podem ser desconsiderados [68], a equação 3.9 pode ser simplificada como:

$$\frac{\Delta\rho_{ij}}{\rho_0} = \pi_{ijkl}\sigma_{kl} \quad (3.10)$$

A estrutura cristalográfica do silício possui planos de simetria, fato que permite que os coeficientes piezo-resistivos de primeira ordem (*CPRP*) da equação 3.10 possam ser simplificados, como resumido na Tabela 3.1.

Tabela 3.1: Simplificação dos coeficientes piezo-resistivos de primeira ordem.

CPRP [π_{ijkl}]
$\pi_{1111} = \pi_{2222} = \pi_{3333} = \pi_{11}$
$\pi_{1122} = \pi_{2211} = \pi_{2233} = \pi_{1133} = \pi_{3311} = \pi_{3322} = \pi_{12}$
$\pi_{4444} = \pi_{5555} = \pi_{6666} = \pi_{44}$

Podemos, assim, resumir em três coeficientes fundamentais de piezo-resistência: π_{11} é o chamado coeficiente longitudinal, π_{12} é o coeficiente transversal e π_{44} é o coeficiente de cisalhamento. Sendo que a matriz de coeficientes π_{ijkl} é simplificada como:

$$\pi_{ijkl} = \begin{bmatrix} \pi_{11} & \pi_{12} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{11} & \pi_{12} & 0 & 0 & 0 \\ \pi_{12} & \pi_{12} & \pi_{11} & 0 & 0 & 0 \\ 0 & 0 & 0 & \pi_{44} & 0 & 0 \\ 0 & 0 & 0 & 0 & \pi_{44} & 0 \\ 0 & 0 & 0 & 0 & 0 & \pi_{44} \end{bmatrix} \quad (3.11)$$

A física do efeito piezo-resistivo no silício dopado tem sido bem estudada [17, 69, 70, 68, 56, 67, 71, 40]. Resumindo, a mobilidade dos portadores é inversamente proporcional à massa efetiva, que muda sob o efeito do estresse (e acontece tanto no silício tipo-n quanto no tipo-p). Entretanto, é preciso ressaltar que os mecanismos são distintos para cada tipo de dopante:

- Para silício tipo-n sob estresse, elétrons na camada de condução serão redistribuídos entre vales de energia, sendo que as massas efetivas dos portadores (elétrons) variam dependendo dos vales (que mudam segundo a direção). Como resultado, se observa uma variação na mobilidade, que depende da orientação cristalográfica e da direção em que a rede foi deformada.
- Para o silício tipo-p, as bandas de energia estão alinhadas enquanto nenhuma deformação é aplicada, entretanto, se separam sob estresse. Tal separação leva a redistribuição das lacunas, o que altera a massa efetiva e a mobilidade global.

Portanto, como os efeitos são diferentes, a variação segundo o estresse também é distinta, dependendo do tipo de dopante e da direção.

A Tabela 3.2 apresenta os valores destas constantes, medidas por Smith [13, 64] e Matsuda [68] no silício tipo-p e tipo-n, na direção [100] sobre o plano (100). O valor destes coeficientes são dependentes da temperatura e da concentração de dopantes, fato já estudado sistematicamente por Kanda [70], e que será revisado mais adiante neste capítulo.

Tabela 3.2: Coeficientes piezo-resistivos de primeira ordem [10^{-10}Pa^{-1}] na direção cristalográfica [100] do silício.

CPRP [π_{ijkl}]	Tipo-p		Tipo-n	
	Smith	Matsuda	Smith	Matsuda
π_{11}	0,7	-0,6	-10,2	-7,7
π_{12}	-0,1	0,1	5,3	3,9
π_{44}	13,8	11,2	-1,4	-1,4

Note que o silício tipo-p apresenta os coeficientes longitudinais e transversais, π_{11} e π_{12} , menores que o coeficiente de cisalhamento π_{44} , portanto, este material é pouco sensível ao esforço longitudinal na direção [100] e muito mais sensível ao estresse aplicado na direção [110].

A análise para os componentes que não estão alinhados longitudinalmente na direção [100], pode ser feita aplicando uma rotação dos coeficientes de piezo-resistência. Esta rotação para qualquer sistema de coordenada arbitrária é feita através dos ângulos de Euler, procedimento descrito em detalhes em trabalhos anteriores [62, 7, 56], podendo ser escrito para a superfície das wafers (100), segundo a orientação φ do dispositivo, como:

$$\pi'_{11} = \frac{\pi_{11}}{2}(1 + \cos^2 2\varphi) + \frac{\pi_{12}}{2}(1 - \cos^2 2\varphi) + \frac{\pi_{44}}{2} \sin^2 2\varphi \quad (3.12)$$

$$\pi'_{12} = \frac{\pi_{12}}{2}(1 + \cos^2 2\varphi) + \frac{\pi_{11}}{2}(1 - \cos^2 2\varphi) - \frac{\pi_{44}}{2} \sin^2 2\varphi \quad (3.13)$$

$$\pi'_{44} = \frac{(\pi_{12} - \pi_{11})}{2} \sin^2 2\varphi + \pi_{44} \cos^2 2\varphi \quad (3.14)$$

A Figura 3.4 ilustra a rotação dos coeficientes transversal π_{12} e longitudinal π_{11} medidos por Smith para uma lâmina sobre o plano (100).

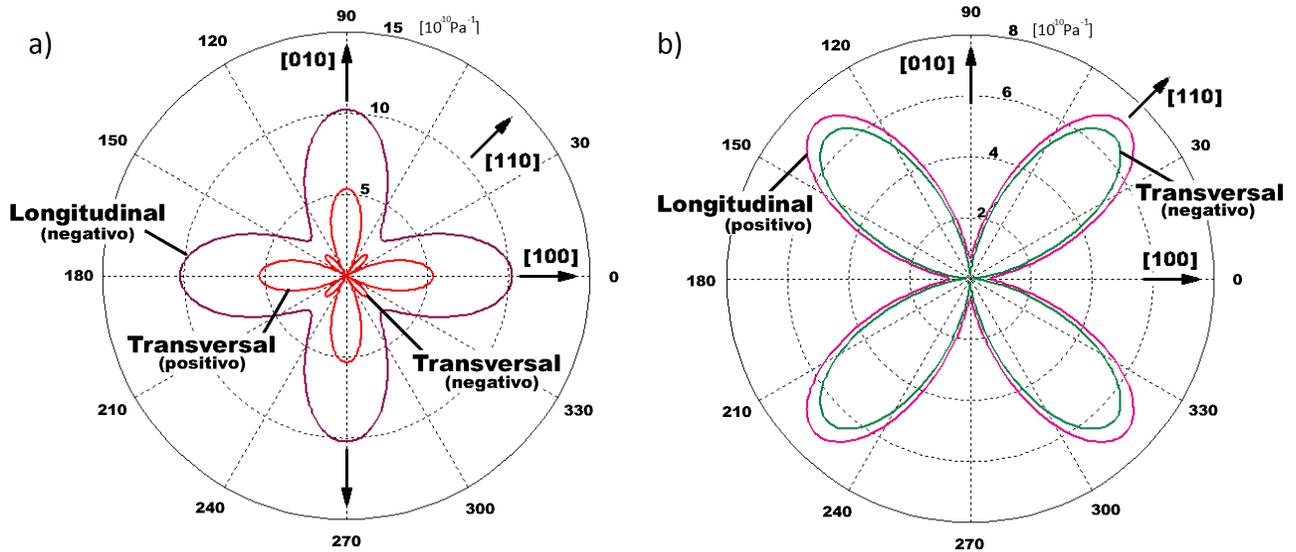


Figura 3.4: Coeficientes de piezo-resistência longitudinal e transversal [10^{-10}Pa^{-1}]: a) Silício tipo-n; b) Silício tipo-p.

3.3.2 Efeito piezo-resistivo em resistores semicondutores

Para explicar a variação da resistência em um componente, consideremos um condutor retangular de comprimento L , largura W e espessura t (portanto, área da seção transversal Wt), como mostrado na Figura 3.5, sendo que o material tem uma resistividade elétrica ρ_0 .

Podemos escrever a resistência elétrica entre os contatos 1 e 2, como:

$$R = \rho_0 \frac{L}{Wt} \quad (3.15)$$

Sendo que a resistividade ρ_0 em um material semicondutor pode ser representada como:

$$\rho_0 = \frac{1}{(n\mu_n + p\mu_p)q} \quad (3.16)$$

Sendo que n e p representam o número de portadores (elétrons ou lacunas, respectivamente), μ_n e μ_p a mobilidade dos respectivos portadores.

Assim, podemos escrever a variação relativa da resistência como:

$$\frac{\Delta R}{R} = \frac{\Delta \rho_0}{\rho_0} + \frac{\Delta L}{L} - \frac{\Delta W}{W} - \frac{\Delta t}{t} \quad (3.17)$$

Já definido a deformação longitudinal do material como $\epsilon = \Delta l/l$, podemos reescrever a equação anterior como:

$$\frac{\Delta R}{R} = \frac{\Delta \rho_0}{\rho_0} + \epsilon(1 + 2\nu) \quad (3.18)$$

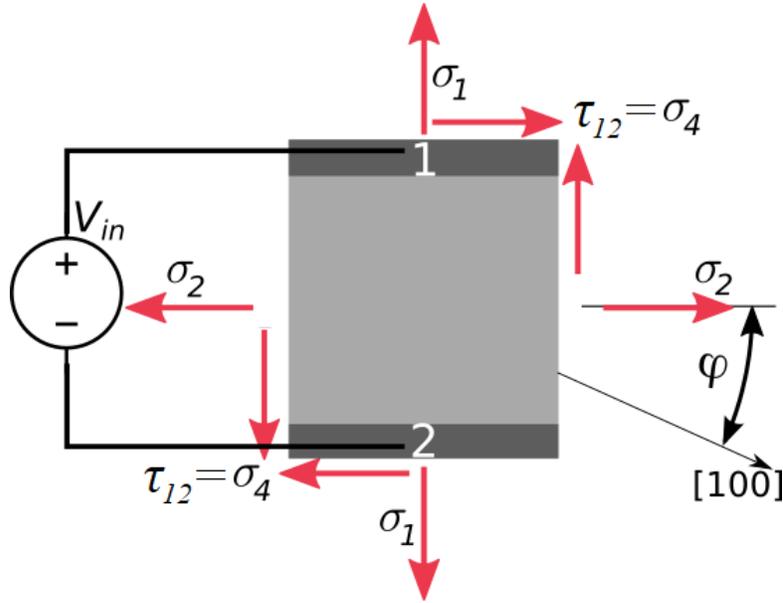


Figura 3.5: Elemento piezo-resistivo retangular.

O fator *Gauge* F_G , que é a relação entre a variação da resistência elétrica e a deformação, é definido como:

$$F_G = \frac{\Delta R/R}{\epsilon} = \frac{\Delta \rho_0/\rho_0}{\epsilon} + (1 + 2\nu) \quad (3.19)$$

Para elementos metálicos, a variação da resistividade ρ_0 é desprezível [11], logo o Fator F_G pode ser escrito como:

$$F_G = \frac{\Delta R/R}{\epsilon} = (1 + 2\nu) \quad (3.20)$$

Para a maioria dos materiais, o módulo de Poisson está restrito a valores entre 0,2 e 0,4, portanto, a variação da resistência em materiais metálicos está limitada a uma pequena variação geométrica.

Já para elementos semicondutores, a resistividade ρ_0 muda significativamente com a deformação do material, como foi explicado anteriormente, sendo que para o silício é duas ordens de magnitude maior do que a variação geométrica. Desta forma, o fator F_G , para semicondutores, pode ser aproximado como:

$$F_G = \frac{\Delta R/R}{\epsilon} \approx \frac{\Delta \rho_0/\rho_0}{\epsilon} \quad (3.21)$$

Para um piezo-resistor construído na superfície de uma wafer (100), como o ilustrado na Figura 3.5, e que apresenta um estresse com orientação paralela a superfície, a mudança relativa na resistência pode ser representado como:

$$\frac{\Delta R}{R} \approx \frac{\Delta \rho}{\rho_0} = \sigma_1 \pi'_{11} + \sigma_2 \pi'_{12} + \sigma_4 \pi'_{44} \quad (3.22)$$

Sendo que os coeficientes de piezo-resistência longitudinal π'_{11} , transversal π'_{12} e de cisalhamento π'_{44} representam os coeficientes rotacionados na direção do componente, formando um ângulo φ , com a direção de referência [100]. Usando transformações geométricas obtemos:

$$\frac{\Delta R}{R} \approx \frac{\Delta \rho}{\rho_0} = \left[\frac{(\sigma_1 + \sigma_2)}{2} (\pi_{11} + \pi_{12}) - \frac{(\sigma_1 - \sigma_2)}{2} (\pi_{11} - \pi_{12}) \cos 2\varphi + \sigma_4 \pi_{44} \sin 2\varphi \right] \quad (3.23)$$

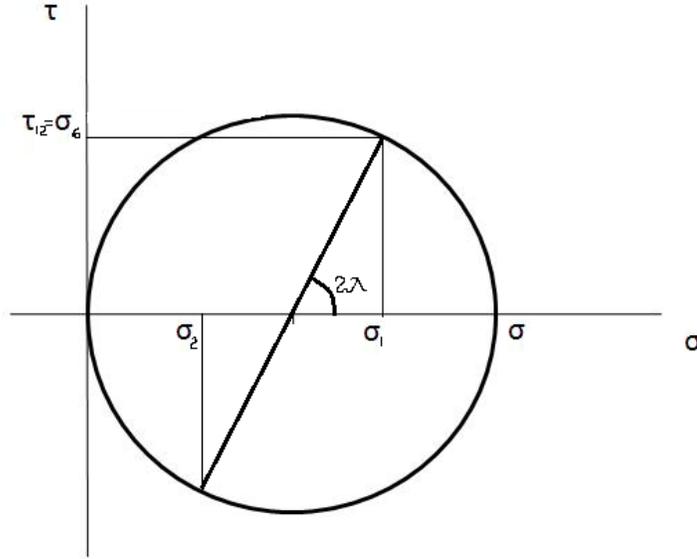


Figura 3.6: Representação gráfica do estresse uniaxial no círculo de Mohr.

Um caso de particular interesse para este estudo é o estresse uniaxial, o que significa que está orientado numa única direção, podendo ser caracterizado segundo orientação λ e magnitude σ . O tensor de tensão de Cauchy, que representa o estado de esforços, pode ser transformado em um sistema de coordenadas, alinhado como o piezo-elemento, como ilustrado na representação do círculo de Mohr, na Figura 3.6. Deste modo, as componentes longitudinais, transversais e de cisalhamento podem ser reescritas como:

$$\sigma_1 = \frac{\sigma}{2}(1 + \cos 2\lambda) \quad (3.24)$$

$$\sigma_2 = \frac{\sigma}{2}(1 - \cos 2\lambda) \quad (3.25)$$

$$\sigma_4 = \frac{\sigma}{2}(\sin 2\lambda) \quad (3.26)$$

E, podemos reescrever a expressão para a mudança relativa de resistência e resistividade como:

$$\frac{\Delta R}{R} \approx \frac{\Delta \rho}{\rho_0} = \frac{\sigma}{2} [\pi_{11} (1 + \cos 2\varphi \cos 2\lambda) + \pi_{12} (1 - \cos 2\varphi \cos 2\lambda) + \pi_{44} (\sin 2\varphi \sin 2\lambda)] \quad (3.27)$$

A orientação dos componentes pode ser usada para maximizar ou minimizar a sensibilidade ao estresse. Observamos na Figura 3.4 e na Tabela 3.2, que o silício tipo-p resulta pouco sensível aos componentes longitudinais e transversais do estresse, já que os coeficientes π_{11} e π_{12} são muito menores que o coeficiente de cisalhamento π_{44} . Assim, orientando o dispositivo na direção cristalográfica $\langle 100 \rangle$ ($\varphi = 0^\circ, 90^\circ$), onde a sensibilidade está relacionada unicamente com os coeficientes longitudinais e transversais π_{11} e π_{12} , é possível construir resistores que variam pouco ao estresse [56], enquanto resistores orientados em $\langle 110 \rangle$ terão uma sensibilidade significativa ao estresse mecânico.

Diferentemente, os resistores de silício tipo-n apresentam sensibilidade significativa em todas as direções, especialmente se os dispositivos estão alinhados na direção $\langle 100 \rangle$, como pode ser observado na Figura 3.4.

3.3.3 Efeito piezo-resistivo em dispositivos de quatro terminais

Na direção y é aplicado o campo elétrico E_y para polarizar o dispositivo, e como consequência, aparece um fluxo elétrico constante entre os contatos C_1 e C_2 , motivo pelo qual são denominados como contatos-corrente. Já na direção x não existe fluxo de corrente, mas aparece uma tensão entre os contatos S_3 e S_4 proporcional ao estresse mecânico, razão pela qual são denominados como contatos-sensor. A resistência entre contatos-corrente é chamada de Resistência de entrada R_{in} , enquanto entre contatos-sensor é denominada de Resistência de saída R_{out} .

Uma geometria comum no projeto de sensores tipo Hall e sensores piezo-resistivos são os dispositivos de 4 terminais [65, 66, 56, 44]. A geometria destes dispositivos é composta por quatro terminais ôhmicos dispostos em torno de uma região ativa. O dispositivo tem um comprimento l , largura w e espessura t , como ilustrado na Figura 3.7.

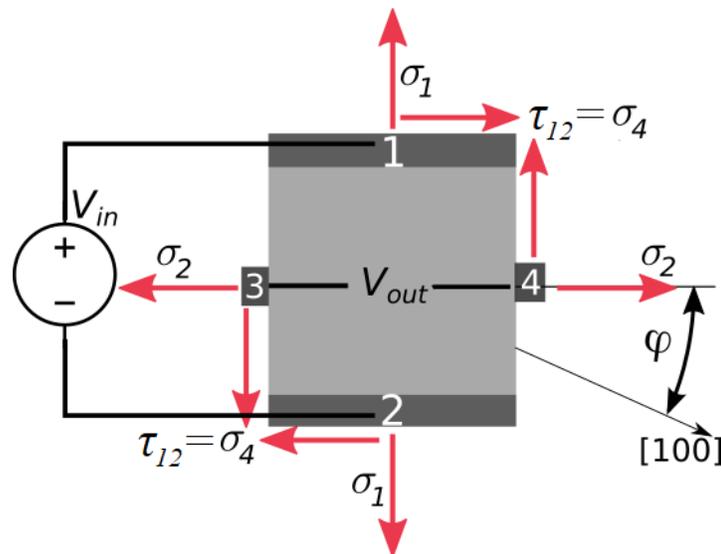


Figura 3.7: Dispositivo de 4 terminais, sendo que os terminais 1 e 2 representam os contatos-corrente, enquanto 3 e 4 são os contatos-sensor.

O dispositivo de quatro terminais pode ser modelado eletricamente como ponte de resistores (ou *Ponte de Wheatstone*), assim, o efeito do estresse pode ser relacionado com um descasamento

entre os resistores da ponte [44]. Idealmente, a resistência entre cada contato-corrente e cada contato-sensor será idêntica se não existir um estímulo que desequilibre a ponte, portanto, a tensão em ambos os contatos-sensor será nula. Agora, sob efeito de estresse mecânico, a resistividade varia significativamente, levando ao desequilíbrio da ponte resistiva e gerando uma diferença de potencial elétrico nos contatos-sensor. Para ilustrar o equivalente resistivo do dispositivo, a Figura 3.8 apresenta uma representação gráfica dos resistores de entrada, saída e equivalente resistivo como ponte de *Wheatstone*.

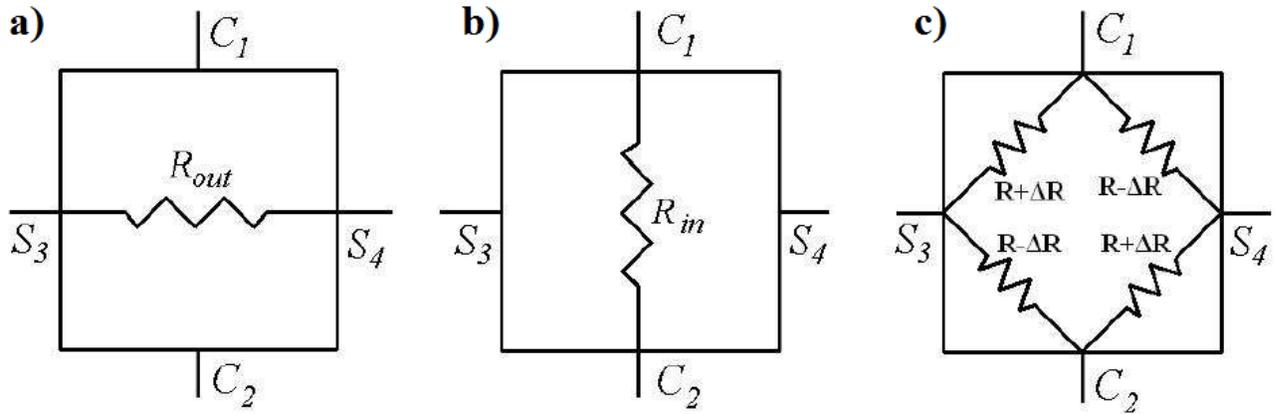


Figura 3.8: a) Circuito elétrico equivalente para a resistência de saída; b) Circuito elétrico equivalente para a resistência de entrada; c) Circuito elétrico equivalente em Ponte de *Wheatstone*.

Podemos usar a teoria da elasticidade e o efeito piezo-resistivo no desenvolvimento de uma expressão para a tensão entre os contatos-sensor, descrevendo o sinal de saída em função da corrente ou tensão de polarização e do estresse mecânico. Note que as direções usadas nestas análises representam um sistema de coordenadas arbitrárias, que não precisam necessariamente estar alinhadas com uma direção cristalina.

Definimos o campo elétrico \vec{E} em função da densidade de corrente \vec{J} e da matriz resistividade $[\rho]$ como:

$$\vec{E} = \begin{bmatrix} E_x \\ E_y \\ E_z \end{bmatrix} = \begin{bmatrix} \rho_{xx} & \rho_{xy} & \rho_{xz} \\ \rho_{xy} & \rho_{yy} & \rho_{yz} \\ \rho_{xz} & \rho_{yz} & \rho_{zz} \end{bmatrix} \begin{bmatrix} J_x \\ J_y \\ J_z \end{bmatrix} = [\rho]\vec{J} \quad (3.28)$$

Sendo que a matriz de resistividade pode ser reescrita como:

$$[\rho] = \rho_0 \begin{bmatrix} 1 & 0 & 0 \\ 0 & 1 & 0 \\ 0 & 0 & 1 \end{bmatrix} + \begin{bmatrix} \Delta\rho_{xx} & \Delta\rho_{xy} & \Delta\rho_{xz} \\ \Delta\rho_{xy} & \Delta\rho_{yy} & \Delta\rho_{yz} \\ \Delta\rho_{xz} & \Delta\rho_{yz} & \Delta\rho_{zz} \end{bmatrix} \quad (3.29)$$

Já que os contatos-corrente estão na direção y e os contatos sensor na direção x , podemos limitar nossas análises a estas duas dimensões, assumindo que o fluxo e o campo elétrico da direção z são nulos. Entre os contatos-sensor não existe fluxo de portadores, portanto, a componente J_x é também nula.

Dividindo a Equação 3.28 pela resistividade ρ_0 obtemos:

$$\frac{1}{\rho_0} \begin{bmatrix} E_x \\ E_y \end{bmatrix} = \left(\begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} + \frac{1}{\rho_0} \begin{bmatrix} \Delta\rho_{xx} & \Delta\rho_{xy} \\ \Delta\rho_{xy} & \Delta\rho_{yy} \end{bmatrix} \right) \begin{bmatrix} 0 \\ J_y \end{bmatrix} \quad (3.30)$$

Reescrevendo de forma explícita para ambas as direções teremos:

$$\begin{aligned} \frac{E_x}{\rho_0} &= \frac{\Delta\rho_{xy}}{\rho_0} J_y \\ \frac{E_y}{\rho_0} &= \left(1 + \frac{\Delta\rho_{yy}}{\rho_0} \right) J_y \end{aligned} \quad (3.31)$$

Relacionando os componentes do campo elétrico E_x e E_y , simplificamos o fluxo J_y e obtemos:

$$\frac{E_x}{E_y} = \frac{\left(\frac{\Delta\rho_{xy}}{\rho_0} \right)}{\left(1 + \frac{\Delta\rho_{yy}}{\rho_0} \right)} \quad (3.32)$$

O próximo passo consiste em encontrar uma relação entre os campos elétricos e o estresse mecânico. Podemos usar o conceito de coeficientes piezo-resistivos, descrito na Equação 3.9, que relaciona a mudança da resistência relativa com o estresse. Assim, podemos reescrever a mudança da resistência em função do estresse mecânico:

$$\begin{aligned} \frac{\Delta\rho_{xy}}{\rho_0} &= \pi_{xy,xx}\sigma_2 + \pi_{xy,yy}\sigma_1 + \pi_{xy,xy}\sigma_4 \\ \frac{\Delta\rho_{xx}}{\rho_0} &= \pi_{yy,xx}\sigma_2 + \pi_{yy,yy}\sigma_1 + \pi_{yy,xy}\sigma_4 \end{aligned} \quad (3.33)$$

A rotação dos coeficientes de piezo-resistência é feita através dos ângulos de Euler [7, 56, 62]. Usando φ como o ângulo entre o dispositivo e a direção cristalina [100], obtemos as seguintes expressões para a mudança relativa da resistividade:

$$\frac{\Delta\rho_{xy}}{\rho_0} = -\pi_{44}\sigma_4 \cos(2\varphi) - (\pi_{11} - \pi_{12}) \left(\frac{\sigma_1 - \sigma_2}{2} \right) \sin(2\varphi) \quad (3.34)$$

$$\begin{aligned} \frac{\Delta\rho_{yy}}{\rho_0} &= (\pi_{11} + \pi_{12} + (\pi_{11} - \pi_{12}) \cos(2\varphi)) \frac{\sigma_1}{2} + (\pi_{11} + \pi_{12} - (\pi_{11} - \pi_{12}) \cos(2\varphi)) \frac{\sigma_2}{2} \\ &\quad - \pi_{44}\sigma_4 \sin(2\varphi) \end{aligned} \quad (3.35)$$

Substituindo estas simplificações na Equação 3.32, obtemos a relação de campos elétricos

$$\frac{E_x}{E_y} = \frac{-\pi_{44}\sigma_4 \cos(2\varphi) - (\pi_{11} - \pi_{12}) \left(\frac{\sigma_1 - \sigma_2}{2} \right) \sin(2\varphi)}{1 + \left((\pi_{11} + \pi_{12}) \left(\frac{\sigma_1 + \sigma_2}{2} \right) + (\pi_{11} - \pi_{12}) \left(\frac{\sigma_1 - \sigma_2}{2} \right) \cos(2\varphi) \right) - \pi_{44}\sigma_4 \sin(2\varphi)} \quad (3.36)$$

Perceba que $\frac{\Delta\rho_{yy}}{\rho_0} < 1$ para pequenos valores de estresse. A relação entre campos pode ser aproximada como:

$$\frac{E_x}{E_y} \approx -\pi_{44}\sigma_4 \cos(2\varphi) - (\pi_{11} - \pi_{12}) \left(\frac{\sigma_1 - \sigma_2}{2} \right) \sin(2\varphi) \quad (3.37)$$

Para obter a tensão de entrada e saída, podemos integrar o campo elétrico entre os contatos-corrente como:

$$V_{in} = \int_0^L E_y dy = E_y L \quad (3.38)$$

$$V_{out} = \int_0^W E_x dx = E_x W \quad (3.39)$$

Manipulando estas equações, podemos escrever a tensão diferencial entre contatos-sensor em função dos coeficientes piezo-resistivos, dos parâmetros geométricos da área ativa e da tensão de entrada como:

$$\frac{V_{out}}{V_{in}} \approx \frac{W}{L} \left(-\pi_{44}\sigma_4 \cos(2\varphi) - (\pi_{11} - \pi_{12}) \left(\frac{\sigma_1 - \sigma_2}{2} \right) \sin(2\varphi) \right) \quad (3.40)$$

Caso o estresse seja uniaxial, podemos reescrever esta equação como:

$$\frac{V_{out}}{V_{in}} \approx \frac{\sigma W}{2L} \left(-\pi_{44} \sin(2\lambda) \cos(2\varphi) - (\pi_{11} - \pi_{12}) \cos(2\lambda) \sin(2\varphi) \right) \quad (3.41)$$

3.4 Detalhamento do efeito piezo-MOSFET

Os transistores tornaram-se peças fundamentais da microeletrônica. Toda a tecnologia de fabricação CMOS está direcionada para minimizar a geometria e otimizar o desempenho dos transistores MOS. Entretanto, a deformação mecânica no canal dos MOSFET tem impacto direto no comportamento do dispositivo, fenômeno conhecido como efeito piezo-MOSFET, que caracteriza a variação da corrente no canal do transistor associado ao estresse mecânico.

O efeito piezo-MOSFET está estreitamente ligado com o efeito piezo-resistivo, dado que a mobilidade e a densidade de portadores que caracterizam a resistividade qualificam também o comportamento do transistor MOS.

Para ilustrar o comportamento da corrente em um transistor MOS tipo-n, podemos escrever a corrente de saturação para um transistor em inversão forte como:

$$I_{DS} = 0.5\mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{TH})^2 (1 + \lambda V_{DS}) \quad (3.42)$$

Sendo que C_{ox} representa a capacitância do óxido por unidade de área, V_{TH} representa a tensão de limiar, μ_n é a mobilidade de elétrons, V_{GS} é a tensão entre a porta e fonte, V_{DS} é a tensão entre o dreno e a fonte, finalmente W e L são, respectivamente, a largura e o comprimento do transistor.

Derivando e normalizando, obtemos a mudança relativa da corrente igual a:

$$\frac{\Delta I_{DS}}{I_{DS}} = \frac{\Delta \mu}{\mu} + \frac{\Delta C_{ox}}{C_{ox}} + \frac{\Delta W}{W} - \frac{\Delta L}{L} - 2 \frac{\Delta V_{TH}}{V_{GS} - V_{TH}} + V_{DS} \frac{\Delta \lambda}{\lambda} \quad (3.43)$$

Ignorando a modulação de canal e observando que a variação dos parâmetros geométricos C_{ox} , W e L dependem exclusivamente da propriedade mecânicas do material e, dado que a variação é ordens de magnitude inferior à variação da mobilidade (associado ao efeito piezo-resistivo), como já foi discutido anteriormente, podemos desconsiderar a variação geométrica, aproximando a mudança da corrente de saturação com a variação da resistividade e tensão limiar, como:

$$\frac{\Delta I_{DS}}{I_{DS}} \approx \frac{\Delta \mu}{\mu_0} - 2 \frac{\Delta V_{TH}}{V_{GS} - V_{TH}} \quad (3.44)$$

Se o dispositivo está polarizado em inversão forte, ou seja $V_{GS} > V_{TH}$, podemos desconsiderar também a variação da tensão limiar do dispositivo. Assim, a variação de corrente está principalmente associada a variação da mobilidade.

3.5 Dependência da resistividade e piezo-resistividade com a temperatura

As mesmas características elétricas que definem a resistividade, como mobilidade e concentração intrínseca de portadores, variam com a temperatura, causando mudança nas características do sensor, especialmente na sensibilidade ao estresse. Esta variação das características é denominada deriva térmica da características e deve ser estudada e compensada no projeto adequado do sensor. As principais fontes de variação serão apresentadas e analisadas.

3.5.1 Variação da resistividade com a temperatura

A resistividade ρ_0 da camada semicondutora pode ser definida em função da concentração de portadores elétricos n e p , que representa o número de elétrons e lacunas no material, mobilidade dos portadores $\mu_{n,p}$ e carga fundamental q como:

$$\rho_0 = \frac{1}{q(n\mu_n + p\mu_p)} \quad (3.45)$$

O efeito da temperatura na concentração pode ser desconsiderado em temperatura ambiente ($\sim 300\text{K}$) para um semicondutor dopado, já que a concentração de portadores é igual à concentração do dopante, uma vez que há energia suficiente para ionizar todas as impurezas e a quantidade de portadores intrínsecos pode ser considerado insignificante. Como pode ser observado na Figura 3.9 [72], entre 250K e 400K podemos considerar que todos os dopantes se encontram ativos e o número de portadores intrínsecos n_i não é significativo, mantendo constante a concentração de cargas.

No intervalo de temperatura relevante para este trabalho (entre -40°C e 100°C), podemos relacionar as mudanças da resistividade principalmente à dependência da mobilidade, vez que neste intervalo a mobilidade é muito sensível à temperatura [73].

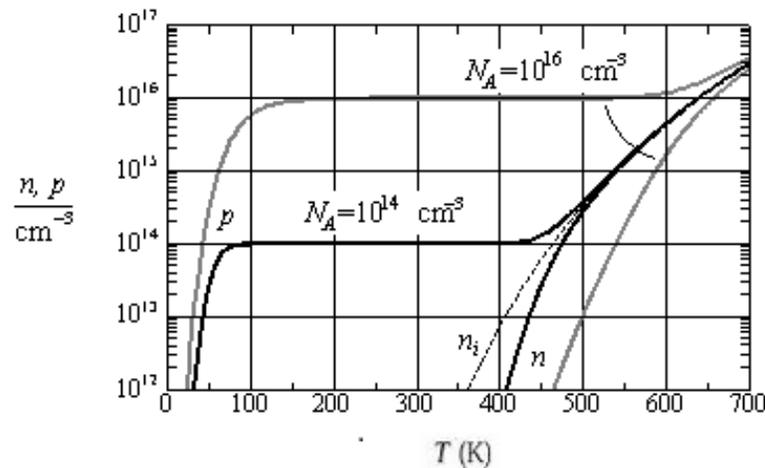


Figura 3.9: Densidade de Portadores versus Temperatura para diferentes dopagens em Silício [73].

É relevante ressaltar que a mobilidade depende também da concentração de dopantes, já que a velocidade e a massa efetiva dos portadores dependem da interação destes com os átomos na rede cristalina do material. Dois efeitos contribuem principalmente para a variação da mobilidade:

- Espalhamento nas impurezas (*Impurity Scattering*): As impurezas são átomos diferentes aos do material semiconductor na rede, inclusive os dopantes podem ser considerados como impurezas. Dopantes ionizados têm bastante impacto na velocidade dos portadores, já que o espalhamento está relacionado com as forças eletrostáticas entre o portador e o íon. Assim, quanto maior o número de impurezas ionizadas presentes na estrutura cristalina, menor a mobilidade. Por outro lado, a temperatura aumenta a velocidade térmica dos portadores, diminuindo também o tempo de interação entre portador e dopante ionizado, acarretando um aumento de mobilidade proporcional a $T^{3/2}$.
- Espalhamento com a rede (*Lattice Scattering*): portadores em movimento dispersam energia através da rede em forma de fônons acústicos ou ópticos. Como a densidade de fônons aumenta com a temperatura, maior energia é transmitida e a mobilidade diminui. A diminuição da mobilidade associada a fônons na rede é proporcional a $T^{-3/2}$.

Figura 3.10 ilustra a mobilidade para diferentes níveis de dopagem em silício tipo-n [74], evidenciando as regiões onde é dominante cada efeito de espalhamento descrito anteriormente. Pode ser observada uma diminuição da mobilidade ao se aumentar a dopagem, resultado do espalhamento com as impurezas. Assim também existe uma queda da mobilidade em relação à temperatura, resultado do espalhamento com a rede cristalina.

Em silício tipo-n levemente dopado à temperatura ambiente ($\sim 300\text{K}$), a mobilidade de elétrons diminui com o aumento da temperatura, conseqüentemente a resistividade aumenta. Para o silício altamente dopado, o principal mecanismo de dispersão é o espalhamento nas impurezas e, como resultado, há um coeficiente de temperatura negativo na resistividade, como mostrado na Figura 3.11.

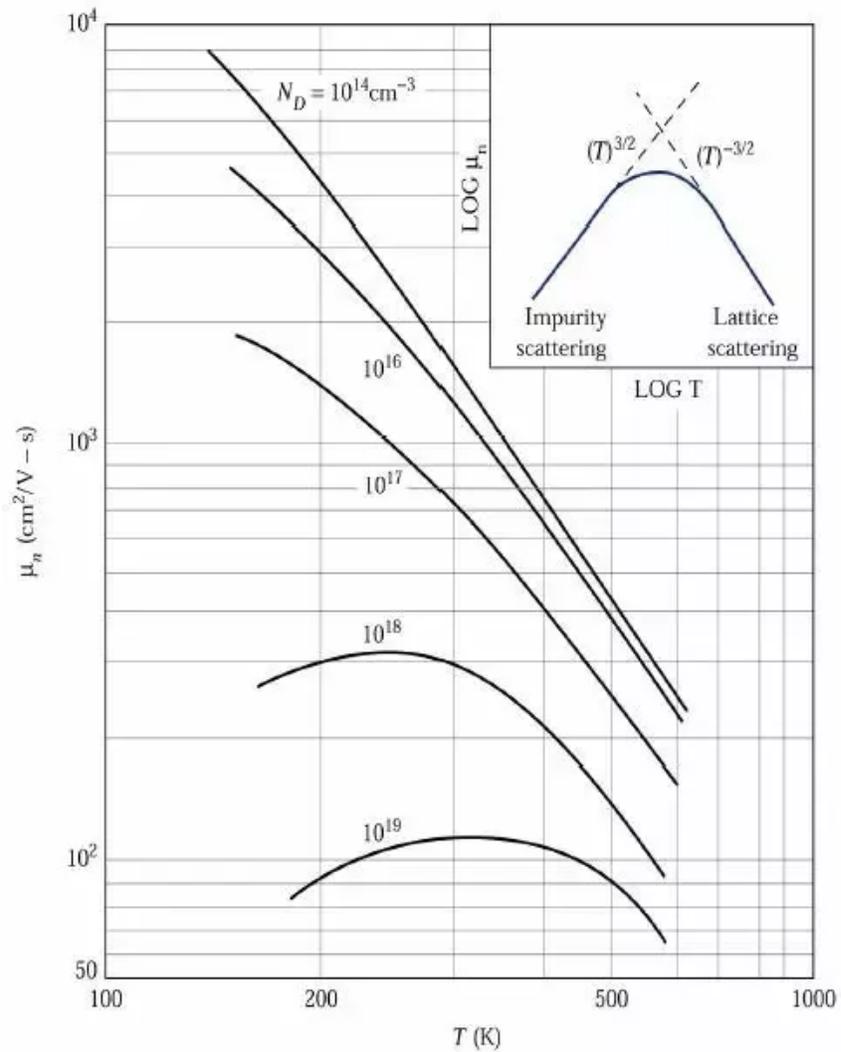


Figura 3.10: Mobilidade de portadores em diferentes temperaturas para vários níveis de Dopagem de Silício tipo-n [74].

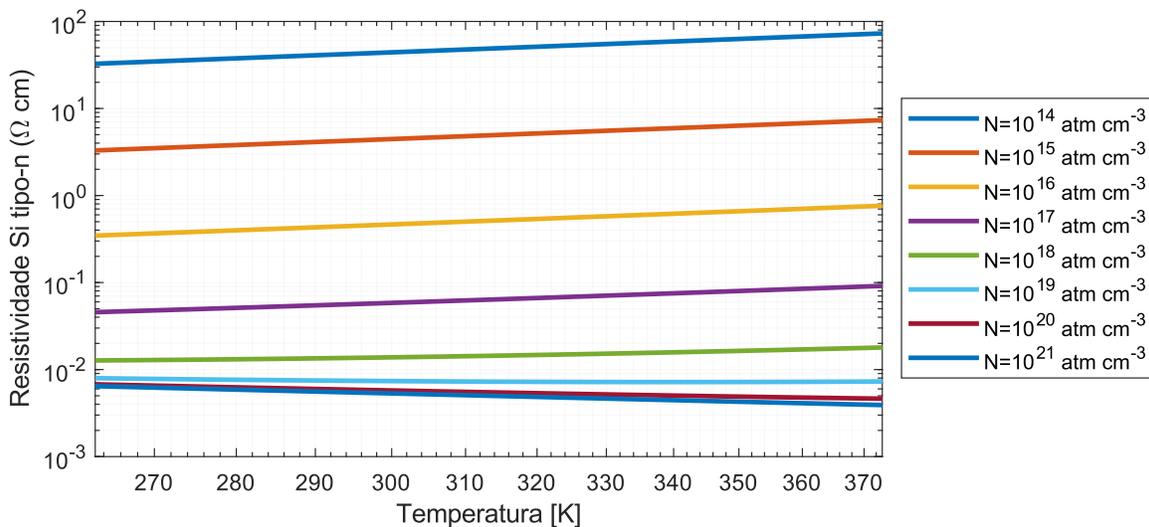


Figura 3.11: Resistividade para diferentes temperaturas e para vários níveis de Dopagem de Silício tipo-n.

3.5.2 Variação dos coeficientes piezo-resistivo com a temperatura

O efeito piezo-resistivo também mostra uma forte dependência com relação à temperatura e à concentração de impurezas. Sendo que os valores dos coeficientes piezo-resistivos que modelam a dependência com o estresse mudam conforme a temperatura e a concentração de dopantes. Esta dependência já era conhecida desde os inícios dos trabalhos com piezo-elementos, mas foi modelada pela primeira vez por Kanda [75, 69], quem agregou um fator de correção $P(N, T)$, dependente da dopagem e da temperatura. Em tal fator de correção multiplica-se um para o valor nominal piezocoefficiente $\pi_{ij}(N_0, 300K)$ para silício levemente dopado, medido à temperatura de 300 K. Assim, um valor do piezo-coeficiente corrigido com a temperatura e a dopagem pode ser calculado como:

$$\pi_{ij}(N, T) = \pi_{ij}(N_0, 300K)P(N, T) \quad (3.46)$$

O fator de correção $P(N, T)$ é modelado em função da constante de Boltzmann K_b , temperatura absoluta T e energia E_f de Fermi do material (que por sua vez depende da concentração de dopagem N). É calculado como:

$$P(N, T) = \frac{300}{T} \left((1 + e^{-E_f/(K_b T)}) \ln(1 + e^{E_f/(K_b T)}) \right)^{-1} \quad (3.47)$$

O fator $P(N, T)$ foi computado para o silício tipo-n usando a fórmula mostrada e foi plotado na Figura 3.12. Observe como os fatores de correção são aproximadamente constantes para concentrações de dopante baixas e intermediárias (menores que de 10^{18}atm/cm^3), mas diminuem significativamente para níveis de dopagem maiores e para ao aumentar a temperatura.

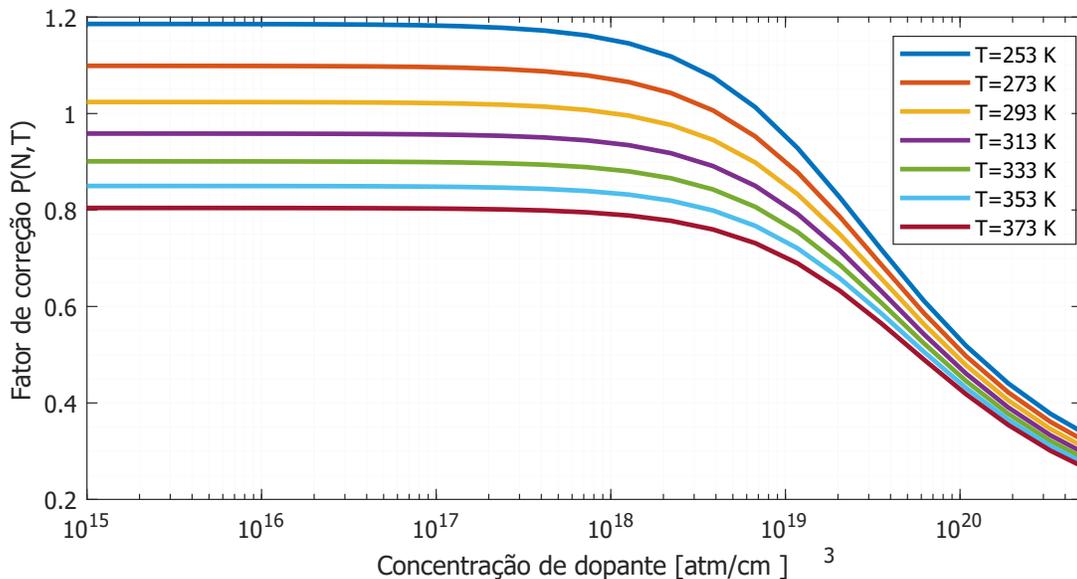


Figura 3.12: Fator de correção de coeficientes em diferentes temperaturas para vários níveis de Dopagem de Silício tipo-n.

Parte II

Projeto e Desenvolvimento dos Sensores de estresse mecânico

Capítulo 4

Sensor Piezo-resistivo octogonal

Desde que a piezo-resistividade do silício foi documentada por Smith [64], este efeito tem sido usado para projetar diferentes tipos de sensores, incluindo extensômetros, sensores de pressão e sensores de força [2]. Este tipo de sensor de estresse passou rapidamente a ser integrado junto a outros circuitos eletrônicos, já que são construídos usando os resistores semicondutores, o que torna tal dispositivo plenamente compatível com os processos de fabricação da microeletrônica comercial.

Conforme já foi introduzido no Capítulo 3, características importantes dos piezo-resistores dependem da dopagem, orientação cristalográfica e geometria. Deste modo, um projeto adequado de sensores deve considerar a tecnologia de fabricação e a geometria, procurando assim maximizar a sensibilidade aos estímulos mecânicos e reduzir efeitos não desejados, como a tensão *de offset* e o ruído [69, 76].

Neste capítulo serão descritos: os fatores determinantes no projeto de piezo-resistores de 2 terminais e de piezo-transdutores de 4 terminais; a geometria selecionada para o projeto de um sensor octogonal; e a tecnologia usada no projeto dos dispositivos, incluindo os circuitos integrados monoliticamente com os sensores.

4.1 Parâmetros dos sensores piezo-resistivos

Detalhamos a seguir algumas características importantes dos piezo-transdutores de 4 terminais em silício (FTSP - *Four Terminal Silicon Piezotransducer* pela sigla em inglês), incluindo a sensibilidade, a resistência elétrica e o desvio de zero (*offset*).

4.1.1 Resistência de entrada e de saída

A área ativa do sensor é fabricada utilizando um material com condutividade finita, portanto, aparece uma resistência entre os contatos, como é ilustrado na Figura 4.1. A piezo-resistência pode ser determinada entre dois contatos, porém é mais eficiente usar piezo-transdutores de 4 terminais, onde o dispositivo é polarizado por 2 terminais, denominados de contatos-corrente, e a saída é observada em contatos perpendiculares, denominados de contatos-sensor. A resistência entre os contatos-corrente é denominada resistência de entrada R_{in} , enquanto a resistência entre

os contatos-sensor é denominada resistência de saída R_{out} .

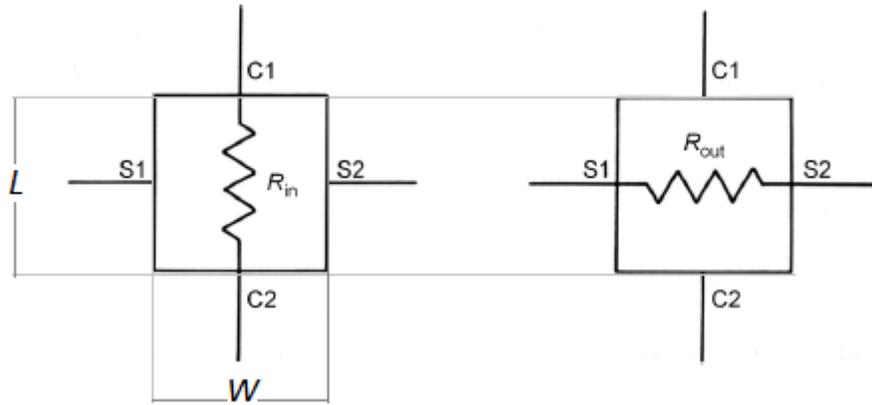


Figura 4.1: Representação esquemática da Resistência de entrada e saída.

Considerando que a resistividade de materiais semicondutores dopados é muito maior que em metais, pode ser desconsiderado o valor da resistência dos contatos metálicos. E, tanto a resistência de entrada como de saída podem ser descrita em função das propriedades do semicondutor. Assim, para uma placa retangular, podemos escrever R_{in} e R_{out} como:

$$R_{in} = \rho_0 \frac{L}{Wt} = \frac{L}{q(n\mu_n + p\mu_p)Wt} \quad (4.1)$$

$$R_{out} = \rho_0 \frac{W}{Lt} = \frac{W}{q(n\mu_n + p\mu_p)Lt} \quad (4.2)$$

Sendo que: W é a largura; L o comprimento; t a espessura; q o valor da carga fundamental; n é a concentração de portadores; e $\mu_{n,p}$ a mobilidade de cada tipo de portadores.

Caso a placa tenha uma geometria quadrada, onde $W = L$, ambas as resistências de entrada e saída serão iguais, assumindo claro a ausência de deformação mecânica ou outros estímulos que gerem descasamento.

4.1.2 Desvio de zero ou Tensão de *offset*

A tensão de *offset* é a tensão que aparece nos contatos-sensor na ausência de estresse mecânico externo. Esta tensão é indesejável e inevitável, limitando a precisão a sinais de pequena magnitude.

Existem cinco fontes principais de tensão de *offset*, as quais serão mencionadas neste trabalho:

- Estresse remanescente e deformações não controladas no dispositivo;
- Erros no processo de fabricação, que geram distorção na geométrica da área ativa, desalinhamento entre os contatos-sensor ou não uniformidade do processo;
- Descasamento das propriedades elétricas na região ativa, incluindo variações de dopagem, que acarretam uma mudança da mobilidade e no número de portadores. Este erro pode ser mitigado usando técnicas de casamento apropriadas;

- O efeito Seebeck, que gera uma diferença de potencial associado ao gradiente de temperatura ao longo da área ativa [2, 44];
- Sensibilidade cruzada ao campo magnético, fundamentada na similaridade geométrica e de operação, por exemplo: os piezo-transdutores de 4 terminais com placas Hall semicondutoras compartilham a mesma geometria; e os sensores piezo-MOS são similares aos sensores baseados no efeito Lorenz [44].

4.2 A influência da geometria em piezo-transdutores de quatro terminais

O estresse mecânico altera a condutividade do material semiconductor, o que modifica o fluxo de portadores, distorcendo as linhas de fluxo elétrico e as linhas equipotenciais dentro da área ativa. Em contraste, contatos-corrente e contatos-sensor apresentam uma condutividade muito alta, já que são fabricados em material metálico e se comportam como curto-circuito, assim, a tensão em cada terminal será constante. Justamente é esta interface entre os terminais e a área ativa que apresenta distorção, dado que as equipotenciais tendam a se alinhar com os eletrodos, ao invés de ficarem inclinadas.

Para ilustrar o efeito da distorção causada pelo estresse e pelos contatos, foram criados vários modelos de Elementos Finitos do piezo-resistor de silício para ser simulados no software de análises multi-físico *COMSOL*. Nos modelos e resultados, o material metálico usado nos contatos está representado em cor cinza e o material semiconductor é branco, enquanto o fluxo de corrente elétrica é apresentado como um campo vetorial com setas pretas, e as linhas equipotenciais estão representadas usando uma escala colorida.

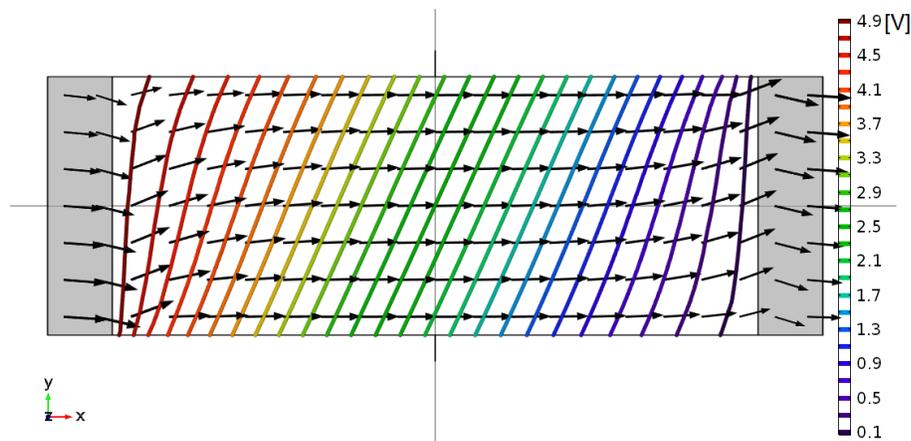


Figura 4.2: Resultado de uma simulação numérica de um piezo-resistor. Os contatos-corrente condutores estão representados em cinza, enquanto os equipotenciais e o fluxo de corrente estão representados na área ativa de silício.

Inicialmente simulamos o efeito do estresse usando contatos-corrente da mesma largura que a área ativa. A Figura 4.2 apresenta os resultados quando o estresse de cisalhamento de 150MPa é aplicado em paralelo à superfície do sensor. É notório que as linhas de campo se inclinam pela

ação do estresse mecânico, sendo possível medir a diferença de tensão em lados opostos da placa. Também se percebe que próximo aos contatos-corrente a inclinação das equipotenciais é menor, já que tendem a se alinhar com os terminais metálicos. Neste contexto, a posição dos contatos-sensor impacta diretamente na sensibilidade do dispositivo, estes precisam ser posicionados no centro na placa, distantes dos contatos-corrente, onde as linhas equipotenciais apresentam maior inclinação.

Por outro lado, contatos-sensor também representam um curto-circuito e reduzem a sensibilidade do dispositivo. Para simular a distorção dos contatos-sensor, foram adicionados terminais metálicos de largura finita, centralizadas na placa. A Figura 4.3 apresenta os resultados para dispositivos com a mesma área ativa, mas com contatos-sensor de diferentes larguras. Sendo que, quanto mais cumpridos, maior o impacto do curto-circuito associado aos terminais metálicos. Assim que, para aumentar a sensibilidade, os contatos-sensor precisam possuir a menor largura possível.

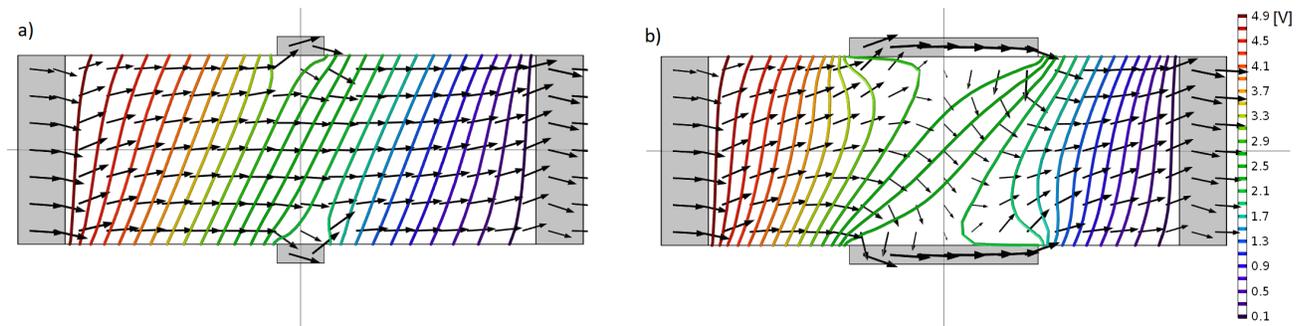


Figura 4.3: Simulação numérica de um sensor de quatro terminais com contatos-sensor não ideais, a) contatos-sensor tem largura de 10% do comprimento da placa, b) largura de 40%.

A própria geometria da placa pode ajudar a diminuir o impacto dos contatos metálicos: para placas curtas, nas quais $W \gg L$, as equipotenciais se alinham com os contatos-corrente, reduzindo a diferença de tensão a ser observada entre os contatos-sensor; nas placas longas, nas quais $L \gg W$, a inclinação das linhas equipotenciais, no centro da placa, recebem pouca influência dos contatos corrente. Deste modo, uma inclinação maior, aumenta a diferença de tensão entre os contatos-sensor e aumenta a sensibilidade, conseqüentemente.

Para reduzir o efeito induzido pelos contatos metálicos e aumentar a sensibilidade, o sensor deveria possuir uma área ativa longa, a fim de se obter a máxima inclinação das linhas equipotenciais no centro do dispositivo. Ao mesmo tempo, é desejável manter a maior separação possível entre os contatos-sensor, permitindo um desenvolvimento uniforme das linhas de fluxo elétrico. Por este motivo, geometrias identificadas como "Cruzes Gregas" são recorrentes na fabricação de piezo-transdutores de 4 terminais e de placas Hall, como mostrado na Figura 4.4, por serem capazes de diminuir os efeitos dos contatos ôhmicos [3, 71, 77, 76].

Com o intuito de simplificar os cálculos e, continuar utilizando as expressões algébricas já desenvolvidas para piezo-transdutores retangulares, é sugerido na literatura agregar um *Fator de Correção Geométrico* (G_H) à sensibilidade [67, 78], um fator proporcional de correção entre a saída real e a resposta equacionada, conforme representado na equação 4.3. Este fator G_H engloba todos os efeitos das distorções, incluindo os efeitos de contorno, contatos metálicos e

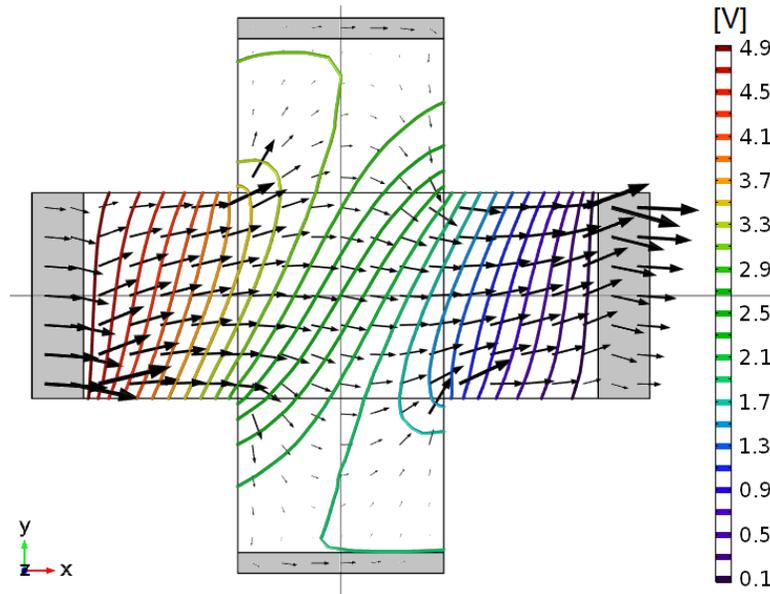


Figura 4.4: Simulação numérica de um sensor de quatro terminais com geometria de cruz.

efeitos geométricos. Este fator é sempre menor que a unidade para todas as geometrias.

$$G_H = \frac{V_{out_{real}}}{V_{out_{ideal}}} \quad (4.3)$$

A partir do exposto, podemos afirmar que os sensores de 4 terminais são dependentes da geometria de seus contatos. Portanto, uma análise completa do sensor deve levar em consideração, como condições de contorno, os efeitos dos contatos não ideais.

4.3 Piezo-transdutor com geometria octogonal

No Capítulo 3, descrevemos relação entre o estresse mecânico e a resistividade segundo o efeito piezo-resistivo. Usando os coeficientes piezo-resistivos, deduzimos a equação que modela a variação de resistência para um estresse uniaxial como:

$$\frac{\Delta R}{R} \approx \frac{\Delta \rho}{\rho_0} = \frac{\sigma}{2} [\pi_{11} (1 + \cos 2\varphi \cos 2\lambda) + \pi_{12} (1 - \cos 2\varphi \cos 2\lambda) + \pi_{44} (\sin 2\varphi \sin 2\lambda)]$$

Notamos que a variação da resistência depende da orientação cristalográfica do dispositivo, modelada com o ângulo φ , e a orientação do estresse, representado pelo ângulo λ . Deste modo, para conseguir determinar todos os componentes do estresse uniaxial são necessários vários piezo-resistores com orientações diferentes e complementares. Uma metodologia bem conhecida e difundida é a Roseta de piezo-resistores, um conjunto de resistências de difusão com diferentes alinhamentos, conforme mostrados na Figura 4.5, que permite medir o estresse em uma determinada região [19, 20, 21]. Comumente, estes piezo-resistores se encontram alinhados com as principais direções cristalográficas. Supondo uma *wafer* de silício [100], as principais direções na superfície são $\langle 100 \rangle$ e $\langle 110 \rangle$. Por isso, focaremos nos ângulos $\varphi = 0^\circ$ e $\varphi = 90^\circ$, na direção

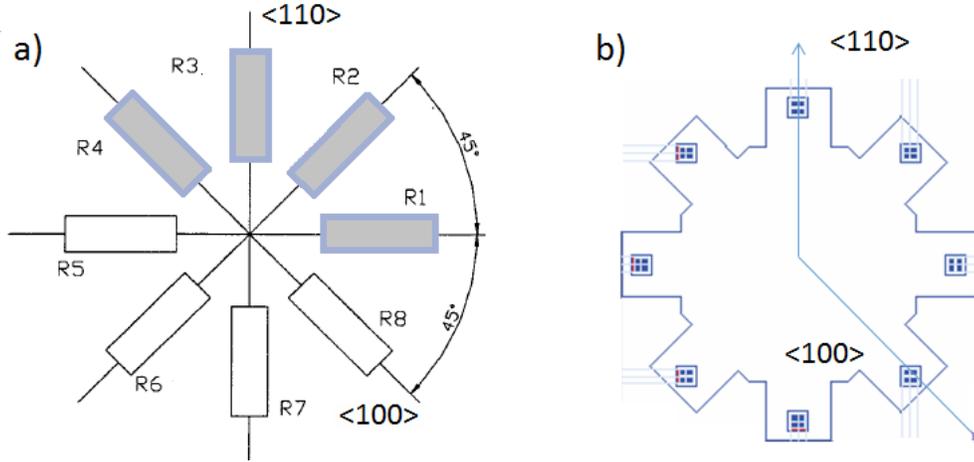


Figura 4.5: Comparação geométrica entre: a) Roseta de Piezo-resistores e b) piezo-resistor de 8 terminais (8TSP).

de referência $\langle 100 \rangle$; e os ângulos $\varphi = 45^\circ$ e $\varphi = 135^\circ$, alinhados com a direção $\langle 110 \rangle$. As equações podem ser simplificadas nestes ângulos como:

$$\frac{\Delta R_0}{R_0} = \frac{\sigma}{2} [\pi_{11} + \pi_{12} + (\pi_{11} - \pi_{12}) \cos 2\lambda] \quad (4.4)$$

$$\frac{\Delta R_{45}}{R_{45}} = \frac{\sigma}{2} [\pi_{11} + \pi_{12} + \pi_{44} \sin 2\lambda] \quad (4.5)$$

$$\frac{\Delta R_{90}}{R_{90}} = \frac{\sigma}{2} [\pi_{11} + \pi_{12} - (\pi_{11} - \pi_{12}) \cos 2\lambda] \quad (4.6)$$

$$\frac{\Delta R_{135}}{R_{135}} = \frac{\sigma}{2} [\pi_{11} + \pi_{12} - \pi_{44} \sin 2\lambda] \quad (4.7)$$

Perceba que na direção cristalográfica $\langle 100 \rangle$ ($\varphi = 0^\circ, 90^\circ$), a sensibilidade está relacionada unicamente com os coeficientes longitudinais e transversais π_{11} e π_{12} , mas é independente do coeficiente de cisalhamento π_{44} . No silício tipo-p, o valor do coeficiente π_{44} é significativamente maior que π_{11} e π_{12} . Deste modo, os resistores fabricados em silício tipo-p não apresentam uma variação significativa quando alinhados com a $\langle 100 \rangle$ ($\varphi = 0^\circ, 90^\circ$). Diferente de resistores em silício tipo-n, que apresentam sensibilidade ao estresse em todas as direções, mesmo que a variação seja superior ao seu alinhado com a direção $\langle 100 \rangle$.

A roseta de piezo-resistores, ainda que eficiente, apresenta uma série de problemas e limitações: os resistores são separados e espalhados, o que aumenta a área requerida, limita a sua resolução espacial e acaba comprometendo a precisão da medição de estresse; depende de um bom casamento entre os piezo-resistores; e requer uma série de circuitos auxiliares para realizar medições, incluindo pontes resistivos. Para reduzir este problema, foi projetado e fabricado um único dispositivo, numa única área ativa, com oito terminais distribuídos uniformemente. Deste modo, os elementos da Roseta são integrados em um componente só, resultando uma geometria octogonal, como ilustrado na Figura 4.5. Deste modo, ao polarizar o dispositivo entre contatos diferentes, podemos obter medições para diferentes e múltiplas direções.

Adicionar múltiplos contatos permite configurar o dispositivo em outros modos de operação, inclusive como uma série de Piezo-transdutores de 4 terminais. Fato vantajoso quando comparado com o piezo-resistor convencional, pois dispensa a necessidade de pontes de Wheatstone para fazer a medição do estresse.

Com o objetivo de estabelecer uma convenção para as futuras medições com este dispositivo, foram nomeados os contatos do sensor como C1, C2, C3, C4, C5, C6, C7, C8, conforme mostrado na Figura 4.6.

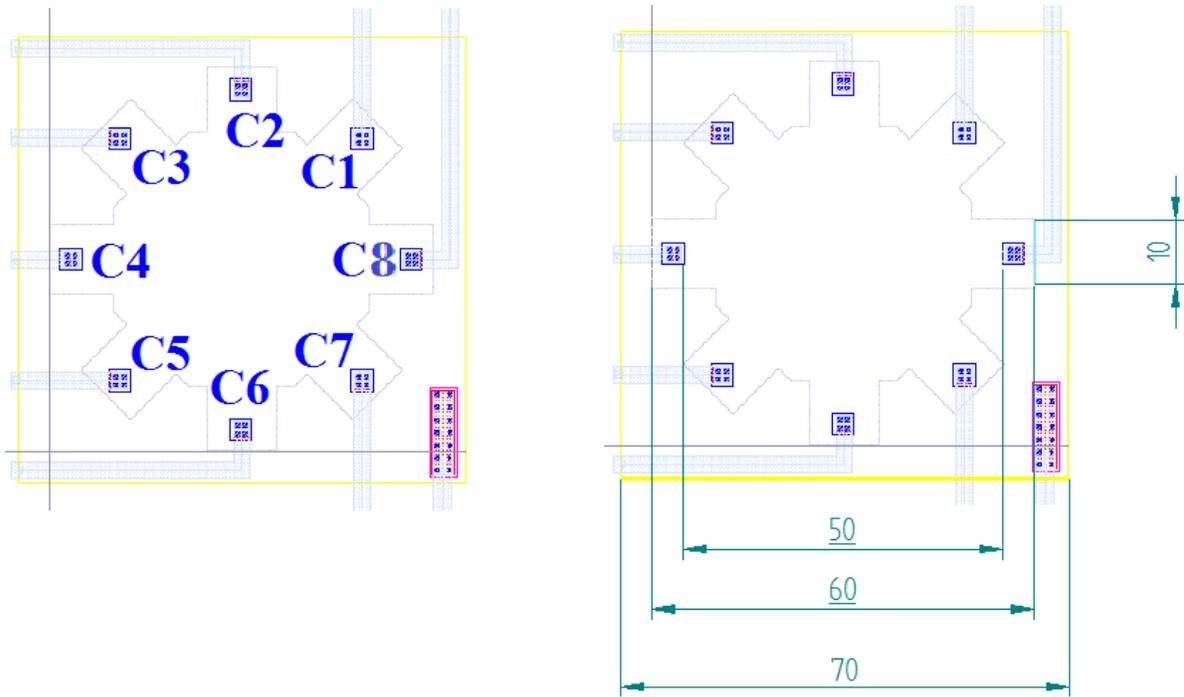


Figura 4.6: Detalhe da geometria do sensor 8TSP, as cotas estão em μm .

Existem dois pares opostos $C1 \rightarrow C5$ e $C3 \rightarrow C7$ orientados ao longo da direção cristalográfica $\langle 100 \rangle$, e outros dois $C2 \rightarrow C6$ e $C4 \rightarrow C8$ ao longo de $\langle 110 \rangle$. Sendo assim, temos o equivalente a 4 piezo-transdutores de 4 terminais orientados em 4 direções complementares, alinhados com os ângulos $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° ao ser polarizados com uma tensão de entrada V_{in} entre os terminais $C1 \rightarrow C5$, $C2 \rightarrow C6$, $C3 \rightarrow C7$ e $C4 \rightarrow C8$, respectivamente. A Tabela 4.1 resume as possibilidades a serem utilizadas em cada medida, especificando os contatos-corrente e contatos-sensor conforme o ângulo do fluxo majoritário de portadores.

Tabela 4.1: Direção da corrente entre os diferentes contatos-corrente da placa octogonal

Direção de alinhamento dos: contatos-corrente	contatos-sensor	Ângulo φ	Direção cristalográfica
I(C1, C5)	V(C3, C7)	0°	[100]
I(C2, C6)	V(C4, C8)	45°	[110]
I(C3, C7)	V(C5, C1)	90°	[100]
I(C4, C8)	V(C6, C2)	135°	[110]

Portanto, a sensibilidade para cada caso pode ser calculada como:

$$\frac{V_{out}}{V_{in\ 0^\circ}} = \frac{\sigma}{2} \pi_{44} \sin(2\lambda) \quad (4.8)$$

$$\frac{V_{out}}{V_{in\ 45^\circ}} = \frac{\sigma}{2} (\pi_{11} - \pi_{12}) \cos(2\lambda) \quad (4.9)$$

$$\frac{V_{out}}{V_{in\ 90^\circ}} = -\frac{\sigma}{2} \pi_{44} \sin(2\lambda) \quad (4.10)$$

$$\frac{V_{out}}{V_{in\ 135^\circ}} = -\frac{\sigma}{2} (\pi_{11} - \pi_{12}) \cos(2\lambda) \quad (4.11)$$

Aumentamos a *relação de aspecto* na placa, com o intuito de diminuir a influência da distorção induzida pelos terminais ôhmicos, conforme analisado na Seção 4.2 deste capítulo. Consequentemente, o sensor de oito terminais foi projetado com geometria similar a da "estrela de oito pontas". É importante ressaltar, que algumas modificações foram agregadas para evitar ângulos agudos e violações de Regras de Projeto (*Design Rules*).

4.3.1 Simulação de Modelo de Elementos Finitos do Piezo-transdutor de 8 terminais

A geometria particular dos dispositivos faz com que o comportamento da corrente e o campo elétrico sejam um pouco diferente da placa retangular, descrita anteriormente neste capítulo. Ainda que as equações que modelam o efeito piezo-resistivo continuem sendo válidas para descrever o comportamento no caso citado, um estudo mais detalhado se mostra importante, a fim de proporcionar um melhor entendimento sobre o dispositivo.

É difícil encontrar uma solução analítica para geometrias complexas, como a utilizada no piezo-transdutor de oito terminais. Nesses casos, métodos numéricos e simuladores computacionais são ferramentas úteis para estimar e visualizar o comportamento, sob várias condições de estresse. O principal desafio no uso da simulação computacional consiste em resolver ao mesmo tempo o comportamento mecânico e a resposta elétrica dos dispositivos. Por isso, desenvolvemos um Modelo de Elementos Finitos (*FEM*) do Piezo-transdutor de 8 terminais, além de usarmos simulação multi-física.

Os dispositivos mostrados na Figura 4.7 foram simulados usando COMSOL Multiphysics 5.2a, solucionando ao mesmo tempo a deformação mecânica, a piezo-resistividade e o fluxo elétrico no modelo.

O modelo de dispositivo foi posicionado no meio de um substrato de silício, enquanto um estresse uniaxial foi aplicado ao longo da direção desejada, garantindo uma distribuição constante do estresse na zona ativa. Ao mesmo tempo, o dispositivo foi polarizado com 5V em 2 terminais opostos. Deste modo, a mudança na resistência de entrada e a sensibilidade entre os contatos-sensor pode ser estimada. A distorção no campo elétrico e no fluxo de corrente elétrica, associadas ao efeito do estresse, são observadas na Figura 4.7.

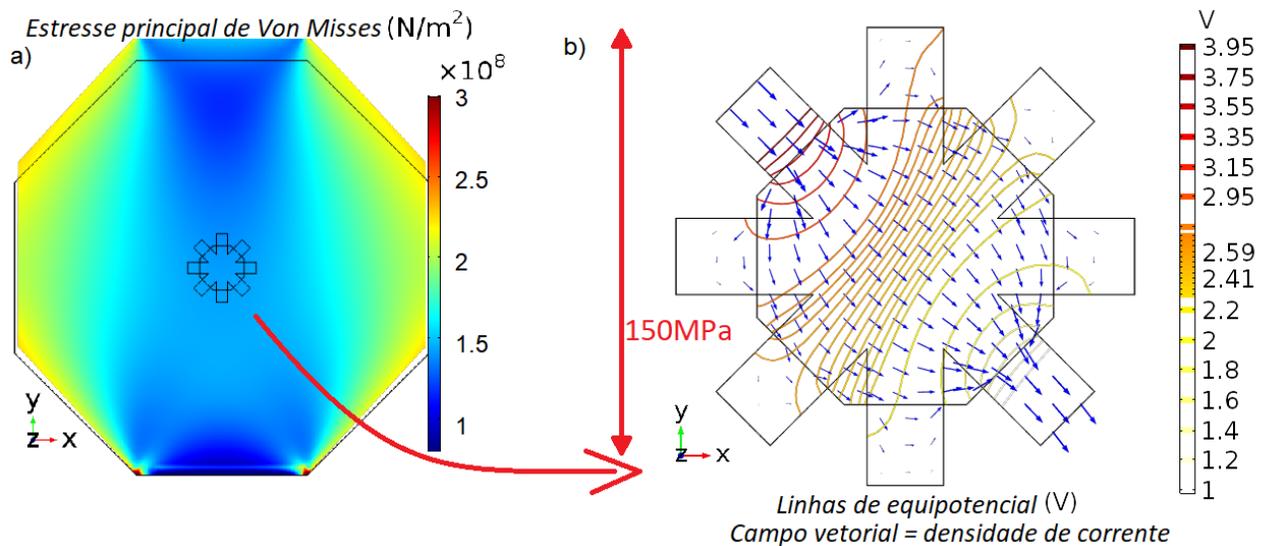


Figura 4.7: Resultado da simulação numérica do piezo-transdutor de oito terminais, representando a) a distribuição do estresse no dispositivo e b) as equipotenciais, o fluxo de corrente dentro da área ativa.

O estresse gera tanto uma deformação do material quanto uma mudança da piezo-resistividade, que distorce o fluxo de portadores e as linhas equipotenciais dentro da zona ativa do piezo-transdutor, como pode ser visualizado na Figura 4.7. Por conseguinte, aparece uma diferença de potencial entre os contatos-sensor perpendiculares à direção de polarização. Diferente dos resultados para piezo-transdutores retangulares apresentados nas Figuras 4.3 e 4.4, as linhas de fluxo não seguem paralelas entre os contatos-corrente, apresentando uma dispersão na área mais grossa do dispositivo. Tal comportamento, característico da geometria de oito terminais, impacta na sensibilidade do dispositivo, uma vez que a piezo-resistividade está relacionada com a direção do fluxo.

4.3.2 Tecnologia de Fabricação CMOS XFAB xc06

A sensibilidade a cada tipo de componente de estresse está relacionada com o tipo de dopante e a orientação do dispositivo. Assim, para fabricar elementos piezo-resistivos em silício, é preciso um processo que permita criar uma área de silício dopado bem definida e orientada, processo visto como corriqueiro na indústria de circuitos integrados, onde poços e junções são fabricadas usando implantação e difusão de dopantes. Sensores baseados no efeito piezo-resistivo se fabricam com o mesmo processo usado nos resistores: uma área ativa com a geometria desejada em semiconductor dopado rodeada por terminais ôhmicos.

O fato das camadas necessárias para a fabricação de sensores estarem disponíveis no processo de fabricação de dispositivos semicondutores, possibilita ao sensor piezo-resistivo e, aos circuitos de controle e condicionamento de sinais serem fabricados monoliticamente, usando uma tecnologia CMOS comercial. O fato do estresse mudar relativamente pouco no tempo, reduz os requerimentos de velocidade, densidade de componentes e consumo do dispositivo, permitindo que a solução possa ser projetada e caracterizada em tecnologias mais maduras.

A tecnologia XAFBc06 [1] foi escolhida por ser um processo já amadurecido e bem documentado, que permite uma prototipagem relativamente rápida, atendendo a todas as necessidades básicas do projeto. Esta tecnologia e os processos de fabricação relacionados foram adotados pela empresa CEITEC S.A. (empresa pública Brasileira, vinculada ao Ministério da Ciência, Tecnologia e Inovação - MCTI, que atua no segmento de semicondutores). O que facilitou as parcerias que viabilizaram esta pesquisa, diminuindo os tramites requeridos e acelerando o processo de fabricação dos protótipos.

Na fabricação do dispositivo, apresentado no presente trabalho, foi empregado um processo que permite a criação de poços tipo-n, com três níveis de metal para as interconexões, dois níveis de poli-silício e tensão de polarização nominal de 5V. Um corte transversal do processo é mostrado na Figura 4.8, na qual podem ser observados os poços tipo-n e tipo-p, assim como os contatos e o metal. Camadas suficientes para produzir os dispositivos descritos no Capítulo 3.

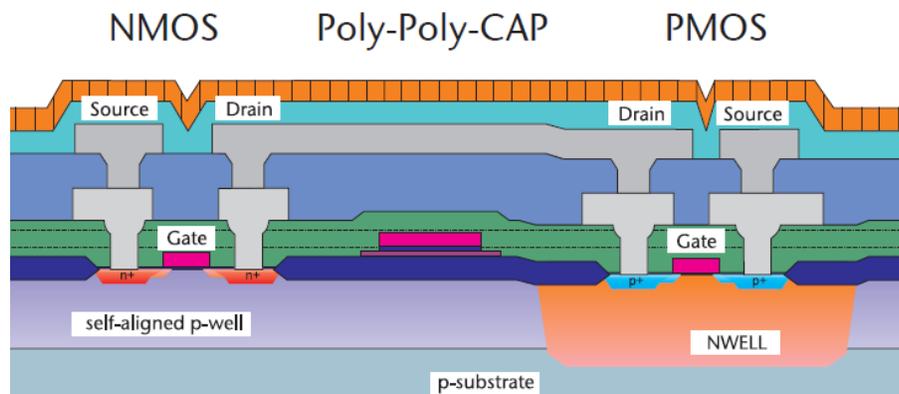


Figura 4.8: Corte transversal da tecnologia XFABc06.

Na tecnologia utilizada, a lâmina de silício apresenta as seguintes características: substrato dopado tipo-p; e orientação cristalográfica [100] normal à superfície. Podemos, assim, aproveitar a orientação cristalina para construir dispositivos com orientações cristalográficas $\langle 100 \rangle$ e $\langle 110 \rangle$, como ilustrado na Figura 4.9.

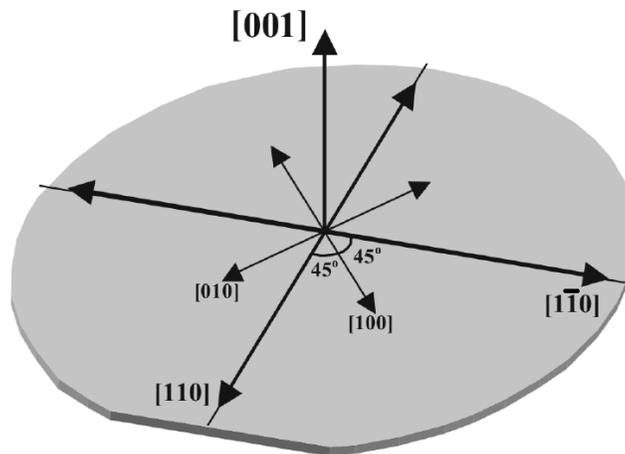


Figura 4.9: Principais orientações cristalográficas na lâmina de Si [100] tipo-p.

4.3.3 Dispositivo Fabricado

Os dispositivos foram fabricados utilizando unicamente os elementos disponíveis na tecnologia comercial CMOS XFAB 0,6 μm :

- A área ativa do piezo-transdutor tipo-n foi projetada como uma camada de poço *n-well* sobre o substrato do tipo-p, mesmas camadas foram usadas para as resistências de difusão de tipo-n;
- Enquanto o tipo-p é constituído por uma camada de implantação tipo-p sobre um poço *n-well*. Deste modo, a área ativa do tipo-p tem profundidade menor, mas uma dopagem maior ao do tipo-n.

O leiaute, uma imagem microscópica e o corte transversal detalhando dos piezo-transdutores são mostrados na Figura 4.10. Cada dispositivo ocupa um área de 60 μm ×60 μm .

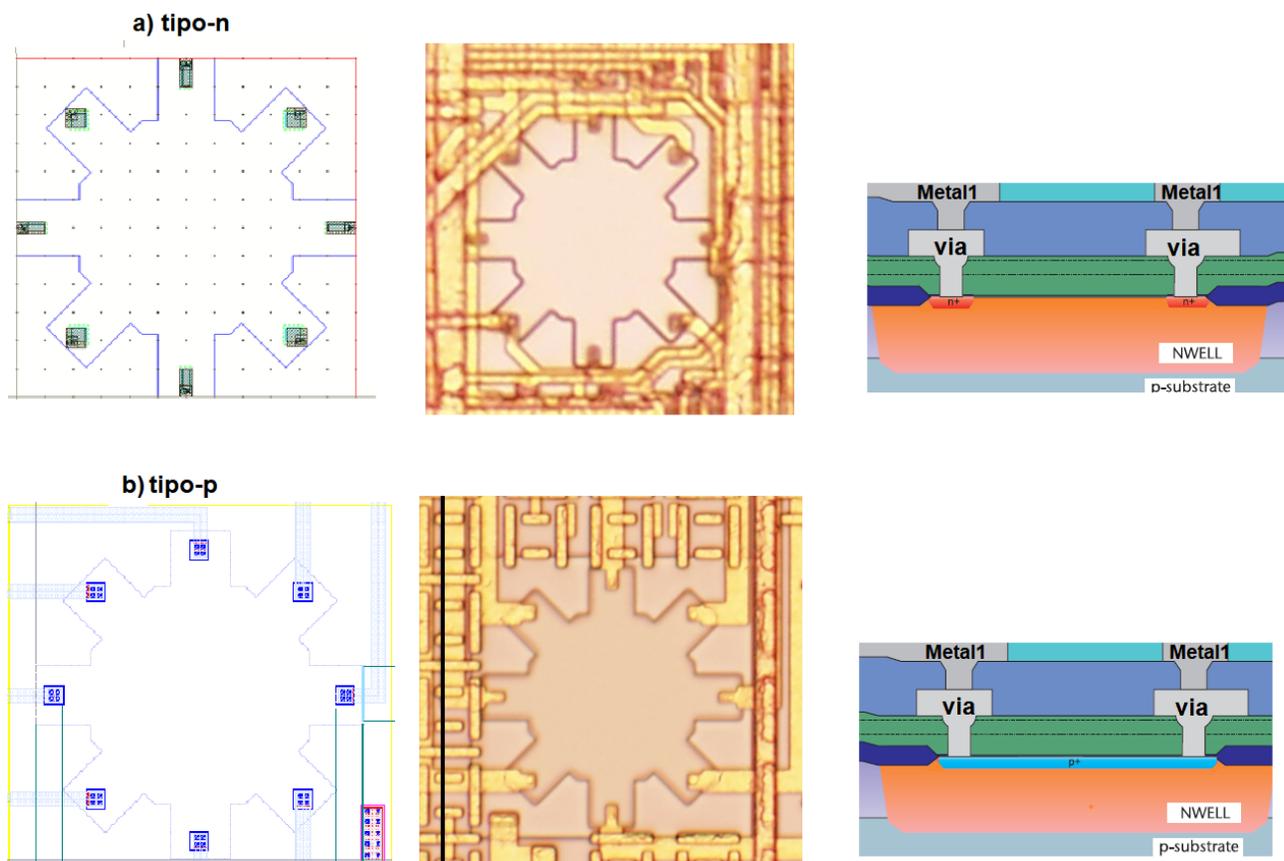


Figura 4.10: Leiaute de cada dispositivo, corte transversal e imagens microscópicas dos sensores fabricados tomada com um microscópio óptico.

Para minimizar o ruído $1/f$ (induzido principalmente pela interface óxido-Silício) [78], seria ideal implementar os piezo-transdutores em uma área ativa em um poço profundo, a fim de evitar o contato com o óxido e a distorção na rede próxima à superfície. Dadas as limitações de processo e de custo, camadas epitaxiais estão fora de cogitação, mas uma segunda versão

do piezo-transdutor de 8 terminais tipo-n foi projetada, adicionando uma camada superficial de implantação de dopantes tipo-p, a espera de uma redução do ruído de baixa frequência. A Figura 4.11 apresenta o leiaute, a imagem microscópica e o corte transversal do sensor fabricado, mostrando: a zona ativa, os contatos ôhmicos e trilhas metálicas.

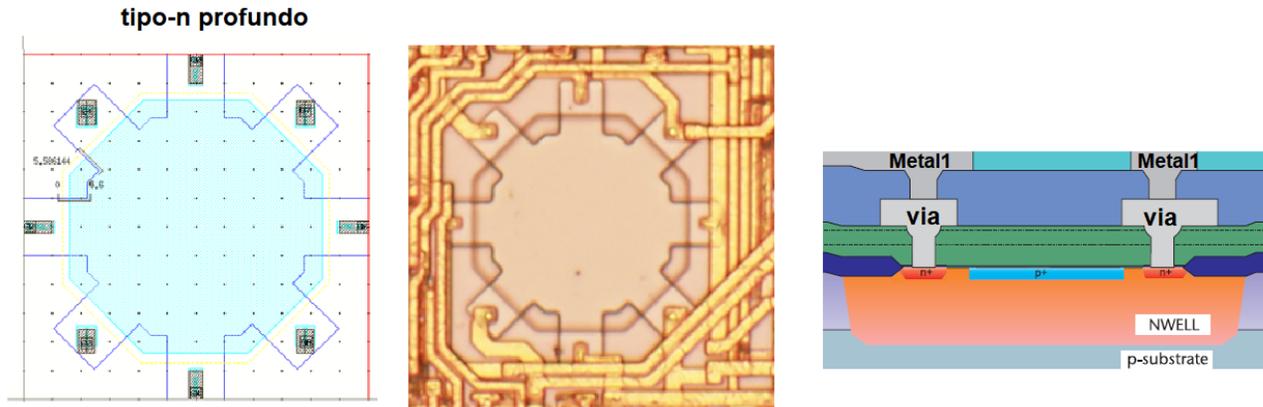


Figura 4.11: Leiaute piezo-transdutor tipo-n, corte transversal e imagem microscópica do sensor fabricado tomada com um microscópio óptico.

Os dispositivos requerem ainda uma série de circuitos eletrônicos para serem polarizados adequadamente, comutar a direção da polarização e da medição, além de condicionar o sinal de saída. Os circuitos que foram projetados e integrados monoliticamente no mesmo componente serão descritos nos Capítulos 4 e 3.

4.4 Piezo-transdutor com controle de direção de corrente

Para sensores de oito terminais podemos expandir a medição e tomar amostras de 45° em 45° graus, como descrito na Tabela 4.1, sendo necessário mudar a direção da corrente de polarização do dispositivo, como ilustrado na Figura 4.12.

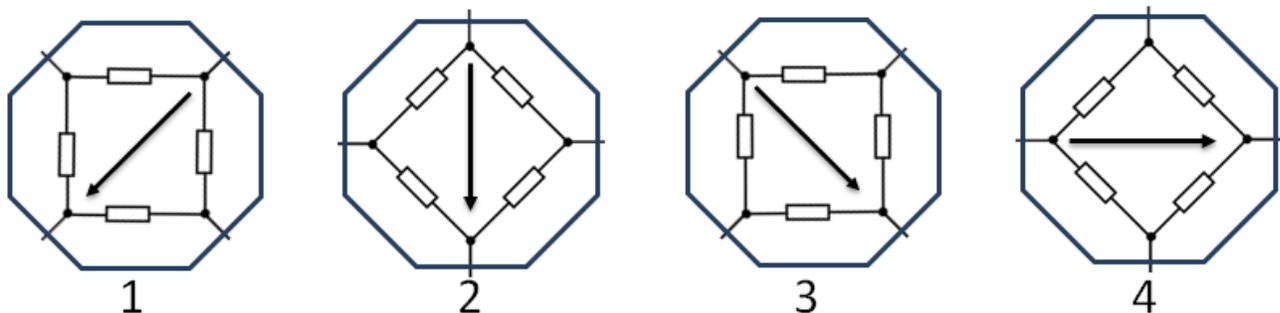


Figura 4.12: Sequência de comutações no sentido da corrente realizar medições de estresse em dispositivos orientados em: 1) $\varphi = 0^\circ$; 2) $\varphi = 45^\circ$ 3); $\varphi = 90^\circ$ 4) $\varphi = 135^\circ$.

Os terminais do piezo-transdutor octogonal são comutados utilizando multiplexadores analógicos. A Figura 4.13 apresenta o diagrama de Blocos do sistema, onde uma corrente de

referência é espelhada e empregada para polarizar o dispositivo. Enquanto multiplexadores, controlados por uma lógica digital, determinam quais terminais serão usados como contatos-corrente e contatos-sensor, modificando a direção em que a corrente passa pelo transdutor.

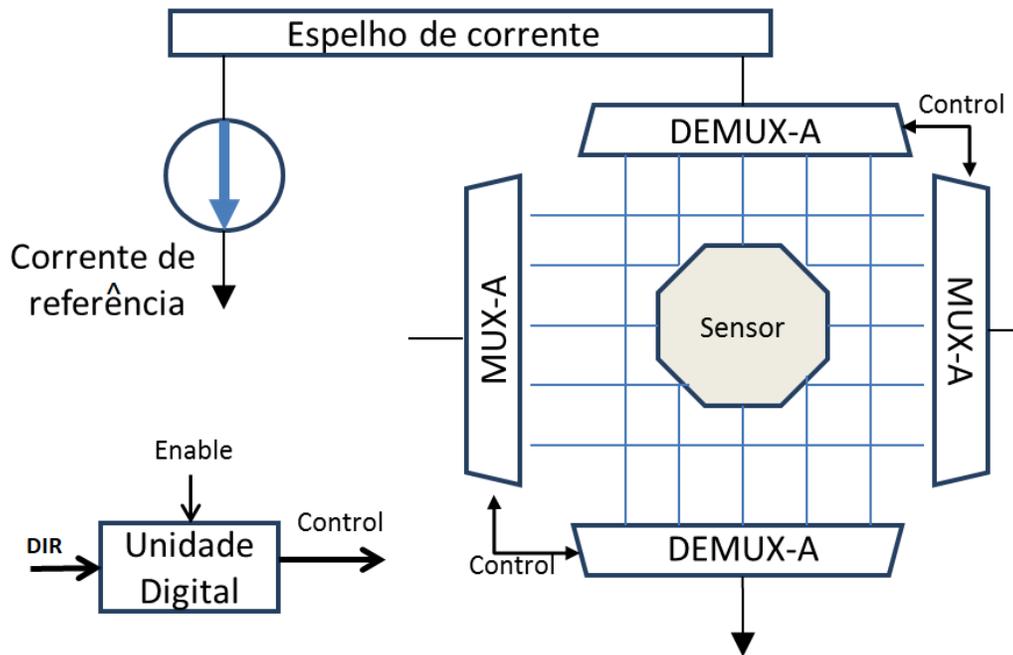


Figura 4.13: Diagrama de Blocos do sistema sensor, incluindo controle de direção de corrente.

É necessário incluir uma série de circuitos eletrônicos que permitam o controle e a polarização dos sensores. Usando mesma tecnologia CMOS, podemos integrar monoliticamente os sensores e a eletrônica. Os diagramas esquemáticos e o leiaute de um sensor *8TSP*, além da lógica de controle de direção de corrente podem ser observados na Figura 4.14. Enquanto uma imagem microscópica do sensor fabricado pode ser visualizado na Figura 4.15. Cada dispositivo, incluindo o piezo-resistor de 8 terminais e os multiplexadores analógicos, ocupa um área de $100\mu\text{m} \times 100\mu\text{m}$.

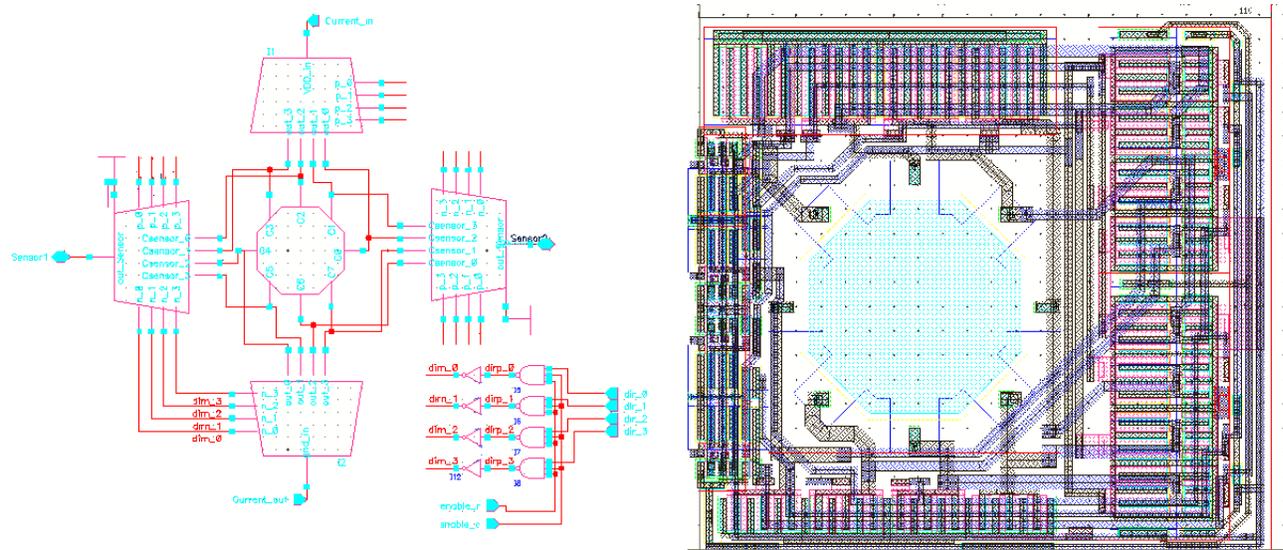


Figura 4.14: Esquemático e leiaute do sensor de oito terminais e os circuitos de bias e controle de corrente.

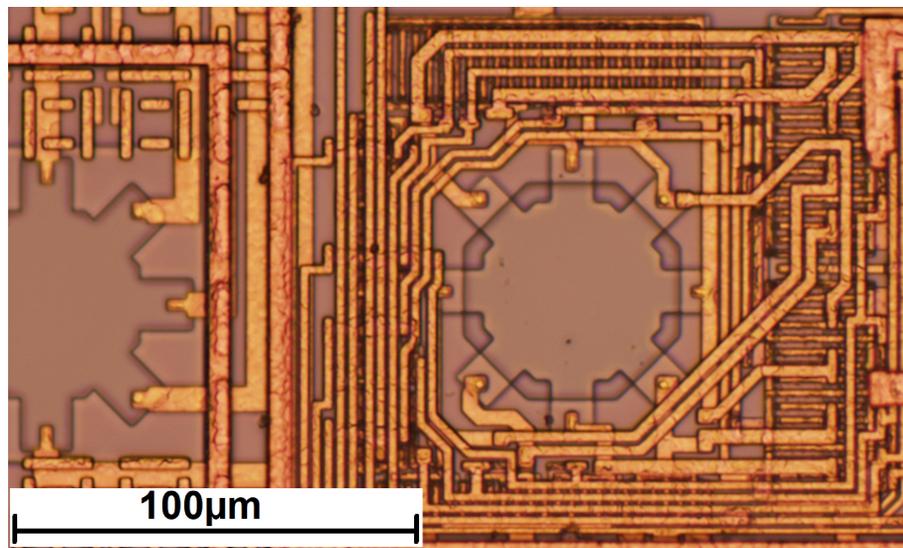


Figura 4.15: Imagem microscópica do dispositivo fabricado.

4.5 Projeto de uma Matriz de sensores para um Chip de Mapeamento de estresse

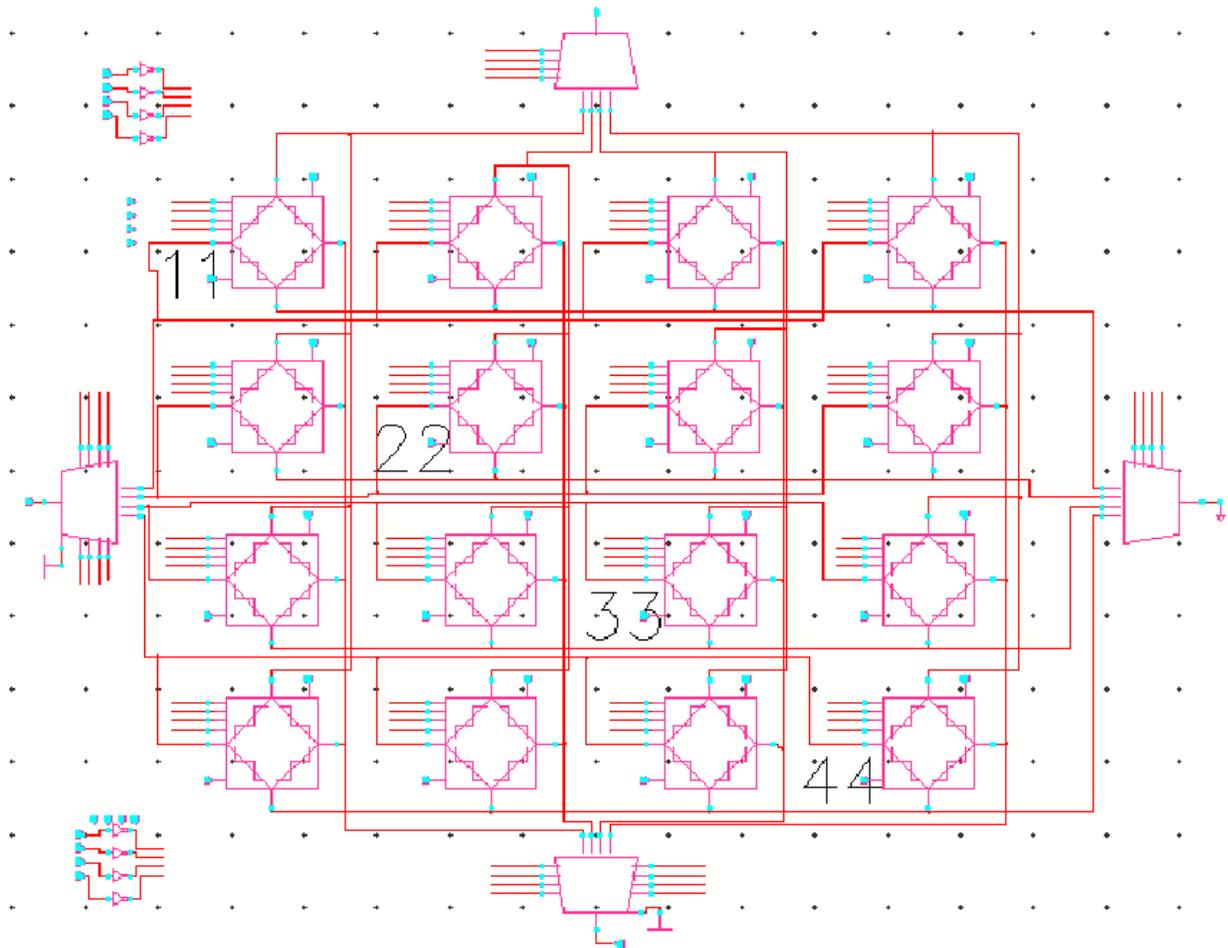


Figura 4.16: Esquemático de uma matriz de piezo-resistor tipo-n

Uma matriz de sensores permite fazer o mapeamento completo do estresse na superfície do CHIP. Utilizando a mesma tecnologia XFAB xc06 de $0,6\mu\text{m}$ foi projetado e fabricado um *CHIP* que inclui a matriz de 4×4 sensores piezo-resistivos e os circuitos integrados necessários. Cada sensor da matriz inclui o *8TSP* e o sistema de controle de direção de corrente. Ainda que o controle de comutação entre os contatos e a polarização sejam feitos em cada sensor, multiplexadores analógicos são adicionados para isolar os componentes entre si, como exposto no esquemático da matriz da Figura 4.16.

Os dispositivos foram fabricados pela CEITEC S.A. dentro do programa multi-usuário Brasileiro (PMUB). O tamanho da matriz de sensores completa é de $0,6\text{mm} \times 0,6\text{mm}$. A matriz fabricada pode ser observado na Figura 4.18. A área total do *chip* é de $2\text{mm} \times 2\text{mm}$, incluindo duas matrizes, os circuitos de polarização e de processamento de sinal de saída, além de PADS com proteção à estática. O CHIP completo pode ser observado na Figura 4.19.

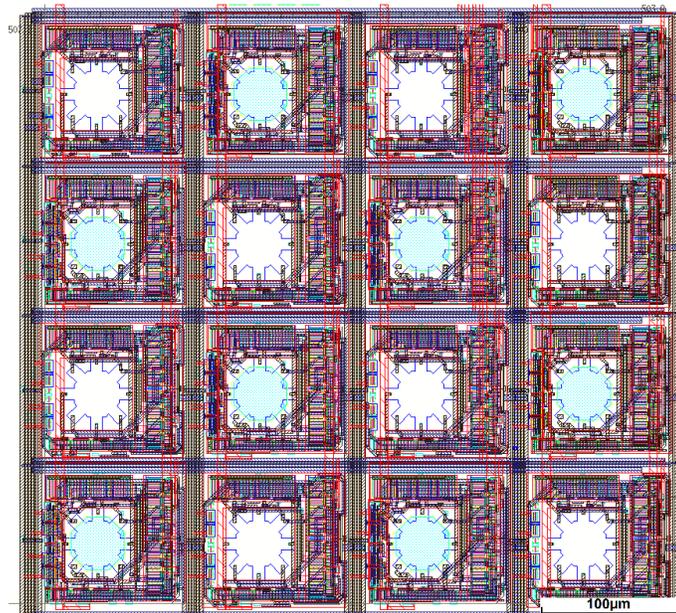


Figura 4.17: Leiaute de uma matriz de piezo-resistor tipo-n.

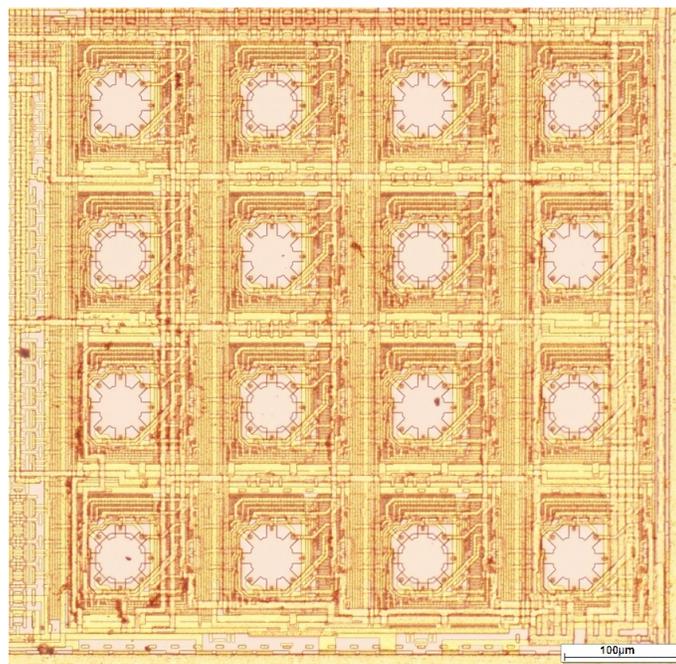


Figura 4.18: Imagem microscópica da matriz de sensores.

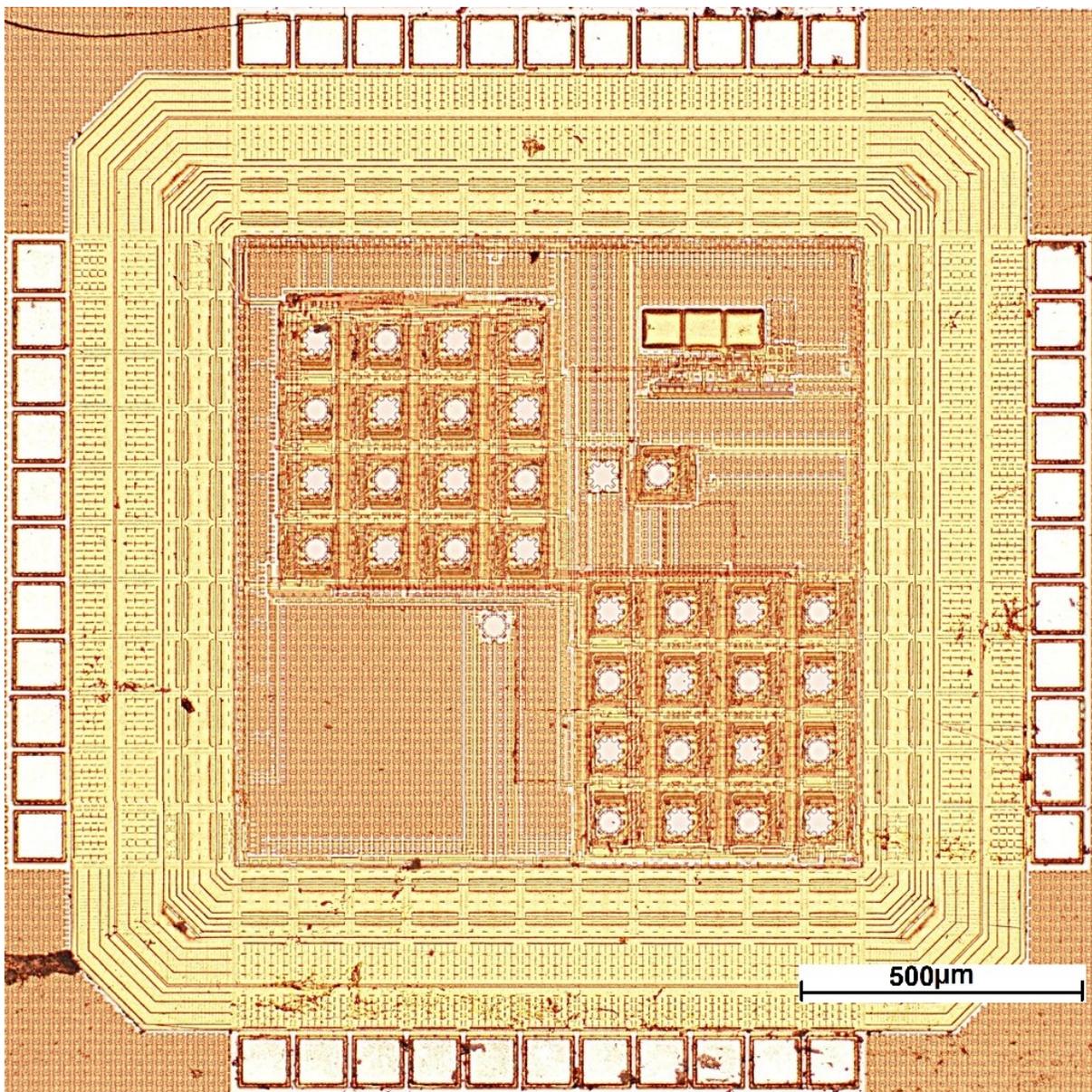


Figura 4.19: Imagem microscópica do Chip com a Matriz de piezo-resistores de 8 terminais, onde podem ser encontrados os circuitos, as matrizes de sensores e os PADS.

Capítulo 5

Sensor Piezo-MOSFET octogonal

Neste capítulo apresentamos um sensor de estresse mecânico usando transistores tipo MOSFET (*Metal-Oxide-Semiconductor Field Effect Transistor*). A corrente entre dreno e fonte neste tipo de dispositivo depende da mobilidade dos portadores, assim como da resistividade. Como a mobilidade varia com a deformação da estrutura, a corrente pode ser usada para determinar o estresse mecânico.

Inicialmente, serão apresentadas a relação entre a variação da corrente no transistor e o efeito piezo-resistivo. Em seguida, será desenvolvida uma expressão para modelar o efeito do estresse na corrente do transistor. Também serão descritos o funcionamento do espelho de corrente com MOSFETs, e como este tipo de circuito pode ser utilizado para o projeto de um sensor de estresse, assim como as considerações a tomar para reduzir fontes de descasamento não desejadas. Finalizando, apresentamos os dispositivos fabricados e os circuitos eletrônicos para condicionar e digitalizar o sinal de saída.

5.1 Sensor de estresse mecânico usando piezo-MOSFET em espelhos de corrente

Sensores baseados em piezo-resistores ocupam uma área e consomem uma potência consideráveis, além de requererem circuitos adicionais para polarização e condicionamento de sinal, aumentando ainda mais o requerimento de área e consumo [34]. Assim, os piezo-resistores estão na contramão de um bom projeto de eletrônica, dado que tanto área quanto potência são muitos custosos em circuitos integrados e são os principais parâmetros a serem otimizados [79, 30, 28, 80].

O processo de fabricação CMOS tem sido otimizado para os MOSFETs, assim que os MOSFETs podem ser fabricados com áreas muito menores, dissipam menos energia e apresentam a dopagem de canal menor do que a dopagem nos resistores semicondutores [28]. Adicionalmente, os transistores são os blocos fundamentais para todo circuito digital CMOS, sendo utilizados também para o projeto de circuitos analógicos (usados por exemplo no condicionamento de sinal e amplificação de tensão [30, 80]). Assim, além de poder usar dispositivos menores na constituição do sensor, estes mesmos dispositivos podem compor também os circuitos eletrônicos

necessários para a polarização e condicionamento de sinal.

Espelhos de corrente são usados comumente para polarizar blocos analógicos, deste modo, ao usarmos piezo-MOSFETs no espelho, podemos obter uma corrente dependente com o estresse mecânico, que pode ser já usada diretamente nos circuitos de condicionamento e digitalização de sinal. Porém, existem algumas considerações importantes a serem observadas, vez que já existem outros efeitos que geram um descasamento nos transistores do espelho e que precisam ser entendidos e reduzidos. Iniciaremos apresentando as possíveis fontes de descasamento nos transistores MOS, para em seguida analisar o efeito do estresse na corrente de saturação, para depois ilustrar o projeto do sensor de estresse usando espelhos de corrente.

5.1.1 Descasamento entre transistores piezo-MOS

O comportamento de muitos circuitos analógicos depende da proporção entre os dispositivos (e.g. par diferencial, espelhos de corrente e fontes de referência), qualquer variação implica em uma alteração no comportamento [80]. O descasamento, ou *mismatch*, representa as variações entre dispositivos similares (mesmas dimensões e o mesmo processo de fabricação) [28, 80, 30, 79], e é importante considerá-lo em um projeto adequado de circuito integrados.

O descasamento está relacionado com diferenças nas condições de operação, variações do processo e a tolerância durante a fabricação [28, 80], incluindo:

- Gradientes de temperatura dentro do CHIP;
- Diferenças na tensão de alimentação entre diferentes blocos;
- Variações aleatórias na implantação de dopantes;
- Variações na espessura e qualidade do óxido de porta;
- Variações na geometria das portas;
- Variações no resultado do processo foto-litográfico, usado para definir a geometria das corrosões, o que tem um impacto direto na geometria dos dispositivos;
- Variações do processo de corrosão (*etching*), que gera irregularidades aleatórias nas bordas;
- Difração de luz entre fendas nas máscaras usadas no processo foto-litográfico;
- Efeitos físicos que aparecem de forma aleatória, como cargas implantadas no óxido de porta, defeitos superficiais, defeitos na estrutura cristalografia e impurezas.

Estas variações não desejadas geram descasamentos tanto nas dimensões físicas, como na mobilidade e tensão limiar dos MOSFETs, e resultam tão relevantes que existem modelos de descasamento de componentes de MOSFET e extração de parâmetros de variação, assim como guias de boas práticas de leiaute que são desenvolvidos para o projeto e otimização de Circuitos Integrados [1, 28].

Ainda que a maioria de variações sejam consideradas aleatórias, dispositivos mais próximos apresentarão comportamentos similares e correlacionados, já que é de se esperar que dispositivos adjacentes operem com na mesma temperatura e tensão; sejam produzidos com níveis de dopagem, espessura do óxido de porta e profundidade da implantações similares; e apresentem as mesmas variações geométricas consequentes do processo litográfico [28]. Também é relevante mencionar que a temperatura, a tensão e os parâmetros de fabricação variam de forma gradual dentro do dispositivo, assim que posicionar os componentes próximos e manter uma configuração simétrica ajuda significativamente a melhorar o "casamento".

Para este projeto, nosso interesse está focado no descasamento local, já que a pretensão do projeto do piezo-transdutor é que todos os componentes estejam próximos, a fim de medir a deformação na área ocupada pelo dispositivo.

O próprio **estresse mecânico** pode ser considerado como uma fonte de descasamento, já que produz uma variação entre a mobilidade e o número de portadores. Assim, para o projeto de sensor de estresse mecânico, o efeito de descasamento associado à deformação tem que ser dominante, enquanto outras fontes de descasamento precisam ser reduzidas ao ponto de consideradas insignificantes.

Dado que usaremos espelhos de corrente, circuitos onde os transistores estão operando em região de saturação, modelamos a corrente de saturação de um transistor MOS tipo-n como:

$$I_{DS} = 0,5 \left(\mu C_{ox} \left(\frac{W}{L} \right) \right) (V_{GS} - V_{TH})^2 (1 + \lambda_m V_{DS}) \quad (5.1)$$

Sendo que μ é a mobilidade, V_{GS} a tensão entre porta e fonte, C_{ox} a capacitância do óxido por unidade de área, V_{TH} a tensão limiar ou de *threshold*, W e L são, respectivamente, a largura e o comprimento do transistor. Enquanto V_{DS} é a tensão entre dreno e fonte e o parâmetro λ_m modela o efeito de modulação de canal. Assim, podemos escrever a mudança relativa da corrente associada ao descasamento de cada parâmetro, como:

$$\frac{\Delta I_{DS}}{I_{DS}} = \frac{\Delta \mu}{\mu} + \frac{\Delta C_{ox}}{C_{ox}} + \frac{\Delta W}{W} - \frac{\Delta L}{L} - 2 \frac{\Delta V_{TH}}{V_{GS} - V_{TH}} + \lambda_m \frac{\Delta V_{DS}}{1 + \lambda_m V_{DS}} \quad (5.2)$$

Da equação 5.2 podemos concluir que o descasamento de corrente tem uma relação linear com o descasamento da mobilidade e a geometria do MOSFET. Além de apresentar uma variação associada à tensão entre dreno e fonte, influência que pode ser reduzida ao se diminuir λ_m . O parâmetro λ_m depende da tecnologia e da geometria do canal, canais mais longos apresentam menor modulação, mas requerem um área maior para serem construídos.

O descasamento da tensão limiar tem um comportamento diferenciado, sendo dominante quando a tensão de porta é próxima da tensão limiar ($V_{GS} - V_{TH} \approx 0$), mas ficando menor quando a tensão de porta for maior que a tensão limiar ($V_{GS} > V_{TH}$). Assim, para que o efeito do descasamento da tensão limiar possa ser desconsiderado, uma tensão de porta superior a do limiar é requerida [59].

5.1.2 Efeito do estresse na corrente de saturação de MOSFETs

Desconsiderando a modulação de canal na equação 5.2, observamos que a variação de corrente de saturação do MOSFET depende do efeito piezo-resistivo, relacionado com a variação

da mobilidade. Assim como depende da variação da tensão limiar e dos efeitos geométricos relacionados às mudanças das dimensões. Efeitos de modulação de canal serão inicialmente ignorados para simplificar o desenvolvimento, vez que este efeito tem pouco impacto em transistores com porta longa ou em configuração cascode, como será demonstrado posteriormente. A variação da mobilidade resulta muito mais significativa do que as variações geométricas e da tensão limiar para inversão forte, conforme demonstrado anteriormente. Portanto, podemos aproximar a mudança da corrente de saturação com a variação da resistividade, de modo que:

$$\frac{\Delta I_{DS}}{I_{DS}} \approx \frac{\Delta \mu}{\mu_0} \quad (5.3)$$

Considerando μ_0 como a mobilidade de portadores sem estresse. Neste contexto, podemos aproximar a mudança em mobilidade com a piezo-resistividade como:

$$\frac{\Delta \mu}{\mu_0} \approx \frac{\Delta \rho}{\rho_0} = \left[\frac{(\sigma_1 + \sigma_2)}{2} (\pi_{11} + \pi_{12}) - \frac{(\sigma_1 - \sigma_2)}{2} (\pi_{11} - \pi_{12}) \cos 2\varphi + \sigma_4 \pi_{44} \sin 2\varphi \right] \quad (5.4)$$

Caso o estresse seja uniaxial, com magnitude σ e direção λ , podemos simplificar a equação como:

$$\frac{\Delta \mu}{\mu_0} \approx \frac{\Delta \rho}{\rho_0} = \frac{\sigma}{2} [\pi_{11} (1 + \cos 2\varphi \cos 2\lambda) + \pi_{12} (1 - \cos 2\varphi \cos 2\lambda) + \pi_{44} (\sin 2\varphi \sin 2\lambda)] \quad (5.5)$$

5.1.3 Efeito do estresse nos espelhos de corrente

Um bloco analógico que apresenta características interessantes são os espelhos de corrente, como o mostrado na Figura 5.1. Transistores NMOS em espelhos de corrente operam em região de saturação e compartilham a mesma tensão nos terminais porta e fonte. Um bom espelho requer que os transistores estejam casados, deste modo, podemos considerar que C_{ox} e V_{TH} serão idênticos entre si. Por conseguinte, podemos simplificar a relação entre as correntes dos dispositivos como:

$$\frac{I_{Out}}{I_{ref}} = \frac{\mu_2 \left(\frac{W}{L}\right)_2}{\mu_{ref} \left(\frac{W}{L}\right)_1} \quad (5.6)$$

Tanto a geometria, como a mobilidade mudam conforme aparece uma deformação. Podemos escrever uma expressão para a mudança relativa da corrente, como:

$$\frac{\Delta I_{Out}}{I_{ref}} = \frac{\Delta \mu_2}{\mu_0} - \frac{\Delta \mu_{ref}}{\mu_0} + \frac{\Delta (W/L)_2}{(W/L)_2} - \frac{\Delta (W/L)_1}{(W/L)_1} \quad (5.7)$$

Como o efeito do estresse na mobilidade é muito superior a deformação do material, podemos simplificar a mudança $\Delta I_{out}/I_{ref}$, como:

$$\frac{\Delta I_{Out}}{I_{ref}} \approx \frac{\Delta \mu_2}{\mu_0} - \frac{\Delta \mu_{ref}}{\mu_0} \quad (5.8)$$

O desenvolvimento das equações foi realizado em transistores NMOS, mas espelhos de corrente em transistores PMOS trabalham de forma análoga. Deste modo, a equação que descreve a variação da corrente de saída pode ser utilizado para ambos os tipos de piezoMOSFETs.

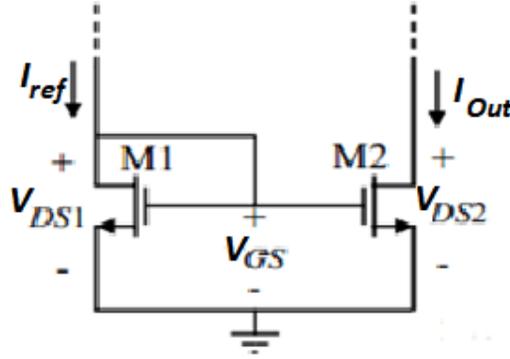


Figura 5.1: Espelho de corrente com transistores NMOS.

5.1.4 Comparação entre espelhos simples e espelho tipo cascode

No equacionamento anteriormente desenvolvido foi desconsiderado o efeito de modulação de canal na corrente de saturação, porém como este efeito aparece com mais recorrência para MOSFET com canais menores, estando, portanto, presente nas tecnologias atuais, não deve ser ignorado. Um cálculo mais apurado da corrente de saída pode ser obtido como [79, 81]:

$$I_{Out} = I_{ref} + \frac{V_{D_2} - V_{D_1}}{r_{out}} \quad (5.9)$$

Onde V_{D_2} e V_{D_1} são as tensões nos drenos dos transistores, M_1 e M_2 , e r_{out} é a resistência equivalente na saída do espelho, que aparece justamente pela modulação de canal. Deste modo, observa-se uma variação na corrente de saída quando a tensão no dreno muda, o que se relaciona ao valor da resistência de saída como:

$$\frac{\Delta I_{Out}}{\Delta V_{D_2}} \approx \frac{1}{r_{out}} \quad (5.10)$$

A modulação de canal, ao ser adicionada na equação 5.8, agrega um desvio de zero e uma deriva indesejada no dispositivo. Para reduzir a variação ao ponto de poder ser desconsiderada, o valor de r_{out} precisa ser o maior possível.

Para um espelho simples, como o ilustrado na Figura 5.1, a resistência de saída é igual a resistência dinâmica entre dreno e fonte, como:

$$r_{out_{simples}} = r_{ds2} \quad (5.11)$$

Este resistor r_{ds} corresponde a uma resistência dinâmica entre dreno e fonte do MOSFET, e o valor de r_{ds} é descrito pelo parâmetro de modulação de canal λ_m [79] como:

$$r_{ds} = \frac{1 + \lambda_m V_{DS}}{\lambda_m I_{DS}} \quad (5.12)$$

MOSFET com canais maiores apresentam menor efeito de modulação de canal, porém incrementam a área dos dispositivos.

A resistência de saída pode ser incrementada modificando a topologia do circuito. O espelho tipo cascode empilha dois transistores saturados. Usando transistores idênticos, a resistência de saída equivalente para esta configuração pode ser escrita como:

$$r_{out_{cascode}} = (2r_{ds2} + g_{m2}r_{ds2}^2) \quad (5.13)$$

Perceba que a resistência de saída é muito maior do que a soma dos resistores equivalentes dos MOSFET, aumentando a estabilidade do espelho, sem que isto implique num sacrifício significativo de área. Assim, com um valor maior de impedância na saída, o efeito da modulação de canal é atenuado ao ponto de poder ser desconsiderado para os cálculos futuros.

5.1.5 Espelhos de corrente usando Piezo-FET em diferentes direções

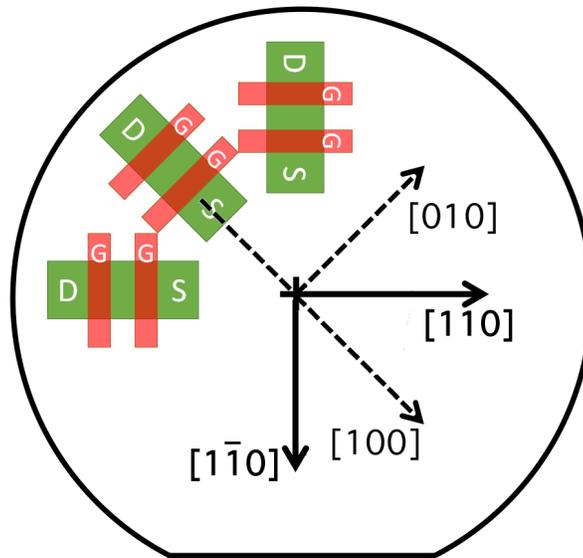


Figura 5.2: Possível alinhamento de Transistores MOS em diferentes orientações cristalográficas na superfície da *wafer* [100] para processo XFABc0.6 CMOS.

Similar aos piezo-resistores fabricados na tecnologia XFAB xc0.6[1], podemos alinhar os transistores nas direções cristalográficas principais na superfície da *wafer* e, assim, fabricar dispositivos orientados nos seguintes ângulos: $\varphi = 0^\circ$ paralelo com a direção de referência [100]; $\varphi = 90^\circ$ perpendicular à referência; $\varphi = -45^\circ$ e $\varphi = 45^\circ$ alinhados com as direções $\langle 110 \rangle$, como ilustrado na Figura 5.2.

A Figura 5.3 apresenta um circuito esquemático de espelhos de corrente usando piezo-MOSFETs nas orientações descritas.

Para obter precisão na corrente espelhada, é preciso que haja um bom casamento nos transistores dos espelhos e uma alta impedância de saída, como já ressaltado anteriormente. Por isso, foram utilizados espelhos tipo cascode. Os transistores de entrada estão orientados na direção $\langle 110 \rangle$, deste modo, a corrente de referência de entrada I_{ref} e a corrente de saída I_{-45} compartilhem a mesma orientação; enquanto a corrente de saída I_{45} está associada aos dispositivos alinhados em $\varphi = 45^\circ$; e as correntes de saída I_0 e I_{90} aos dispositivos alinhados em $\varphi = 0^\circ$ e

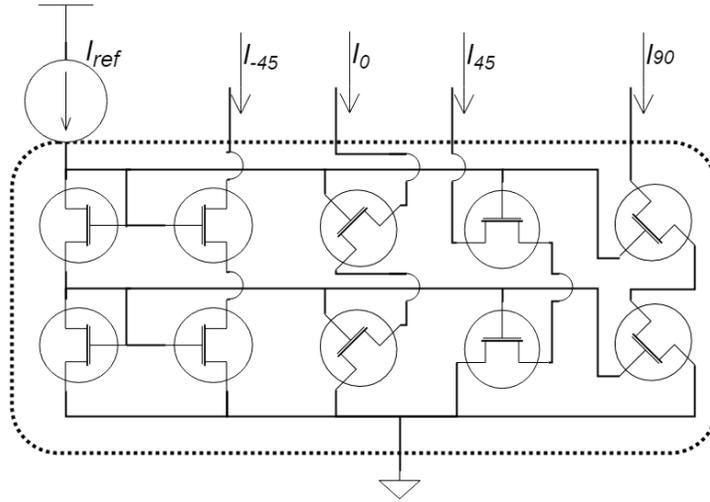


Figura 5.3: Sensor de estresse projetado usando PiezoMOSFET, em espelhos de corrente, com diferentes orientações.

$\varphi = 90^\circ$, respectivamente. Para exemplificar o circuito, um esquemático é ilustrado na Figura 5.3. Assim, podemos reescrever a equação da variação da corrente segundo a orientação como:

$$\begin{aligned} \frac{\Delta I_{-45}}{I_{ref}} &\approx 0 \\ \frac{\Delta I_0}{I_{ref}} &\approx \frac{(\sigma_1 - \sigma_2)}{2} (\pi_{11} - \pi_{12}) - \sigma_4 \pi_{44} \\ \frac{\Delta I_{45}}{I_{ref}} &\approx -\sigma_4 \pi_{44} \\ \frac{\Delta I_{90}}{I_{ref}} &\approx -\frac{(\sigma_1 - \sigma_2)}{2} (\pi_{11} - \pi_{12}) - \sigma_4 \pi_{44} \end{aligned} \quad (5.14)$$

Note-se que não haverá qualquer variação do espelho alinhado na mesma direção da referência, resultado esperado, dado que os efeitos de estresse vão ser idênticos para os dispositivos com o mesmo alinhamento.

Resulta relativamente fácil somar ou subtrair corrente, basta conectar ambas a sinais no mesmo nó do circuito. Também correntes podem ser facilmente escaladas usando espelhos. Deste modo, as correntes de saída complementares podem ser facilmente subtraídas, utilizando espelhos de corrente alinhados. As saídas diferenciais são desejadas no projeto eletrônico, dado que a subtração elimina todos os efeitos do modo comum, incluindo o ruído, o estresse para fora do plano da superfície e o desvio de temperatura. Usando o circuito ilustrado na Figura 5.4, a diferença entre correntes em direções complementares pode ser obtida, como:

$$I_A = I_{-45} - I_{45} = (-\sigma_4 \pi_{44}) I_{ref} \quad (5.15)$$

$$I_B = I_0 - I_{90} = (\sigma_1 - \sigma_2) (\pi_{11} - \pi_{12}) I_{ref} \quad (5.16)$$

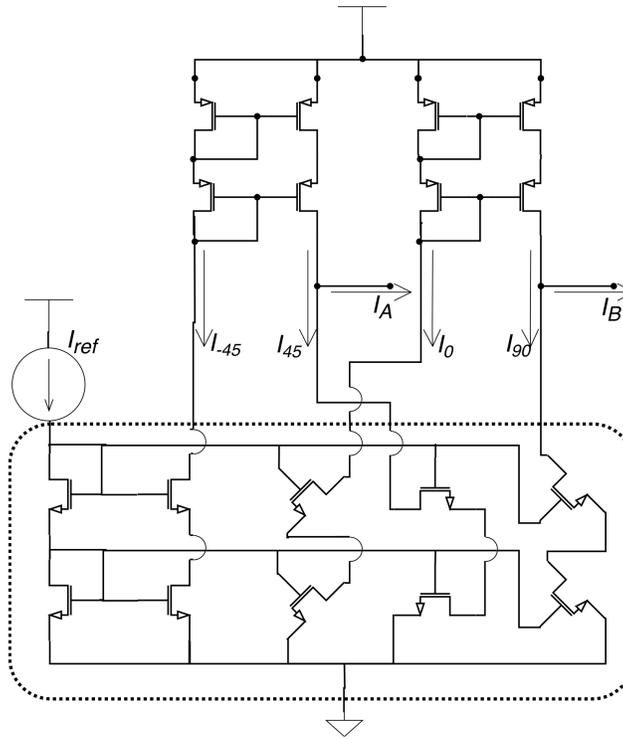


Figura 5.4: Diagrama de circuito esquemático do circuito sensor, usando piezoFET.

I_A é a saída diferencial para correntes na direção cristalográfica $\langle 110 \rangle$, enquanto I_B é a saída diferencial para $\langle 100 \rangle$. Esta configuração, onde são somadas as saídas de correntes de dispositivos em direções complementares, isola cada componente do estresse mecânico e melhora a sensibilidade. Observe que a sensibilidade da saída atual I_A está relacionada apenas ao coeficiente de cisalhamento π_{44} , enquanto a corrente I_B depende dos coeficientes longitudinal π_{11} e o transversal π_{12} .

Observe também que no silício tipo-p, os piezocoefficientes π_{11} e π_{12} são muito menores que π_{44} . Portanto, é lícito afirmar que o piezoFET tipo-p possui uma sensibilidade aumentada ao estresse de cisalhamento, enquanto dispositivos pMOS alinhados à direção $\langle 100 \rangle$ possuem uma saída insignificante. Enquanto os piezo-coeficientes π_{11} e π_{12} são dominantes para o tipo-n, isto posto, podemos afirmar que o espelho de corrente NMOS será mais sensível aos componentes longitudinais e transversais do estresse.

Caso o estresse seja uniaxial, com magnitude σ e direção λ , podemos simplificar as equações anteriormente apresentadas como:

$$\begin{aligned}
 \frac{\Delta I_{-45}}{I_{ref}} &\approx 0 \\
 \frac{\Delta I_0}{I_{ref}} &\approx \frac{\sigma}{2} [(\pi_{11} - \pi_{12}) \cos 2\lambda - \pi_{44} \sin 2\lambda] \\
 \frac{\Delta I_{45}}{I_{ref}} &\approx \sigma [\pi_{44} \sin 2\lambda] \\
 \frac{\Delta I_{90}}{I_{ref}} &\approx \frac{\sigma}{2} [-(\pi_{11} - \pi_{12}) \cos 2\lambda - \pi_{44} \sin 2\lambda]
 \end{aligned} \tag{5.17}$$

E as correntes diferenciais I_A e I_B como:

$$I_A = I_{-45} - I_{45} = (-\sigma\pi_{44} \sin 2\lambda) I_{ref} \quad (5.18)$$

$$I_B = I_0 - I_{90} = (\sigma (\pi_{11} - \pi_{12}) \cos 2\lambda) I_{ref} \quad (5.19)$$

5.2 Sensor piezo-MOSFET octogonal

Os transistores piezo-MOSFET são exatamente os mesmos transistores MOSFET disponíveis na tecnologia CMOS, assim que podem ser projetados e fabricados utilizando as mesmas camadas empregadas para um MOSFET, Possibilitando o alinhamento das portas e das regiões ativas com a direção desejada para a medição de estresse.

Tendo como base a geometria do piezo-transdutor de oito terminais, além dos resultados das pesquisas de outros grupos [34, 82], projetamos um dispositivo multi-terminal usando Piezo-MOSFET para compor os espelhos de corrente. Para melhorar a precisão e a sensibilidade, os quatro espelhos de corrente cascode, cada um alinhado em uma direção diferente, são implementados em uma mesma área ativa.

Dois dispositivos similares e complementares foram projetados usando como piezo-MOSFET os transistores nMOS e pMOS, disponíveis na tecnologia CMOS. O leiaute de ambos os sensores de estresse podem ser observados na Figura 5.5. Ambos os dispositivos apresentam geometrias idênticas e muitas similaridades nas camadas usadas na sua fabricação. Se diferenciam, unicamente, em relação ao tipo de dopante usado no poço e na implantação, camadas que determinam o tipo de dopagem do canal e o tipo de transistor.

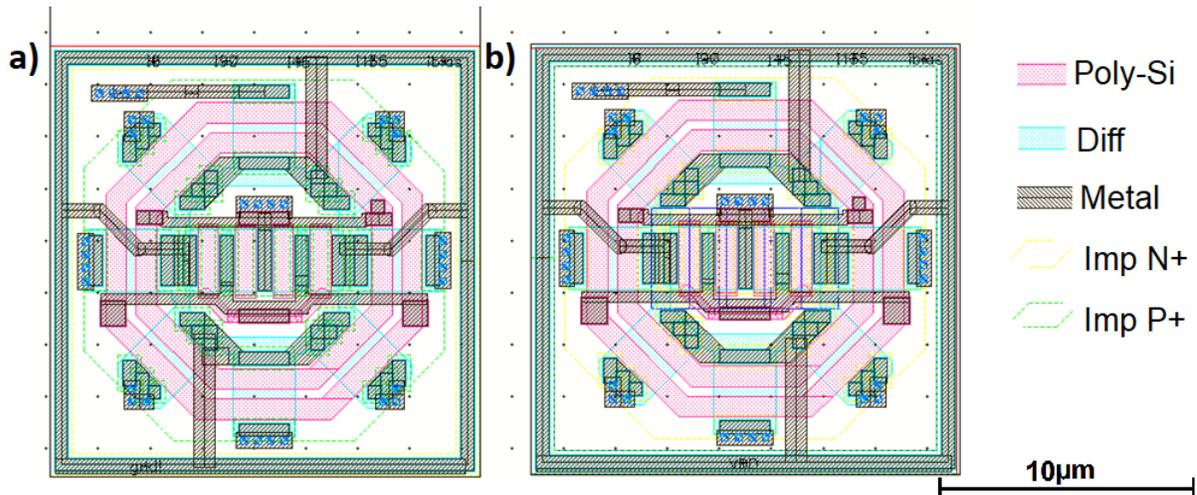


Figura 5.5: Layout dos transdutores usando piezoMOSFET em espelhos de corrente: a) PMOS e b) NMOS.

A fim de melhorar o casamento entre os piezoMOSFETs do espelho, todos os transistores são colocados juntos usando técnicas de leiaute de centroide comum e de simetria. Os MOSFETs colocados no centro do dispositivo recebem a corrente de entrada de referência, enquanto todos os outros transistores são posicionados ao redor; todas as fontes estão interconectadas na mesma

região de difusão; as portas foram construídos juntas como listras únicas de poli-silício; enquanto as áreas ativas do MOS, definida pelas camadas de difusão e implantação, estão alinhadas na direção desejada. Como resultado, o sensor de estresse usando espelhos de corrente tem uma forma geométrica octogonal e ocupa um área de $16\mu\text{m} \times 16\mu\text{m}$, como mostrado na Figura 5.5.

Finalmente, o leiaute e a imagem microscópica de um dispositivo usando piezoMOSFET tipo NMOS são mostrados na Figura 5.6.

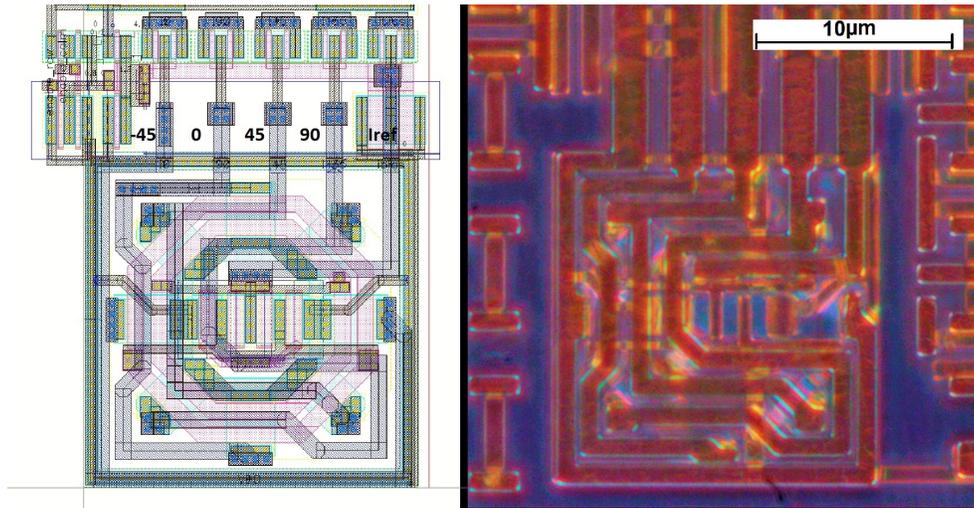


Figura 5.6: Comparativo entre Leiaute e microfotografia do piezo-transdutor com piezoFET fabricado.

5.3 Projeto de uma Matriz de sensores para um Chip de Mapeamento de estresse

Os sensores de estresse com espelhos de corrente são mais simples de controlar do que os piezo-transdutores (descritos no Capítulo 4). A direção da corrente não precisa ser alterada, já que a corrente é espelhada em todas as direções simultaneamente. Podemos conectar múltiplos sensores à mesma corrente de referência e circuito, graças à subtração usando multiplexadores e demultiplexadores, como esquematizado na Figura 5.7.

Posicionando os componentes em forma de matriz podemos projetar uma ferramenta para fazer o mapeamento completo do estresse numa área específica. Utilizando a tecnologia XFAB de $0,6\mu\text{m}$, foi projetado e fabricado um *chip* que inclui duas matrizes de 4×8 sensores junto com todos os circuitos integrados necessários. A metade dos sensores são projetados com NMOS e a outra metade com PMOS, aproveitando os dispositivos disponíveis no processo complementar CMOS. Resulta interessante poder fabricar ambos tipos de piezo-MOFET, já que cada dopagem apresenta uma sensibilidade diferenciada para cada componente do estresse. O leiaute da matriz projetada pode ser observado na Figura 5.8.

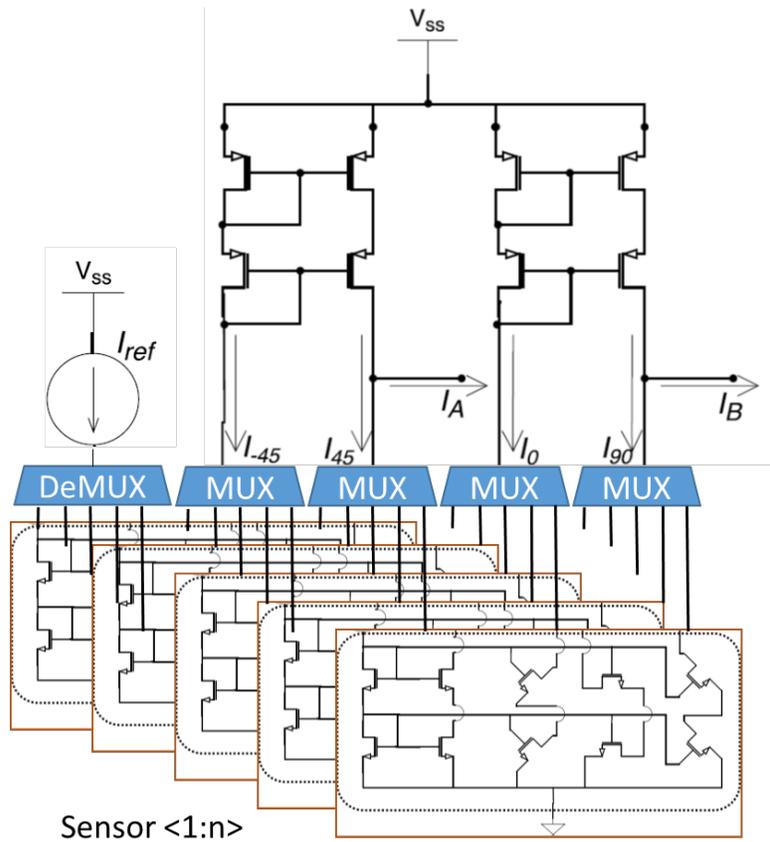


Figura 5.7: Diagrama de Blocos de uma matriz de sensores de estresse mecânico tipo Piezo-MOSFET NMOS.

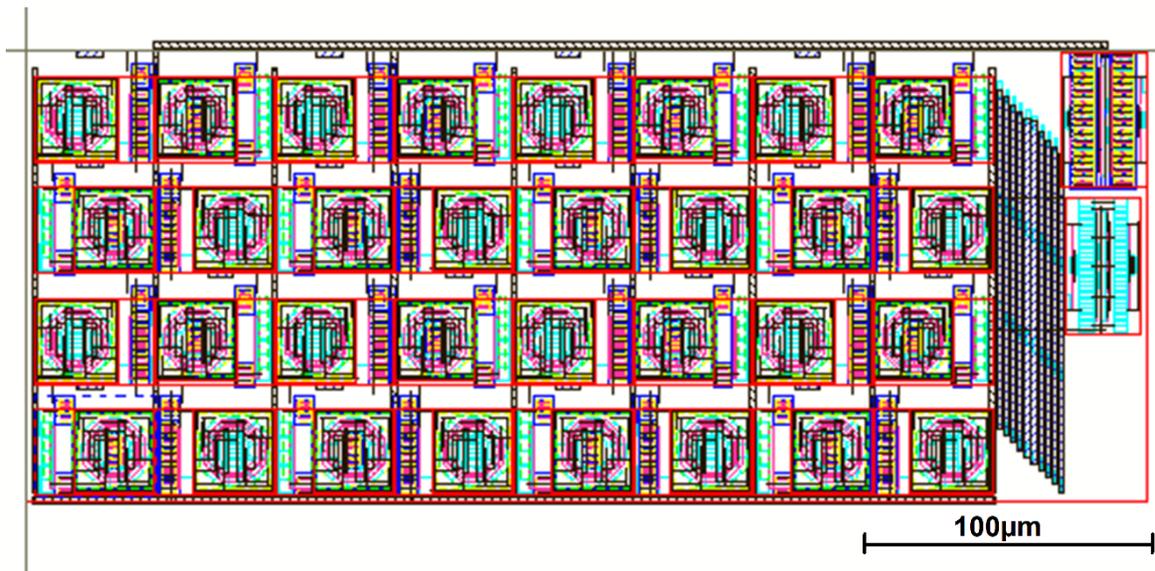


Figura 5.8: Leiaute de uma matriz de 4x8 sensores de estresse mecânico tipo Piezo-MOSFET.

Os dispositivos foram fabricados pela CEITEC, dentro do programa multi-usuário Brasileiro (PMUB). O tamanho de cada matriz de sensores completa é de 0,2mmx0,6mm. Uma imagem

microscópica das duas matrizes fabricadas pode ser observado na Figura 5.9.

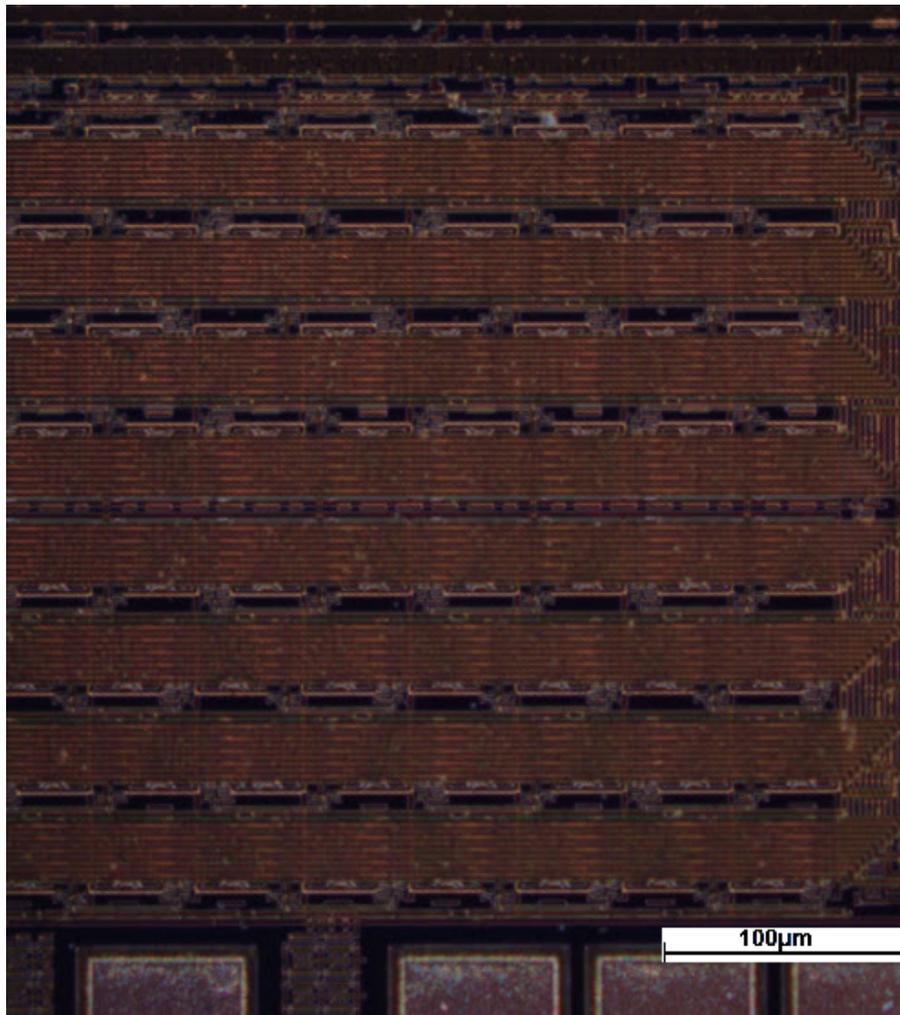


Figura 5.9: Imagem microscópica de duas matrizes de sensores.

5.4 Modulação da saída em largura de pulso

A saída de corrente do sensor usando Piezo-MOSFETs é considerada como um sinal analógico, porém muitos protocolos de comunicação e circuitos de processamento são baseados em lógica digital. Neste contexto, é interessante projetar circuitos de digitalização do sinal integrados ao sensor. Sendo o estresse na superfície relativamente constante, metodologias de modulação por frequência (FM) ou por largura de pulso (PWM) são adequadas e, suficientes para realizar a representação digital do sinal [28, 81].

Este tipo de conversão tem como principal vantagem o fato do sinal de saída ser representado em um único bit, reduzindo o número de pinos e PADS requeridos no CHIP. Facilitando a comunicação com os circuitos e instrumentos fora do CHIP. O sinal pode ser lido por um microcontrolador ou qualquer outro bloco digital, e manipulado através das técnicas de processamento digital de sinais. A resolução e a robustez depende do número de amostras e o tempo de amostragem. Assim, para uma conversão com uma resolução alta é necessário uma taxa de conversão

lenta, o que limita a velocidade do processo de digitalização a só alguns milhares de conversões por segundo (*Kilo-samples-per-second*). Porém, esta velocidade é suficiente e adequada para sinais que variam pouco no tempo, como o estresse mecânico em CHIPS empacotados.

A topologia do circuito modular de pulso é relativamente simples, requerendo algumas chaves analógicas, um comparador e alguns dispositivos passivos. Deste modo, é possível desenvolver projetos simples, mas que apresentam uma saída com alta resolução. Vantagens que tem levado este tipo de conversão a ser usada para digitalizar saídas de circuitos que apresentem variação relativamente lenta, como sensores de temperatura e sensores de estresse mecânico.

5.4.1 Modulação por largura de pulso

Um modulador simples pode ser projetado usando a carga e a descarga de um capacitor, controlada por um comparador e uma rede de retroalimentação. O princípio de funcionamento básico e o diagrama de blocos do sistema são apresentados na Figura 5.10. Resumidamente, o circuito integra as correntes de entrada I_2 e I_1 sobre o capacitor C , gerando como resultado um sinal de tensão triangular. Utilizando um comparador, o sinal de tensão triangular é digitalizado em um sinal de um bit. Por vez, o sinal de saída é retroalimentado, controlando a chave S . Quando a Chave S está em aberto, a corrente I_2 descarrega o capacitor, mas quando habilitada, o capacitor carrega com uma corrente $I_1 - I_2$. Deste modo, observamos na saída um sinal onde o ciclo de trabalho e a frequência dependem da relação entre as correntes de entrada.

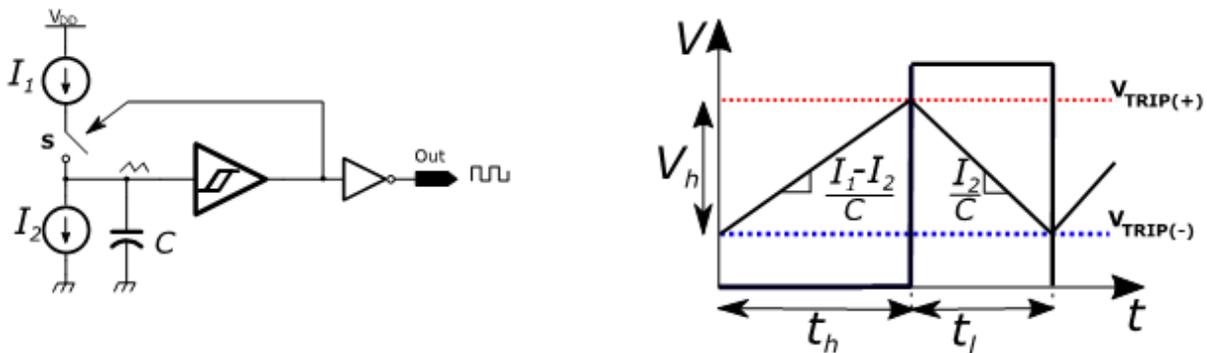


Figura 5.10: Diagrama de Blocos do sistema sensor, incluindo controle de direção e de corrente [28].

Este circuito difere da abordagem clássica da geração de sinal PWM, porque descarta o uso de uma onda triangular externa para modular o sinal de saída, o que reduz a quantidade de circuitos requeridos e dispensa o uso de uma sinal de relógio CLK, tornando mais simples o projeto.

Para equacionar a largura de pulso D e a frequência de saída f_{out} , precisamos definir t_h como o tempo de carga, t_l como tempo de descarga do capacitor, e V_h como a tensão de histerese do comparador. Podemos descrever os tempos de cada comutação como:

$$t_h = \frac{C}{I_1 - I_2} V_h$$

$$t_l = \frac{C}{I_2} V_h$$

O período pode ser encontrado somando ambos os tempos de carga e descarga, como:

$$T = t_h + t_l = CV_h \left(\frac{1}{I_1 - I_2} + \frac{1}{I_2} \right)$$

Definindo a frequência como o inverso do período e a largura de pulso como a relação entre o tempo em alto e o período, temos:

$$f_{out} = \frac{1}{CV_h} \left(\frac{I_1 I_2 - I_2^2}{I_1} \right) \quad (5.20)$$

$$D = \frac{I_2}{I_1} \quad (5.21)$$

Um resultado interessante a ser ressaltado é que a largura de pulso D depende só das correntes, sendo independente da tensão de histerese, do capacitor e outras variáveis de projeto.

Usando uma corrente constante para I_1 , a largura do pulso será proporcional a variação da corrente I_2 . Assim, usando a saída do sensor com piezo-MOSFET, que tem como característica variar linearmente com o estresse, obtemos um sinal onde largura de pulso varia linearmente com o estresse.

5.4.2 Condicionamento de sinal usando espelhos de corrente

Uma vantagem interessante de trabalhar com corrente, consiste na possibilidade de manipular e transmitir usando espelhos de corrente. Deste modo, podemos condicionar o sinal de saída, amplificando e adicionando correntes, para obter uma variação da largura de pulso em um intervalo desejado. Podemos substituir as correntes de entrada no integrador como:

$$I_1 = I_{ref}$$

$$I_2 = 0.5I_{ref} + K_{gain}\pi_{ij}\sigma I_{ref}$$

Onde I_{ref} é uma corrente de referência, que pode ser obtida com um regulador e um circuito gerador de tensão de referência BandGap, π_{ij} e σ são, respectivamente, o coeficiente piezo-resistivo e o estresse, e K_{gain} o fator de multiplicação da corrente. Desta forma, obtemos uma largura de pulso igual a:

$$D = 0,5 + K_{gain}\pi_{ij}\sigma$$

O circuito completo é ilustrado na Figura 5.11. Pode ser observado que a corrente é operada e somada usando vários espelhos de corrente.

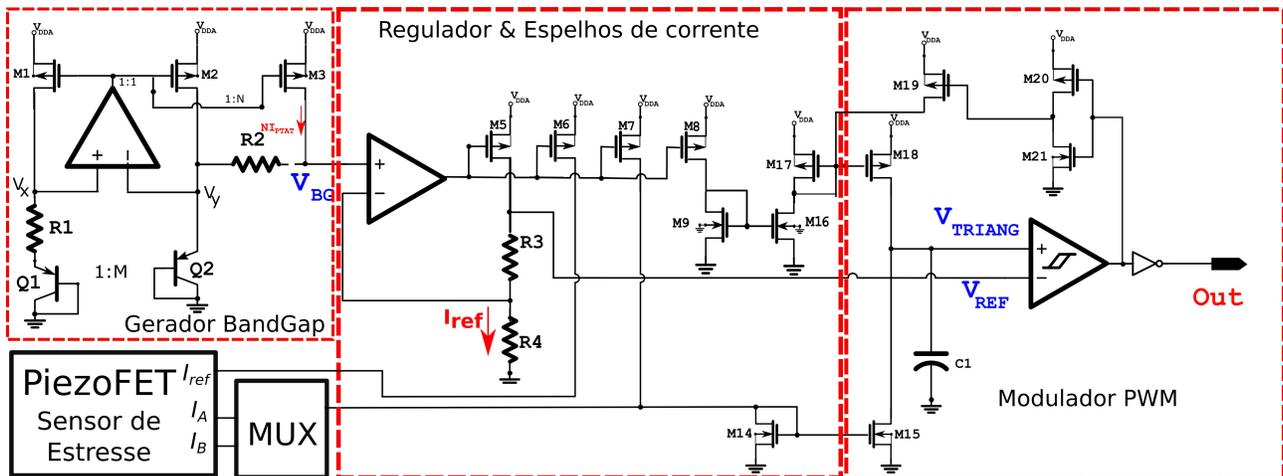


Figura 5.11: Esquemático do circuito completo, incluindo circuito de referência, espelhos de corrente para somar e amplificar correntes e Modulador de pulso.

5.5 Chip completo

A área total do *chip* é de $2\text{mm} \times 2\text{mm}$, incluindo duas matrizes, os circuitos de polarização e de processamento de sinal de saída, o circuito de modulação em largura de pulso e PADS com proteção à estática. O CHIP completo pode ser observado na Figura 5.12.

Os sensores serão caracterizados em detalhe no Capítulo 8, enquanto o resultado do mapeamento de estresse uniaxial, usando as matrizes, será apresentado no Capítulo 9

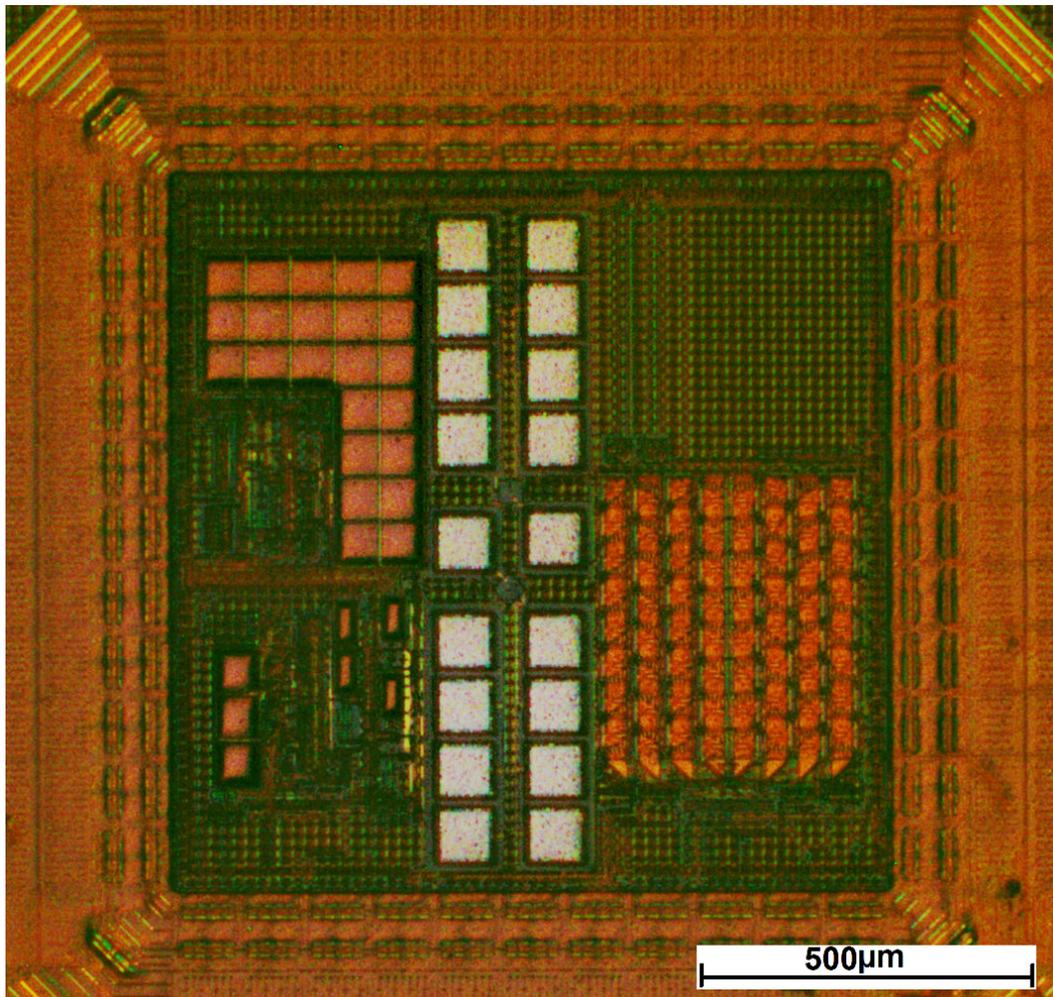


Figura 5.12: Imagem microscópica do Chip completo, onde podem ser encontrados os circuitos, as matrizes de sensores e PADS de teste.

Parte III

Resultados Experimentais

Capítulo 6

Aparato para caracterização experimental do sensor de estresse mecânico

Para estudar e caracterizar a resposta dos dispositivos ao estímulo mecânico, é necessário aplicar uma deformação precisa na superfície de chips semicondutores e controlar ao todos os componentes do estresse. Assim que comumente é usado um estresse uniaxial em uma direção única e bem definida, priorizando as direções em que o estímulo é mais influente.

Resulta ideal poder aplicar a deformação em diferentes orientações sobre a mesma amostra do dispositivo, caracterizando assim o mesmo sensor para várias condições de estresse. Reaproveitando o teste para caracterizar várias amostras com estímulos similares, para observar a repetibilidade e consistência na resposta do sensor.

Surge assim um desafio, como desenvolver uma montagem experimental para aplicar um estresse uniaxial que permita:

- controlar ao mesmo tempo a magnitude e a orientação do estresse sobre uma amostra de silício;
- variar a direção do estresse uniaxial usando a mesma amostra do dispositivo;
- um fácil acesso aos contatos elétricos do CHIP e a leitura dos sinais de saída;
- ser reutilizado em diferentes amostras.

Neste capítulo apresentamos o aparato projetado para caracterizar os sensores piezo de estresse mecânico integrados em CHIPS de silício. Incluímos uma descrição dos mecanismos para gerar e controlar um estresse uniaxial na superfície do dispositivo semicondutor, do empacotamento dos *dice* de silício sobre lâminas metálicas, da estrutura mecânica do aparato, dos diagramas elétricos e das montagens para aquisição de dados usados nos testes.

6.1 Metodologias para testes de deformação e estresse mecânico em materiais

A maioria dos materiais sólidos, incluindo metais e semicondutores, têm um comportamento elástico (uma relação proporcional entre deformação e estresse). Resulta imprescindível para a

caracterização adequada dos sensores aplicar uma deformação mecânica constante, direcionada e bem controlada, já que o estresse está associado a esta deformação.

Existem várias maneiras de deformar uma amostra (pode ser esticada, dobrada ou torcida). Porém cada método exige uma preparação especial da amostra, para que esta possa ser fixada e carregada adequadamente.

O próprio processo de fabricação comercial de circuitos integrados (usando materiais cristalinos como Silício e Germânio), impõe limitações a ser consideradas para o projeto do teste:

- Estes materiais são anisotrópicos, tendo comportamento mecânico e elétrico que dependem da orientação cristalográfica.
- Este materiais não apresentam deformação plástica e são bastante frágeis, qualquer rachadura se propaga rapidamente ocasionando uma fratura.
- A eletrônica é fabricada numa fina camada na superfície do CHIP, sendo que grande parte do material tem como única função oferecer sustento mecânico ao dispositivo.
- Os dispositivos são fabricados usando tecnologia planar, em bolachas de semicondutor, com uma espessura e diâmetro determinados.
- Frequentemente os *dice* são entregues já afinados e cortados.
- A fabricação de protótipos é cara e demorada, por isso, a quantidade de amostras é limitada.

A preparação das amostras resulta ser um passo fundamental para o sucesso do teste, qualquer imperfeição que possa concentrar esforços ou distorcer o perfil do estresse tem que ser eliminada. Cortes limpos e bordas polidas são necessários para eliminar rachaduras, uma vez que o material é frágil e muito suscetível a fraturas, isto que aumenta o tempo e os cuidados necessários para preparar as amostras.

Outros grupos de pesquisa em piezo-efeitos em semicondutores usaram metodologias diferentes para aplicar um uniaxial, incluindo: Ensaio de tração [9, 27], pressão hidrostática [25, 65], Ensaio de torção [37], Ensaio de flexão em vigas com fixação em cantilever [56], Ensaio de flexão de três pontos e Ensaio de flexão de quatro pontos [32, 15]. Todos eles precisam cortar várias amostras de *wafers* semicondutoras, para diferentes direções desejadas, para depois aplicar o estresse. Este processo consome uma quantidade significativa de tempo e recursos, assim como também compromete a precisão, já que amostras diferentes são usadas para observar o comportamento anisotrópico.

Em seguida, descrevemos algumas da metodologias mencionadas.

6.1.1 Pressão hidrostática

Para este tipo de teste, a amostra é colocada como membrana entre duas câmaras com pressões diferentes. A diferença de pressão estica e deforma a membrana, como ilustrado na Figura 6.1. Este tipo de montagem já é usado em sensores de pressão e tem como principal

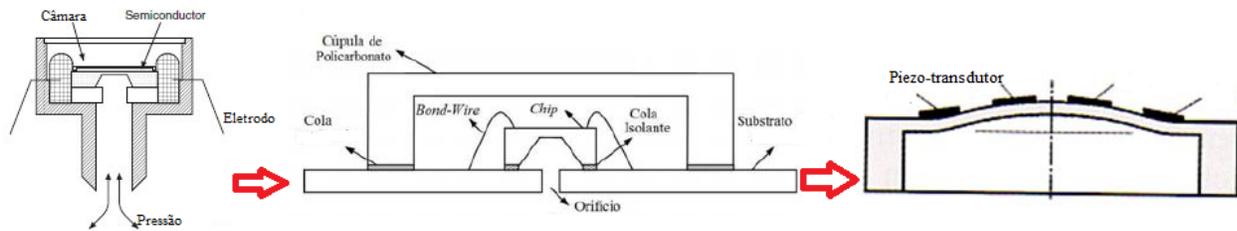


Figura 6.1: Detalhe no teste de pressão hidrostática, exemplificando a montagem e empacotamento do CHIP, também ilustra a deformação da membrana e o posicionamento dos sensores [6].

vantagem a possibilidade de se utilizar o mesmo processo de empacotamento desenvolvido para este tipo de sensor [6, 66, 83].

O estresse é proporcional à pressão e inversamente proporcional à espessura da membrana. Deste modo, é comum que algum tipo de processo adicional seja feito no CHIP fabricado para reduzir a espessura do material, já seja para afiná-lo ou uma micro-maquinação construir uma membrana [5].

No centro da membrana, a pressão hidrostática induz um estresse com componentes longitudinal e transversal idênticos. Contudo, frequentemente os dispositivos são posicionados na borda da membrana, onde existe um concentrador de esforços que induz a uma deformação uniaxial e um estresse magnitude muito maior.

A direção e a magnitude do estresse dependem da orientação do sensor, da distancia de separação com a borda e da espessura da membrana, parâmetros que e não pode ser alterados uma vez fabricado e encapsulado o dispositivo.

6.1.2 Ensaio de tração

A amostra de prova é submetida à força longitudinal que tende a alongá-la, como ilustrado na Figura 6.2. Pode-se afirmar que o estresse está uniformemente distribuído na área da seção transversal da amostra e que todas as deformações no material são uniformemente distribuídas [9, 84].

Deste modo, resulta simples descrever a magnitude do estresse como $\sigma = F/A$, estresse que esta sempre alinhado longitudinalmente com a amostra de prova. Como principal vantagem a ser destacada em este tipo de ensaio, a deformação está distribuída uniformemente, o que permite posicionar o sensor em qualquer parte da superfície.

A área da seção transversal pode ser arredondada ou retangular, mas tem que ser constante em toda a largura da amostra. Cada amostra tem que ser cortada da *wafers* seguindo a direção cristalográfica desejada, o que aumenta o número de amostras requeridas, vez que cada wafer pode ser cortada seguindo uma única direção.

As amostras requerem uma preparação especial: as bordas precisam ser polidas para eliminar asperezas que possam induzir fratura; e os extremos devem ser preparados para fixar as amostras no aparato de teste.

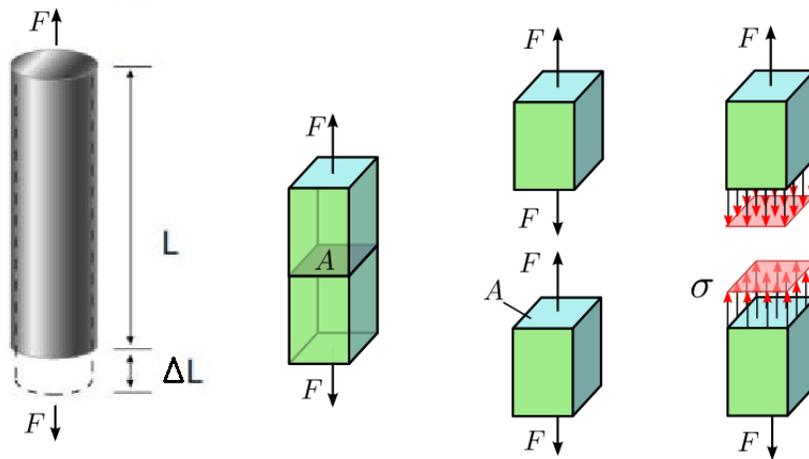


Figura 6.2: Amostra em ensaio de tração e distribuição de estresse (dentro da área da seção transversal) [9].

6.1.3 Ensaio de torção

A amostra de prova é submetida a um torque que tende a torcê-la, como ilustrado na Figura 6.3. A torção deforma o material, entretanto, tal deformação e o estresse não estão uniformemente distribuídos na área da seção transversal da amostra, sendo que o estresse é máximo na superfície. Usando resistência dos materiais, pode ser determinado o estresse máximo, que no caso da amostra cilíndrica, como ilustrada na Figura 6.3, pode ser escrita como $\tau_{max} = 16 * TORQUE / \pi D^3$. Este estresse de cisalhamento está sempre alinhado transversalmente com a amostra de prova. Assim, o sensor deve ser posicionado em qualquer parte da superfície externa para aproveitar o máxima deformação [84, 85].

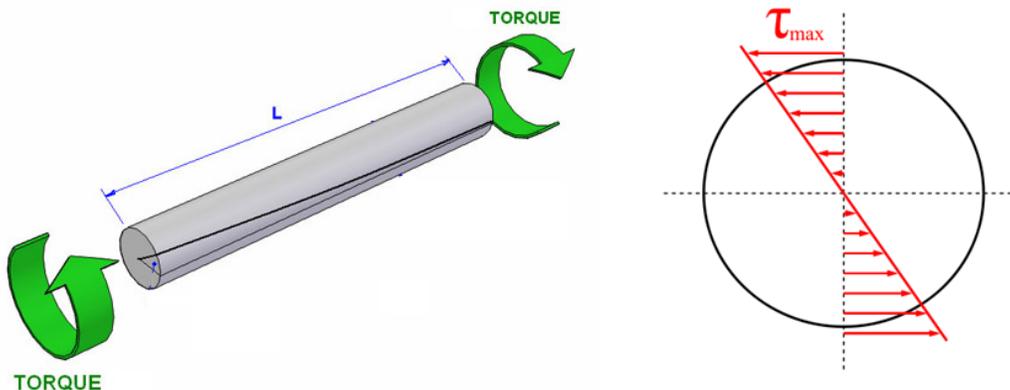


Figura 6.3: Amostra em ensaio de torção e distribuição de esforço de cisalhamento, dentro da área da seção transversal [85].

Como foi afirmado anteriormente, a área da seção transversal pode ser arredondada ou retangular, porém, a distribuição do estresse depende do momento de Inercia da área, que tem que ser calculado para cada geometria. Cada amostra tem que ser cortada da *wafer* seguindo a

direção cristalográfica desejada, similar ao ensaio e à tração. Entretanto, a fixação requer uma preparação menor que a tração, já que não existe força transversal.

6.1.4 Ensaio de flexão

A amostra de prova é submetida a um momento fletor que tende a dobrá-la, como ilustrado na Figura 6.4. Nem a deformação, nem o estresse estão uniformemente distribuídos, vez que uma parte da amostra esta sendo comprimida, enquanto a superfície oposta é esticada [86, 27, 26, 87, 85]. Contudo, é possível afirmar que a magnitude máxima do estresse está na superfície, lugar onde precisam ser posicionados os sensores. A distribuição do estresse depende do momento de Inercia da área e tem que ser recalculado para cada geometria .

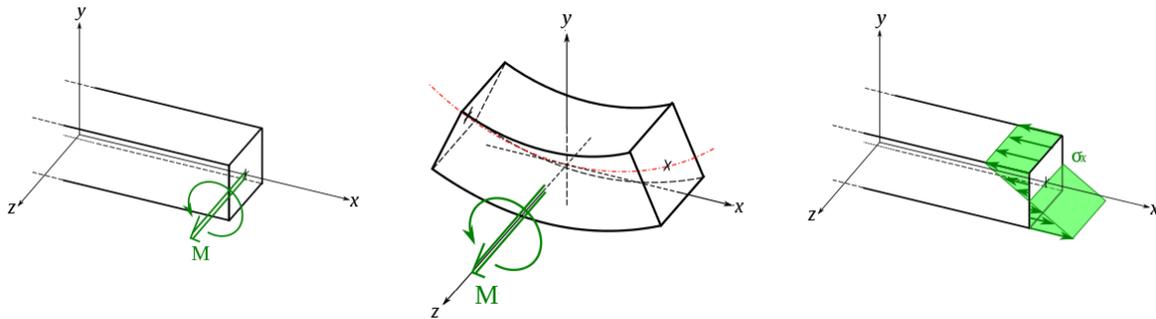


Figura 6.4: Amostra em ensaio de torção e, distribuição de esforço de cisalhamento dentro da área da seção transversal [86].

Este tipo de teste é recomendado para materiais frágeis, incluindo semicondutores, vez que as fixações são mais simples que as requeridas para outros testes, mas principalmente devido a que um momento fletor controlado reduz a propagação de fraturas [86, 85].

Aliás, existem 3 tipos de ensaios de flexão que são comumente usados: viga em Cantilever, que é ancorada apenas em uma extremidade, gerando tensão de cisalhamento e momento no suporte; teste de flexão em 3 pontos, onde a amostra é posicionada em suportes simples aplicando uma força única entre os suportes; e teste em quatro pontos, muito similar ao de três pontos, mas com um segundo ponto de aplicação de força. Estes ensaios e a distribuição de forças em cada um estão ilustrados na Figura 6.5.

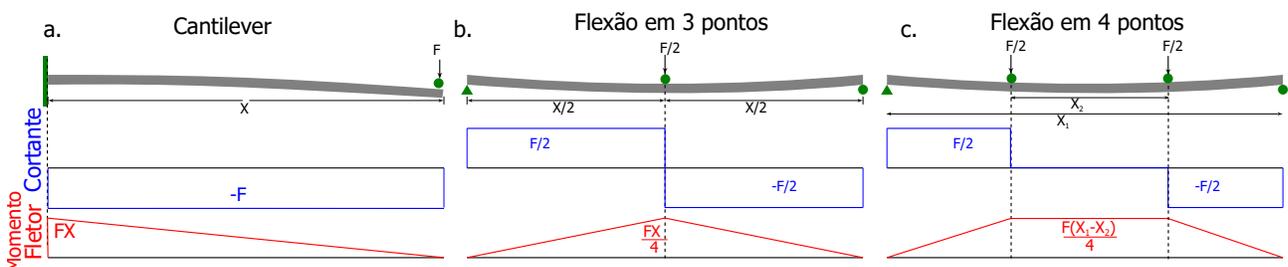


Figura 6.5: Perfil de flexão, força de cisalhamento e momento fletor: a) Viga em Cantilever; b) Teste de flexão de três pontos; c) Teste de flexão de quatro pontos [86].

As vigas em Cantilever precisam ser firmemente engastadas em uma das extremidades, o que requer cuidados adicionais e também agrega um ponto de concentração de esforços no lugar em que é fixada. De outro modo, os suportes simples equivalem a apoios, por tanto não agregam momentos adicionais nem concentradores de esforços.

No teste de três pontos, a carga é aplicada no meio da amostra, aparece assim um ponto de maior esforço e maior deformação no meio da viga. Resulta vantajoso a adição de um quarto ponto, vez que duas forças simétricas geram uma área no meio da viga, com um momento fletor máximo e constante, além de uma força de cisalhamento muito baixa, como pode ser observado na Figura 6.5. Esta área intermediária fornece as condições desejadas para testar material semicondutor, dado que o momento constante gera um esforço constante ao longo da superfície, sem o esforço de cisalhamento induzida pela força de cisalhamento [27].

O desenvolvimento analítico do teste de quatro pontos e o aparelho projetado para caracterizar piezo-transdutores em silício serão apresentados em detalhe na próxima seção.

6.2 Ensaio de flexão de quatro pontos

Em um teste de flexão, a amostra é colocada horizontalmente enquanto é carregada com forças verticais, ocasionando o aparecimento da força cortante e do momento fletor no material, como pode ser observado na Figura 6.5. O momento fletor dobra a amostra, enquanto a força cortante induz estresse de cisalhamento no sólido. O momento fletor é altamente desejado para a caracterização dos dispositivos, já que produz um estresse uniaxial longitudinal com a superfície.

Contudo, o estresse de cisalhamento não é desejado, já que agrega um esforço perpendicular ao plano. No teste de quatro pontos notamos uma área que apresenta as condições almejadas para o teste, dado que na parte central da viga: não existe força cortante; e o momento fletor no material é máximo.

A resistência dos materiais, análise estática da estrutura e teoria de flexão de vigas de Euler-Bernoulli permitem modelar a relação entre força aplicada, deslocamento vertical, deflexão e esforço na configuração de quatro pontos.

Usando o diagrama apresentado na 6.5.c., onde x_1 e x_2 são, respectivamente, as distâncias entre os suportes e os pontos de aplicação da força, enquanto F é a magnitude da força, o valor do momento máximo pode ser escrito como:

$$M_{max} = \frac{F(x_1 - x_2)}{4} \quad (6.1)$$

Agora, assumindo que a amostra tem um área transversal retangular, com momento de inercia I_x e uma espessura constante t , a tensão na superfície em um sólido, sob um momento fletor, é:

$$\sigma = Mt/2I_x \quad (6.2)$$

Como a amostra é fabricada utilizando um material sólido, com módulo de Young Y , a deformação pode ser calculada utilizando a teoria da elasticidade, $\varepsilon = \frac{\sigma}{Y}$. E, empregando a teoria da flexão em vigas de Euler-Bernoulli podemos relacionar o deslocamento vertical com o momento flexor e o estresse, como:

$$\frac{d^2z}{dx^2} = \frac{M(x)}{YI_x} = \frac{2\sigma}{tY} = \frac{2\epsilon}{t} \quad (6.3)$$

6.2.1 Teste de flexão em amostras circulares

O teste de flexão de quatro pontos padrão utiliza vigas uniformes (que não permitem alterar a orientação do estresse). Para este trabalho, apresentamos uma modificação do aparelho de flexão de quatro pontos, substituindo a viga por um disco de espessura uniforme (mesma geometria da *wafers* usada no projeto de circuitos integrados), como mostrado na Figura 6.7. A montagem segue o mesmo princípio do teste de tradicional e esta projetado para induzir um estresse uniaxial constante na área intermediária do disco. Entretanto, uma vez que a amostra é circular e não está fixada à estrutura, é possível girar a amostra e alinhar a deformação conforme a orientação desejada. Deste modo, o mesmo dispositivo pode ser testado em diferentes orientações, em vez de precisar preparar várias amostras para diferentes direções, aumentando a precisão e a exatidão do teste e reduzindo a quantidade de amostras requeridas.

Nos aparatos de testes de flexão, a força aplicada está relacionada com o deslocamento vertical entre os apoios, relação que depende da geometria e do material da amostra, e pode ser encontrada integrando a equação 6.3. Usando os apoios fixos como referência, podemos escrever o deslocamento vertical entre os suportes Δ_Z e os pontos de aplicação de força, como:

$$\Delta_Z = \frac{M_{max}(x_1 - x_2)(x_1 + 2x_2)}{6Y_\lambda I_x} = \frac{F(x_1 - x_2)^2(x_1 + 2x_2)}{24Y_\lambda I_x} \quad (6.4)$$

Podemos substituir pelo estresse máximo na superfície:

$$\Delta_Z = \frac{\sigma_{max}(x_1 - x_2)(x_1 + 2x_2)}{6tY_\lambda} \quad (6.5)$$

E assim, para determinar a elongação na superfície, usamos o comportamento elástico do material:

$$\epsilon = \frac{\sigma}{Y_\lambda} = \frac{6\Delta_Z t}{(x_1 - x_2)(x_1 + 2x_2)} \quad (6.6)$$

Se observa que a elongação depende do deslocamento vertical, da distância entre os suportes e da espessura da amostra. Não depende da força aplicada, nem das propriedades do material. Entretanto, é evidente que um material mais rígido requer uma força maior para conseguir o mesmo deslocamento vertical.

6.2.2 Análises de Modelos de Elementos Finitos do estresse no disco

Modelos do disco e do ensaio de flexão de quatro pontos foram desenvolvidos para: simular a resposta mecânica do disco ao ensaio de quatro pontos; observar a distribuição da deformação e estresse mecânico; e simular o comportamento do dispositivo sensor na superfície do disco. Métodos e análises de Elementos finitos e o simulador COMSOL MULTIPHYSICS foram usados para obter a solução numérica.

Os resultados, para um disco de aço com um CHIP de silício colado, podem ser observados na Figura 6.6. Observe que existe uma área no meio do disco, onde a distribuição de estresse e a deformação são constantes, este é o lugar adequado para posicionar o sensor.

Também pode ser notado que ainda que a deformação seja constante no meio do chip, o estresse superficial é ligeiramente diferente entre o disco e o CHIP. Diferença explicada ao se lembrar que os módulos de Young do são diferentes. Além disso, observe que a distribuição de estresse e a deformação não são uniformes nas bordas do CHIP. Portanto, o dispositivo sensor de estresse deve ser colocado próximo ao meio do chip, para evitar qualquer efeito inserido pela borda, incluindo a concentração de esforço ou o menor nível de deformação.

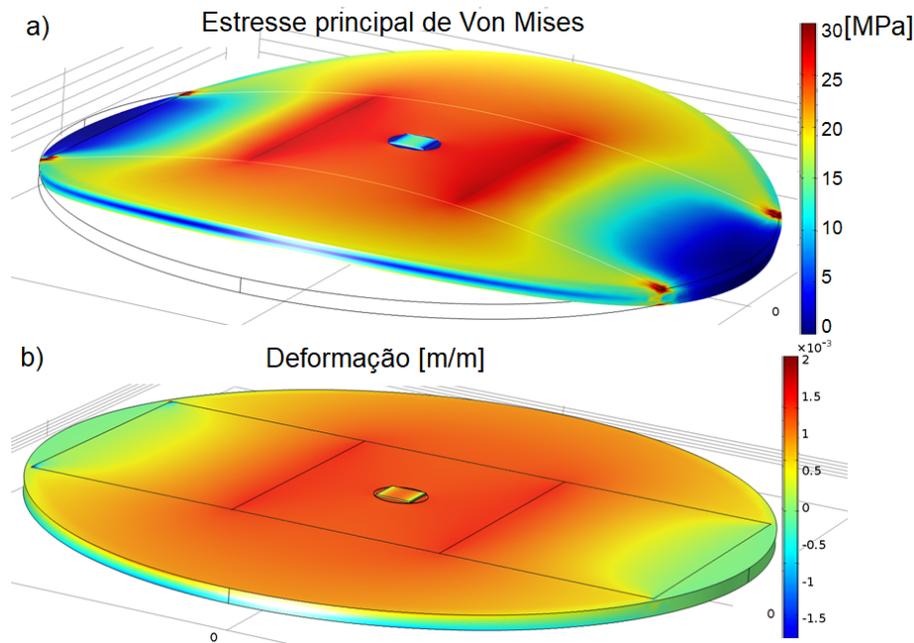


Figura 6.6: Resultados das simulações dos modelos de Elementos Finitos - *FEM* para um disco em um ensaio de quatro pontos: a) perfil de curvatura e tensão superficial; b) deformação uniaxial.

6.2.3 Aparato de teste de flexão em quatro pontos

Uma estrutura mecânica para o teste de quatro pontos em um disco foi projetada segundo o esquema ilustrado na Figura 6.7. O aparato foi fabricado em alumínio e aço inoxidável, especialmente projetado para uma *wafer* de silício de quatro polegadas. Está composto de: uma base; três colunas; uma tampa superior (onde suportes fixos são posicionados); e um atuador linear que move os suportes internos e aplica o deslocamento vertical.

O posicionamento dos suportes é contrário à tradicional configuração do ensaio de flexão de quatro pontos, justamente para deixar a área livre no topo, onde as conexões elétricas e o instrumento de medição têm acesso ao chip. A distância entre as colunas é igual ao diâmetro de *wafer* de 4 polegadas, o que permite manipular o disco e depois colocá-lo na mesma posição. As colunas são usadas como trilhos, para garantir o deslocamento linear dos rolamentos lineares da base móvel e, assim, reduzir o atrito e garantir um movimento suave.

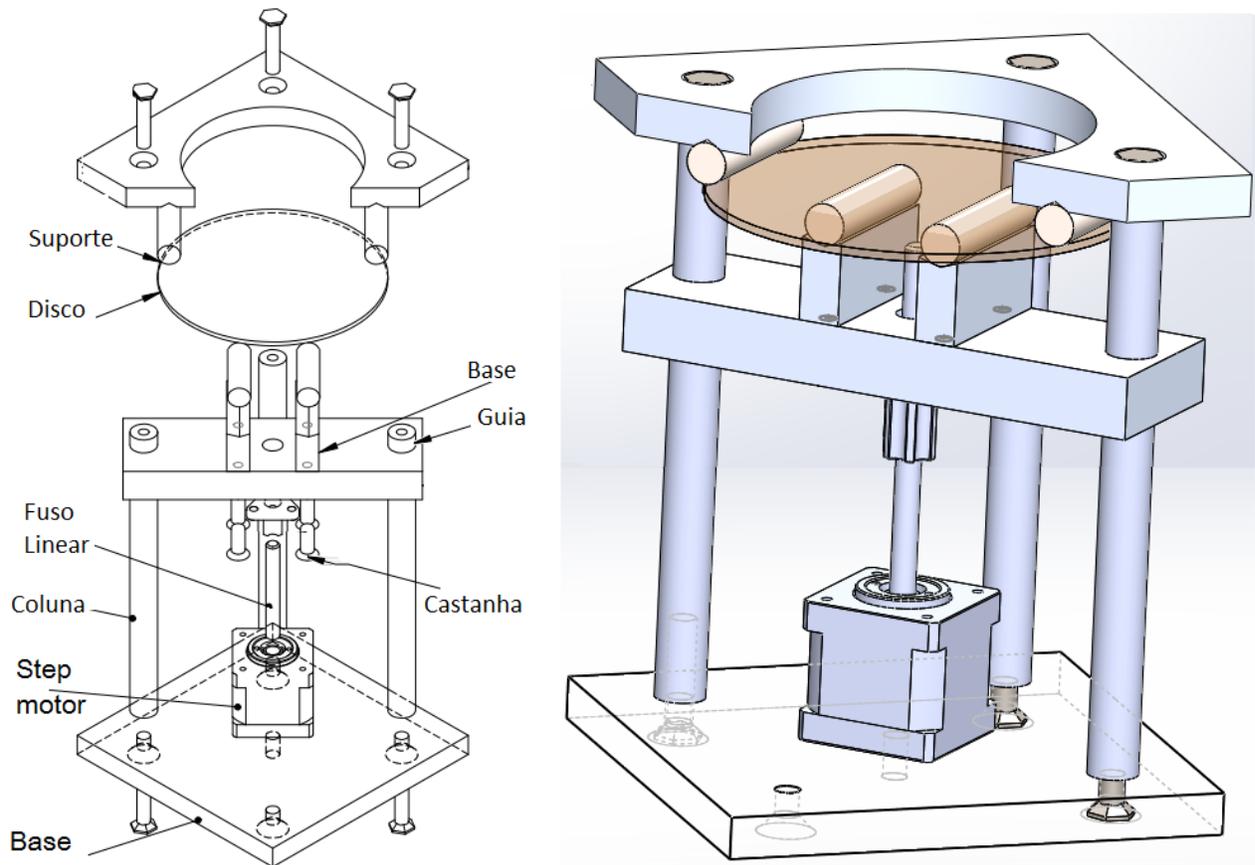


Figura 6.7: Vista explodida e diagrama de montagem do aparato de ensaio de flexão de quatro pontos em discos.

Um fuso linear de passo de 2 mm e um motor de passo NEMA-23 foram usados para construir um atuador linear (com uma resolução máxima de 5 μm /passo). Uma foto do aparato é mostrada na Figura 6.8.

A força real no atuador não é monitorada, uma vez que o esforço e o estresse superficial estão relacionadas ao deslocamento vertical.

Adicionalmente, são utilizados os seguintes aparelhos para acionar o aparato de teste de flexão: uma fonte de alimentação regulada; um circuito controlador/driver para o motor de passo; uma placa de aquisição de dados DAQx; e um computador com o software LabVIEW da National Instruments. O sensor também foi polarizado, controlado e medido usando: a placa de aquisição de dados DAQx; e algumas fontes e instrumentos controlados; todo controlado pelo computador. A montagem experimental completa está ilustrada na Figura 6.9. Cada programa de teste foi desenvolvido usando a ferramenta LABVIEW da National Instruments®.

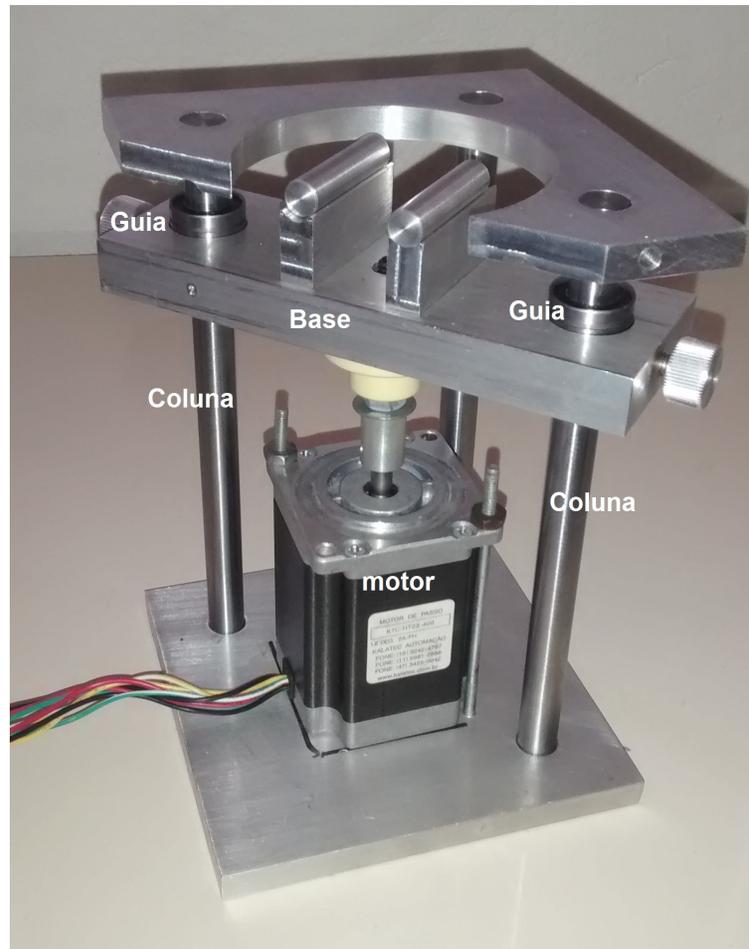


Figura 6.8: Fotografia do aparato fabricado.

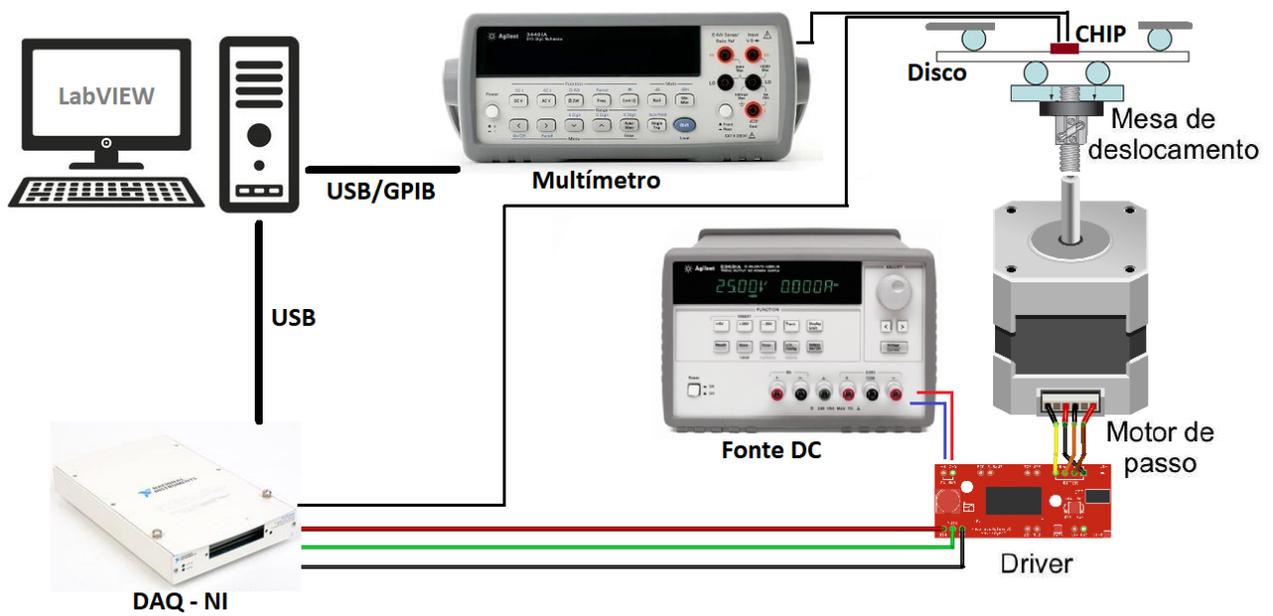


Figura 6.9: Diagrama de Instrumentos usados no teste mecânico.

6.3 CHIPS de silício aderidos a um disco de metal

Nem sempre é possível utilizar várias *wafers* de silício como amostras para o teste de flexão, já seja por limitação de recursos ou porque a fábrica entrega os dispositivos já segregados e prontos para o empacotamento.

Independente de qual seja o caso, os CHIPS já cortados ou circuitos empacotados, também podem ser testados com o aparato e metodologia previamente descritos. Nesses casos, as amostras devem ser aderidas a um substrato circular (usando a tecnologia, métodos e mecanismos que são padrão de empacotamento eletrônico, por exemplo).

Para este projeto de pesquisa, onde os dispositivos foram manufaturados como parte de rodadas de fabricação com múltiplos projetos de vários grupos diferentes, os dispositivos foram entregues já polidos e cortados. Deste modo, os CHIPS foram colados diretamente em um disco metálico e as interconexões elétricas (Bondwires) foram feitas com um empacotamento furado, como mostrado na Figura 6.10.

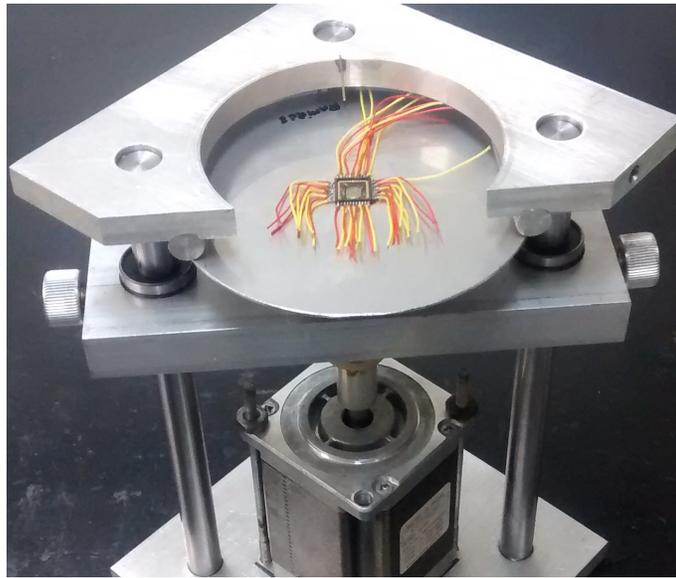


Figura 6.10: Dispositivo de silício colado ao disco de metal para ser testado no aparato de flexão de quatro pontos.

Foram feitos ensaios com discos de diferentes materiais (incluindo Aço Inoxidável, Alumínio e placa de circuito impresso FR-4); e várias substâncias adesivas utilizadas para colar componentes microeletrônicos e extensômetros. Os resultados destes estudos estão documentados como apêndice deste documento.

Ambos os discos metálicos apresentaram uma excelente resposta mecânica e pouca deformação permanente, porém a placa de FR-4 no processo de cura dos adesivos e no teste.

Após testar algumas substâncias disponíveis, determinamos que o *underfill* para BGAs da LOCTITE, identificado como ECOBOND XE1218, tem excelentes características: ele não adiciona estresse remanescente ao chip após a cura, e tem uma boa transmissão da deformação da superfície do metal para a amostra de silício.

Para comparar a deformação do chip de silício com o Modelo de elementos finitos desen-

volvido, amostras de silício coladas com este material foram testadas aplicando flexão, e o perfilômetro de superfície BRUKER Dektak foi usado para medir a deflexão na superfície. A Figura 6.11 mostra o perfil de superfícies para diferentes deslocamentos nos suportes verticais no ensaio de flexão de quatro pontos. As linhas sólidas são as medidas com o perfilador Dektak, enquanto linhas tracejadas são os resultados da simulação FEM.

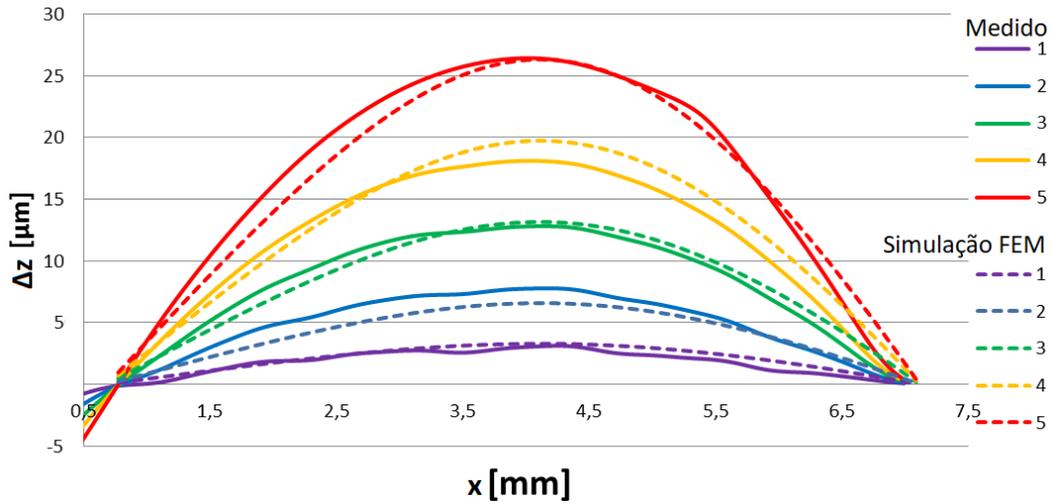


Figura 6.11: Medições experimentais e resultados da simulação para a deflexão na superfície do CHIP de silício, quando este é aderido num substrato metálico sob flexão para diferentes deslocamentos verticais.

A transmissão da deformação e o estresse entre a superfície do disco e o CHIP é influenciada pela adição do material adesivos, principalmente porque material usado é um polímero muito mais flexível que o silício e o metal.

O sensor está posicionado na superfície superior do CHIP, justamente para facilitar as interconexões elétricas. Porém, ao não estar em contato direto com o disco nem com o adesivo, termina reduzindo e mudando a distribuição do estresse efetivamente transmitido até o sensor.

Uma constante de proporcionalidade G_f é adicionada como fator de correção para compensar as diferenças induzidas pelo processo de adesão. O estresse na superfície do chip pode ser calculado agregando este fator de correção à equação 6.6, que descreve a elongação na superfície do disco, como:

$$\sigma = \varepsilon Y_\lambda = G_f \frac{6\Delta_z t}{(x_1 - x_2)(x_1 + 2x_2)} Y_\lambda$$

Usando os resultados da simulação de Elementos Finitos, estimamos o fator de correção $G_f = 0.788$ para a montagem apresentada.

Capítulo 7

Caracterização experimental dos piezo-resistores de oito terminais

Este capítulo apresenta a caracterização experimental dos sensores de estresse mecânico tipo piezo-resistores de oito terminais (8TSP), cuja fabricação está descrita no Capítulo 4, utilizando o aparato de ensaio de flexão de 4 pontos descrito no Capítulo 6. Foram caracterizados 3 tipos de piezo-resistores diferentes, diferenciados segundo as camadas usadas na área ativa:

- 8TSP tipo-n simples, com área ativa construída empregando uma camada de N-WELL (poço tipo-n), que será referido como piezo-resistor "*tipo-n A*".
- 8TSP tipo-n com camada de implantação tipo-p, com área ativa construída aplicando uma camada de N-WELL (poço tipo-n). Agregando uma camada de implantação superficial para evitar a interface Oxido-Semicondutor na área ativa e, assim, diminuir o ruído flicker, que será referido como piezo-resistor "*tipo-n B*".
- 8TSP tipo-p, com área ativa construída usando implantação tipo-p, sobre uma camada de N-WELL (poço tipo-n), que será referido como piezo-resistor "*tipo-p*".

Observando os resultados da caracterização, foi possível inferir que os sensores se adequam muito melhor à aplicação desejada. Por isso, focamos nossa atenção neste tipo de dispositivo, observando experimentalmente a deriva térmica da resistência e a sensibilidade ao estresse mecânico.

Concluimos este capítulo apresentando o sistema que permite comutar a direção da corrente e um circuito que compensa a deriva térmica da sensibilidade, para finalmente demonstrar como o sensor piezo-resistivo 8TSP pode ser usado para determinar o estado de estresse na superfície do silício.

7.1 Validação do funcionamento do dispositivo

Este primeiro estágio de teste foi utilizado para validar o funcionamento do CHIP, no qual estão integrados os dispositivos piezo-resistores de oito terminais (8TSP).

Para a validação do *chip*, foram necessárias as seguintes etapas:

- Empacotamento do dispositivo;

- Montagem e polarização do dispositivo;
- Teste para a validação de funcionamento, que incluem:
 - A polarização do circuito usando tensão nominal de 5V, a fim de verificar a corrente consumida pelo CHIP;
 - A medida de resistência entre os diversos terminais, usando o método de quatro pontas;
 - Polarização de cada 8TSP com uma tensão nominal conhecida e medindo a tensão em todos os outros terminais, incluindo a tensão de *offset* (desvio de zero) nos contatos sensores;
 - Repetir o passo anterior usando outros terminais, com a intenção de mudar a direção de corrente. Observando os valores de tensão entre os contatos-sensor e corrente, verificando que sejam compatíveis entre todas as direções.

7.1.1 Montagem do experimento

Neste experimento foram medidos os seguintes parâmetros: resistência entre os terminais, valor da tensão de *offset* e corrente entre contatos-corrente (quando aplicada uma tensão de polarização).

Todos os testes foram feitos em temperatura ambiente, usando a placa de aquisição de dados NI USB-6009 e um multímetro. Uma tensão de $V_s = 5V$ polariza o dispositivo, enquanto 7 canais da placa de aquisição são usados para medir a tensão em cada um dos terminais, como ilustrado na Figura 7.1.

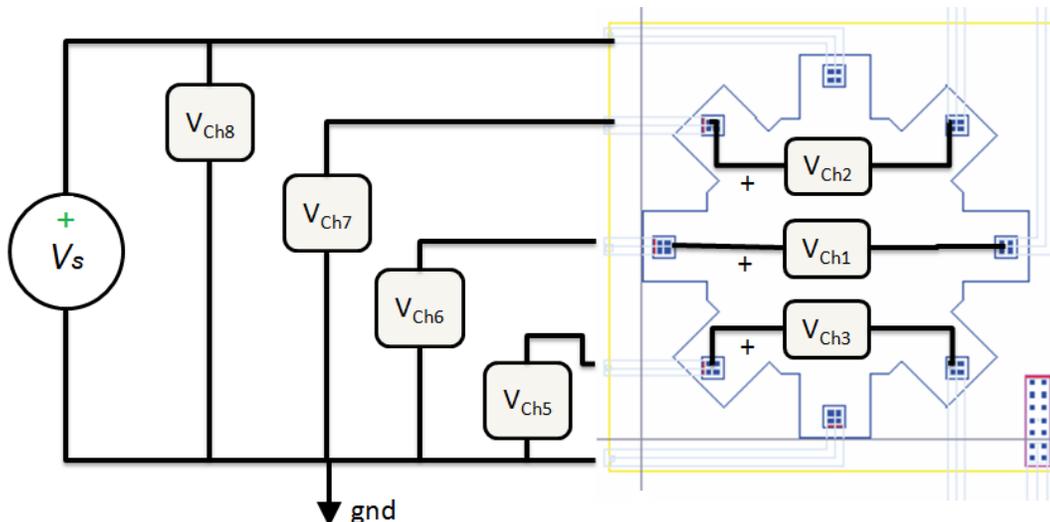


Figura 7.1: Montagem experimental para a caracterização do piezo-resistor de 8 terminais.

7.1.2 Resultados dos Testes de Validação

A resistência e a tensão de saída serão medidas em terminais opostos do dispositivo, ilustrado na Figura 7.2. A referência selecionada encontra-se entre os contatos C1 e C5, sentido alinhado com a direção cristalográfica [100]. Para facilitar a identificação da direção, relacionamos a nomenclatura da identificação dos resistores e a saída com a orientação do dispositivo. Assim, o ângulo φ representa o giro em relação a direção de referência que será usado na nomenclatura do resistor R_φ . Deste modo, temos que:

- o ângulo $\varphi = 0^\circ$ se refere ao resistor R_0 , medido entre os terminais $C1 \rightarrow C5$, alinhados com a direção de referência [100];
- R_{45} medida entre os terminais $C2 \rightarrow C6$, com ângulo $\varphi = 45^\circ$ em relação à referência;
- R_{90} entre $C3 \rightarrow C7$ e R_{135} entre $C4 \rightarrow C8$, orientados a $\varphi = 90^\circ$ e $\varphi = 135^\circ$, respectivamente.
- outros ângulos serão consideradas como medidas complementares ou redundantes, como $\varphi = 180^\circ, 225^\circ, 270^\circ, 315^\circ$.

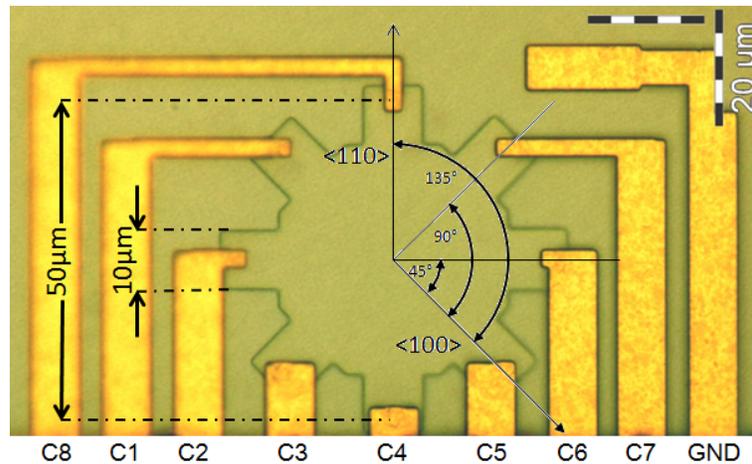


Figura 7.2: Imagem microscópica do piezo-resistor 8TSP de 8 terminais identificando os contatos.

A Tabela 7.1 resume os resultados medidos para três dispositivos. Contém os valores médios medidos para a resistência elétrica R_{in} , em cada possível sentido de corrente.

A despeito de todo o cuidado empregado, podemos esperar o aparecimento de algum estresse randômico remanescente na superfície dos sensores ou algum outro efeito que possa gerar um desvio de zero (tensão de *offset*). Por conseguinte, a próxima etapa do teste consistiu na medida da tensão de *offset* (desvio de zero quando não é aplicado estímulo mecânico controlado). Este resultado é mostrado na Tabela 7.2.

Com as condições de tensão de polarização e temperatura usadas (5V e 300K), cada tipo de dispositivo consome:

- uma corrente média de 1,6mA e potência de 7,8mW para os 8TSPs *tipo-n* A.

Tabela 7.1: Medição da Resistência de entrada para 3 piezo-resistores de 8 terminais.

Ângulo	Sentido da Corrente		Resistência R_{in} [Ω]		
			tipo-n A	tipo-n B	tipo-p
0°	I(C1, C5)	R_0	2,97K	3,08K	352
45°	I(C2, C6)	R_{45}	2,93K	3,06K	357
90°	I(C3, C7)	R_{90}	2,97K	3,06K	357
135°	I(C4, C8)	R_{135}	2,94K	3,05K	354
	Média		2963	3065	355

Tabela 7.2: Resultados da tensão de *offset* no empacotamento DIP.

Ângulo	Direção da Corrente	Tensão de <i>offset</i> [mV]		
		tipo-n A	tipo-n B	tipo-p
0°	I(C1, C5)	-0,8	-3,5	-15,9
45°	I(C2, C6)	6,1	2,8	1,4
90°	I(C3, C7)	0,9	4,9	15,9
135°	I(C4, C8)	-6,1	-6,8	-1,4

- uma corrente média de 1,5mA e potência de 7,6mW para os 8TSPs *tipo-n* B.
- uma corrente média de 14,1mA e potência de 70,5mW para os 8TSPs *tipo-p*.

7.1.3 Conclusões parciais do testes de Validação

Baseados nestes resultados, concluímos que:

- Os dispositivos piezo-resistor 8TSPs de oito terminais *tipo-n* têm valores de resistência e consumo muito parecidos, com uma diferença menor a 4%, a despeito do fato de uma camada de implantação *tipo-p* ter sido adicionada. Evidenciando que a espessura da implantação é muito pequena em comparação a profundidade do poço *tipo-n*.
- O piezo-resistor 8TSP em área *tipo-p* tem um valor de resistência menor que os *tipo-n*. Ainda que as lacunas tenham mobilidade menor do que os elétrons e que a espessura da camada de implantação seja muito menor que a do poço *tipo-n*. Evidenciando que a concentração de dopagem da camada implantada é muito maior que a do poço.
- Não existe uma diferença significativa da resistência medida em diferentes direções.
- A tensão de *offset* é considerável e aparece em todas as direções, para todas as amostras.
- É possível realizar medições em todas as direções do dispositivo.

7.2 Observações do efeito do estresse em 8TSP à temperatura ambiente e conclusões parciais

Validado o dispositivo, procedemos ao levantamento cuidadoso das características dos sensor 8TSPs. Inicialmente, caracterizamos os dispositivos em uma temperatura ambiente ($\sim 300\text{K}$) utilizando o ensaio de flexão em quatro pontos, conforme descrito no Capítulo 6. Como os coeficientes piezo-resistivos são altamente dependentes da concentração de dopagem e temperatura, o teste também se mostrou útil para determinar os valores nominais dos piezo-coeficientes de primeira ordem π_{11} , π_{12} e π_{44} , para o processo CMOS XFAB de $0,6\mu\text{m}$.

Para realizar uma caracterização apropriada do dispositivo, foram necessárias as seguintes etapas:

- Adesão do *die* sobre um disco metálico.
- Projeto e construção da montagem experimental descrita, que inclui:
 - Projeto da placa de circuito impresso e das conexões externas, para ligar os instrumentos de medição aos dispositivos;
 - Construção do aparato e montagem experimental;
 - Desenvolvimento do código que controla o aparato e o instrumentos de medição;
 - Montagem dos equipamentos e instrumentos necessários.
- Interconexão do piezo-resistor 8TSP, diretamente, sobre a placa de circuito impresso, ou ao empacotamento projetado;
- Estimular o dispositivo com uma deformação em uma direção determinada. Caracterizar o sensor, quantificando a sensibilidade ao estresse em todas as possíveis orientações.
- Rodar o disco, mudando a direção do estresse, para assim repetir a caracterização para esta nova orientação.

7.2.1 Variação da Resistência entre terminais opostos pelo efeito do estresse mecânico

Nos testes que estamos realizando não é necessário aplicar uma tensão para polarizar o sensor, contudo, é preciso polarizar o CHIP para realizar as medições. Inicialmente, usamos a medição de resistência pelo método de quatro pontas, ao mesmo tempo em que aplicamos uma deformação controlada nas amostras, enquanto as 4 medidas de resistores possíveis R_0 , R_{45} , R_{90} e R_{135} foram observadas. Para reduzir oscilações e a influência do ruído, foram realizadas múltiplas medidas em cada ponto, usando como valor nominal a média destas observações.

Inicialmente, focamos em duas direções relevantes diferentes, os ângulos $\lambda = 0^\circ$, 45° . Esses ângulos são bastante interessantes, pois estão alinhados com as principais direções cristalográficas na superfície do silício.

Em seguida, orientamos as amostras em outros ângulos intermediários $\lambda = 22,5^\circ$, $67,5^\circ$, 90° e $112,5^\circ$, para observar o comportamento sob estresse.

Para o piezo-resistor 8TSP tipo-n

A Figura 7.3 mostra a mudança relativa da resistência para cada caso. Podem ser observadas que para cada direção do estresse, quatro medições foram registradas, correspondentes aos quatro resistores R_0 , R_{45} , R_{90} e R_{135} . A regressão linear é usada para obter a inclinação da variação relativa da resistência, que equivale à sensibilidade da resistência ao estresse mecânico. As linhas sólidas representam as linhas de tendência obtida com a regressão, enquanto o coeficiente R^2 for superior a 0.97 para todos os casos. Evidencia-se assim uma forte dependência linear com o estresse.

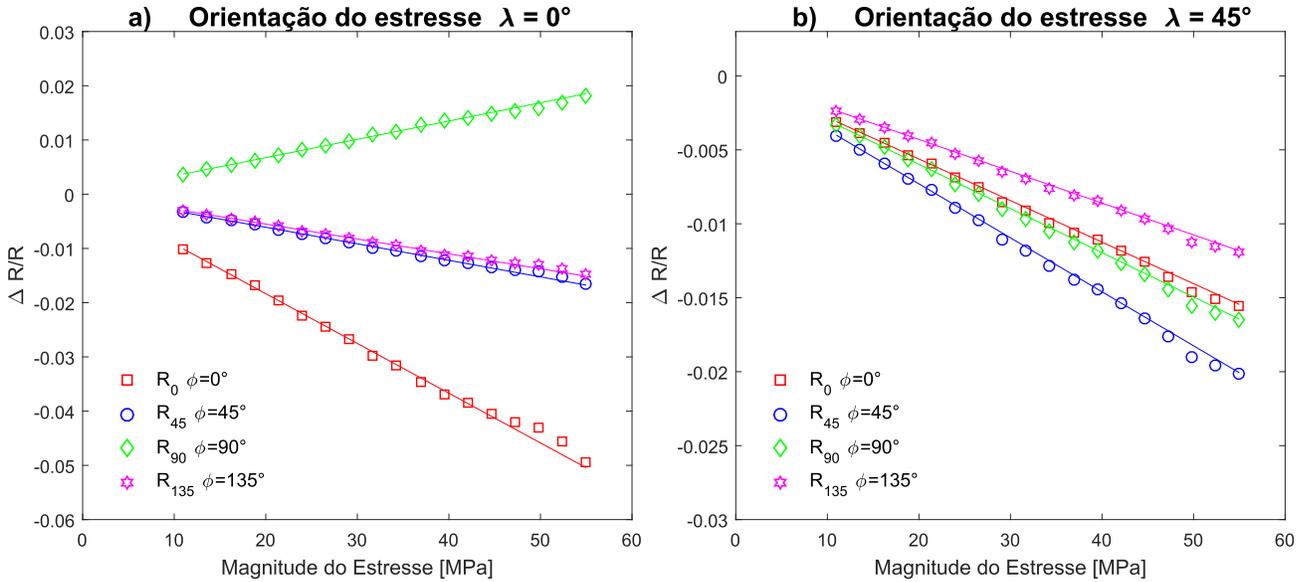


Figura 7.3: Resultado experimental para a variação relativa da resistência com estresse mecânico, para o piezo-resistor 8TSP tipo-n, para estresse orientado: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

É possível observar uma maior sensibilidade na medida de resistência para R_0 e R_{90} , quando a orientação de estresse é $\lambda = 0^\circ$, caso em que os piezo-coeficientes π_{11} e π_{12} são dominantes.

Repetimos o teste usando outros ângulos de orientação de estresse. A tabela 7.3 resume a inclinação de $\Delta R/R$ para cada orientação, a qual resulta ser a sensibilidade da piezo-resistência ao estresse mecânico. Estes resultados estão de acordo com o esperado, segundo a teoria da piezo-resistividade em Silício, que fundamenta o projeto do transdutor.

Tabela 7.3: Sensibilidade da variação relativa de resistência sob efeito do estresse mecânico [10^{-10}Pa^{-1}] para 8TSP em silício tipo-n, para cada orientação de estresse uniaxial λ .

$\lambda [^\circ]$	$\frac{\Delta R_0}{R_0}$	$\frac{\Delta R_{45}}{R_{45}}$	$\frac{\Delta R_{90}}{R_{90}}$	$\frac{\Delta R_{135}}{R_{135}}$
0	-9,69	-3,45	3,50	-3,48
22,5	-7,66	-4,02	0,86	-2,78
45	-3,50	-4,23	-3,52	-2,31
67,2	0,93	-3,96	-7,89	-3,21
90	3,47	-3,50	-9,71	-3,43
112,5	1,01	-2,72	-3,16	-3,98

Para o piezo-resistor 8TSP tipo-p

Repetindo o procedimento para o piezo-resistor 8TSP tipo-p, obtemos resultados similares, que foram resumidos na tabela 7.4 e ilustrados na Figura 7.4. Estes resultados estão também de acordo com o esperado para o silício tipo-p.

A Figura 7.4 mostra a mudança relativa da resistência para cada um dos quatro resistores R_0 , R_{45} , R_{90} e R_{135} . A regressão linear é usada para obter a sensibilidade da resistência ao estresse mecânico, linhas de tendência, e coeficiente R^2 (superior a 0.98 para todos os casos). Fica em evidência uma forte dependência linear com o estresse.

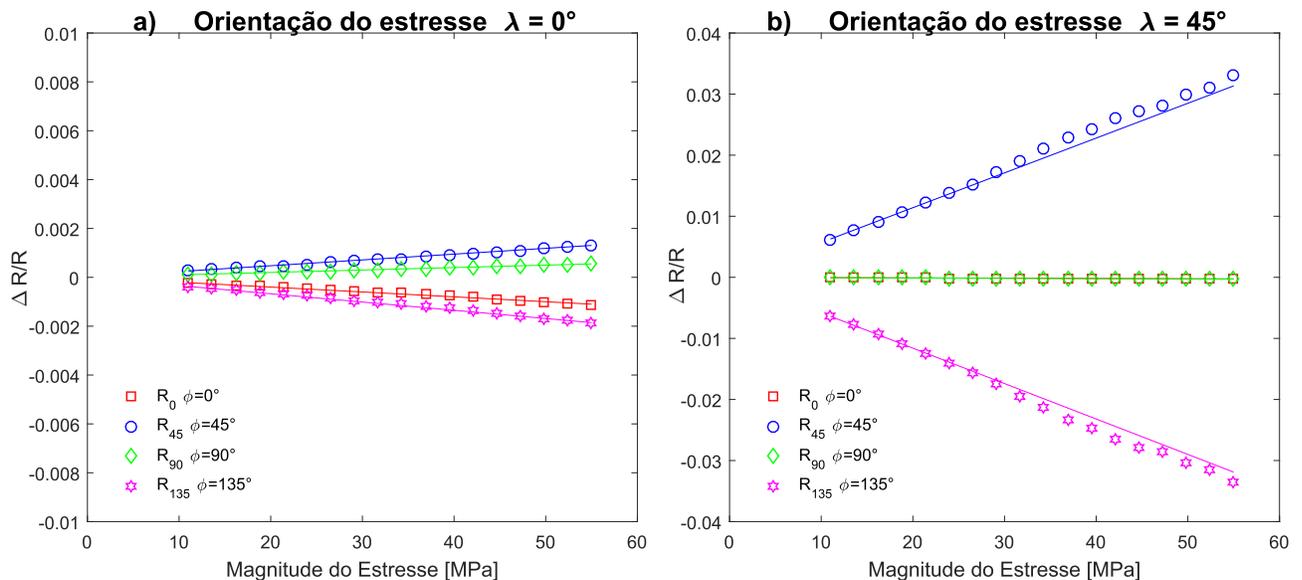


Figura 7.4: Resultado experimental para a variação relativa da resistência com estresse mecânico, para o piezo-resistor 8TSP tipo-p, para estresse orientado: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

A Tabela 7.4 resume a inclinação de $\Delta R/R$ para cada orientação, que é a sensibilidade da variação da resistência do piezo-resistor com o estresse. Estes resultados estão em conformidade ao esperado.

Diferente do tipo-n, a maior sensibilidade apareceu para R_{45} e R_{135} , quando a orientação de estresse é $\lambda = 45^\circ$, já que nesta orientação específica, a piezo-resistividade depende do piezo-

Tabela 7.4: Sensibilidade da variação relativa de resistência sob efeito do estresse mecânico [10^{-10}Pa^{-1}] de 8TSP em silício tipo-p, para cada orientação de estresse uniaxial λ .

$\lambda [^\circ]$	$\frac{\Delta R_0}{R_0}$	$\frac{\Delta R_{45}}{R_{45}}$	$\frac{\Delta R_{90}}{R_{90}}$	$\frac{\Delta R_{135}}{R_{135}}$
0	-0,21	0,25	0,27	-0,31
22,5	-0,15	4,02	0,16	-4,18
45	-0,08	5,63	-0,02	-5,71
67,2	0,05	3,86	-0,11	-3,86
90	0,14	0,50	-0,19	-0,43
112,5	0,21	-3,92	-0,16	3,98

coeficientes π_{44} , sendo este o piezo-coeficiente dominante em silício tipo-p. Em contraposição, todos os resistores R_0 , R_{45} , R_{90} e R_{135} permaneceram praticamente invariantes para $\lambda = 0^\circ$. Observamos a existência de alguma variação nos resistores R_{45} , R_{135} alinhados na direção $\langle 110 \rangle$, indicando algum erro do alinhamento.

7.2.2 Variação da tensão de saída nos contatos-sensor pelo efeito do estresse mecânico

Para este teste, polarizamos cada piezo-resistor 8TSP com uma tensão de $V_s = 5\text{V}$ entre contatos opostos, ainda sem o emprego do sistema de controle de direção de corrente. As seleções de contatos-corrente e contatos-sensor são realizadas manualmente e diretamente no dispositivo. A tensão de saída é observada nos terminais perpendiculares, deste modo, podemos polarizar o circuito em quatro direções diferentes, segundo o ângulo em que os contatos estão orientados $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° , obtendo 4 tensões de saída diferentes V_{out_0} , $V_{out_{45}}$, $V_{out_{90}}$ e $V_{out_{135}}$, como especificado na Tabela 7.5.

Tabela 7.5: Direção da corrente entre os diferentes contatos-corrente da placa octogonal.

Direção de alinhamento dos:		Ângulo	Tensão de	Direção
contatos-corrente	contatos-sensor	φ	saída	cristalográfica
I(C1, C5)	V(C3, C7)	0°	V_{out_0}	[100]
I(C2, C6)	V(C4, C8)	45°	$V_{out_{45}}$	[110]
I(C3, C7)	V(C5, C1)	90°	$V_{out_{90}}$	[100]
I(C4, C8)	V(C6, C2)	135°	$V_{out_{135}}$	[110]

Aplicando a deformação mecânica, medimos a saída diferencial entre os contatos-sensor. Inicialmente, focamos em duas direções relevantes diferentes, os ângulos $\lambda = 0^\circ, 45^\circ$, por estarem alinhados com as principais direções cristalográficas na superfície do silício. Em seguida, orientamos as amostras em outros ângulos intermediários $\lambda = 22,5^\circ, 67,5^\circ, 90^\circ$ e $112,5^\circ$, para observar o comportamento em outras orientações de estresse. Para reduzir as oscilações e a influência do ruído, foram realizadas múltiplas medidas para cada deformação, utilizando como valor nominal a média destas observações.

A sensibilidade do dispositivo é calculada usando a diferença de saída de tensão, normalizada na tensão de polarização do circuito:

$$\frac{1}{V_s} \frac{dV_{out}}{d\sigma} \approx \frac{\Delta V_{out}}{V_s} \quad (7.1)$$

A seguir, apresentamos as medições experimentais para os sensores fabricados.

Para o piezo-resistor 8TSP tipo-n

A Figura 7.5 mostra a variação da tensão de saída para cada orientação da polarização, no piezo-resistor 8TSP, tendo como base o estresse orientado nos ângulos $\lambda = 0^\circ$ e $\lambda = 45^\circ$. Podem ser observadas também quatro medições correspondentes às quatro orientações medidas, a saber, V_{out_0} , $V_{out_{45}}$, $V_{out_{90}}$ e $V_{out_{135}}$. Em cada gráfico, evidencia-se uma forte dependência linear com o estresse. A regressão linear é usada para obter tanto a sensibilidade da tensão de saída ao estresse mecânico para cada caso, quanto as linhas de tendência (representadas no gráfico pelas linhas sólidas), e o coeficiente R^2 (superior a 0.97 para todos os casos).

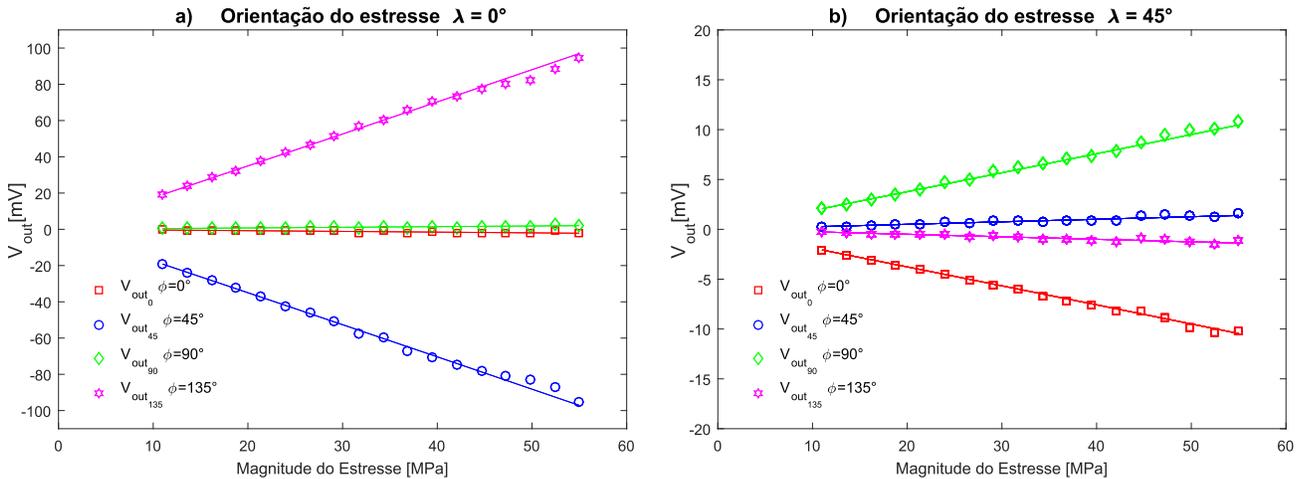


Figura 7.5: Resultado experimental para a variação da tensão de saída com o estresse mecânico, para o piezo-resistor 8TSP tipo-n para estresse orientado: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

É possível observar uma maior sensibilidade das tensões $V_{out_{45}}$ e $V_{out_{135}}$ quando a orientação de estresse é $\lambda = 0^\circ$, enquanto V_{out_0} e $V_{out_{90}}$ permanecem praticamente constantes. Entretanto, para a orientação de estresse $\lambda = 45^\circ$, as tensões $V_{out_{45}}$ e $V_{out_{135}}$ permanecem praticamente constantes, enquanto V_{out_0} e $V_{out_{90}}$ mudam com o estresse. Ainda assim, é claro que existe uma mudança maior para $V_{out_{45}/out_{135}}$ do que para V_{out_0}/out_{90} , vez que nestas orientações os piezo-coeficientes $\pi_{11} - \pi_{12}$ determinam a sensibilidade, sendo de valor maior em comparação com o piezo-coeficiente π_{44} no silício tipo-n.

Repetimos o teste utilizando outros ângulos de orientação de estresse. A Tabela 7.6 resume a inclinação da saída $\Delta V_{out}/V_s$ para cada orientação, que resulta ser a sensibilidade da tensão de saída do piezo-resistor 8TSP ao estresse mecânico. Estes resultados estão de acordo com o esperado (segundo a teoria da piezo-resistividade em Silício).

Tabela 7.6: Sensibilidade da variação da tensão de saída normalizada $\Delta V_{out}/V_s$ para 8TSP em Silício tipo-n, sob efeito do estresse mecânico [10^{-10}Pa^{-1}], para cada orientação de estresse uniaxial λ .

$\lambda [^\circ]$	$\frac{V_0}{V_s}$	$\frac{V_{45}}{V_s}$	$\frac{V_{90}}{V_s}$	$\frac{V_{135}}{V_s}$
0	-0,02	-7,66	-0,01	7,67
22.5	0,54	-5,32	-0,53	5,32
45	0,73	-0,10	-0,73	0,11
67.2	0,53	5,41	-0,52	-5,40
90	-0,01	7,67	-0,02	-7,66
112.5	-0,53	5,32	0,54	-5,32

Para o piezo-resistor 8TSP tipo-p

Repetindo o procedimento para o piezo-resistor 8TSP tipo-p, obtemos os resultados que foram resumidos na tabela 7.7 e ilustrados na Figura 7.6. Resultados consoantes ao esperado.

A Figura 7.6 mostra a variação das tensões V_{out_0} , $V_{out_{45}}$, $V_{out_{90}}$ e $V_{out_{135}}$ para estresse orientado a $\lambda = 0^\circ$ e $\lambda = 45^\circ$. A regressão linear é usada para obter a sensibilidade da tensão de saída ao estresse mecânico, as linhas de tendência, e o coeficiente R^2 (superior a 0.95 para todos os casos). Evidencia-se assim uma forte dependência linear com o estresse.

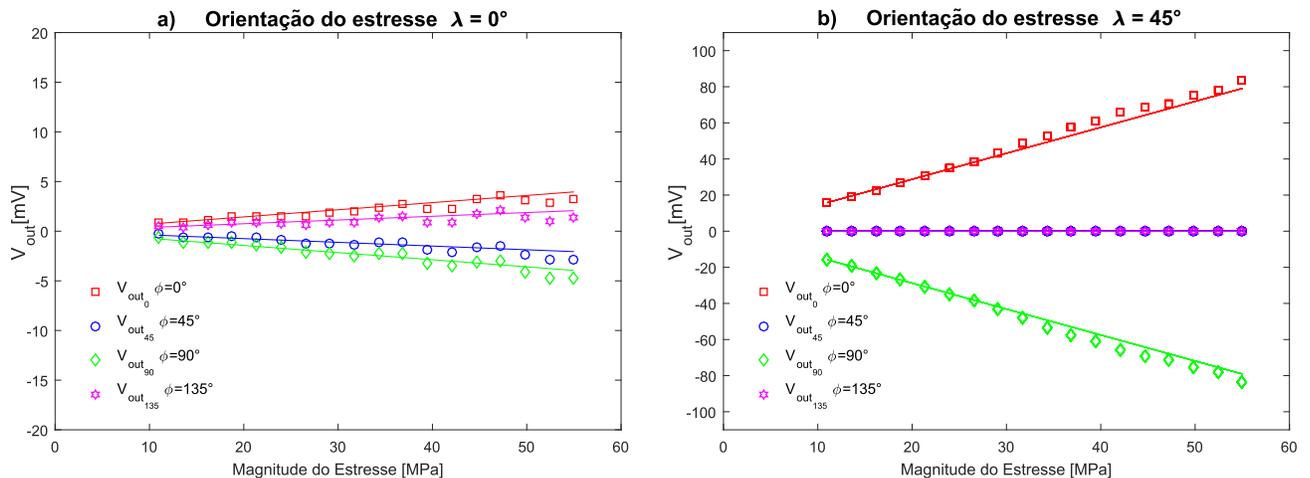


Figura 7.6: Resultado experimental para a variação da tensão de saída, com o estresse mecânico, para o piezo-resistor 8TSP tipo-p, para estresse orientado: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

Diferente do tipo-n, a maior sensibilidade aparece para V_{out_0} e $V_{out_{90}}$ quando a orientação de estresse é $\lambda = 45^\circ$, $V_{out_{45}}$ e $V_{out_{135}}$ mudam muito pouco em decorrência do estresse. Resultado explicado pela dominância do piezo-coeficiente π_{44} no silício tipo-p. Deste modo, o piezo-resistor 8 TPS tipo-p apresenta uma sensibilidade muito inferior em algumas direções de estresse.

Tabela 7.7: Sensibilidade da variação da tensão de saída normalizada V_{out}/V_s , sob efeito do estresse mecânico [10^{-10}Pa^{-1}], para cada orientação de estresse uniaxial λ , em Silício tipo-p .

$\lambda[^\circ]$	$\frac{V_0}{V_s}$	$\frac{V_{45}}{V_s}$	$\frac{V_{90}}{V_s}$	$\frac{V_{135}}{V_s}$
0	0,28	-0,15	-0,28	0,15
22,5	4,26	-0,16	-4,36	0,15
45	5,74	0,01	-5,78	0,01
67,2	3,85	0,12	-3,76	-0,11
90	-0,28	0,12	0,24	-0,13
112,5	-4,26	0,10	4,26	-0,10

O dispositivo consome uma corrente média de 14mA (polarizado com 5V a 300K de temperatura). Apresenta um consumo muito maior do que o piezo-resistor de oito terminais tipo-n. Comparativamente, o piezo-resistor tipo-p não resulta adequado para observar todos os possíveis componentes do estresse na superfície do CHIP.

7.2.3 Comparação dos resultados experimentais com as simulações de modelos de elementos Finitos

Os resultados observados foram comparados com as simulações dos modelos de elementos finitos do 8TSP. Foram efetuadas simulações orientando o estresse na mesma direção utilizada no experimento e com condições de polarização idênticas.

Algumas simplificações foram realizadas no modelo, por exemplo: considerou-se a área ativa como estando totalmente isolada; os contatos-corrente foram substituídos por contatos perfeitos do mesmo tamanho que a borda do sensor, adicionando uma tensão constante uniforme; os contatos-sensor foram considerados como pontuais. É preciso ressaltar que as simplificações não interferem no efeito piezo-resistivo de interesse.

A diferença de tensão foi aplicada nos contatos em 4 diferentes direções, simulando as orientações de polarização do dispositivos ($\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135°). Empregamos nas simulações os valores nominais de coeficientes piezo-resistivos apresentados por Smith [13, 64].

Os seguintes resultados da simulação foram observados: a tensão entre os contatos-sensor (equivalente à tensão de saída) e o fluxo de corrente entre contatos-corrente (que corresponde à corrente de entrada). A variação da resistência de entrada $\Delta R/R$ foi calculada usando lei de Ohm e a variação de corrente de entrada.

O modelo foi simulado usando COMSOL Multiphysics®. Os resultados para o 8TSP tipo-n são apresentados na Figura 7.7, enquanto os resultado para o 8TSP tipo-p são apresentados na Figura 7.8.

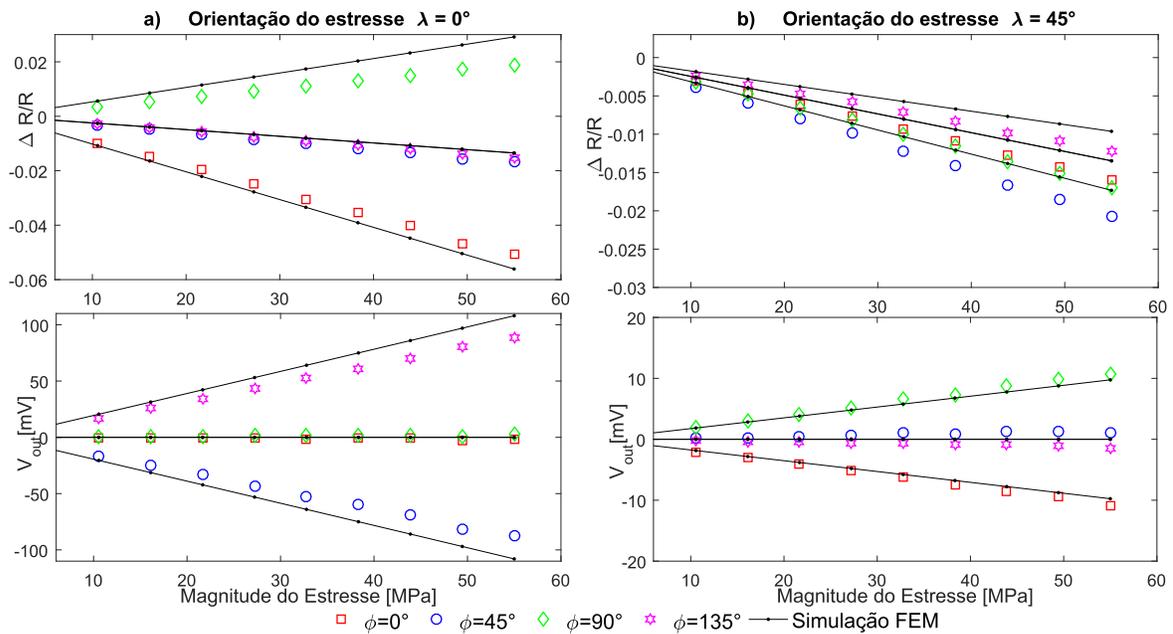


Figura 7.7: Resultado para o piezo-resistor 8TSP tipo-n da simulação de Elementos Finitos para a variação da tensão de saída e da resistência, para as seguintes orientações do estresse: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$. As linhas sólidas apresentam o resultado simulando os piezo-coeficientes publicados por Smith, enquanto os marcadores representam observações experimentais.

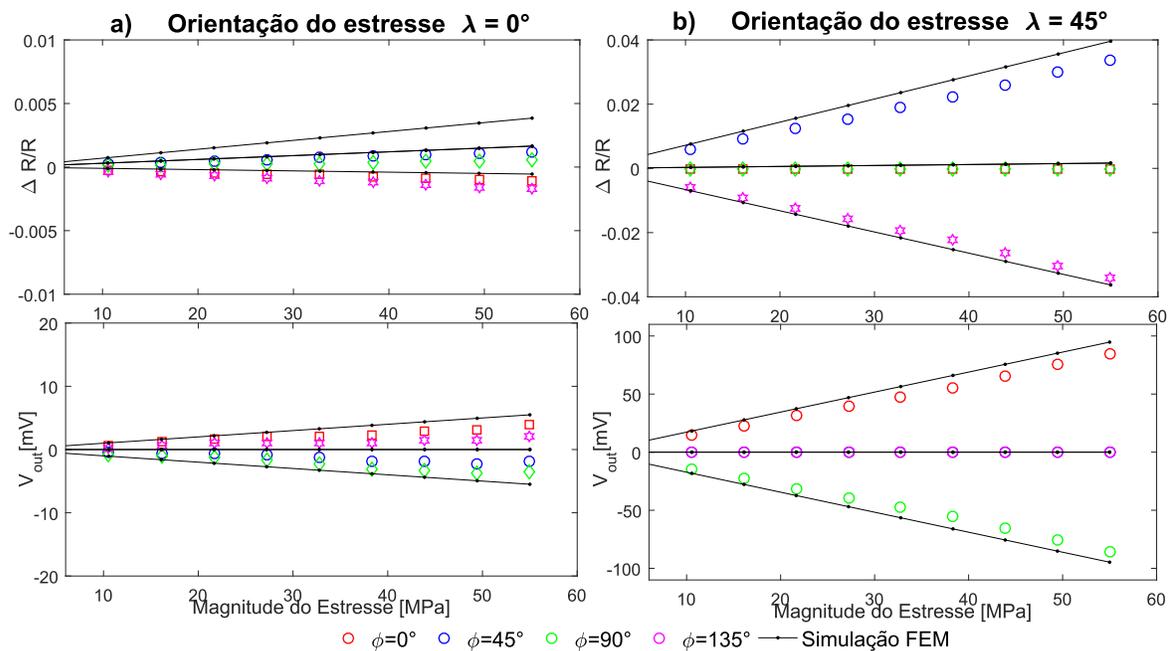


Figura 7.8: Resultado para o piezo-resistor 8TSP tipo-p da simulação de Elementos Finitos para a variação da tensão de saída e resistência, para as seguintes orientações do estresse: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$. As linhas sólidas apresentam o resultado simulando e as observações experimentais.

Com o intuito de comparar os resultados simulados com os dados experimentais, medições dos 8TSP foram colocadas no gráfico. As linhas sólidas representam os resultados da simula-

ção, enquanto os marcadores circulares representam o valor medido. É possível identificar um comportamento linear em ambas as medidas experimentais e nos resultados simulados. Existe, porém, uma variação na inclinação das curvas, que pode ser causada por alguma diferença geométrica na fabricação ou erro no experimento, estando, contudo, mais relacionado com as diferenças nos valores dos piezo-coeficientes.

Podemos modificar o valor dos coeficientes piezo-resistivos no modelo, a fim de procurar resultados simulados que sejam mais próximos das observações realizadas. Assim, estimamos os valores dos piezo-coeficientes no material em que foram fabricados os 8TSPs. Os resultados da simulação, nos quais se observa uma resposta muito mais próxima das observações realizadas, são apresentados nas Figuras 7.9 e 7.10. A partir disso, simulamos os valores dos piezo-resistores apresentados na Tabela 7.8.

Tabela 7.8: Coeficientes piezo-resistivos de primeira ordem CPRP [10^{-10}Pa^{-1}].

CPRP [π_{ij}]	Tipo-p			Tipo-n		
	Este trabalho	Smith	Matsuda	Este trabalho	Smith	Matsuda
π_{11}	-0,2	0,7	-0,6	-9,3	-10,2	-7,7
π_{12}	0,1	-0,1	0,1	4,8	5,3	3,9
π_{44}	11,4	13,8	11,2	-1,5	-1,4	-1,4

Como mencionado, existe variação dos coeficientes estimados comparada com as medidas previamente realizadas pelos pesquisadores referenciados [68, 13], pode ser explicada pela dependência da piezo-resistividade com a temperatura e a dopagem ou mesmo por erros associados ao teste.

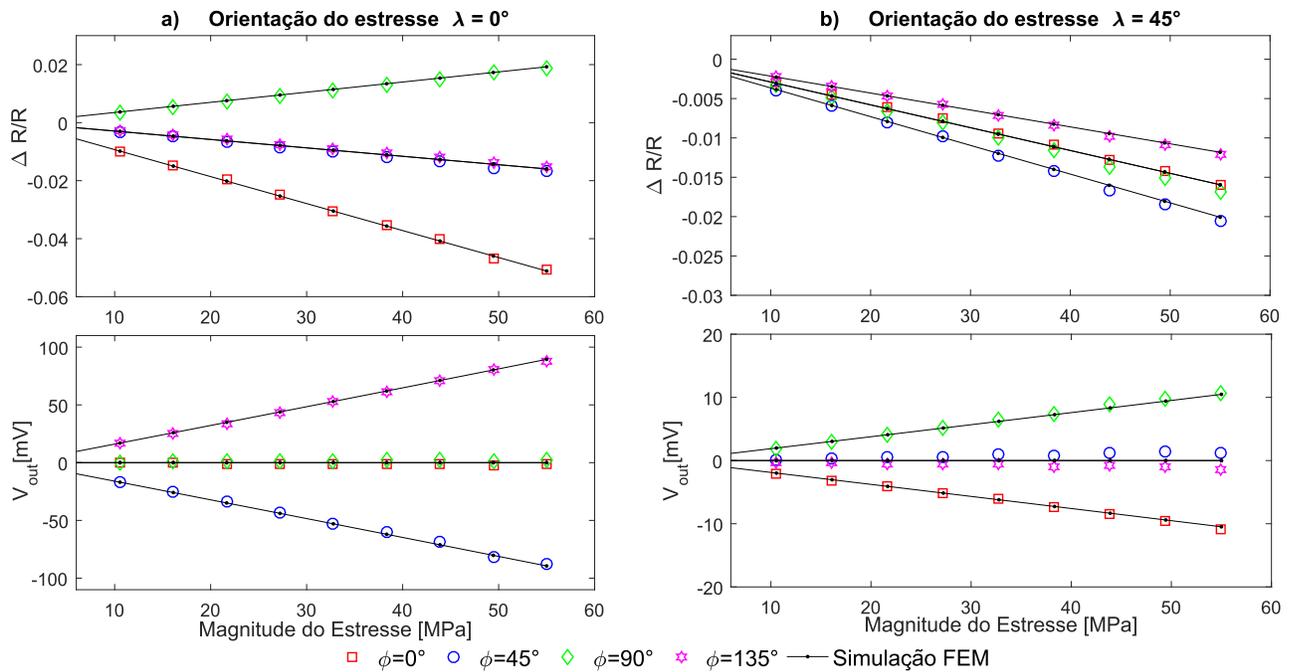


Figura 7.9: Resultado da simulação de Elementos Finitos de 8TSP tipo-n, para estresse orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$. As linhas sólidas apresentam o resultado simulado usando os piezo-coeficientes estimados, enquanto os marcadores representam observações experimentais.

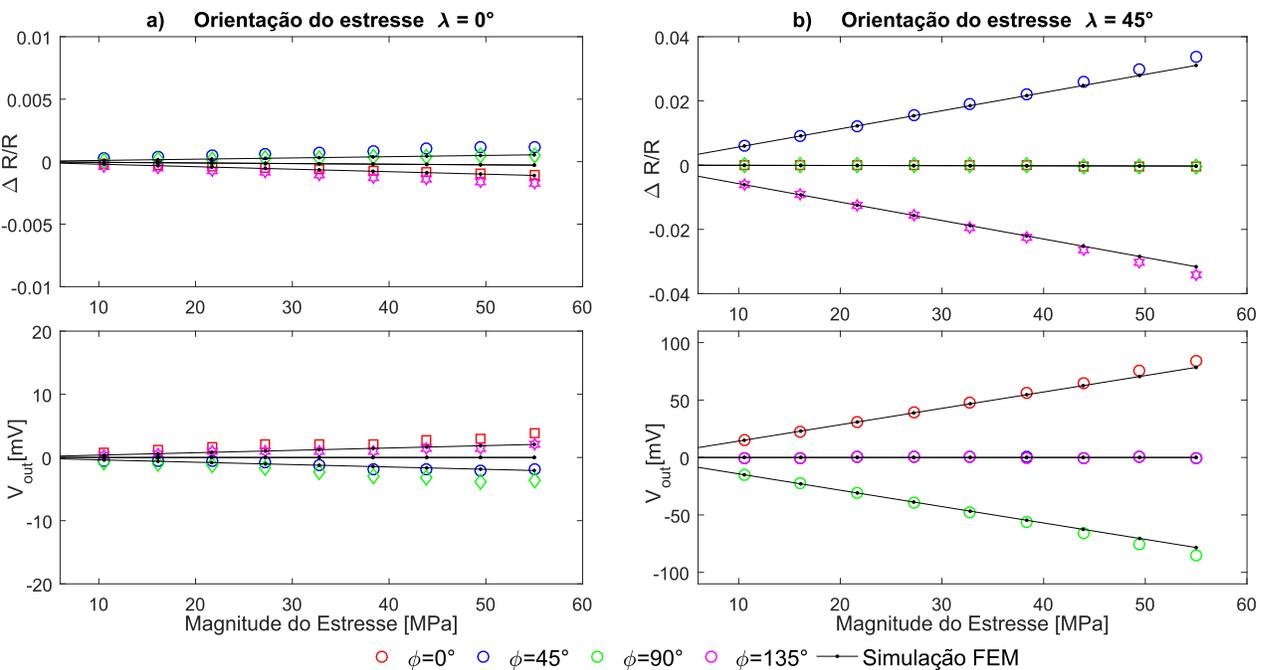


Figura 7.10: Resultado da simulação de Elementos Finitos de 8TSP tipo-p, para estresse orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$. As linhas sólidas apresentam o resultado simulado usando os piezo-coeficientes estimados, enquanto os marcadores representam observações experimentais.

7.2.4 Conclusões parciais do testes de caracterização da sensibilidade

Baseado nos resultados do teste sob estresse controlado em temperatura ambiente, concluímos que:

- O aparato de "ensaio de flexão de quatro pontos em discos" pode ser utilizado para aplicar uma deformação controlada na superfície de um CHIP de silício, validando a metodologia de teste.
- É possível observar variações associadas ao estresse aplicado nas medições feitas.
- A resposta da tensão de saída e a variação relativa da resistência apresentaram um comportamento linear com o estresse (para os níveis de deformação aplicados), este resultado pode ser observado nos gráficos dos dados experimentais e nas regressões lineares destes dados (com coeficientes R^2 superiores a 0.95). Foi observado também que a sensibilidade difere segundo a orientação da polarização. O que está em conformidade com o efeito piezo-resistivo em silício, descrito no Capítulo 3.
- Dispositivos 8TSP com área ativa tipo-n são muito sensíveis ao estresse longitudinal e transversal, enquanto dispositivos tipo-p apresentam uma variação desprezível a estes componentes do estresse. Em contraste, dispositivos 8TSP com área ativa tipo-p são mais sensíveis ao estresse de cisalhamento, enquanto dispositivos tipo-n apresentam sensibilidade reduzida a este tipo de estresse. Resultado que pode ser explicado observando os coeficientes piezo-resistivos, já que os coeficientes longitudinal π_{11} e transversal π_{12} são dominantes no silício tipo-n, enquanto o coeficiente π_{44} é dominante no silício tipo-p.
- As observações experimentais foram reproduzidas usando simulação multi-física e o modelo de Elementos Finitos do sensor.
- Para esta tecnologia, os dispositivos piezo-resistor 8TSPs tipo-p apresentam uma resistência de entrada menor, um consumo de corrente maior e não apresentam sensibilidade significativa em alguns componentes do estresse. Dado que o objetivo do projeto de pesquisa é mapear o maior número de componentes do estresse na superfície do silício, focaremos nos dispositivos tipo-n e, usaremos estes dispositivos para construir a matriz de mapeamento de estresse.

7.3 Variação das características do 8TSP tipo-n com a temperatura

Para caracterizar o comportamento térmico, repetimos o teste para diferentes temperaturas, utilizando os alinhamentos de estresse uniaxial e orientação da corrente de polarização, para os quais o dispositivo 8TSP tipo-n apresenta uma sensibilidade maior. Deste modo, usaremos como direção da corrente $\varphi = 90^\circ$ com estresse orientado na direção [110] (ângulo de estresse $\lambda = 45^\circ$); direção da corrente $\varphi = 135^\circ$, com estresse orientado na direção [100] (ângulo de estresse $\lambda = 0^\circ$).

As direções também foram selecionadas porque é possível observar os coeficientes piezo-resistivos π_{44} e $\pi_{11} - \pi_{12}$, separadamente.

Os dispositivos foram testados sob condições controladas de umidade e temperatura, dentro de uma câmara térmica Thermotron, em uma faixa entre 268K a 353K. A umidade relativa do ar foi fixada em 10%, para evitar a absorção de umidade pelo adesivo empregado para colar o dispositivo.

7.3.1 Resistência e Sensibilidade para diferentes temperaturas

A Resistência de entrada foi medida entre vários terminais, para todas as temperaturas, sem aplicar deformação. As médias das medidas, para todas as direções, são mostradas na Figura 7.11. Pode-se observar uma forte dependência não linear com a temperatura, apresentando um aumento do valor da resistência ao se aumentar a temperatura, conforme esperado para um semicondutor tipo-n levemente dopado.

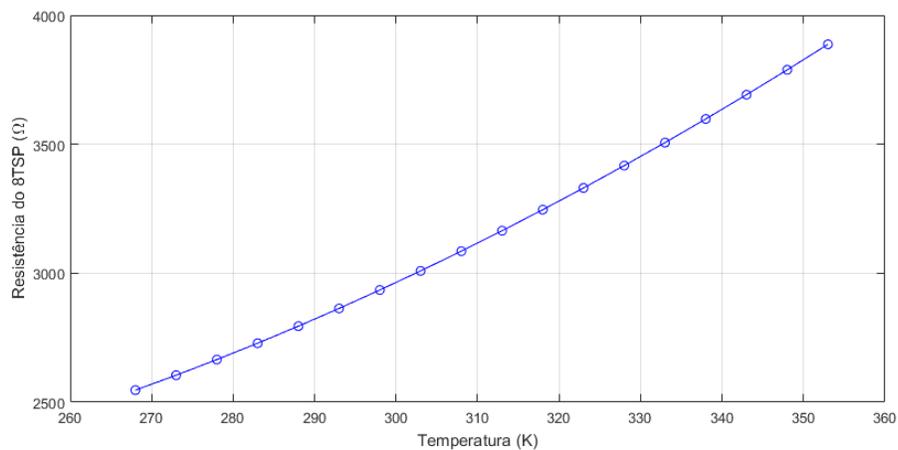


Figura 7.11: Medida da Resistência de entrada versus Temperatura.

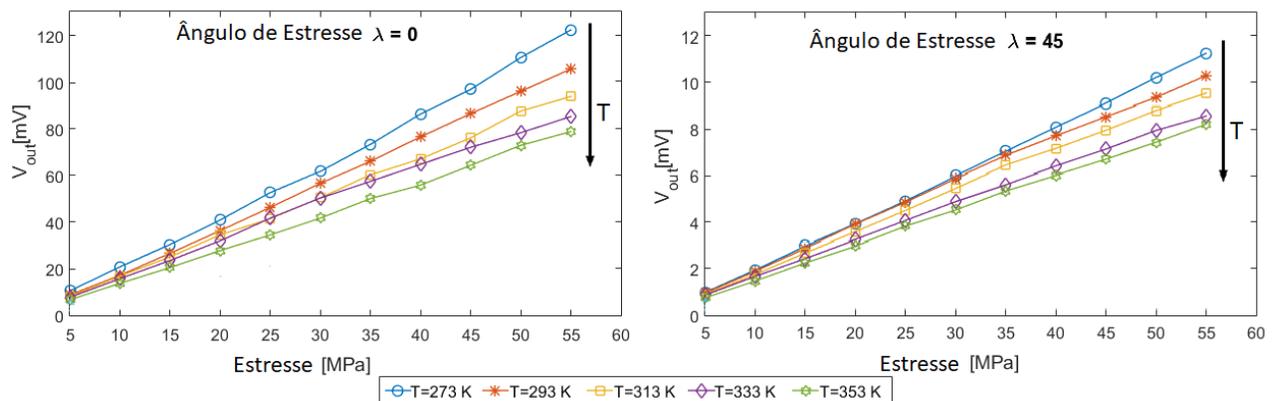


Figura 7.12: Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$, para diferentes Temperaturas.

As tensões de saída medidas para diferentes níveis de tensão, e para algumas temperaturas dentro da faixa de interesse são mostradas na Figura 7.12. Pode-se observar uma forte dependência linear com a tensão. Ressaltamos, que a diminuição da temperatura é prevista, conforme os modelos descritos em sessões anteriores.

A sensibilidade em cada caso é definida como a inclinação média dividida pela tensão de polarização de entrada. Para a sensibilidade do piezo-resistor 8TSP foi observada uma variação maior que 37% no intervalo de temperatura analisado.

7.3.2 Variação dos piezo-coeficientes com a temperatura

O valor experimental do fator de correção é encontrado ao se dividir cada sensibilidade com o valor nominal dos coeficientes piezo-resistivos, em temperatura ambiente (300K). Estes resultados são comparados com o fator de correção $P(N, T)$, para baixa concentração de dopagem calculada, tendo por base o modelo de Kanda, representado na Figura 7.13. É possível observar que o comportamento térmico segue a tendência estabelecida no modelo teórico com um erro absoluto menor que 8%, o que valida essa aproximação.

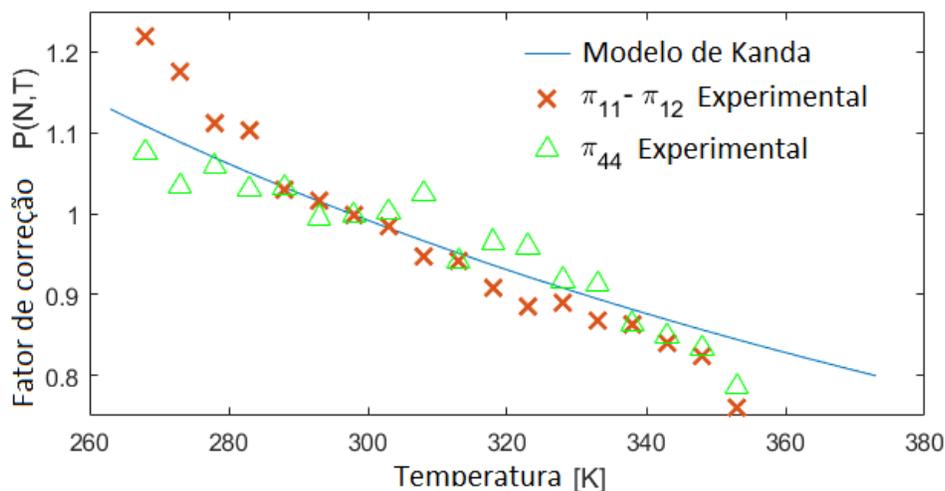


Figura 7.13: Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

Não foi possível testar os dispositivos para temperaturas mais altas, pois o processo usado para montar o chip interfere nas medições. A deformação e o estresse, associados à temperatura, aumentaram, agregando uma tensão de *offset*. A interferência acontece porque as propriedades mecânicas do adesivo polimérico, empregado para fixar o CHIP, mudam para temperaturas altas, ficando mais macio e transferindo uma deformação mecânica menor.

7.3.3 Dispositivo de compensação de temperatura integrável em silício

A tensão de saída do 8TSP aparece em função do estresse e também da tensão de polarização. Se a tensão de polarização fosse aumentada, de modo que se diminuísse a piezo-resistividade,

observaríamos o mesmo nível de tensão na saída, compensando, assim, o efeito da temperatura. Se em vez de usar uma tensão de polarização, decidíssemos trabalhar com a corrente de entrada I_{in} , obteríamos uma tensão de entrada que pode ser escrita como $V_{in} = I_{in}R_{in}$, onde R_{in} é o resistor de entrada equivalente para o 8TSP. Como R_{in} aumenta, podemos inferir que a tensão aumenta com a temperatura.

Deste modo, a tensão de saída pode ser encontrada como:

$$V_{out} \approx R_{In}I_{in}\pi_{ij}\frac{\sigma}{2}$$

Onde π_{ij} representa o efeito piezo-resistivo equivalente na direção ij .

Assim, para conseguir compensar o desvio térmico e manter constante a sensibilidade ao estresse, a resistência de entrada ou a corrente de entrada do sensor deve ser aumentada na mesma proporção em que o coeficiente piezo-resistivo diminui. Porém, os efeitos que dominam a dependência térmica da resistividade e da piezo-resistividade são completamente diferentes, assim como as taxas de variação com a temperatura.

Para controlar a taxa de variação da corrente no dispositivo e da resistência de entrada, pode ser utilizada uma fonte de corrente de referência e um segundo resistor em paralelo, como ilustrado na Figura 7.14, dessa forma, podemos obter a seguinte expressão para a tensão de saída:

$$V_{out} \approx \frac{R_{in}R_{cmp}}{R_{in} + R_{cmp}} I_{ref} \frac{\sigma}{2} [\pi_{44} \sin(2\lambda) \cos(2\varphi) + (\pi_{11} - \pi_{12}) \cos(2\lambda) \sin(2\varphi)] \quad (7.2)$$

Onde R_{cmp} representa um resistor invariante na temperatura usada na compensação. O resistor equivalente $(R_{in}R_{cmp})/(R_{in}+R_{cmp})$ tem que ser selecionado para aumentar em proporção similar a queda do coeficiente piezo-resistivo, o que compensa a sensibilidade.

A Figura 7.14 mostra um esquema simples do dispositivo, uma fonte de corrente constante para polarizar o sensor e, os multiplexadores analógicos para controlar a direção da corrente (e assim a orientação do dispositivo 8TSP).

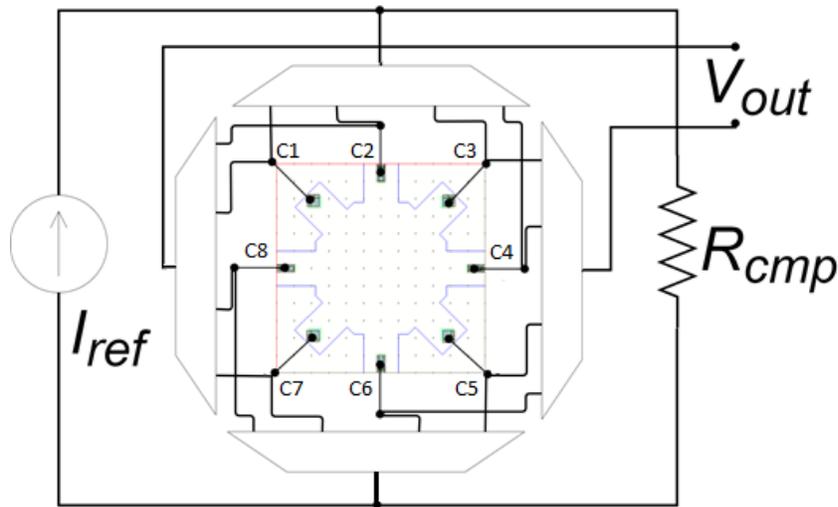


Figura 7.14: Esquemático do 8TSP como comutação de corrente e compensação térmica da sensibilidade ao estresse

A corrente constante I_{ref} pode ser gerada dentro do mesmo CHIP usando um gerador interno de referência (e.g. Tensão de BandGap); enquanto nos multiplexadores são construídas chaves analógicas CMOS.

A resistência de entrada do 8TSP tipo-n está próxima de $3\text{K}\Omega$ (para temperatura ambiente 300K). A fonte de corrente foi projetada para fornecer um 1,5mA, enquanto a compensação Resistor R_{cmp} é calculado em $8,2\text{K}\Omega$

7.3.4 Conclusões parciais da sensibilidade do piezo-resistor com a Temperatura

Baseados nos resultados do teste sob estresse controlado, a diferentes temperaturas, concluímos que:

- Como ilustrado na Figura 7.11, a resistência de entrada dos 8TSP tipo-n muda com a temperatura, variando de $2,55\text{K}\Omega$ até $3,8\text{K}\Omega$ quando a temperatura sobe de 265K para 355K, o que equivale a um coeficiente linear positivo com a temperatura de $4.5 \cdot 10^{-3} \Omega/\text{K}$, segundo o já esperado para um semiconductor baixamente dopado. A resistência se altera de forma muito similar em todas as orientações medidas, indicando que este efeito não depende da orientação cristalográfica em que o piezo-resistor foi construído.
- A resposta da tensão de saída apresenta um comportamento linear em todos os casos, como pode ser observado na Figura 7.12. Entretanto, a variação chega a ser até 37% menor quando se aumenta a temperatura a 355K, a máxima temperatura caracterizada. Esta diminuição na sensibilidade está relacionada com a dependência dos coeficientes piezo-resistivos com relação à temperatura e à dopagem. A mudança na sensibilidade acompanha o modelo apresentando por Kanda [75] e descrito no Capítulo 3.
- O dispositivo 8TSP projetado tem um comportamento interessante, vez que, frente à mudança de temperatura, o dispositivo apresenta um aumento da resistividade e uma diminuição da piezo-resistividade.
- A tensão de saída depende também da tensão de polarização do dispositivo. Deste modo, se a tensão de polarização aumentar na mesma proporção em que diminuir o piezo-coeficiente, a sensibilidade permanecerá constante, compensando o efeito da temperatura.
- Um método de compensação térmica inovador foi apresentado, onde a tensão de polarização é substituída por um fonte de corrente constante. Já que a resistência de entrada do 8TSP aumenta com a temperatura, a tensão entre contatos-corrente também aumenta, compensando assim a sensibilidade. Porém, o aumento da resistência é maior do que a queda nos piezo-coeficientes, para compensar esta diferença, um segundo resistor é usado em paralelo ao 8TSP para ajustar a corrente.

7.4 Resultados do 8TSP junto com a compensação da temperatura e comutação de direção de corrente

Foi implementado o sistema de controle de direção de corrente e compensação de temperatura aos piezo-resistores tipo-n, vez que, como foi verificado para esta tecnologia, os 8TSP tipo-n apresentam sensibilidade em todas as direções e, um consumo de potência menor do que os equivalentes tipo-p.

Para verificar o funcionamento do circuito eletrônico foram realizados os seguintes procedimentos: teste de *enable*, teste e validação do circuito de corrente de referência, teste de giro do sentido da corrente, teste de sensibilidade e comparação de resultados a diferentes temperaturas. Cada procedimento será descrito e resumido a seguir:

- **Teste do *enable*:** O circuito foi projetado com um sinal de Habilitação (*Enable*) para cada direção. Neste contexto, quando não foi selecionada a direção, é porque não deve existir corrente elétrica significativa sobre o 8TSP, sendo assim, todos os terminais precisam estar ligados a um nó de alta impedância. Quando habilitada, uma corrente elétrica polariza o circuito e, em ambos os contatos-sensor pode ser observada uma tensão similar. O correto funcionamento pode ser verificado medindo a resistência entre o nó *gnd* e um dos terminais da placa, assim como alternando o *Enable* entre "alto" e "baixo" lógico. Quando desabilitado, a resistência medida será muito alta, quando habilitado, a resistência será muito similar à impedância de entrada dos 8TSP.
- **Teste de controle do sentido da corrente:** Com o circuito habilitado, todos os terminais da área ativa do 8TSP foram ligados às entradas de uma placa de aquisição, como ilustrado na Figura 7.15. Os valores da entrada digital *DIR* foram modificados para mudar o sentido da corrente, deste modo, os valores medidos nos canais da placa de aquisição serão alterados, acarretando a mudança no sentido da corrente.

O conjunto de procedimentos citados acima permitem verificar que os circuitos integrados funcionaram segundo o esperado, o que nos habilita a prosseguir com o processo, a fim de caracterizar o sistema sensor.

- **Teste de sensibilidade:** O dispositivo é alinhado na direção desejada e o aparato de ensaio a flexão em 4 pontos é usado para aplicar uma deformação controlada ao dispositivo. Colocamos o valor de "alto" lógico na entrada *Enable*, habilitando o sistema e alteramos o valor da entrada digital *DIR* nas direções especificadas. O valor de tensão de saída V_{out} é observado em cada direção, e para filtrar ruído, a medida usada foi calculada como a média das 100 amostras produzidas.
- **Teste de compensação térmica:** Repetimos o teste de sensibilidade colocando o dispositivo e o aparato de ensaio dentro de uma câmara térmica THERMOTRON. Mantendo a umidade relativa constante ao 10%, repetimos o *Teste de sensibilidade* descrito anteriormente em cada uma das temperaturas desejadas. Comparamos os resultados para cada temperatura e observamos o quanto a sensibilidade do sensor esta mudando.

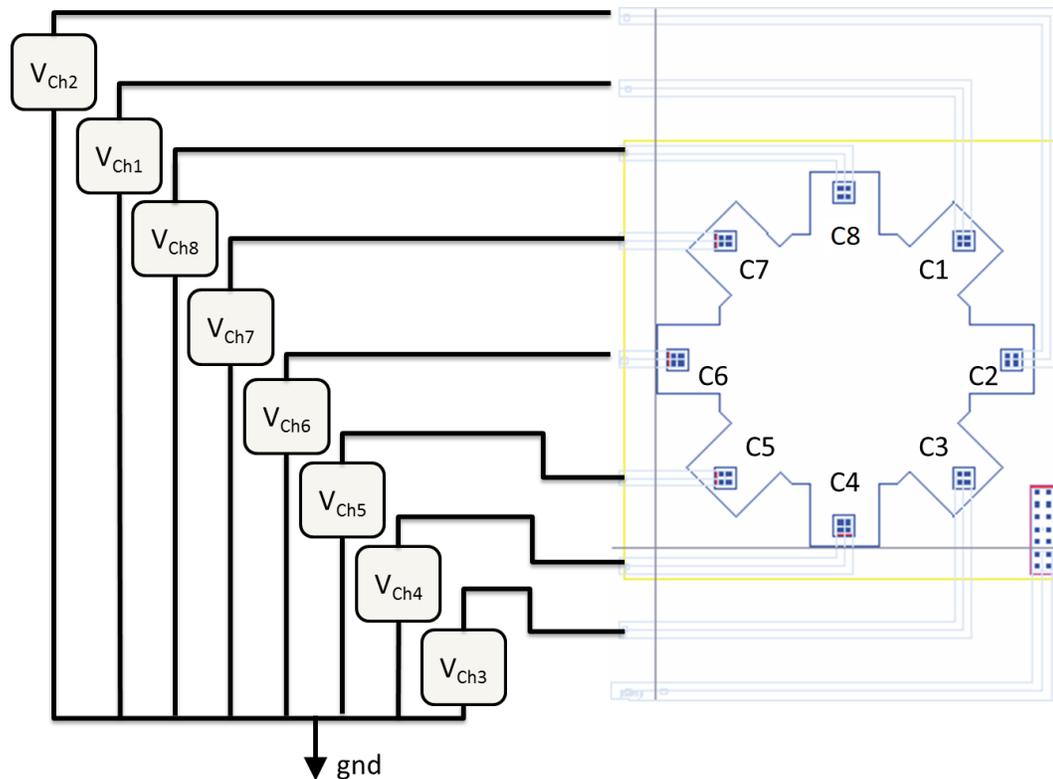


Figura 7.15: Montagem experimental para a caracterização do 8TSP

7.4.1 Circuito de polarização e características estáticas do dispositivo

Os dispositivos foram alimentados com uma tensão máxima $V_{DD} = 5\text{ V}$ (os circuitos foram projetados para tolerar uma variação de 10% na tensão nominal de 5V), com a corrente de referência de 1,5mA e um resistor de compensação foi colocado em paralelo ao 8TSP. Foram realizados os procedimentos de teste de *enable* e teste de validação do circuito de corrente de referência, descritos anteriormente.

As medidas e estimativas de consumo de potência, corrente de polarização e tensões de operação estão resumidas na Tabela 7.9.

O teste de giro do sentido da corrente foi aplicado a todas as amostras, observando que existe a comutação dos terminais segundo o projetado. A Tabela 7.10 mostra os valores obtidos em uma única amostra e a tensão em cada um dos terminais (segundo o valor do controle digital *Sel*). Podemos observar como os valores da tensão em cada terminal muda, indicando que o circuito está fazendo a comutação dos terminais segundo o esperado, evidenciando que existe mudança no sentido da corrente.

7.4.2 Sensibilidade do sistema segundo a direção

Mantendo a corrente de polarização I_s constante em 1,5 mA, aplicamos estresse uniaxial usando o aparato para ensaio de 4 pontos, enquanto alteramos os valores da entrada *DIR*.

Tabela 7.9: Resultados da caracterização dos circuitos elétricos do sensor.

Parâmetro	Descrição	Min	Typ	Max	Unidade
P_{in}	Potência consumida			50	[mW]
V_{BGAP}	Tensão de referência gerada pelo circuito de BandGap		1,3		[V]
I_{bias}	Corrente de polarização sobre o sensor	1,5	1,51	1,53	[mA]
V_{on_n}	Tensão mínima nos transistores tipo NMOS usados no Multiplexador analógico	0,7			[V]
V_{on_p}	Tensão máxima nos transistores tipo PMOS usados no Multiplexador analógico			VDD-0,85	[V]

Tabela 7.10: Tensão em Volts para cada contato segundo o valor da entrada DIR.

DIR	Contatos-corrente	Contatos-sensor	V_{ch1} V(C1)	V_{ch2} V(C2)	V_{ch3} V(C3)	V_{ch4} V(C4)	V_{ch5} V(C5)	V_{ch6} V(C6)	V_{ch7} V(C7)	V_{ch8} V(C8)
0001	$I(C1, C5)$	$V_H(C7, C3)$	4,00	2,83	2,52	2,20	1,04	2,20	2,52	2,84
0010	$I(C2, C6)$	$V_H(C8, C4)$	2,84	3,99	2,83	2,51	2,19	1,05	2,18	2,52
0100	$I(C3, C7)$	$V_H(C1, C5)$	2,52	2,84	4,02	2,84	2,52	2,20	1,04	2,20
1000	$I(C4, C8)$	$V_H(C2, C6)$	2,19	2,52	2,84	3,99	2,83	2,52	2,19	1,06

Ainda que a corrente seja de 1.5mA, por causa da resistência em paralelo e da temperatura ambiente (300K), a corrente que passa no 8TSP está perto de 1mA. Os resultados para a variação da tensão de saída, com a variação do estresse podem ser observados na Figura 7.16.

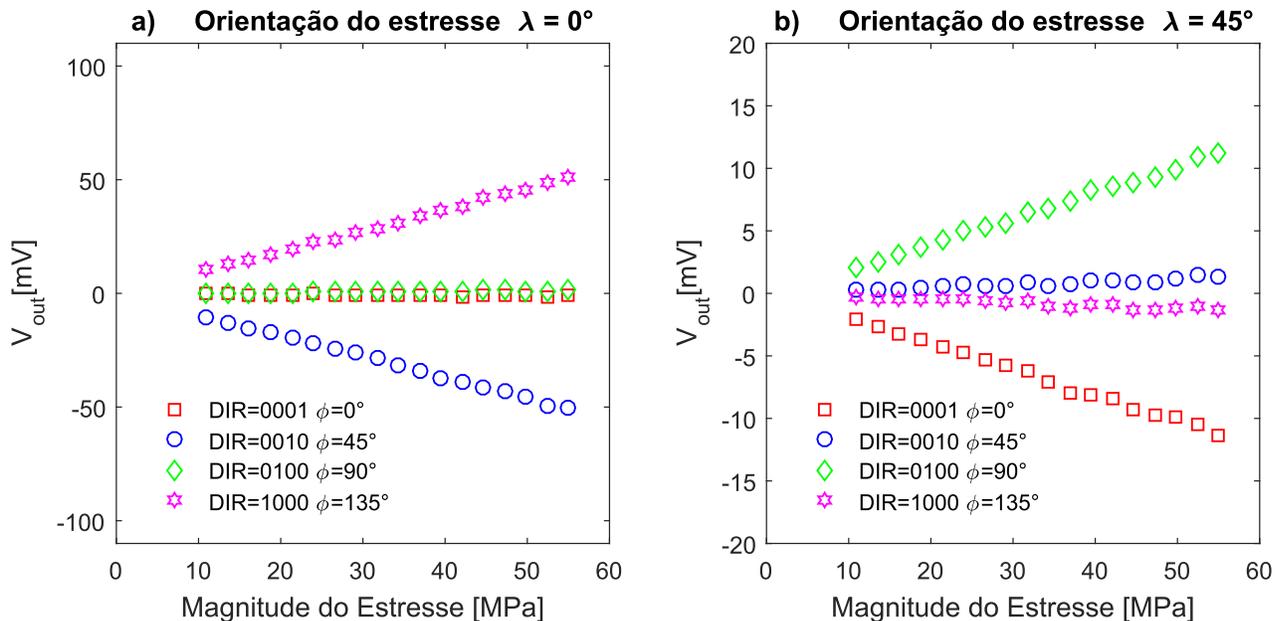


Figura 7.16: Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

A sensibilidade em cada direção é muito similar ao observado quando o 8TSP foi polarizado por tensão manualmente.

7.4.3 Compensação da sensibilidade com a temperatura

Repetimos os testes para as principais direções, em várias temperaturas entre 268K e 363K. As tensões de saída para diferentes níveis de tensão e temperaturas são registradas na Figura 7.17. É possível notar uma redução significativa no desvio térmico da sensibilidade, em comparação com os resultados na Figura 7.12.

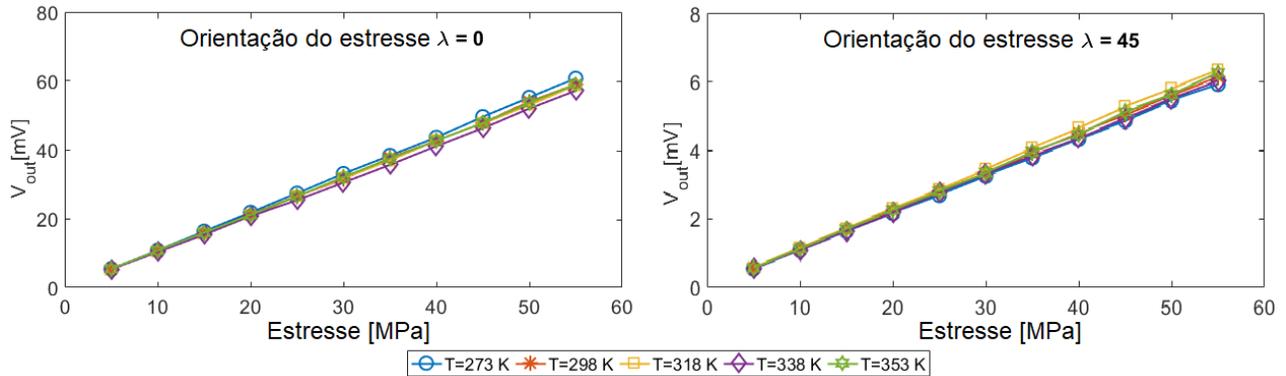


Figura 7.17: Medida da tensão diferencial na saída versus o estresse mecânico uniaxial orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$, para diferentes temperaturas.

Ainda assim, observamos alguma variação na inclinação das linhas. Para verificar a compensação, a saída de tensão para 50MPa para várias temperaturas foi plotada, conforme a Figura 7.18. Os marcadores representam a média e o desvio para 7 medições experimentais diferentes, enquanto a linha preta é o valor de saída esperado.

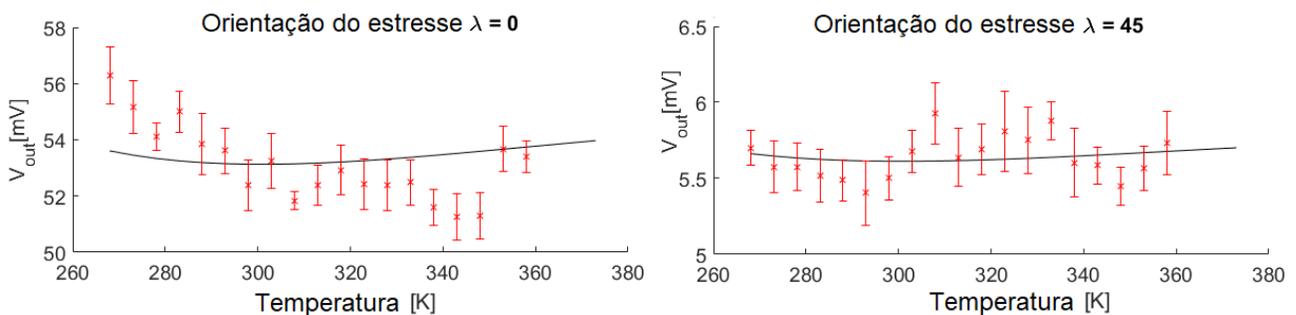


Figura 7.18: Medida da tensão de saída para um estresse de 50MPa orientado em: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$, para diferentes temperaturas.

7.4.4 Conclusões parciais para o 8TSP com circuito de controle de direção de corrente

Baseados nos resultados do teste sob estresse controlado em temperatura ambiente, concluímos que:

- O circuito de geração de corrente de referência gera uma corrente suficiente para polarizar o sensor 8TSP.
- É possível observar na Tabela 7.10 que o controle de direção de corrente está comutando os contatos, alterando a direção da corrente segundo o esperado.
- Existe uma diminuição da sensibilidade associada a redução na tensão de alimentação. A tensão de saída é menor quando usada a polarização por corrente, comparado com a polarização com 5V.
- Quando o sensor é polarizado por corrente, a tensão entre contatos-corrente fica em torno de 3V. A diferença de tensão é necessária para as chaves analógicas dos multiplexadores e espelhos de corrente.
- Uma variação relacionada à temperatura é esperada nas características do 8TSP, uma vez que as mesmas características elétricas que definem o efeito piezo-resistivo variam com a temperatura. Esta dependência foi observada experimentalmente, o que está de acordo com o modelo analítico para a mobilidade e a piezo-resistividade apresentado no Capítulo 4. Deste modo, foi possível prever o comportamento do 8TSP e propor uma estratégia de compensação de temperatura.
- O circuito baseado em uma corrente de referência e um resistor de compensação foi projetado com o intuito de ser integrado monoliticamente com o sensor.
- Resultados experimentais resumidos nas Figuras 7.17 e 7.18, mostram que o circuito de compensação de temperatura implementado conseguiu reduzir a variação com a temperatura.

7.5 Estimativa de direção e magnitude de estresse

O aparato para ensaio de flexão de quatro pontos em um disco foi usado com sucesso para caracterizar o sensor. Esta montagem experimental permitiu aplicar uma deformação controlada associada a um estresse uniaxial na superfície do dispositivo. Neste contexto, foi possível utilizar a geometria circular do disco para girar o dispositivo, alinhando o estresse em qualquer ângulo desejado.

No desenvolvimento teórico de um Piezo-transdutor de Quatro Terminais (FTSP), mostramos como um par de dispositivos, com orientações diferentes, podem ser empregados para determinar a magnitude e orientação do estresse uniaxial sobre a superfície. Agora, usando as observações do transdutor de oito terminais (8TSP), deve ser possível estimar o estado de estresse na superfície do CHIP.

Para observar a resposta de saída em várias direções, o disco foi girado em passos de 5° , variando o ângulo de orientação de estresse λ no intervalo $[-45^\circ, 135^\circ]$, apenas meia revolução é suficiente, já que o sinal de saída é periódico. A corrente de polarização foi comutada entre terminais alinhados com $[110]$ (φ de 0° e 90°) e $[100]$ (φ de 45° e 135°), já as tensões de saída foram medidas para os diferentes níveis de deformação. Os resultados para um estresse de 30MPa e

de 50MPa podem ser observados nas Figuras 7.19 e 7.20, respectivamente. Observamos que a tensão de saída se comporta conforme o esperado, de acordo com o modelo teórico, para ambas as direções cristalográficas.

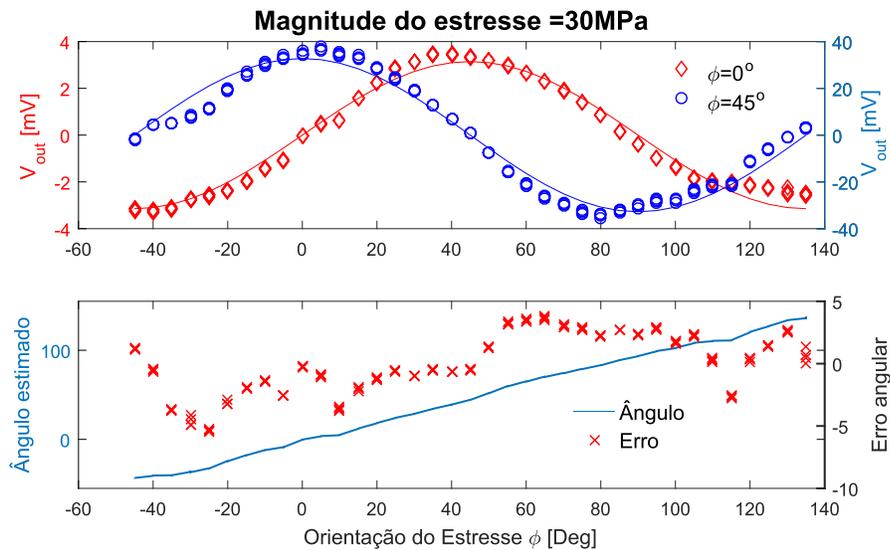


Figura 7.19: Medida da tensão diferencial na saídas orientadas a $\varphi = 0^\circ$ e $\varphi = 45^\circ$ para diferentes orientações de estresse (magnitude de 50Mpa) e estimativa do ângulo e erro.

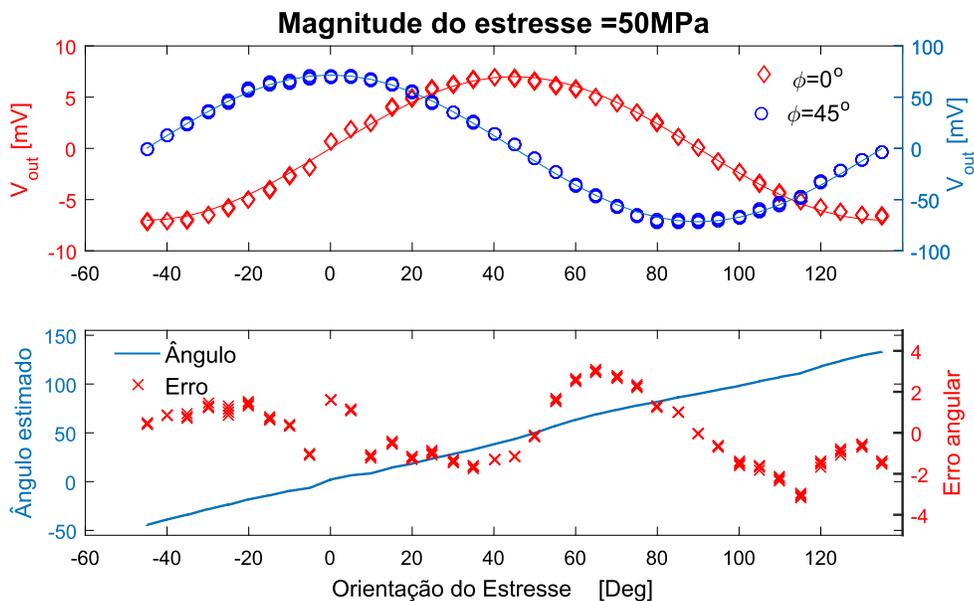


Figura 7.20: Medida da tensão diferencial na saídas orientadas a $\varphi = 0^\circ$ e $\varphi = 45^\circ$ para diferentes orientações de estresse (magnitude de 50Mpa) e estimativa do ângulo e erro.

Neste processo, são necessárias ao menos duas medidas com o dispositivo polarizado em diferentes direções cristalográficas (por exemplo, φ de 0° e 45°). Usando trigonometria, o modelo do efeito piezo-resistivo e os coeficientes piezo-resistivos estimados, foi possível aferir a magnitude e a orientação do estresse. O ângulo pôde ser presumido usando a razão das tensões de saída,

enquanto a magnitude da tensão é estimada, utilizando ambas as tensões de saída. A Figura 7.20 ilustra o ângulo esperado e o erro, que resulta ser menor que 5° . Resultados que demonstram como esta metodologia pode ser efetivamente aplicada para encontrar os componentes da tensão mecânica uniaxial.

7.5.1 Conclusões parciais

- O aparato de ensaio de flexão em quatro pontos, com um disco, torna possível aplicar uma tensão uniaxial controlada sobre a mesma amostra, em todas as possíveis orientações paralelas à superfície. O substrato circular permite girar a amostra e, aplicar o mesmo teste em direções diferentes. Comutando a direção de polarização atual no 8TSP, medimos as tensões de saída em diferentes contatos do sensor. Com base nessas informações, pudemos estimar a magnitude e a direção da tensão uniaxial aplicada na superfície, com um erro angular inferior a 5° . Este erro pode ser relacionado à configuração experimental e aos instrumentos medidos.
- Este dispositivo é projetado para ser usado como elemento sensor em uma matriz de sensor, para mapear a tensão ao longo da superfície do chip, uma ferramenta útil e inovadora para investigar a tensão residual induzida pela embalagem eletrônica.

Capítulo 8

Caracterização experimental dos espelhos de corrente piezo-MOSFET

Este capítulo apresenta a caracterização experimental dos sensores de estresse mecânico tipo espelho de corrente Piezo-MOSFET, cuja fabricação está descrita no Capítulo 5, utilizando o aparato de ensaio de flexão de 4 pontos descrito no Capítulo 6.

Dois sensores, com geometrias idênticas, foram projetados utilizando transistores NMOS e PMOS, os dois tipos de piezo-MOSFET disponíveis na tecnologia. Ambos os sensores foram, primeiro, caracterizados individualmente. Em seguida, um circuito de subtração de corrente é adicionado para obter a valor da corrente diferencial, que isola os componentes longitudinais e de cisalhamento do estresse. Usando os dados de dois sensores complementares foi possível estimar os piezo-coeficientes, além de estimar a magnitude e a orientação de um estresse uniaxial.

Concluimos este capítulo apresentando um circuito que permite modular a corrente de saída em largura de pulso, codificando a saída em um trem de pulso digital de 1-bit.

8.1 Validação do funcionamento do dispositivo

Este primeiro estágio de teste foi utilizado para validar o funcionamento do CHIP, no qual estão integrados os espelhos de corrente usando Piezo-MOSFETS. Foram necessárias as seguintes etapas para a validação do *CHIP*:

- Empacotamento do Dispositivo;
- Montagem e polarização do dispositivo;
- Teste para a validação de funcionamento, que incluem:
 - A polarização do circuito usando tensão nominal de 5V. Verificação de corrente consumida pelo CHIP;
 - Medida da corrente de saída e da tensão de referência do circuito de geração de referência BandGap;

- Polarização de espelho de corrente com uma corrente nominal de referência a temperatura ambiente constante. A corrente é calibrada por uma resistência variável externa e medida usando um amperímetro, enquanto potenciômetros são usados como carga na saída dos espelhos de corrente piezo-MOSFET. Sendo possível, assim, observar a tensão e a corrente de cada saída.

8.1.1 Montagem do experimento

Neste experimento foram medidos os seguintes parâmetros: tensão e corrente de referência no circuito gerador tipo BandGap; o valor da tensão no dreno e a corrente de saída dos espelhos de corrente.

Uma tensão de $V_{DD} = 5V$, produzida por uma fonte controlada externa, é usada para polarizar o dispositivo. A tensão de referência de BandGap e a corrente de referência são medidas diretamente na saída do circuito gerador de referência. Entretanto, esta corrente não é necessariamente usada na polarização dos sensores de estresse mecânico, já que a conexão entre os circuitos de polarização e os sensores é feita externamente.

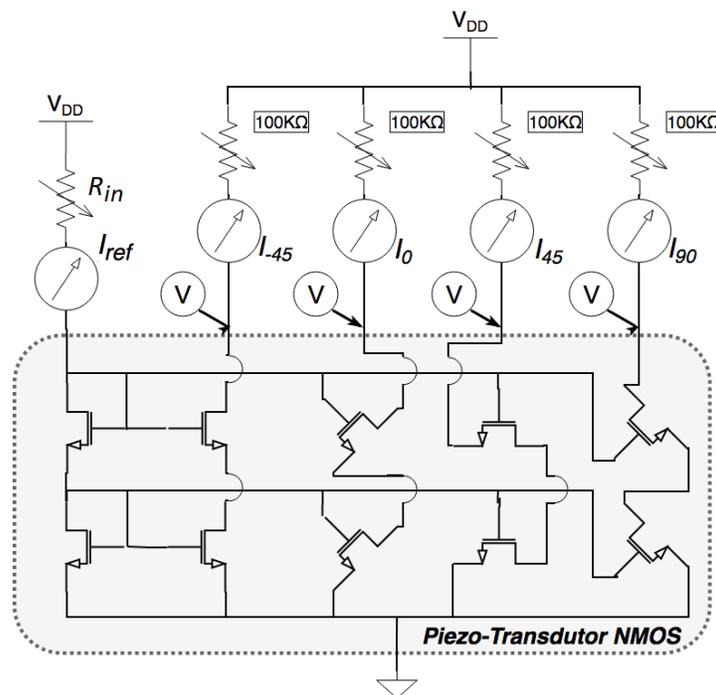


Figura 8.1: Montagem experimental para a validação do espelho com piezo-MOSFET.

Para caracterizar o sensor piezoMOS, foi utilizado a montagem ilustrada na Figura 8.1. A tensão é fixada com uma fonte externa, enquanto a corrente de entrada é produzida externamente e calibrada usando uma resistência variável R_{in} , enquanto a tensão e a corrente de cada uma das saídas do espelho é observada. Inicialmente, a corrente de entrada é fixada em $100\mu A$. Para observar a relação entre tensão e corrente em cada saída do espelho, a resistência de carga é modificada, para que na ausência de estresse externo todas as tensões sejam iguais.

Todos os testes foram feitos em temperatura ambiente (300K), utilizando dois multímetros

Agilent 3401-A, um para medir corrente e o segundo para observar a tensão de saída. Diferente do ilustrado no esquema da Figura 8.1, cada saída é medida individualmente e em sequência.

8.1.2 Resultados dos Testes de Validação

A corrente e a tensão de saída foram medidas na saída dos espelhos. Dado que temos saídas em 4 direções diferentes, identificamos as correntes e as tensões segundo o ângulo com a direção cristalográfica de referência $\langle 100 \rangle$. Deste modo, temos I_{-45} , I_0 , I_{45} e I_{90} . Propositalmente foi usada uma corrente de $100\mu\text{A}$ como corrente de referência, por ser facilmente observada com os instrumentos usados. Ainda que a referida corrente seja maior que os $10\mu\text{A}$ do circuito de geração de referência, o espelho foi projetado para funcionar nesta condição de operação.

As Figuras 8.2 e 8.3 apresentam a relação entre a corrente de saída e a tensão de saída, para ambos os dispositivos espelhos de corrente piezo-FET NMOS e PMOS. Pode ser observado que, ambos os dispositivos apresentam comportamento conforme ao esperado para um espelho tipo cascode, podem ser identificadas as tensão de saturação, onde a corrente fica constante, e uma corrente de saturação que muda pouco.

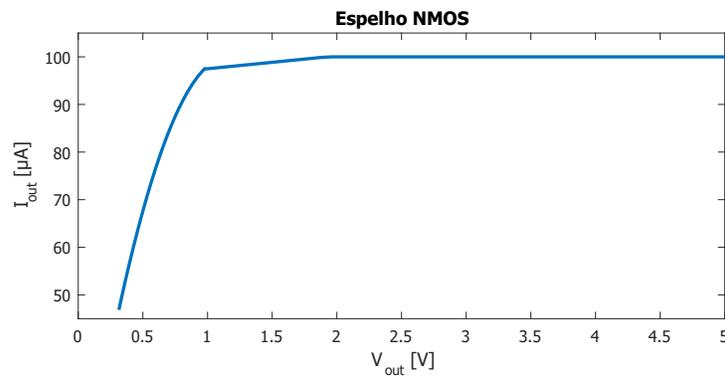


Figura 8.2: Resultados observados para a corrente de saída I_{45} versus tensão em espelho NMOS

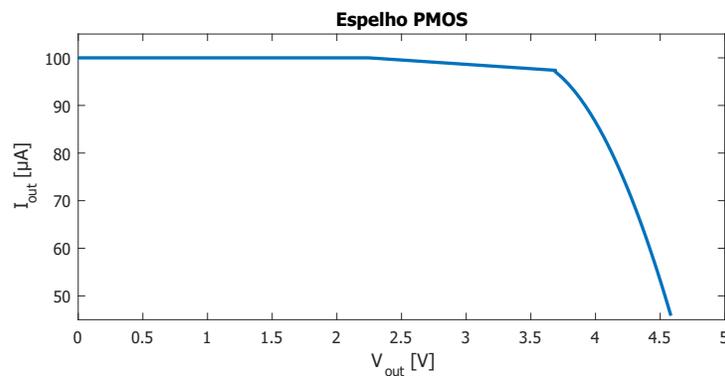


Figura 8.3: Resultados observados para a corrente de saída I_{45} versus tensão em espelho PMOS

Resumimos, na sequência, os resultados medidos para os dois dispositivos. A Tabela 8.1 contém os valores médios mensurados a partir da corrente e da resistência de saída dos espelhos.

Tabela 8.1: Medição da corrente, tensão e estimativa de resistência de saída em dois espelhos piezo-FET.

Ângulo	Corrente I [μA]		Resistência r_{out} [$M\Omega$]		Tensão de Saturação V_{on} [V]	
	NMOS	PMOS	NMOS	PMOS	NMOS	PMOS
0°	99	99	175	60	1,62	2,47
45°	100	103	170	60	1,62	2,46
90°	102	99	160	60	1,62	2,47
-45°	100	100	170	60	1,62	2,46

8.1.3 Conclusões parciais do testes de Validação

Baseados nestes resultados, concluímos que:

- Os espelhos de corrente piezo-MOSFET funcionam muito bem como espelhos de corrente, vez que apresentam uma resistência de saída alta ($> 170M\Omega$ para o NMOS e $> 60M\Omega$ para o PMOS), conforme ao esperado para um espelho cascode CMOS.
- É possível observar uma corrente de saída igual a de entrada para os espelho em todas as direções.
- O consumo de potência depende diretamente da corrente de referência usada.

8.2 Observações do efeito do estresse em espelhos cascode piezo-MOSFET à temperatura ambiente e conclusões parciais

Validado o dispositivo, procedemos ao levantamento cuidadoso das características do espelho de corrente, usando piezo-MOSFET como sensor de estresse. Inicialmente, caracterizamos os dispositivos em uma temperatura ambiente (300K) utilizando o ensaio a flexão em quatro pontos, conforme descrito no Capítulo 6. Como os coeficientes piezo-resistivos são altamente dependentes da concentração da dopagem e da temperatura, o teste também se mostrou útil para determinar os valores nominais dos piezo-coeficientes de primeira ordem π_{11} , π_{12} e π_{44} no canal dos MOSFET (para o processo CMOS XFAB de $0,6\mu\text{m}$ usado para fabricar os dispositivos).

Para realizar uma caracterização apropriada do dispositivo, foram necessárias as seguintes etapas:

- Adesão do *die* diretamente sobre um disco metálico.
- Projeto e construção da montagem experimental descrita, que inclui:
 - Projeto da placa de circuito impresso e das conexões externas, para ligar os instrumentos de medição aos dispositivos;
 - Desenvolvimento do código que controla o aparato e o instrumentos de medição;
 - Montagem dos equipamentos e instrumentos necessários.

- Interconexão do sensor de estresse, baseado no efeito piezo-MOS, diretamente ao empacotamento;
- Estimular o dispositivo com uma deformação em uma direção determinada;
- Caracterizar a variação da corrente de cada saída do sensor, quantificando a sensibilidade ao estresse de cada umas das correntes de saída.
- Interligar o circuito de subtração de corrente e conferir a variação das correntes diferenciais.
- Rotar o disco, mudando a direção do estresse, e repetir a caracterização para esta nova orientação.

8.2.1 Variação das correntes de saída pelo efeito do estresse mecânico

Montagem do teste de caracterização

Todos as medições foram feitos em temperatura ambiente ($\sim 300\text{K}$) usando, um multímetro Agilent 3401-A e uma placa de aquisição de dados NI-6407.

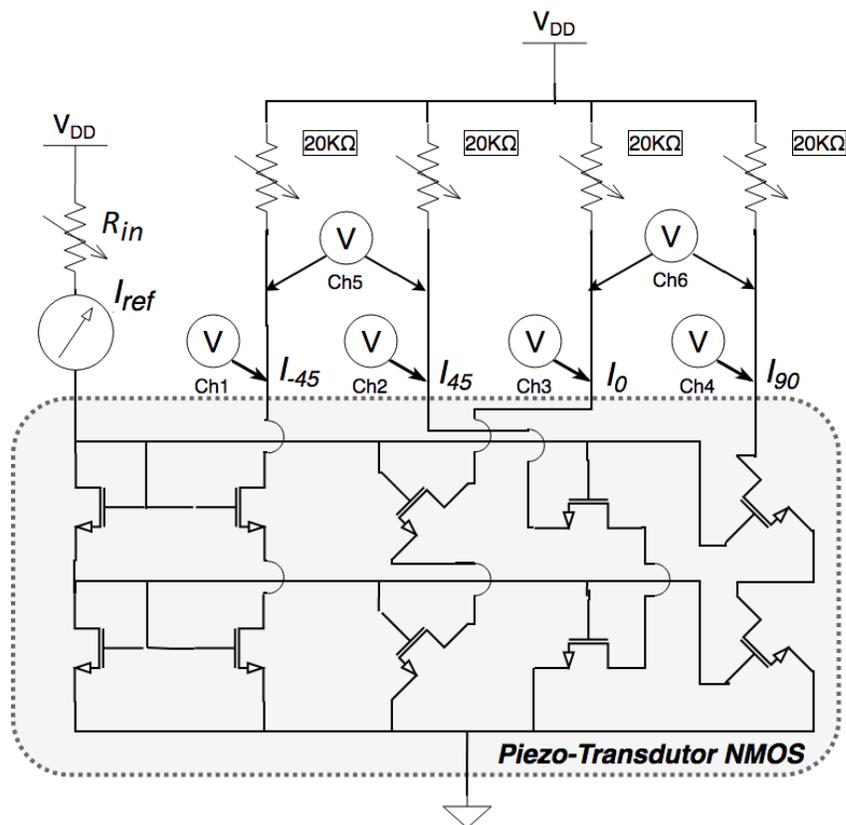


Figura 8.4: Montagem experimental para caracterizar a resposta do espelho com piezo-MOSFET ao estresse mecânico.

Para este teste, usamos uma fonte externa para polarizar o CHIP (onde foram integrados os sensores espelhos de corrente piezo-MOSFET) com uma tensão de $V_{DD} = 5\text{V}$, sem habilitar nem

utilizar outros circuitos, como, por exemplo, o gerador de corrente e tensão de referência ou a modulação por largura de pulso. A corrente de referência é calibrada com um resistor ligado na entrada do espelho, enquanto resistores variáveis são usados como carga nas saídas dos espelhos, estes resistores de carga são cuidadosamente calibrados, para que a tensão seja igual para todos os terminais na ausência de deformação mecânica interna, eliminando, assim, qualquer *offset* associado ao estresse remanescente. A tensão sobre os resistores e entre terminais diferenciais são monitoradas usando os diferentes canais da placa de aquisição, como ilustrado na Figura 8.4. A mudança na corrente de saída é estimada usando a lei de ohm, dividindo a variação medida na tensão de cada canal com a resistência média de carga nas saídas.

A tensão de saída é observada e nomeada segundo o ângulo em que a corrente está orientada, de acordo com a direção de referência, assim as $\varphi = -45^\circ$, 0° , 45° e 90° , correspondem as correntes I_{-45} , I_0 , I_{45} e I_{90} .

Aplicando a deformação mecânica, medimos a saídas. Inicialmente, focamos em duas direções relevantes e diferentes, os ângulos $\lambda = 0^\circ$, 45° , por serem alinhados com as principais direções cristalográficas na superfície do silício. Em seguida, orientamos as amostras em outros ângulos intermediários $\lambda = 22,5^\circ$, $67,5^\circ$, 90° e $112,5^\circ$, para observar o comportamento em outras orientações de estresse.

Para reduzir as oscilações e a influência do ruído, foram realizadas múltiplas medidas para cada deformação, usando como valor nominal a média destas observações.

Para o piezo-MOSFET tipo-n

A Figura 8.5 mostra a variação das correntes de saída para o estresse orientado a $\lambda = 0^\circ$ e $\lambda = 45^\circ$. Podem ser observadas quatro medições correspondentes às quatro orientações medidas: I_{-45} , I_0 , I_{45} e I_{90} . Chama a atenção a corrente I_{-45} , justamente por não apresentar variação com o estresse. Resultado esperado, já que nesta direção encontram-se alinhados os transistores de referência. Enquanto nas outras correntes se evidencia uma forte dependência linear com o estresse. Usando a regressão, estimamos a sensibilidade ao estresse em cada direção, resultados resumidos na Tabela 8.2, assim como um coeficiente R^2 maior que 0.97, o que comprova a resposta linear dentro do intervalo de estresse especificado.

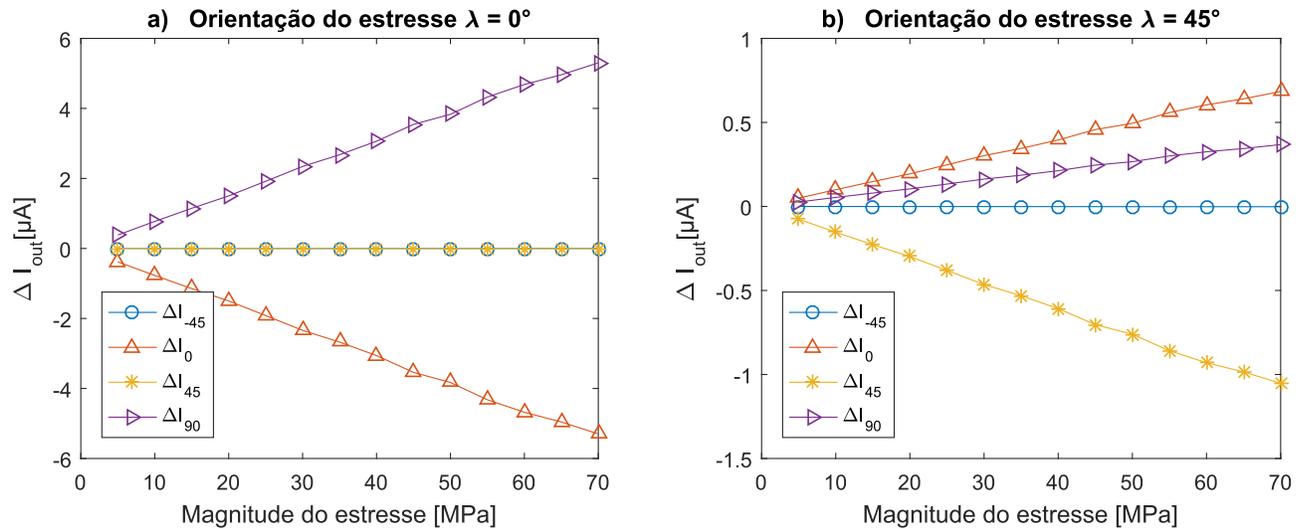


Figura 8.5: Resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET com NMOS, para estresse orientado a: a) $\lambda = 0^\circ$; e b) $\lambda = 45^\circ$.

Os resultados são muito similares aos do sensor piezo-resistivo apresentado anteriormente, evidenciando a relação entre o efeito piezo-resistivo e efeito piezo-MOS. É possível observar:

- uma maior sensibilidade nas correntes I_0 e I_{90} quando a orientação de estresse é $\lambda = 0^\circ$, caso em que os piezo-coeficientes π_{11} e π_{12} são dominantes.
- variação das I_0 , I_{45} e I_{90} com o estresse orientado a $\lambda = 45^\circ$. Porém esta variação é menor se comparada com a outra direção observada, já que relaciona-se com o piezo-coeficiente de cisalhamento π_{44} , que é menos significativo em silício tipo-n.
- as correntes I_0 e I_{90} não variam na mesma proporção. Isto evidencia um erro no alinhamento do estresse na montagem experimental, já que, segundo a modelagem matemática apresentada no Capítulo 5, para estresse orientado em $\lambda = 45^\circ$, a variação teria que ser idêntica.

A Figura 8.6 mostra a variação diferencial entre as saídas de correntes com a mesma orientação, assim $I_A = I_{-45} - I_{45}$ e $I_B = I_0 - I_{90}$. Em cada gráfico, evidencia-se uma forte dependência linear com o estresse.

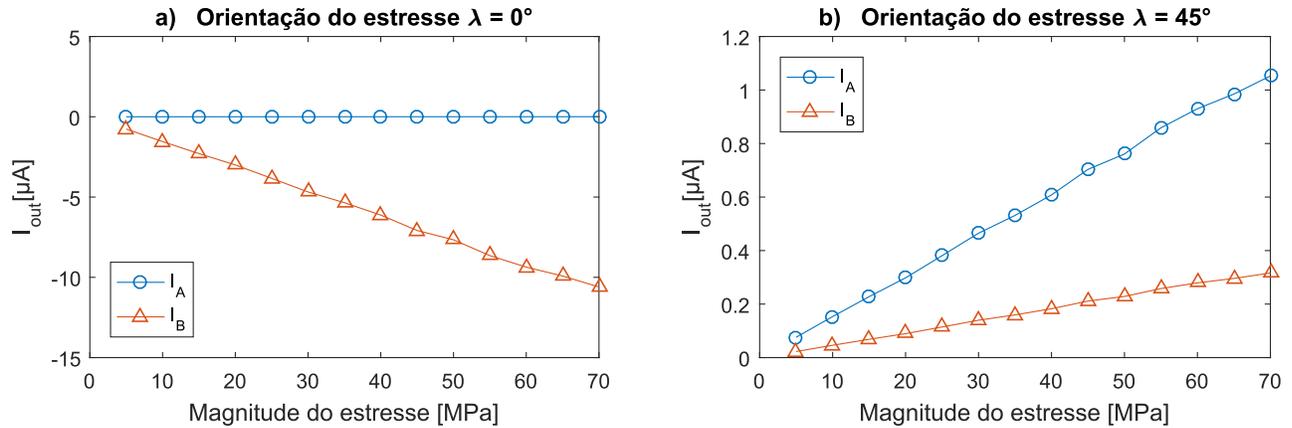


Figura 8.6: Resultado experimental para a diferença de correntes de saídas com o estresse mecânico para o espelho piezo-MOSFET com NMOS, para estresse orientado a: a) $\lambda = 0^\circ$; e b) $\lambda = 45^\circ$.

É possível observar uma maior sensibilidade das correntes I_B na orientação de estresse de $\lambda = 0^\circ$, e de I_A na orientação de estresse de $\lambda = 45^\circ$, enquanto estas variam pouco nas outras direções. Ainda que I_B na orientação de estresse $\lambda = 45^\circ$ mostre alguma sensibilidade, esta pode ser relacionada a um erro de alinhamento na montagem. Fica evidente também que o sinal diferencial I_A apresenta uma sensibilidade menor que I_B , corrente onde a sensibilidade é dominada pelos piezo-coeficientes $\pi_{11} - \pi_{12}$, sendo de valor maior em comparação com o piezo-coeficiente π_{44} no silício tipo-n.

Repetimos o teste, utilizando outros ângulos de orientação de estresse. A Tabela 8.2 resume a inclinação da saída $\Delta I_{out}/I_{ref}$ com o estresse para cada orientação. Estes resultados estão de acordo com o esperado, correspondem ao modelo apresentado para a variação da corrente em MOSFET com o estresse e evidenciam a relação com o efeito piezo-resistivo em Silício.

Tabela 8.2: Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$ para espelho nMOS sob efeito do estresse mecânico [$10^{-10} Pa^{-1}$] (para cada orientação de estresse uniaxial λ).

$\lambda [^\circ]$	$\frac{\Delta I_{-45}}{I_{ref}}$	$\frac{\Delta I_0}{I_{ref}}$	$\frac{\Delta I_{45}}{I_{ref}}$	$\frac{\Delta I_{90}}{I_{ref}}$	$\frac{I_{-45} - I_{45}}{I_{ref}}$	$\frac{I_0 - I_{90}}{I_{ref}}$
0	-0,001	-7,69	-0,01	7,70	0,01	-15,39
22,5	0,003	-4,72	-1,13	5,87	1,13	-10,65
45	0,002	-0,99	-1,53	0,51	1,52	0,45
67,2	0,01	6,11	-1,05	-5,04	1,05	11,15
90	-0,001	7,71	-0,05	-7,66	0,05	15,38
112,5	-0,005	4,63	1,12	-5,76	-1,12	10,32
135	0,001	-0,35	1,52	-0,78	-1,53	0,22

Para o piezo-MOSFET tipo-p

Repetindo o procedimento para o espelho com piezo-MOSFET tipo-p, obtemos resultados que foram resumidos na Tabela 8.3 e ilustrados na Figuras 8.7e 8.8. Resultados consoantes ao

esperado.

A Figura 8.7 mostra a variação das tensões I_{-45} , I_0 , I_{45} e I_{90} para estresse orientado a $\lambda = 0^\circ$ e $\lambda = 45^\circ$. Como esperado, a corrente I_{-45} apresenta sensibilidade maior quando o estresse está orientado a $\lambda = 0^\circ$, enquanto I_0 e I_{90} tem uma variação menor em proporção. Este resultado é esperado, já que o piezo-coeficiente de cisalhamento é dominante no sensor com espelhos PMOS. Estimamos a sensibilidade ao estresse em cada direção, usando regressão linear, cujos resultados aparecem resumidos na Tabela 8.3. Usando a mesma regressão linear, encontramos que o coeficiente R^2 é maior que 0.98. Novamente, todos os resultados evidenciam uma forte dependência linear com o estresse.

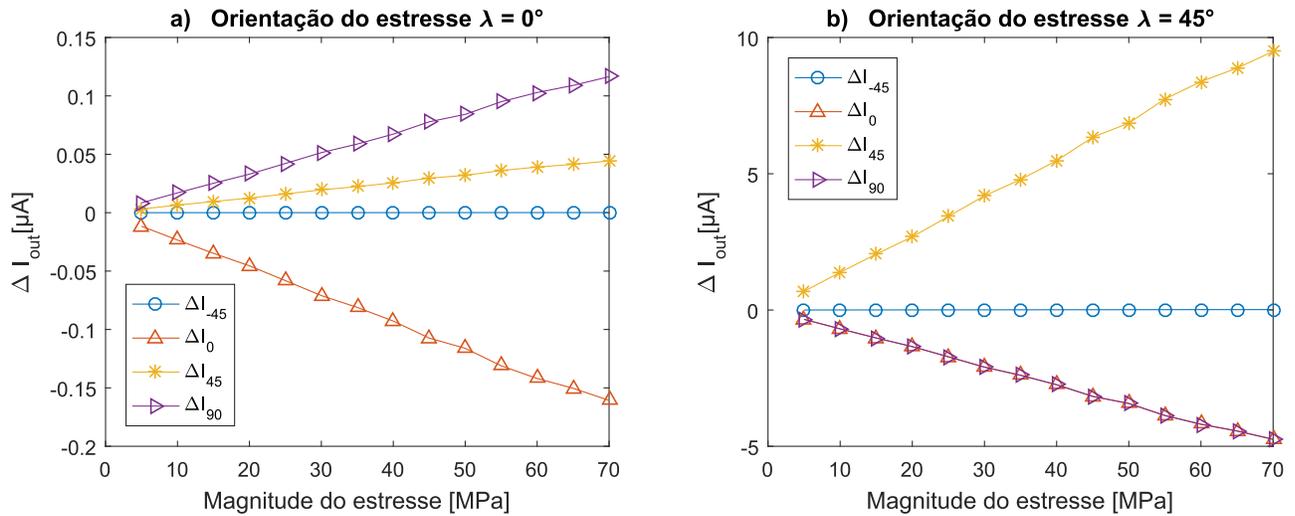


Figura 8.7: Resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET com PMOS, para estresse orientado a: a) $\lambda = 0^\circ$; e b) $\lambda = 45^\circ$.

Diferente do NMOS, é possível observar que a sensibilidade nas correntes resulta ser muito baixa quando o estresse está orientado a $\lambda = 0^\circ$, enquanto as correntes I_0 , I_{90} e especialmente I_{45} apresentam sensibilidade significativa quando a orientação de estresse é $\lambda = 45^\circ$. Como mencionado no Capítulo 3, para silício tipo-p o piezo-coeficiente dominante é π_{44} , que representa a variação com o estresse de cisalhamento, componente que tem valor máximo para $\lambda = 45^\circ$.

A Figura 8.6 mostra a variação diferencial entre as saídas de correntes com a mesma orientação, assim $I_A = I_{-45} - I_{45}$ e $I_B = I_0 - I_{90}$. Enquanto a corrente diferencial I_B muda muito pouco, a corrente I_A apresenta uma forte variação com o estresse.

Repetimos o teste, utilizando outros ângulos de orientação de estresse. A Tabela 8.3 resume a inclinação da saída $\Delta I_{out}/I_{ref}$ em relação ao estresse para cada orientação. Estes resultados estão de acordo com o esperado e, correspondem ao modelo apresentado para a variação da corrente em MOSFET com o estresse.

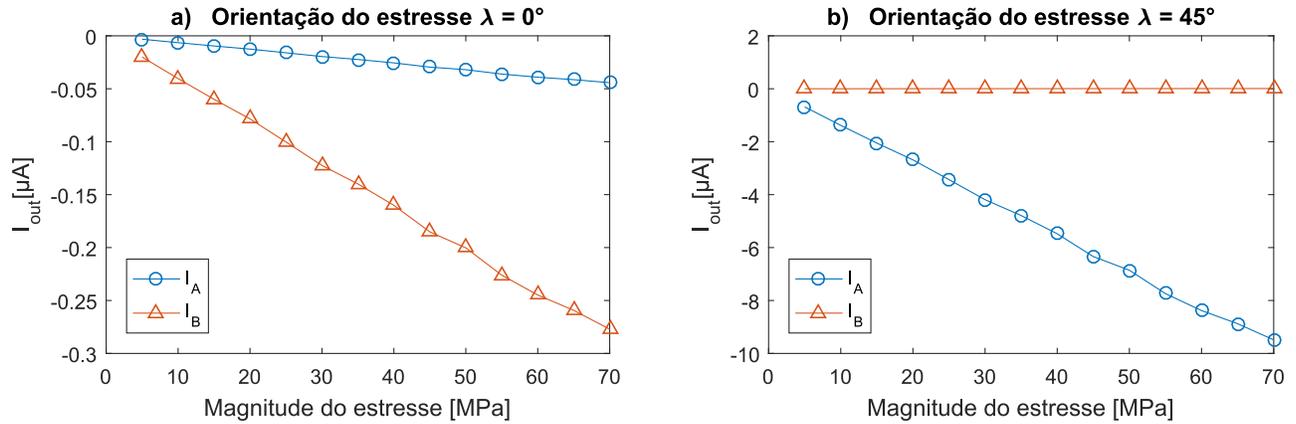


Figura 8.8: Resultado experimental para a diferença de correntes de saídas com o estresse mecânico para o espelho piezo-MOSFET com PMOS, para estresse orientado a: a) $\lambda = 0^\circ$; e b) $\lambda = 45^\circ$.

Tabela 8.3: Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$, sob efeito do estresse mecânico [$10^{-10} Pa^{-1}$], para cada orientação de estresse uniaxial λ , no espelho pMOS.

$\lambda [^\circ]$	$\frac{\Delta I_{-45}}{I_{ref}}$	$\frac{\Delta I_0}{I_{ref}}$	$\frac{\Delta I_{45}}{I_{ref}}$	$\frac{\Delta I_{90}}{I_{ref}}$	$\frac{I_{-45} - I_{45}}{I_{ref}}$	$\frac{I_0 - I_{90}}{I_{ref}}$
0	0,001	-0,23	0,07	0,16	-0,07	-0,40
22,5	-0,002	-5,11	9,95	-4,91	-9,95	0,27
45	0,002	-6,88	13,73	-6,89	-13,73	0,01
67,2	0,009	-4,61	9,52	-4,81	-9,52	0,24
90	-0,001	-0,04	0,48	-0,44	-0,48	0,46
112,5	-0,005	5,22	-10,15	4,95	10,16	0,27
135	0,002	6,89	-13,78	6,89	13,78	0,05

8.2.2 Circuito de subtração de corrente e variação das diferenciais de saída pelo efeito do estresse mecânico

Montagem do teste de caracterização

A montagem experimental foi alterada, para medir a saída do sensor de estresse com espelhos piezo-MOS em relação ao circuito para subtração de corrente. O circuito usado é ilustrado na Figura 8.9. A corrente de referência é gerada e calibrada com um resistor ligado na entrada do espelho, enquanto resistores variáveis são usados para estabelecer uma tensão de saída próxima a $0,5 * V_{DD}$.

Todos os testes foram feitos em temperatura ambiente (300K), usando um multímetro Agilent 3401-A e uma placa de aquisição de dados NI-6407.

Empregando deformação mecânica e usando o ensaio à flexão, medimos, simultaneamente, as saídas. Repetimos o procedimento já descrito na caracterização do dispositivo, aplicando,

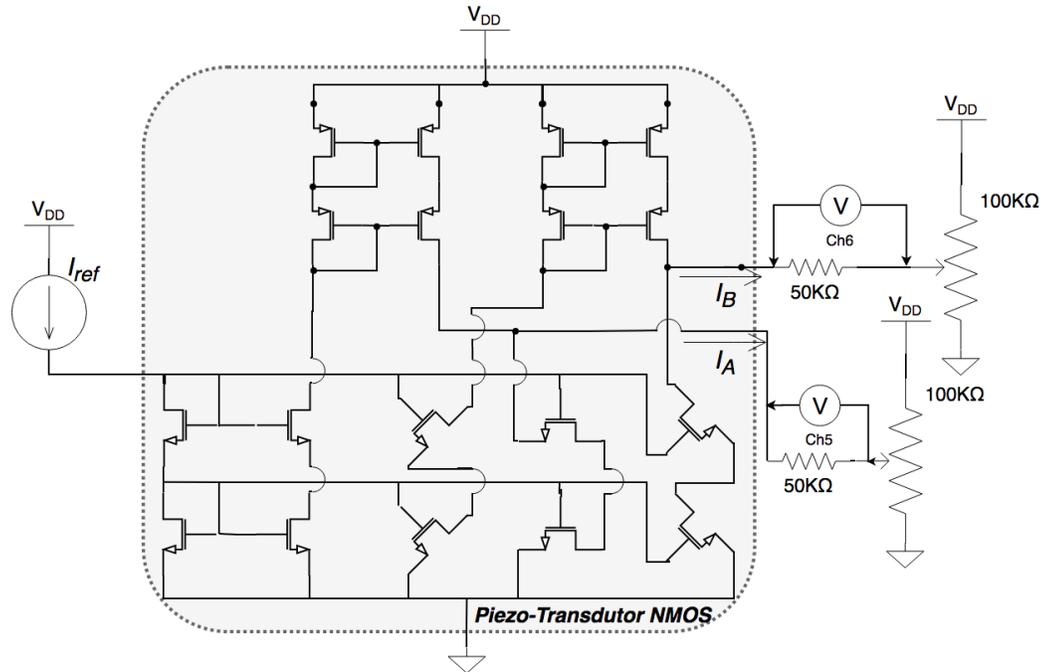


Figura 8.9: Montagem experimental para a validação do espelho com piezo-MOSFET.

num primeiro momento, o teste com estresse orientado nos ângulos $\lambda = 0^\circ$, 45° , para em seguida, orientar as amostras em outros ângulos intermediários $\lambda = 22,5^\circ$, $67,5^\circ$, 90° e $112,5^\circ$, a fim de observar o comportamento em outras orientações de estresse.

Observações com o circuito subtrator de corrente

A Figura 8.10 mostra a variação da corrente de saída em cada direção, para estresse orientado a $\lambda = 0^\circ$ e $\lambda = 45^\circ$ para ambos os sensores (espelhos usando transistores NMOS e PMOS). Podem ser observadas duas medições correspondentes às duas correntes diferenciais medidas: I_{AnMOS} e I_{BnMOS} para as correntes no espelho NMOS orientadas na direção $\langle 110 \rangle$ e $\langle 100 \rangle$ respectivamente; e I_{ApMOS} e I_{BpMOS} para as correntes no espelho PMOS orientadas na direção $\langle 110 \rangle$ e $\langle 100 \rangle$ respectivamente. Em cada gráfico, evidencia-se uma forte dependência linear com o estresse.

Os resultados são muito similares aos observados na seção anterior para as correntes diferenciais estimadas $I_A = I_{-45} - I_{45}$ e $I_B = I_0 - I_{90}$, evidenciando que o circuito de subtração de corrente funciona muito bem para encontrar a diferença de corrente.

É possível observar um pequeno nível de *offset* nas correntes, o que pode estar associado ao estresse remanescente, ou a um descasamento nos espelhos usados no circuito de subtração de corrente.

Para os sensores usando espelhos NMOS, é possível observar uma maior sensibilidade na orientação de estresse em $\lambda = 0^\circ$ para a corrente I_{BnMOS} , enquanto a corrente I_{AnMOS} permanece praticamente invariante para $\lambda = 0^\circ$, mas apresenta sensibilidade quando o estresse é orientado em $\lambda = 45^\circ$. Em contraposição, para espelhos PMOS é possível observar uma maior sensibi-

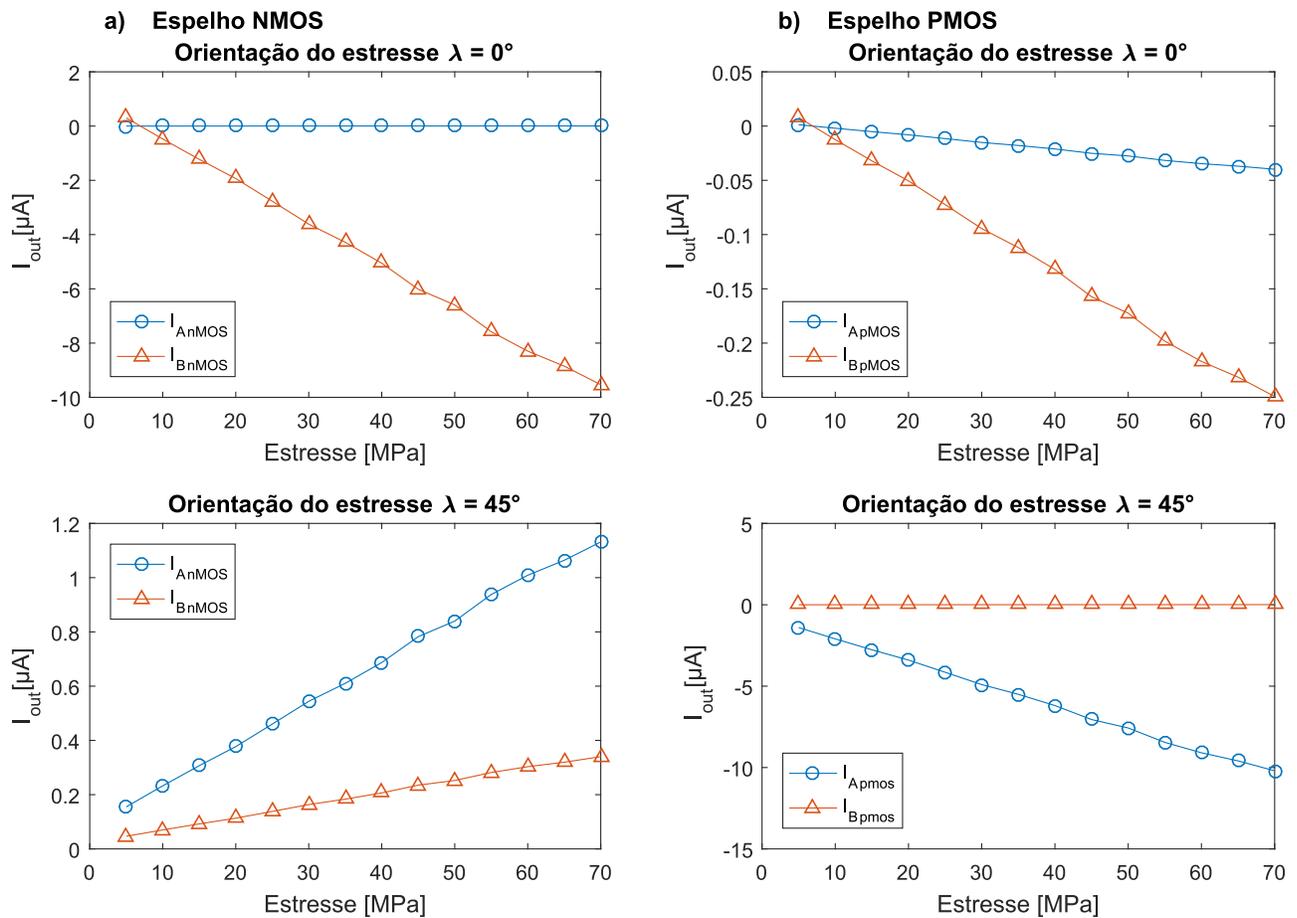


Figura 8.10: Comparação do resultado experimental para a variação da corrente de saída com o estresse mecânico para o espelho piezo-MOSFET usando NMOS, para estresse orientado a: a) $\lambda = 0^\circ$ e b) $\lambda = 45^\circ$.

lidade na orientação de estresse em $\lambda = 45^\circ$ para a corrente I_{ApMOS} , enquanto as correntes mudam muito pouco para $\lambda = 0^\circ$, podendo ser consideradas praticamente invariantes. Estes resultados vão ao encontro do esperado, já que os piezo-coeficientes $\pi_{11} - \pi_{12}$ são dominantes para NMOS, enquanto o piezo-coeficiente π_{44} é dominante para PMOS.

Repetindo o teste, utilizando outros ângulos de orientação de estresse, e realizando uma regressão linear dos dados, foi possível encontrar a sensibilidade e o coeficiente R^2 . Para todas as direções de corrente e estresse obtivemos um coeficiente R^2 superior a 0,98, evidenciando, assim, o comportamento linear no intervalo de estresse observado. A Tabela 8.4 resume a inclinação da saída $\Delta I_{out}/I_{ref}$ em relação ou estresse, para cada orientação. Estes resultados estão de acordo com o esperado, pois correspondem ao modelo apresentado para a variação da corrente em MOSFET com o estresse, e evidenciam a relação com o efeito piezo-resistivo em Silício.

Os coeficientes piezo-resistivos foram estimados para os transistores NMOS e PMOS usando os resultados experimentais. Os valores estimados podem ser observados na Tabela 8.5, os quais são diferentes dos estimados para o piezo-resistor 8TSP, justamente pela dopagem e número de portadores disponíveis na área ativa dos transistores.

Tabela 8.4: Sensibilidade da variação da corrente de saída normalizada $\Delta I_{out}/I_{ref}$ sob efeito do estresse mecânico [10^{-10}Pa^{-1}] e corrente de offset, para cada orientação de estresse uniaxial λ .

$\lambda [^\circ]$	NMOS				PMOS			
	$\Delta I_A/I_{ref}$	$\Delta I_B/I_{ref}$	$I_{A_0}[\text{nA}]$	$I_{B_0}[\text{nA}]$	$\Delta I_A/I_{ref}$	$\Delta I_B/I_{ref}$	$I_{A_0}[\text{nA}]$	$I_{B_0}[\text{nA}]$
0	0,01	-15,39	-0,4	604	0,01	-15,39	2,5	15,8
22,5	1,10	-10,65	-13,3	-91,7	1,13	-10,65	-85,4	-2,4
45	1,53	0,46	79,4	23,5	1,52	0,45	-703	0,61
67,2	1,05	11,15	66,5	705	1,05	11,15	-601	18,5
90	0,05	15,38	-3,3	641	0,05	15,38	-20,4	16,7
112,5	-1,13	10,41	-11,92	-99	-1,12	10,32	-96,7	-2,6
135	-1,53	0,21	74,1	-10,5	-1,53	0,22	-673,9	-0,2

Tabela 8.5: Coeficientes piezo-resistivos de primeira ordem CPRP [10^{-10}Pa^{-1}] estimados neste trabalho e comparados com valores apresentados na literatura.

CPRP [π_{ij}]	Tipo-p			Tipo-n		
	PMOS (Estimado)	Smith	Matsuda	NMOS (Estimado)	Smith	Matsuda
π_{11}	-0,2	0,7	-0,6	-10,1	-10,2	-7,7
π_{12}	0,1	-0,1	0,1	5,3	5,3	3,9
π_{44}	13,4	13,8	11,2	-1,53	-1,4	-1,4

Do mesmo modo como no sensor piezo-resistivo, caracterizado no Capítulo 7, os espelhos PMOS apresentaram pouca sensibilidade aos componentes do estresse longitudinal e transversal, observadas na corrente I_{ApMOS} . Na orientação de estresse em $\lambda = 0^\circ$, a corrente I_{BpMOS} apresenta uma maior sensibilidade, fato que pode estar relacionado à um erro de alinhamento. O espelho NMOS apresenta sensibilidade para ambas as direções, ainda que seja muito menos sensível ao estresse de cisalhamento que aos componentes transversais e longitudinais. Diferente dos piezo-resistores 8TSP, apresentados anteriormente, existe, neste contexto, um controle mais preciso da corrente e, conseqüentemente, da potência. Deste modo, ambos os dispositivos são polarizados com os mesmos níveis de tensão e corrente de referência, apresentando um consumo reduzido e mantendo uma boa sensibilidade.

Os espelhos PiezoFET com transistores NMOS e PMOS podem e serão usados para implementar a matriz de piezo-transdutores, gerando assim medições complementares.

8.2.3 Conclusões parciais do testes de Validação

Baseados nos resultados do teste sob estresse controlado à temperatura ambiente, concluímos que:

- É possível observar variações associadas ao estresse aplicado nas medições feitas em todas as direções do dispositivo.
- A resposta das correntes de saída apresentam comportamento linear com o estresse, para os níveis de deformação aplicados. Usando regressão linear, foi possível obter coeficientes R^2 superiores a 0,98 para todos os conjuntos de dados, estimando-se, assim, a sensibilidade

em cada direção. Esta sensibilidade difere segundo a orientação, o que vai ao encontro do efeito piezo-resistivo na mobilidade de portadores em silício descrito no Capítulo 3.

- Os sensores baseados em piezo-MOSFET apresentaram comportamento similar aos piezo-resistores de 8TSP, demonstrando que o efeito de estresse na mobilidade de portadores domina o comportamento tanto para a piezo-resistividade, como nos transistores MOS, validando o modelo e as aproximações feitas no projeto do sensor.
- Para esta tecnologia, os dispositivos piezo-MOSFET com transistores PMOS apresentam maior sensibilidade ao componente de estresse de cisalhamento, enquanto os NMOS apresentam maior sensibilidade ao estresse transversal e longitudinal. Deste modo, ambos os dispositivos podem ser usados para obter medidas complementares de cada componente do estresse, possibilitando, assim, o mapeamento do estado de estresse na superfície do silício.

8.3 Estimativa de direção e magnitude de estresse

Caracterizamos os sensores piezo-MOSFET NMOS e PMOS para direções de estresse conhecidas e estimamos a sensibilidade para cada componente de estresse. Com estas informações, pudemos estimar a orientação e a magnitude de qualquer estresse uniaxial na superfície do silício.

Usando o aparato de ensaio à flexão com o disco, pudemos girar o dispositivo e, assim, alinhar o estresse em qualquer ângulo desejado, usando sempre a mesma amostra. O disco foi girado em passos de 5° , para observar a resposta de saída em várias direções, variando o ângulo de orientação do estresse λ no intervalo $[-45^\circ, 135^\circ]$. Uma corrente de referência de $100\mu\text{A}$ foi utilizada nos espelhos NMOS e PMOS, os quais foram ligados ao circuito de subtração, a fim de se obter a corrente diferencial entre direções complementares. Os resultados para seis testes diferentes podem ser observados na Figura 8.11, onde os marcadores representam as observações e a linha sólida o resultado esperado. Observamos que todas as medições das correntes de saída estão muito próximas da linha sólida, seguindo o esperado.

O ângulo e a magnitude de estresse podem ser estimados usando pelo menos duas correntes em direções diferentes, I_A e I_B . Para o cálculo, usaremos a corrente I_{ApMOS} do sensor com transistores PMOS e a corrente I_{BnMOS} dos transistores tipo NMOS, já que são as correntes que apresentam uma maior sensibilidade em cada um dos piezo-transdutores.

A Figura 8.12 ilustra o ângulo esperado e o erro, que resulta ser menor que 5° , mostrando que esta metodologia pode ser, efetivamente, aplicada para encontrar os componentes da tensão mecânica uniaxial, na superfície de um dispositivo de silício. Este erro pode ser associado a incorreções de alinhamento no disco durante a montagem do experimento.

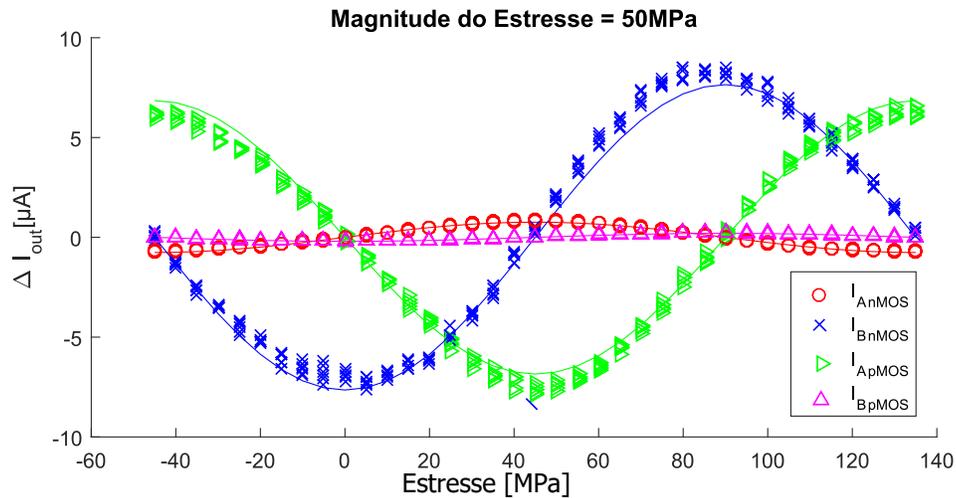


Figura 8.11: Correntes diferenciais de saída nos espelhos piezo-MOSFET, para diferentes orientações de estresse

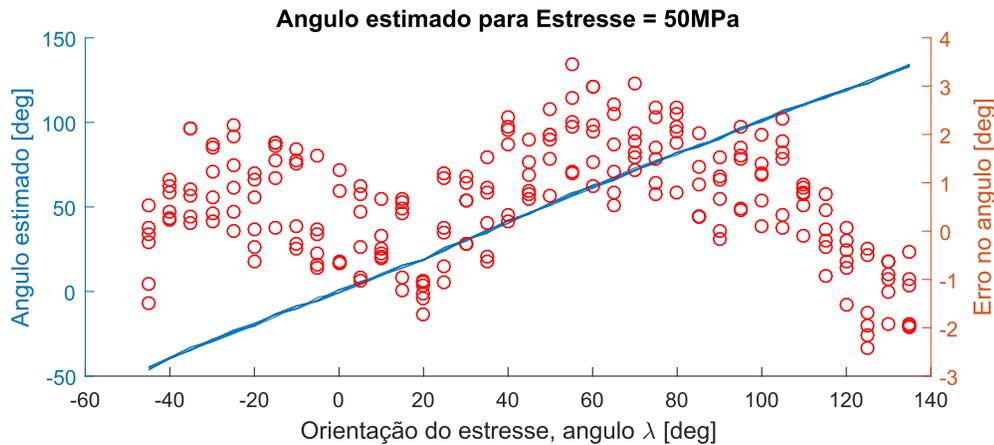


Figura 8.12: Ângulo estimado usando as medições nos espelhos piezo-MOSFET. A linha Azul representa o ângulo estimado, enquanto os marcadores vermelhos representam o erro de alinhamento com o ângulo esperado

8.3.1 Conclusões parciais

- Usando as correntes de saída dos piezo-transdutores tipo espelho piezo-MOS foi possível estimar a magnitude e a direção da tensão uniaxial aplicada na superfície, com um erro angular inferior a 4° em todas as direções.
- Este erro pode ser relacionado à configuração experimental, já que nenhuma medida especial, nem cuidado diferenciado foram utilizados para calibrar o ângulo de orientação de estresse no disco.
- Este dispositivo é projetado para ser utilizado como elemento sensor em uma matriz de sensor, a fim de mapear a tensão ao longo da superfície do chip. Uma ferramenta útil para investigar a tensão residual induzida no empacotamento microeletrônico.

8.4 Resultados do espelho piezo-MOSFET com circuito digitalizador por largura de Pulso

No teste realizado, uma das saídas do espelho piezo-MOSFET com circuito de subtração de corrente é ligado com o circuito digitalizador em largura de pulso, como ilustrado no Capítulo 5. O sinal em corrente é ligado externamente, já que ainda que fabricados no mesmo CHIP de silício, os circuitos de geração de corrente de referência e o modulador por largura de pulso não estão ligados internamente com os espelhos piezo-MOSFET. Não foi implementado circuito de seleção ou de multiplexação de entradas nesta fase do projeto, por isso, para digitalizar cada saída é necessário ligar individualmente cada sinal ao modulador.

Todas as medições foram feitas em temperatura ambiente (300K), usando um multímetro Agilent 3401-A, e um osciloscópio. Para este teste, usamos uma fonte externa para polarizar o CHIP (onde foram integrados os sensores espelhos de corrente piezo-MOSFET), com uma tensão de $V_s = 5V$, mas não foram habilitados nem usados outros circuitos, como o gerador de corrente e tensão de referência ou a modulação por largura de pulso. O estresse foi aplicado de forma controlada, usando o aparato para ensaio à flexão em 4 pontos.

Só duas correntes foram ligadas e observadas: a corrente I_{BnMOS} para estresse orientado a $\lambda = 90^\circ$ e a corrente I_{ApMOS} para estresse orientado a $\lambda = 45^\circ$, já que são as correntes que apresentaram uma mudança mais significativa durante os testes de caracterização.

8.4.1 Circuito de polarização e características estáticas

Os dispositivos foram alimentados com uma tensão máxima $V_{DD} = 5 \pm 0,5 V$ (os circuitos foram projetados para tolerar uma variação de 10% na tensão nominal de 5V), em condições nominais. A tensão de referência de BandGap medida foi de 1.303V e, a corrente de referência foi próxima de 10,4 μA . As medidas e estimativas de consumo de potência, corrente de polarização e tensões de operação estão resumidas na Tabela 8.6.

Tabela 8.6: Resultados da caracterização dos circuitos elétricos do sensor.

Parâmetro	Descrição	Min	Typ	Max	Unidade
P_{in}	Potência consumida			40	[mW]
V_{BGAP}	Tensão de referência gerada pelo circuito de BandGap		1,3		[V]
I_{bias}	Corrente de polarização sobre o sensor	10	10	10,4	[μA]
V_{on_n}	Tensão mínima para os espelhos cacode com transistores tipo NMOS	1,4			[V]
V_{on_p}	Tensão mínima para os espelhos cacode com transistores tipo PMOS	1,8			[V]

8.4.2 Sensibilidade da digitalização de sinal por largura de pulso

Polarizando o circuito e ligando a corrente de referência no espelho, enquanto a saída é conectada ao modulador, conseguimos obter como resultado um sinal digital modulado em largura de pulso, conforme pode ser observado nas Figuras 8.13 e 8.14. A Figura 8.13 ilustra a saída em tensão para a corrente I_{BnMOS} , enquanto a Figura 8.14 ilustra a saída modulada para a corrente I_{ApMOS} , quando o estresse de 10MPa e 60MPa é aplicado. Em ambos os casos é evidente que existe uma variação do sinal com o estresse.

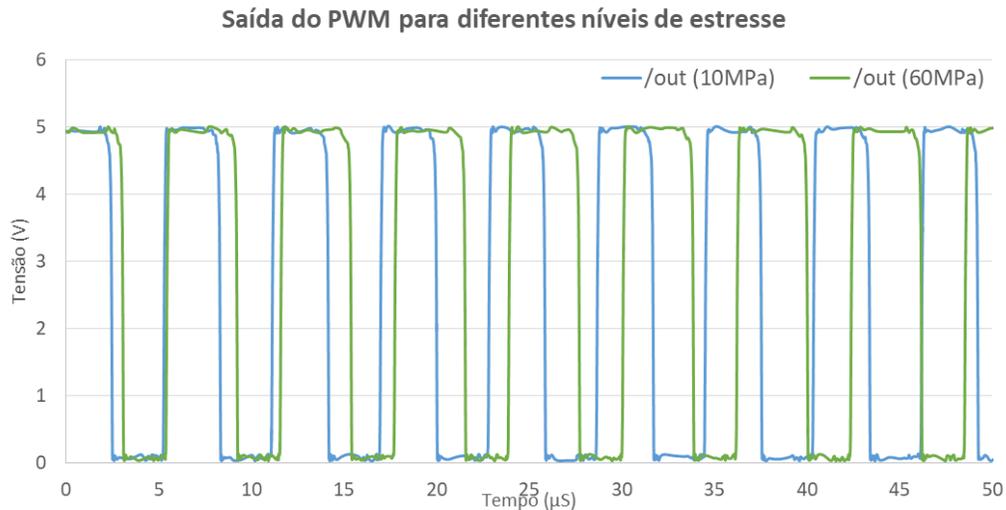


Figura 8.13: Medida da tensão de saída do circuito modulador de largura de pulso quando a corrente I_{BnMOS} é usada.

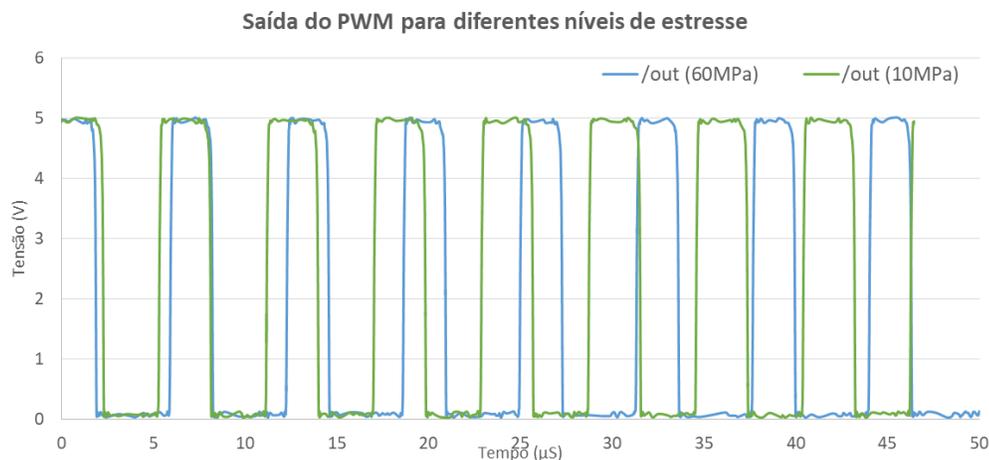


Figura 8.14: Medida da tensão de saída do circuito modulador de largura de pulso quando a corrente I_{ApMOS} é usada.

Repetimos o teste para diversos níveis de estresse, calculando o tempo de trabalho (Duty cycle) e a frequência do sinal digitalizado para ambas as correntes. Os resultados são ilustrados na Figura 8.15. Aparentemente, o Duty cycle está centralizado em 50% e tem uma relação

linear com o estresse mecânico aplicado, enquanto a frequência fica próxima aos 170KHz, e apresenta uma resposta de segunda ordem, o que é compatível com o projeto descrito no Capítulo 5

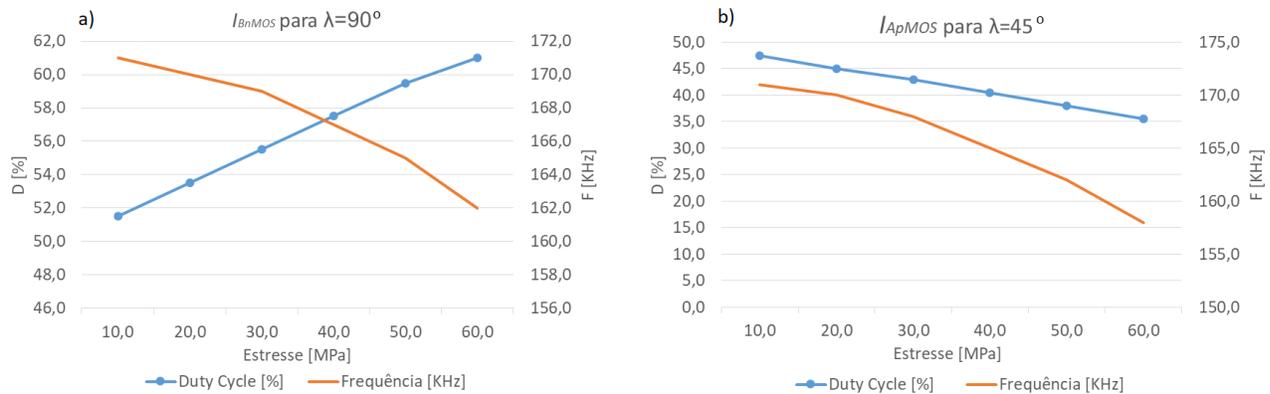


Figura 8.15: Duty cycle e frequência para os sinais modulados das correntes: a) I_{BnMOS} com estresse orientado a $\lambda = 90^\circ$; e b) I_{ApMOS} para estresse orientado a $\lambda = 45^\circ$.

8.4.3 Conclusões parciais para o piezo-MOSFET com circuito digitalizador de sinal em PWM

Baseado nos resultados do teste sob estresse controlado em temperatura ambiente, concluímos que:

- O circuito de geração de referência gera uma corrente suficiente para polarizar o sensor piezo-MOSFET e uma tensão de referência que pode ser usada pelo modulador de largura de pulso.
- Se evidencia uma variação do sinal modulado na saída ao aplicar um estresse mecânico. Aparentemente, a largura de pulso e a frequência variam de acordo com o esperado.

Capítulo 9

Caracterização experimental das matrizes de Sensores de estresse

Este capítulo apresenta a caracterização experimental das matrizes de sensores de estresse usadas para mapear o estresse mecânico na superfície do CHIP de Silício. Foram fabricados 2 modelos diferentes de CHIPS com os diferentes tipos de sensores, como descrito nos Capítulos 4 e 5, que serão deformados mecanicamente utilizando o aparato de ensaio de flexão de 4 pontos, descrito no Capítulo 6.

Iniciaremos o Capítulo mostrando os resultados da simulação do Modelo de Elementos Finitos do Chip de silício. Estes resultados são importantes, serão usados como base para comparar os resultados obtidos da distribuição de estresse observada experimentalmente.

A continuação, será apresentado o procedimento de teste e resultados. Foram caracterizados 2 Chips com tipos de matrizes de transdutores diferentes:

- O CHIP com matrizes de piezo-resistores 8TSP tipo-n, onde formam integradas duas matrizes de 4×4 transdutores cada, cada matriz com uma área aproximada de $500\mu\text{m} \times 500\mu\text{m}$, posicionadas em esquinas diferentes
- O CHIP de piezo-transdutores com espelhos de corrente piezo-MOSFET, onde está integrada duas matrizes de 8×4 transdutores intercalando transdutores pMOS e nMOS cada, cada matriz com uma área aproximada de $200\mu\text{m} \times 400\mu\text{m}$, as matrizes foram colocados uma do lado da outra, assim totalizando uma 64 transdutores em uma área de $400\mu\text{m} \times 400\mu\text{m}$.

9.1 Resultados de Simulação Multi física do Dispositivo em Silício

O análise de Elementos Finitos do sensor octogonal piezo-resistivo e do teste de quatro pontas já foi descrito nos Capítulos 3 e 6. Usaremos em estes resultados como base comparativa para os resultados validados.

Cada modelo simulado inclui o chip um chip de silício quadrado de 2mm de lado, o disco metálico e uma camada de interface muito mais elástica e flexível, representando o adesivo usado

para fixar o dispositivo.

A Figura 9.1 apresenta os resultados da simulação de deformação mecânica para um dispositivo colado em um disco de aço. Cada gráfico apresenta a distribuição de estresse principal resultante (também chamado de estresse de Von Mises), como descrito a seguir :

- A Figura 9.1.a representa o estresse no sistema completo, incluído o disco, adesivo e sensor. É possível observar que o estresse está uniformemente distribuído no centro do substrato circular, lugar onde está colado o dispositivo. A deformação na superfície do disco é igual à deformação da camada de adesivo e da parte inferior do chip, porém o estresse é diferente, fato explicado pelas diferenças no módulo de elasticidade de cada material.
- A Figura 9.1.b representa um estresse alinhado com a orientação cristalográfica de referência [100] ($\lambda = 0^\circ$). Os dispositivos são cortados na direção $\langle 110 \rangle$, motivo pelo qual o estresse está alinhado com a diagonal do CHIP.
- A Figura 9.1.c representa um estresse alinhado com a outra orientação cristalográfica [110] ($\lambda = 45^\circ$). Em este caso, o estresse está alinhado com a transversal do CHIP.

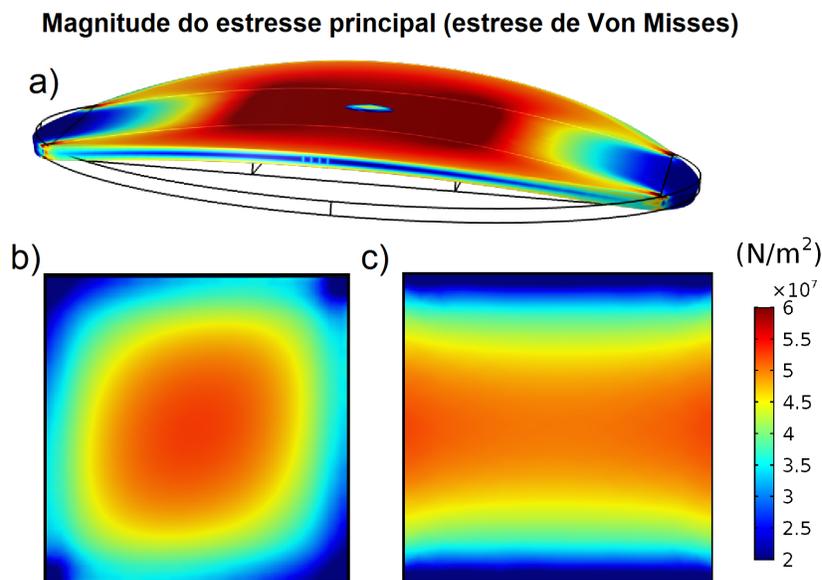


Figura 9.1: Resultados de distribuição de estresse em um Chip de silício colado em um substrato circular metálico: a) Distribuição do estresse sobre o disco simulando um ensaio de flexão de quatro pontos; b) distribuição do estresse no CHIP quando o esforço é orientado alinhado com referência [010] ($\lambda = 0^\circ$); e c) com estresse alinhado a [110] ($\lambda = 45^\circ$)

Pode ser observado que o estresse na parte central do CHIP está próximo dos 50MPa, porém não está uniformemente distribuído, diminuindo a medida que se aproxima das bordas. Justamente por que o dispositivo está colado, e estas bordas não estão em contato com o adesivo ou a superfície do disco metálico.

9.2 Observações do efeito do estresse em matriz de piezo-resistores de 8TSP e conclusões parciais

Os dispositivos piezo-transdutores 8TSP foram validados e caracterizados no Capítulo 7, agora procedemos ao observar cuidadosamente o sinal de saída para matrizes de 8TSP na superfície do CHIP de silício. Caracterizamos a matrizes de dispositivos a temperatura ambiente (300K), utilizando o ensaio de flexão em quatro pontos, o empacotamento e um protocolo de teste muito parecido ao usado para caracterizar o 8TSP., basicamente repetimos os seguintes passos no teste de cada amostra:

- Adesão do *die* sobre um disco metálico, seguido do empacotamento do CHIP no invólucro ou circuito impresso especificado;
- Interconexão dos sinais de entrada e saída no empacotamento;
- Alinhar o disco com a direção de estresse desejada;
- Selecionar um dispositivo específico na matriz usando as entradas digitais *COL* e *ROW*, coluna e fileira respectivamente, especificando assim a sua posição na matriz.
- Observar a tensão de saída antes de aplicar deformação controlada, determinando assim qualquer offset remanescente na estrutura.
- Estimular o dispositivo com uma deformação determinada, alterando a entrada digital *DIR* para modificar a direção do sensor, e observando a tensão de saída em cada direção. Repetir para diferentes deformações segundo o estresse desejado.
- Rotar o disco, mudando a direção do estresse e, repetir a caracterização para esta nova orientação.

A Figura 9.2 mostra o CHIP Fabricado com Piezo-resistores de oito terminais 8TSP, desta imagem ressaltamos:

- A posição das matrizes no *die*. como observado, foram fabricadas 2 matrizes com 16 piezo-transdutores, cada uma com área $500\mu\text{m} \times 500\mu\text{m}$
- Cada sensor inclui os circuitos multiplexadores e de controle de corrente
- Assim também cada matriz inclui um sistema de seleção e multiplexação, que permitem selecionar individualmente cada dispositivo e a direção de polarização.
- Ambas as matrizes foram posicionadas próximas ao centro do dispositivo para aproveitar a área de maior influencia do estresse. Assim, o estresse será mapeado pode ser mapeado no núcleo do dispositivo (*CORE*).
- O resto do silício é usado para integrar outros componentes importantes, como amplificadores e circuitos de geração de tensão de referência, que podem ser observados no parte superior-direita do imagem.

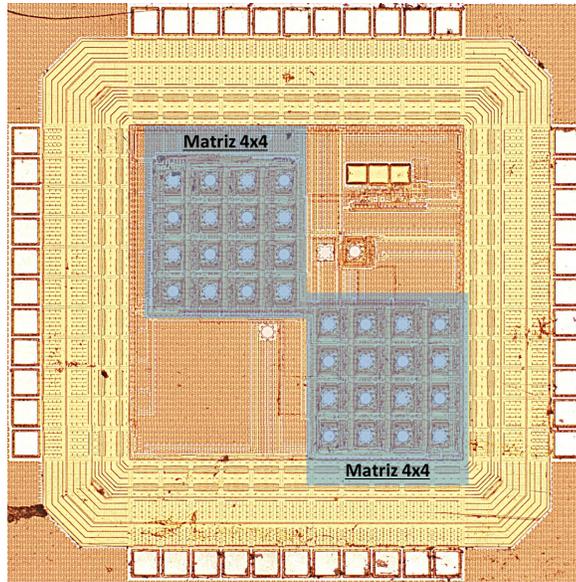


Figura 9.2: CHIP detalhando as matrizes de piezo-transdutores 8TSP

- Os PADS para a conexão de *wirebonds* e as células de entrada/saída de sinal são posicionadas no perímetro do dispositivo.

9.2.1 Medição do desvio de zero na ausência de deformação mecânica (*offset*)

Na ausência de deformação controlada do dispositivo, pode ser observado que a tensão de saída não é nula. Isto significa que existe uma tensão de *offset* associada aos erros geométricos na fabricação, descasamentos, mas principalmente ao estresse remanescente na estrutura.

Ainda tomando cuidado para reduzir o *offset* (tanto no processo fabricação como no empacotamento do CHIP), aparece algum estresse remanescente, e conseqüentemente um *offset*.

Inicialmente é observado e registrado este desvio de zero, estas observações iniciais salvas são subtraídas de observações futuras (quando estresse for aplicado), para mapear unicamente o estresse controlado incidente.

Cada dispositivo (que inclui o multiplexador, o sensor e o circuito de compensação de temperatura) é polarizado com uma corrente de 1.5mA. Enquanto a direção de corrente é controlada pela entrada digital *DIR*, a tensão de *offset* na saída foi observada nas quatro direções $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° de polarização. As Figuras 9.4 e 9.3 mostra os resultados obtidos para uma amostra.

A Figura 9.3 ilustra a tensão medida na saída quando a corrente de bias esta orientada a $\varphi = 45^\circ$, que resulta ser a direção de maior sensibilidade dos piezo-transdutores 8TSP. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada um dos piezo-transdutores nas duas matrizes do chip. Resulta evidente que existe algum estresse remanescente aleatório, percebe-se que ainda que não exista um padrão claro na distribuição do tensão de saída, esta fica dentro de um intervalo definido.

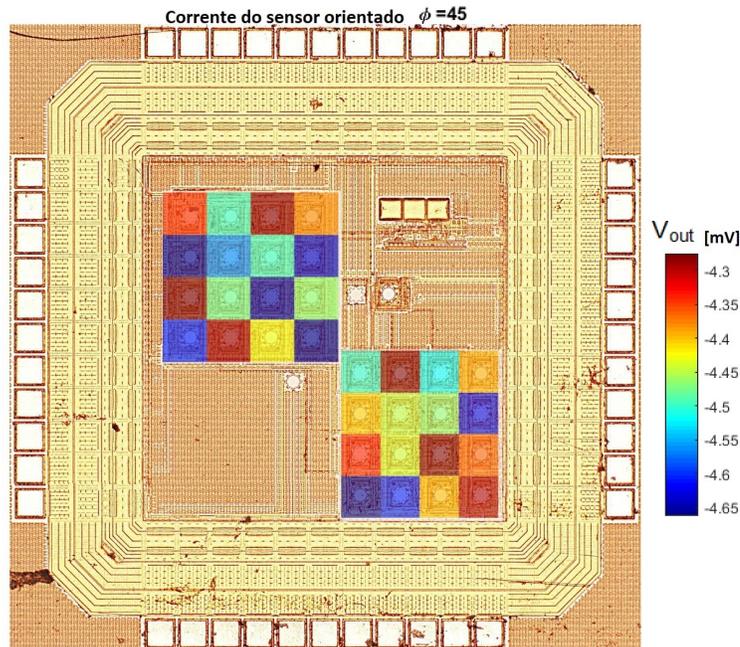


Figura 9.3: Resultado experimental para a tensão de *offset* na saída (sem deformação controlada aplicada) para a corrente orientada a $\varphi = 45^\circ$ nos 16 sensores das duas matrizes em uma amostra do CHIP.

A Figura 9.4 mostra os resultados obtidos para todas as 4 possíveis direções de corrente, em uma matriz de uma amostra do CHIP, onde cada célula colorida representa um piezo-transdutor dentro da matriz (escala da tensão de saída esta em mV). Também resulta claro que existe uma tensão de *offset* em todas as direções, sendo muito maior quando a corrente está alinhada com a direção $\varphi = 45^\circ$ e 135° , justamente as direções onde o piezo-transdutor é mais sensível, confirmando assim que o estresse remanescente é a principal fonte de *offset*.

A tabela 9.1 resume os valores da tensão de *offset* para cada piezo-transdutor em cada direção. Ainda que exista uma distribuição aleatória do estresse remanescente, podemos identificar que o valor é similar em toda a matriz, concluindo que o estresse remanescente é similar em todos os piezo-transdutores.

Calculando a média, desvio e variação relativa em cada direção, obtemos:

- Média de $-0,3\text{mV}$, desvio $0,042\text{mV}$ e variação $14,2\%$ de para a orientação de corrente $\varphi = 0^\circ$
- Média de $-4,6\text{mV}$, desvio $0,2\text{mV}$ e variação de $4,4\%$ para a orientação de corrente $\varphi = 45^\circ$
- Média de $0,3\text{mV}$, desvio $0,041\text{mV}$ e variação de $13,9\%$ para a orientação de corrente $\varphi = 90^\circ$
- Média de $4,6\text{mV}$, desvio $0,24\text{mV}$ e variação de $5,3\%$ para a orientação de corrente $\varphi = 135^\circ$

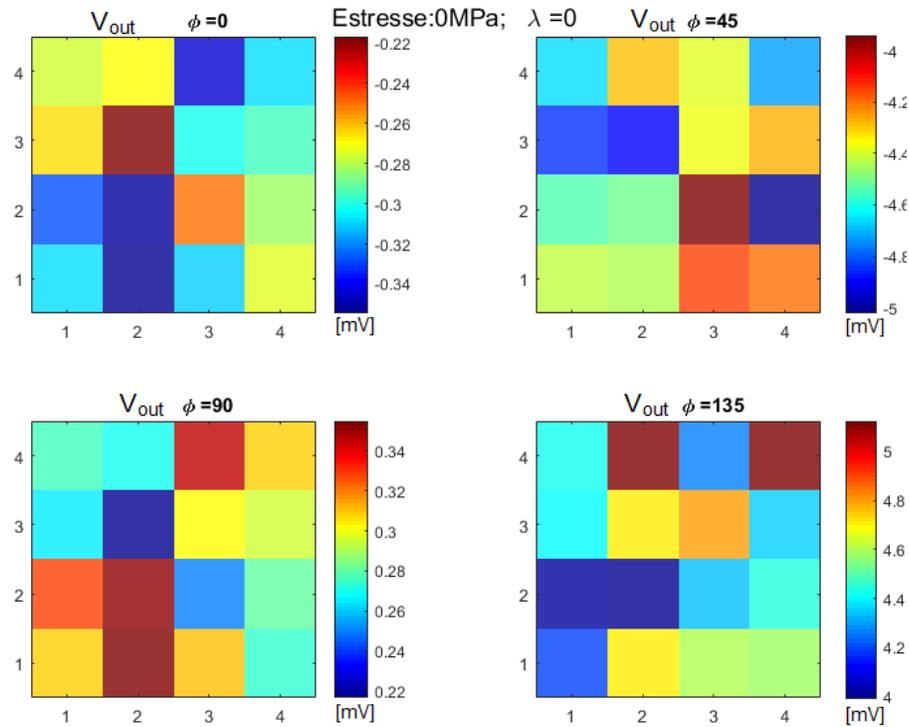


Figura 9.4: Resultado experimental para a tensão de saída sem deformação controlada aplicada. A escala representa a tensão de *offset* em mV para cada orientação de corrente $\varphi = 0^\circ$, 45° , 90° e 135° nos 16 sensores de uma das matrizes em uma amostra do CHIP.

Tabela 9.1: Tensão de saída em mV para cada uma das direções de polarização do 8TSP em ausencia de deformação controlada.

COL\ROW	Orientação de corrente $\varphi = 0^\circ$				Orientação de corrente $\varphi = 45^\circ$			
	1	2	3	4	1	2	3	4
4	-0,29	-0,39	-0,32	-0,28	-4,53	-4,78	-4,47	-4,75
3	-0,31	-0,36	-0,28	-0,27	-4,74	-4,71	-4,55	-4,89
2	-0,26	-0,24	-0,27	-0,29	-4,66	-4,27	-4,23	-4,85
1	-0,31	-0,28	-0,38	-0,28	-4,44	-4,85	-4,44	-4,58
COL\ROW	Orientação de corrente $\varphi = 90^\circ$				Orientação de corrente $\varphi = 135^\circ$			
	1	2	3	4	1	2	3	4
4	0,34	0,36	0,28	0,29	4,11	4,40	4,38	4,88
3	0,30	0,37	0,22	0,31	4,42	4,46	4,65	4,63
2	0,30	0,25	0,30	0,29	4,29	4,77	4,44	4,81
1	0,31	0,25	0,36	0,28	4,48	4,91	4,84	4,83

Supondo que o estresse seja uniaxial, podemos estimar a magnitude e direção do estresse usando as médias das tensões de saída observadas, assim obtemos um estresse próximo aos 5MPa e orientado a 115° . Ressaltamos que estas observações correspondem a uma única amostra, e usadas para caracterizar a tensão de *offset* em este único CHIP.

9.2.2 Caraterização da resposta da matriz de piezo-transdutores ao aplicar deformação mecânica

Aplicando um deformação controlada, é possível induz um estresse uniaxial na direção desejada. Como o circuito esta colado sobre o disco metálico, podemos esperar uma gradiente na magnitude do estresse, sendo máximo no centro do CHIP mas diminuindo enquanto se aproxima a borda, como observadas nas simulações de elementos finitos do Capítulo 6.

Aplicamos estresse equivalente a 25MPa e 50MPa, orientado a ângulos $\lambda = 0^\circ$, 45° e $22,5^\circ$. A matriz completa (que inclui os sensores, multiplexador e o circuito de compensação de temperatura) é polarizada com uma corrente de 1.5mA, assim que a temperatura ambiente ($\sim 300\text{K}$), a corrente em cada sensor ativo é equivalente a 1mA. A direção de corrente é controlada pela entrada digital *DIR*, enquanto a tensão de *offset* na saída foi observada nas quatro direções $\varphi = 0^\circ$, 45° , 90° e 135° .

Estresse orientado a $\lambda = 0^\circ$

A continuação serão apresentados os resultados obtidos para uma amostra da matriz de sensores piezo-resistivos, que foi deformada para apresentar um estresse uniaxial de 25MPa e 50MPa alinhado com a direção [100] no centro do CHIP.

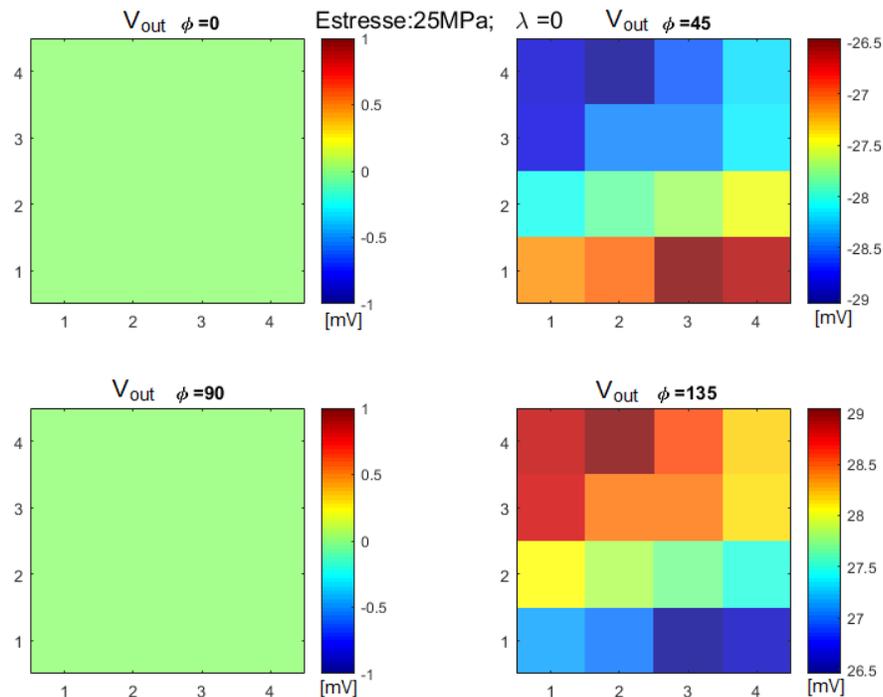


Figura 9.5: Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 0^\circ$. A escala representa a tensão de *saída* em mV para cada orientação de corrente $\varphi = 0^\circ$, 45° , 90° e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.

As Figuras 9.5 e 9.6 mostram os resultados obtidos para todas as 4 possíveis direções de polarização. Cada célula colorida representa um sensor piezo-resistivo dentro da matriz. O canto superior esquerdo está posicionado no centro do *die* de silício; a numeração no eixo

horizontal representa a coluna (usada entrada digital COL), enquanto o vertical apresenta a linha (entrada digital ROW); assim, o dispositivo na Coluna-1 Linha-4 é o mais próximo ao centro do CHIP.

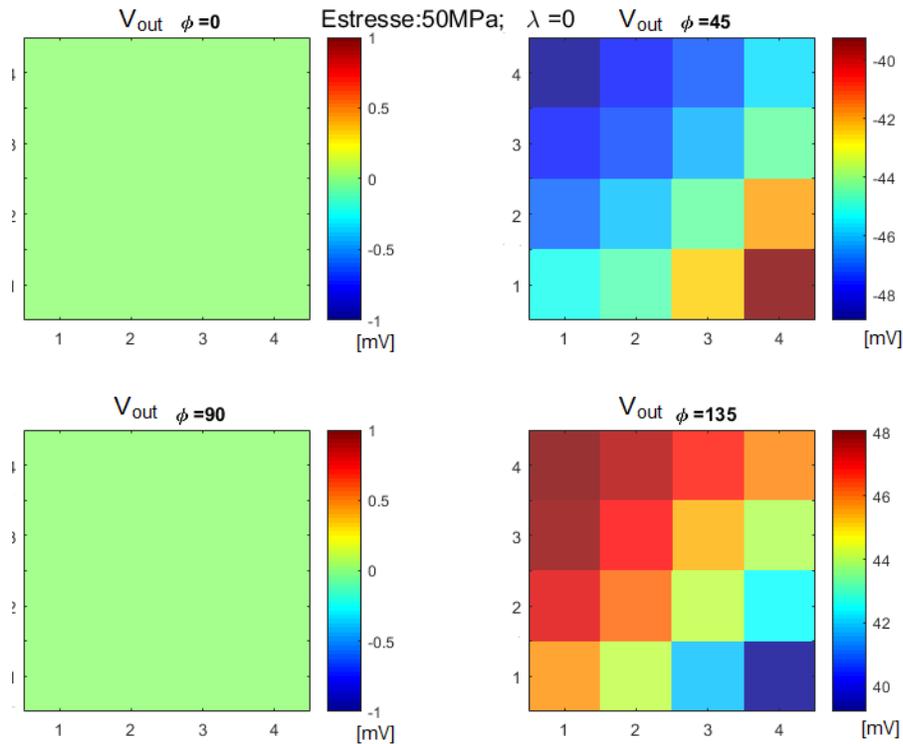


Figura 9.6: Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 0^\circ$. A escala representa a tensão de saída em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma das matrizes em uma amostra do CHIP.

Podemos observar em estes resultados que:

- A tensão de saída pode ser considerado desprezível para a corrente orientada a $\varphi = 0^\circ$ e 90° , já que as saídas de tensão V_{out_0} e $V_{out_{90}}$ não apresentam sensibilidade ao estresse orientado ao longo da direção $\langle 100 \rangle$.
- Existe uma tensão relacionada com o estresse nas saídas $V_{out_{45}}$ e $V_{out_{135}}$, quando a corrente está alinhada com a direção $\varphi = 45^\circ$ e 135° , justamente as direções onde o sensor é sensível ao estresse orientado em $\lambda = 0^\circ$.
- Resulta claro que a tensão é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

A Figura 9.5 ilustra a gradiente da tensão medida na saída quando a corrente de bias esta orientada a $\varphi = 45^\circ$, que resulta ser a direção de maior sensibilidade dos sensores 8TSP. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada um dos sensores piezo-resistivos nas duas matrizes do chip. Perceba a semelhança com a distribuição de estresse obtida com o Analises de Elementos Finitos, e ilustrada na Figura 9.1.b.

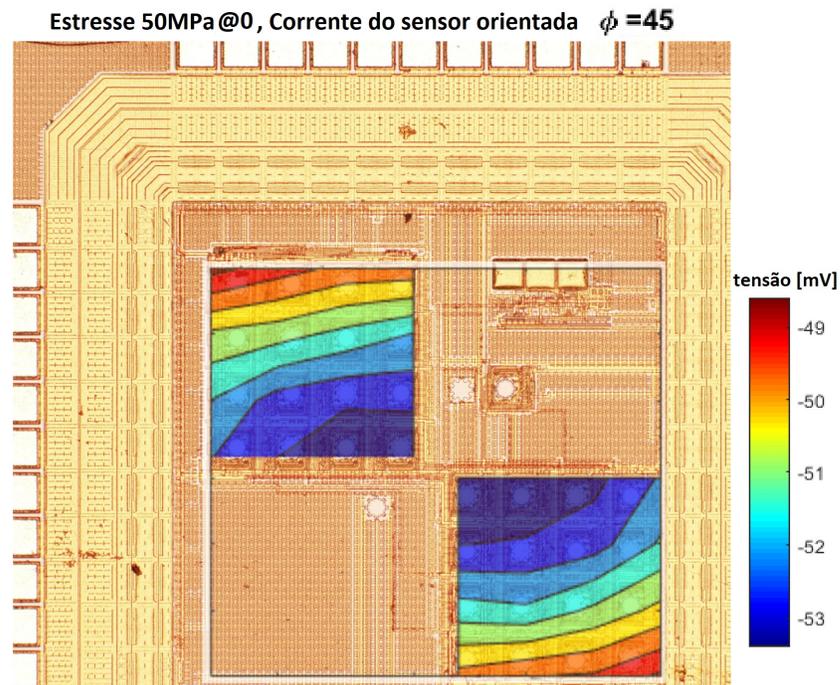


Figura 9.7: Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 45^\circ$ para um estresse de 50MPa orientado a $\lambda = 0^\circ$

Estresse orientado a $\lambda = 45^\circ$

A seguir, serão apresentados os resultados observados, mas agora o estresse uniaxial orientado na direção $[110]$.

As Figuras 9.8 e 9.9 mostram os resultados obtidos para todas as 4 possíveis direções de polarização. Está sendo apresentados os resultados da matriz inferior direita do dispositivo, cada célula colorida representa um sensor piezo-resistivo dentro da matriz, e o dispositivo na Coluna-1 Filha-4 está localizado na esquina superior esquerda, o ponto mais cercano ao centro do *die*.

Podemos observar em estes resultados que:

- A tensão de saída pode ser considerado desprezível para a corrente orientada a $\varphi = 45^\circ$ e 135° , novamente relacionada à ausência de sensibilidade das saída em estas orientações com o estresse orientado ao longo da direção $\langle 110 \rangle$.
- Existe uma tensão relacionada com o estresse nas saídas V_{out_0} e $V_{out_{90}}$, quando a corrente está alinhada com a direção $\varphi = 0^\circ$ e 90° , justamente as direções onde o sensor é sensível ao estresse orientado em $\lambda = 45^\circ$.
- Porém as saídas possuem uma sensibilidade menor que $V_{out_{45}}$ e $V_{out_{135}}$ para o mesmo nível de estresse. Resultado já esperado e reportado na caracterização do sensor 8TSPR.
- Resulta claro, novamente, que a tensão é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

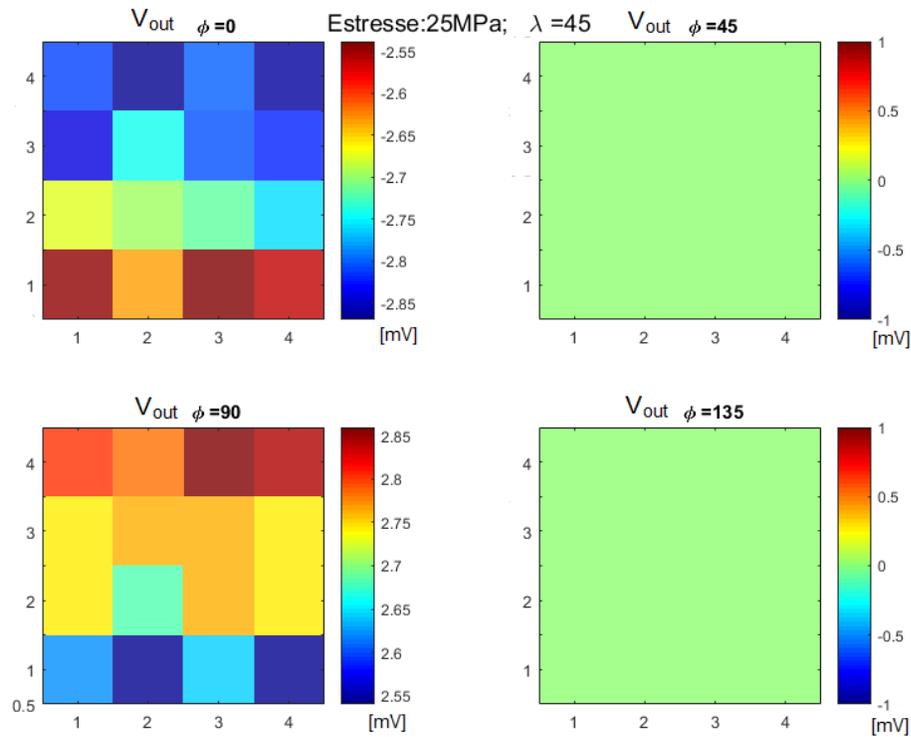


Figura 9.8: Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 45^\circ$. A escala representa a tensão de saída em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.

A Figura 9.8 ilustra a gradiente da tensão medida na saída quando a corrente de bias esta orientada a $\varphi = 0^\circ$, que resulta ser a direção de maior sensibilidade dos piezo-transdutores 8TSP para o estresse de cisalhamento. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada um dos piezo-transdutores nas duas matrizes do chip. Perceba a semelhança com a distribuirão de estresse obtida com o Analises de Elementos Finitos, e ilustrada na Figura 9.1.c.

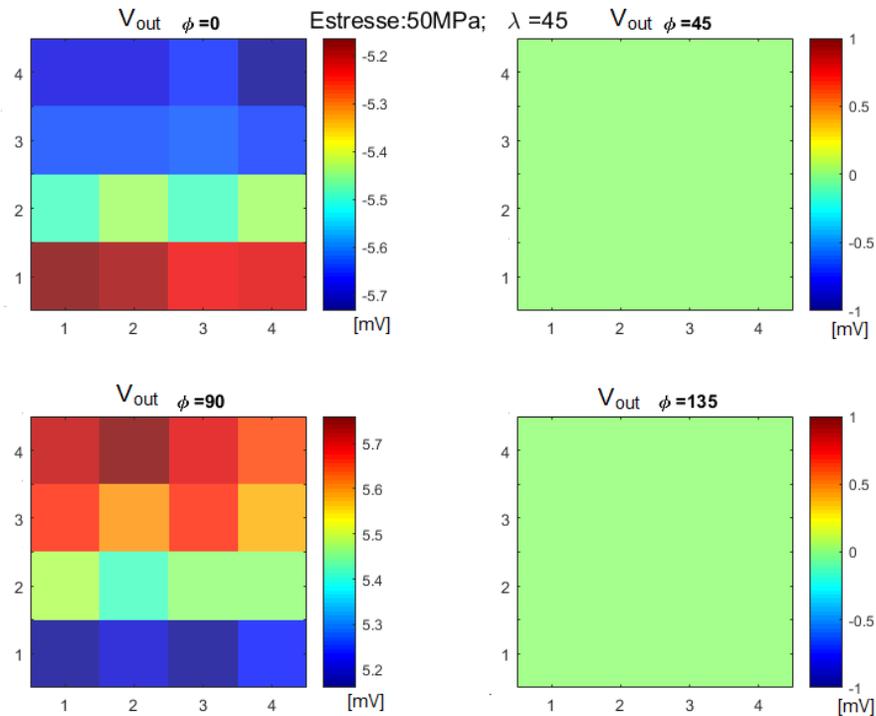


Figura 9.9: Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 45^\circ$. A escala representa a tensão de saída em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.

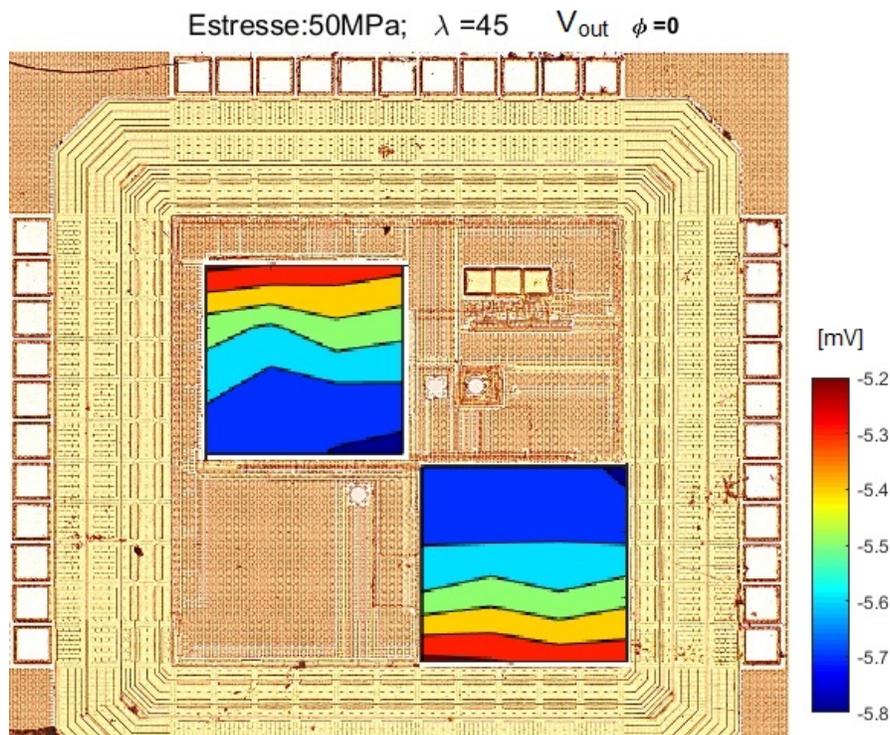


Figura 9.10: Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 0^\circ$ para um estresse de 50MPa orientado a $\lambda = 45^\circ$

Estresse orientado a $\lambda = 22,5^\circ$

Repetimos o procedimento para estresse orientado em um ângulo intermediário ($\lambda = 22,5^\circ$), neste caso é esperada uma tensão em todas as possíveis orientações.

As Figuras 9.11 e 9.12 mostram os resultados obtidos para um estresse com magnitude 25MPa e 50MPa, respetivamente. Diferente das duas orientações previamente observadas, em $\lambda = 22,5^\circ$ existe sensibilidade em todas as direções de corrente. Resulta claro que a tensão é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

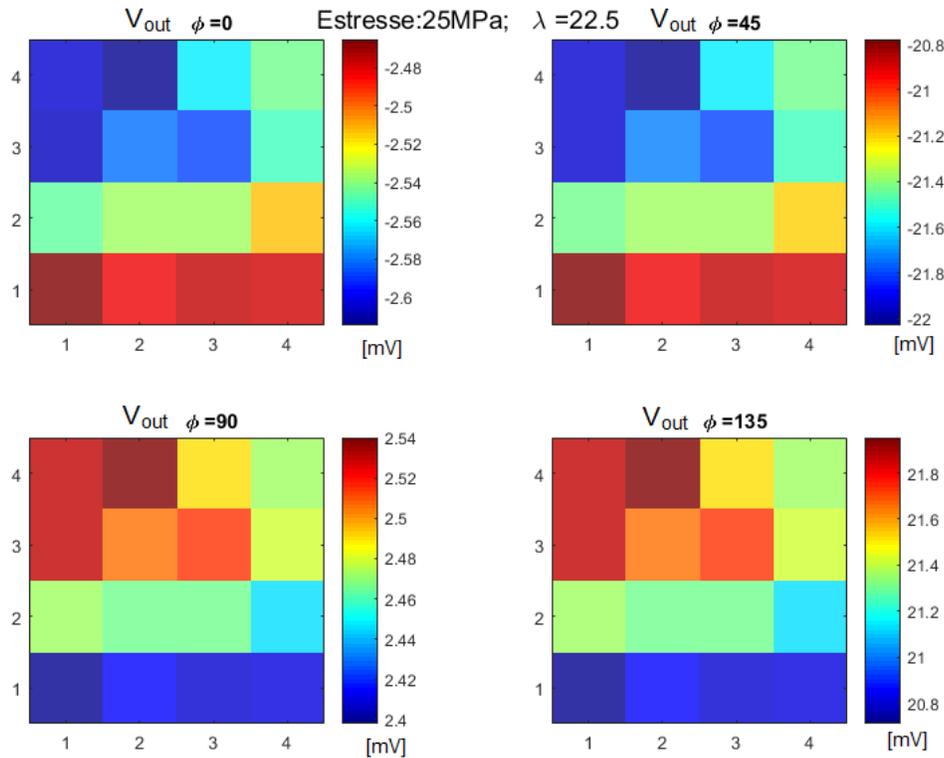


Figura 9.11: Resultado experimental para a tensão de saída para estresse de 25MPa orientado a $\lambda = 22,5^\circ$. A escala representa a tensão de *saída* em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma das matrizes em uma amostra do CHIP.

A Figura 9.11 ilustra a gradiente da tensão medida na saída quando a corrente de bias está orientada a $\varphi = 45^\circ$, que resulta ser a direção de maior sensibilidade dos sensores 8TSP. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada um dos sensores nas duas matrizes do chip.

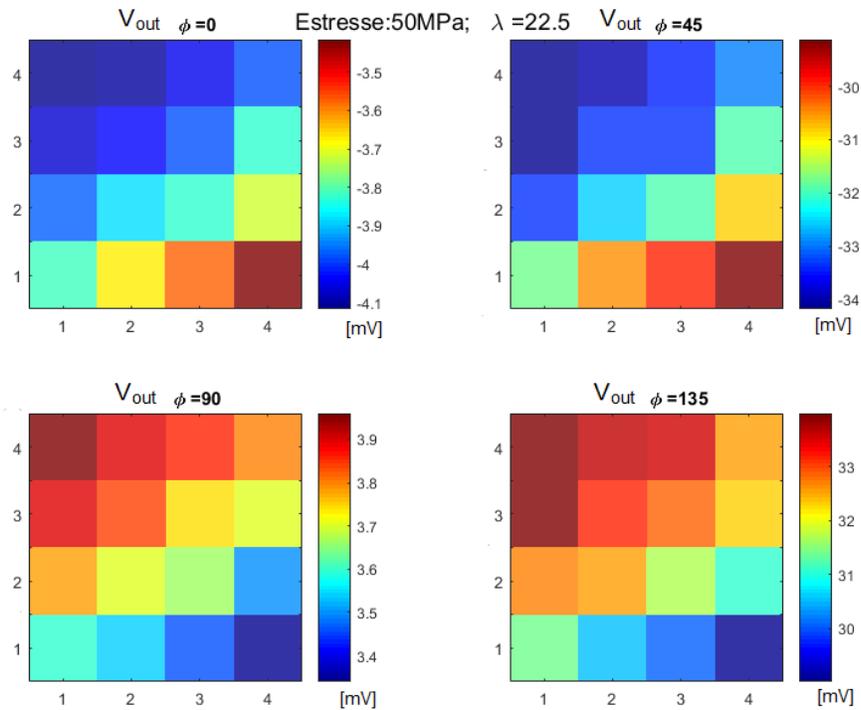


Figura 9.12: Resultado experimental para a tensão de saída para estresse de 50MPa orientado a $\lambda = 22,5^\circ$. A escala representa a tensão de saída em mV para cada orientação de corrente $\varphi = 0^\circ, 45^\circ, 90^\circ$ e 135° nos 16 sensores de uma da matrizes em uma amostra do CHIP.

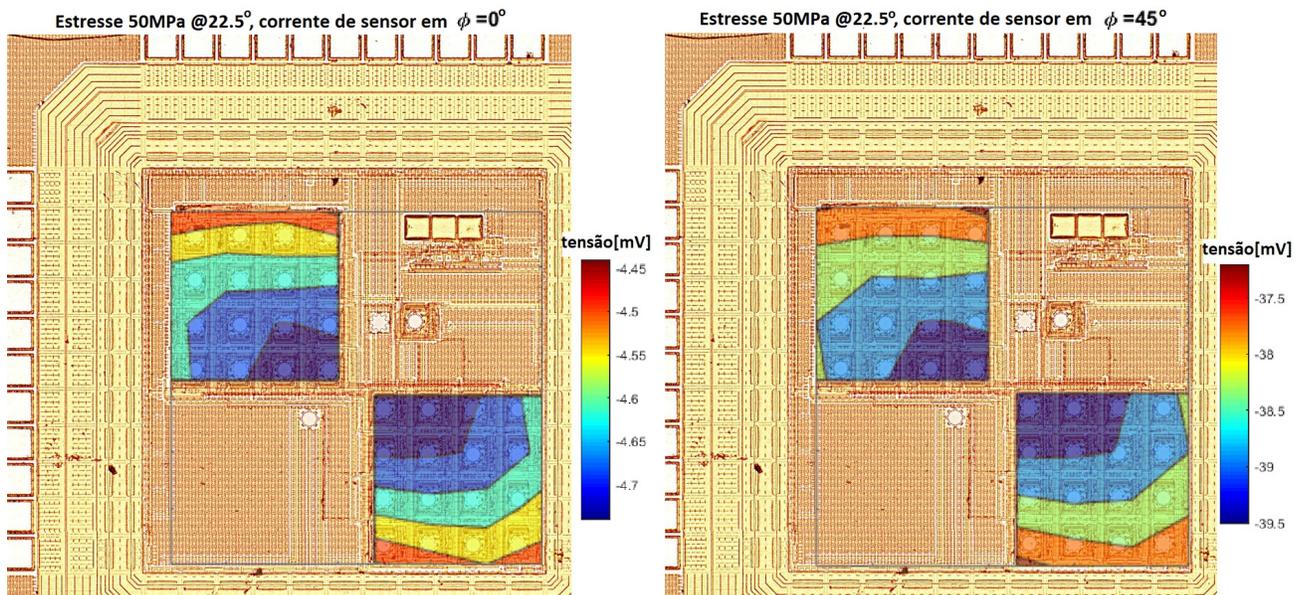


Figura 9.13: Resultado experimental para a tensão de saída para a corrente orientada a $\varphi = 0^\circ$ e 45° para um estresse de 50MPa orientado a $\lambda = 22,5^\circ$

9.2.3 Conclusões parciais do testes em matriz de 8TSPs

Baseados nos resultados do teste sob estresse controlado à temperatura ambiente, concluímos que:

- Ainda sem aplicar deformação controlada, podemos observar uma tensão na saída. Este desvio de zero está associado com erros de casamento e com o estresse remanescente.
- Pode ser observado que a tensão de saída de todos os sensores 8TSP apresentam certa aleatoriedade e não mostram um padrão de distribuição definido, porém estão dentro de certo intervalo, o que evidencia uma consistência nos componentes do estresse na superfície ativa do silício. Por tanto, o estresse segue certo padrão e pode ser associado a alguma deformação no processo de fabricação ou de adesão do dispositivo.
- Ao aumentar a deformação e o estresse, aumenta a tensão de saída em todos os sensores da matriz, evidenciando uma dependência do sinal de saída com o estresse mecânico, como já caracterizado em capítulos anteriores.
- O estresse e deformação mecânica na superfície do Chip não são constantes. Os sensores posicionados no centro do dispositivo apresentam tensões de saída até 10% maiores para o mesmo nível de deslocamento no aparato de teste. Este resultado é esperado e está acode com o simulado usando modelos. Acontece porque o CHIP não foi afinado e está colado ao disco metálico usando *die-attachment*, a deformação é melhor transmitida no centro do chip, enquanto as bordas ficam livres e sem estresse. Como todos os dispositivos estão dentro do *CORE*, próximos ao centro, observamos que a diminuição é pequena.
- A diminuição gradual de tensão de saída, e por tanto do estresse, pode ser observada em todas as direções em que foi aplicada a deformação do Chip, o que está de acordo com as simulações do modelo de elementos finitos, apresentados no Capítulo .

9.3 Observações do efeito do estresse em matriz de espelhos piezo-MOSFET e conclusões parciais

Os dispositivos piezo-transdutores espelhos de corrente piezo-MOSFET foram validados e caracterizados no Capítulo 7, agora procedemos ao observar cuidadosamente o sinal de saída para matrizes de espelhos piezo-MOSFET na superfície do CHIP de silício. Caracterizamos a matrizes de dispositivos a temperatura ambiente (300K), utilizando o mesmo ensaio de flexão em quatro pontos e os mesmos procedimentos já usados previamente para dispositivo com a matriz de piezo-transdutores tipo 8TSP. Assim cada

- Adesão do *die* sobre um disco metálico, seguido do empacotamento do CHIP no invólucro ou circuito impresso especificado;
- Interconexão dos sinais de entrada e saída no empacotamento;
- Alinhar o disco com a direção de estresse desejada;
- Aplicar uma corrente de referência desejada;
- Selecionar um dispositivo específico na matriz usando as entradas digitais *COL* e *ROW*, coluna e fileira respectivamente, especificando assim a sua posição na matriz;
- Observar as correntes de saídas I_A e I_B (correntes relacionadas com os coeficientes piezoresistivos π_{44} e $(\pi_{11} - \pi_{12})$ respectivamente, antes de aplicar deformação controlada, determinando assim qualquer *offset de corrente* associado com uma tensão remanescente na estrutura;
- Estimular o dispositivo com uma deformação determinada, e observar a corrente I_A e I_B para ambos os espelhos sensores nMOS e pMOS;
- Rotar o disco, mudando a direção do estresse e, repetir a caracterização para esta nova orientação.

A Figura 9.14 o CHIP Fabricado com os sensores espelho Piezo-MOSFET, estão detalhados a posição das matrizes no *die*. Cada matriz tem 16 espelhos com Piezo-FETs nMOS e 16 com piezo-FETs pMOS, totalizando 64 dispositivos. Ambas as matrizes estão juntas e ocupam em total um área de $400\mu\text{m} \times 350\mu\text{m}$, incluindo os circuitos chaves analógicas para multiplexar a corrente e de controle que permitem selecionar individualmente cada dispositivo. No mesmo Chip foram integrados circuitos para geração de tensão e corrente de referência e o modulador PWM que podem ser usados para polarizar e digitalizar o sinal.

9.3.1 Determinar o desvio de zero da corrente de saída sem aplicar deformação mecânica

Na ausência de deformação controlada do dispositivo, pode ser observado que as correntes de saída não são nulas, existe assim um *offset* associado principalmente ao estresse remanescente na estrutura.

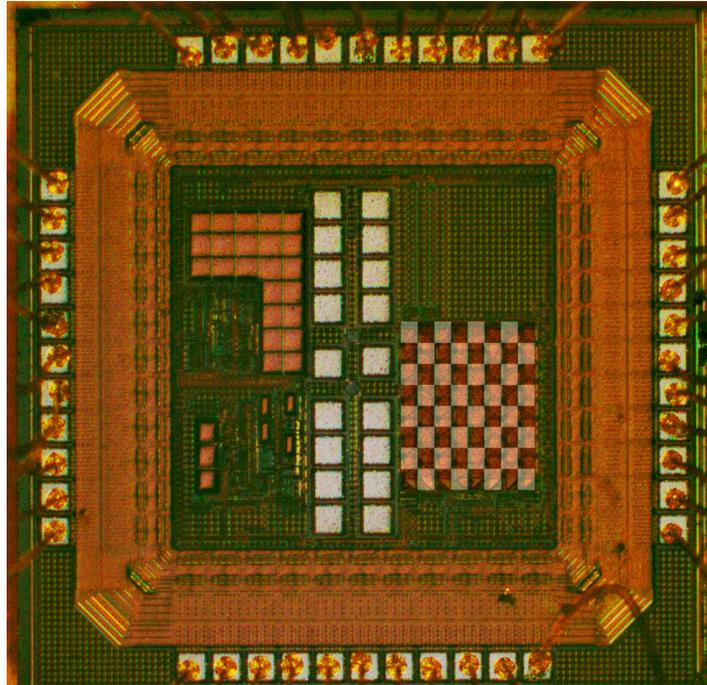


Figura 9.14: CHIP detalhando as matrizes de piezo-transdutores espelho de corrente, em cor escuro estão indicados os sensores usando pMOS, enquanto em claro estão os nMOS.

Assim inicialmente foi medida a corrente de *offset*, estas observações iniciais são salvas e subtraídas de observações futuras, quando estresse é aplicado, para mapear unicamente o estresse controlado incidente.

Cada sensor é polarizado com uma corrente equivalente a $100\mu\text{A}$, enquanto as entradas digitais *COL* e *ROW* são usadas para selecionar cada sensor.

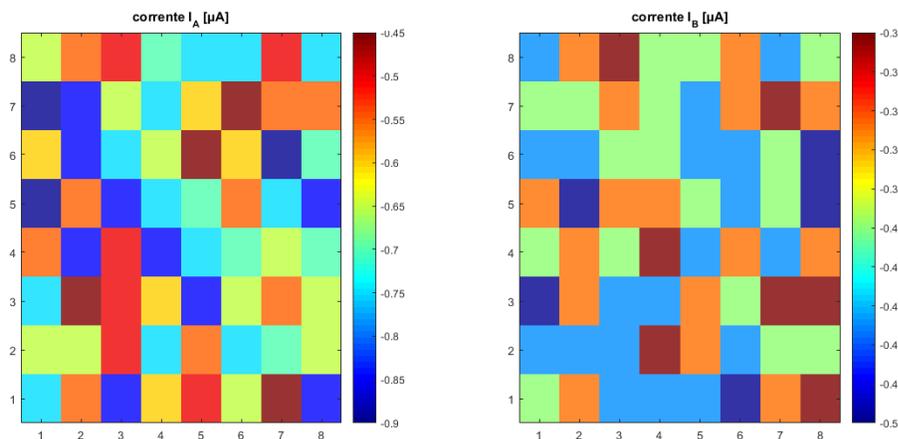


Figura 9.15: Resultado experimental para a corrente de *offset* na saída (sem deformação controlada aplicada) para 64 sensores do CHIP para as correntes: I_A do espelho PMOS; I_B do espelho NMOS.

As Figuras 9.16 e 9.15 mostra os resultados obtidos para uma amostra para as correntes: I_A

do espelho PMOS; I_B do espelho NMOS. As corrente I_A e I_B dos espelhos NMOS e PMOS não são mostradas, já que tem uma sensibilidade muito menor e resultado foi muito pequeno.

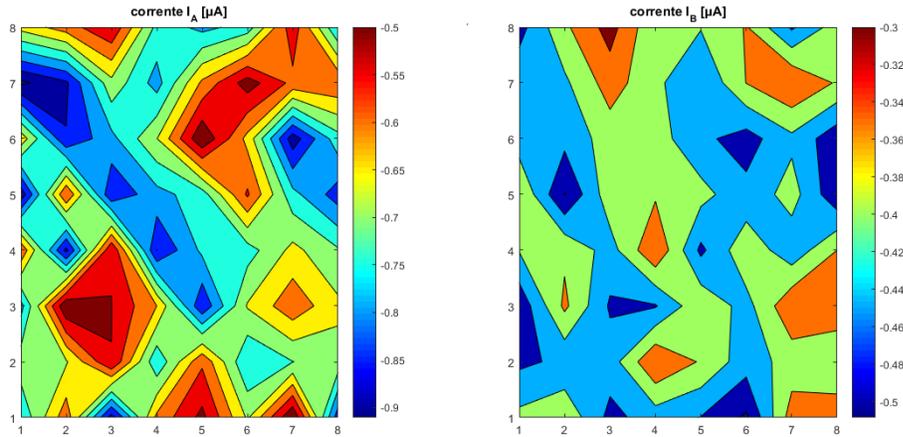


Figura 9.16: Curvas de contorno do resultado experimental para a corrente de *offset* na saída (sem deformação controlada aplicada) para 64 sensores do CHIP para as correntes: I_A do espelho PMOS; I_B do espelho NMOS.

A tabela 9.2 resume os valores da tensão de *offset* para cada piezo-transdutor em cada direção. Ainda que exista uma distribuição aleatória do estresse remanescente, podemos identificar que o valor é similar em toda a matriz, concluindo que o estresse remanescente é similar em todos os piezo-transdutores.

Calculando a média, desvio e variação relativa em cada direção, obtemos:

- Média de $0.085\mu\text{A}$, desvio $0,01\mu\text{AV}$ e variação 12% para corrente $I_{A_{nmos}}$
- Média de $-0.385\mu\text{A}$, desvio $0,22\mu\text{AV}$ e variação 7% para corrente $I_{A_{nmos}}$
- Média de $-0.75\mu\text{A}$, desvio $0,41\mu\text{AV}$ e variação 5% para corrente $I_{A_{nmos}}$
- Média de $0.01\mu\text{A}$, desvio $0,01\mu\text{AV}$ e variação 50% para corrente $I_{B_{pmos}}$

Supondo que o estresse seja uniaxial, podemos estimar a magnitude e direção do estresse usando as médias das tensões de saída observadas, assim obtemos um estresse próximo aos 7MPa e orientado a 10° . Ressaltamos que estas observações correspondem a uma única amostra, e usadas para caracterizar a tensão de *offset* em este único CHIP.

Tabela 9.2: Corrente diferencial de saída em μA para cada uma tipo de sensor em ausencia de deformação controlada.

NMOS	Corrente $I_{A_{nmos}} [\mu\text{A}]$				Corrente $I_{B_{nmos}} [\mu\text{A}]$			
COL\ROW	1	2	3	4	1	2	3	4
8	0,08	0,09	0,09	0,09	-0,41	-0,39	-0,37	-0,39
7	0,08	0,08	0,08	0,08	-0,38	-0,40	-0,40	-0,38
6	0,07	0,08	0,09	0,08	-0,36	-0,36	-0,39	-0,39
5	0,10	0,09	0,08	0,08	-0,39	-0,37	-0,38	-0,38
4	0,09	0,08	0,07	0,07	-0,37	-0,37	-0,40	-0,41
3	0,09	0,09	0,09	0,04	-0,35	-0,39	-0,39	-0,42
2	0,08	0,07	0,08	0,09	-0,41	-0,39	-0,39	-0,38
1	0,09	0,08	0,08	0,07	-0,44	-0,38	-0,40	-0,41
PMOS	Corrente $I_{A_{nmos}} [\mu\text{A}]$				Corrente $I_{B_{pmos}} [\mu\text{A}]$			
8	-0,77	-0,79	-0,77	-0,79	-0,01	0,03	-0,01	-0,03
7	-0,78	-0,80	-0,80	-0,78	0,01	0,02	0,0	-0,01
6	-0,71	-0,69	-0,67	-0,79	0,01	0,02	-0,04	0,03
5	-0,80	-0,80	-0,70	-0,75	-0,02	0,03	0,02	0,05
4	-0,76	-0,76	-0,69	-0,74	0,01	0,01	0,04	-0,01
3	-0,69	-0,77	-0,78	-0,78	-0,03	0,03	-0,03	0,01
2	-0,81	-0,69	-0,79	-0,68	0,03	-0,01	-0,01	0,03
1	-0,74	-0,68	-0,80	-0,81	0,02	0,0	0,01	0,02

9.3.2 Caraterização da resposta da matriz de piezo-transdutores ao aplicar deformação mecânica

Aplicando um deformação controlada, é possível induz um estresse uniaxial na direção desejada. Como o circuito esta colado sobre o disco metálico, podemos esperar uma gradiente na magnitude do estresse, sendo máximo no centro do CHIP mas diminuindo enquanto se aproxima a borda, como observadas nas simulações de elementos finitos do Capitulo 6.

Aplicamos estresse equivalente a 25MPa e 50MPa, orientado a ângulos $\lambda = 0^\circ$, 45° , e $22,5^\circ$. Cada sensor é polarizado com uma corrente equivalente a $100\mu\text{A}$, enquanto ambas as direções diferenciais são observadas. As correntes de *offset* foram subtraídas da medição final.

Estresse orientado a $\lambda = 0^\circ$

A continuação serão apresentados os resultados obtidos para uma amostra da matriz de sensores espelhos piezo-MOSFET, que foi deformada para apresentar um estresse uniaxial de 25MPa e 50MPa alinhado com a direção [100] no centro do CHIP.

As Figuras 9.17 e 9.18 mostram os resultados obtidos para todas as duas principais correntes (A corrente I_B no espelho piezo-nMOS e a corrente I_A do espelho piezo-pMOS), para a matriz integrada no CHIP. Cada célula colorida representa um sensor dentro da matriz. O sensores mais próximos do centro estão na Coluna-1 Filha-6 .

Podemos observar em estes resultados que:

- A tensão de saída pode ser considerado desprezível para a corrente $I_{A_{Pmos}}$, relacionada à

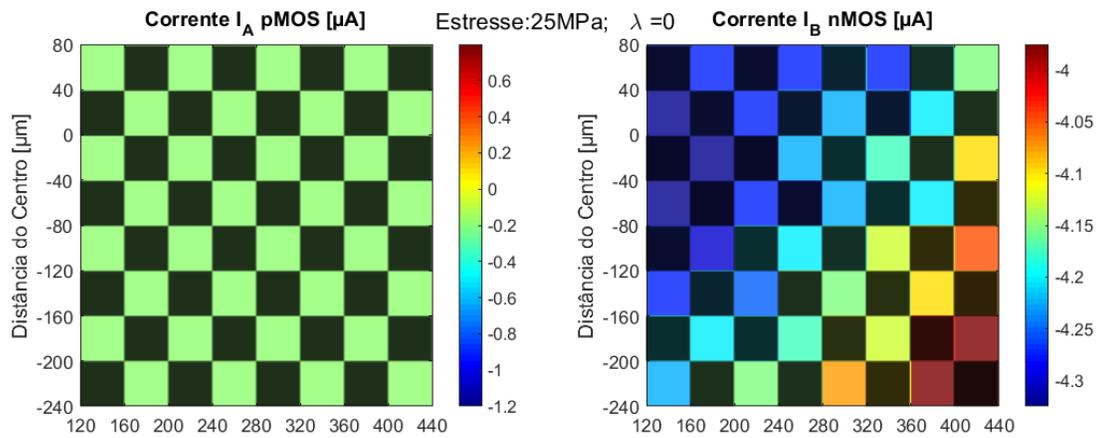


Figura 9.17: Resultado experimental para estresse de 25MPa orientado a $\lambda = 0^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

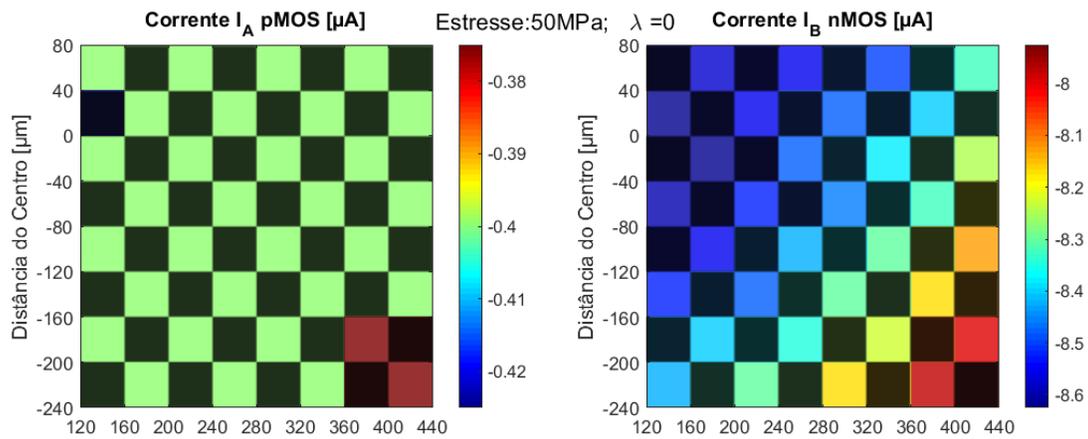


Figura 9.18: Resultado experimental para estresse de 50MPa orientado a $\lambda = 0^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

ausência de de estresse orientado ao longo da direção $\langle 110 \rangle$ (ou estresse de cisalhamento), ao qual esta saída é mais sensível.

- A corrente $I_{B_{nmos}}$ apresenta variação significativa, resultado esperado já que o estresse está orientado na direção $\langle 100 \rangle$, pode ser considerado puramente longitudinal, justamente o componente do estresse ao qual esta corrente apresenta maior sensibilidade.
- Existe porém um pequeno componente na corrente $I_{A_{Pmos}}$, que pode estar relacionado com algum erro de alinhamento.
- Resulta claro, novamente, que a tensão é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

A Figura 9.17 ilustra a gradiente corrente medida. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada na matrizes do CHIP. Perceba a semelhança

com a distribuição de estresse obtida com o Análises de Elementos Finitos, e ilustrada na Figura 9.1.c.

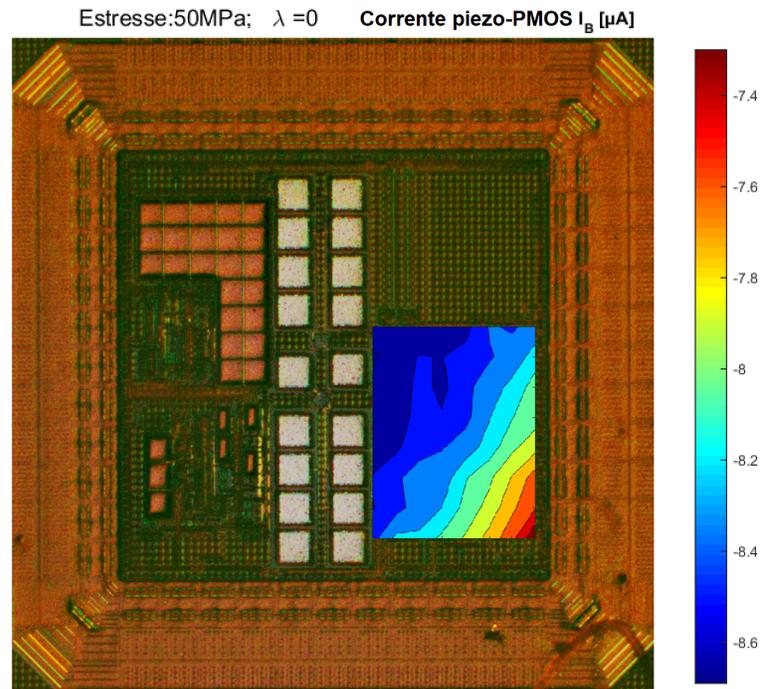


Figura 9.19: Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 0^\circ$

Estresse orientado a $\lambda = 45^\circ$

A continuação serão apresentados os resultados obtidos para uma amostra da matriz de sensores espelhos piezo-MOSFET, que foi deformada para apresentar um estresse uniaxial de 25MPa e 50MPa alinhado com a direção [110] no centro do CHIP.

As Figuras 9.20 e 9.21 mostram os resultados obtidos para todas as duas principais correntes na matriz integrada no CHIP. Cada célula colorida representa um sensor dentro da matriz.

Podemos observar em estes resultados que:

- A corrente de saída $I_{A_{Pmos}}$ apresenta variação significativa, resultado esperado já que o estresse considerado de cisalhamento, justamente o componente do estresse ao qual esta corrente apresenta maior sensibilidade.
- A corrente $I_{B_{nmos}}$ varia muito pouco, relacionado à ausência de estresse orientado ao longo da direção $\langle 100 \rangle$.
- Existe porém um pequeno componente na corrente I_B , que pode estar relacionado com algum erro de alinhamento.
- Resulta claro, novamente, que o valor absoluto da corrente é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

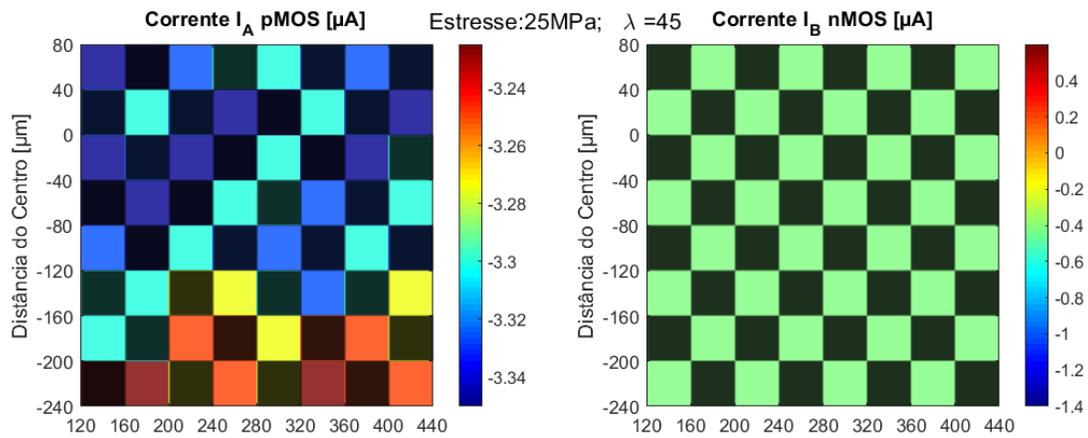


Figura 9.20: Resultado experimental para estresse de 25MPa orientado a $\lambda = 45^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

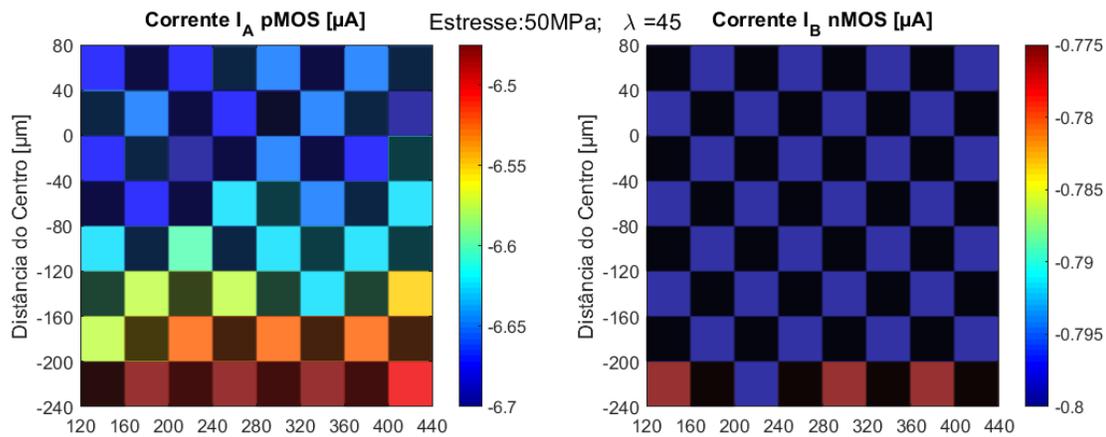


Figura 9.21: Resultado experimental para estresse de 50MPa orientado a $\lambda = 45^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

A Figura 9.20 ilustra a gradiente corrente medida. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada na matrizes do CHIP. Perceba a semelhança com a distribuirão de estresse obtida com o Analises de Elementos Finitos, e ilustrada na Figura 9.1.c.

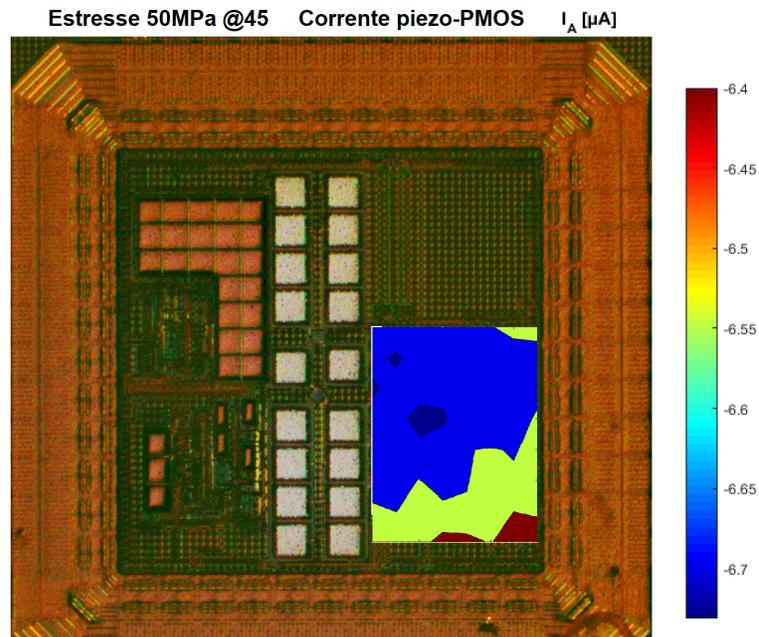


Figura 9.22: Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 45^\circ$

Estresse orientado a $\lambda = 22,5^\circ$

A continuação serão apresentados os resultados obtidos para uma amostra da matriz de sensores espelhos piezo-MOSFET, que foi deformada para apresentar um estresse uniaxial de 25MPa e 50MPa alinhado com a em uma direção intermediária entre as principais orientações cristalográficas, equivalente a um ângulo de $\lambda = 22,5^\circ$

As Figuras 9.23 e 9.24 mostram os resultados obtidos para todas as principais correntes dentro da matriz fabricada, onde cada célula colorida representa um sensor. Diferente das duas orientações previamente observadas, em $\lambda = 22,5^\circ$ existe sensibilidade em ambas as correntes. Resulta claro que a tensão é maior nos sensores localizados parte superior esquerda, que está mais próxima ao centro do CHIP .

A Figura 9.23 ilustra a gradiente de corrente. A imagem foi posicionada sobre a imagem do CHIP para facilitar a visualização para cada um dos sensores.

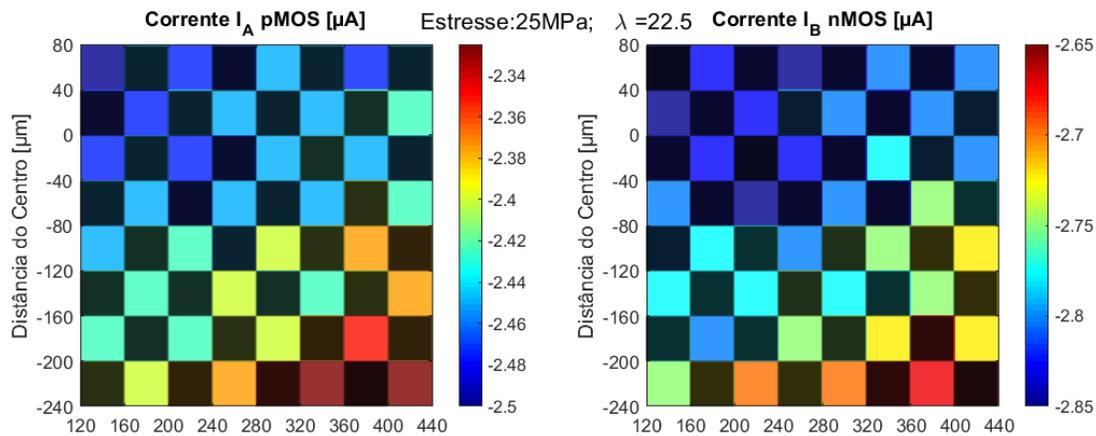


Figura 9.23: Resultado experimental para estresse de 25MPa orientado a $\lambda = 22, 5^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

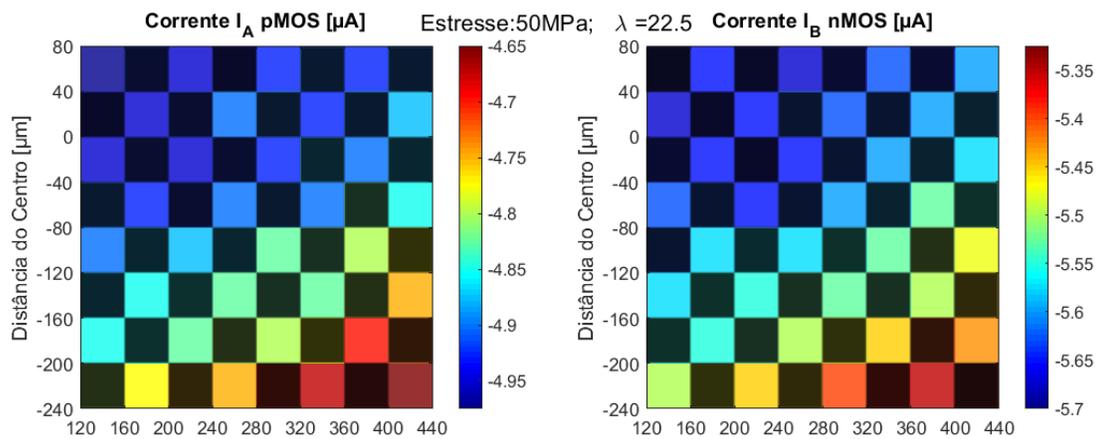


Figura 9.24: Resultado experimental para estresse de 25MPa orientado a $\lambda = 22, 5^\circ$. A corrente de na saída para 64 sensores do CHIP para as correntes: I_A dos 32 espelho PMOS; I_B dos 32 espelhos NMOS.

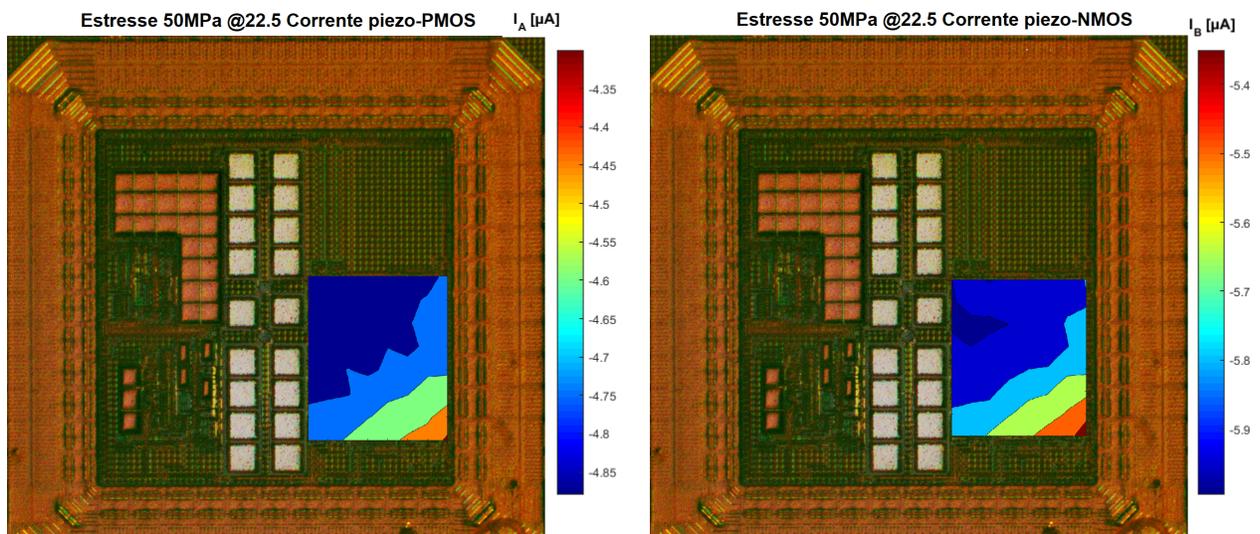


Figura 9.25: Resultado experimental para a corrente de saída para a corrente para um estresse de 50MPa orientado a $\lambda = 22, 5^\circ$

9.3.3 Conclusões parciais do testes de caracterização da sensibilidade

Baseados nos resultados do teste sob estresse controlado à temperatura ambiente, concluímos que:

- Existe uma corrente de *offset*, corrente que aparece ainda na ausência de estímulo mecânico e evidencia um estresse remanescente no dispositivo.
- O estresse e deformação mecânica na superfície do Chip não são constantes. Os sensores posicionados no centro do dispositivo apresentam correntes de saída até 6% maiores para o mesmo nível de deslocamento no aparato de teste. Este resultado esperado está acode com o simulado usando modelos de Elementos Finitos.
- A diminuição gradual da saída, e por tanto do estresse, pode ser observada em todas as direções em que foi aplicada a deformação do Chip, é tem valores muito similares ao do modelo simulado.

Conclusões

Conclusões e perspectivas

Este trabalho apresenta dois projetos de sensores de estresse mecânico totalmente compatíveis com a tecnologia de fabricação CMOS, projetados para medir os componentes de estresse paralelos a superfície do silício, que podem ser integrados em uma matriz para mapear o estresse e a deformação do dispositivo, sendo assim uma ferramenta útil para monitorar a distribuição dos esforços mecânicos em dispositivos empacotados.

Os sensores de estresse estão baseados no efeito piezo-resistivo no silício, apresentam resposta linear as diferentes componentes do estresse e integram circuitos que permitem mudar a direção do fluxo de portadores, favorecendo direções com sensibilidade aprimorada.

A seguir apresentamos as conclusões das observações, assim como possíveis trabalhos futuros e linhas de pesquisas que podem ser exploradas com este tipo de sensor com geometria octogonal.

Sobre o aparato de teste de flexão em quatro pontos

Um aparato de flexão de quatro pontos, utilizando um substrato circular, foi especialmente projetado para aplicar estresse uniaxial bem controlado em diferentes orientações, na mesma amostra. Esta montagem experimental se mostrou confiável e simples de usar, possibilitando tanto aplicar estresse bem controlado no dispositivo de silício, quanto girar o disco, alterando a direção do estresse.

No entanto, alguns pequenos problemas foram observados, a saber: o atuador mostrou histerese durante ciclos crescentes e decrescentes; o deslocamento da placa de suporte apresentou alterações relacionadas à tolerância entre o parafuso linear e a porca-guia polimérica; também apareceu uma força longitudinal ao eixo do motor que comprime o eixo, rolamentos e suportes. Os referidos erros podem ser corrigidos ou reduzidos se o deslocamento vertical da amostra for monitorado, por exemplo, ao se adicionar uma célula de carga na base ou sensores de força/deformação no eixo e no substrato circular.

Sobre o sensor piezo-resistivo octogonal

Foi projetado um dispositivo piezo-resistor de oito terminais (*8TSP - eight terminal silicon piezotransducer*), componente compacto que integra piezo-resistores e piezo-transdutores de quatro terminais, com diferentes orientações, fabricado com um processo CMOS comercial. Os

dispositivos com área ativa em silício tipo-n foram projetados utilizando as mesmas camadas requeridas para um resistor de difusão, enquanto a área ativa tipo-p usou uma camada adicional de implantação de dopantes. Como resultado, o dispositivo com silício tipo-p apresentou uma resistência menor e um consumo de potência maior.

O comportamento do piezo-resistor de quatro terminais foi representado usando o efeito piezo-resistivo. Empregando este desenvolvimento analítico, foi desenvolvido um modelo utilizando uma ponte de resistores, no qual o estresse mecânico gerou um descasamento na ponte e, como resultado, aparece uma tensão elétrica diferencial na saída, proporcional ao estresse. A sensibilidade do dispositivo relaciona-se aos coeficientes piezo-resistivos, assim como varia em função da orientação da corrente de polarização e ao tipo de dopante usado na área ativa.

Para estender as análises para uma geometria mais complexa, como a do piezo-resistor de oito terminais, um Modelo de Elementos Finitos (FEM) do dispositivo foi desenvolvido e empregado, a fim de validar o projeto. A simulação computacional permitiu observar de forma mais detalhada o comportamento piezo-resistivo.

Protótipos dos piezo-resistores de oito terminais foram projetados usando tecnologia CMOS XFABc0.6 de $0,6\mu\text{m}$, e fabricados pela empresa CEITEC S.A.. Os oito terminais foram distribuídos ao redor da área ativa espaçados em ângulos de 45° , alinhando contatos opostos nas principais direções cristalográficas na superfície da amostra de silício ($\langle 100 \rangle$ & $\langle 110 \rangle$). Cada dispositivo apresentou uma resistência de entrada à temperatura ambiente próxima de $3\text{K}\Omega$ para o tipo-n e 356Ω para o tipo-p, demandando uma área de $60\mu\text{m} \times 60\mu\text{m}$. Ao integrar circuitos como multiplexadores analógicos e espelhos de corrente, necessários para controlar a direção de polarização do dispositivo, a área total aumenta para $100\mu\text{m} \times 100\mu\text{m}$.

Os piezo-resistores de oito terminais foram caracterizados usando estresse uniaxial em várias direções paralelas à superfície do chip de silício. Observamos uma variação em todas as direções possíveis. Os dispositivos com área ativa tipo-n mostraram uma sensibilidade máxima quando o estresse está alinhado com a direção $\langle 100 \rangle$ e sensibilidade reduzida na direção $\langle 110 \rangle$; enquanto aqueles com área ativa tipo-p mostraram uma sensibilidade máxima quando o estresse está alinhado com a direção $\langle 110 \rangle$, mas uma resposta mínima quando o fluxo está alinhado com $\langle 100 \rangle$. Estes resultados estão de acordo com a teoria do efeito piezo-resistivo.

Enquanto o dispositivo fabricado em área ativa tipo-n apresentou sensibilidade em todas as direções, os dispositivos com implantação de dopantes tipo-p apresentaram sensibilidade desprezível quando alinhados com a direção $\langle 100 \rangle$. Na tecnologia em que os sensores foram fabricados, dispositivos em silício tipo-p apresentam níveis de dopagem muito maior e uma resistividade menor, o que aumenta o consumo e diminui a sensibilidade. Em vista disso, não expandiu-se o desenvolvimento de piezo-resistores tipo-p, utilizando apenas piezo-resistores de oito terminais tipo-n na matriz de sensores de estresse.

A comparação entre os resultados da caracterização experimental e a simulações do modelo de elementos finitos permitiu estimar os coeficientes de piezoresistivos para esta tecnologia. Assim temos que para tipo-n os coeficientes piezo-resistivos estimados são: $\pi_{11} = -9,3 \times 10^{-10}\text{Pa}^{-1}$, $\pi_{12} = 4,7 \times 10^{-10}\text{Pa}^{-1}$ e $\pi_{44} = -1,5 \times 10^{-10}\text{Pa}^{-1}$; enquanto para o tipo-p são: $\pi_{11} = -0,2 \times 10^{-10}\text{Pa}^{-1}$, $\pi_{12} = 0,1 \times 10^{-10}\text{Pa}^{-1}$ e $\pi_{44} = -11,4 \times 10^{-10}\text{Pa}^{-1}$. Algumas diferenças entre os valores obtidos experimentalmente e os coeficientes de trabalhos anteriores podem ser

explicados pela diferença na concentração de dotantes e temperatura.

A dependência da resistência de entrada e da sensibilidade dos piezo-resistores de oito terminais em relação à temperatura foram caracterizadas, tais resultados foram comparados com modelos disponíveis na literatura. Conhecendo a dependência da mobilidade de portadores e dos coeficientes piezo-resistivos em relação à temperatura, foi projetado um circuito que permitiu compensar a deriva térmica da sensibilidade do dispositivo. Este circuito demandou uma corrente de referência independente da temperatura, um espelho de corrente e um resistor de compensação em paralelo ao piezo-resistor, tendo sido projetado para ser integrado monoliticamente no mesmo CHIP de silício.

Um circuito que inclui o sensor de piezo-resistivo, o circuito de compensação de temperatura, o gerador de corrente de referência utilizado na polarização e os multiplexadores analógicos para o controle de direção de corrente foi projetado usando a mesma tecnologia CMOS comercial de $0,6\mu\text{m}$, já empregada no sensor, e integrado monoliticamente no mesmo CHIP. A saída do dispositivo foi caracterizada para diferentes temperaturas, o dispositivo apresenta uma boa sensibilidade e uma redução notória da deriva térmica.

Ao mudar a direção de polarização do piezo-resistor, as tensões de saída foram medidas em diferentes contatos do sensor e, com base nessas informações, foi possível estimar tanto a magnitude, quanto a direção da tensão uniaxial aplicada na superfície, com um erro de ângulo menor de 5° para um estresse uniaxial de 50MPa . Porém, este erro pode estar relacionado à configuração experimental e aos instrumentos medidos.

Sobre o sensor piezo-MOS octogonal com espelhos de corrente

Os bons resultados do piezo-resistor de oito terminais possibilitaram a evolução do projeto e a consequente substituição dos resistores semicondutores por transistores MOS. O processo de fabricação CMOS encontra-se otimizado para os transistores, possibilitando, assim, projetar e manufaturar dispositivos menores e com consumo menor. Deste modo, parte dos circuitos requeridos para polarizar o dispositivo podem ser agora integrados dentro do sensor, diminuindo ainda mais a área requerida e aumentando a resolução final que pode ser alcançada.

A sensibilidade da mobilidade de portadores dos piezoMOSFET, transistores MOS sensíveis ao estresse mecânico, pode ser modelada usando o efeito piezo-resistivo. As dimensões do dispositivo, a tensão limiar, a impedância de saída e o efeito de modulação de canal influenciam também a relação entre a variação da corrente de saída do transistor e o estresse mecânico. Por outro lado, demonstrou-se analiticamente que para espelhos de corrente cascode, que apresentam alta impedância de saída e transistores operando em inversão forte, a variação da mobilidade resulta ser o efeito dominante, podendo-se desprezar a influência de todas as outras variáveis.

Um sensor de estresse usando piezoMOSFET em espelhos de corrente foi projetado e fabricado, apresentando como resultado dois dispositivos compactos totalmente compatível com o processo CMOS padrão, o qual foi prototipado usando a tecnologia XFABc06 de $0,6\mu\text{m}$. Já que o processo CMOS permite a fabricação de ambos os tipos de transistores NMOS e PMOS, dois sensores de geometria idêntica foram fabricados, um com NMOS e outro com PMOS. O sensor

pode ser descrito como transistores em configuração cascode formando um espelho com quatro saídas de corrente, onde os transistores de cada uma das 4 saídas possui orientação alinhada em ângulos de -45° , 0° , 45° e 135° com a direção de referência. O leiaute do dispositivo foi feito usando simetria, permitindo que cada transistor seja dividido em duas partes posicionadas ao redor de um ponto central, tendo como resultado dispositivos de oito terminais que ocupam uma área de $16\mu\text{m} \times 16\mu\text{m}$. Incluindo circuitos e interconexões requeridas para polarizar o dispositivo, a área total de cada sensor é de $40\mu\text{m} \times 60\mu\text{m}$.

O teste de flexão de quatro pontos foi utilizado para aplicar uma tensão uniaxial controlada na superfície do chip. Tanto o espelho de corrente NMOS, quanto o PMOS mostraram uma mudança linear na corrente de saída relacionada à deformação mecânica. Observou-se uma variação significativa em todas as direções possíveis, que se ajusta muito bem às equações desenvolvidas usando os modelos do efeito piezo-resistivo.

Empregando os espelhos de corrente piezoFET e Cascode CMOS para subtrair as correntes de saída em direções complementares, foi possível obter um sinal diferencial que aumenta a sensibilidade aos componentes de tensão e reduz os efeitos do modo comum. As saídas de corrente dos sensores de estresse NMOS e PMOS mostraram uma variação proporcional devida ao estresse. Esse resultado é esperado, uma vez que o efeito piezo-resistivo do silício é usado para descrever a mudança relativa da corrente como uma função linear do estresse mecânico e da corrente de polarização. Usando a inclinação das saídas de corrente foi possível estimar os piezo-coeficientes de primeira ordem para o NMOS como $\pi_{11} - \pi_{12} = -14.9 \times 10^{-10} \text{Pa}^{-1}$, e $\pi_{44} = -1.5 \times 10^{-10} \text{Pa}^{-1}$; e para PMOS como $\pi_{11} - \pi_{12} = -0.45 \times 10^{-10} \text{Pa}^{-1}$, e $\pi_{44} = -12.8 \times 10^{-10} \text{Pa}^{-1}$. Esses valores são muito semelhantes aos disponíveis nos trabalhos referenciados.

Um circuito PWM foi efetivamente usado para digitalizar o sinal em uma saída dependente do estresse, como um trem de pulsos de um único bit, onde o duty-cycle da saída está relacionado com o estresse mecânico no sensor. O modulador completo e o BandGap podem ser integrados monoliticamente no mesmo CHIP, porém consomem uma área considerável. Como os sensores possuem saída em corrente, o mesmo circuito modular pode ser usado para digitalizar todos os sinais de vários sensores, multiplexando as correntes na entrada do modulador.

Sobre as matrizes de sensores de estresse

Este trabalho introduziu uma solução integrada completa para mapear o estado do estresse paralelo à área ativa de um dispositivo de silício empacotado, uma ferramenta valiosa para monitorar o estresse mecânico durante o processo de empacotamento, a montagem dos dispositivos nas placas e na operação de circuitos eletrônicos. Cada CHIP de teste para estresse inclui uma matriz de sensores multiplexados que são totalmente compatíveis com o processo de fabricação CMOS. Cada um desses sensores foi projetado para funcionar como um sensor de estresse não-intrusivo, que serve para determinar tanto os componentes longitudinais quanto os de cisalhamento do estresse. Multiplexando as entradas e saídas dos sensores e fazendo a leitura de cada dispositivo de forma sequencial foi possível reduzir o número de entradas e saídas requeridas e aumentar a resolução espacial.

O sistema inclui matrizes de sensores de estresse e os circuitos necessários para polarizar o

dispositivo, mudar a direção de medição e multiplexar os sensores dentro da matriz (para reduzir o número de PADs de entrada e saída requeridos). Foram fabricados dois Chips de $2\text{mm} \times 2\text{mm}$ usando tecnologia CMOS $0,6\mu\text{m}$: O primeiro engloba 32 sensores tipo piezo-resistor de oito terminais tipo-n e apresenta uma resolução espacial de $100\text{pts}/\text{mm}^2$; o segundo integra uma matriz de espelhos de corrente com um total de 64 piezoMOSFET, 32 sensores NMOS e 32 PMOS, em uma área quadrada de $(0,4\text{mm})^2$, resultando em resolução de medição espacial de $200\text{pts}/\text{mm}^2$. Evidentemente, o tamanho da matriz pode ser escalado usando mais dispositivos para possibilitar o mapeamento das áreas maiores em chips maiores. Deste modo, usando um nó tecnológico menor seria possível projetar dispositivos menores e alcançar uma resolução espacial mais elevada.

O aparato de teste de flexão de quatro pontos foi usado para aplicar estresse uniaxial sob condições controladas. A tensão de saída das matrizes de piezo-resistores de oito terminais e a corrente de saída dos espelhos piezoMOSFET foi registrada e usada para estimar a distribuição de tensões ao longo da matriz. Esses resultados apresentam uma distribuição de estresse muito similar ao estresse e deformação simulados ao utilizar modelos de elementos finitos.

Trabalhos Futuros

Ainda que grande parte dos sensores e circuitos necessários para o funcionamento do sistema tenham sido construídos no mesmo CHIP de silício, os dispositivos não estão totalmente integrados. Justamente por serem protótipos desenvolvidos para a caracterização e validação dos sensores, muitos dos blocos não foram interligados internamente, permitindo observar a operação de elementos sensores e circuitos separadamente. Assim, desenvolver uma solução totalmente integrada seria uma evolução natural do projeto.

Como os testes demonstraram que a matriz de sensores de estresse pode ser usada para mapear o estresse remanescente, seria interessante usar o CHIP de teste de estresse para substituir CHIPS de circuitos integrados em diferentes tipos de invólucros, e determinar a distribuição de estresse em vários processos de empacotamento e montagem.

A leitura do sinal de saída e o processamento dos dados para obter a estimativa de estresse demandou uma considerável quantidade de tempo. Seria muito interessante desenvolver uma rotina e interface para a leitura da matriz de sensores e, o mapeamento automatizado do estresse, construindo uma ferramenta completa que permita ao operador visualizar a distribuição de estresse em cada etapa do processo de montagem ou em diferentes condições de operação.

Publicações

Revistas

1. RAMIREZ, JOSE; FRUETT, FABIANO. *"Piezotransducer matrix integrated in silicon for stress mapping in Packaged Devices"*. Sensors and Actuators A: Physical Available online 3 September 2019, 111567
2. RAMIREZ, JOSE; FRUETT, FABIANO. *"PWM output CMOS Stress Sensor based in PiezoFET current mirrors"*. Vol 14 No 2 (2019). Journal of Integrated Circuits and Systems. Online ISSN: 1872-0234 <http://ojs.fei.edu.br/ojs/index.php/JICS/issue/view/6>
3. RAMIREZ, JOSE; FRUETT, FABIANO. *Integrated Octagonal Mechanical Stress Sensor With Temperature Compensation*. IEEE Sensors Journal Year: 2018 Volume: 18 , Issue: 14
4. RAMIREZ, JOSE; FRUETT, FABIANO. *A Compact Eight-terminal Piezotransducer for Stress Measurements in Silicon*. In: Journal of Integrated Circuits and Systems 2017; v.12 / n.1:24-32 April 2017 • ISSN 1807-1953

Congressos e simpósios

1. RAMIREZ, JOSE ; TIOL, JOAO; DEOTTI, DIEGO; FRUETT, FABIANO. *Delta-Sigma modulated output temperature sensor for 1V voltage supply*. 2019 IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS) 2019. Armenia-Colombia. 2019.
2. RAMIREZ, JOSE; FRUETT, FABIANO. *Multi-Terminal PiezoMOSFET Sensor for Stress Measurements in Silicon*. 31st Symposium on Integrated Circuits and Systems Design (SBCCI) 2018, Bento Gonçalves - RS. 2018
3. DEOTTI, DIEGO; RAMIREZ, JOSE. *A temperature independent current reference for IV supply voltage*. In: SEMINATEC 2018, XIII Workshop on Semiconductors and Micro & Nano Technology, São Bernardo do Campo - SP, 2018. v. 1.
4. RAMIREZ, JOSE; FRUETT, FABIANO. *Comparison between p-type and n-type silicon piezotransducers fabricated in CMOS technology*. In: SEMINATEC 2018, XIII Workshop

- on Semiconductors and Micro & Nano Technology, São Bernardo do Campo - SP, 2018. v. 1.
5. RAMIREZ, JOSE; FRUETT, FABIANO. *BandGap Voltage Reference Generator with improved Power supply rejection*. In: Chip on the Sands – 7th Workshop on Circuits and System Design - WCAS, 2017, Fortaleza - CE. 2017. v. 1.
 6. GOMES, MIGUEL; RAMIREZ, JOSE; FRUETT, FABIANO. *Voltage controlled CML ring Oscillator for the 2.4GHz ISM Band*.– 7th Workshop on Circuits and System Design - WCAS, 2017, Fortaleza - CE. 2017. v. 1.
 7. RAMIREZ, JOSE; FRUETT, FABIANO. *The effect of temperature on the sensitivity of a Eight-Terminal Silicon Piezotransducer*. In: Chip on the Sands - 32th SBMICRO, 2017, Fortaleza - CE. 2017.
 8. RAMIREZ, JOSE; FRUETT, FABIANO. *Design of an Eight-Terminal piezotransducer using Multiphysic simulators*. In: SEMINATEC 2017, XII Workshop on Semiconductors and Micro & Nano Technology, São Paulo - SP, 2017. v. 1.
 9. RAMIREZ, JOSE; FRUETT, FABIANO. *Mechanical stress measurement using a single octagonal piezotransducer*. In: IEEE Sensors Conference, 2016, Orlando. 2016. v. 1. p. 1-1.
 10. RAMIREZ, JOSE L.; FRUETT, FABIANO. *A compact eighth-terminal piezotransducer for stress measurements in silicon*. In: Chip on the Mountains - 31th SBMICRO, 2016, Belo Horizonte -MG. 2016.
 11. RAMIREZ, JOSE; FRUETT, FABIANO. *Four-point bending apparatus for mechanical stress measurements in semiconductor wafers*. In: Chip on the Mountains – 6th Workshop on Circuits and System Design - WCAS, 2016, Belo Horizonte - MG. 2016. v. 1.
 12. RAMIREZ, JOSE; TIOL, JOÃO; DEOTTI, DIEGO; FRUETT, FABIANO. *Delta-Sigma modulated output temperature sensor for 1V voltage supply*. IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS) 2019, Armenia - Colombia. 2019
 13. NUNES, RAFAEL; RAMIREZ, JOSE; ORIO, ROBERTO. *Analysis of Vias Position on the BEOL Temperature Distribution*. IEEE 1st Latin American Electron Devices Conference (LAEDC) 2019, Armenia - Colombia. 2019.
 14. DEOTTI, DIEGO; RAMIREZ, JOSE; FRUETT, FABIANO. *A PWM output temperature sensor*. 33rd Symposium on Microelectronics Technology and Devices (SBMicro), Bento Gonçalves -RS. 2018
 15. GOMES, MIGUEL; RAMIREZ, JOSE; LIMA, EDUARDO; FRUETT, FABIANO. *A Wide Tuning Range LC-VCO For The ISM Radio Band*. 33rd Symposium on Microelectronics Technology and Devices (SBMicro), Bento Gonçalves. 2018

Bibliografia

- [1] XFAB. Datasheet 0.6 um cmos process. xc06: 0.6 micron modular mixed signal technology, July 2008.
- [2] S.M. Sze. *Semiconductor sensors*. Wiley-Interscience publication. J. Wiley, 1994.
- [3] Min-Hang Bao, Wei-Jia Qi, and Yan Wang. Geometric design rules of four-terminal gauge for pressure sensors. *Sensors and Actuators*, 18(2):149 – 156, 1989.
- [4] J. Bartholomeyczik, S. Brugger, P. Ruther, and O. Paul. Multidimensional cmos in-plane stress sensor. *IEEE Sensors Journal*, 5(5):872–882, Oct 2005.
- [5] S. Beeby. *MEMS Mechanical Sensors*. Artech House MEMS Library. Artech House, 2004.
- [6] A. CAMOLESI, P. R. SOUZA, and F. FRUETT. Design, simulation, fabrication and characterization of a pressure sensor arranged in wheatstone piezoresistive bridge. In *In: Chip in the Mountains SBMICRO, 2006, Ouro Preto. Microelectronics Technology and devices SBMICRO2006*, 2006.
- [7] G. Coraucci. Sensor de pressão microeletrônico baseado no efeito piezoresistivo transversal em silício. Master's thesis, Faculdade de Engenharia Elétrica e Computação, Universidade de Campinas., 2008.
- [8] J. Fraden. *Handbook of Modern Sensors: Physics, Designs, and Applications*. Handbook of Modern Sensors. Springer, 2004.
- [9] K. Sato, M. Shikida, T. Yoshioka, T. Ando, and T. Kawabata. Micro tensile-test of silicon film having different crystallographic orientations. In *Solid State Sensors and Actuators, 1997. TRANSDUCERS 97 Chicago., 1997 International Conference on*, volume 1, pages 595–598 vol.1, Jun 1997.
- [10] R. Singh, Low Lee Ngo, Ho Soon Seng, and F.N.C. Mok. A silicon piezoresistive pressure sensor. In *The First IEEE International Workshop on Electronic Design, Test and Applications.*, pages 181–184, 2002.
- [11] J.S. Wilson. *Sensor Technology Handbook*. Number v. 1 in Electronics & Electrical. Elsevier, 2005.

- [12] S. E. Thompson and G. Sun. Strained si and the future direction of cmos. In *2006 International Symposium on VLSI Technology, Systems, and Applications*, pages 1–2, April 2006.
- [13] Charles S. Smith. Macroscopic symmetry and properties of crystals. In Frederick Seitz and David Turnbull, editors, *Advances in Research and Applications*, volume 6 of *Solid State Physics*, pages 175 – 249. Academic Press, 1958.
- [14] J. C. Suhling, R. C. Jaeger, P. Lall, M. K. Rahim, J. C. Roberts, and S. Hussain. Application of stress sensing test chips to area array packaging. In *Thermal, Mechanical and Multi-Physics simulation and Experiments in Microelectronics and Microsystems, 2009. EuroSimE 2009. 10th International Conference on*, pages 1–12, April 2009.
- [15] W. L. W. Hau, M. M. F. Yuen, G. Z. Yan, and P. C. H. Chan. A new stress chip design for electronic packaging applications. In *Electronic Materials and Packaging, 2000. (EMAP 2000). International Symposium on*, pages 457–463, 2000.
- [16] J. C. Roberts, M. Kaysar Rahim, J. C. Suhling, R. C. Jaeger, P. Lall, Ron Zhang, and J. Jones. Stress measurements in large area array flip chip microprocessor chips. In *Electronic Components and Technology Conference, 2008. ECTC 2008. 58th*, pages 1462–1471, May 2008.
- [17] J. F. Creemer, F. Fruett, G.C.M. Meijer, and P. J. French. The piezojunction effect in silicon sensors and circuits and its relation to piezoresistance. *IEEE Sensors Journal*, 1:98–108, 2001.
- [18] J. C. Suhling and R. C. Jaeger. Silicon piezoresistive stress sensors and their application in electronic packaging. *IEEE Sensors Journal*, 1(1):14–30, June 2001.
- [19] Y. Chen, R. C. Jaeger, and J. C. Suhling. Multiplexed cmos sensor arrays for die stress mapping. In *Solid-State Circuits Conference, 2006. ESSCIRC 2006. Proceedings of the 32nd European*, pages 424–427, Sept 2006.
- [20] A. T. Bradley, R. C. Jaeger, J. C. Suhling, and Y. Zou. Test chips for die stress characterization using arrays of cmos sensors. In *Custom Integrated Circuits, 1999. Proceedings of the IEEE 1999*, pages 147–150, 1999.
- [21] M. K. Rahim, J. Roberts, J. C. Suhling, R. C. Jaeger, and P. Lall. Continuous in-situ die stress measurements during thermal cycling accelerated life testing. In *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th*, pages 1478–1489, May 2007.
- [22] Quang Nguyen, J. C. Roberts, J. C. Suhling, and R. C. Jaeger. Characterization of moisture and thermally induced die stresses in flip chip on laminate assemblies. In *Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2014 IEEE Intersociety Conference on*, pages 503–512, May 2014.

- [23] M. K. Rahim, J. C. Suhling, D. S. Copeland, M. S. Islam, R. C. Jaeger, P. Lall, and R. W. Johnson. Die stress characterization in flip chip on laminate assemblies. *IEEE Transactions on Components and Packaging Technologies*, 28(3):415–429, Sept 2005.
- [24] J. Roberts, S. Hussain, M. K. Rahim, M. Motalab, J. C. Suhling, R. C. Jaeger, P. Lall, and R. Zhang. Measurement of die stress distributions in flip chip cbga packaging. In *Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2010 12th IEEE Intersociety Conference on*, pages 1–13, June 2010.
- [25] C. H. Cho, R. C. Jaeger, J. C. Suhling, Y. Kang, and A. Mian. Characterization of the temperature dependence of the pressure coefficients of n- and p-type silicon using hydrostatic testing. *IEEE Sensors Journal*, 8(4):392–400, April 2008.
- [26] J. Richter, M.B. Arnoldus, O. Hansen, and E.V. Thomsen. Four point bending setup for characterization of semiconductor piezoresistance. *Review of Scientific Instruments*, 79(4), 2008.
- [27] Nicoleta Wacker, Harald Richter, Tu Hoang, Pawel Gazdzicki, Mathias Schulze, Evangelos A Angelopoulos, Mahadi-Ul Hassan, and Joachim N Burghartz. Stress analysis of ultra-thin silicon chip-on-foil electronic assembly under bending. *Semiconductor Science and Technology*, 29(9):095007, 2014.
- [28] R.J. Baker, Institute of Electrical, Electronics Engineers, and IEEE Solid-State Circuits Society. *CMOS: Circuit Design, Layout, and Simulation*. Number v. 1 in IEEE Press Series on Microelectronic Systems. Wiley, 2008.
- [29] B.G. Streetman and S.K. Banerjee. *Solid State Electronic Devices*. Prentice-Hall series in solid state physical electronics. Pearson/Prentice Hall, 2010.
- [30] P.E. Allen and D.R. Holberg. *CMOS Analog Circuit Design*. Oxford series in electrical and computer engineering. Oxford University Press, 2002.
- [31] Han BB and Guo YY. Thermal deformation analysis of various electronic packaging products by moiree and microscopic moiree interferometry. *Journal of Electronic Packaging*, 1995.
- [32] A. Mian, J. C. Suhling, and R. C. Jaeger. The van der pauw stress sensor. *IEEE Sensors Journal*, 6(2):340–356, April 2006.
- [33] J. Lau. *Thermal Stress and Strain in Microelectronics Packaging*. Springer US, 2012.
- [34] Y. Chen, R. C. Jaeger, and J. C. Suhling. Cmos sensor arrays for high resolution die stress mapping in packaged integrated circuits. *IEEE Sensors Journal*, 13(6):2066–2076, June 2013.
- [35] D. Edwards, K. Heinen, S. Groothuis, and J. Martinez. Shear stress evaluation of plastic packages. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 10(4):618–627, Dec 1987.

- [36] J. R. Zhou, M. Y. Tsai, C. Y. Wu, and K. M. Chen. Thermal stresses and deformations of cu pillar flip chip bga package: Analyses and measurements. In *2010 5th International Microsystems Packaging Assembly and Circuits Technology Conference*, pages 1–4, Oct 2010.
- [37] H. Kittel, S. Endler, H. Osterwinter, S. Oesterle, and F. Schindler-Saefkow. Novel stress measurement system for evaluation of package induced stress. In *Integration Issues of Miniaturized Systems - MOMS, MOEMS, ICS and Electronic Components (SSI), 2008 2nd European Conference Exhibition on*, pages 1–8, April 2008.
- [38] J. Roberts, S. Hussain, M. K. Rahim, M. Motalab, J. C. Suhling, R. C. Jaeger, P. Lall, and R. Zhang. Characterization of microprocessor chip stress distributions during component packaging and thermal cycling. In *Electronic Components and Technology Conference (ECTC), 2010 Proceedings 60th*, pages 1281–1295, June 2010.
- [39] R. D. Pendse. A comprehensive approach for the analysis of package induced stress in ics using analytical and empirical methods. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 14(4):870–873, Dec 1991.
- [40] J C Greenwood. Silicon in mechanical sensors. *Journal of Physics E: Scientific Instruments*, 21(12):1114, 1988.
- [41] I. Lesk, R. Thomas, G. Hawkins, T. Remmel, and J. Rugg. Progression of damage caused by temperature cycling on a large die in a molded plastic package. 1990.
- [42] H. Inayoshi, K. Nishi, S. Okikawa, and Y. Wakashima. Moisture-induced aluminum corrosion and stress on the chip in plastic-encapsulated lsis. In *17th International Reliability Physics Symposium*, pages 113–117, April 1979.
- [43] C. v. Kessel, S. Gee, and J. Murphy. The quality of die-attachment and its relationship to stresses and vertical die-cracking. *IEEE Transactions on Components, Hybrids, and Manufacturing Technology*, 6(4):414–420, Dec 1983.
- [44] R.S. Popovic. *Hall Effect Devices, Second Edition*. Series in Sensors. Taylor and Francis, 2010.
- [45] A. A. O. Tay and Tingyu Lin. Moisture diffusion and heat transfer in plastic ic packages. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 19(2):186–193, June 1996.
- [46] G. Kelly, C. Lyden, C. O’Mathuna, and J. S. Campbell. Investigation of thermo-mechanically induced stress in a pqfp 160 using finite element techniques. In *1992 Proceedings 42nd Electronic Components Technology Conference*, pages 467–472, May 1992.
- [47] C. Bailey, Hua Lu, and D. Wheeler. Computer based modeling for predicting reliability of flip-chip components on printed circuit boards. In *Twenty Fourth IEEE/CPMT International Electronics Manufacturing Technology Symposium (Cat. No.99CH36330)*, pages 42–49, 1999.

- [48] Sheng Liu, Jiansen Zhu, Daqing Zou, and J. Benson. Study of delaminated plastic packages by high temperature moire and finite element method. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part A*, 20(4):505–512, Dec 1997.
- [49] M. K. Rahim, J. C. Suldin, D. S. Copeland, R. C. Jaeger, P. Lall, and R. W. Johnson. Characterization of die stresses in flip chip on laminate assemblies using. In *Electronic Components and Technology Conference, 2003. Proceedings. 53rd*, pages 905–919, May 2003.
- [50] W. Kpobie, N. Bonfoh, C. Dreistadt, M. Fendler, and P. Lipinski. 3d modeling of flip chip assemblies with large array and small pitch: validation of the proposed model. In *2013 14th International Conference on Thermal, Mechanical and Multi-Physics Simulation and Experiments in Microelectronics and Microsystems (EuroSimE)*, pages 1–6, April 2013.
- [51] Meng-Chieh Liao, Pu-Shan Huang, Yi-Hsien Lin, Ming-Yi Tsai, Chen-Yu Huang, and Te-Chin Huang. Measurements of thermally-induced curvatures and warpages of printed circuit board during a solder reflow process using strain gauges. *Applied Sciences*, 2007.
- [52] P S. Huang, Y H. Lin, C Y. Huang, M.Y. Tsai, T C. Huang, and M C. Liao. Warpage and curvature determination of pcb with dimm socket during reflow process by strain gage measurement. pages 1–4, 10 2010.
- [53] K. Verma, D. Columbus, and B. Han. Development of real time/variable sensitivity warpage measurement technique and its application to plastic ball grid array package. *IEEE Transactions on Electronics Packaging Manufacturing*, 22(1):63–70, Jan 1999.
- [54] Yozo Kanda and Kazuhisa Yamamura. Four-terminal-gauge quasi-circular and square diaphragm silicon pressure sensors. *Sensors and Actuators*, 18:247 – 257, 1989.
- [55] A. Mian, J. C. Suhling, and R. C. Jaeger. A high sensitive piezoresistive sensor for stress measurements in packaged semiconductor die. In *Microelectronics and Electron Devices, 2006. WMED '06. 2006 IEEE Workshop on*, pages 2 pp.–20, 2006.
- [56] F. Fruett and G.C.M. Meijer. *The Piezjunction Effect in Silicon Integrated Circuits and Sensors*. The Springer International Series in Engineering and Computer Science. Springer, 2010.
- [57] H.P. Myers. *Introductory Solid State Physics, 2nd Edition*. Taylor & Francis, 2003.
- [58] P.A. Tipler and G. Mosca. *Physics for Scientists and Engineers, Volume 2: Electricity, Magnetism, Light, and Elementary Modern Physics*. Physics for Scientists and Engineers. W. H. Freeman, 2004.
- [59] R. C. Jaeger and J. C. Suhling. First and second order piezoresistive characteristics of cmos fets: Weak through strong inversion in 2018. In *48th European Solid-State Device Research Conference (ESSDERC), Dresden, Germany, 2018*, 2018.

- [60] R. C. Jaeger, J. C. Suhling, and R. Ramani. Errors associated with the design, calibration and application of piezoresistive stress sensors in (100) silicon. *IEEE Transactions on Components, Packaging, and Manufacturing Technology: Part B*, 17(1):97–107, Feb 1994.
- [61] S. Middelhoek, S.A. Audet, P.J. French, Mathematics TU Delft, Faculty of Electrical Engineering, and Computer Science. *Silicon Sensors*. TU Delft, 2006.
- [62] Victor. Garcia. Sensor de pressão microeletrônico baseado no efeito piezomos. Master's thesis, Faculdade de Engenharia Elétrica e Computação, Universidade de Campinas., 2006.
- [63] J. J. Wortman and R.A. Evans. Young's modulus, shear modulus, and poisson's ratio in silicon and germanium. *Journal of Applied Physics*, 36(1):153–156, 1965.
- [64] Charles S. Smith. Piezoresistance effect in germanium and silicon. *Phys. Rev.*, 94:42–49, Apr 1954.
- [65] G. Coraucci and F. Fruett. A theoretical study of a novel multi-terminal pressure sensor based on the transversal piezoresistive effect. *the Electrochemical Society, Inc. ECS Transactions*, 9:561 – 569, 2007.
- [66] G. Coraucci, M. Finardi, and F. Fruett. A multi-terminal pressure sensor with enhanced sensitivity. In *5th International Conference on Solid-State Sensors, Actuators and Microsystems - Transducers*, 2009.
- [67] A.V. Gridchin and V.A. Gridchin. The four-terminal piezotransducer: theory and comparison with piezoresistive bridge. *Sensors and Actuators A: Physical*, 58(3):219 – 223, 1997.
- [68] Kazunori Matsuda, Katuhisa Suzuki, Kazuhisa Yamamura, and Yozo Kanda. Nonlinear piezoresistance effects in silicon. *Journal of Applied Physics*, 73(4):1838–1847, 1993.
- [69] Y. Kanda and M. Migitaka. Effect of mechanical stress on the offset voltage of hall devices in Si IC. *Phys. Status Solidi*, 35:115 –118, 1976.
- [70] Yozo Kanda. Piezoresistance effect of silicon. *Sensors and Actuators A: Physical*, 28(2):83 – 91, 1991.
- [71] A.V. Gridchin. The four-terminal silicon piezotransducer: history and future. In *5th Annual International Siberian Workshop and Tutorial on Electron Devices and Materials*, pages 21–23, 2004.
- [72] Julijana Divkovic Puksec Julijan Sribar. *Elektronicki elementi*. Element, 1994.
- [73] C. Jacoboni, C. Canali, G. Ottaviani, and A. Alberigi Quaranta. A review of some charge transport properties of silicon. *Solid State Electronics*, 20:77–89, February 1977.
- [74] D. Long. Properties of semiconductors useful for sensors. *Electron Devices, IEEE Transactions on*, 16(10):836–839, 1969.

- [75] Yozo Kanda. A graphical representation of the piezoresistance coefficients in silicon. *IEEE Transactions on electron devices*, 29(1):64–70, 1982.
- [76] W. Versnel. Geometrical correction factor for a rectangular Hall plate. *Journal of Applied Physics*, 7:53, 1982.
- [77] V. A. Gridchin and R.A. Pirogova. Numerical simulation of multiterminal silicon piezoelements. *Sensors and Actuators*, 65:5–9, 1998.
- [78] R. Popovic, Z. Randjelovic, and D Manic. Integrated Hall-effect magnetic sensors. *Sensors and Actuators*, 91:46 – 50, 2001.
- [79] A.S. Sedra and K.C. Smith. *Microelectronic Circuits*. Oxford University Press, 2004.
- [80] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. Electrical Engineering Series. McGraw-Hill, 2001.
- [81] Willy M. C. Sansen. *Analog Design Essentials (The International Series in Engineering and Computer Science)*. Springer-Verlag New York, Inc., Secaucus, NJ, USA, 2006.
- [82] R. C. Jaeger, R. Ramani, J. C. Suhling, and Y. Kang. Cmos stress sensor circuits using piezoresistive field-effect transistors (pifets). In *VLSI Circuits, 1995. Digest of Technical Papers., 1995 Symposium on*, pages 43–44, June 1995.
- [83] Vitor Garcia and Fabiano Fruett. A mechanical-stress sensitive differential amplifier. *Sensors and Actuators A: Physical*, 132(1):8 – 13, 2006. <ce:title>The 19th European Conference on Solid-State Transducers</ce:title>.
- [84] Astm e8/e8m-13 standard test methods for tension testing of metallic materials.
- [85] Astm d790 standard test methods for flexural properties of unreinforced and reinforced plastics and electrical insulating materials.
- [86] Astm c1161 - 13 standard test method for flexural strength of advanced ceramics at ambient temperature.
- [87] Four-point bending apparatus for mechanical stress measurements in semiconductor wafers. In *Jose Ramirez and Fabiano Fruett*, number 01, 2016.
- [88] J. J. WORTMAN and R. A. EVANS. Young's modulus, shear modulus, and Poisson's ratio in silicon and germanium. *Journal of Applied Physics*, 36:153–156, 1965.
- [89] F. Fruett. *The Piezjunction Effect in Silicon, Its Consequences and Applications for Integrated Circuits and Sensors*. IOS Press, Incorporated, 2001.
- [90] J.T. Maupin and M.L. Geske. The hall effect in silicon circuits. In C.L. Chien and C.R. Westgate, editors, *The Hall Effect and Its Applications*, pages 421–445. Springer US, 1980.

- [91] C.L. Chien and C.R. Westgate. *The Hall effect and its applications*. NATO ASI series: Series B, Physics. Plenum Press, 1980.
- [92] MarketsandMarkets. Smart / intelligent sensor market by type (flow sensor, dissolved oxygen sensor, temperature sensor, pressure sensor, touch sensor), technology (mems, cmos), application (aerospace, automotive, industrial, building automation), & by geography - forecasts. *Disponível em <http://www.marketresearch.com/>*.
- [93] INTECHO CONSULTING. Sensor markets 2016: Worldwid analyses and forecasting for the sensor market until 2016. *Disponível em <http://www.intechnoconsulting.com/>*.
- [94] Laurent Chiesi. *Planar 2D fluxgate magnetometer for CMOS electronic compass*. PhD thesis, STI, Lausanne, 1999.
- [95] S. Bellekom and L. Sarro. Offset reduction of Hall plates in three different crystal planes. In *Solid State Sensors and Actuators, 1997. TRANSDUCERS '97 Chicago., 1997 International Conference on*, volume 1, pages 233–236 vol.1, Jun 1997.
- [96] Jose Ramirez and Fabiano Fruett. Octagonal geometry hall plate designed for the PiezoHall effect measurement. *28th Symposium on Microelectronics Technology and Devices - SBMICRO*, 2013.
- [97] A. Bilotti, G. Monreal, and R. Vig. Monolithic magnetic Hall sensor using dynamic quadrature offset cancellation. *IEEE Journal of Solid-State Circuits*, 32:829 – 836, 1997.
- [98] A. Udo. Limits of offset cancellation by the principle of spinning current Hall probe. *Proceedings of IEEE*, 24:1117–1120, 2004.
- [99] R. S. Popovic. High resolution hall magnetic sensors. In *Microelectronics Proceedings - MIEL 2014, 2014 29th International Conference on*, pages 69–74, May 2014.
- [100] Infiniti Research Limited TechNavio. Global magnetic sensors market 2014-2018. *Disponível em <http://www.marketresearch.com/>*.
- [101] P.J.A. Munter. Electronic circuitry for a smart spinning-current Hall plate with low offset. *Sensors and Actuators*, A27, 1991.
- [102] W. Gilbert. *De Magnete*. Dover Publications, 2013.
- [103] Xu Huilong, Zhang Zhiyong, Shi Runbo, Liu Honggang, Wang Zhenxing, and Wang Sheng. Batch-fabricated high-performance graphene Hall elements. *Scientific Reports, Nature Publishing Group*, 2013.
- [104] N. Dumas, L. Latorre, and P. Nouet. Analysis of offset and noise in CMOS piezoresistive sensors using a magnetometer as a case study. *Sensors and Actuators*, pages 14–20, 2006.
- [105] Michael J. Caruso and Carl H. Smith. A new perspective on magnetic field sensing. 1998.

- [106] P.J.A. Munter. A low offset spinning-current hall plate. *Sensors and Actuators*, A21:743–746, 1990.
- [107] B. Halg. Piezo-Hall coefficients of n-type silicon. *Journal of Applied Physics*, 64:276–282, 1988.
- [108] R. Otmani, N. Benmoussa, and B. Benyoucef. The thermal drift characteristics of piezo-resistive pressure sensor. *Physics Procedia*, 21:47 – 52, 2011.
- [109] Beddiaf Abdelaziz, Kerrour Fouad, and Salah Kemouche. The effect of temperature and doping level on the characteristics of piezoresistive pressure sensor. *Journal of Sensor Technology*, 04(02):59–65, 2014.
- [110] Behzad Razavi. *RF Microelectronics (2Nd Edition) (Prentice Hall Communications Engineering and Emerging Technologies Series)*. Prentice Hall Press, Upper Saddle River, NJ, USA, 2nd edition, 2011.
- [111] Khong-Meng Tham and K. Nagaraj. A low supply voltage high psrr voltage reference in cmos process. *IEEE Journal of Solid-State Circuits*, 30(5):586–590, May 1995.
- [112] Armin Tajalli, Mohammad Chahardori, and Abbas Khodaverdi. An area and power optimization technique for cmos bandgap voltage references. *Analog Integrated Circuits and Signal Processing*, 62(2):131–140, 2010.
- [113] Jose Ramirez and Fabiano Fruett. A compact eight-terminal piezotransducer for stress measurements in silicon. *Journal of Integrated Circuits and Systems*, 12(01):24–32, 2017.
- [114] Y. Chen, R. C. Jaeger, and J. C. Suhling. Delta-sigma based cmos stress sensor with rf output. In *Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian*, pages 243–246, Nov 2006.
- [115] C. H. Cho, R. C. Jaeger, and J. C. Suhling. Characterization of the temperature dependence of the piezoresistive coefficients of silicon from -150 c to +125 c. *IEEE Sensors Journal*, 8(8):1455–1468, Aug 2008.
- [116] S. Huber, W. Leten, M. Ackermann, C. Schott, and O. Paul. A fully integrated analog compensation for the piezo-hall effect in a cmos single-chip hall sensor microsystem. *IEEE Sensors Journal*, 15(5):2924–2933, May 2015.
- [117] S. Hussain, R. C. Jaeger, J. C. Suhling, B. M. Wilamowski, M. C. Hamilton, and P. Gnannachelvi. Understanding the impact of temperature variations on measurement of stress dependent parameters of bipolar junction transistors. In *Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm), 2014 IEEE Intersociety Conference on*, pages 1244–1250, May 2014.
- [118] P. Ruther, M. Baumann, P. Gieschke, M. Herrmann, B. Lemke, K. Seidl, and O. Paul. Cmos-integrated stress sensor systems. In *Sensors, 2010 IEEE*, pages 2073–2078, Nov 2010.

-
- [119] Parameshwaran Gnanachchelvi, Bogdan M. Wilamowski, Richard C. Jaeger, Safina Husain, Jeffrey C. Suhling, and Michael C. Hamilton. A 1d numerical model for rapid stress analysis in bipolar junction transistors. *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, 29(6):1161–1179, 2016. JNM-15-0143.R2.
- [120] J. L. Ramirez and F. Fruett. A compact eighth-terminal piezotransducer for stress measurements in silicon. In *2016 31st Symposium on Microelectronics Technology and Devices (SBMicro)*, pages 1–4, Aug 2016.
- [121] J. L. Ramirez and F. Fruett. Design of an eight-terminal piezotransducer using multiphysics simulators. In *XII Workshop on Semiconductors and Micro & Nano Technology (Seminatec 2017)*, pages 1–2, 2017.

Apêndices

Apêndice 1: Teste de adesivos e de substratos

Os dispositivos sensores piezo-resistivos de 8 terminais são e serão fabricados usando uma tecnologia de manufatura de circuitos integrados comercial, resultando caro e difícil para esta pesquisa ter acesso a um *wafer* completo para realizar os testes de flexão. Temos a disposição *dice* de Silício já fatiados, dispositivos de tamanho reduzido, aos quais resulta ainda mais difícil aplicar uma deformação mecânica controlada. Para caracterizar os sensores piezo-resistivos, precisamos colar os *chips* de silício sobre um substrato flexível, que possa ser usado um teste de flexão descrito no Capítulo 6 e que transfira a deformação para o dispositivo adequadamente.

Para estimar a qualidade da adesão e o estresse induzido sobre o dispositivo, foram coladas amostras de Silício sobre diferentes substratos com diferentes tipos de adesivos. Foi utilizado o perfilômetro DektakXT–Bruker disponível no Centro de Tecnologia da Informação Renato Archer - CTI para medir a curvatura da superfície, esta medida está associada ao estresse mecânico. Foi realizado o seguinte procedimento com cada um dos adesivos e substratos considerados:

1. Medir a curvatura do Chip com um perfilômetro de contato antes da adesão.
2. Colar o Chip no substrato.
3. Medir a curvatura do Substrato e do Chip, a diferença está relacionada ao estresse induzido pela cola.
4. Flexionar o Substrato a uma distancia determinada.
5. Medir a curvatura do Substrato e do Chip.
6. Repetir passos 4 e 5 até gerar uma falha na Cola ou no Chip.

Mostrou-se necessário identificar um substrato que desenvolva as seguintes funções: Seja suporte mecânico; possa ser flexionado sem quebrar ou empenar; e seja compatível com o circuito integrado em silício. Foram considerados 5 materiais para substratos: Silício, Alumínio, Acrílico, Aço e fenolite (FR-4 usado na fabricação de placas de circuito impresso *PCB*). Após a primeira rodada de empacotamento conseguimos chegar as seguintes observações:

- O silício foi desconsiderado por ser frágil;
- O acrílico e fenolite podem apresentar deformações com as temperaturas usadas na montagem de *CI*s;

Adesivo	Observação	Resultado	Deslocamento até fratura
OxySIM 502-40	Cola condutora, adiciona estresse ao Chip.		
Emerson & Cuming XE1218	Underfill para FP, Colado adequado, pouco estresse.	Aplicar curvatura	4,5 mm
Loctite 3609	Die attach, Colado adequado, pouco estresse.	Aplicar curvatura	2,0 mm
Loctite 496	Cola para Strain gauge - Colado frágil		
Loctite 401	Superbonder- Colado frágil		
Delo Monopax MK 096	Die attach, Colado adequado, estresse médio.	Aplicar curvatura	2,5 mm
Eccobond CE8500	Epóxi, Cola estava seca, Colado inapropriado.		
Loctite 3517	Colado adequado, pouco estresse.	Aplicar curvatura	2,5 mm
Emerson & Cuming SB-50	Underfill para BGA, esta adiciona muito estresse ao Chip.		

Tabela 9.3: Resultados para diferentes tipos de adesivos.

- O aço e o alumínio se mostraram adequados para este processo.

Também era preciso identificar um mecanismo de adesão, que apresentasse as seguintes características: Possa ser aplicado a baixa temperatura / Baixa tensão para não comprometer o dispositivo; Não induza estresse adicional no *Chip*; Não frature ao flexionar o substrato; Seja rígido o suficiente para garantir que a deformação do Chip seja igual à deformação do substrato; Transmita um esforço mecânico no Silício de até 200MPa.

Os adesivos utilizados estão disponíveis no CTI ou foram encontrados no mercado brasileiro, sendo usados na montagem de circuitos integrados e extensômetros (*strain-gauges* metálicos). Os resultados obtidos estão resumidos na Tabela 9.3.

O Underfill E&C XE1218 foi o método de adesão mais adequado, apresentando uma menor propensão a fratura e induzindo pouco estresse durante o processo de cura. A Figura 9.26 ilustra a curvatura do silício para diferentes deslocamentos do substrato e, a comparação com um modelo simulado usando o método de Elementos Finitos.

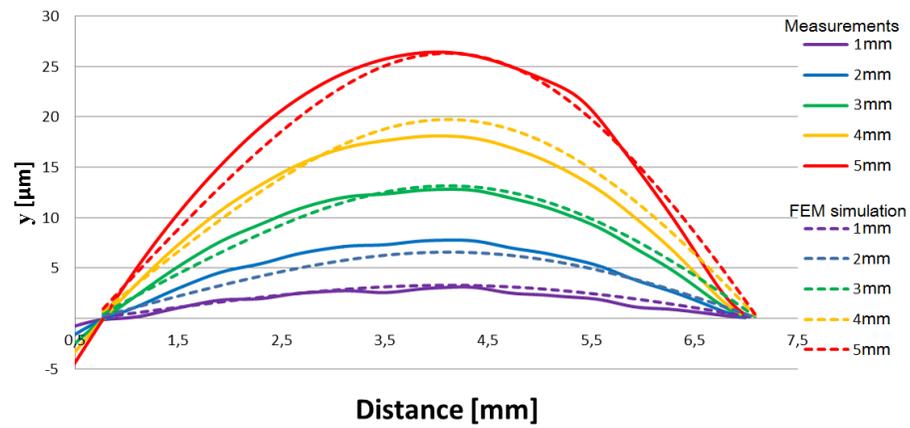


Figura 9.26: Resultados experimentais obtidos no perfilômetro e em simulação com Elementos Finitos para a curvatura na superfície da amostra de Silício.

Apêndice 2: Planos do aparelho de ensaio de flexão em quatro pontos

Máquina de teste de flexão em 4 pontos para *wafers* de 10cm de diâmetro

Com o intuito de desenvolver uma caracterização sistemática e adequada do comportamento do dispositivo ao aplicar uma deformação mecânica, foi projetada uma máquina que permite aplicar um deslocamento mensurável e controlado a uma placa circular. O procedimento é baseado no teste de flexão em 4 pontos, que apresenta uma melhor distribuição da deformação e esforço na região central do substrato circular. O projeto e o aparato construído pode ser visualizado na Figura 9.27.

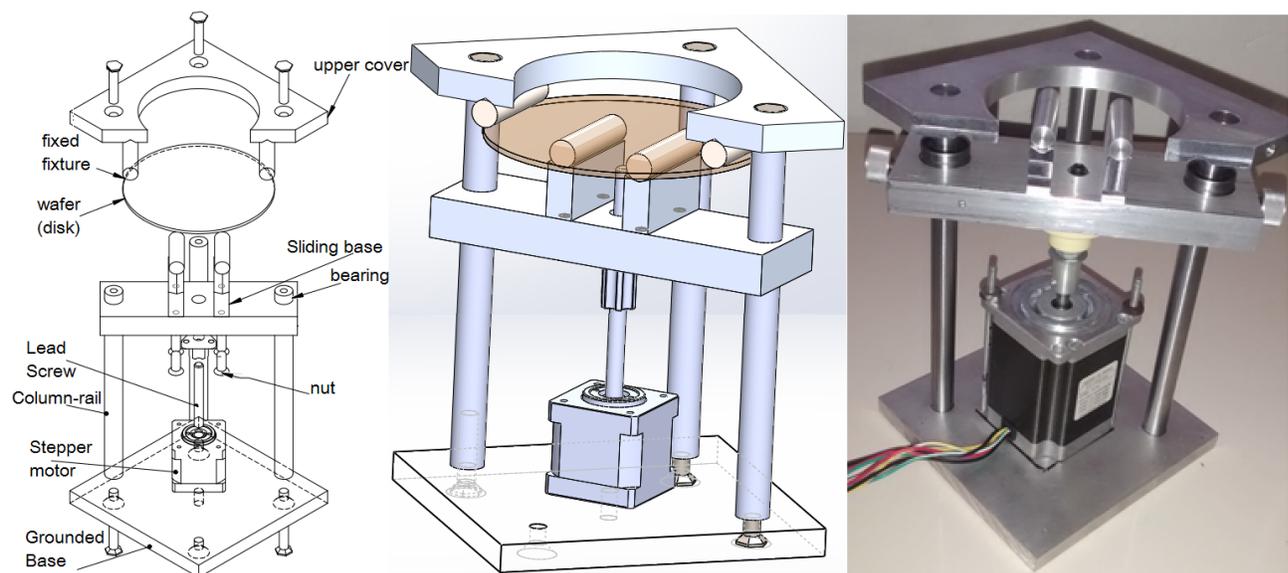


Figura 9.27: Vistas explodidas e de ensemble do aparato de flexão de quatro pontos, assim como a foto do aparato construído

O substrato circular é peça central do processo de caracterização, já que permitirá girar o dispositivo em diferentes direções, alterando assim o ângulo entre o dispositivo e o estresse aplicado. O aparelho foi fabricado em alumínio e aço inoxidável e especialmente concebido para

uma *wafer* de silício de quatro polegadas. É composto de uma base, três colunas, uma tampa superior, onde os apoios fixos são posicionados e, um atuador linear que move o suporte interno. A geometria é o inverso do ensaio flexão de quatro pontos tradicional, justamente para deixar a área livre na parte superior, onde as conexões elétricas e o instrumento de medição têm acesso ao chip. A distância entre as colunas é igual ao diâmetro da *wafer* de 4 polegadas, o que permite trocar ou girar facilmente o disco e colocá-lo na mesma posição. As colunas são utilizadas como trilhos e, rolamentos lineares foram adicionados para reduzir o atrito e garantir o movimento suave.

Nº DO ITEM	PEÇA	Material	Processo	QTD.
1	Base inferior	Aluminio	Usinar	1
2	Parafuso M6 -24		Compra	6
3	suporteWaferBase	Aluminio	Usinar	1
4	supportewaferixo	Aluminio	Usinar	2
5	parafuso M6 -18		Compra	4
6	cilindro	Aço / Alumínio	Compra e da acabamento	4
7	Castanha		Compra	1
8	NEMA17 -MOTOR		Compra	1
9	Fuso Linear	Aço	Compra	1
10	Base superior	Aluminio	Usinar	1
11	wafer 10 cm	Chapa de Aço/Aluminio	Usinar	1
12	Coluna	Aço Prata / Alumínio	Usinar	3

Processo NÃO MUDAR ESCALA DO DESENHO REVISÃO

PEÇA No - Nome

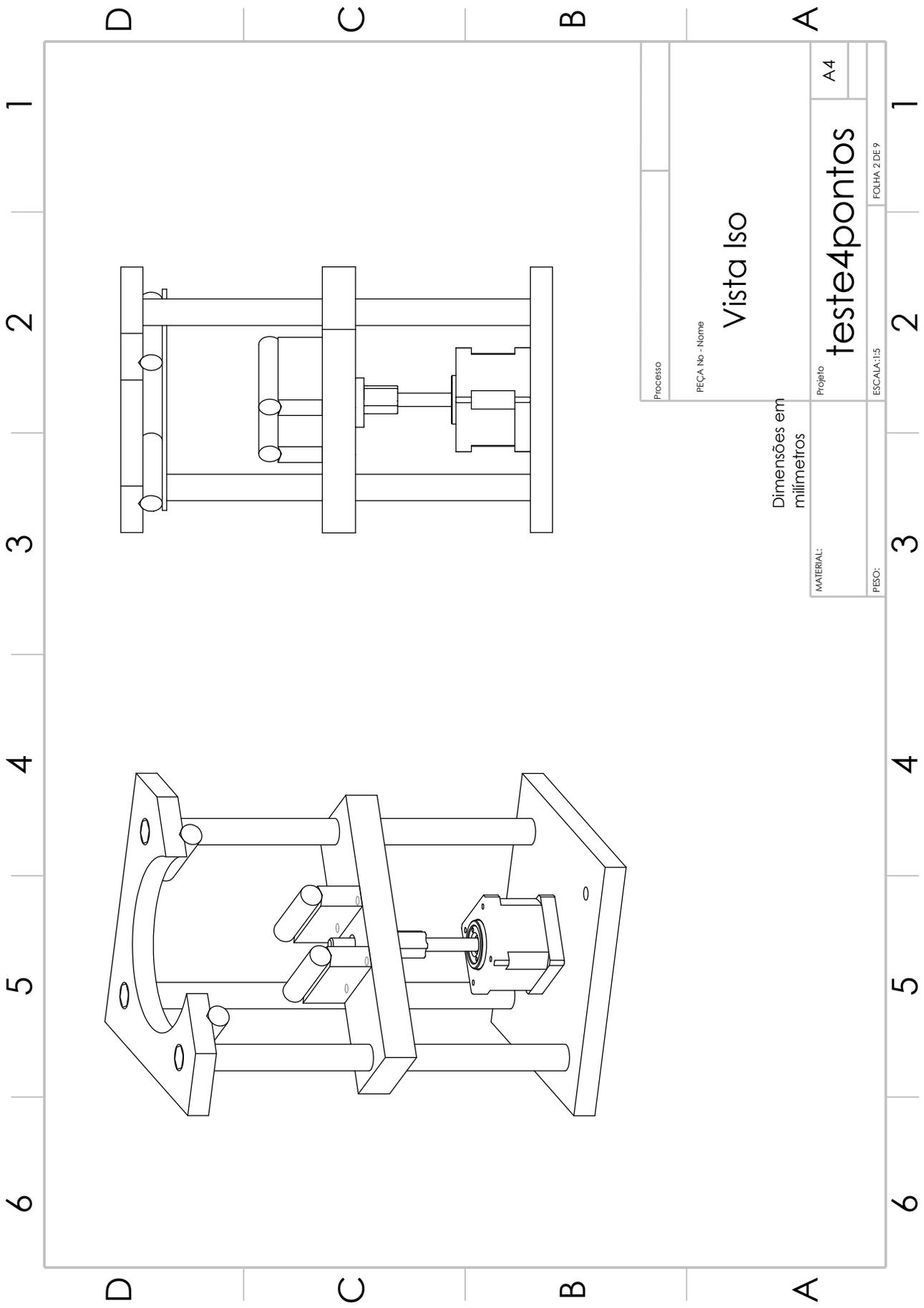
Lista de Peças

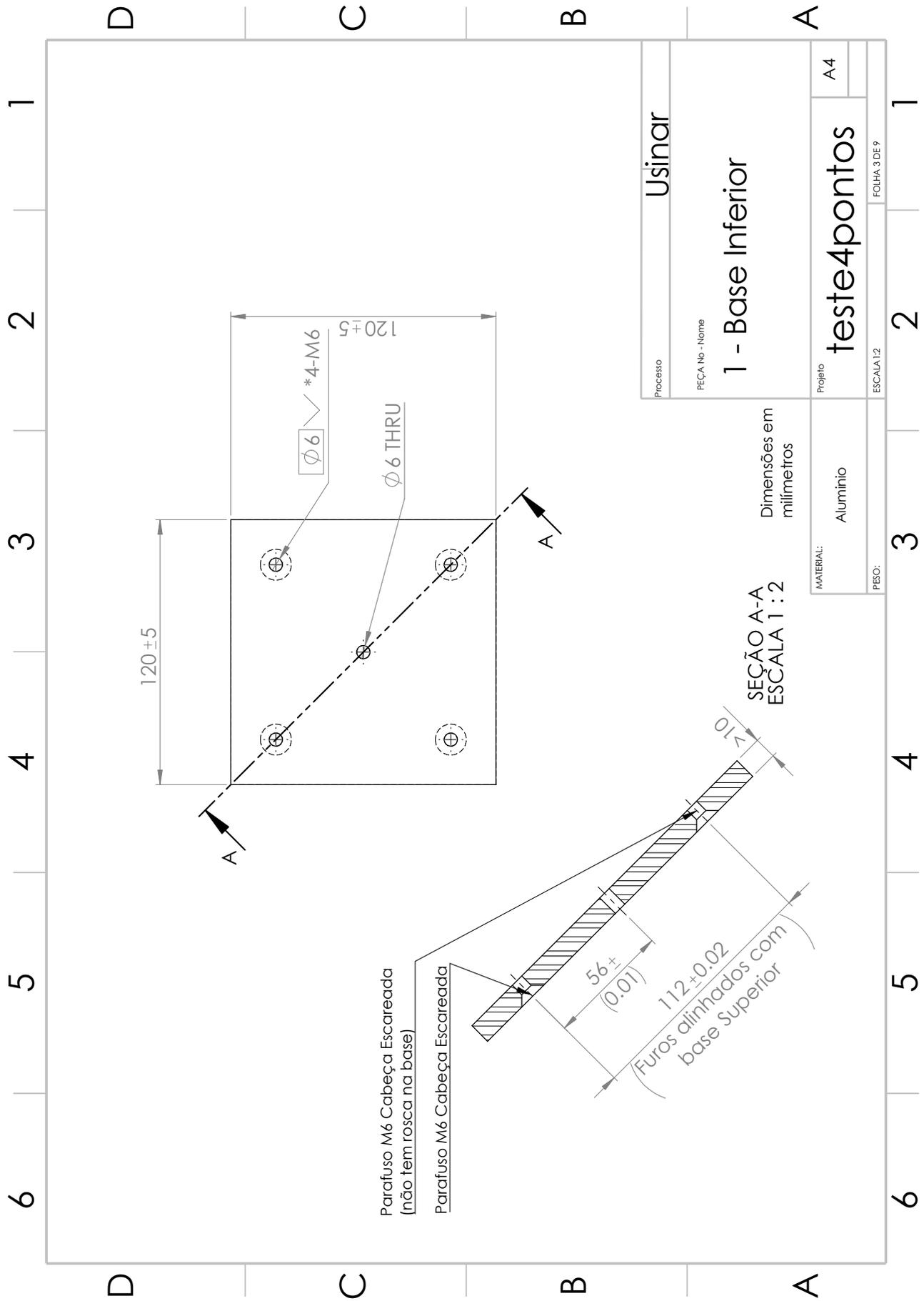
Projeto **teste4pontos** A4

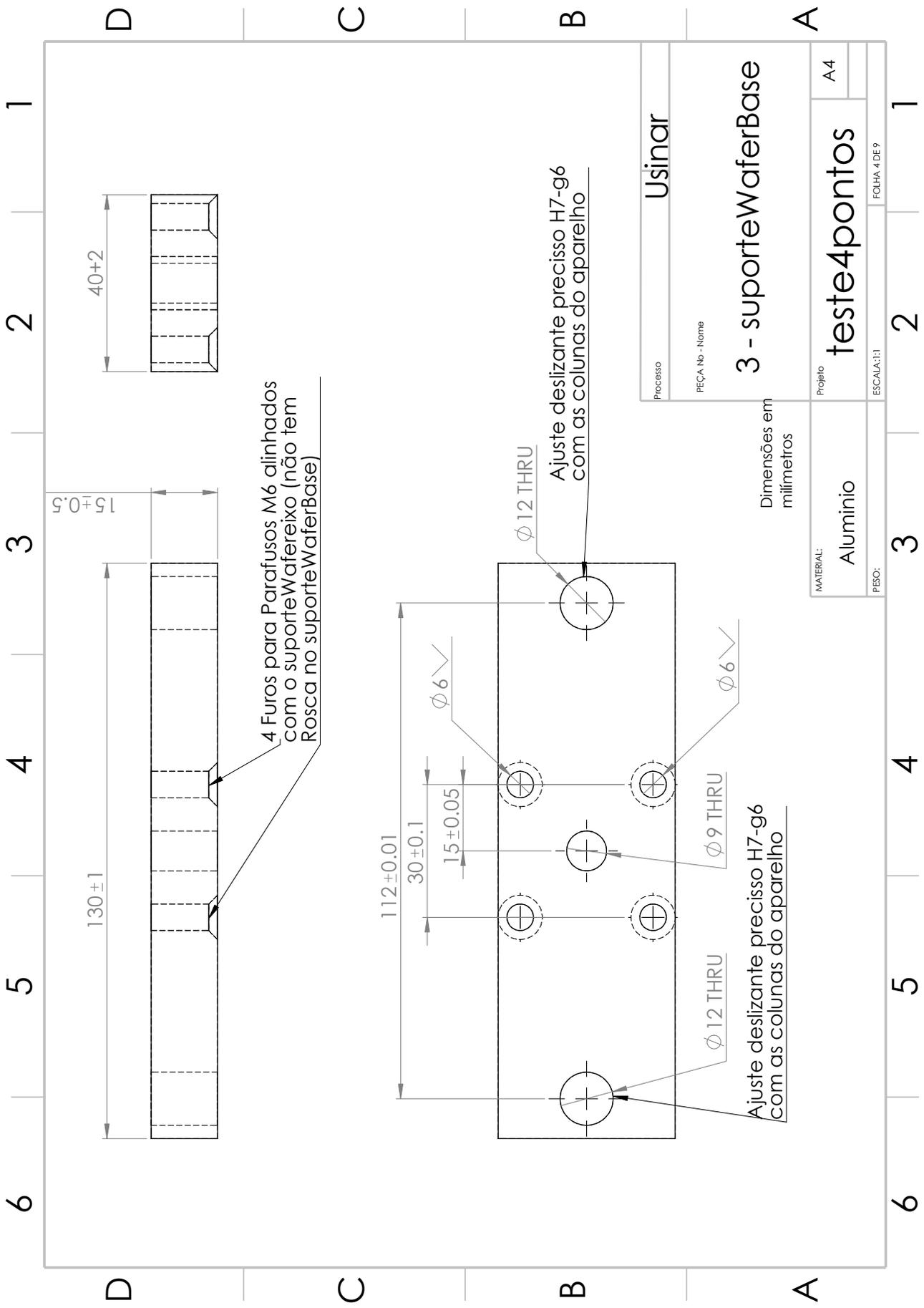
MATERIAL: **teste4pontos**

ESCALA: FOLHA 1 DE 9

Dimensões em milímetros

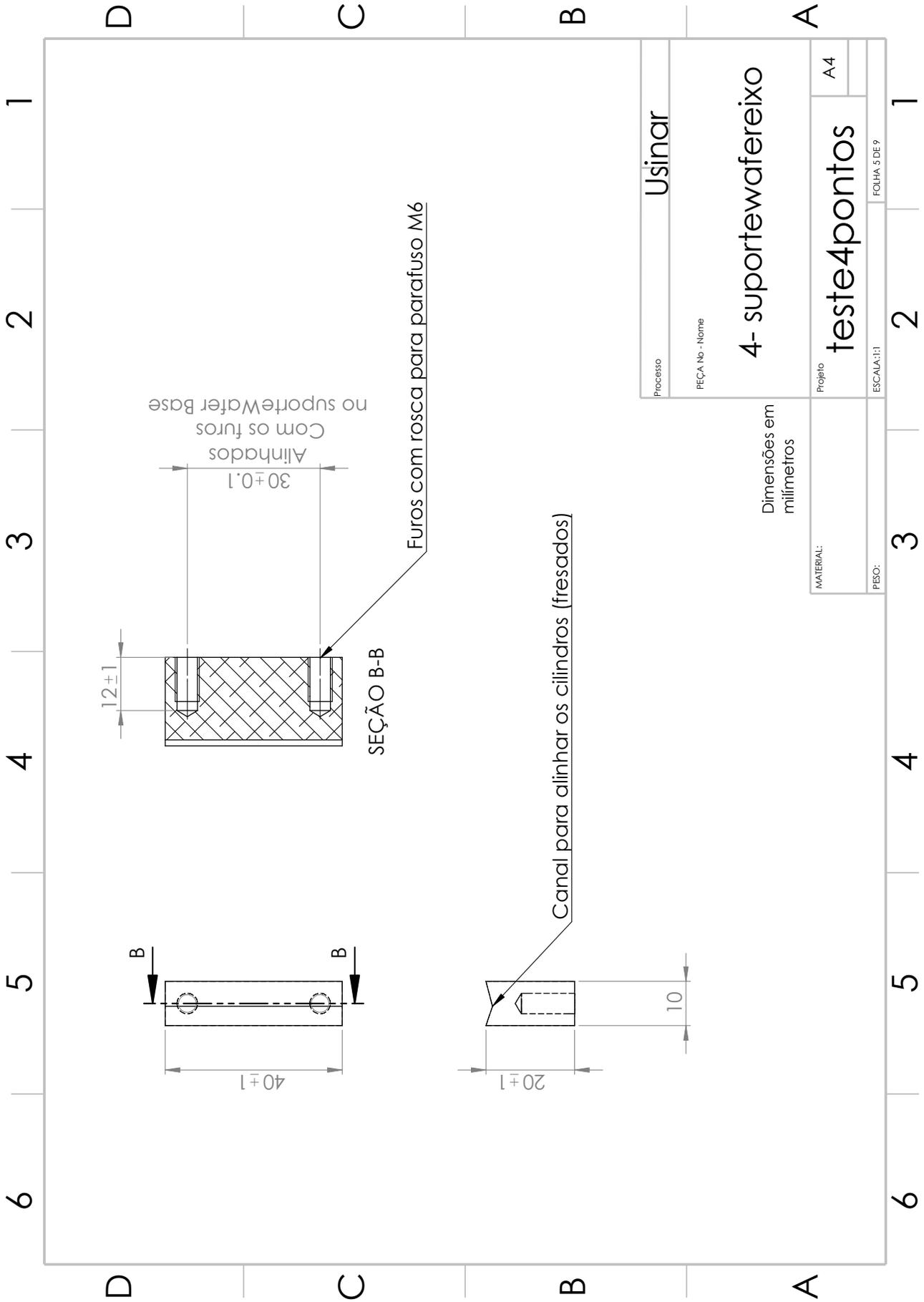


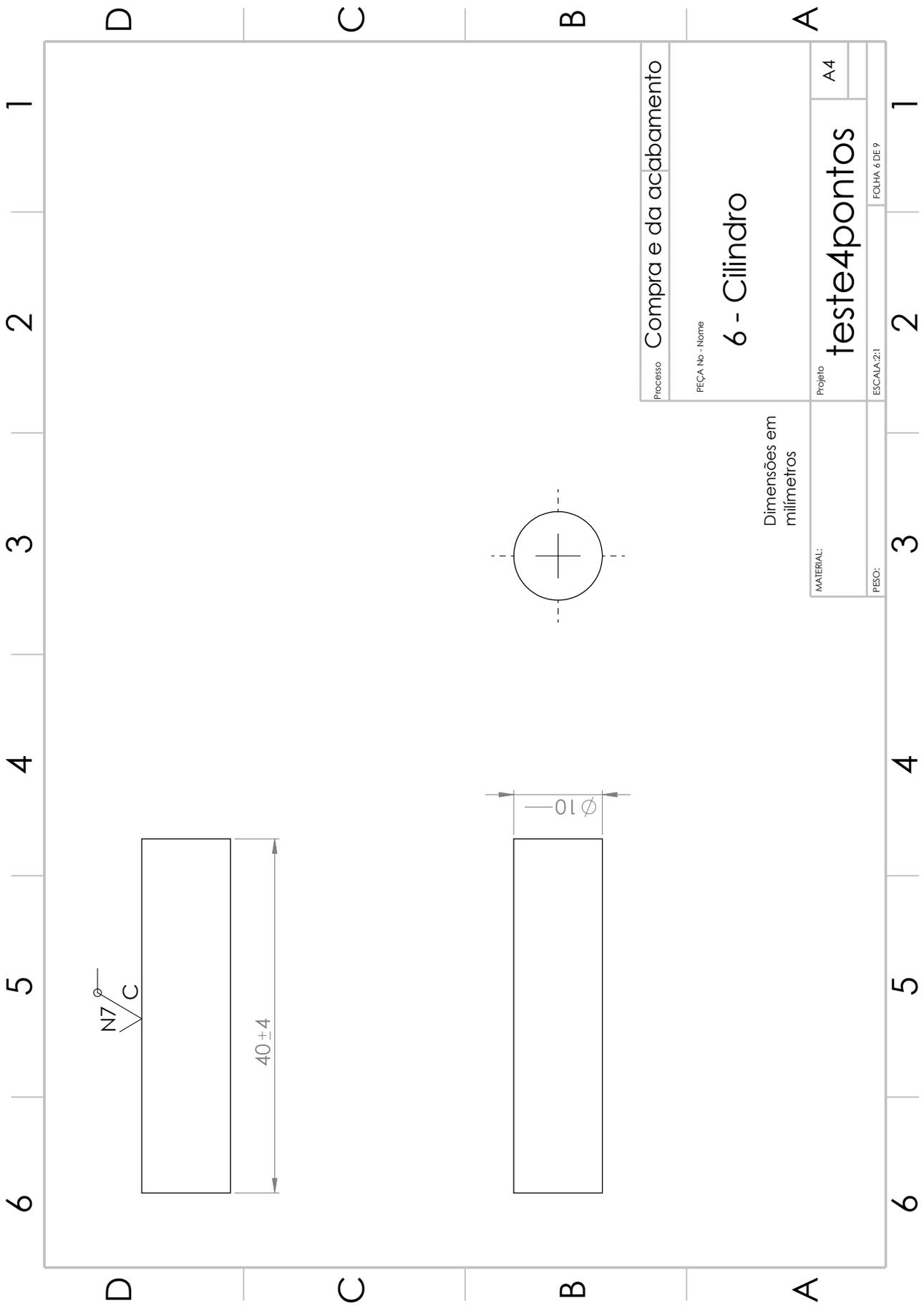


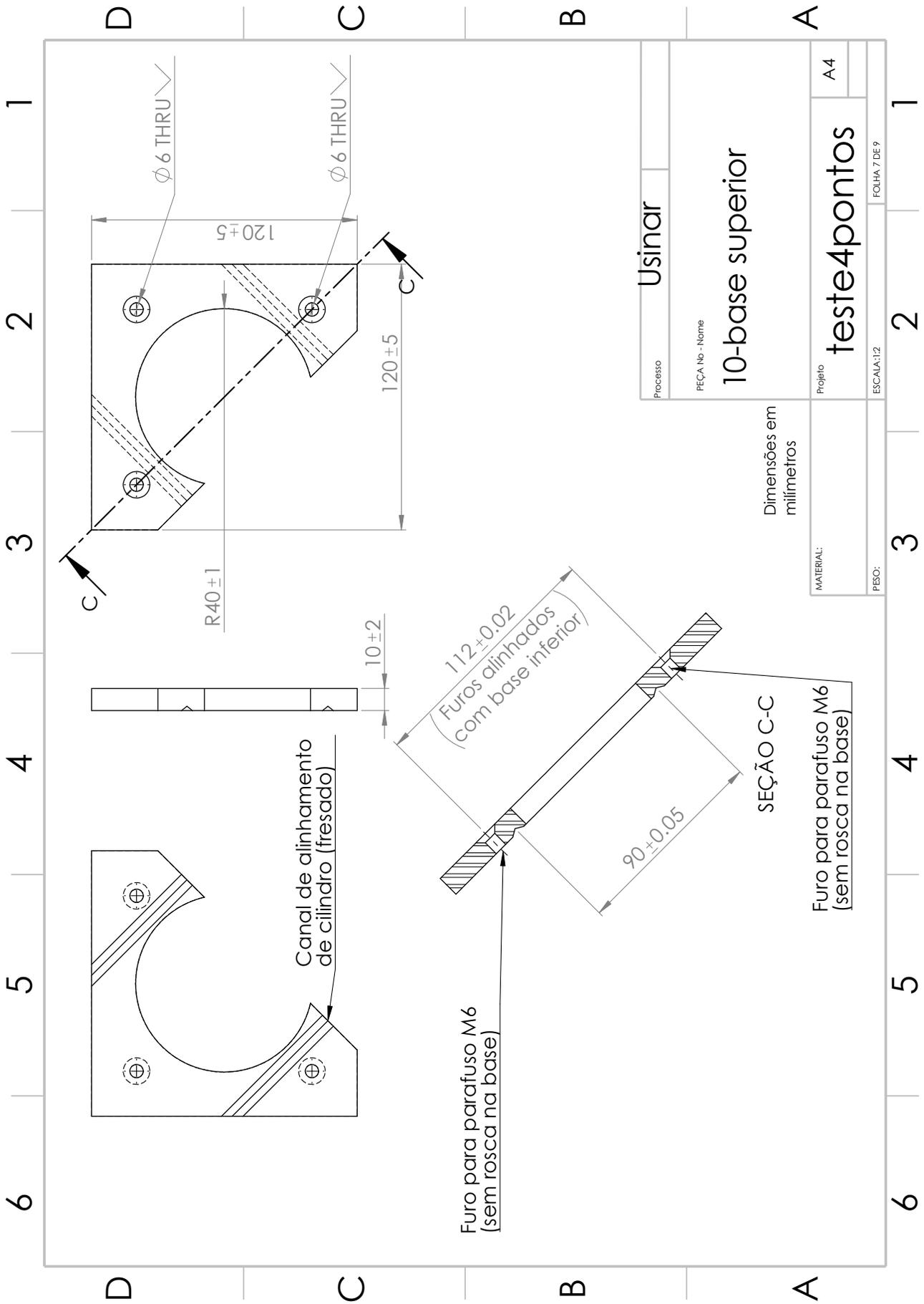


Processo	Usinar
PEÇA No - Nome	3 - suporte WaferBase
Projeto	teste4pontos
MATERIAL:	Alumínio
PEÇA:	ESCALA:1:1
	FOLHA 4 DE 9
	A4

Dimensões em milímetros







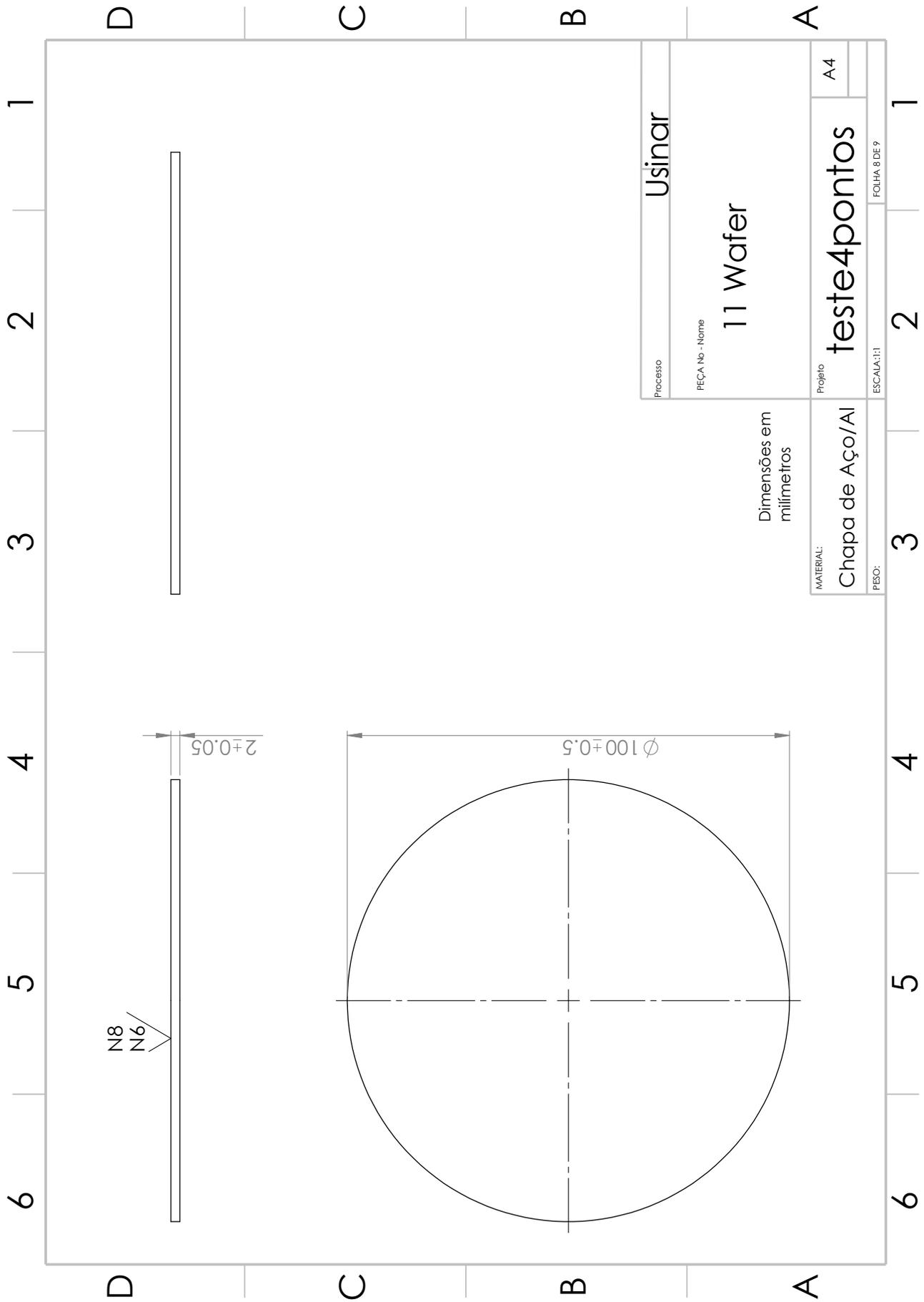
Usinar

PEÇA No - Nome
10-base superior

Dimensões em milímetros

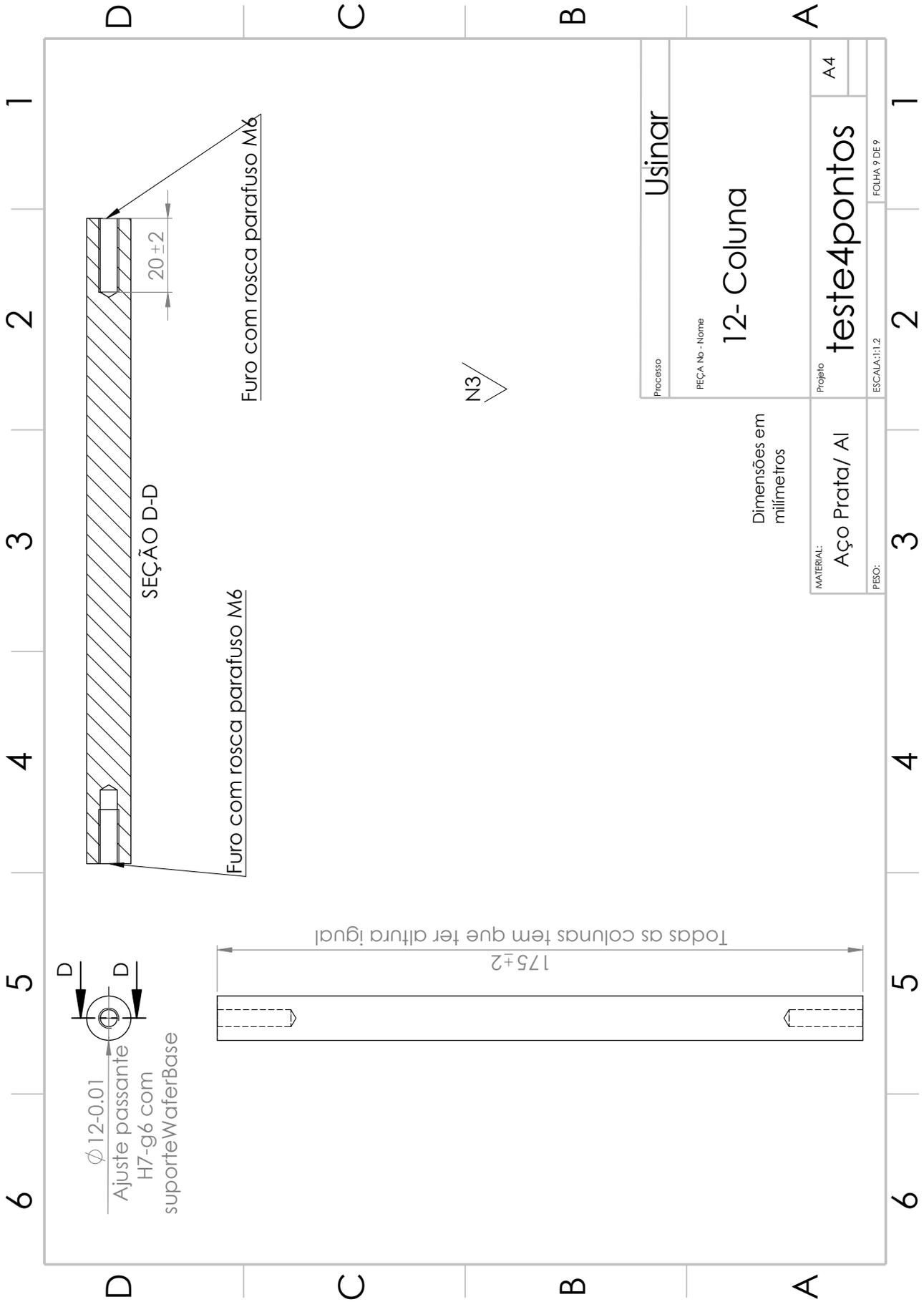
Processo	Projeto	A4
MATERIAL:	teste4pontos	
PEÇA:	ESCALA:1:2 FOLHA 7 DE 9	

1 2 3 4 5 6



Processo	Usinar
PEÇA No - Nome	11 Wafer
Projeto	teste4pontos
MATERIAL:	Chapa de Aço/Al
PEÇO:	ESCALA:1:1
	FOLHA 8 DE 9
	A4

Dimensões em milímetros



D

6

5

4

3

2

1

D

C

B

A

D

C

B

A

6

5

4

3

2

1

Apêndice 3: Diagramas de solda e empacotamentos dos dispositivos

Para desenvolver o empacotamento dos dispositivos na estrutura própria para foi necessário desenvolver diferentes processos, incluindo a adesão do CHIP no disco descrito no Capítulo ?? e a interconexão com os invólucros. Contamos com a colaboração da Divisão de Empacotamento Eletrônico do **Centro de tecnologia de Informação Renato Archer - CTI** para desenvolver estes processos.

Apresentamos a continuação os métodos diagramas usados no empacotamento e interconexão elétrica de cada dispositivo.

Empacotamento do CHIP com piezo-transdutores octogonais em invólucro DIP-40

Para obter as características gerais do circuito, amostras foram empacotadas numa cápsula DIP-40 (cápsula de 40 pinos *Dual in-line package*, segundo a sigla em Inglês). O DIP-40 foi selecionado por ser uma cápsula comercial simples e bastante utilizada, que oferece características adequadas para a validação do funcionamento do dispositivo.

Os diagramas de solda e os resultado do empacotamento podem ser observados na Figura 9.28. Cada chip montado permite estudar até quatro piezo-transdutores octogonais usando o mesmo encapsulamento, identificados nos pinos de saída pelos prefixos P1, P2, N1 e N2.

Empacotamento do CHIP com piezo-transdutores octogonais em placa de circuito impresso de FR-4

Ainda que o empacotamento tipo DIP seja suficiente para caraterizar o dispositivo, não resulta adequado para o CHIP colado diretamente no disco metálico. Para obter as características do sensor, amostras foram coladas no metal e uma placa de circuito impresso foi usada para fazer as interconexões elétricas conforme os diagramas de solda ilustrados na Figura 9.29. Esta técnica é similar a um *COB* (Chip On Board, ou CHIP direito na placa conforme a sigla em inglês). FR-4 de 1mm de espessura foi usado como substrato para o circuito impresso, já que é

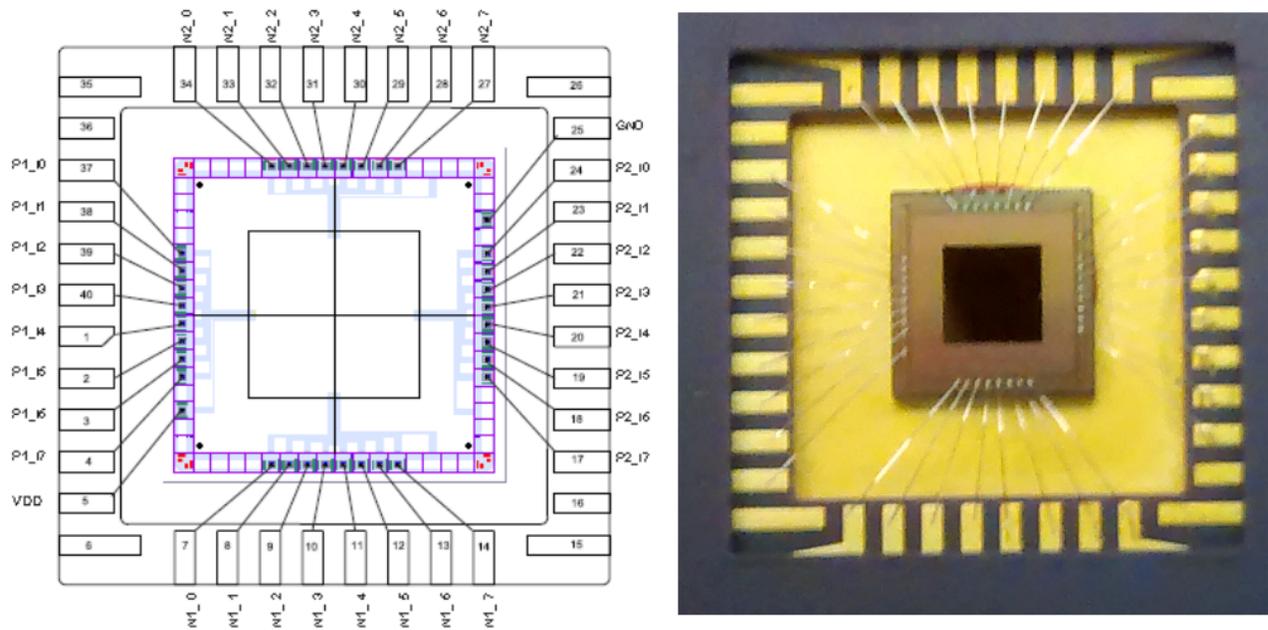


Figura 9.28: Diagrama de Solda (*wiremap*) do *Chip* sensor piezo-transdutor no empacotamento DIP-40 e foto do dispositivo encapsulado.

o material mas comumente usado ara PCBs. A placa tem uma cavidade no meio para encaixar o CHIP e está colada no disco metálico com um adesivo a base de silicone, flexível o suficiente para não alterar o perfil de deformação no ensaio de flexão.

A placa de circuito impresso tem número menor de interconexões comparada com o DIP-40, assim que só dois sensores por *die* podem ser ligados neste empacotamento. Como resultado obtemos o dispositivo mostrado na Figura 9.29.

Além de ter um número menor de interconexões, está metodologia demostro ser muito delicada, repetidas amostras descolaram apos alguns ciclos de carga e os bondwires desprendiam-se do cobre da placa de circuito impresso, assim que outras metodologias foram testadas.

Empacotamento do CHIP com piezo-transdutores octogonais em involucro LQFP-44

Para contornar os problemas apresentados com as PCBs de FR-4, procuramos um involucro padrão tipo *SMD* (Surface Mount Device, conforme a sigla em inglês) que seja fino e no qual possa ser feito um furo passante, e assim posicionar o involucro sob o CHIP colado diretamente no disco metálico. Amostras foram coladas no metal forma ligadas no involucro LQFP-44 conforme os diagramas de solda ilustrados na Figura 9.30. LQFP-44 está colada no disco metálico com um adesivo a base de silicone, flexível o suficiente para não alterar o perfil de deformação no ensaio de flexão, como resultado obtemos o dispositivo mostrado na Figura 9.30.

Cada chip montado permite estudar dois piezo-transdutores octogonais usando o mesmo encapsulamento, identificados nos pinos de saída pelos prefixos P1e N1, os outros pinos são usadas para controlar e medir as matrizes de piezo-transdutores projetadas e descritas no Capitulo

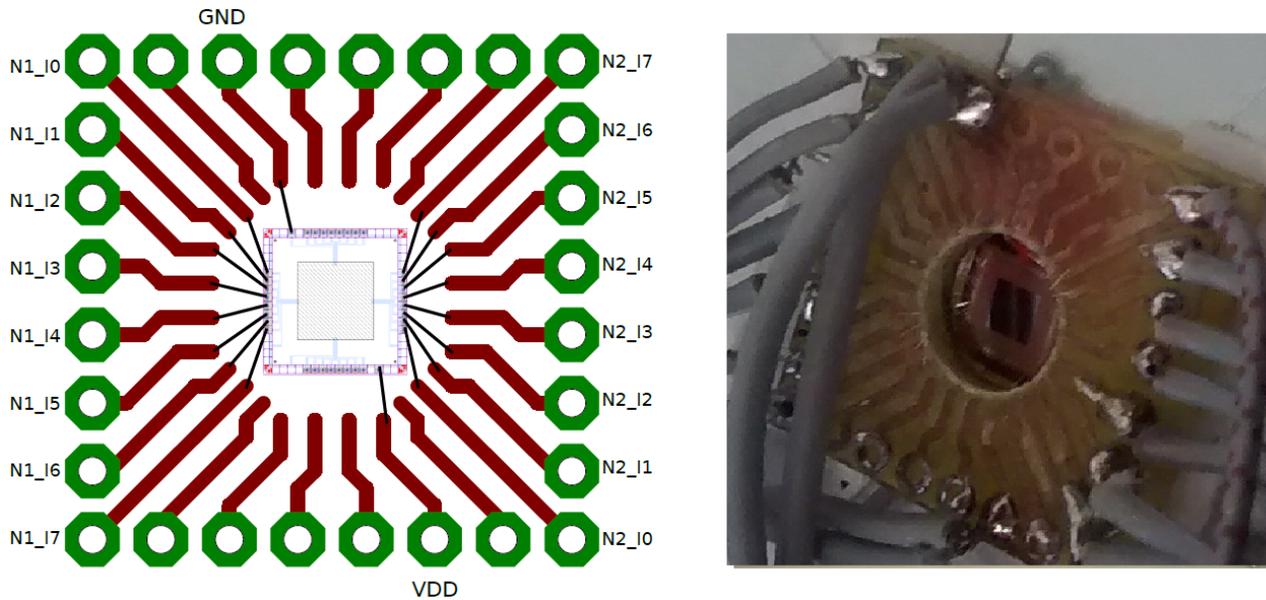


Figura 9.29: Diagrama de Solda (*wiremap*) do *Chip* sensor piezo-transdutor em PCB e foto do dispositivo encapsulado.

{{5}}.

Comparada com a PCB de FR-4, o involucro é mais fino e as interconexões bondwire apresentam uma melhor aderência, assim que uma menor quebra dos bondwires foi observada. Porém o involucro, que foi originalmente desenvolvido para ser montado na superfície das placas de circuitos, resulta ser difícil de manipular. A distância entre os pinos é muito pequena e fios de cobre tem que ser cuidadosamente soldados para ligar o dispositivo aos equipamentos. Está solda mostrou ser um ponto fraco, comumente quebrando ao ser manipulada o incluso fatigando os pinos metálicos do involucro, danificando as amostras, assim que outras metodologias foram testadas para tentar facilitar a conexão com os equipamentos.

Empacotamento do CHIP com piezo-transdutores octogonais em involucro placa de circuito impresso flexível de poliamida

Substituímos os invólucros por interconectores finos e flexíveis a base de poliamida. Os bondwires são feitos diretamente entre o interconector e o CHIP colado diretamente no disco metálico, conforme os diagramas de solda ilustrados na Figura 9.31. Dois interconectores diferentes foram usados, como pode ser observado na Figura 9.31.

Cada chip montado permite estudar dois sensores piezo-MOSFET usando a mesma amostra, identificados nos pinos de saída pelos prefixos P1e N1, os outros pinos são usadas para controlar e medir as matrizes de piezo-transdutores projetadas e descritas nos Capítulos 4 e 5.

Comparada com a PCB de FR-4, o circuito impresso de poliamida muito mais fino é flexível, e as interconexões bondwire apresentam uma melhor aderência já que os terminais tem uma camada de ouro, assim que uma menor quebra dos bondwires foi observada. Comparado com o

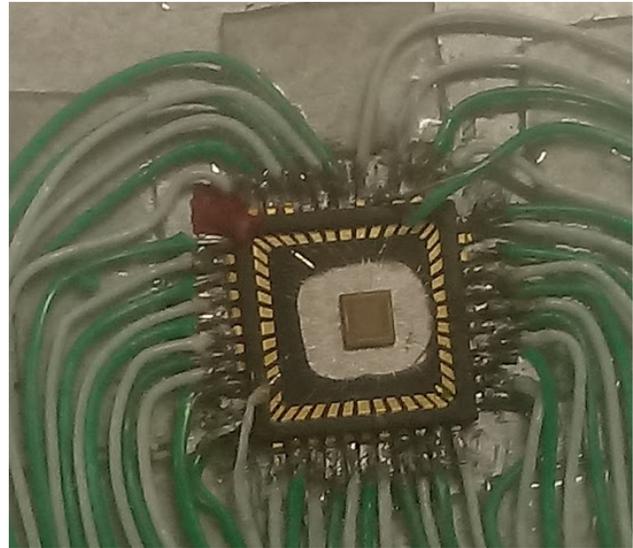
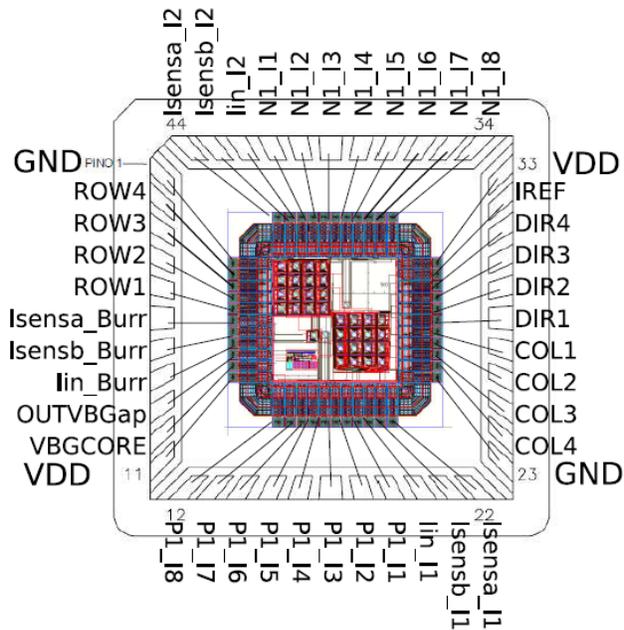


Figura 9.30: Diagrama de Solda (*wiremap*) do *Chip* sensor piezo-transdutor no empacotamento QFN-44 e foto do dispositivo encapsulado.

invólucro SMD, resulta mais simples de manipular e de retrabalhar, mas continua apresentando fadiga nos pontos de solda dos fios de cobre.

