



UNIVERSIDADE ESTADUAL DE CAMPINAS

FACULDADE DE ENGENHARIA ELÉTRICA E DE COMPUTAÇÃO

ANDRÉ LUÍS VILAS BÔAS

**REGULADOR LDO DE ALTA VELOCIDADE UTILIZANDO
UM ESTÁGIO DE SAÍDA COMPACTO**

**A HIGH-SPEED LOW-DROPOUT VOLTAGE REGULATOR
USING A COMPACT OUTPUT DRIVER**

**CAMPINAS
2018**

ANDRÉ LUÍS VILAS BÔAS

**REGULADOR LDO DE ALTA VELOCIDADE UTILIZANDO
UM ESTÁGIO DE SAÍDA COMPACTO**

Tese apresentada à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas como parte dos requisitos exigidos para a obtenção do título de Doutor em Engenharia Elétrica na área de Eletrônica, Microeletrônica e Optoeletrônica.

Thesis presented to the Institute of Electrical Engineering of the University of Campinas in partial fulfillment of the requirements to obtain the degree of Doctor in Electrical Engineering in the area of Electronics, Microelectronics and Optoelectronics.

Orientador: PROF. DR. ELNATAN CHAGAS FERREIRA

Coorientador: PROF. DR. SANDRO AUGUSTO PAVLIK HADDAD

ESTE EXEMPLAR CORRESPONDE À VERSÃO FINAL DA TESE
DEFENDIDA PELO ALUNO **ANDRÉ LUÍS VILAS BÔAS**
E ORIENTADA PELO **PROF. DR. ELNATAN CHAGAS FERREIRA**

Ficha catalográfica
Universidade Estadual de Campinas
Biblioteca da Área de Engenharia e Arquitetura
Luciana Pietrosanto Milla - CRB 8/8129

B63r Boas, André Luis Vilas, 1972-
Regulador LDO de alta velocidade utilizando estágio de saída compacto /
André Luis Vilas Boas. – Campinas, SP : [s.n.], 2018.

Orientador: Elnatan Chagas Ferreira.
Coorientador: Sandro Augusto Pavlik Haddad.
Tese (doutorado) – Universidade Estadual de Campinas, Faculdade de
Engenharia Elétrica e de Computação.

1. Microeletrônica. 2. Reguladores de voltagem. 3. Circuitos integrados. 4.
Sistemas eletrônicos analógicos. I. Ferreira, Elnatan Chagas, 1955-. II.
Haddad, Sandro Augusto Pavlik. III. Universidade Estadual de Campinas.
Faculdade de Engenharia Elétrica e de Computação. IV. Título.

Informações para Biblioteca Digital

Título em outro idioma: A high-speed low-dropout voltage regulator using a compact output driver

Palavras-chave em inglês:

Microelectronics

Voltage regulators

Integrated circuits

Analog electronic systems

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Doutor em Engenharia Elétrica

Banca examinadora:

Elnatan Chagas Ferreira [Orientador]

José Antônio Siqueira Dias

Richard Titov Lara Saez

Fernando Chavez Porras

Pedro Carvalhaes Dias

Data de defesa: 22-02-2018

Programa de Pós-Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE DOUTORADO

Candidato: André Luís Vilas Bôas RA: 75645

Data da Defesa: 22 de fevereiro de 2018

Título da Tese: “Regulador LDO de alta velocidade utilizando um estágio de saída compacto.”

Prof. Dr. Elnatan Chagas Ferreira (Presidente, FEEC/UNICAMP)

Prof. Dr. José Antônio Siqueira Dias (FEEC/UNICAMP)

Prof. Dr. Pedro Carvalhaes Dias (FEEC/UNICAMP)

Dr. Richard Titov Lara Saez (Dialog Semiconductor)

Dr. Fernando Chavez Porras (Instituto Eldorado)

AGRADECIMENTOS

Gostaria de agradecer aos meus amigos Professores Dr. José Siqueira e Dr. Sandro Haddad pela valiosa contribuição técnica e aprendizado ao longo de todo o programa de Doutorado na Universidade Estadual de Campinas.

Também gostaria de estender meus agradecimentos à NXP Brasil, especialmente ao time de *Analog & Microcontrollers*, do qual faço parte, por ceder os resultados da implementação do circuito.

Finalmente, gostaria de agradecer à minha família e aos amigos pelo suporte e motivação nesta empreitada. A eles, devo meu sucesso atual e todas as coisas boas que o futuro trará.

Muito obrigado!

RESUMO

Ao longo dos anos, microcontroladores tornaram-se mais rápidos e mais poderosos em sua capacidade de processamento graças à evolução dos processos de fabricação. Os novos processos CMOS de menores geometrias exigem tolerâncias menores quanto à tensão de alimentação. A lógica digital nesses dispositivos exige que o regulador interno forneça uma tensão de alimentação estável e precisa, muitas vezes sem o auxílio de um capacitor externo de desacoplamento, o que torna o projeto do regulador uma tarefa árdua devido à natureza da carga digital. São milhões de portas lógicas comutando simultaneamente que ocasionam picos de corrente que podem atingir dezenas de vezes o valor médio do consumo de corrente. Como resultado, o regulador interno deve ser projetado para atender a esse perfil de carga, especialmente durante as transições de modos de operação. Em outras palavras, quando o microcontrolador sai de um modo de ultrabaixo consumo (de poucos microampères) para outro modo de operação de alto consumo de potência (dezenas ou centenas de miliampères) e vice-versa.

Esse trabalho apresenta a implementação de um regulador LDO (*low dropout*) utilizando um dispositivo de saída NMOS que não sofre de problemas de estabilidade em altas frequências. A nova topologia alcança redução de área de silício significativa no estágio de saída e resposta transitória muito rápida para transições agressivas de carga, sem a necessidade de capacitor externo.

Um protótipo do circuito proposto foi implementado em tecnologia CMOS *split gate TFS (Thin Film Storage)* de 90 nm. O silício foi encapsulado em QFP64 e avaliado em laboratório nas dependências da NXP Semiconductors Brasil. Outra versão do circuito, em processo CMOS 55 nm, já está em produção, foi caracterizado e qualificado em ambiente automotivo. As medidas em laboratório demonstraram que o novo circuito responde extremamente rápido aos transientes de carga na versão fabricada em tecnologia CMOS 90 nm. Isso o torna apropriado para aplicações em microcontroladores (cargas predominantemente digitais).

Na versão fabricada em 55 nm, mais de uma centena de peças foram medidas em processo (*split lots*) e temperatura e serviram para demonstrar que o circuito pode ser projetado também para aplicações focando baixo consumo energia.

Palavras-chave: *Microeletrônica, circuitos integrados, regulador de tensão, LDO.*

ABSTRACT

Modern power management System-on-a-Chip (SoC) design demands for fully integrated solutions in order to decrease certain costly features such as the total chip area and the power consumption while maintaining or increasing the regulator response during aggressive load variations. Low-Dropout (LDO) voltage regulators, as power management devices, must comply with these recent technological and industrial trends.

On-chip embedded LDO voltage regulators have to deliver stable and accurate local supply voltages to digital circuits that draw large and fast slew-rate current peaks, characteristics that are difficult to implement when off-chip inductors and capacitors are not used.

The structure and frequency compensation scheme of classical LDO regulators, especially with low-voltage designs, present a trade-off between stability and transient response of the LDO regulator. To improve load regulation under large and fast load variations in linear regulators, it is necessary to employ large area output drivers. Thus, besides stability issues, another difficulty in designing LDOs is to create a compact driver with good load regulation and a fast transient response under large load variations.

This manuscript presents a novel topology of a capacitor-free CMOS LDO regulator utilizing a compact NMOS output driver. The new output driver cell achieves low voltage ripple and very fast transient response under large load steps with a small silicon area.

The circuit has been implemented in a 90 nm CMOS process technology. Silicon results demonstrated a transient loop response faster than 30 ns to a load variation of four orders of magnitude.

Another version of the circuit has been implemented in a 55 nm CMOS technology. Although primarily targeted to attain low power requirements, this version has been qualified to meet industry standard automotive specifications and is currently in production as part of the Power Management Controller (PMC) block integrated within a family of MCUs used in automotive and industrial powertrain.

Keywords: *Integrated circuits, linear voltage regulators, LDO.*

LISTA DE ILUSTRAÇÕES

Figura 2.1 – Topologias de reguladores de tensão.	18
Figura 2.2 – Localização dos polos do sistema sem compensação de frequência.	19
Figura 2.3 – Compensação de frequência do LDO utilizando ESR do capacitor.	20
Figura 2.4 – Regulador linear utilizado no microcontrolador MC1323x da NXP.	24
Figura 2.5 – Característica Corrente x Tensão (IV) da saída do regulador com transistor NMOS de passagem operando na região de sublimiar.	26
Figura 3.1 – Bloco elementar do regulador compacto.	28
Figura 3.2 – Bloco elementar do regulador compacto como LDO.	30
Figura 3.3 – Amplificador Porta-Comum. Primeiro estágio do regulador compacto.	31
Figura 3.4 – Modelo de pequenos sinais do estágio porta-comum.	31
Figura 3.5 – Resistência de entrada do primeiro estágio do regulador compacto.	32
Figura 3.6 – Modelo de pequenos sinais do estágio porta-comum.	33
Figura 3.7 – Amplificador Dreno-Comum (Seguidor de Fonte). Segundo estágio do regulador compacto.	34
Figura 4.1 – Implementação do regulador compacto em tecnologia CMOS 90 nm.	37
Figura 4.2 – Disposição dos dispositivos NMOS do espelho de corrente Mn1-Mn2-Mn3 (a), do par Mn4-Mn5 (b) e dos dispositivos PMOS Mp1-Mp2-dummy (c).	37
Figura 4.3 – Tensão de saída do regulador em função da tensão de alimentação para diferentes valores de carga e da temperatura: -40 °C (a), 27 °C (b) e 150 °C (c).	40
Figura 4.4 – Tensão de saída do regulador compacto em modo LDO em função da tensão de alimentação para diferentes valores da corrente de carga e da temperatura: -40 °C (a), 27 °C (b) e 150 °C (c).	42
Figura 4.5 – Tensão de saída do regulador em função do processo, temperatura, tensão de alimentação e descasamento dos dispositivos.	42
Figura 4.6 – PSRR em função da frequência.	45
Figura 4.7 – Resposta ao transiente de carga de 100 μ A a 10 mA e de volta a 100 μ A. ..	46
Figura 4.8 – Resposta ao transiente de carga de 100 μ A a 10 mA.	47
Figura 4.9 – Resposta ao transiente de carga de 100 μ A a 10 mA incluindo capacitor de carga de 1 nF.	48
Figura 4.10 – Resposta ao transiente de carga de 100 μ A a 10 mA e de volta a 100 μ A.	49
Figura 4.11 – Diagrama simplificado da malha de potência do MC13237 da NXP.	51

Figura 4.12 – Simulação do regulador compacto com modelo de carga representando a lógica digital do microcontrolador MC13237 da NXP.	51
Figura 5.1 – Regulador compacto fabricado em tecnologia CMOS SG TFS de 90 nm. ...	52
Figura 5.2 – Placa utilizada na caracterização do regulador compacto em tecnologia CMOS 90 nm.	53
Figura 5.3 – Bancada de testes utilizada na caracterização do regulador compacto.	53
Figura 5.4 – Bancada de testes utilizada na caracterização do regulador compacto.	54
Figura 5.5 – Regulador compacto encapsulado em QFP64.	54
Figura 5.6 – Regulação de linha para diferentes valores de carga: (a) 25 °C, (b) -40 °C e (c) 150 °C.	56
Figura 5.7 – Montagem para o teste de resposta ao transiente de carga.	57
Figura 5.8 – Transientes de carga no regulador compacto.	58
Figura 5.9 – Resposta ao transiente de carga com um capacitor de 3,3 nF na saída.	59
Figura 5.10 – PSRR do regulador compacto no <i>Pioneer 7</i> . Simulação <i>versus</i> medidas. .	60
Figura 5.11 – Tensão de saída do regulador compacto alimentando um microcontrolador MC68HC908QY4A da NXP.	61
Figura 6.1 – Regulador Compacto em tecnologia CMOS 55 nm.	63
Figura 6.2a – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a 25 °C.	65
Figura 6.3b – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a -45 °C.	66
Figura 6.4c – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a 150 °C.	67
Figura 9.1 – NXP 9S08DZ128. Roteamento de potência em destaque.	73
Figura 9.2 – NXP 9S08DZ128. Roteamento de potência otimizado pela técnica DDN. .	74

LISTA DE TABELAS

Tabela 4.1 – Especificações para o projeto do regulador compacto.....	36
Tabela 4.2 – Parâmetros de simulação AC.	43
Tabela 6.1 – <i>Split lots</i> em CMOS 55 nm.	64
Tabela 7.1 – Comparação de desempenho com os reguladores previamente publicados.	69

LISTA DE ABREVIATURAS E SIGLAS

ADC	<i>Analog-to-Digital Converter</i>
ASIC	<i>Application-Specific Integrated Circuit</i>
CI	Circuito Integrado
CMOS	<i>Complementary Metal–Oxide–Semiconductor</i>
EMI	<i>Electromagnetic Emission</i> (emissão eletromagnética)
ESD	<i>Electrostatic Discharge</i>
IoT	<i>Internet of Things</i>
LDO	<i>Low Dropout</i>
MCU	<i>Microcontroller Unit</i> (ou microcontrolador)
MPU	<i>Microprocessor Unit</i>
PMC	<i>Power Management Controller</i>
PTAT	<i>Proportional to Absolute Temperature</i>
RAM	<i>Random Access Memory</i>
RC	Resistor-Capacitor (filtro)
SoC	<i>System on a Chip</i>
SoG	<i>See of Gates STA (Static Timing Analysis)</i>
STA	<i>Static Timing Analysis</i>
Unicamp	Universidade Estadual de Campinas
USB	<i>Universal Serial Bus</i>

SUMÁRIO

1 INTRODUÇÃO	13
1.1 APLICAÇÕES EM SOCS – DISPOSITIVOS PORTÁTEIS	15
1.2 APLICAÇÕES EM SOCS – AMBIENTE AUTOMOTIVO	16
2 ARQUITETURAS DE REGULADORES LINEARES	18
2.1 ESPECIFICAÇÕES PARA REGULADORES DE TENSÃO	20
2.1.1 Especificações Estáticas	21
2.1.2 Especificações Dinâmicas	22
2.2 REGULADORES COM CAPACITOR DE SAÍDA REDUZIDO	24
3 PROJETO DO REGULADOR COMPACTO	28
3.1 O REGULADOR COMPACTO COMO LDO	29
3.1.1 Desempenho do estágio de entrada	30
3.1.2 Resposta em frequência	33
3.1.3 Resposta ao transiente de carga e impedância de saída	34
4 IMPLEMENTAÇÃO EM TECNOLOGIA TSMC CMOS 90 NM	36
4.1 O TRANSISTOR DE SAÍDA	38
4.2 RESULTADOS DE SIMULAÇÃO: PARÂMETROS ESTÁTICOS	39
4.3 RESULTADOS DE SIMULAÇÃO: PARÂMETROS DINÂMICOS	46
4.4 RESULTADOS DE SIMULAÇÃO: MODELAMENTO DE CARGA DIGITAL	50
5 RESULTADOS EXPERIMENTAIS EM CMOS 90 NM	52
5.1 CARACTERÍSTICA DC DO REGULADOR COMPACTO	55
5.2 RESPOSTA AO TRANSIENTE DE CARGA	57
5.3 PSRR (<i>POWER SUPPLY REJECTION RATIO</i>)	60
5.4 REGULADOR COMPACTO ALIMENTANDO UMA MCU M68HC08	61
6 RESULTADOS EXPERIMENTAIS EM CMOS 55 NM	62
7 COMPARAÇÃO COM TRABALHOS ANTERIORES	68
8 CONCLUSÃO	70
9 TRABALHOS FUTUROS	71
9.1 O REGULADOR COMPACTO EM NOVAS TECNOLOGIAS	71
9.2 DDN - DISTRIBUTED DRIVER NETWORK	72
10 REFERÊNCIAS	76
APÊNDICE A – CIRCUITO CHARGE PUMP	80

1 INTRODUÇÃO

Logo no início da era dos semicondutores, transistores e outros componentes eletrônicos estavam disponíveis apenas como componentes discretos. Um sistema eletrônico era, tipicamente, constituído por um certo número de circuitos integrados, cada um com a sua própria função específica; por exemplo, um microprocessador, periféricos, dispositivos de memória etc. Através da evolução dos processos de fabricação, ficou viável a integração dessas várias funções dentro de um único encapsulamento, o que hoje é conhecido como *System-on-Chip* (SoC).

A primeira publicação sobre essa ideia é creditada a um especialista em radares britânicos chamado Geoffrey William Arnold Dummer (1909-2002), em um trabalho apresentado em 1952 no *US Symposium on Quality in Electronic Components*, intitulado “*Electronic Components in Great Britain*”. Em suas palavras: “*With the advent of the transistor and the work on semiconductors generally, it now seems possible to envisage electronic equipment in a solid block with no connecting wires. The block may consist of layers of insulating, conducting, rectifying and amplifying materials, the electronic functions being connected directly by cutting out areas of the various layers*”.

Mas somente em 1958, Jack St. Clair Kilby (1923-2005), a serviço da Texas Instruments, conseguiu fabricar vários componentes em um único semicondutor. Embora as subsequentes técnicas de fabricação tenham tomado caminhos diferentes daqueles usados por Kilby, ele ainda é creditado como o idealizador do primeiro verdadeiro circuito integrado (CI).

Em 1961, Fairchild e Texas Instruments anunciaram os primeiros circuitos integrados comerciais com funções lógicas simples. Esse anúncio marca o início da produção em massa de circuitos integrados. Em 1963, Fairchild produziu um dispositivo chamado 907, contendo duas portas lógicas, construído com quatro transistores bipolares e quatro resistores.

Durante meados de 1960, a Texas Instruments introduziu uma grande variedade de CIs básicos das séries 54xx e 74xx, especificadas para uso militar e comercial, respectivamente. Em 1967, a Fairchild introduziu um dispositivo chamado Micromosaic, que continha algumas centenas de transistores. A principal característica do Micromosaic era que os transistores não eram, inicialmente, ligados um ao outro. A projetista fazia uso de um *sof-*

ware para programar as funções lógicas e interconexões entre os dispositivos. O Micro-mosaic é tido como o precursor do moderno ASIC (*Application-Specific Integrated Circuit*) assim como a primeira aplicação real de projeto assistido por computador [1].

Em 1970, a Fairchild introduziu a primeira RAM estática de 256 bits, chamada de 4100, enquanto a Intel anunciou a primeira RAM dinâmica de 1024 bits, chamada de 1103, ainda no mesmo ano. Um ano mais tarde, a Intel lançou o *chipset* 4004. A edição de 15 de novembro de 1971 da revista *Electronic News* dizia: “*Announcing A New Era In Integrated Electronics.*” Foi quando o Intel 4004 tornou-se o primeiro microprocessador programável de uso geral no mercado. Um "bloco de construção" que os engenheiros poderiam adquirir e programar para executar diferentes funções em uma ampla variedade de dispositivos eletrônicos. Também conhecido como *Computer-on-a-Chip*, o Intel 4004 continha cerca de 2300 transistores e podia executar 60.000 operações por segundo. A título de comparação, em 2010, um processador Intel, feito em processo de 32 nm, continha 560 milhões de transistores [2].

Ainda em 1971, a Texas Instruments lançou o TMS1802, um dispositivo calculador que serviu de base para a família de 4-bits TMS1000, em 1974. Especialmente atrativo em função do baixo custo (US\$ 2 para grandes quantidades), eles suprimiram alarmes, portões de garagem, jogos e brinquedos por muito tempo. Em 1976, tanto a Intel e a Mostek introduziram arquiteturas de 8-bits que serviram aplicações mais exigentes como as automotivas e periféricos para computadores.

A família Intel MCS-48, oferecida com EPROM, tornou-se prática para sistemas de produção de protótipos e de baixo volume. Microcontroladores mais poderosos da Intel, como o 8051, estabeleceram uma arquitetura padrão que sobrevive até hoje em inúmeras variantes.

Nos anos 80, fabricantes europeus, japoneses e norte-americanos serviram inúmeros microcontroladores para fins especiais. Por exemplo, a Bell Laboratories atendeu às necessidades de telecomunicações. Motorola e Hitachi focaram no alto desempenho a partir do 68000 MPU. A família PIC da General Instruments (atual Microchip) ganhou o nicho de baixo custo. Ainda nessa década, diversos fabricantes introduziram os FPGA (*Field Programmable Gate Array*), que são soluções configuráveis pelo usuário de menor custo, além de proporcionar aplicações de desempenho mais elevado. Em outra vertente, fabricantes passaram a incorporar uma ampla variedade de funções periféricas em seus produtos objetivando aquisição de dados, processamento e comunicação.

Ao longo dos anos, os microcontroladores tornaram-se mais rápidos e mais poderosos em sua capacidade de processamento graças à evolução dos processos de fabricação. Na atual era da Internet das Coisas (IoT), os microcontroladores oferecem a tecnologia essencial para proporcionar conectividade de alta velocidade, alto poder de processamento assim como plena otimização do gerenciamento de energia da bateria.

1.1 APLICAÇÕES EM SOCS – DISPOSITIVOS PORTÁTEIS

No final da década de 80 e princípio da década de 90, a maior parte dos circuitos integrados digitais funcionava com 5,0 V de alimentação. No entanto, com o advento de novas tecnologias em dispositivos portáteis, o gerenciamento de potência nesses dispositivos tornou-se um fator crítico. Uma maneira de reduzir o consumo de energia é reduzir a tensão de alimentação; a razão para este fenômeno é que o consumo de energia de um circuito CMOS digital é proporcional ao quadrado da tensão de alimentação. Adicionando-se um regulador linear entre esses circuitos, o consumo de energia será, em grande parte, uma função linear com a tensão de alimentação, devido à dissipação através do transistor de saída.

Assim, em meados de 1990, as fontes mais comuns eram de 3,3 V para computadores portáteis e 3,0 V para sistemas de comunicação. A tensão de alimentação da lógica digital (conhecida como *Core do* microcontrolador) continuou a cair ao longo dos anos. Dispositivos de ponta estavam usando 2,5 V em 1999, 1,8 V em 2000, 1,5 V até 2001 e 1,2 V até 2003. Atualmente, dispositivos no estado da arte da capacidade lógica e desempenho trabalham com tensões de alimentação inferior a 0,9 V [1].

Processos CMOS com menor tensão de alimentação e menores geometrias possuem tolerâncias mais agressivas o que torna o projeto do regulador interno de tensão de um microcontrolador mais desafiador. Como resultado, novas técnicas para melhorar a eficiência de potência nos microcontroladores têm surgido continuamente.

Os reguladores lineares do tipo LDO (*low dropout*) são parte essencial dos sistemas de gerenciamento de energia desses microcontroladores fornecendo uma tensão regulada precisa mesmo quando a tensão de alimentação externa se aproxima da tensão regulada.

A maioria dos dispositivos portáteis faz uso de recursos de economia de energia para reduzir o consumo de energia da bateria. Circuitos que não estão executando tarefas são temporariamente desligados, diminuindo o consumo de potência. Quando religados, o

regulador de tensão deve suprir rapidamente as demandas de carga do sistema em poucos ciclos de relógio do sistema; tempo esse normalmente inferior a algumas dezenas de nanossegundos.

Todavia, essa topologia de regulador possui baixa eficiência, que é inversamente proporcional à queda de tensão sobre o dispositivo de saída. Tipicamente, os reguladores lineares são colocados em cascata após reguladores de comutação. Esses últimos têm a capacidade de converter a tensão de entrada para qualquer tensão de saída desejada com alta eficiência.

1.2 APLICAÇÕES EM SOCS – AMBIENTE AUTOMOTIVO

Microcontroladores operando em ambientes automotivos devem garantir que seus módulos de gerenciamento de potência atendam aos requisitos mais rigorosos em termos elétricos e térmicos. Tal como acontece com muitos subsistemas complexos, o projeto do sistema de gerenciamento de potência (PMC) de uma MCU deve equilibrar as demandas de potência conflitantes e restritivas. De um lado, há a necessidade de proporcionar tensões bem reguladas aos módulos críticos do veículo, como sistemas de injeção, freios etc. De outro, os reguladores que compõem o PMC devem ser eficientes do ponto de vista energético de modo a atender uma série de funções relacionadas com inúmeras conveniências no console, conectividade e recursos de entretenimento, tais como o rádio, sistemas de interface multimídia, GPS, Bluetooth®, internet / Wi-Fi® e muito mais. Sendo assim, é comum combinar arquiteturas diferentes de reguladores em um mesmo sistema de gerenciamento de potência de forma a otimizar a eficiência energética nos diversos modos de operação em que o microcontrolador deve funcionar.

Embora, em princípio, a bateria do veículo forneça uma tensão contínua e estável aos sistemas eletrônicos, a realidade é bem diferente. A tensão da bateria é ruidosa com elevados transientes. Por exemplo, quando se dá a partida, a tensão da bateria pode cair para metade do seu valor nominal, fenômeno esse conhecido como *cold crank* [4]. No outro extremo, surtos de tensão ocorrem quando as cargas são subitamente removidas (*load dump*) causando picos de tensão que podem chegar a mais de 80V e 400ms de duração para um sistema utilizando bateria de 12 V (ISO 7637-2).

Existe outra consideração no ambiente de automotivo: a interferência eletromagnética (EMI). Com inúmeras fontes de ruído no veículo, quaisquer funções eletrônicas, incluindo o subsistema de alimentação, deve atender a requisitos rigorosos de EMI (magnitude e espectro) gerada, bem como a susceptibilidade a EMI em torno dele.

Outro aspecto a ser destacado é que toda a eletrônica veicular deve ser capaz de operar dentro de uma ampla faixa de temperatura. Normalmente, os dispositivos destinados a aplicações automotivas são caracterizados de $-40\text{ }^{\circ}\text{C}$ a $150\text{ }^{\circ}\text{C}$; algumas vezes, de $-45\text{ }^{\circ}\text{C}$ a $165\text{ }^{\circ}\text{C}$.

Aliar bom desempenho e eficiência energética nos reguladores para uso automotivo é sempre uma tarefa desafiadora para o projetista analógico.

2 ARQUITETURAS DE REGULADORES LINEARES

Os reguladores lineares podem ser classificados em duas topologias básicas: reguladores convencionais e reguladores tipo LDO (*low dropout*). A diferença está no tipo de transistor de saída. O regulador linear convencional usa um transistor de saída tipo NMOS na configuração seguidor de fonte. Na topologia LDO, um transistor tipo PMOS é utilizado na configuração fonte-comum, operando na região de saturação. Essas configurações são mostradas na **Figura 2.1**. Ambos os reguladores funcionam utilizando o mesmo mecanismo de realimentação. A tensão de saída é amostrada através dos resistores R1 e R2. Um amplificador de erro compara uma fração da tensão de saída com uma tensão de referência; o sinal de erro é realimentado para o transistor, completando o circuito de realimentação negativa.

O tipo de transistor de saída desempenha um papel fundamental no funcionamento e na estabilização do regulador de tensão. O regulador com transistor de saída do tipo NMOS, normalmente, não opera como um LDO. Para operar como um regulador LDO, é necessário fazer uso de um elevador de tensão (*charge pump*) para se atingir a tensão apropriada de porta do transistor de saída. Isso é comum em aplicações portáteis, em que a tensão da bateria tende a diminuir com o tempo de uso do aparelho.

Nos reguladores de tensão com estágio de saída PMOS, o transistor de passagem está na configuração fonte-comum. A tensão de saturação V_{DS} do transistor limita a operação do regulador. A queda de tensão, neste caso, é uma função da corrente de saída máxima e do tamanho do transistor.

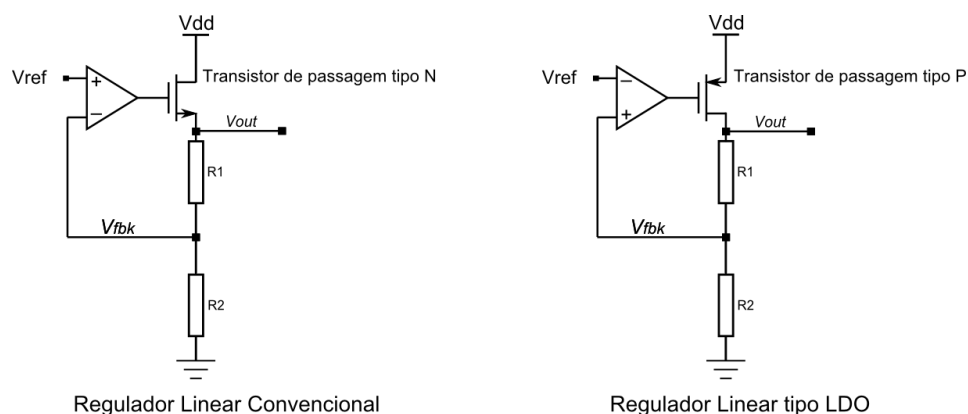


Figura 2.1 – Topologias de reguladores de tensão.

Em se tratando de estabilidade, o regulador linear convencional é inerentemente estável devido à baixa impedância do estágio seguidor de fonte de saída. O primeiro polo, P1, atuando como polo dominante, é gerado a partir da impedância interna do amplificador de erro. O polo de saída P2 move-se com a impedância de carga e fica em uma frequência muito mais elevada. Por esta razão, reguladores LDO com estágio de saída NMOS são cada vez mais populares na indústria [13]-[14].

No caso do LDO com estágio de saída PMOS sem compensação externa, o polo P2 pode se aproximar do polo dominante P1 e gerar instabilidade quando o transistor de saída está fornecendo baixa corrente à carga. Nesse cenário, o transistor PMOS de saída opera na região de saturação. Com V_{ds} mínimo, a resistência entre fonte de dreno (r_{ds}) do transistor aumenta, o ganho cresce e o polo P2 é trazido para frequências mais baixas causando instabilidade ao sistema. A **Figura 2.2** ilustra a localização dos polos do sistema em ambas as topologias.

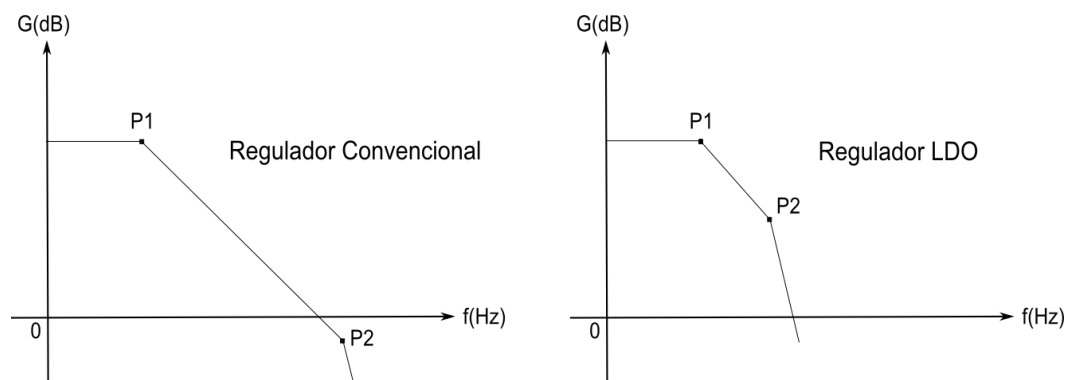


Figura 2.2 – Localização dos polos do sistema sem compensação de frequência.

Reguladores LDO com estágio de saída PMOS devem ser internamente ou externamente compensados para que sua estabilidade seja garantida. Uma forma de se fazer isso é utilizar a resistência eletroestática (ESR) do capacitor de saída para conseguir a estabilidade. O ESR cria um zero que, quando colocados na proximidade do polo P2, pode adicionar margem de fase necessária para manter a estabilidade.

A **Figura 2.3** mostra a utilização do ESR do capacitor na compensação de frequência do regulador. O ESR também cria um polo P3. A estabilidade do regulador depende fortemente do valor de ESR. Conforme ESR diminui, a localização de Z1 se move para a direita e, conseqüentemente, não tem nenhum efeito sobre a margem de fase.

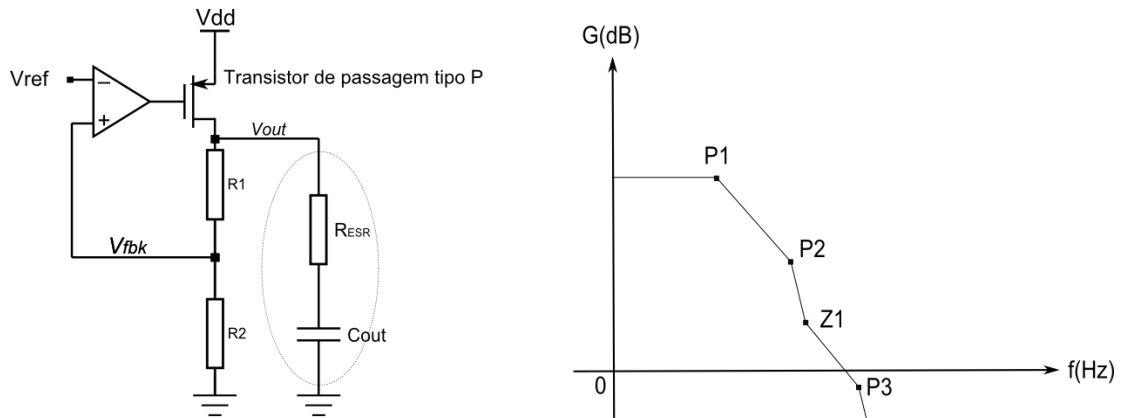


Figura 2.3 – Compensação de frequência do LDO utilizando ESR do capacitor.

No outro extremo, quando ESR é aumentada significativamente, o polo associado, P_3 , move-se abaixo do ganho de largura de banda e o regulador torna-se instável.

Várias publicações recentes têm procurado eliminar a dependência de ESR. Elas exploram a utilização de compensação interna, seja pela criação de um zero interno ou através da compensação adaptativa, modulando a localização do polo dominante [7] - [11].

2.1 ESPECIFICAÇÕES PARA REGULADORES DE TENSÃO

Especificações para reguladores de tensão basicamente se enquadram em duas categorias: especificações estáticas e dinâmicas ou de alta frequência. As equações apresentadas [6] consideraram apenas reguladores lineares feitos com dispositivos CMOS, mas os mesmos princípios são relacionados com os mesmos reguladores utilizando dispositivos bipolares.

Os parâmetros aqui abordados servirão, mais à frente, como ponto de partida para estabelecer as especificações adotadas para o regulador proposto nesse trabalho.

2.1.1 Especificações Estáticas

Os parâmetros estáticos (ou de estado estacionário) são a regulação de linha, de carga e os efeitos do coeficiente de temperatura. A regulação de linha e de carga mede a capacidade de regular a tensão de saída em estado estacionário para variações da tensão de entrada e da carga, respectivamente.

A regulação de linha define o quanto a tensão de saída varia em função da tensão de entrada do regulador. Em termos gerais, a regulação de linha é dada por:

$$R_{linha} \approx \frac{\Delta V_o}{\Delta V_i} = \frac{1}{\beta} \left(\frac{\Delta V_{ref}}{\Delta V_i} \right) + \frac{gm \times r_{op}}{A\beta} \quad (2.1)$$

A regulação de linha depende diretamente da transcondutância do transistor de saída, da impedância de saída r_{op} e do ganho de malha fechada $A\beta$ do regulador. V_{ref} e V_i são a tensão de referência e a tensão de alimentação, respectivamente. V_o é a tensão de saída.

A regulação de carga é uma medida de quanto a tensão de saída varia em função da carga do regulador. Ela está relacionada ao ganho de malha fechada $A\beta$ e à impedância de saída r_{op} do regulador. O parâmetro regulação de carga cresce com o aumento do ganho de malha e com a diminuição da impedância de saída do LDO. Esse parâmetro somente se aplica em estado estacionário. Transientes de carga não são aqui considerados. Essa relação é dada na Equação 2.2.

$$R_{carga} = \frac{\Delta V_o}{\Delta V_{Io}} = \frac{r_{op}}{1+A\beta} \quad (2.2)$$

O coeficiente de temperatura (CT) de um regulador define o quanto a tensão de saída varia em função da temperatura. A tensão de *offset* de entrada do amplificador de erro (V_{os}) e a referência de entrada são os componentes mais afetados pela temperatura. A Equação 2.3 mostra a relação do CT em função da tensão de saída, do *offset*, da tensão de referência de entrada e da temperatura.

$$CT = \frac{1}{V_o} \cdot \frac{\partial V_o}{\partial V_{temp}} \approx \frac{1}{V_o} \cdot \frac{\Delta V_{TC}}{\Delta V_{temp}} = \frac{[\Delta V_{TC\ ref} + \Delta V_{TC\ vos}] \cdot \frac{V_o}{V_{ref}}}{V_o \cdot \Delta V_{temp}} \quad (2.3)$$

A equação acima mostra que a precisão do regulador aumenta com a diminuição do *offset* de entrada do amplificador de erro e com a menor dependência da tensão de referência com a temperatura.

Manter a tensão de saída do regulador dentro de um certo grau de precisão é muito vantajoso, pois o consumo de potência de uma lógica CMOS é proporcional ao quadrado da tensão de alimentação. A tolerância para a variação da tensão de alimentação de circuitos lógicos é de, normalmente, +/-5%. Em dispositivos portáteis, por exemplo, para se estender ao máximo a duração da bateria, os circuitos lógicos devem operar com tensão de alimentação menor possível dentro da tolerância acima citada. Isso é chamado *sign off* da lógica.

Ainda, quedas de tensão na saída do regulador causadas por transientes de corrente de carga geralmente estão contabilizadas dentro desses +/-5%. Nos microcontroladores em geral, algum tipo de ajuste (*trimming*) é utilizado para corrigir a tensão de saída do regulador no processo de produção ou dinamicamente durante a operação do sistema.

A tensão de *dropout* é outro importante parâmetro estático do LDO, pois diz qual é a menor tensão de entrada do regulador, especialmente quando a MCU é alimentada por uma bateria. Tipicamente, ela é um compromisso entre desempenho e área de silício e é definida a partir da máxima corrente de carga, mínima tensão de operação e, ao mesmo tempo, mantendo o transistor de passagem em saturação. A Equação 2.4 relaciona a tensão de *dropout* com a tensão de saturação V_{DSAT} do transistor de passagem. I_{carga} é a máxima corrente de carga admitida pelo regulador.

$$V_{dropout} = I_{carga} \cdot R_{on} = V_{DSAT,PMOS} \quad (2.4)$$

2.1.2 Especificações Dinâmicas

Pelo fato dos reguladores LDO com estágio de saída PMOS terem a fonte de seu estágio de saída ligado ao terminal de alimentação, sua impedância de saída em malha aberta é alta. Dessa forma, um capacitor de saída se torna necessário na maioria dos casos para estabilizar essa topologia de circuito, assim como para assegurar uma boa resposta ao transiente de carga. Por esta razão, reguladores LDO com estágio de saída PMOS concebidos sem capacitor de saída não são práticos em aplicações onde a resposta aos transientes de carga é importante. Este é o caso da maioria das aplicações envolvendo microcontroladores. No entanto, possuir um capacitor de saída pequeno assim como tolerância a diferentes tipos de capacitores (ampla faixa de ESR) são atributos importantes de um circuito que deve atender a diversas aplicações.

A maior variação na tensão de saída do regulador ocorre quando a corrente de carga parte de praticamente zero até atingir o valor máximo especificado. A capacidade do circuito para segurar a tensão de saída nessa condição depende da largura de banda de malha fechada, do capacitor de saída e da taxa de variação da corrente de carga. A variação da tensão de saída é dada pela Equação 2.5.

$$\Delta V_{out} = \frac{I_{max} \cdot \Delta t}{C_{out}} \quad (2.5)$$

I_{max} é a máxima corrente de saída especificada, Δt é o tempo de resposta do circuito e C_{out} é a capacitância de saída. Δt é aproximadamente o recíproco da largura de banda do regulador em malha fechada.

a) Especificações de Alta Frequência

PSRR (*Power Supply Rejection Ratio*) e ruído de saída de um regulador são especificações de alta frequência. Ambos são parâmetros de pequenos sinais e associados à frequência.

O PSRR define a capacidade do regulador em rejeitar ruído de alta frequência proveniente da alimentação. Esse parâmetro é função das capacitâncias parasitas do transistor de saída; é proporcional ao inverso do ganho de malha e diretamente proporcional ao descasamento dos transistores do amplificador de erro.

Ruído de saída é principalmente definido pela transcondutância do estágio de entrada do regulador. Os estágios seguintes não adicionam ruído significativo à tensão de saída. Maximizar o tamanho dos transistores de entrada diminui o ruído de saída como também contribui com a redução do PSRR.

b) Eficiência

A eficiência do regulador de tensão é determinada por três parâmetros: a corrente quiescente, corrente de carga e a tensão sobre o transistor de saída. Na ausência de corrente de carga, a corrente quiescente é chamada de corrente de terra (I_{gnd}). A Equação 2.6 ilustra a eficiência de potência de um regulador.

$$Eff = \frac{V_{out} \cdot I_{load}}{V_{in} \cdot (I_{load} + I_{gnd})} \quad (2.6)$$

A corrente de terra afeta a eficiência substancialmente na condição de pouca corrente de carga. A vida útil da bateria para aplicações de baixa corrente pode ser aumentada significativamente reduzindo a corrente quiescente do sistema de regulação. No outro extremo, para correntes de carga muito grandes, a eficiência de energia depende apenas da queda de tensão no transistor de passagem, como mostrado na Equação 2.7.

$$Eff \approx \frac{V_{out}}{V_{in}} \quad (2.7)$$

Para cargas altas, a eficiência do regulador linear aproxima-se de 100% quando a tensão de saída se aproxima da tensão de entrada.

Para aplicações em microcontroladores, onde a tensão de entrada é, geralmente, maior que a tensão de saída, o regulador de tensão deve ajustar seu consumo dinamicamente dependendo da carga do sistema.

2.2 REGULADORES COM CAPACITOR DE SAÍDA REDUZIDO

Pesquisas recentes sobre reguladores lineares do tipo LDO concentram-se em remover o capacitor externo [11], [15], [18], [20], [25], [26], [29], [30], [36], [44]. Considerando aspectos industriais, a não existência de um elemento externo reduz custos tanto da aplicação do cliente como também do fabricante do SoC.

A **Figura 2.4** ilustra o diagrama em blocos de um regulador utilizado em um microcontrolador NXP da família MC1323x [12], que utiliza um dispositivo NMOS como transistor de saída na configuração seguidor de fonte. C_c representa a capacitância intrínseca do SoG que, nesse sistema, é de aproximadamente 3 nF.

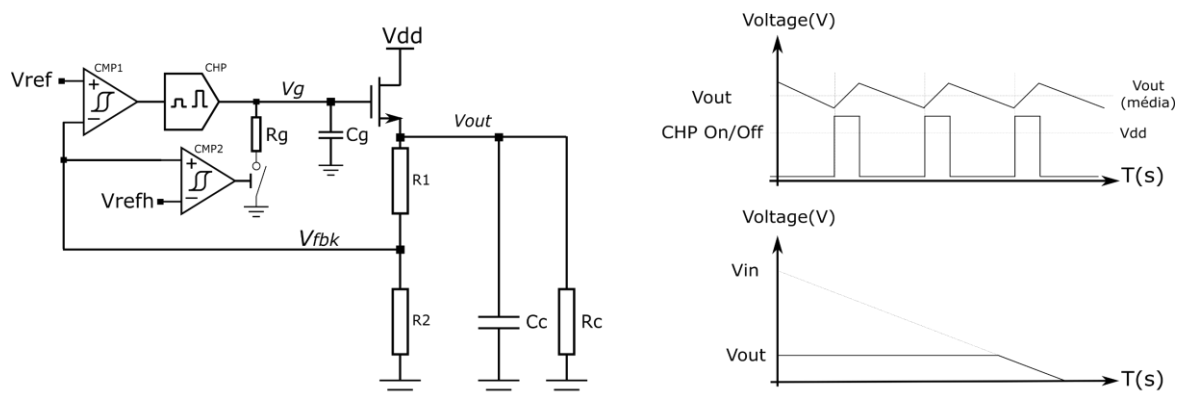


Figura 2.4 – Regulador linear utilizado no microcontrolador MC1323x da NXP.

Nessa arquitetura, o dispositivo NMOS de saída é projetado para operar na região de sublimar ao longo de toda faixa de operação de corrente de carga. Uma vez que a transcondutância desse dispositivo apresenta uma característica exponencial, transições rápidas na corrente de carga não implicam fortes variações na tensão regulada de saída. Não obstante, devido à enorme área do dispositivo, a capacitância intrínseca entre sua porta e fonte (C_{gs}) é razoavelmente grande. Sendo assim, quando uma transição abrupta de corrente é sentida na saída do regulador, um degrau de tensão aparece como uma queda na tensão na saída e é, ao mesmo tempo, acoplado à porta do transistor de saída através da capacitância C_{gs} . Sendo assim, um capacitor de desacoplamento C_g é geralmente adicionado à porta do dispositivo com o intuito de atenuar variação na tensão de porta do dispositivo causada pelo degrau de corrente. Isso assegura também que a tensão de saída acompanhe eventuais flutuações do terminal comum (terra) do circuito.

Os comparadores de tensão, combinados com o bloco elevador de tensão CHP (*charge pump*), operam em conjunto para controlar a tensão da porta do transistor de saída através da malha de realimentação negativa. Nesse exemplo, os dois comparadores monitoram a saída do regulador para mantê-la com um valor médio de 1,80 V. Quando a tensão na saída cai abaixo de 1,75 V, o comparador CMP1 ativa o circuito elevador de tensão para corrigir a tensão da porta V_g e, portanto, a tensão de saída do regulador. O elevador de tensão mantém a tensão de porta V_g acima da tensão de saída do regulador. O conjunto não é desligado até que a saída exceda o valor da tensão de saída mais a histerese do comparador.

Quando a carga do regulador é pequena, a saída permanece em um potencial fixo bastante tempo sem que o controle atue; isso pode levar muito tempo, dependendo da carga, da corrente de fuga e da temperatura. Por outro lado, se a tensão de saída do regulador for acima de 1,90 V, por exemplo, devido a uma redução súbita na corrente de carga, outro comparador (CMP2) atua criando um caminho de corrente para que a carga em C_g seja descarregada para terra, reduzindo, conseqüentemente, a tensão de saída do regulador. O comparador de limite superior não atua na malha de controle, a menos que haja uma redução súbita e significativa da corrente solicitada pela carga.

Quando a tensão de alimentação do regulador se aproxima de 1,80 V, o regulador entra em um outro modo de operação chamado Modo Passagem (*passthru mode*). Nessa condição, o circuito *charge pump* permanece ligado continuamente e o transistor de saída funciona quase como uma chave. Como resultado, a saída regulada acompanha a tensão de entrada do regulador, semelhante a um LDO com dispositivo PMOS na saída.

Essa arquitetura permite que o regulador opere sem um capacitor externo devido à baixa impedância de saída associada à configuração Seguidor de Fonte. Dentre outros benefícios, o mesmo circuito de controle pode ser projetado para funcionar consumindo vários microampères, bem como com apenas dezenas de nanoampères. Essa característica é ideal para uso em microcontroladores, visto que transições dos modos de operação (de baixo consumo para alto consumo de corrente e vice-versa) são bastante frequentes. Embora não necessitando de um capacitor externo, o próprio SoG acopla uma capacitância intrínseca de alguns nanofarad ao regulador.

a) *Desempenho do dispositivo NMOS de saída*

Para o regulador da **Figura 2.4**, o transistor deve ser dimensionado de modo a operar na região sublimiar (*subthreshold*) em toda faixa de corrente de carga e temperatura. Nesse ponto de operação, o ganho de corrente é exponencial (cerca de 70 mV/década a 25 °C) independentemente do tamanho do dispositivo. Uma vez dimensionado, atenção especial deve ser dada à máxima queda de tensão aceitável na saída regulada.

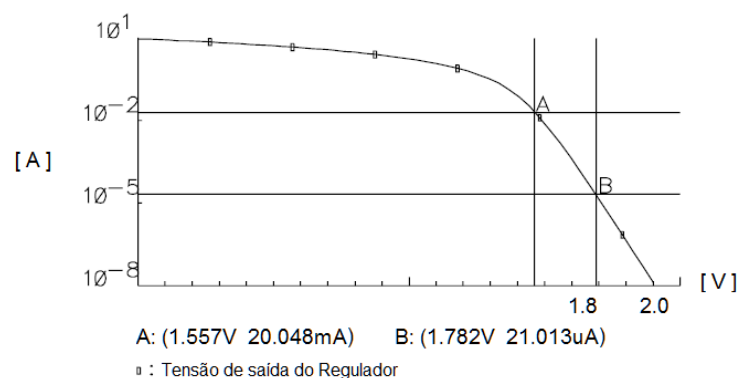


Figura 2.5 – Característica Corrente x Tensão (IV) da saída do regulador com transistor NMOS de passagem operando na região de sublimiar.

A **Figura 2.5** ilustra a característica IV do transistor NMOS de saída. A queda de tensão é de 220 mV, de 20 µA a 20 mA. Obviamente, o transistor de passagem não pode fornecer a carga máxima de corrente exigida pela lógica digital instantaneamente sem uma queda de tensão associada.

Nas arquiteturas modernas, é possível limitar o consumo da lógica digital através das transições da frequência do relógio do sistema (geralmente controlados por *software*),

que permite delimitar a amplitude do degrau da corrente de carga. Mesmo assim, o projetista deve saber qual é a capacitância interna do sistema, como são as transições de carga, quão rápido o regulador responde e quanto estável é o terra do circuito.

A topologia proposta no próximo capítulo permite a implementação de um regulador LDO com dispositivo de saída NMOS compacto, quando comparado ao utilizado no regulador da **Figura 2.4**. A nova topologia demonstrou resposta transitória extremamente rápida para transições agressivas de carga, sem a necessidade de capacitor externo de compensação nem do dispositivo de saída operar na região de sublimiar.

Na **Figura 3.1**, um regulador convencional de tensão baseado em realimentação negativa é usado para gerar a tensão V_{ref} no nó **1**. Ele é constituído por uma tensão de referência (V_{bg} , tensão de *bandgap*), um amplificador operacional em malha fechada e um transistor de saída (M2) na saída.

Na sessão do regulador propriamente dito, M1 é o dispositivo NMOS de saída. Os transistores M3 e M4 trabalham como um seguidor de tensão (*buffer DC*) responsáveis pela polarização do circuito. A malha de alta frequência é função de M3 que atua como um amplificador de tensão de um único estágio atenuando fortemente transitórios da corrente de carga.

Durante um aumento abrupto de corrente de carga aplicada ao nó **2**, a malha composta por M4 (seguidor de fonte) e M3 (estágio de ganho) eleva a tensão de porta de M1, no nó **3**. Consequentemente, a tensão entre porta e fonte de M1 aumenta e a queda de tensão em **2**, que representa a saída do regulador, é fortemente atenuada.

De forma inversa, se a carga aplicada ao regulador for reduzida subitamente, a tensão de porta de M1 é reduzida; consequentemente, a tensão entre porta e fonte de M1 também diminui e o transiente de tensão em **2** é novamente atenuado.

3.1 O REGULADOR COMPACTO COMO LDO

Da maneira como foi apresentado até agora, o regulador compacto não desempenha a função *low dropout*, pois a tensão de porta do transistor de saída M1 está limitada à tensão de alimentação. Para que o circuito funcione como um verdadeiro regulador LDO, um circuito elevador de tensão (*charge pump*) [**Apêndice A**] foi adicionado fazendo com que a tensão de porta V_g do transistor de saída possa ir acima da tensão de alimentação (Vdd). A **Figura 3.2** ilustra o regulador compacto na configuração LDO.

O circuito elevador de tensão sustenta a tensão V_{dd_pump} acima de Vdd. Dependendo das condições de carga, o nó V_g pode ir acima de Vdd quando a tensão de alimentação está baixa. Uma vez que o circuito elevador de tensão não é responsável por fornecer a corrente de carga, um circuito clássico como em [38]-[41] desempenha muito bem essa função, pois sua carga se resume às correntes de dreno dos espelhos NMOS e PMOS ($2 \times I_{dc}$). Não havendo transitórios de corrente na saída do circuito *charge pump*, C_{pump} pode ser de apenas alguns pico-Faraday e, portanto, integrado internamente no SoC.

Em aplicações onde se deseja atingir alta eficiência, manter a tensão de entrada do regulador em um valor próximo a tensão de saída se torna vantajoso. Nesse caso, o circuito *charge pump* só é acionado quando a tensão de entrada cai a níveis críticos. Por exemplo, em dispositivos portáteis, quando as baterias estão quase descarregadas totalmente.

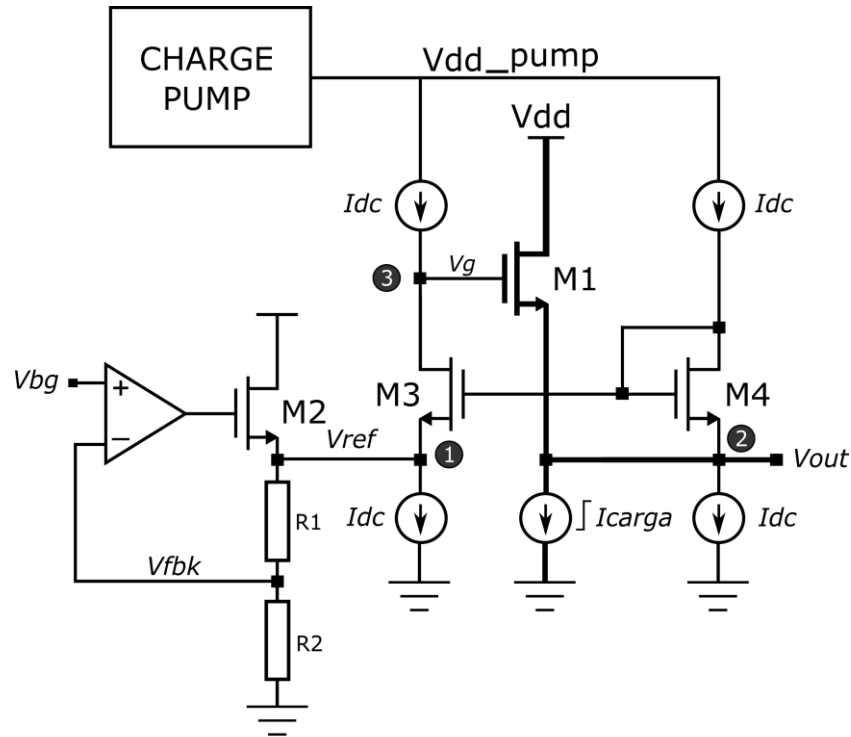


Figura 3.2 – Bloco elementar do regulador compacto como LDO.

3.1.1 Desempenho do estágio de entrada

Um aspecto importante a ser levado em conta no projeto do regulador compacto é sua resistência de entrada. A tensão de entrada V_{ref} proveniente do *buffer* de tensão entra no regulador através do terminal da fonte do transistor M3.

Visto de outra forma, o regulador compacto é composto por dois estágios operando em conjunto: um amplificador Porta-Comum (*Common-Gate Amplifier*), responsável por gerar o ganho da estrutura e controlar o terminal de porta do transistor de saída, que está numa configuração Dreno-Comum (*Common-Drain Amplifier* ou *Source Follower*). Este último, responsável por fornecer a corrente de carga propriamente dita.

O primeiro estágio do regulador determina a resistência de entrada do circuito. Para examinarmos a influência da carga R_L sobre a resistência à entrada do regulador compacto, consideramos um amplificador porta-comum, como na **Figura 3.3** [5].

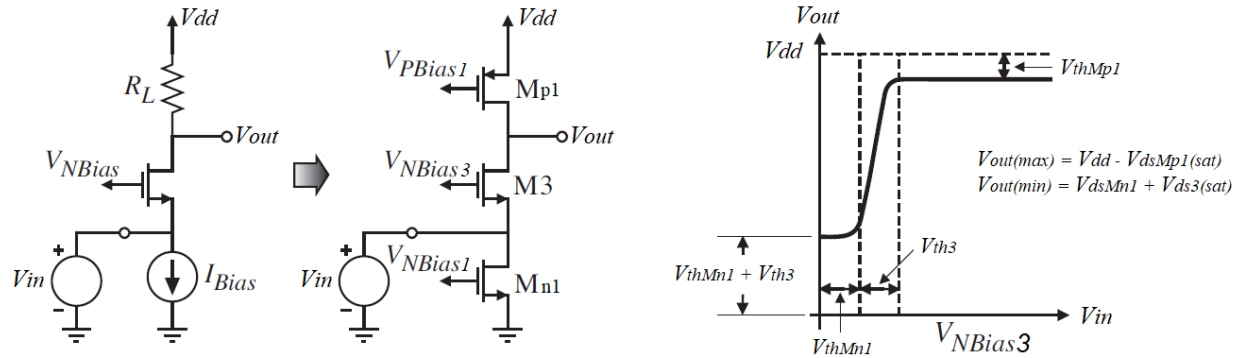


Figura 3.3 – Amplificador Porta-Comum. Primeiro estágio do regulador compacto.

O modelo de pequenos sinais é mostrado na **Figura 3.4**.

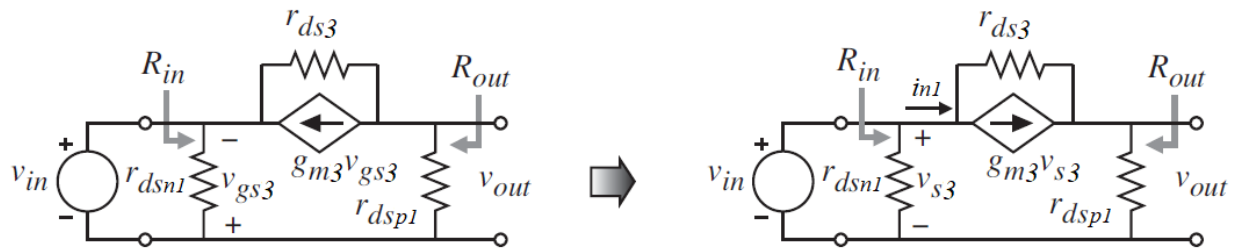


Figura 3.4 – Modelo de pequenos sinais do estágio porta-comum.

Para baixas frequências, o ganho de tensão é dado por:

$$V_{out} = g_{m3} \cdot v_{s3} \cdot \left(\frac{r_{ds3}}{r_{ds3} + r_{dsMp1}} \right) \cdot r_{dsMp1} = \left(\frac{g_{m3} \cdot r_{ds3} \cdot r_{dsMp1}}{r_{ds3} + r_{dsMp1}} \right) \cdot v_{in} \quad (3.1)$$

$$Av = \frac{V_{out}}{V_{in}} = \frac{g_{m3} \cdot r_{ds3} \cdot r_{dsMp1}}{r_{ds3} + r_{dsMp1}} \quad (3.2)$$

Essa configuração não gera um ganho alto. Na tecnologia de processo que o protótipo do regulador foi desenvolvido, o ganho fica em torno de 40 dB. Um ganho dessa ordem pode ser um empecilho para aplicações em que a saída do regulador deva fornecer uma tensão precisa. Todavia, para aplicações em microcontroladores, isso não é problema, pois variações de até +/-5% na tensão nominal são aceitáveis.

É importante observar que nessa arquitetura a resistência de dreno tem influência na resistência de entrada do estágio.

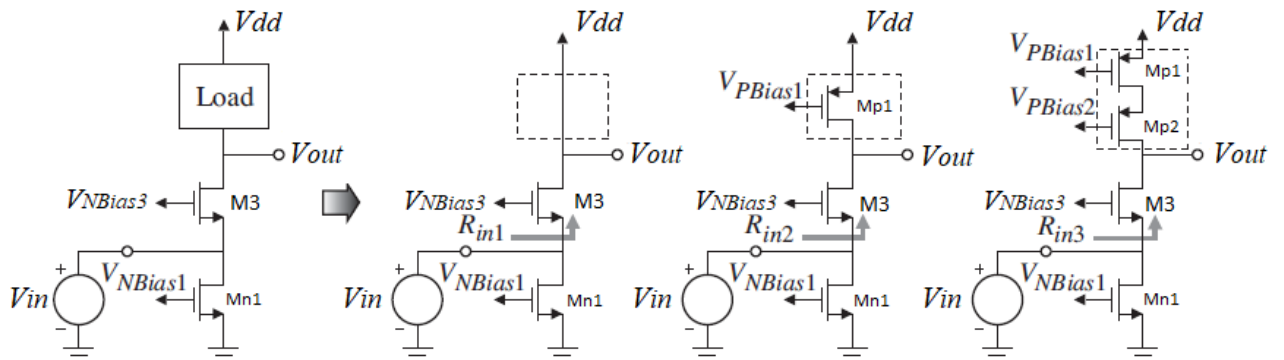


Figura 3.5 – Resistência de entrada do primeiro estágio do regulador compacto.

Como mostrado em [5], a resistência de entrada do amplificador porta-comum é dada por:

$$R_{in} = \frac{r_{ds3} + R_{load}}{1 + g_{m3} \cdot r_{ds3}} \quad (3.3)$$

Para diversos tipos de carga, R_{in} é:

$$R_{in1} = \frac{r_{ds3}}{1 + g_{m3} \cdot r_{ds3}} \approx \frac{1}{g_{m3}} \quad (3.4)$$

$$R_{in2} = \frac{r_{ds3} + r_{dsMp1}}{1 + g_{m3} \cdot r_{ds3}} \approx \frac{2}{g_{m3}} \quad (3.5)$$

$$R_{in3} = \frac{r_{ds3} + r_{dsMp2} \cdot g_{mMp1} \cdot r_{dsMp1}}{1 + g_{m3} \cdot r_{ds3}} \approx r_{ds3} \quad (3.6)$$

A resistência de entrada desse estágio depende da carga no dreno de M3, que é dada pela resistência entre dreno e fonte do transistor de polarização do estágio de entrada. No que diz respeito ao projeto do regulador compacto, é importante notar que r_{ds3} tenha um valor tal que cause pouca influência em R_{in} de forma a minimizar distúrbios na referência do regulador.

Nos sistemas de gerenciamento de potência dos microcontroladores, a mesma tensão de referência do regulador é normalmente compartilhada com outros circuitos tais como osciladores e monitores de tensão. Para esses últimos principalmente, a tolerância a transientes na tensão de referência é baixa. Neste caso, se o estágio de entrada do regulador for propenso a acoplar ruído à referência de entrada compartilhada, os monitores de tensão podem desencadear falsos eventos indicando baixa tensão no sistema e até mesmo causar um *reset* no CI.

3.1.2 Resposta em frequência

A resposta de frequência do regulador compacto pode ser calculada utilizando-se como ponto de partida o modelo de pequenos sinais para o amplificador porta-comum. Uma propriedade importante desta topologia é que ela não faz a multiplicação Miller de capacitância, potencializando a largura banda do circuito.

Para se determinar o polo associado à saída do primeiro estágio, a capacitância de saída C_{out} deve ser contabilizada, como ilustrado na **Figura 3.6**.

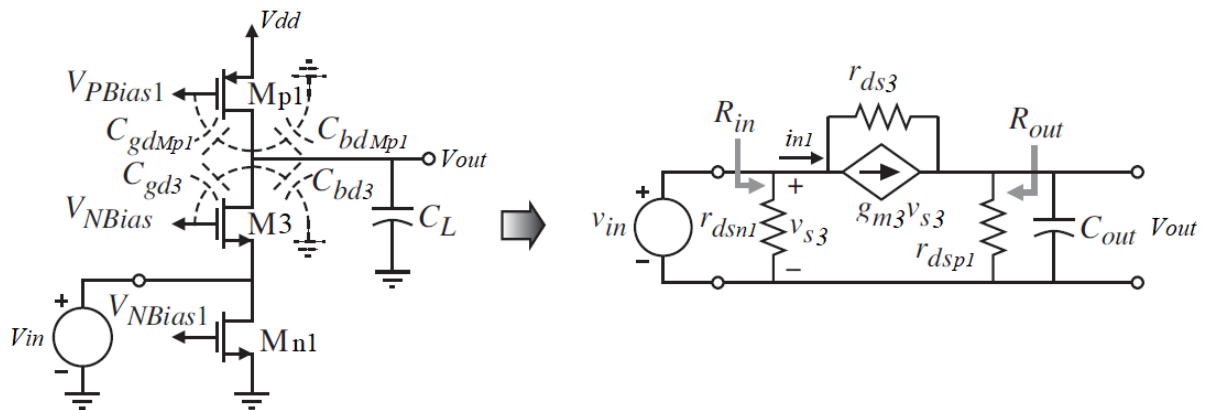


Figura 3.6 – Modelo de pequenos sinais do estágio porta-comum.

A resposta em frequência desse estágio pode ser encontrada substituindo R_{dsMp1} por:

$$R_{dsMp1} \leftarrow \frac{R_{dsMp1}}{sR_{dsMp1}C_{out} + 1} \quad (3.7)$$

Onde

$$C_{out} = C_{gd3} + C_{gdMp1} + C_{bd3} + C_{bdMp1} + C_{bdMp1} + C_{gt_pass} \quad (3.4)$$

C_{gt_pass} é a capacitância total adicionada pelo estágio de saída seguidor de fonte, que é composta pela capacitância C_{gd_pass} (entre porta e dreno) mais uma fração da capacitância C_{gs_pass} (entre porta e fonte) do transistor de saída. Portanto, para o estágio porta-comum, o ganho no domínio da frequência é dado por:

$$Av(s) = \frac{V_{out}}{V_{in}} = \frac{g_{m3} \cdot r_{ds3} \cdot r_{dsMp1}}{r_{ds3} + r_{dsMp1}} \left(\frac{1}{s \frac{r_{ds3} \cdot r_{dsMp1} \cdot C_{out}}{r_{ds3} + r_{dsMp1}} + 1} \right) = \frac{g_{m3} \cdot r_{ds3} \cdot r_{dsMp1}}{r_{ds3} + r_{dsMp1}} \left(\frac{1}{1 - \frac{s}{p_1}} \right) \quad (3.5)$$

O polo $p1$ é dado por:

$$p1 = \frac{-1}{\frac{r_{ds3} \cdot r_{dsMp1} \cdot C_{out}}{r_{ds3} + r_{dsMp1}}} \quad (3.6)$$

O segundo estágio do regulador compacto é um seguidor de fonte (**Figura 3.7**) que tem ganho próximo ao unitário, quando R_L tende a infinito e desprezando o efeito de corpo do transistor. Para um valor de R_L finito, o ganho pode chegar facilmente a 0,5 V/V.

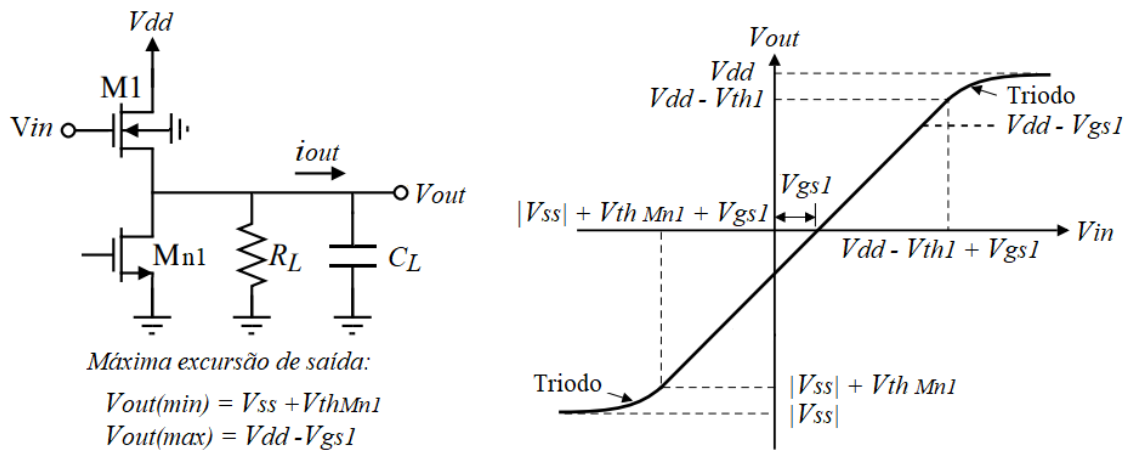


Figura 3.7 – Amplificador Dreno-Comum (Seguidor de Fonte). Segundo estágio do regulador compacto.

Portanto, para o regulador compacto, todo o ganho da estrutura se concentra ao ganho do estágio de entrada. Sendo assim, o segundo polo do regulador compacto é o polo da carga, dado pela Equação 3.7.

$$p2 \approx \frac{-1}{\left(\frac{1}{g_{mMn1}} \parallel R_{load}\right)(C_1 + C_2)} \quad (3.7)$$

Sendo

C_1 a somatória das capacitâncias conectadas entre a entrada e a saída do estágio ($\sim C_{GS1}$);

$C_2 = C_{bs1} + C_{bdMn1} + C_{gdMn1}$ (ou C_{gsMn1}) + C_L .

3.1.3 Resposta ao transiente de carga e impedância de saída

O transiente de carga quantifica a excursão de tensão de saída do regulador e o tempo que ele leva para trazê-la ao nível nominal. Um regulador LDO com boa resposta transitória de carga deve produzir pouca queda de tensão (*undershoot*) na saída assim como um tempo de reação (*settling time*) rápido.

Para todo tipo de regulador, como regra geral, a resposta ao transiente de carga está fortemente correlacionada com a impedância de saída. Para variações pequenas da corrente de carga, a queda de tensão da saída é proporcional a impedância de saída $Z_o(s)$ do circuito. Porém, mesmo pequenas variações da corrente de carga fazem com que os parâmetros relacionados a $Z_o(s)$ como a transcondutância, a condutância, as capacitâncias intrínsecas do transistor de saída variem dinamicamente com a corrente de carga, adicionando não linearidade à resposta.

Nos reguladores compensados externamente, $Z_o(s)$ é dominado pelo capacitor de carga cujo valor é, normalmente, de alguns microfarads. No regulador LDO com saída NMOS apresentado anteriormente, o transistor é dimensionado para operar na região sublimiar com máxima corrente de carga. $Z_o(s)$ é pequena nesse ponto de operação e o ganho de corrente é exponencial. Um degrau na corrente de carga é visto na saída como um degrau de tensão, compensado em seguida pela malha de realimentação negativa (muito mais lenta) do circuito.

Para o regulador compacto, $Z_o(s)$ é ajustado dinamicamente em função da carga pois a malha de controle modula a tensão de porta do transistor de saída de acordo com a carga fazendo com que o dispositivo opere em diferentes regiões, desde sublimiar, passe por saturação, até triodo.

4 IMPLEMENTAÇÃO EM TECNOLOGIA TSMC CMOS 90 nm

O projeto do regulador compacto aqui apresentado toma como ponto de partida especificações comumente encontradas em reguladores de tensão utilizados em microcontroladores nesse processo de fabricação. A **Tabela 4.1** apresenta as especificações para o projeto do regulador compacto.

Tabela 4.1 – Especificações para o projeto do regulador compacto.

Parâmetro	Mínimo	Típico	Máximo	Unidade
Tensão de alimentação	2,0		5,5	V
Tensão de saída		1,8		V
Temperatura de operação	-40	27	150	°C
Consumo			50	μA
Máxima queda de tensão (devido à transientes)			180	mV
Capacidade máxima de corrente			10	mA
Regulação de linha	-2		2	%
Regulação de carga	-2		2	%
PSRR			-60	dB (@ 100kHz)

A **Figura 4.1** ilustra a implementação do regulador compacto em tecnologia CMOS 90 nm.

A corrente de polarização (ibias) é fornecida ao regulador compacto proveniente de uma fonte externa e, para esse caso, foi escolhido um valor mínimo de 5 μA. É desejável (mas não mandatário) que essa corrente tenha uma característica PTAT com o objetivo de se manter a transcondutância dos dispositivos constante. A corrente de polarização passa por Md1 na configuração diodo e é espelhada para Mn1, Mn2 e Mn3 com valores de 5 μA, 10 μA e 20 μA, respectivamente. Mn1 espelha 5 μA para transistor PMOS Md2 (como diodo) que, por sua vez, espelha 10 μA para Mp1 e Mp2. Sendo assim, o consumo quiescente total do módulo é de 40 μA. Por Mn3 passam duas vezes mais corrente quem em Mn2. Essa corrente extra representa a carga mínima do regulador.

Com intuito de manter o *offset* do regulador baixo, todos os transistores estão distribuídos no *layout* em comum centroide (*cross-quad*), como ilustrado na **Figura 4.2**. Todos os dispositivos são do tipo NSVT50 e PSVT50 (*Standard Vt*) com tolerância de 5,5 V para tensões entre porta e dreno/fonte, entre substrato e dreno/fonte e entre dreno e fonte. A razão W/L dos dispositivos foi escolhida de modo a mantê-los saturados e na região de forte inversão ao longo de toda faixa de operação do regulador, ou seja, de -40 °C a 150 °C, $1,8 \text{ V} < v_{dd5} < 5,5 \text{ V}$, levando em conta três sigmas (σ) de variação de processo.

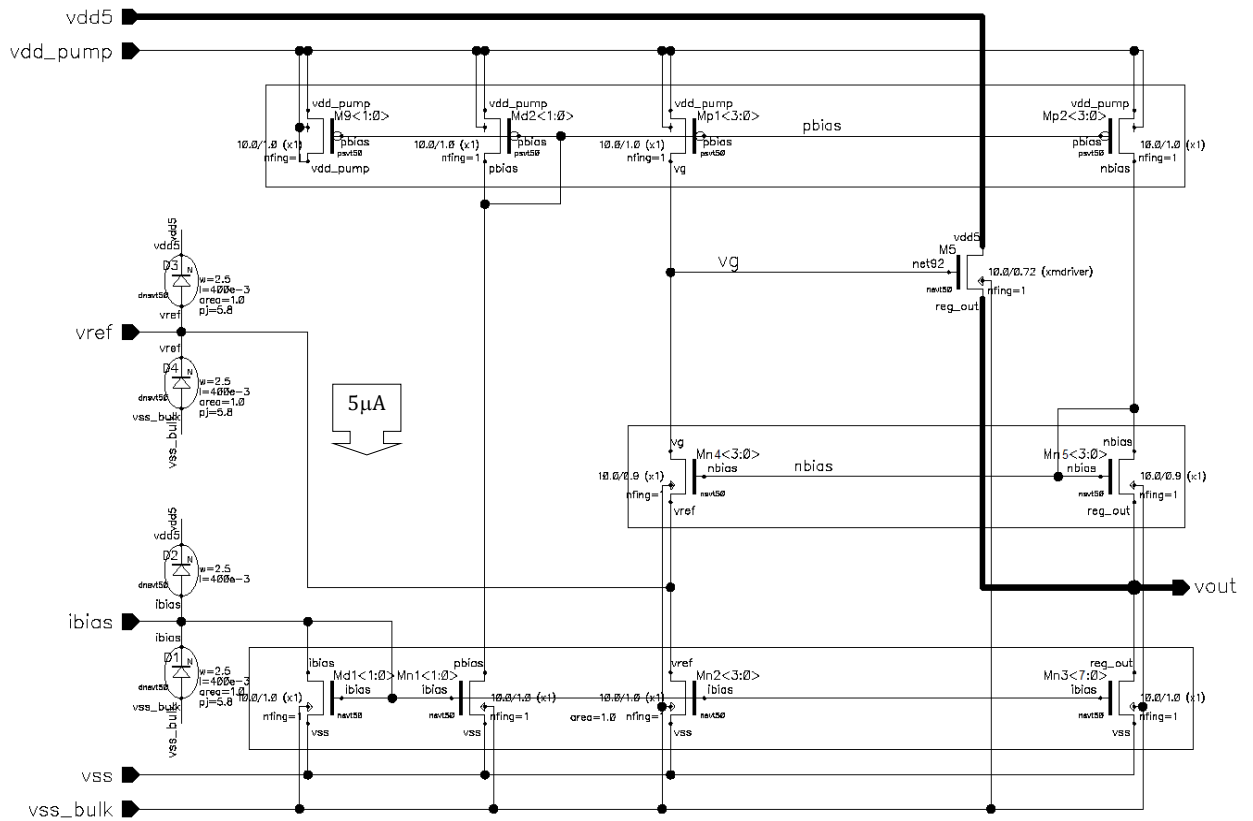


Figura 4.1 – Implementação do regulador compacto em tecnologia CMOS 90 nm.

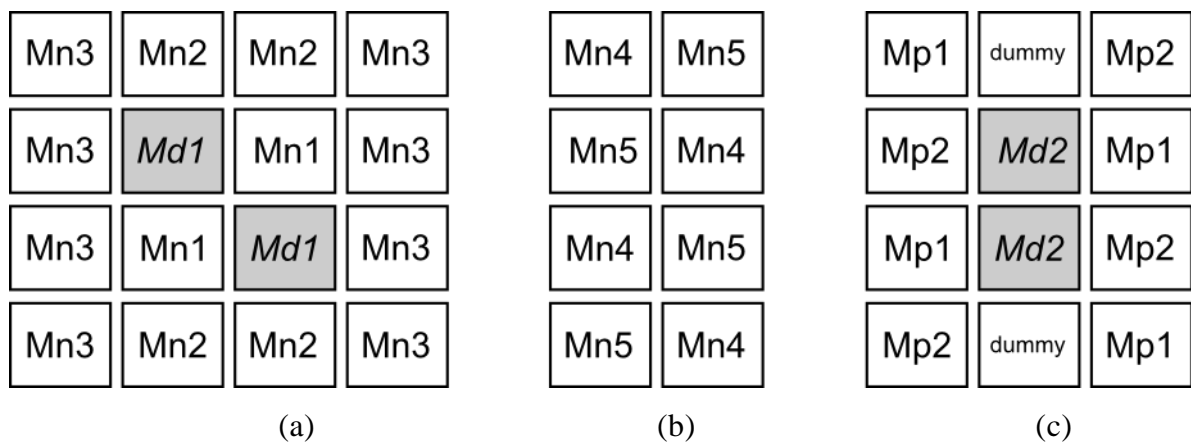


Figura 4.2 – Disposição dos dispositivos NMOS do espelho de corrente Mn1-Mn2-Mn3 (a), do par Mn4-Mn5 (b) e dos dispositivos PMOS Mp1-Mp2-dummy (c).

Diodos de proteção são adicionados às entradas de tensão (vref) e de corrente (ibias) pois elas são ligadas aos *pads* do CI de teste que, por sua vez, são ligados aos equipamentos externos de teste.

4.1 O TRANSISTOR DE SAÍDA

O transistor de saída compreende o elemento mais importante na resposta transitória do regulador. Seu dimensionamento tem que levar em conta a corrente máxima de saída e a queda de tensão sobre ele nas condições estabelecidas de carga. Estes parâmetros são fundamentalmente fixos ao longo de toda a faixa da operação do circuito.

Quando um regulador LDO linear fornece alta corrente para a carga, o transistor PMOS de passagem, que normalmente opera na região de saturação, pode operar em trípode; o polo da carga desloca-se para altas frequências e o ganho do regulador como um todo cai. Ter o dispositivo de saída operando na região de sublimiar faz com que o circuito tenha uma resposta significativamente mais lenta. Isso pode ocasionar uma degradação significativa na regulação de tensão para aplicações em que ocorrem transições agressivas de carga. Essa degradação só pode ser compensada fornecendo mais corrente ao regulador, ou seja, melhorando a velocidade da malha de controle do circuito.

Em se tratando do regulador LDO com estágio de saída NMOS (**Figura 2.4**), o transistor de saída é dimensionado de modo a operar na região sublimiar (*subthreshold*) em toda a faixa de corrente de carga e temperatura. Nesse caso, o regulador não sofre com degradação da resposta transitória; todavia, o custo a ser pago é na área do transistor. A queda de tensão é, basicamente, um efeito do ganho exponencial de corrente do transistor. O circuito de controle fica com a função, apenas, de corrigir o valor médio da tensão de saída.

No caso do regulador compacto, em que a malha de controle é extremamente rápida, não é necessário que o transistor NMOS de saída atue sempre na região sublimiar. O próprio circuito de controle modula a porta do dispositivo NMOS de passagem de modo a compensar as variações de carga. Visto de uma perspectiva diferente, o transistor de passagem funciona como uma chave de baixa resistência durante o surto de corrente de carga. Isso permite que sua dimensão seja bastante reduzida, basicamente limitada por restrições térmicas.

Outro aspecto importante a ser destacado é a capacitância de porta do transistor de saída. Quanto maior o dispositivo, maior será a capacitância associada. Independentemente se o transistor é do tipo NMOS ou PMOS, essa capacitância gera um atraso (propagação) no tempo de resposta do regulador. Isso não é diferente no regulador compacto; embora a capacitância de porta do transistor de saída seja menor, o tempo de resposta do regulador

compacto não está unicamente determinado pela propagação do transistor de saída, mas também pelo produto ganho-largura de banda da malha de controle.

Existe um compromisso entre velocidade e queda de tensão ao se dimensionar o tamanho do transistor de saída do regulador compacto. Quanto menor seu tamanho, mais rápido é o tempo de resposta da malha do regulador. No entanto, se o dispositivo for muito pequeno, maior será a queda de tensão sobre ele. Visto que o regulador compacto não está (no trabalho em questão) inserido dentro de outra malha (mais lenta) de controle, o parâmetro regulação de carga merece atenção diferenciada em alguns casos.

4.2 RESULTADOS DE SIMULAÇÃO: PARÂMETROS ESTÁTICOS

A **Figura 4.3** ilustra a tensão de saída do regulador (1,8 V nominal) em função da tensão de alimentação para diferentes valores de carga e para três temperaturas distintas. Nesse caso, a tensão de alimentação é única (vdd_pump igual a vdd5). Para tensões de alimentação abaixo de 3,3 V, a saída do regulador não se sustenta, pois a tensão na porta do transistor de saída está limitada a um valor abaixo da tensão de alimentação. As cargas simuladas são de 10 μA , 100 μA , 1 mA e 10 mA.

Para que o regulador compacto se torne um regulador LDO, é necessário que a porta do transistor de saída alcance valores de tensão acima da tensão de alimentação. Quanto acima, depende da resistividade desejada para o transistor de saída.

Existe um compromisso entre o tamanho do dispositivo de saída e a resposta do regulador aos transientes de carga. Um transistor de saída maior demanda uma tensão de porta menor para atingir um dado valor de resistividade entre fonte e dreno, exigindo menos do circuito elevador de tensão. Entretanto, quanto maior o transistor, maior é a capacitância de porta e mais lenta é a resposta do regulador ao transiente de carga. Analogamente, visando-se maximizar a resposta ao transiente do circuito, menor deve ser o estágio de saída. Porém, nesse caso, maior deve ser a tensão fornecida pelo circuito *charge pump*. Para garantir baixa resistividade do transistor de saída quando o circuito está fornecendo máxima corrente de carga, a tensão fornecida pelo circuito *charge pump* deve ser igual a tensão de saída do regulador mais pelo menos duas vezes a tensão de limiar da tecnologia.

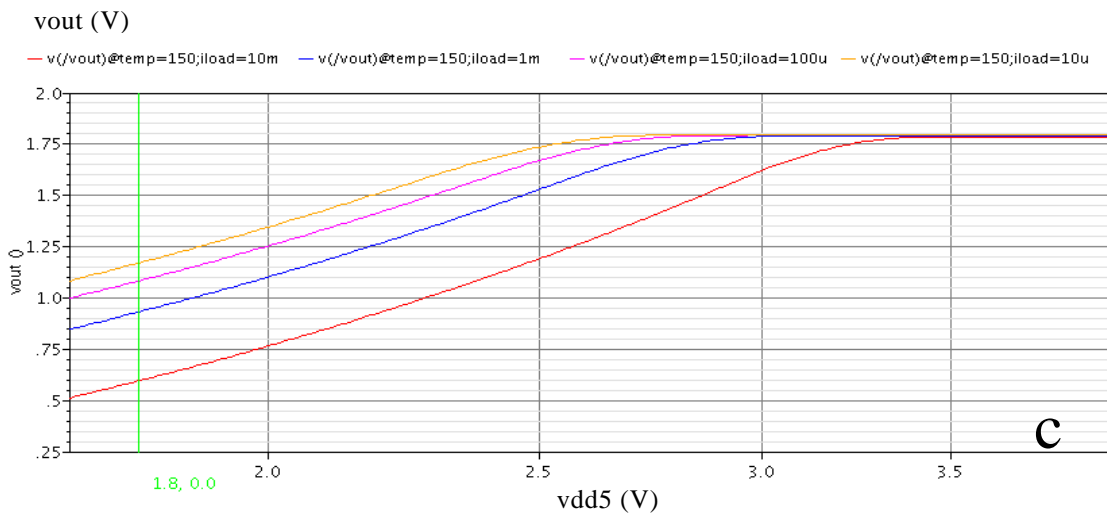
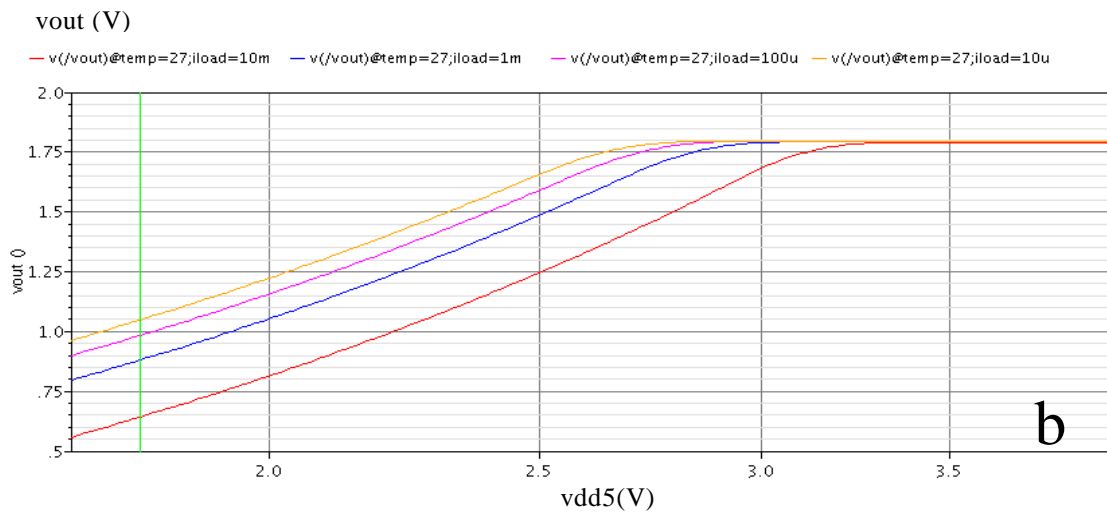
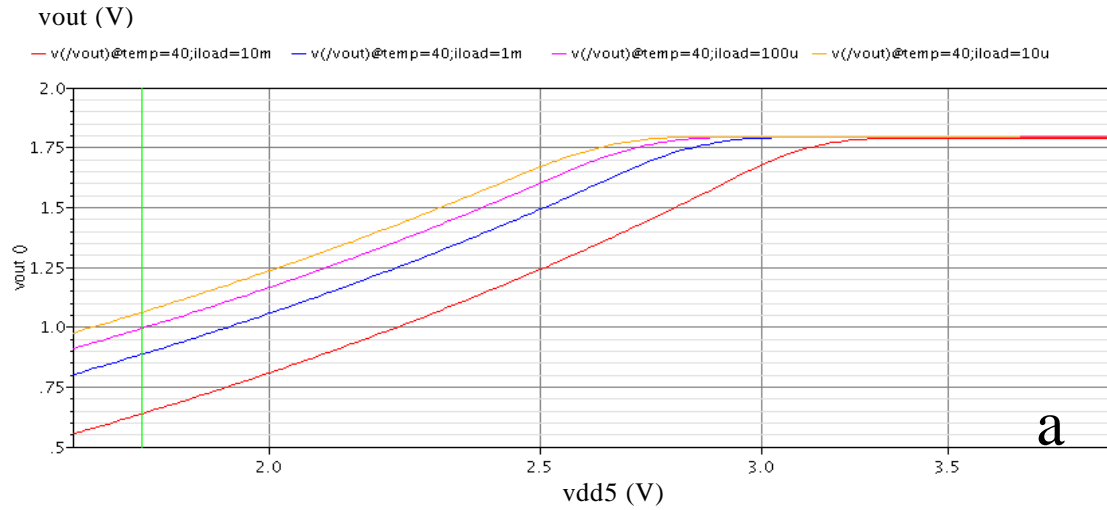
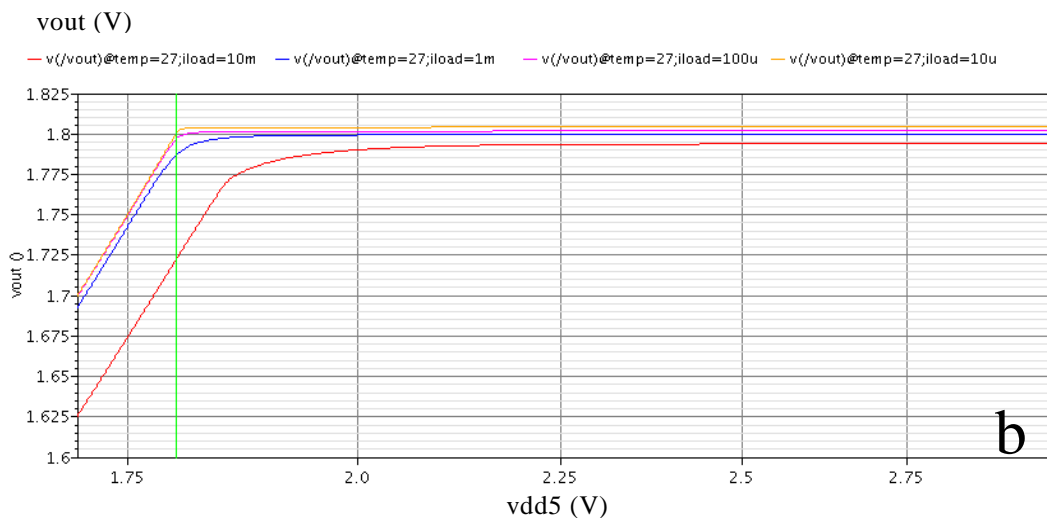
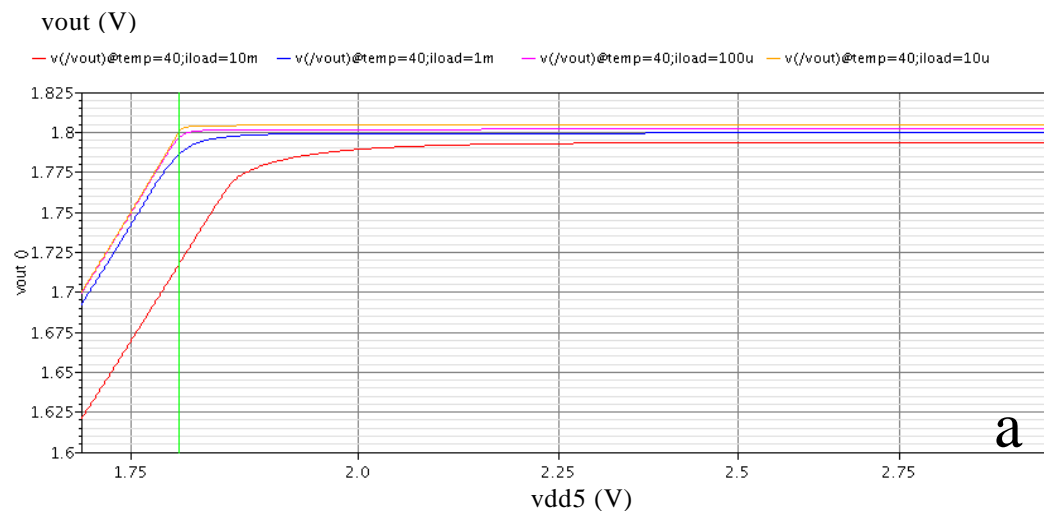


Figura 4.3 – Tensão de saída do regulador em função da tensão de alimentação para diferentes valores de carga e da temperatura: -40 °C (a), 27 °C (b) e 150 °C (c).

Em uma aplicação real, a decisão sobre quanto é permitido reduzir o tamanho do transistor de saída deve também levar em conta uma análise térmica, que engloba não somente o tamanho do dispositivo como também a área do *chip* e a temperatura de operação do mesmo.

A **Figura 4.4** mostra as mesmas simulações, porém, aplicando 5,0 V nas fontes dos espelhos PMOS. Na presença do elevador de tensão o regulador exibe a característica LDO conforme a tensão de alimentação se aproxima da tensão de saída. Enquanto que na **Figura 4.3** as tensões de saída despencam quando a tensão de alimentação se aproxima de 3 V, na **Figura 4.4** as tensões se mantêm até mesmo abaixo de 2 V.

Com a carga de 10 mA, há uma queda aproximadamente 2 mV devido à resistência entre dreno e fonte do transistor de saída.



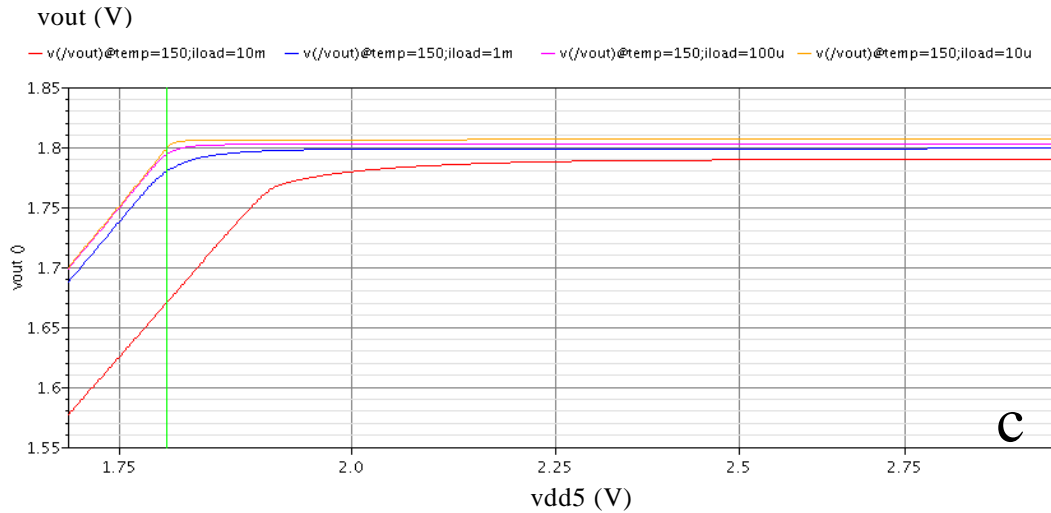


Figura 4.4 – Tensão de saída do regulador compacto em modo LDO em função da tensão de alimentação para diferentes valores da corrente de carga e da temperatura: $-40\text{ }^{\circ}\text{C}$ (a), $27\text{ }^{\circ}\text{C}$ (b) e $150\text{ }^{\circ}\text{C}$ (c).

A **Figura 4.5** mostra a tensão de saída do regulador em função do processo e descasamento entre dispositivos para três temperaturas. No pior caso, para uma tensão de saída de $1,8\text{ V}$, o regulador compacto apresenta um desvio padrão (σ) de apenas $4,14\text{ mV}$. Considerando uma janela de $\pm 6\sigma$, o espalhamento total do regulador é de $\pm 24,86\text{ mV}$, ou seja, abaixo da especificação estabelecida, o que demonstra que o circuito é robusto às variações de processo.

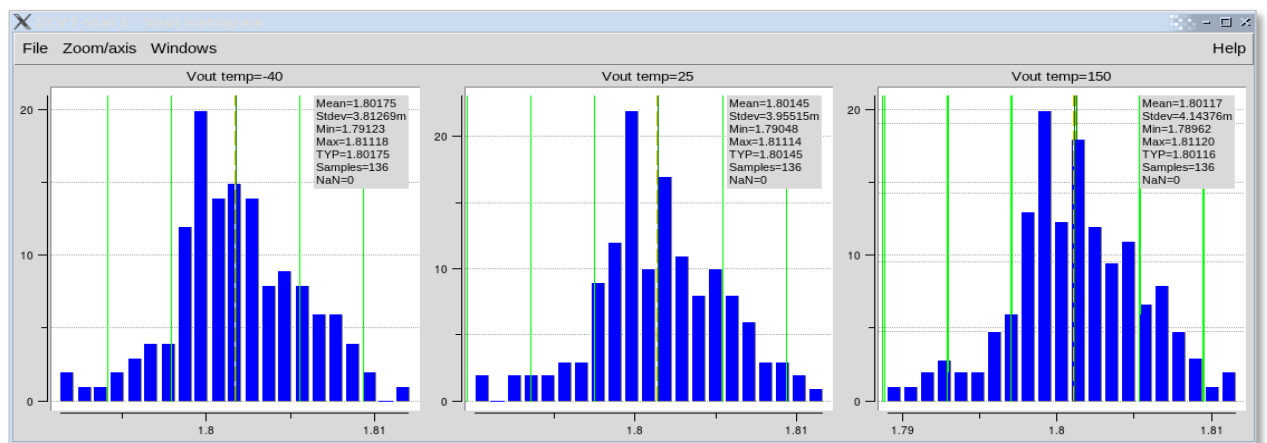


Figura 4.5 – Tensão de saída do regulador em função do processo, temperatura, tensão de alimentação e descasamento dos dispositivos.

A **Tabela 4.2** mostra parâmetros extraídos de simulações AC para processo típico em 25 °C. Nota-se que, quanto maior a corrente de polarização, mais rápido fica o circuito. Similarmente, quanto menor a dimensão do transistor de saída, mais rápido o regulador responde às transições de carga.

Observa-se, também, que o aumento da corrente de carga desloca o polo de saída para frequências mais altas, o que provoca um aumento na largura de banda e melhora a estabilidade do circuito.

Tabela 4.2 – Parâmetros de simulação AC.

M1 W [um]	Corrente de polarização [mA]	Corrente de Carga [mA]	Ganho [dB]	Margem de Fase [graus]	f _{-3dB} [MHz]	f ₀ [MHz]
500	0,020	0,001	39,55	35,03	1,58	99,86
500	0,020	10	39,43	51,16	1,59	121,50
500	0,010	0,001	40,39	34,31	0,987	65,81
500	0,010	10	40,54	52,22	0,960	84,03
500	0,005	0,001	41,04	34,17	0,623	42,70
500	0,005	10	41,41	53,62	0,589	57,67
1000	0,020	0,001	39,53	47,63	0,869	63,95
1000	0,020	10	39,58	63,47	0,861	75,31
1000	0,010	0,001	40,37	46,38	0,541	41,94
1000	0,010	10	40,60	64,35	0,525	51,78
1000	0,005	0,001	41,02	45,74	0,341	27,11
1000	0,005	10	41,41	65,45	0,325	35,46

Embora o ganho de malha típico seja da ordem de 40 dB (até baixo para um regulador LDO tradicional) há pouco erro na tensão de saída, como observado nas simulações estatísticas.

O fator de rejeição de ruído proveniente da fonte de alimentação (*Power Supply Rejection Ratio - PSRR*) obtido em simulação é mostrado nas **Figura 4.6** (a) e (b), processo típico, a 25 °C. O PSRR é uma medida de quão bem o circuito rejeita ondulações (*ripple*) provenientes da alimentação para uma determinada faixa de frequência (geralmente de 10 Hz a 10 MHz) e é expresso em decibéis (dB). O PSRR é definido por:

$$PSRR = 20 \cdot \log \frac{Ripple_{input}}{Ripple_{output}} \quad (4.1)$$

Embora o ganho de malha aberta seja o fator dominante no PSRR de um LDO (pelo menos numa faixa limitada de frequências), no caso do regulador compacto, onde esse ganho não é alto, o elevado produto ganho-largura de banda faz com que o PSRR seja elevado para uma ampla faixa de frequências.

As curvas da **Figura 4.6** podem ser divididas em três regiões distintas. A região 1 abrange desde 1 Hz até a frequência de corte (*roll-off frequency*) do filtro da referência de tensão e é proporcional ao ganho de malha aberta da referência de tensão. Como na simulação foi utilizada uma referência ideal de tensão, essa região não é visível nos gráficos. A região 2 se estende desde a frequência de corte do filtro da referência de tensão até a frequência de ganho unitário em que o PSRR é dominado basicamente pelo ganho de malha aberta do regulador. Na **Figura 4.6**, isso representa desde alguns quilohertz até, aproximadamente, 10 GHz (sem capacitor de carga, (a)) e 1 GHz (com capacitor de carga, (b)). Acima de 10 GHz e 1 GHz (região 3), o capacitor de carga juntamente com os parasitas associados à entrada de tensão do regulador são dominantes nessa região.

Alterações no ganho de malha afetam diretamente a PSRR na região 2. Por exemplo, quando a corrente de carga aumenta, a impedância de saída do regulador diminui (uma vez que a impedância de saída de um MOSFET é inversamente proporcional à corrente de dreno); conseqüentemente, o ganho de malha é reduzido. O aumento da corrente de carga desloca o polo de saída para frequências mais altas, o que aumenta a largura de banda. Como resultado, há uma redução do PSRR em frequências mais baixas (devido ao ganho reduzido), juntamente com o aumento da PSRR em frequências mais altas.

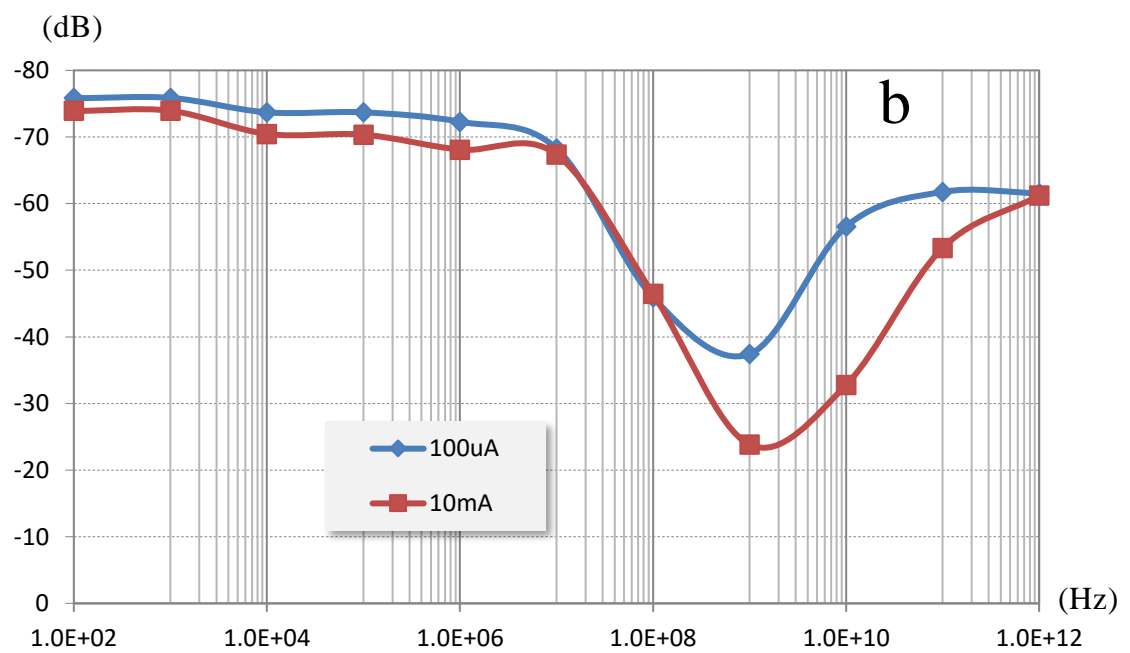
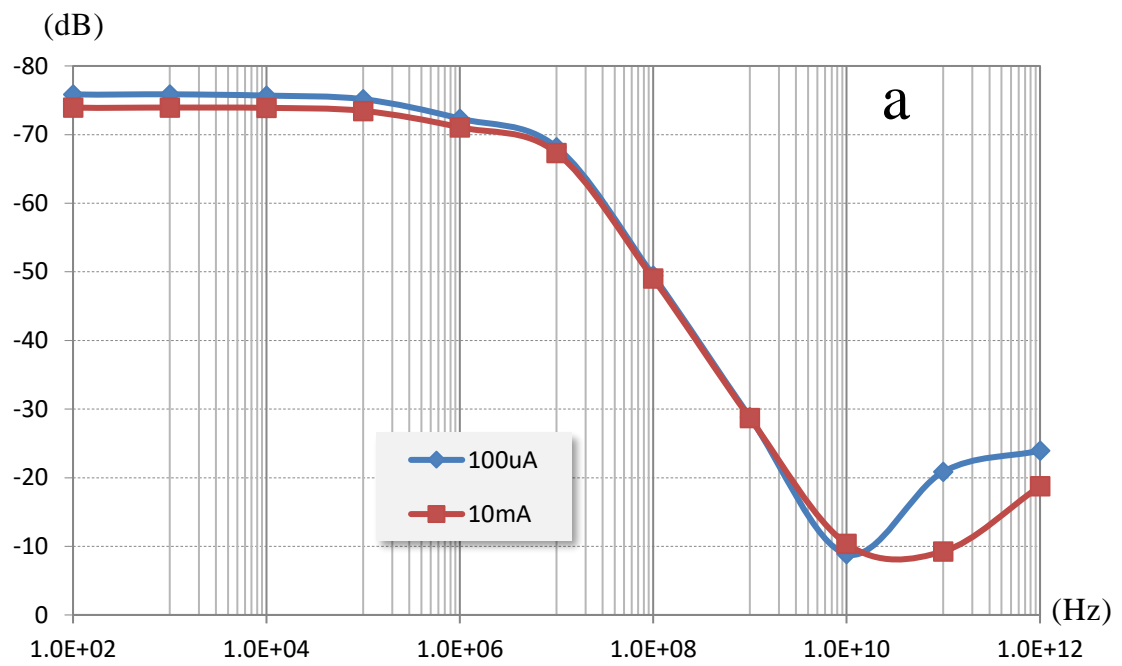


Figura 4.6 – PSRR em função da frequência.

(a) Sem capacitor de carga na saída. (b) com capacitor de 1 nF na saída do regulador.

4.3 RESULTADOS DE SIMULAÇÃO: PARÂMETROS DINÂMICOS

A **Figura 4.7** ilustra a simulação da resposta transiente do regulador compacto a uma transição da corrente de carga de 100 μA a 10 mA. A taxa de variação da corrente em função do tempo aqui considerada é de 0,2 A/ μs (de 100 μA a 10 mA em 50 ns). VG é a tensão na porta do transistor de passagem; ela se ajusta de acordo com a corrente de carga atenuando o transiente. VOUT é tensão de saída do regulador. Observe que, embora o regulador continue se ajustado para compensar a queda de tensão causada pelo transiente de carga (ICARGA na figura, de 2,4 μs a 2,45 μs), o regulador reage em menos de 10 ns, compensando a queda de tensão inicial.

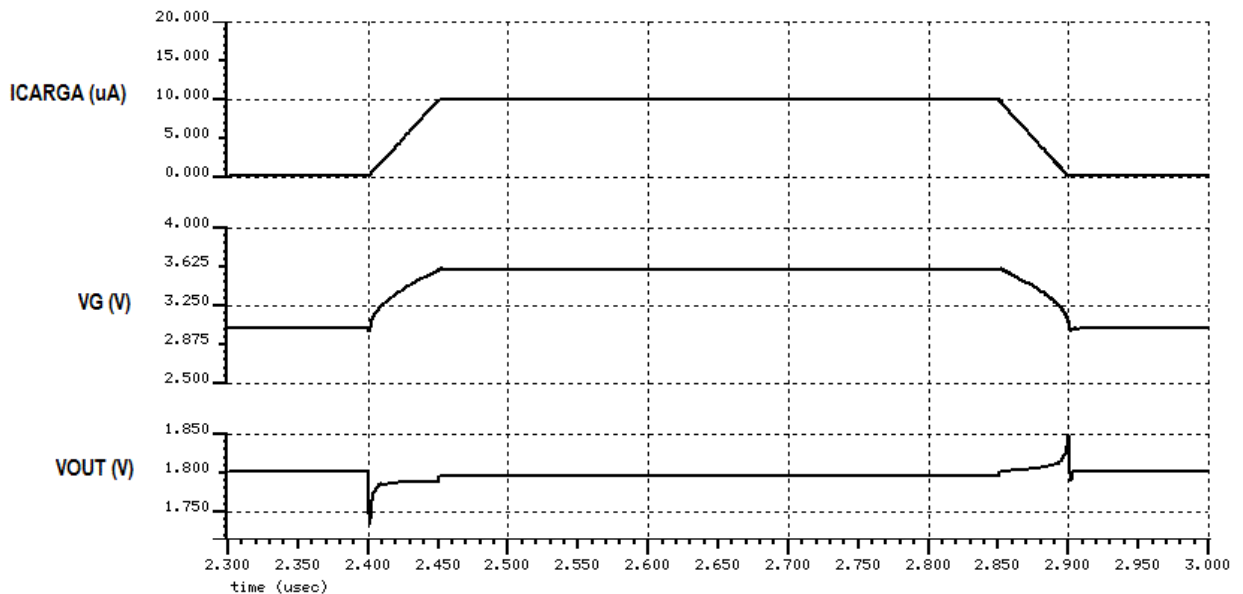
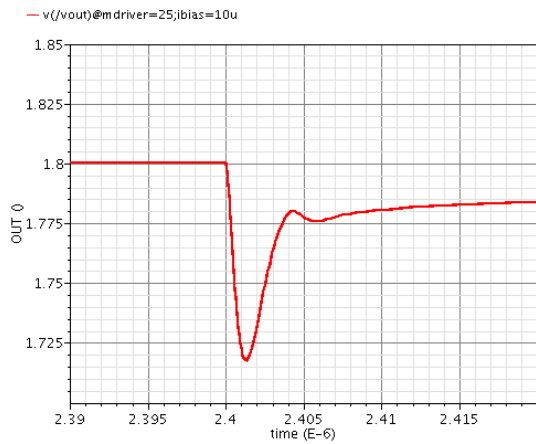
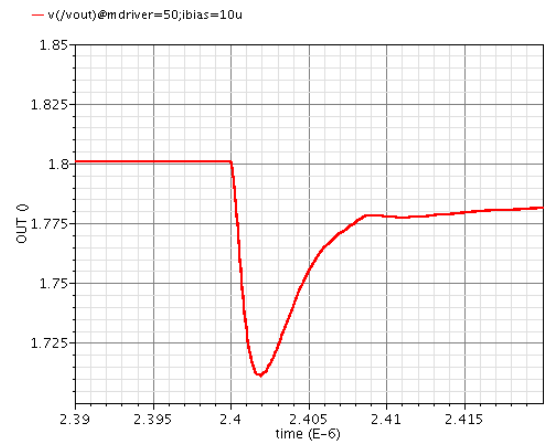
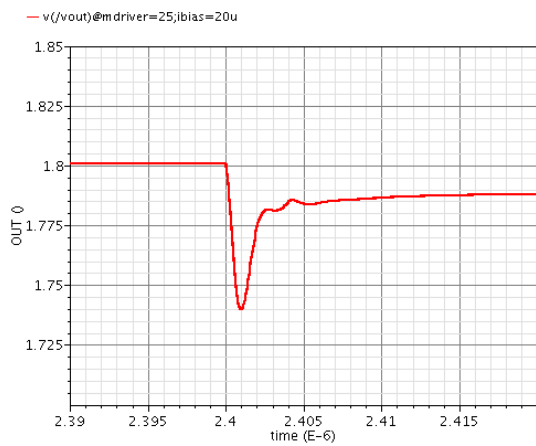
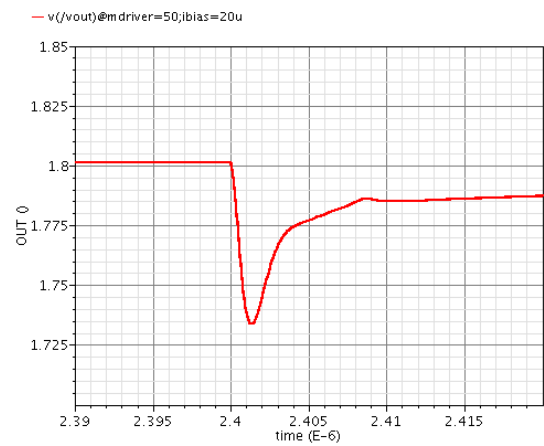
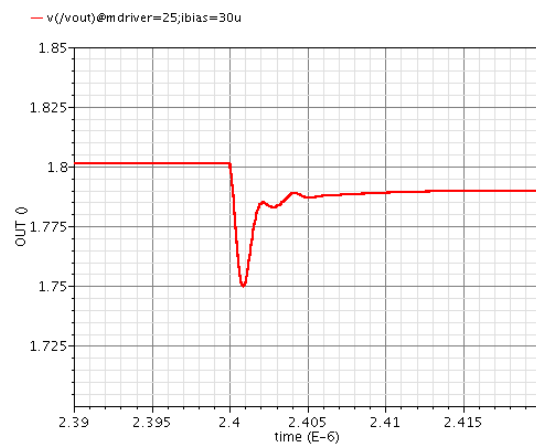
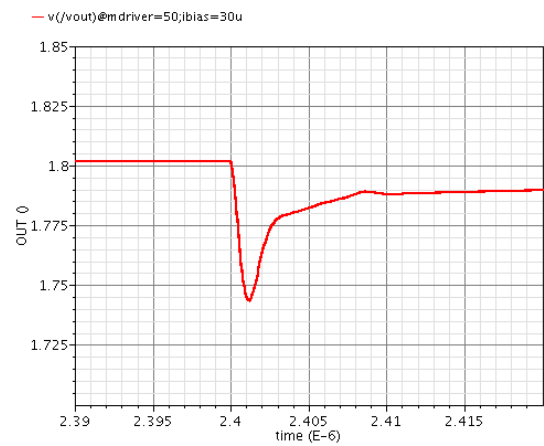
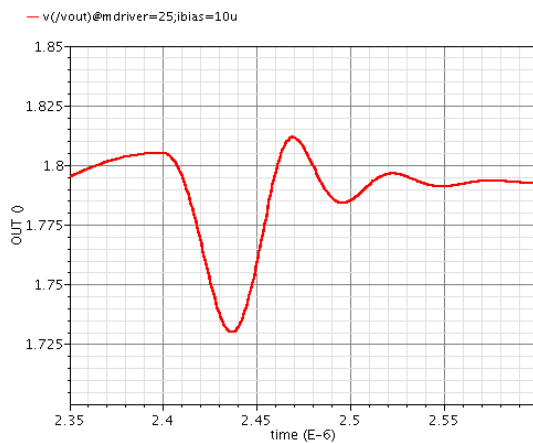
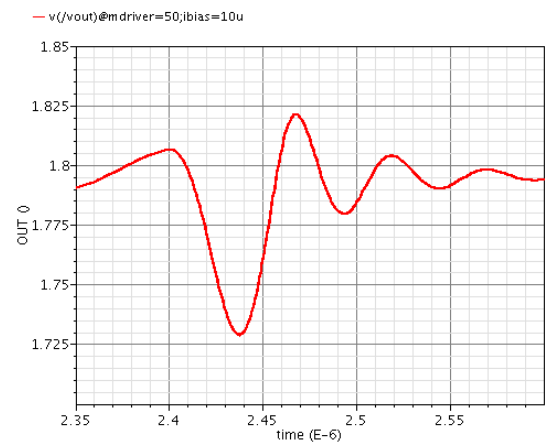
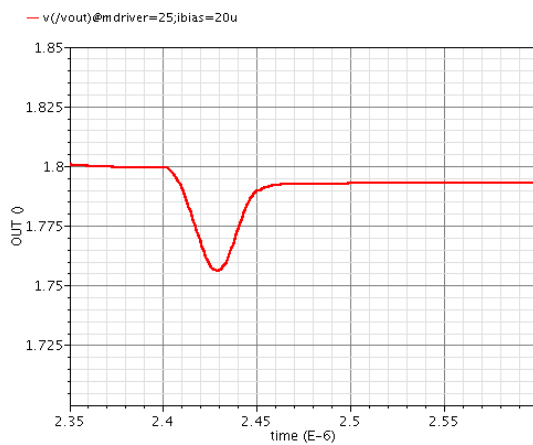
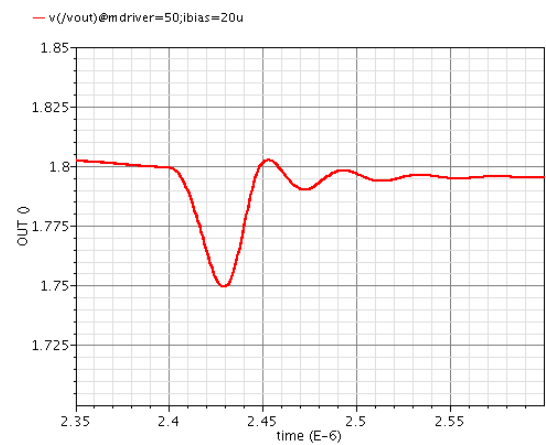
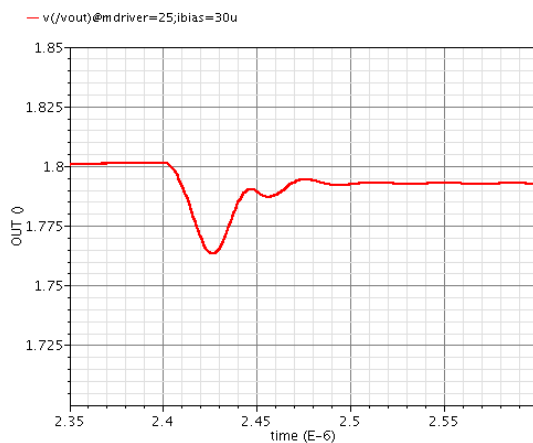
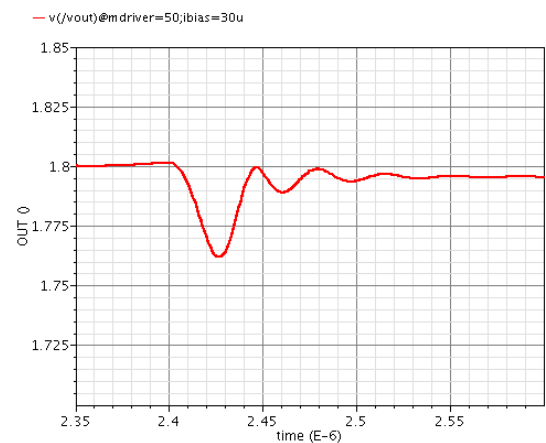


Figura 4.7 – Resposta ao transiente de carga de 100 μA a 10 mA e de volta a 100 μA .

Os gráficos da **Figura 4.8** ilustram a resposta do regulador compacto ao transiente de carga para diferentes valores da corrente de polarização (ibias) e diferentes tamanhos do transistor de saída, em processo típico, a 27 $^{\circ}\text{C}$. Como na figura anterior, a corrente de carga varia do valor mínimo para o máximo em 50 ns. No pior caso, a queda de tensão na saída devido ao transitório de corrente é de apenas 90 mV.

(a) $ibias = 10 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(b) $ibias = 10 \mu A$, $M1(W/L) = 500/0,72 \mu m$.(c) $ibias = 20 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(d) $ibias = 20 \mu A$, $M1(W/L) = 500/0,72 \mu m$.(e) $ibias = 30 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(f) $ibias = 30 \mu A$, $M1(W/L) = 500/0,72 \mu m$.**Figura 4.8** – Resposta ao transiente de carga de $100 \mu A$ a $10 mA$.

(a) $i_{bias} = 10 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(b) $i_{bias} = 10 \mu A$, $M1(W/L) = 500/0,72 \mu m$.(c) $i_{bias} = 20 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(d) $i_{bias} = 20 \mu A$, $M1(W/L) = 500/0,72 \mu m$.(e) $i_{bias} = 30 \mu A$, $M1(W/L) = 250/0,72 \mu m$.(f) $i_{bias} = 30 \mu A$, $M1(W/L) = 500/0,72 \mu m$.**Figura 4.9** – Resposta ao transiente de carga de $100 \mu A$ a $10 mA$ incluindo capacitor de carga de $1 nF$.

Considerando variações em processo, temperatura e tensão de alimentação, resultados de simulações mostraram que maior queda de tensão na saída do regulador, devido ao transitório de corrente, seria de apenas 115 mV a 150 °C.

Os gráficos da **Figura 4.9** mostram a resposta do regulador compacto ao transiente de carga para diferentes valores da corrente de polarização (ibias) e dimensão do transistor de saída; entretanto, adicionando-se um capacitor de carga de 1 nF na saída.

Um ponto importante a ser destacado aqui é o tempo de recuperação do regulador. Como observado nas simulações AC, a margem de fase do regulador compacto é degradada com a adição da capacitância de carga na saída.

O transistor de saída tem a capacidade de fornecer corrente para uma transição de baixa para alta demanda de corrente. Todavia, o oposto não acontece. Por exemplo, o microcontrolador pode mudar seu perfil de consumo subitamente, quando a lógica digital é desligada. O regulador, por sua vez, para de fornecer corrente instantaneamente para a carga. Devido à capacitância inerente à malha de alimentação, a energia armazenada é devolvida ao sistema causando uma elevação da tensão, como observado na **Figura 4.10**.

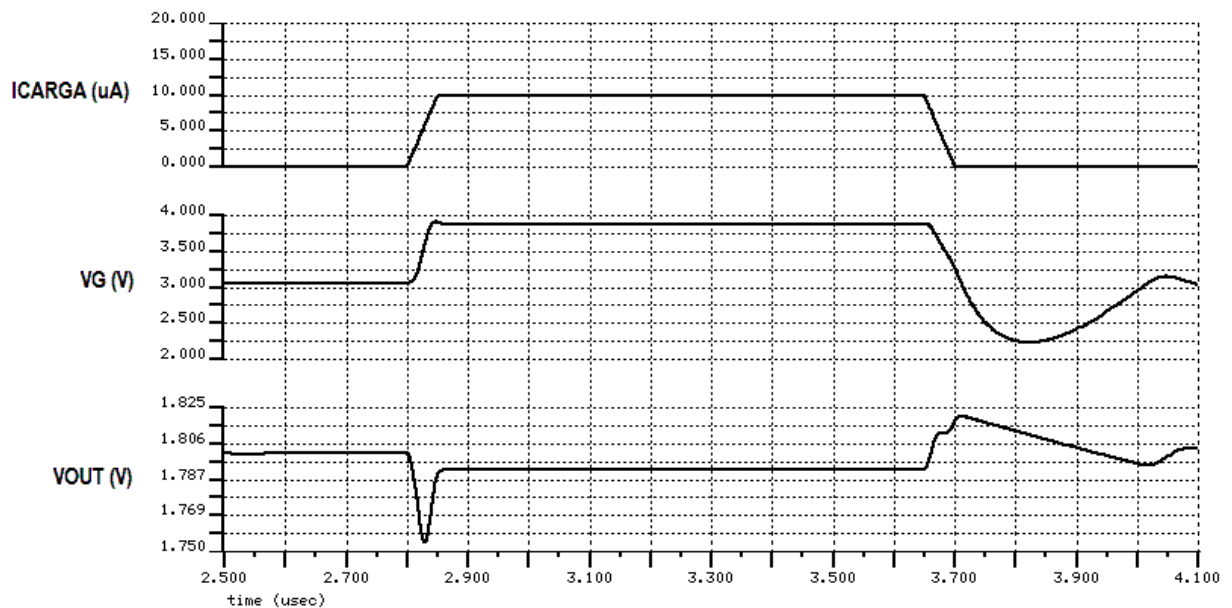


Figura 4.10 – Resposta ao transiente de carga de 100 μ A a 10 mA e de volta a 100 μ A.

Conseqüentemente, a tensão regulada só é trazida ao valor nominal novamente quando a carga residual consumir a energia excedente na malha para um valor tal que o circuito assuma a regulação da tensão novamente. Ou, alternativamente, através de fuga (*leakage*) de corrente da lógica; especialmente em altas temperaturas e para tecnologias de menores geometrias. Nesse caso particular, embora a tensão regulada tenha ultrapassado

quase +25 mV da tensão nominal, o surto não viola a máxima tensão tolerada pela lógica de baixa tensão que é, geralmente, acima de 10% da tensão nominal.

4.4 RESULTADOS DE SIMULAÇÃO: MODELAMENTO DE CARGA DIGITAL

Um modelo de carga baseado na lógica digital de uma MCU real foi elaborado a partir da extração de parasitas da malha de alimentação do *core* do microcontrolador modelo MC13237 da NXP Semiconductors. Ele foi escolhido por ser um micro compacto e pelo fato de seu regulador interno ser similar, em capacidade de corrente, ao protótipo feito em 90 nm.

O modelo extraído leva em conta resistências e capacitâncias parasitas associadas aos barramentos de potência do SoC. Ao todo, são mais de 125,000 portas lógicas espalhadas (e alimentadas) ao longo de 49 regiões (segmentos), próximas e distantes, da saída do regulador. Cada segmento comporta, em média, 2550 portas mais capacitores de desacoplamento (*filler capacitors*), totalizando 2,2 nF espalhados pelo SoC. A profundidade lógica máxima é de 10 grupos lógicos em série. A **Figura 4.11** ilustra a malha de potência do microcontrolador MC13237 da NXP do qual foi extraído o modelo de carga para simulação.

Nesse modelo, assim como no *chip* real, cerca de 30% de todo circuito lógico está comutando simultaneamente. Baseado nessas informações, o modelo de carga lógica resultante é uma boa aproximação da carga real do regulador.

As formas de onda da **Figura 4.12** mostram os resultados da simulação utilizando o modelo de carga proposto. Inicialmente, a frequência de relógio é de 250 kHz, que caracteriza uma condição de operação de baixo consumo de energia. Em 14 μ s, a frequência de relógio salta para 16 MHz, que denota uma mudança no modo de operação da MCU. Observe que o regulador, juntamente com o capacitor de carga, é incumbido de prover picos de corrente com duração menor que 1 ns e amplitude maior que 350 mA. A carga consome 1 mA_{RMS} quando a frequência de relógio é de 250 kHz e 15 mA_{RMS} quando a frequência sobe para 16 MHz.

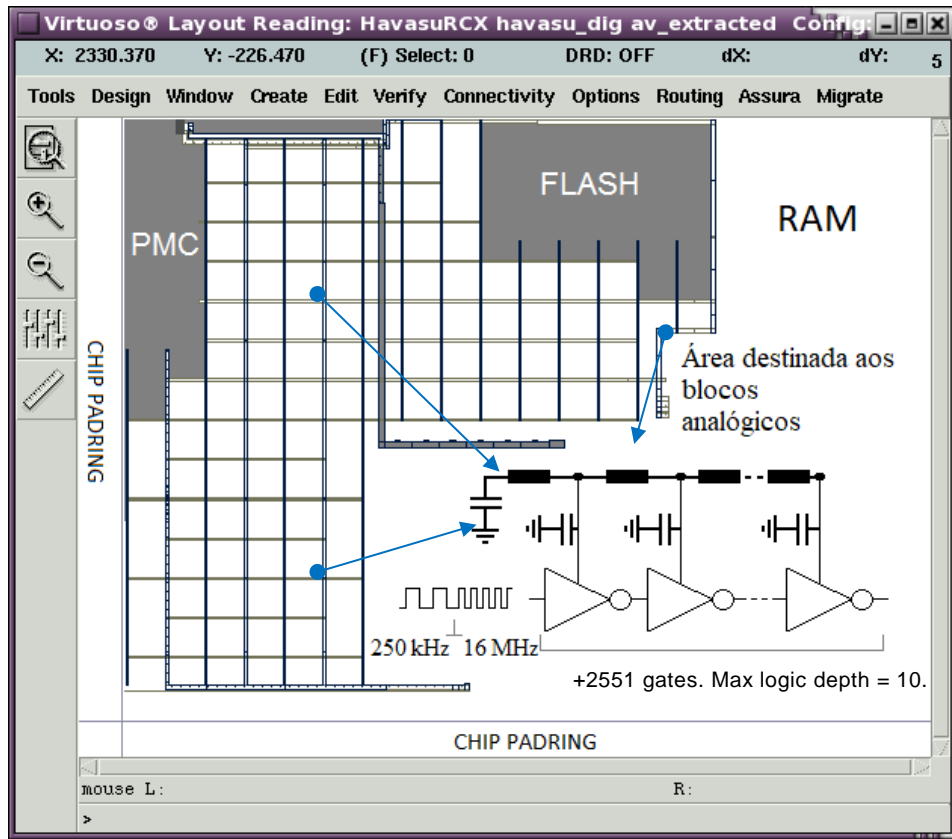


Figura 4.11 – Diagrama simplificado da malha de potência do MC13237 da NXP.

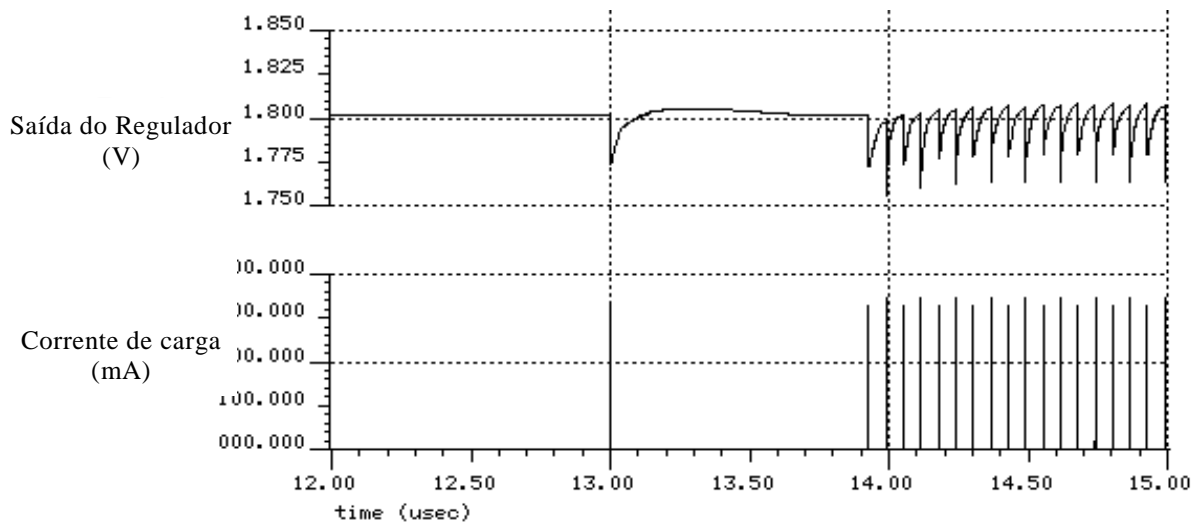


Figura 4.12 – Simulação do regulador compacto com modelo de carga representando a lógica digital do microcontrolador MC13237 da NXP.

5 RESULTADOS EXPERIMENTAIS EM CMOS 90 nm

O circuito do regulador compacto foi implementado em tecnologia CMOS *Split Gate TFS (Thin Film Storage)* de 90 nm. O núcleo do regulador ocupa uma área de apenas 75 μm x 55 μm . Esse projeto foi concebido para fornecer uma corrente de até 10 mA contínua. A **Figura 5.1** mostra microfotografias do circuito fabricado. O regulador compacto se encontra na parte superior à esquerda.

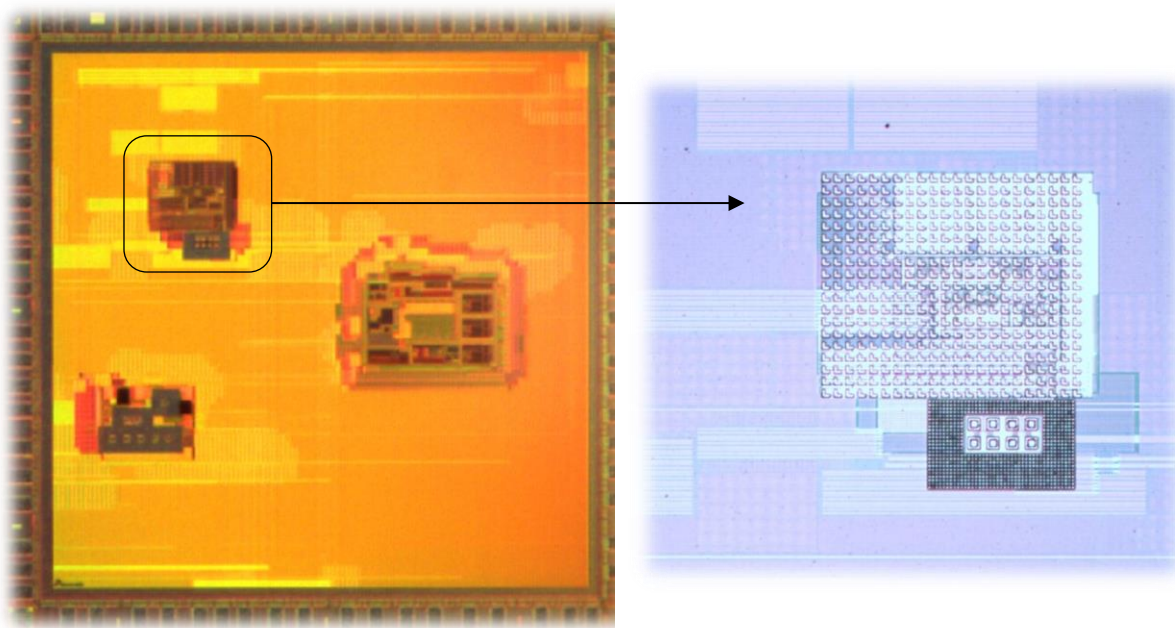


Figura 5.1 – Regulador compacto fabricado em tecnologia CMOS SG TFS de 90 nm.

O veículo de teste em 90 nm foi desenvolvido na NXP Semiconductors e recebeu o nome de *Pioneer 7*. Além do regulador compacto, o veículo de teste destinou-se, também, à avaliação de outros módulos analógicos.

A **Figura 5.2** ilustra a placa de circuito impresso construída para caracterização dos módulos do *Pioneer 7*, incluindo o regulador compacto. A **Figura 5.3** e **Figura 5.4** mostram a bancada de teste em que foram coletados os resultados experimentais. Na **Figura 5.5**, as peças encapsuladas em QFP64.

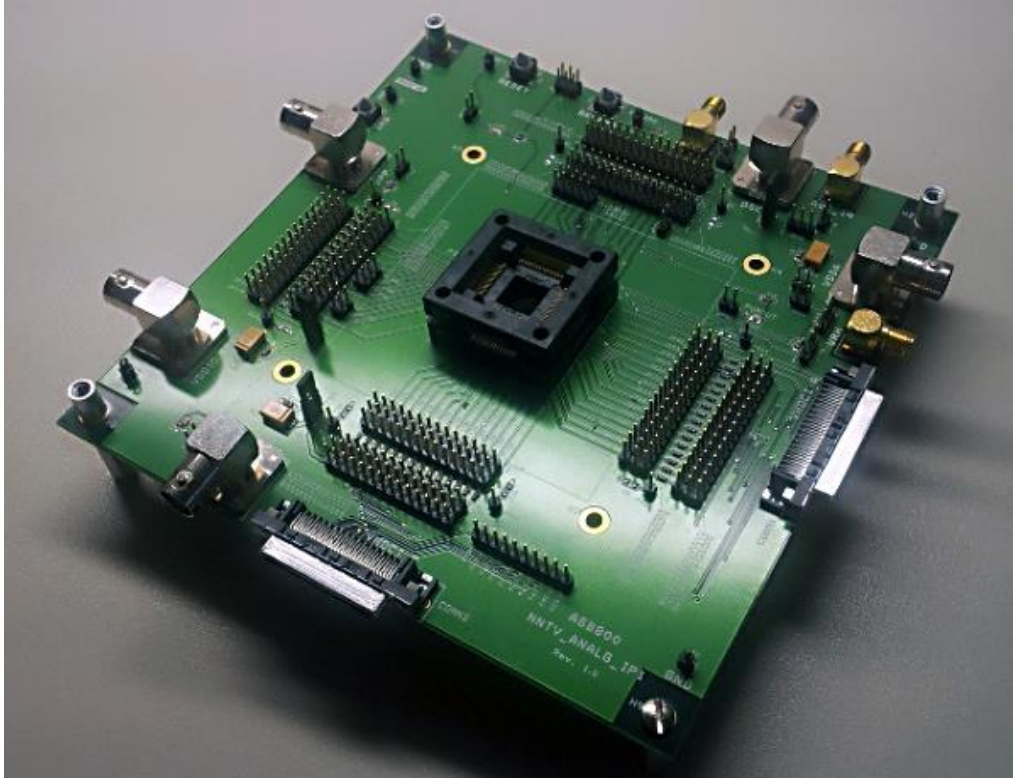


Figura 5.2 – Placa utilizada na caracterização do regulador compacto em tecnologia CMOS 90 nm.

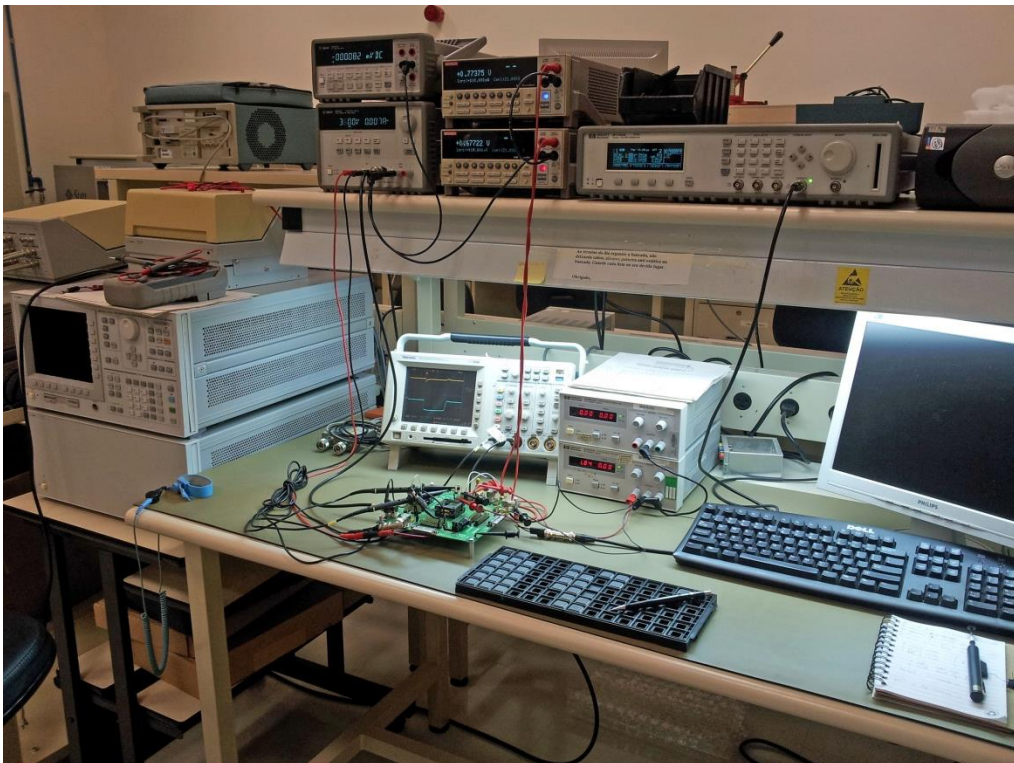


Figura 5.3 – Bancada de testes utilizada na caracterização do regulador compacto.

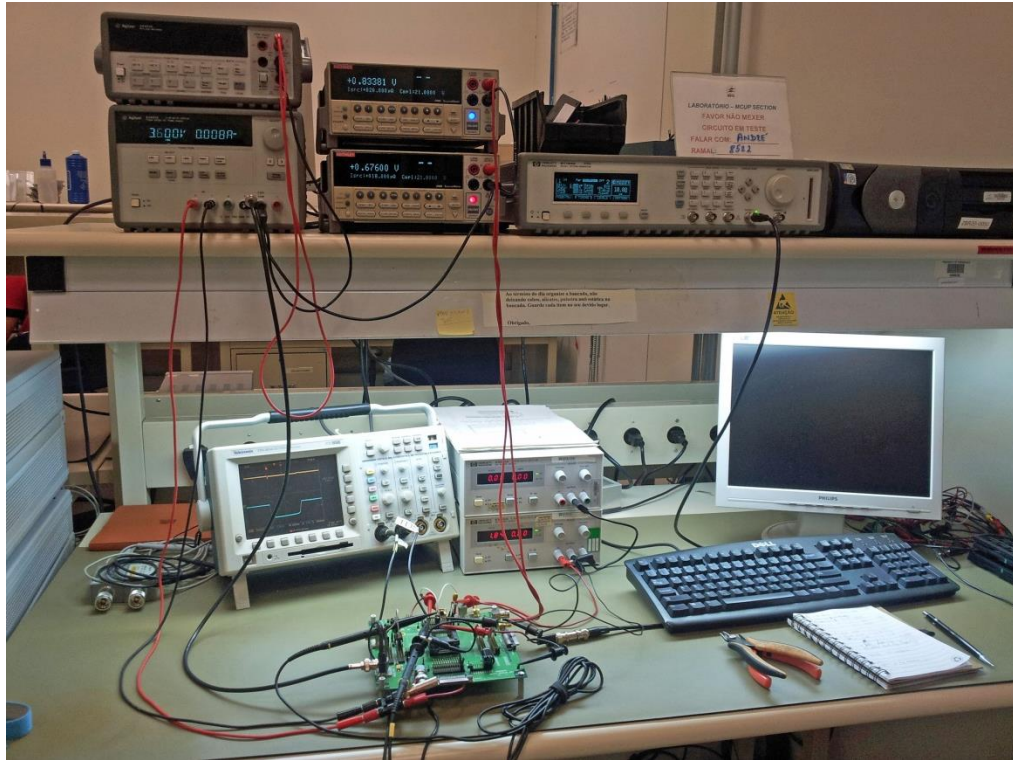


Figura 5.4 – Bancada de testes utilizada na caracterização do regulador compacto.

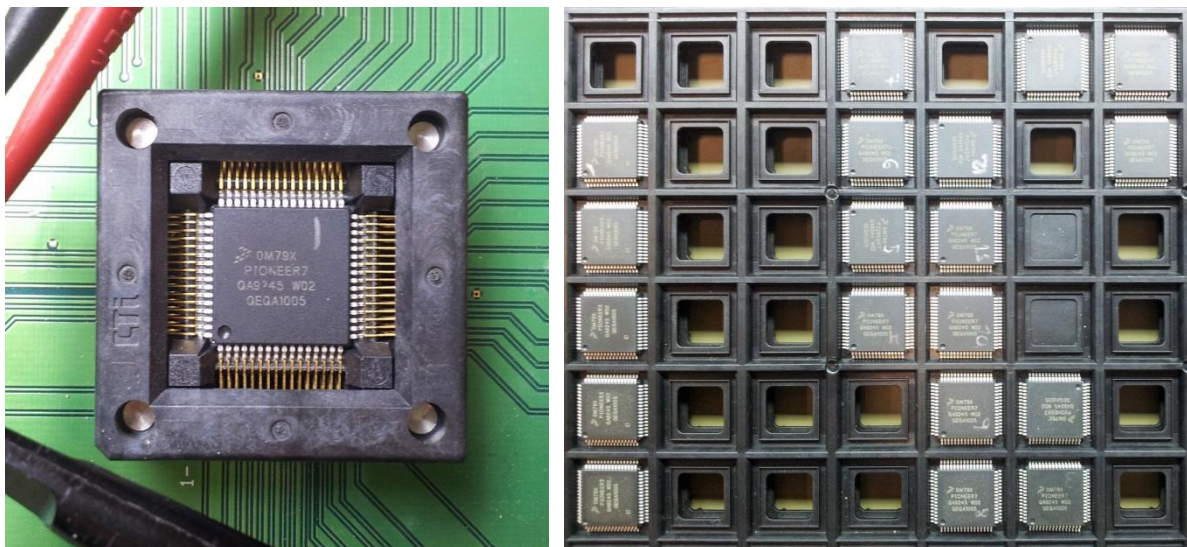


Figura 5.5 – Regulador compacto encapsulado em QFP64.

Nos testes a seguir, os pinos vdd5 e vdd_pump são, respectivamente, as entradas da tensão de alimentação e de tensão elevada de fonte dos espelhos PMOS. vref é a tensão de referência, a mesma que se deseja na saída do regulador. Para a implementação em 90 nm,

o buffer foi substituído por uma fonte de tensão externa programável para gerar a referência v_{ref} de 1,80 V.

A corrente de polarização ibias utilizada para caracterização do circuito varia de 10 μA a 40 μA , com o intuito de observar o comportamento do regulador nos transientes de carga para diferentes valores de corrente.

O circuito elevador de tensão (**Anexo 1**) foi utilizado na caracterização do regulador compacto apenas nos testes de regulação de linha e de carga. Nos demais testes, o pino `vdd_pump` foi ligado a `vdd5`.

5.1 CARACTERÍSTICA DC DO REGULADOR COMPACTO

Com a tensão de saída (v_{out}) ajustada para 1,8 V, esse teste é feito baixando-se a tensão de alimentação gradativamente e monitorando a tensão de saída para alguns valores de corrente de carga. O circuito elevador de tensão mantém a tensão `vdd_pump` fixa em 5,0 V para toda faixa de tensão de entrada. A **Figura 5.6** (a, b, c) mostra os resultados de regulação de linha do regulador compacto para diferentes valores de carga. O regulador desempenha perfeitamente a função LDO mesmo utilizando um transistor de saída NMOS. Isso ocorre devido à tensão de fonte dos espelhos PMOS estar em um potencial mais alto que a própria alimentação; dessa forma, a excursão da tensão de porta do transistor de saída é maior, possibilitando a funcionalidade LDO do regulador.

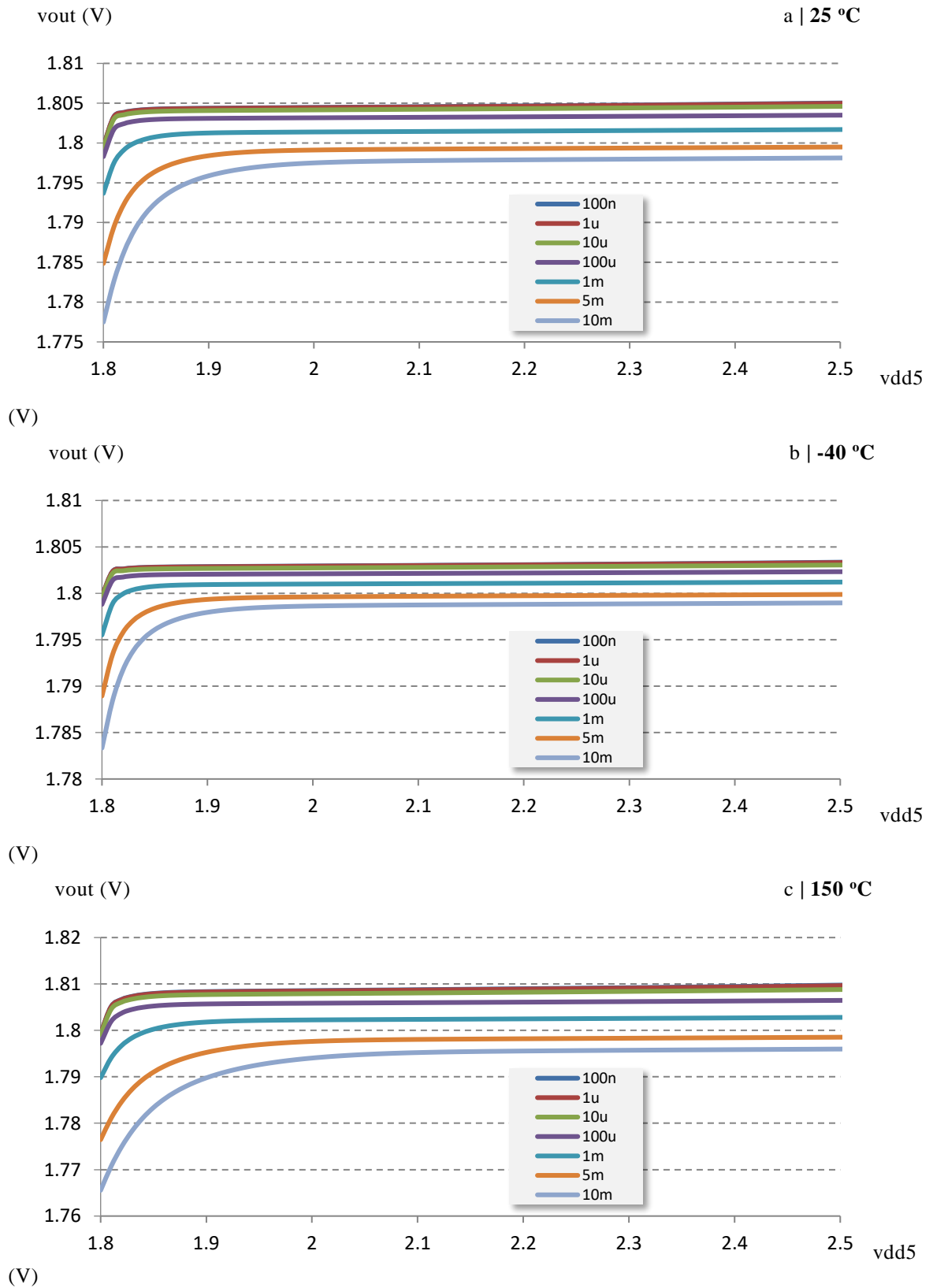


Figura 5.6 – Regulação de linha para diferentes valores de carga: (a) 25 °C, (b) -40 °C e (c) 150 °C.

5.2 RESPOSTA AO TRANSIENTE DE CARGA

A seguir, a resposta ao transiente de carga do regulador compacto é apresentada. Para a realização do teste, a montagem da **Figura 5.7** foi construída.

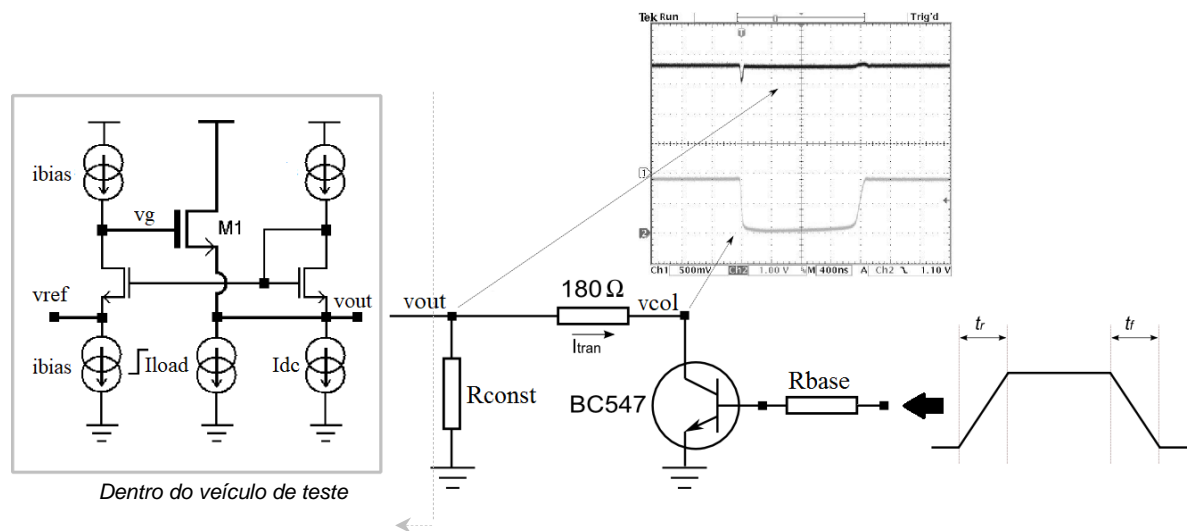
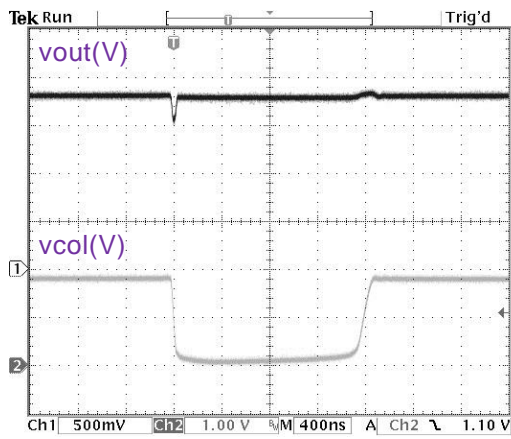
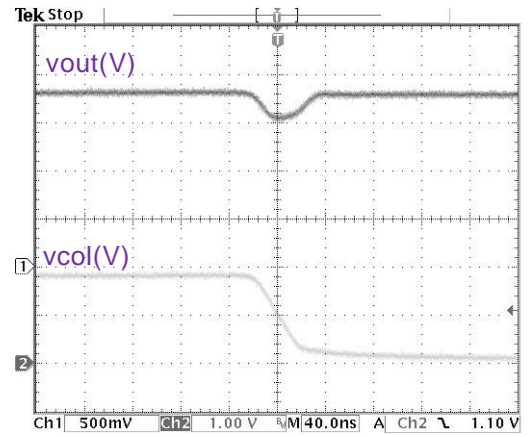
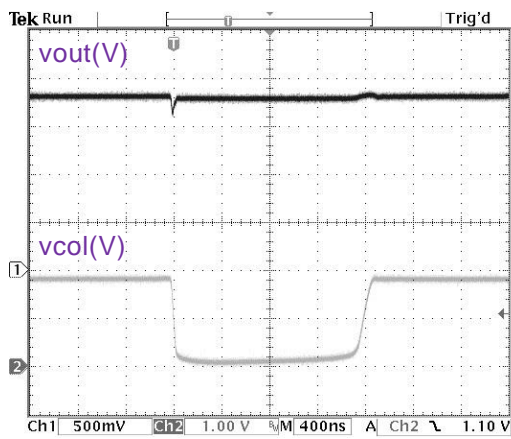
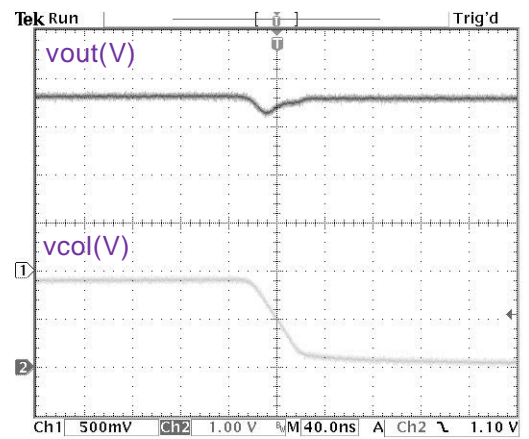
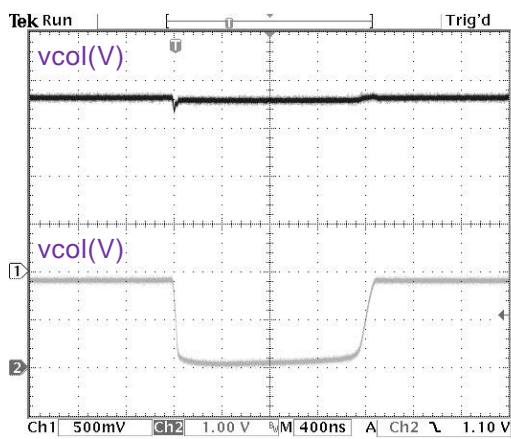
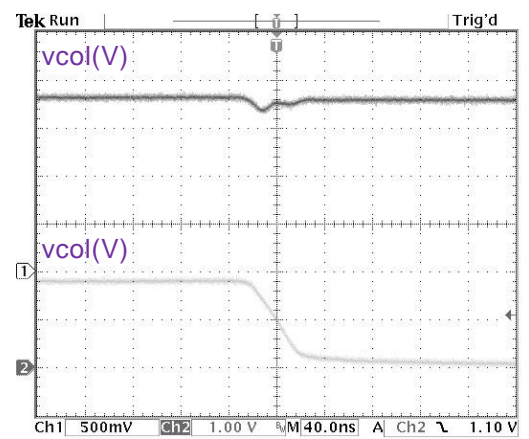


Figura 5.7 – Montagem para o teste de resposta ao transiente de carga.

Para os testes a seguir, a tensão de referência fornecida externamente é de 1,80 V. A carga constante do circuito é de 100 μ A. O resistor Rconst é dimensionado de forma que a corrente através de Rconst mais I_{dc} totalize 100 μ A. A corrente de transiente de 10 mA passa pelo resistor de 180 Ω quando o transistor bipolar, funcionando como chave, é fechado. Um gerador de padrão modelo 8104A da Hewlett-Packard foi utilizado para controlar a base do transistor bipolar.

Embora a corrente de carga não tenha sido medida diretamente, a tensão de coletor do bipolar foi capturada. Nos gráficos a seguir, de cima para baixo, a primeira forma de onda (vout) é a tensão de saída do regulador. A segunda forma de onda (vcol) mostra a tensão de coletor do transistor bipolar.

Os testes foram feitos em temperatura ambiente para diferentes valores da corrente de polarização, com o objetivo de se examinar a resposta do circuito em função do consumo.

(a) Corrente de polarização de 10 μA .(b) Corrente de polarização de 10 μA (ampliação).(c) Corrente de polarização de 20 μA .(d) Corrente de polarização de 20 μA (ampliação).(e) Corrente de polarização de 40 μA .(f) Corrente de polarização de 40 μA (ampliação).**Figura 5.8** – Transientes de carga no regulador compacto.

No pior caso, a queda na tensão de saída do regulador é de quase 300 mV para uma transição da corrente de carga de 100 μA a 10 mA em 40 ns (t_r na **Figura 5.7**). No entanto, se a corrente de polarização for duas vezes maior, a queda de tensão na saída é menor que 200 mV. Com 40 μA , a queda de tensão é de 150 mV. Correntes de polarização acima de 40 μA não melhoram significativamente a resposta do regulador. Para esse projeto, esse foi o limite encontrado.

Para transições da corrente de carga mais longas que 500 ns, a tensão de saída do regulador não demonstrou sofrer qualquer alteração.

A adição de um capacitor de carga de 3,3 nF à saída do regulador faz com uma pequena oscilação apareça na saída do regulador, em função da degradação da margem de fase. Além disso, o tempo de recuperação de uma transição de alta para baixa corrente é mais lento ($> 1 \mu\text{s}$), como observado na **Figura 5.10**. Isso acontece porque o regulador tem capacidade de suprir corrente (*source*) e não de absorvê-la (*sink*). Todavia, esse transitório da tensão de saída não causa qualquer problema em uma aplicação real, visto que ela não ultrapassa 150 mV, valor esse menor que os +10% do valor máximo tolerado pela tecnologia.

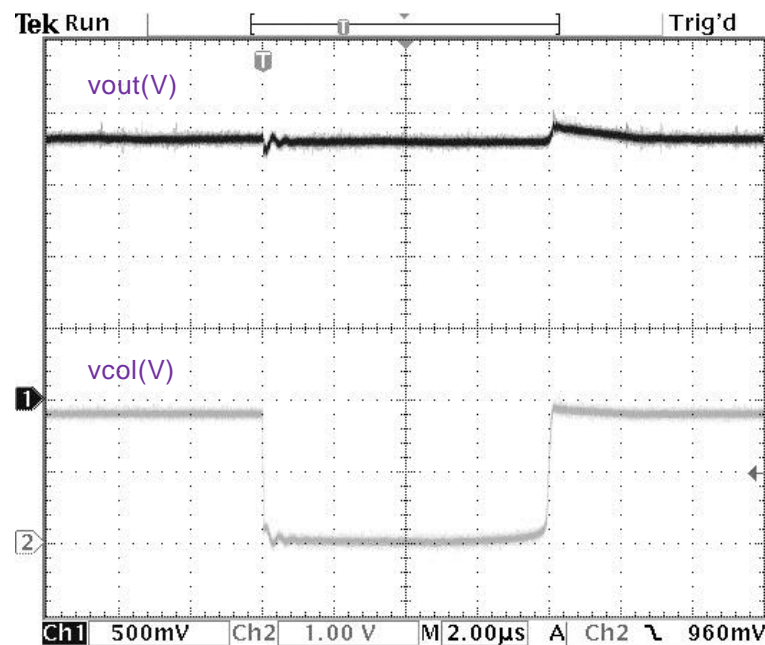


Figura 5.9 – Resposta ao transiente de carga com um capacitor de 3,3 nF na saída.

5.3 PSRR (*POWER SUPPLY REJECTION RATIO*)

Os resultados do fator de rejeição de fonte (*PSRR*) são mostrados a seguir. Os valores obtidos foram inferiores aos simulados anteriormente, puramente com o circuito. Isso ocorreu devido ao fato do regulador compacto partilhar seus pinos com outros circuitos dentro do *chip* de teste. Além disso, o próprio barramento de *pads*, que inclui estruturas de proteção de ESD, causa uma degradação considerável no fator de rejeição. Isso foi comprovado quando o regulador compacto foi simulado no topo do *chip*. A estrutura de proteção de ESD acopla o sinal senoidal da alimentação até a referência de entrada do regulador; como resultado, um componente senoidal é agregado à referência DC do regulador forçando a saída do regulador a acompanhar as variações em sua entrada.

Mesmo sem incluir a malha RLC de parasitas associados ao *layout* de topo do *chip*, a redução do PSRR é substancial, conforme observado na **Figura 5.10**. Para o gráfico a seguir, a corrente de carga escolhida foi de 100 μA .

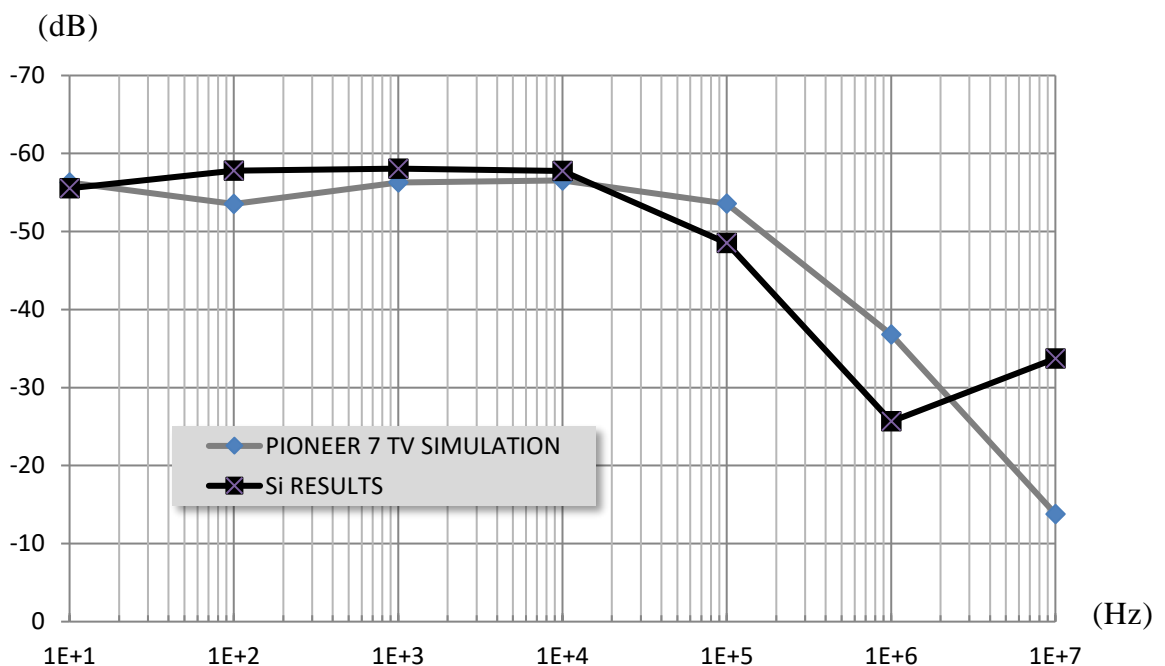


Figura 5.10 – PSRR do regulador compacto no *Pioneer 7*. Simulação *versus* medidas.

5.4 REGULADOR COMPACTO ALIMENTANDO UMA MCU M68HC08

As formas de onda a seguir mostram o regulador compacto alimentando um microcontrolador modelo MC68HC908QY4A da NXP. Essa MCU possui um regulador interno que alimenta a lógica com 2,0 V. Quando a tensão externa se aproxima de 2,0 V, o regulador entra em modo passagem (*pass-through*), ou seja, seu transistor de saída passa a funcionar como chave entre a tensão externa e a interna do SoC. Neste caso, a tensão de saída do regulador compacto foi ajustada para 1,90 V e ligada ao pino de alimentação externa da MCU. O *software* carregado na memória FLASH da peça faz uma transição de ultrabaixo consumo ($< 1 \mu\text{A}$) para um modo de operação de alto consumo (13 mA) a cada 8 ms, lá permanecendo por 500 μs .

Durante as transições de modo, o regulador compacto mantém a tensão regulada em 1,90 V ± 75 mV. A tensão externa na entrada do regulador compacto foi ajustada para 3,3 V e não há capacitor na saída; existe apenas a capacitância interna da lógica digital. A **Figura 5.11** mostra a forma de onda obtida nessa montagem.

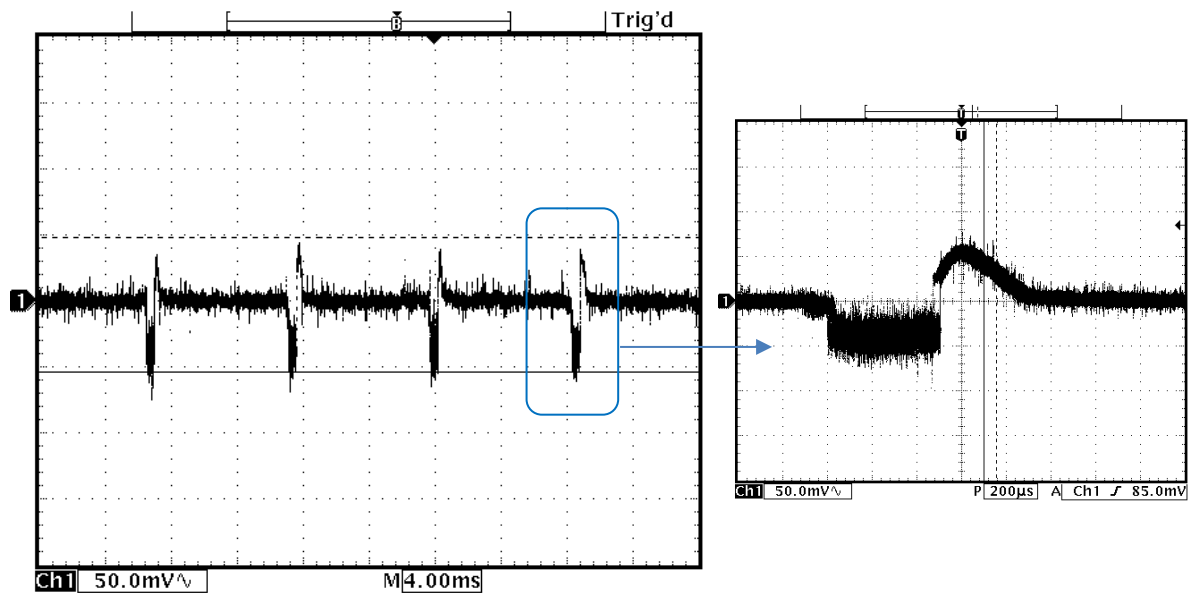


Figura 5.11 – Tensão de saída do regulador compacto alimentando um microcontrolador MC68HC908QY4A da NXP.

6 RESULTADOS EXPERIMENTAIS EM CMOS 55 nm

O regulador compacto foi implementado também em processo CMOS com geometria de 55 nm. Todavia, para esta aplicação, especificamente, o circuito não foi otimizado para velocidade, mas, sim, para baixo consumo. Na aplicação em questão, esse circuito é responsável por alimentar um segmento lógico de memória durante a ausência de sinal de relógio no sistema. Nessas condições, o regulador é responsável por fazer a retenção do conteúdo da memória RAM durante um modo de operação de baixo consumo. Outros periféricos como um oscilador a cristal de 32 kHz e monitores de tensão também são alimentados pelo regulador.

Esse circuito é parte do módulo de gerenciamento de potência dos microcontroladores da família MPC574xP de 32 bits da NXP.

Projetado para uso em ambientes industrial e automotivo, esse regulador é capaz de fornecer até 8 mA. Diferente da versão em 90 nm, a tensão nominal saída (e da lógica) é de 1,25 V. Sendo os limites de tensão mínima/máxima mais estreitos, o circuito deve ter um baixo espalhamento da tensão de saída, especialmente em altas temperaturas, quando as correntes de fuga são bem maiores.

A **Figura 6.1** mostra o diagrama esquemático do regulador construído em processo CMOS de 55 nm. A tensão de alimentação desse regulador pode variar de 2,3 V a 5,5 V. A corrente de referência do bloco é de 250 nA. A tensão de referência v_{ref} é proveniente de um circuito combinando *bandgap/buffer*, de baixo consumo, que fornece uma tensão de 1,25 V ao regulador. Um filtro RC foi colocado entre a referência de tensão e o regulador, de modo que, quando o circuito é ligado, não introduza perturbações na referência de baixo consumo. O consumo total do circuito é menor que 2 μ A a 150 °C, independente da carga.

Esse circuito foi testado em temperatura e tensão para diversos *wafer lots*. A **Tabela 6.1** ilustra as condições do processo (*split lots*) dos quais os resultados foram extraídos.

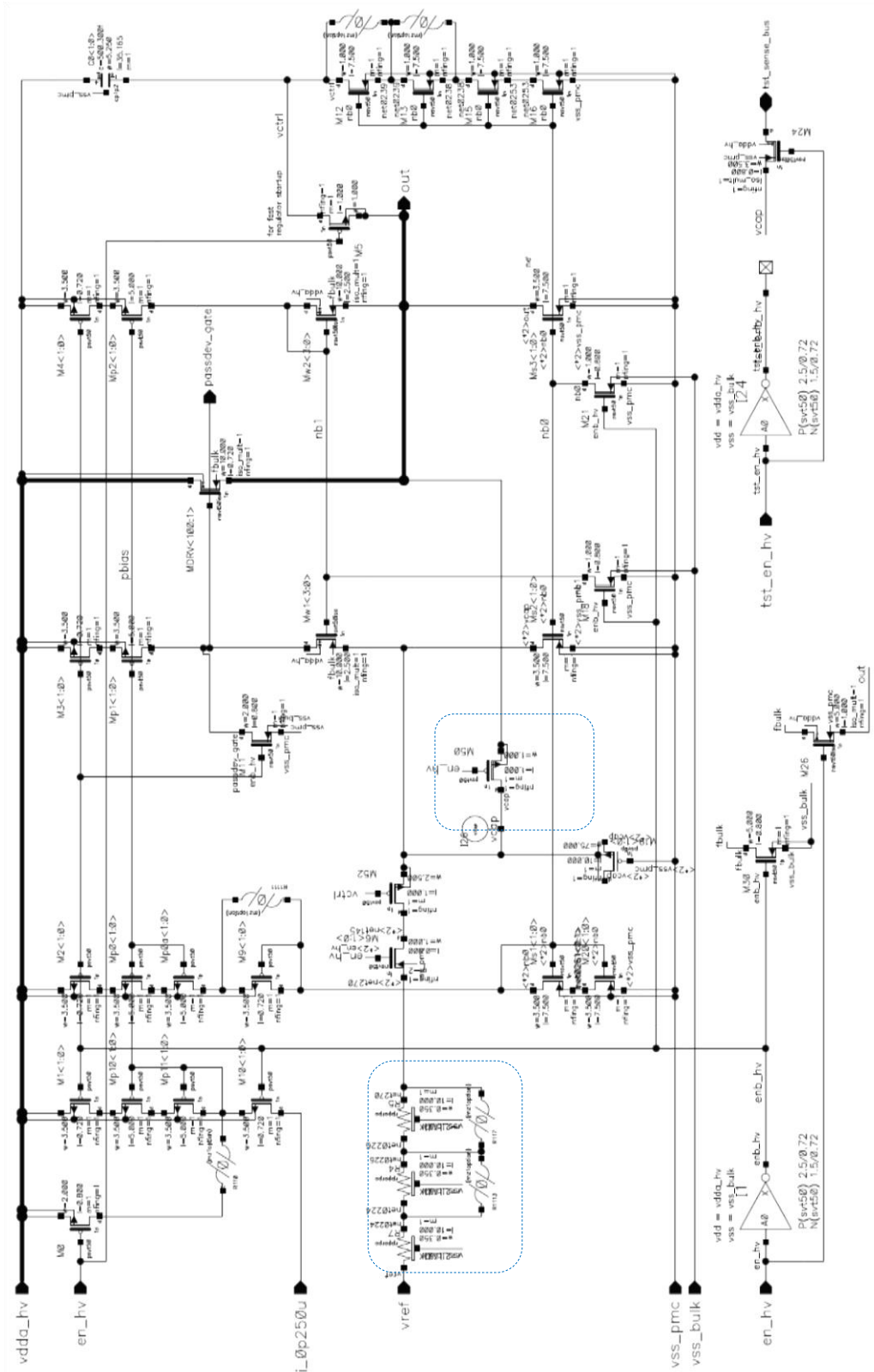


Figura 6.1 – Regulador Compacto em tecnologia CMOS 55 nm.

Tabela 6.1 – *Split lots* em CMOS 55 nm.

split name	nmos LV	pmos LV	nmos HV	pmos HV
Bl	typ	typ	typ	typ
LV ff	fast 3 σ	fast 3 σ	typ	typ
LV ss	slow 3 σ	slow 3 σ	typ	typ
LV fs	fast 2 σ	slow 2 σ	typ	typ
LV sf	slow 2 σ	fast 2 σ	typ	typ
HV ff	typ	typ	fast 3 σ	fast 3 σ
HV ss	typ	typ	slow 3 σ	slow 3 σ
LVHV ffff	fast 3 σ	fast 3 σ	fast 3 σ	fast 3 σ
LVHV ssss	slow 3 σ	slow 3 σ	slow 3 σ	slow 3 σ
LVHV ffss	fast 3 σ	fast 3 σ	slow 3 σ	slow 3 σ
LVHV ssff	slow 3 σ	slow 3 σ	fast 3 σ	fast 3 σ
LVHV ssff	slow 3 σ	slow 3 σ	fast 3 σ	fast 3 σ
LVHV fssf	fast 2 σ	slow 2 σ	slow 2 σ	fast 2 σ
LVHV sffs	slow 2 σ	fast 2 σ	fast 2 σ	slow 2 σ
LVHV fsfs	fast 2 σ	slow 2 σ	fast 2 σ	slow 2 σ
LVHV sfsf	slow 2 σ	fast 2 σ	slow 2 σ	fast 2 σ

LV – Dispositivos com tolerância de até 1,32 V
 HV – Dispositivos com tolerância de até 5,5 V
 bl (*baseline*) - processo típico (typ)
 slow 2 σ / 3 σ – dispositivo com tensão de limiar 2 σ / 3 σ acima do processo típico
 fast 2 σ / 3 σ – dispositivo com tensão de limiar 2 σ / 3 σ abaixo do processo típico

A **Figura 6.2** (a, b, c) mostra, respectivamente, a saída do regulador compacto para diferentes valores de carga e tensão de alimentação em função da temperatura em 160 peças do *split lot*. Nesse padrão de teste, a tensão de entrada foi ajustada em 1,25 V, externamente. Para todos os casos, o espalhamento é menor que +/-1%. O desvio padrão da tensão de saída é de 2,4 mV em -45 °C e 25 °C e 3,0 mV a 150 °C.

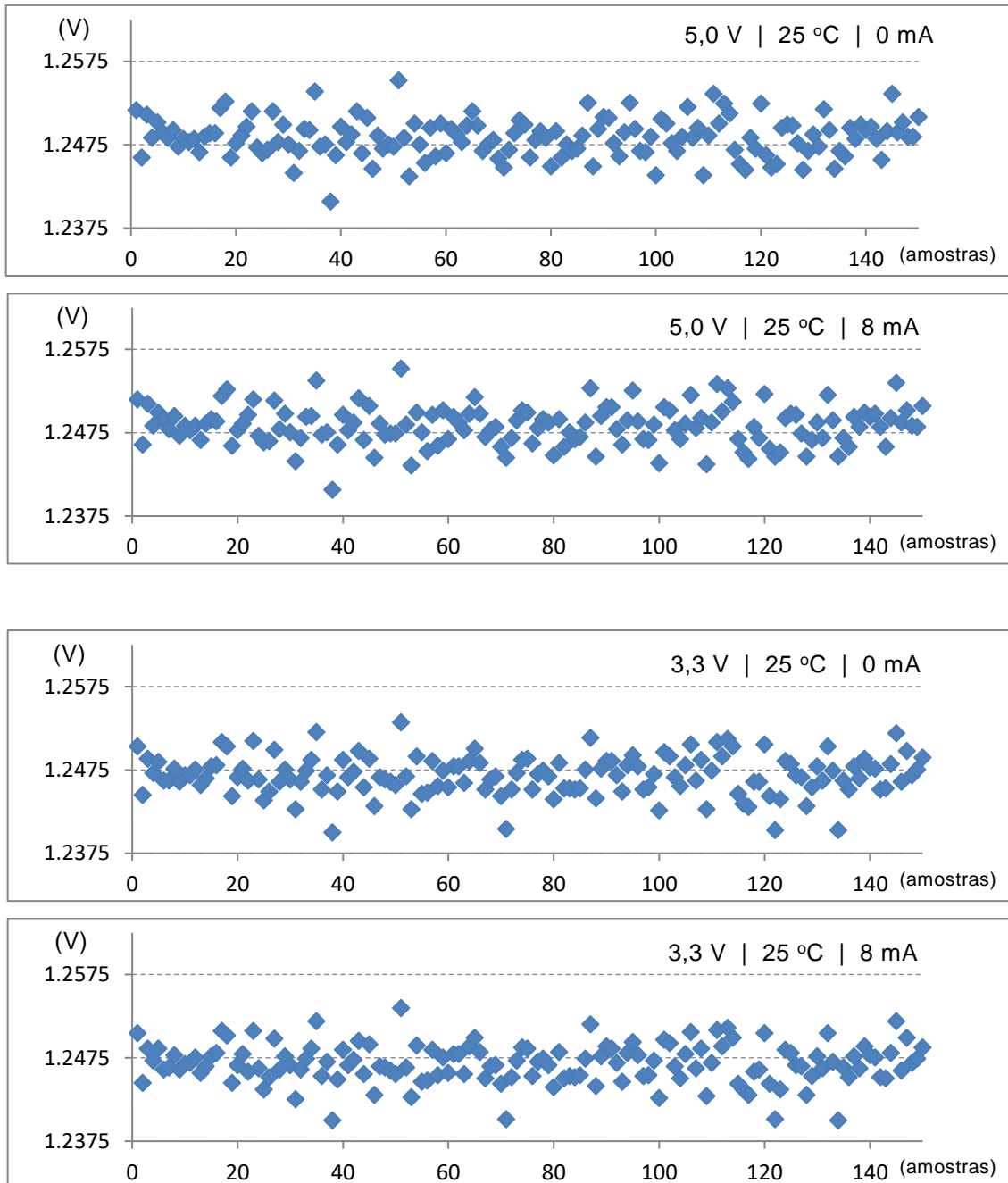


Figura 6.2a – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a 25 °C.

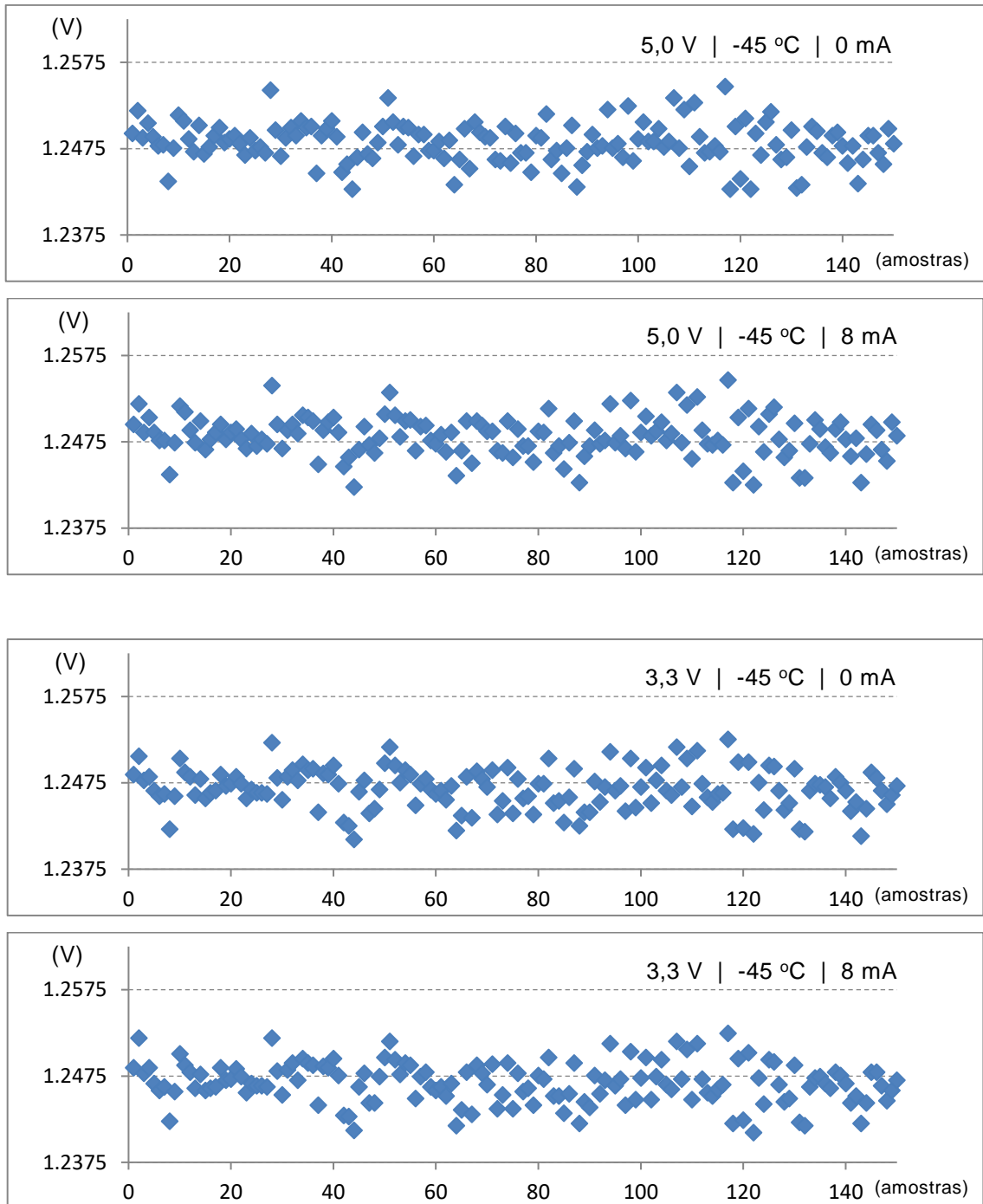


Figura 6.3b – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a -45 °C.

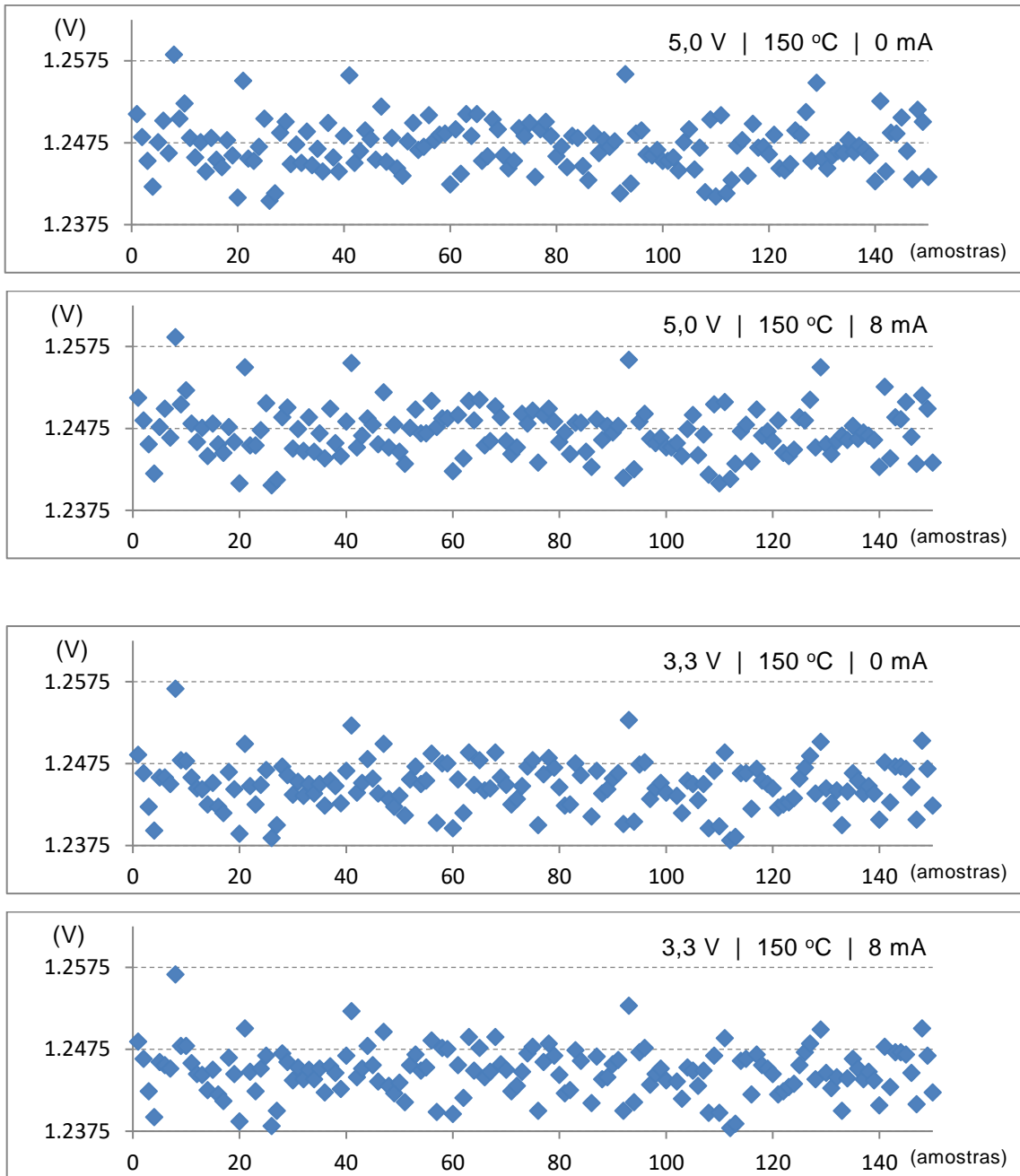


Figura 6.4c – Tensão de saída do regulador compacto em 55 nm em função da tensão de alimentação e da carga a 150 °C.

7 COMPARAÇÃO COM TRABALHOS ANTERIORES

A **Tabela 7.1** compara as características do regulador compacto com outros circuitos em publicações relacionadas. Embora o circuito aqui apresentado tenha menor capacidade de corrente, seu tempo de resposta ao transiente (e de recuperação) é o menor dentre todos. A característica *dropout* do circuito é semelhante às listadas; ou seja, o regulador compacto é capaz de produzir uma tensão de saída com sua entrada 200mV acima dessa tensão.

Para alguns trabalhos, a queda de tensão devido ao transiente de carga é menor que nesse trabalho. Entretanto, o tempo de transição da corrente da carga (*edge time*) é sempre maior que 100 ns. Nesse trabalho, o tempo utilizado nos ensaios em 90 nm é de 40 ns.

Outro aspecto a ser considerado é a diferença (*delta*) entre a corrente inicial e a final, pois a queda de tensão devido ao transiente de carga depende fortemente disso. Para o projeto de um regulador utilizado para suprir cargas de natureza digital, é prática comum determinar um *delta* de carga de 10 a 100 vezes. Isso porque, quase sempre, o regulador fornece corrente para outros blocos não puramente digitais que requerem uma corrente quase constante na maior parte do tempo. Todavia, para os circuitos projetados para fornecer tensões de saída igual ou menor que 1 V, as quedas de tensão são mais críticas pois podem facilmente violar a mínima tensão de verificação (*sign-off*) da lógica digital.

Os parâmetros regulação de linha, regulação de carga e o PSRR estão similares aos dos trabalhos relacionados.

Em todos os trabalhos a corrente quiescente não ultrapassou 100 μ A. Isso não é problema considerando que os reguladores entregam correntes sempre muito maiores que suas respectivas correntes quiescentes.

Tabela 7.1 – Comparação de desempenho com os reguladores previamente publicados.

	[45]	[16]	[25]	[46]	[44]	[43]	[19]	[30]	Este Trabalho	Unidade
Ano	2007	2010	2011	2012	2011	2012	2010	2014	2014	
Tecnologia (um)	0,35	0,35	0,35	0,35	0,35	0,065	0,09	0,13	0,09 e 0,055	µm
Tensão de alimentação	3	1,8-4,5	1,2	2,5		1,2	0,75-1,2	1,2	1,8-5,5 V	V
Tensão de saída	2,8	1,6	1,0	1,6	1,5	1,0	0,5-1,0	1,0	1,8	V
Queda de tensão devido ao transiente de carga	0,090 0 mA a 50 mA 1 us edge time	0,062 10 mA a 100 mA 100 ns edge time	0,160 0.1 mA a 100 mA 100 ns edge time	0,243 50 µA a 100 mA 500 ns edge time	0,025 0 mA a 100 mA 1 u edge time	0,0369 1 mA a 100 mA 300 ns edge time	0,058 3 mA a 100 mA 100 ns edge time	200 mV 200 ns edge time	0,150 0,1 mA a 10 mA 40 ns edge time	V
Tempo de recuperação	15	9	9	0,15	1	6000	5	1	0,06	µs
Corrente Quiescente	65	20	18	7	27	0,9-82,4	8	99	80 ¹	µA
Máxima corrente de saída	50	100	100	100	100	100	100	5	10	mA
Regulação de linha	-	0,0574	22	1	1,046	4,7	3,78		-	mV/V
Regulação de carga	-	0,109	0,0576	0,08	0,0752	0,3			0,5 @ 90 nm	mV/ mA
PSRR	-57 @ 1kHz	-40 @ 10kHz	-	-	-39,5 @ 10 kHz	-58 @ 10 kHz	-44 @ 1 kHz -5 @ 100 kHz	-93,6 @ 1 kHz -57,2 @ 1 MHz -41,1 @ 10 MHz **	-57 @ 10 kHz -27 @ 1 MHz	dB

¹ Considerando a máxima corrente de polarização utilizada nos ensaios.

8 CONCLUSÃO

A nova arquitetura de um regulador LDO compacto de alta velocidade aqui apresentada é ideal para aplicações em microcontroladores. Não necessitando de capacitor externo de compensação, esse novo circuito é bastante atraente para microcontroladores com número limitado de pinos.

Medidas em laboratório demonstraram que o novo circuito responde extremamente rápido aos transientes de carga na versão fabricada em tecnologia CMOS 90 nm. Isso o torna apropriado para cargas digitais. Na versão fabricada em 55 nm, mais de uma centena de peças medidas em processo e temperatura serviram para demonstrar que o circuito pode ser projetado para atingir baixo *offset* da tensão de saída assim como operar em modo de baixo consumo; requisitos muito importantes em novas tecnologias de menor geometria.

Ainda na versão fabricada em 90 nm, embora o circuito tenha sido projetado para fornecer apenas 10 mA, dentro de uma MCU é possível que vários reguladores compactos sejam distribuídos ao longo da lógica digital (SoG) para suprir toda a carga necessária. Essa prática, bastante utilizada nos SoC modernos, faz com que as quedas de tensão causadas por roteamentos sejam minimizadas, além de evitar que gradientes térmicos fiquem concentrados em algumas regiões do silício, causando desde avarias de ordem mecânica até variações nas referências de tensão e corrente.

A estrutura simples e de fácil implementação do regulador compacto, alinhada à pequena área do transistor de saída, resulta em vantagem essencial para dispositivos que utilizam reguladores de tensão integrados.

9 TRABALHOS FUTUROS

9.1 O REGULADOR COMPACTO EM NOVAS TECNOLOGIAS

Atualmente, as mais modernas soluções embarcadas destinadas a aparelhos portáteis são projetadas para atender demandas de ultra-baixo consumo e alto desempenho. Novas tecnologias de ponta, como a FDSOI (*Fully Depleted Silicon On Insulator*), estão presentes nos microcontroladores mais modernos para atender as mais variadas necessidades em dispositivos portáteis, de automação e todo tipo de IoT. Nessa tecnologia, a tensão de alimentação da lógica digital é de 1 V para modos de alta performance e em torno de 0,75 V em modos de baixo consumo, geralmente destinados à retenção de dados em memórias voláteis.

Um problema para os reguladores de tensão nessa tecnologia é que, para a lógica digital receber 1 V, o regulador linear deve fornecer uma tensão de pelo menos 25 mV superior a tensão nominal para compensar a queda de tensão devido ao transiente de carga. 25 mV de queda é o que um regulador com capacitor externo nessa tecnologia é capaz de desempenhar para transições abruptas de carga.

Outro ponto a ser considerado é que a frequência de relógio desses processadores é alta (acima de 400 MHz) e as transições de modo podem ser agressivas, especialmente em baixas temperaturas onde o consumo estático (*leakage*) é baixo enquanto que consumo dinâmico pouco dependente da temperatura.

Um regulador do tipo *capacitor-less*, como o regulador compacto, como até então concebido, é incapaz de atender os 25 mV de queda para variações de carga como exercitadas nos circuitos desse documento. Além do mais, processadores mais modernos (como os Arm® Cortex®-M4 e Cortex®-A7) demandam significativamente mais corrente uma vez que o tamanho do *core* digital chega facilmente a um milhão de portas. O Cortex®-M4 de um dispositivo i.MX atual [47] chega a consumir perto de 50 mA em modos de alto desempenho. Para atender essa magnitude de corrente, é possível que o regulador compacto fique lento devido ao tamanho do dispositivo de saída necessário para suprir essa corrente. No entanto, as capacitâncias intrínsecas dos dispositivos dos dispositivos em FDSOI são menores que nas tecnológicas nas quais o regulador compacto foi fabricado. Por outro lado, é provável que a resposta do regulador seja mais rápida comparada com as que foram medidas no circuito em CMOS 90 nm.

Verificar a viabilidade do regulador compacto em FDSOI é ainda um trabalho a ser feito. Paralelamente, existe um outro estudo, até então teórico, sobre otimização do roteamento de potência (*power grid*) de um SoC utilizando o regulador compacto como ponto de partida. Essa abordagem é chamada de DDN (*Distributed Driver Network*).

9.2 DDN - DISTRIBUTED DRIVER NETWORK

A rede distribuída de dispositivos (*Distributed Driver Network*) é uma alternativa para compensar a limitação de corrente imposta pelo tamanho do dispositivo de saída do regulador compacto, assim como para otimizar os barramentos de potência de um SoC. A solução consiste em distribuir múltiplos reguladores compactos através do SoC com o intuito de suprir as demandas locais de carga. Como para cada dispositivo de saída existe um controle associado, cada regulador individual se mantém rápido.

A técnica DDN só é possível porque cada elemento da rede não necessita de um sistema de malha fechada. Apenas são necessárias referências de tensão e corrente sendo levadas até cada unidade do regulador compacto.

A **Figura 9.1** mostra em destaque o roteamento de potência de um microcontrolador NXP da linha 9S08 feito em tecnologia CMOS 0,25 μm . O regulador principal (PMC) deve ficar perto dos módulos de memória que, nesse SoC, representam quase 50% do consumo total. Uma área de aproximadamente 2000 μm X 100 μm de roteamento de potência é gasto apenas para os blocos da FLASH. Embora o SoC tenha um consumo de energia previsível, a queda de tensão pode ser alta especialmente no canto inferior direito, aproximadamente 4 mm distante do módulo de controle de potência do *chip*.

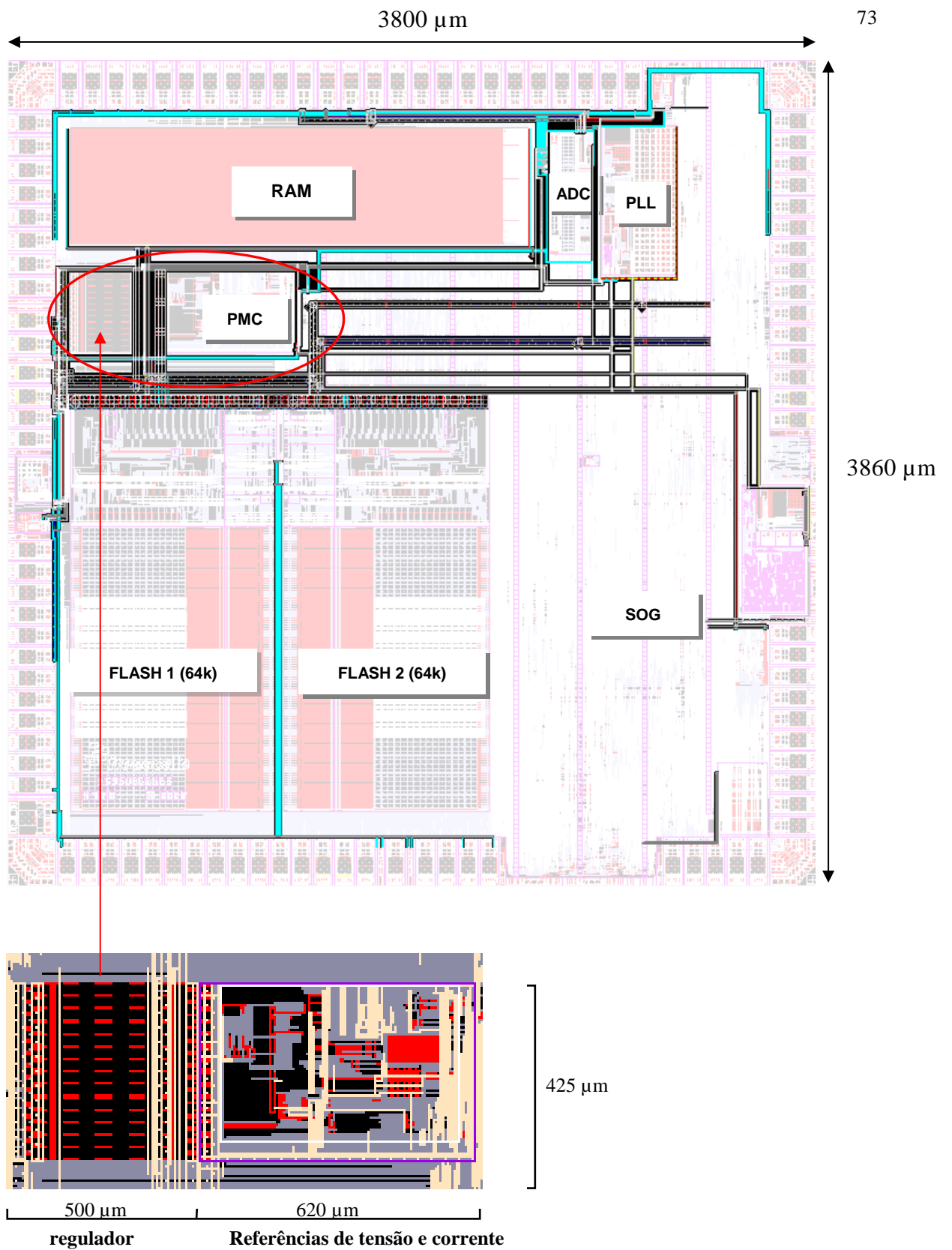


Figura 9.1 – NXP 9S08DZ128. Roteamento de potência em destaque.

A **Figura 9.2** mostra em destaque o roteamento de potência hipotético do mesmo SoC utilizando a técnica DDN. A principal diferença está na ausência de um único estágio de saída do regulador responsável por fornecer a tensão de alimentação ao SoG e aos demais blocos. As linhas pontilhadas são referências de tensão e corrente para cada regulador compacto. Posicionando-se reguladores ao longo de todo SoC, a diferença de queda de tensão nas regiões mais distantes é menor, pois não existe perdas devido às longas trilhas de metais.

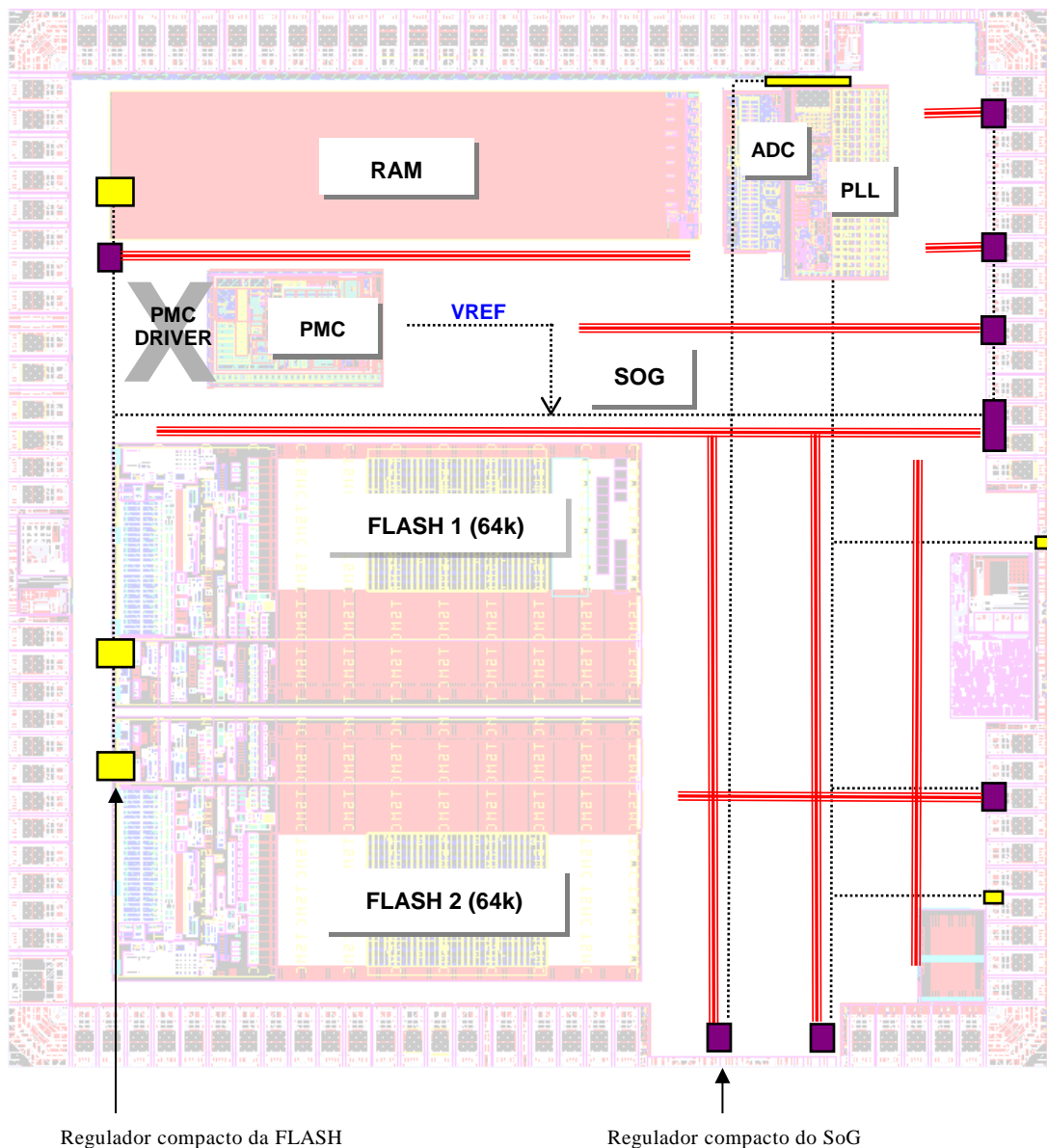


Figura 9.2 – NXP 9S08DZ128. Roteamento de potência otimizado pela técnica DDN.

Nas tecnologias como a FDSOI, ter pouca queda de tensão no roteamento de potência assim como pouca variação da tensão entre regiões do SoG é extremamente desejável para os projetistas digitais no tocante ao fechamento do STA (*Static Timing Analysis*).

Mas nem tudo é perfeito. Apenas *chips* sem limitação do número de *pads* poderiam fazer uso dessa técnica sem sofrer com o aumento de área.

A técnica DDN nunca foi testada em um produto tampouco em um *chip* de teste. Um estudo mais detalhado se faz necessário para comprovar a eficiência desse método, especialmente em processos de fabricação mais modernos.

10 REFERÊNCIAS

- [1] Clive Maxfield, *“Bebop to the Boolean Boogie: An Unconventional Guide to Electronics”*, 3rd ed., Newnes, 2008.
- [2] F. Faggin, *“The Making of the First Microprocessor”*, *IEEE Solid-State Circuits Magazine*, vol. 1, no. 1, pp. 8-21, 2009.
- [3] R. G. Dreslinski, M. Wieckowski, D. Blaauw, D. Sylvester, T. N. Mudge, *“Near-Threshold Computing: Reclaiming Moore's Law Through Energy Efficient Integrated Circuits,”* *Proceedings of the IEEE*, Vol. 98, No. 2, February 2010.
- [4] A. Bahr, *“Low Battery Cranking Pulse in Automotive Applications”*, *Freescale Applications Note*, AN2201/D, Rev.0, 11/2001.
- [5] Phillip E. Allen, Douglas R. Holberg, *“CMOS Analog Circuit Design”*, 3rd ed., Oxford University Press, 2012.
- [6] Gabriel Rincon-Mora, *Analog IC Design with Low-Dropout Regulators (LDOs)*, McGraw-Hill, Inc., New York, NY, 2009.
- [7] C. Simpson, *“A user’s guide to compensating low-dropout regulators,”* *Wescon Conference*, Santa Clara, CA, pp 270-275, Nov. 1997.
- [8] K. N. Leung, P. K. T. Mok. *“A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency,”* *IEEE J. Solid-State Circuits*, vol. 37, pp. 1691-1701, Oct. 2003.
- [9] R. K. Dokaniz and G.A. Rincon-Mora, *“Cancellation of load regulation in low dropout regulators,”* *Electronic Letters*, Oct. 24, 2002, pp. 1300-1302, vol. 38, No. 22.
- [10] C. K. Chava and J. Silva-Martinez, *“A robust frequency compensation scheme for LDO voltage regulators,”* *IEEE Transactions on Circuits and Systems Part-I*, vol. 51, pp. 1041-1050, June 2004.
- [11] J. Torres, M. El-Nozahi, A. Amer, S. Gopalraju, R. Abdullah, and K. Entesari et al., *“Low drop-out voltage regulators: Capacitor-less architecture comparison,”* *IEEE Circuits Syst. Mag.*, vol. 14, no. 2, pp. 6–26, May 2014.
- [12] MC13234/MC13237 Freescale Semiconductor Inc. datasheet. Document Number: MC13237 Rev. 1.3, 9/12/2013.
- [13] G. Nebel, T. Baglin, I. S. Sebastian, H. Sedlak, U. Weder, *“A very low drop voltage regulator using an NMOS output transistor,”* in *Proceedings of the IEEE ISCAS 2005*, pp. 3857–3860.
- [14] D. Camacho, P. Gui, P. Moreira, *“An NMOS low dropout voltage regulator with switched floating capacitor gate overdrive”*, 52nd IEEE International Midwest Symposium on Circuits and Systems, pp. 808-811, 2009.
- [15] L. G. Shen, Z. S. Yan, X. Zhang, Y. F. Zhao, *“A capacitor-less low dropout regulator for SoC with bi-directional asymmetric buffer,”* in *Proc. IEEE Int. Symp. Circuits and Systems*, May 2008, pp. 2677–2680.

- [16] E. N. Y. Ho, and P. K. T. Mok, "A capacitor-less CMOS active feedback low-dropout regulator with slew rate enhancement for portable on-chip application," *IEEE Trans. Circuits Syst. II*, vol. 57, no. 2, pp. 80–84, Feb. 2010.
- [17] T. Y. Man, K. N. Leung, Ch. Y. Leung, P. K. T. Mok, and M. Chan, "Development of single-transistor-control LDO based on flipped voltage follower for SoC," *IEEE Trans. Circuits Syst. I*, vol. 55, no. 5, pp. 1392–1401, June 2008.
- [18] P. Y. Or and K. N. Leung, "An output capacitor-less low-dropout regulator with direct voltage-spike detection," *IEEE J. Solid-State Circuits*, vol. 45, no. 2, pp. 458–466, Feb. 2010.
- [19] J. Guo, and K. N. Leung, "A 6- μ W chip-area-efficient output capacitor-less LDO in 90-nm CMOS technology," *IEEE J. Solid-State Circuits*, vol. 45, no. 9, pp. 1896–1905, Sept. 2010.
- [20] G. Blakiewicz, "Output capacitor-less low-dropout regulator using a cascoded flipped voltage follower," *IET Circuits Devices Syst.*, vol. 5, no. 5, pp. 418–423, Sept. 2011.
- [21] V. Gupta and G. Rincon-Mora, "A 5 mA 0.6 μ m CMOS Miller-compensated LDO regulator with -27dB worst-case power-supply rejection using 60pF of on-chip capacitance," in *Proc. IEEE Int. Solid-State Circuits Conference.*, Feb. 2007, pp. 520–521.
- [22] C. Zhan and W. H. Ki, "A low dropout regulator for SoC with high power supply rejection and low quiescent current," in *Proc. IEEE 12th Int. Symposium. Integrated Circuits*, Dec. 2009, pp. 37–40.
- [23] C. Zhan and W. H. Ki, "An output-capacitor-free cascode low-dropout regulator with low quiescent current and high power supply rejection," in *Proc. IEEE Asia Pacific Conf. Circuits and Systems*, Dec. 2010, pp. 472–475.
- [24] W. Xu, G. Wang, J. Jiang, X. Qi, and F. Zhang, "A high-PSR transient enhanced output-capacitor less CMOS low-dropout regulator for SoC applications," *Int. J. Electron.*, vol. 98, no. 10, pp. 1319–1332, Oct. 2011.
- [25] C.H. Tsai, J.H. Wang, "Capacitor-less low-dropout regulator with slew-rate-enhanced circuit," *IET Circuits Devices Syst.*, 2011, Vol. 5, Iss. 5, pp. 384–391.
- [26] Xin Ming, Ze-kun Zhou, and Bo Zhang, "A Low-Power Ultra-Fast Capacitor-Less LDO With Advanced Dynamic Push-Pull Techniques," *Proc. IEEE 19th International Conference on VLSI and System-on-Chip*, pp. 54 – 59, Oct. 2011.
- [27] Y. H. Lam and W. H. Ki, "A 0.9 V 0.35 μ m adaptively biased CMOS LDO regulator with fast transient response," in *Proc. IEEE Int. Solid-State Circuits Conf.*, Feb. 2008, pp. 442–626.
- [28] C. Zhan and W. H. Ki, "Output-capacitor-free adaptively biased low-dropout regulator for system-on-chips," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 5, pp. 1017–1028, May. 2010.
- [29] T. Jackum, W. Pribyl, G. Maderbacher, R. Riederer, "Capacitor-Less LVR for a 32-Bit Automotive Microcontroller SoC in 65nm CMOS," *Proc. of 38th European Solid-State Circuits Conference (ESSCIRC)*, pp. 329-332, Sep. 2012.

- [30] K. Keikhosravy and S. Mirabbasi, "A 0.13- μm CMOS Low-Power Capacitor-Less LDO Regulator Using Bulk-Modulation Technique," *IEEE Transactions on Circuits and Systems Part-I*, vol. PP, issue 99, Sept. 2014.
- [31] K. Leung, P. Mok, S. Lau, "A low-voltage CMOS low dropout regulator with enhanced loop response," *IEEE International Symposium on Circuits and Systems*, vol.1, pp.385–388, 2004.
- [32] S. Haddad, J. Palazzi and A. Vilas Boas, "Output Driver Circuits for Voltage Regulators," *US Patent 8.253.479B2*, Aug. 2012.
- [33] A. Vilas Boas, S. Haddad, J. Palazzi, "A CMOS fast transient response low-dropout regulator with a compact NMOS output driver", *Microelectronics Journal*, v. 45, p. 272-276, 2014.
- [34] Y. Zeng, Y. Xu, M. Zeng, H. Tan, "An output-capacitor-free low-dropout regulator with subthreshold slew-rate enhancement technique," *Microelectronics Journal* 45, pp. 708–718, 2014.
- [35] J. W. Simmons and K. Zhong, "Capless regulator overshoot and undershoot regulation circuit," *US Patent 8,436,595B2*, May 2013.
- [36] R. J. Milliken, "A capacitor-less low drop-out voltage regulator with fast transient response," *Master of Science Thesis, Texas A&M University*, Dec. 2005.
- [37] S.N. Easwaran, "A Low Power NMOS LDO in the Philips CO50PMU Process," *MSc. Thesis at Faculty of Electrical Engineering Mathematics & Computer Science*, Mar. 2006.
- [38] Matthew Topp, *Any-Cap Low Dropout Voltage Regulator*, MSc. Thesis at Arizona, State University, May 2012.
- [39] J. F. Dickson, "On-chip high-voltage generation in NMOS integrated circuits using an improved voltage multiplier technique", *IEEE J. Solid-State Circuits*, vol. SC-11, no 3, June 1976, pp. 374-378.
- [40] T. B. Cho and P. R. Gray, "A 10-bit, 20 MS/s, 35 mW pipeline A/D converter", *IEEE Custom Integrated Circuits Conf.*, 1994, pp.499-502.
- [41] P. Favrat, P. Deval, and M. J. Declercq, "A High-Efficiency CMOS Voltage Doubler", *IEEE Custom Integrated Circuits Conf.*, 1997, pp. 259-262, 1997.
- [42] J. Soldera, A. Vilas Boas, A. Olmos, "A Low Ripple Fully Integrated Charge Pump Regulator", in *Proceedings of the SBCCI Symposium IEEE Computer Society*, pp. 177-180, 2003.
- [43] S.S. Chong and P. K. Chan, "A 0.9- μA Quiescent Current Output-Capacitorless LDO Regulator with Adaptive Power Transistors in 65-nm CMOS", *IEEE Transactions on Circuits and Systems, Part I*, vol. 60, no. 4, pp. 1072-1081, April 2013.
- [44] C. M. Chen and C. C. Hung, "A fast self-reacting capacitor-less low-dropout regulator", *Proc. Eur. Solid-State Circuits Conf. (ESSCIRC)*, pp. 375-378 2011.
- [45] R. J. Milliken, J. S. Martinez, and E Sanchez-Sinencio, "Full on-chip low-dropout voltage regulator," *IEEE Trans. Circuits Systems*, vol. 54, no. 9, pp. 1879-1890, Sep. 2007.

- [46] X. Ming, Q. Li, Z. Zhou, B. Zhang, "An ultrafast adaptively biased capacitorless LDO with dynamic charging control", *IEEE Trans. Circuits Syst. II Exp. Briefs*, vol. 59, no. 1, pp. 40-44, Jan. 2012.
- [47] NXP B.V. *i.MX7ULP Applications Processors Fact Sheet. Document Number: IMX7ULPFS Rev. 0, 03/03/2017.*

APÊNDICE A – CIRCUITO CHARGE PUMP

