

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

Estudo e implementação de um controle de corrente para conversores em matriz e inversores fonte de tensão sem capacitor no elo de corrente contínua

Autor: Milton Evangelista de Oliveira Filho
Orientador: Prof. Dr. Ernesto Ruppert Filho

Tese de Doutorado apresentada à Faculdade de Engenharia Elétrica e de Computação como parte dos requisitos para obtenção do título de Doutor em Engenharia Elétrica. Área de concentração: **Energia Elétrica.**

Banca Examinadora

Ernesto Ruppert Filho, Dr. DSCE/FEEC/Unicamp
Angelo José Junqueira Rezek, Dr. ISEE/UNIFEI
Ricardo Quadros Machado, Dr. DEE/USP-São Carlos
Luiz Carlos Pereira da Silva, Dr. DSEE/FEEC/Unicamp
Elnatan Chagas Ferreira, Dr. DSCE/FEEC/Unicamp

Campinas, SP

Novembro/2010

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

OL4e	<p>Oliveira Filho, Milton Evangelista de Estudo e implementação de um controle de corrente para conversores em matriz e inversores fonte de tensão sem capacitor no elo de corrente contínua / Milton Evangelista de Oliveira Filho. --Campinas, SP: [s.n.], 2010.</p> <p>Orientador: Ernesto Ruppert Filho. Tese de Doutorado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.</p> <p>1. Conversores eletrônicos. 2. Inversores elétricos. 3. Vetores. 4. Matrizes. I. Ruppert Filho, Ernesto. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.</p>
------	---

Título em Inglês: Study and implementation of a current control for matrix converter and voltage source inverters without capacitor in DC link

Palavras-chave em Inglês: Electronics converters, Electric drives, Vectors, Arrays

Área de concentração: Energia Elétrica

Titulação: Doutor em Engenharia Elétrica

Banca examinadora: Angelo José Junqueira Rezek, Ricardo Quadros Machado, Luiz Carlos Pereira da Silva, Elnatan Chagas Ferreira

Data da defesa: 17/11/2010

Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE DOUTORADO

Candidato: Milton Evangelista de Oliveira Filho

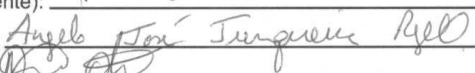
Data da Defesa: 17 de novembro de 2010

Título da Tese: "Estudo e implementação de um controle de corrente para conversores em matriz e inversores fonte de tensão sem capacitor no elo de corrente contínua"

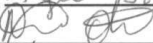
Prof. Dr. Ernesto Ruppert Filho (Presidente):



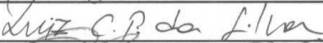
Prof. Dr. Angelo José Junqueira Rezek:



Prof. Dr. Ricardo Quadros Machado:



Prof. Dr. Luiz Carlos Pereira da Silva:



Prof. Dr. Elnatan Chagas Ferreira:



*A todos que me ajudaram nessa jornada: família, amigos, colegas de
laboratório, etc.*

Resumo

A presente tese refere-se a um modelo de controle de corrente para conversores em matriz trifásico para trifásico e inversores fonte de tensão trifásica sem capacitor no elo de corrente contínua com o objetivo minimizar e compensar as distorções presentes nas tensões de saída dos conversores de modo a obter correntes elétricas senoidais na carga. Nesses conversores, por não possuírem elementos armazenadores de energia de grandes valores, os desequilíbrios e/ou distorções presentes nas tensões de entrada irão se refletir nas tensões de saída. O modelo de controle de corrente proposto consiste em manter constante o módulo do vetor espacial das correntes de saída do conversor em matriz por meio de um regulador PI que altera dinamicamente a razão cíclica de acionamento das chaves de potência compensando os desequilíbrios e distorções das tensões trifásicas de entrada. O desempenho do controle proposto é validado por meio de simulações executadas no Matlab e em resultados experimentais obtidos no protótipo de um inversor fonte de tensão sem capacitor no elo de corrente contínua alimentando uma carga RL trifásica

Palavras-chave: Inversores, conversores em matriz, técnicas de modulação em largura de pulsos, chaves bidirecionais, comutação segura, filtro de entrada, circuito de proteção, módulo do vetor espacial de corrente, controle de corrente.

Abstract

This thesis concern a current control method for three-phase matrix converter and three-phase voltage source inverter without a dc link capacitor in order to mitigate and compensate the distortions present in the output voltages so that the output currents are sinusoidal. In these converters, because of lack of large storage elements, imbalances and/or distortions present in the input voltage will be immediately reflected to the converter output voltages. The proposed current control model forces the magnitude of the output space vector current to be constant through a PI controller that dynamically alters the duty cycle of the power converter switching for compensating the imbalances and distortions from input voltages. The performance of this current control is validated by simulations implemented in Matlab and experimental results on the prototype of a voltage source inverter without a DC link capacitor feeding a three-phase RL load.

Keywords: Inverters, matrix converters, PWM techniques, bidirectional switches, safe commutation, input filter, protection circuit, magnitude of the space vector current, current control.

Agradecimentos

Ao meu orientador, Prof. Ernesto Ruppert Filho, sou grato pela orientação e amizade.

Aos colegas Jonas Gazoli e Alfeu J. Sguarezi pela inestimável ajuda no desenvolvimento dos protótipos e sugestões para o aperfeiçoamento deste trabalho.

Aos colegas de laboratório Marcelo Villalva, José Luiz A. Puma, Marcos Espíndola, pelas discussões para aperfeiçoamento deste trabalho.

Aos colegas da GE Hydro Inepar que muito contribuíram para meu desenvolvimento profissional.

A minha família pelo apoio durante esta jornada.

À FAPESP, pelo apoio financeiro.

Sumário

Lista de Figuras	xiii
Lista de Tabelas	xvii
Glossário	xix
Lista de Símbolos	xix
Trabalhos Publicados Pelo Autor	xxi
1 Introdução	1
1.1 Organização do Trabalho	3
2 Conversores diretos e indiretos	5
2.1 Conversores em Matriz	8
2.2 Objetivos	10
3 Técnicas de modulação em largura de pulsos para o conversor em matriz trifásico para trifásico	13
3.1 Técnica de modulação de Venturini	14
3.2 Técnica de modulação vetorial	24
3.2.1 Modulação vetorial no estágio retificador	25
3.2.2 Modulação vetorial no estágio inversor	26
3.2.3 Modulação vetorial no conversor em matriz	28
3.3 Simulações das técnicas de modulação de Venturini e vetorial	32
3.4 Implementação das técnicas de modulação	35
3.4.1 Implementação da técnica de modulação de Venturini	38
3.4.2 Implementação da técnica de modulação Vetorial	41
4 Implementação do protótipo do conversor em matriz	45
4.1 Chaves bidirecionais de potência	46
4.2 Projeto do filtro de entrada do conversor em matriz	51
4.3 Circuito de Comutação do conversor em matriz	55
4.4 Circuitos de proteção do conversor em matriz	60

4.4.1	Proteção contra curto-circuitos	60
4.4.2	Proteção contra sobretensões	61
4.5	Resultados experimentais	63
5	Controlador de corrente para o conversor em matriz	69
5.1	Operação do CM alimentado com tensões de entrada distorcidas	69
5.2	Compensação das distorção das correntes na saída do conversor em matriz	70
5.2.1	O método de controle de corrente proposto	72
5.3	Simulação do controle de corrente aplicado no conversor em matriz . . .	74
6	Controlador de corrente para o inversor sem o capacitor do elo CC	79
6.1	Operação do inversor sem capacitor no elo de corrente contínua	79
6.2	Aplicação do controle de corrente no inversor sem capacitor no elo CC .	84
6.2.1	Simulações do controle de corrente	86
6.2.2	Implementação do controle de corrente para o inversor	87
6.2.3	Limitação do protótipo	88
7	Conclusões e sugestões para novos trabalhos	91
7.1	Sugestões para trabalhos futuros	92
A	Fotos dos protótipos desenvolvidos	95
B	Programa de comutação segura	97
	Referências Bibliográficas	104

Lista de Figuras

2.1	Inversor de frequência	5
2.2	Conversor <i>back-to back</i>	7
2.3	Variador de tensão trifásico	7
2.4	Cicloconversor	8
2.5	Conversor em Matriz com n entradas e m saídas	9
2.6	Topologias do conversor em matriz: (a) trifásico/trifásico, (b) trifásico/monofásico, (c) monofásico/monofásico	10
3.1	CM trifásico	14
3.2	Sequência de chaveamento de acordo com a técnica de modulação em largura de pulsos de Venturini.	15
3.3	Síntese da tensão de saída usando a técnica de modulação em largura de pulsos de Venturini	16
3.4	Limite do ganho da tensão de saída	17
3.5	Estado do CM durante o intervalo de tempo: (a) t_a , (b) t_b e (c) t_c	17
3.6	Intervalos de tempo durante T_a	22
3.7	Modelagem do CM para aplicação da modulação vetorial.	24
3.8	Modelo do retificador controlado e vetores espaciais de corrente.	26
3.9	Vetores espaciais de tensão.	27
3.10	Sequência de chaveamento.	29
3.11	Localização dos vetores espaciais de corrente e de tensão no plano complexo.	30
3.12	Comutação do CM durante um período de amostragem.	32
3.13	Modulação de Venturini - (a): Corrente na entrada do CM e espectro em frequência, (b): corrente na carga e espectro em frequência	33
3.14	Modulação de Venturini - (a): Tensão de fase e espectro em frequência, (b): Tensão de linha e espectro em frequência	34
3.15	Modulação vetorial - (a): Corrente na carga e espectro em frequência, (b): corrente na entrada do CM e espectro em frequência	35
3.16	Modulação vetorial - (a): Tensão de fase e espectro em frequência, (b): Tensão de linha e espectro em frequência	36
3.17	Tensão e corrente filtrada na entrada do CM usando a técnica de modulação (a) Venturini e (b) vetorial.	37
3.18	Circuito simulador analógico.	37

3.19	Registros comparadores do DSP utilizados na implementação da técnica de Venturini.	39
3.20	Tensão de fase na saída do simulador analógico.	39
3.21	Espectro em frequência da tensão de saída do simulador analógico. . . .	40
3.22	Canal 2: tensão de saída filtrada, M2: espectro da tensão de saída filtrada.	40
3.23	Registros do DSP utilizados na síntese das razões cíclicas da técnica de modulação vetorial	42
3.24	Ch1: Tensão de linha filtrada, Ch3: tensão de linha.	43
3.25	Espectro em frequência da tensão de linha na saída do simulador. . . .	43
3.26	Modulação vetorial e tensão filtrada	44
4.1	Diagrama elétrico simplificado do CM	46
4.2	Implementação de chaves bidirecionais de potência usando IGBTs	47
4.3	Modulos de potência utilizando IGBTs na configuração: (a) emissor comum, (b) coletor comum	48
4.4	(a) Capacitâncias parasitas no IGBT, (b) Efeito Miller	49
4.5	Circuito de acionamento utilizando optoacoplador	51
4.6	(a) Modelo do filtro, (b) modelo do filtro considerando as componentes harmônicas.	52
4.7	Resposta em frequência do filtro sem amortecimento	54
4.8	Resposta em frequência do filtro com amortecimento	54
4.9	Circuito com duas fases onde ocorre o problema da comutação	55
4.10	Circuito trifásico/monofásico	56
4.11	Máquina de estados para um braço do CM	57
4.12	Diagrama em bloco do circuito de detecção do sinal de corrente.	59
4.13	Sinais de comando na saída do CPLD	59
4.14	Circuito de detecção de curto-circuito.	60
4.15	Circuito de proteção com ponte a diodos	63
4.16	Tensão na saída do CM, 20Hz	65
4.17	Corrente na carga, 20Hz (2 A/div)	65
4.18	Tensão na saída do CM, 40Hz	66
4.19	Corrente na carga, 40Hz (2 A/div)	66
4.20	Tensão na saída do CM, 100Hz	67
4.21	Corrente na carga, 100Hz (1 A/div)	67
4.22	Tensão na saída do CM, 40 Hz	68
4.23	Tensão na entrada do CM (curva maior), canal2: corrente filtrada (curva menor)	68
5.1	(a): Tensão de alimentação distorcida, (b): Corrente na saída do conversor em matriz	70
5.2	Espectro em frequência da corrente na saída do conversor em matriz . .	71
5.3	Malha de controle de corrente	74

5.4	Módulo do vetor espacial da (a): corrente de entrada, (b): corrente de saída	75
5.5	(a): Índice de modulação, (b): corrente na saída do conversor em matriz	75
5.6	Módulo do vetor espacial da (a): corrente de entrada, (b): corrente de saída	76
5.7	Espectro em frequência da corrente de saída do conversor em matriz . .	77
5.8	Resposta ao degrau de corrente	77
6.1	Corrente na entrada do inversor e seu espectro em frequência	81
6.2	(a): Corrente na entrada do inversor, (b): Tensão e corrente (filtrada) na entrada do inversor	81
6.3	Corrente filtrada na entrada do inversor sem capacitor no elo CC e seu espectro em frequência.	82
6.4	(a): Tensão de linha na saída do inversor, (b): Corrente na saída do inversor	83
6.5	Efeito da distorção da tensão de alimentação (a): Tensão de linha na saída do inversor, (b): Corrente na saída do inversor	83
6.6	Limite de tensão na saída do inversor.	84
6.7	Controlador de corrente para o inversor	85
6.8	Malha de controle de corrente para o inversor.	85
6.9	(a): Tensão e corrente na entrada do inversor, (b): índice de modulação	86
6.10	(a): Tensão de linha na saída do inversor, (b): correntes na carga. . . .	87
6.11	CH1: Tensão e Ch2: corrente na entrada do inversor sem capacitor no elo CC (1 A/div).	88
6.12	Espectro em frequência da corrente de entrada	89
6.13	Ch1: Tensão e Ch2: corrente na saída do inversor sem capacitor no elo CC (2 A/div).	89
6.14	corrente na entrada com capacitor	90
A.1	Prototipo do CM: (a) filtro LC, (b) fontes de alimentação, (c) circuitos de potência e de controle	95
A.2	Protótipos dos inversores: (a) inversor convencional com banco de capacitores, (b) inversor com filtro LC no lugar do banco de capacitores .	96
B.1	Comutação segura quanto ocorre um curto-circuito	101
B.2	Re-inicialização da comutação	101
B.3	Comutação de V_{e1} para V_{e2} quando a corrente é negativa	102
B.4	Comutação de V_{e1} para V_{e3} quando a corrente é positiva.	102
B.5	Comutação de V_{e3} para V_{e1} quando a corrente é negativa.	102
B.6	Comutação de V_{e1} para V_{e3} quando a corrente é positiva.	103
B.7	Comutação de V_{e1} para V_{e2} quando ocorre mudança na corrente.	103

Lista de Tabelas

3.1	Vetores Espaciais de Corrente	25
3.2	Vetores espaciais de tensão	27
4.1	Possíveis estados dos IGBTs	58

Lista de Símbolos

CM	- Conversor em Matriz
FD	- Fator de Deslocamento
CPLD	- <i>Complex Programmable Logic Device</i>
VHDL	- <i>VHSIC Hardware description Language, e VHSIC: Very High Speed Integrated Circuit</i>
portas I/O	- Portas de entrada e saída do dsp
JTAG	- <i>Joint Test Action Group</i>
CMPR1, CMPR2	- Registros comparadores do dsp TMS320F2812
S_{ij}	- Chave bidirecional numa posição i, j qualquer no conversor em matriz
$v_{e1}(t), v_{e2}(t), v_{e3}(t)$	- tensão trifásica na entrada do conversor
ω_e	- Frequência angular da tensão de entrada do conversor em matriz
T_a	- Taxa de amostragem
\bar{v}_{s1}	- Tensão média na saída do conversor em matriz
$v_{s1}(t), v_{s2}(t), v_{s3}(t)$	- tensão trifásica na saída do conversor
ω_s	- Frequência angular da tensão de saída do conversor em matriz
q	- Ganho de tensão no conversor em matriz
m_a, m_b, m_c	- Razões cíclicas na técnica de modulação em largura de pulsos de Venturini
$i_{e1}(t), i_{e2}(t), i_{e3}(t)$	- Corrente trifásica na entrada do conversor
ϕ_e	- Ângulo de fase da corrente na entrada do conversor
$i_{s1}(t), i_{s2}(t), i_{s3}(t)$	- Corrente trifásica na saída do conversor
ϕ_s	- Ângulo de fase da corrente na saída do conversor
\bar{i}_{e1}	- Corrente média na entrada do conversor em matriz
P_e	- Potência na entrada do conversor em matriz
P_s	- Potência na saída do conversor em matriz
$S_{Rk}, k=1,2,\dots,6$	- Chave ideal no estágio retificador
$S_{Rk}^*, k=1,2,\dots,6$	- Função de chaveamento no estágio retificador
I_{ref}^*	- Vetor espacial da corrente de referência
I_1, I_2, \dots, I_9	- Vetores espaciais de corrente
d_a	- Razão cíclica do vetor espacial que antecede I_{ref}^*
d_b	- Razão cíclica do vetor espacial que sucede I_{ref}^*
θ_c	- Ângulo do vetor espacial I_{ref}^*
m_R	- Índice de modulação na etapa retificadora

S_{V_k} , $k=1,2,\dots,6$	- Chave ideal na etapa inversora
$S_{V_k}^*$, $k=1,2,\dots,6$	- Função de chaveamento na etapa inversora
V_{ref}^*	- Vetor espacial de tensão de referência
V_1, V_2, \dots, V_8	- Vetores espaciais de tensão
m_v	- Índice de modulação na etapa inversora
d_c	- Razão cíclica do vetor espacial que antecede V_{ref}^*
d_d	- Razão cíclica do vetor espacial que sucede V_{ref}^*
θ_v	- Ângulo do vetor espacial V_{ref}^*
m	- Índice de modulação da técnica de modulação vetorial
I_g	- Corrente de gate
C_{gc}	- Capacitor parasita entre o gate e o coletor do IGBT
C_{ge}	- Capacitor parasita entre o gate e o emissor do IGBT
Q_g	- Carga total das capacitâncias parasitas
t_c	- Tempo de carga dos capacitores parasitas
R_g	- Resistência de gate
V_{Ol}	- Valor da tensão de saída do optoacoplador em nível lógico baixo
I_{Otp}	- Corrente máxima de pico no optoacoplador
I_c	- Corrente no capacitor
I_f	- Corrente na fonte
I_{cm}	- Corrente no conversor em matriz
$I_{cm,h}$	- Corrente harmônica no conversor em matriz
$I_{L,h}$	- Corrente harmônica no indutor
$I_{c,h}$	- Corrente harmônica no capacitor
ω_n	- Frequência natural
ξ	- Coeficiente de amortecimento do filtro de entrada
$ V_e $	- Magnitude do vetor espacial da tensão de entrada
$ V_s $	- Magnitude do vetor espacial da tensão de saída
$ I_{ref} $	- Magnitude do vetor espacial da corrente de referência
$ I_s $	- Magnitude do vetor espacial da corrente de saída
ΔV	- Máxima variação da tensão no elo de corrente contínua
i_{dc}	- Corrente instantânea no elo de corrente contínua

Trabalhos Publicados Pelo Autor

1. M. E. de Oliveira Filho, A. J. Sguarezi Filho, J. R. Gazoli, E. Ruppert Filho, "Um Controlador de Corrente para o Conversor em Matriz e para o Inversor de Frequência sem o Capacitor no Elo de Corrente Contínua", a ser publicada na revista SBA - Controle & Automação.
2. M. E. de Oliveira Filho, J. R. Gazoli, A. J. Sguarezi Filho, E. Ruppert Filho, "A Current Control Method for Voltage Source Inverter without Electrolytic Capacitor", 39th IEEE Power Electronics Specialists Conference, IEEE PESC 2008, Island of Rhodes, Greece.
3. M.E. de Oliveira Filho, E. Ruppert Filho, K. E. B. Quinderé, J. R. Gazoli, "A Simple Current Control for Matrix Converter", IEEE Industry Application Society, 41 st IAS Annual Meeting, Tampa, USA, 2006.
4. M. E. de Oliveira Filho, J. R. Gazoli, M. A. Pimenta, E. Ruppert Filho, "A Control Method For Voltage Source Inverter Without Dc Link Capacitor", Congresso Brasileiro de Eletrônica de Potência, COBEP 2007, Blumenau.
5. M. E. de Oliveira Filho, M. G. Villalva, E. Ruppert Filho, "A Matrix Converter Design", Congresso Brasileiro de Eletrônica de Potência, COBEP 2005, Recife.
6. M. E. de Oliveira Filho, M. G. Villalva, E. Ruppert Filho, "Técnicas de Modulação para Conversores em Matriz", VI Conferência Internacional em Aplicações Industriais, VI INDUSCON, Joinville, 2004.
7. M. E. de Oliveira Filho, M. G. Villalva and E. Ruppert Filho, "Modeling and Simulation of Matrix Power Electronic Converter driving a three-phase Induction Motor", Congresso Brasileiro de Eletrônica de Potência, COBEP 2003, Fortaleza.

Capítulo 1

Introdução

A crescente demanda mundial por energia elétrica é atualmente um dos principais temas que tem motivado técnicos, engenheiros e pesquisadores em diversas áreas do conhecimento não só para buscar novas fontes de energias alternativas e renováveis para geração de energia elétrica como também para conservar e utilizar de modo eficiente a energia elétrica disponível. Nesse contexto, o uso de conversores eletrônicos de potência é primordial para atingir aqueles objetivos [1],[2].

Hoje, a maior demanda por conversores eletrônicos de potência está na indústria, representada pelo amplo uso de inversores tipo fonte de tensão nos processos industriais. Estes conversores constituem uma importante parcela de cargas não lineares, geradoras de correntes harmônicas, que degradam a qualidade da energia elétrica. Uma solução disponível para minimizar os efeitos das correntes deformadas injetadas na rede elétrica pelos inversores tipo fonte de tensão é o uso de reatores e filtros LC [3], porém esses elementos são caros e volumosos.

Outra solução é o uso de topologias de conversores eletrônicos de potência que permitam controlar a corrente de entrada de modo a minimizar as distorções de corrente. Os conversores em matriz (CM) representam uma alternativa aos inversores devido às seguintes características: ausência de grandes elementos armazenadores de energia, operação em quatro quadrantes, tensões de saída e correntes de entrada senoidais e controle do fator de potência.

No entanto, apesar das vantagens citadas, o conversor em matriz não é aplicado na indústria por ser uma tecnologia em desenvolvimento e apresenta os seguintes desafios a serem superados:

- A ausência de elementos armazenadores de energia torna o conversor em ma-

triz sensível à presença de distorções na tensão de entrada, afetando a qualidade da energia entregue à carga. Portanto, torna-se necessário a implementação no algoritmo de controle do conversor de algum método de compensação dos desequilíbrios e distorções na tensão de entrada.

- As chaves de potência empregadas na construção do conversor em matriz devem ser bidirecionais e operar em alta frequência de chaveamento. Uma chave bidirecional de potência pode ser implementada com dois IGBTs e dois diodos de potência. Na construção de um conversor em matriz trifásico são necessárias nove chaves bidirecionais, o que implica em 18 IGBTs e 18 diodos de potência. O número elevado de semicondutores de potência, além do alto custo, complica o controle e proteção do conversor.
- O ganho da tensão de saída está limitada a 0,866 da tensão de entrada, independente da estratégia de modulação por largura de pulso implementada no conversor em matriz. Diferentemente do inversor, no qual a operação do inversor na região de sobremodulação corre sem problemas, a operação do conversor em matriz usando sobremodulação leva ao surgimento de instabilidades que inviabiliza a operação com ganho de tensão maior que 0,866.

A maioria dos trabalhos publicados com o objetivo de minimizar a influência dos distúrbios presentes na tensão de entrada utilizam a leitura de tensão e de corrente na entrada do conversor para implementar os algoritmos de compensação [4], [5]. O uso desses sensores de tensão e de corrente implica em maiores custos e complexidade na estrutura do conversor em matriz.

Se por um lado o conversor em matriz apresenta complexidade de construção devido à ausência de chaves bidirecionais de potência, a tecnologia de construção de inversores fonte de tensão é bastante madura, sendo possível encontrar comercialmente a ponte inversora e circuito de acionamento e proteção das chaves semicondutoras de potência em uma única pastilha[6], [7]. Por outro lado, a presença de capacitores no elo de corrente contínua, além de volumosos, produzem na entrada do retificador correntes com alta taxa de distorção harmônica.

A eliminação do capacitor do elo de corrente contínua reduz a taxa de distorção harmônica da corrente de entrada, porém a tensão de saída apresenta componentes harmônicas de baixa ordem provenientes da tensão retificada não filtrada e de distorções

na tensão de entrada e, portanto torna-se necessário realizar a compensação destas distorções.

O presente trabalho apresenta a proposta de se utilizar um controlador de corrente no conversor em matriz com propósito de reduzir a quantidade de sensores e a complexidade dos cálculos envolvidos na compensação das distorções. Também, propõe-se o uso de controladores de corrente no inversor sem capacitor cujo benefício é o de reduzir os custos e volume do conjunto retificador-inversor e de reduzir a taxa de distorção harmônica na corrente de entrada do inversor.

1.1 Organização do Trabalho

O capítulo 2 apresenta uma revisão sobre a classificação dos conversores sob o ponto de vista da transferência de energia entre a fonte e a carga. Também são apresentadas diversas topologias do conversor em matriz.

No capítulo 3 apresentam-se duas técnicas de modulação por largura de pulso empregadas em conversores em matriz: a técnica de modulação de Venturini e a técnica de modulação vetorial, que são as duas técnicas de modulação mais empregadas no acionamento de conversores em matriz. Além de resultados obtidos por simulação, são apresentados detalhes de programação das duas técnicas de modulação e resultados obtidos a partir de um simulador analógico do conversor em matriz.

O capítulo 4 trata da construção de um protótipo de baixa potência de um conversor em matriz. Devido ao alto custo dos módulos de potência de chaves bidirecionais existentes no mercado, utiliza-se IGBTs e diodos na construção dessas chaves. É apresentado o projeto do filtro de corrente na entrada do conversor em matriz e dos circuitos de proteção contra curto-circuito e sobretensões das chaves bidirecionais de potência. A comutação segura destas chaves bidirecionais baseia-se no método dos quatro passos e é implementada em dispositivo lógico programável.

No capítulo 5 é proposta um controlador de corrente para compensar os efeitos que as tensão distorcidas de alimentação do conversor em matriz produzem na corrente de saída do conversor. A eficácia do controle de corrente proposto é comprovada por meio de simulações.

O capítulo 6 trata do uso do controle de corrente em inversores fonte de tensão sem capacitor no elo de corrente contínua e do uso de controlador de corrente com o objetivo de minimizar a influência das oscilações da tensão retificada na corrente de

saída do inversor. São apresentados resultados de simulação e experimentais do controle de corrente proposto nesse trabalho aplicado no inversor sem capacitor.

Nos Apêndice são apresentados fotos dos protótipos construídos durante o desenvolvimento deste trabalho e programa de comutação segura.

Capítulo 2

Conversores diretos e indiretos

Na maioria das aplicações industriais nas quais é necessário o controle da amplitude e da frequência da tensão na carga, utiliza-se um conversor CA-CC-CA, mostrado na figura 2.1. Esse conversor CA-CC-CA é composto por uma ponte retificadora trifásica a diodos para converter a tensão trifásica alternada de entrada em tensão contínua, um elo de corrente contínua com capacitor eletrolítico para armazenagem de energia suficiente para manter as oscilações presentes na tensão retificada dentro de um nível desejado, e um inversor trifásico constituído de seis chaves semicondutoras de potência para converter a tensão contínua filtrada pelo capacitor em tensão trifásica alternada com amplitude e frequência desejadas. O conversor CA-CC-CA descrito é comumente designado apenas como *inversor de frequência*.

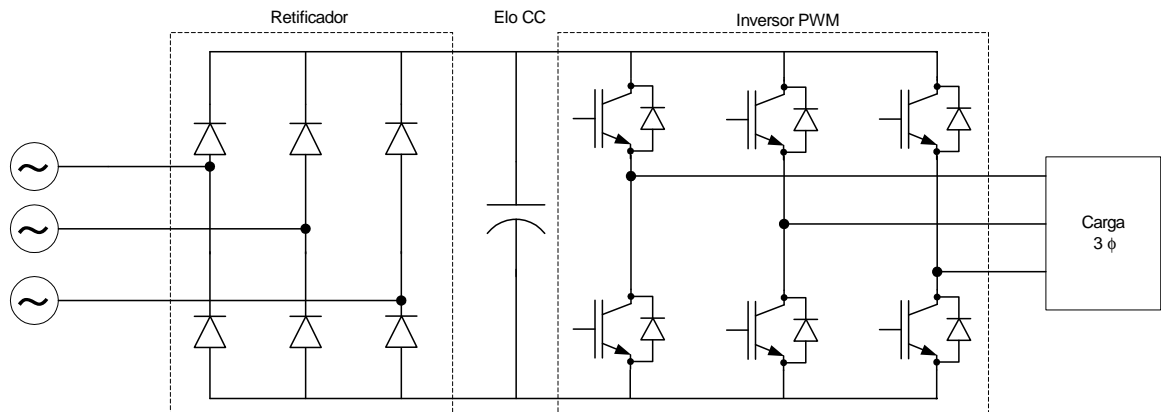


Figura 2.1: Inversor de frequência

No estudo de conversores, os mesmos podem ser classificados em *conversores direto* (quando não existe elementos armazenadores de energia em sua constituição) ou em

conversores indiretos (quando existe a presença de elementos armazenadores de energia em seu interior).

Os inversores de frequência podem ser classificados como *conversores indireto* já que a transferência de energia entre a fonte de alimentação e a carga passa por um elemento armazenador de energia, nesse caso, por um capacitor. O uso de retificadores a diodos com capacitor eletrolítico de alta capacitância no elo de corrente contínua apresenta as seguintes desvantagens: a) Os capacitores eletrolíticos utilizados no elo de corrente contínua devem armazenar uma grande quantidade de energia e por isso são elementos de alto custo, volumosos, além de terem curto tempo de vida útil [8][9], b) a corrente na entrada do retificador não é senoidal e sim pulsada, apresentando pulsos de elevado valor nos instantes em que o capacitor eletrolítico é recarregado. Esta forma pulsada da corrente possui um alto conteúdo harmônico, sendo que a distorção harmônica total (DHT) poderá ser superior a 140%. Um valor elevado de DHT na corrente pode distorcer a tensão de entrada e provocar o aumento das perdas na rede elétrica, além de prejudicar o funcionamento de outros equipamentos nela conectados. c) Uso de circuitos auxiliares no pré-carregamento do capacitor do elo de corrente contínua a fim de evitar uma alta corrente de surto. d) O retificador a diodos não permite a regeneração da energia.

Porém, a presença de um banco de capacitores suficientemente grande tem a vantagem de ao desacoplar a rede elétrica da carga, problemas presentes na tensão elétrica tais como desequilíbrios de tensão e distorções harmônicas pouco influenciam a tensão controlada que aparece na carga. Outra vantagem é a de se obter na saída tensões com amplitudes maiores que a tensão presente na entrada.

Boa parte das limitações dos inversores de frequência pode ser eliminada ou atenuada se a ponte retificadora for trocada por um retificador controlado de comutação forçada, como mostrado na figura 2.2. Nessa topologia, é possível controlar o retificador de modo que a corrente solicitada pelo conversor seja senoidal além de possibilitar a regeneração de energia. Essa topologia é conhecida como conversor *back-to-back* e também é um conversor indireto por possuir um capacitor no elo de corrente contínua.

Na outra classe de conversores de potência, os conversores diretos, tem-se conversores capazes de converter a tensão alternada da rede elétrica em tensão alternada com magnitude variável para a carga sem a necessidade de elementos armazenadores de energia. Duas topologias de conversores diretos bastante conhecidas são os variadores de tensão, mostrado na figura 2.3, e os cicloconversores, mostrado na figura 2.4. As chaves de potência desses conversores, normalmente tiristores, são acionadas em determinados instantes de modo que a carga esteja conectada à entrada apenas durante um dado

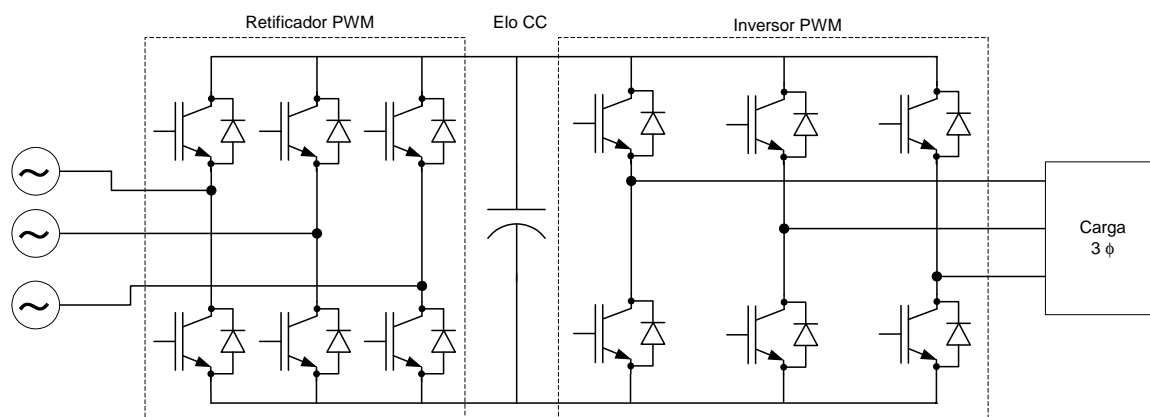


Figura 2.2: Conversor *back-to back*

intervalo de tempo.

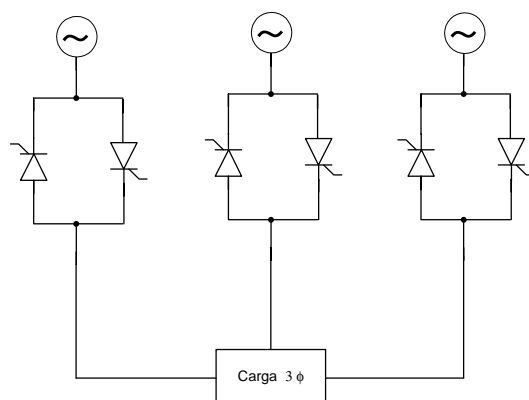


Figura 2.3: Variador de tensão trifásico

Nos variadores de tensão não é possível controlar a frequência da tensão na carga e nos cicloconversores a frequência da tensão de saída é sempre menor que a frequência da tensão de entrada, devido à limitação de chaveamento imposto pelos tiristores. Porém, com o surgimento de novas chaves semicondutoras de potência de comutação forçada e de fácil acionamento, uma outra topologia de conversores diretos, conhecida atualmente como conversores em matriz (CM) e proposta inicialmente nos anos de 1970 por [10], tem a capacidade de sintetizar tensões de saída com frequências maiores ou menores que a tensão de alimentação. O conversor em matriz ganhou a atenção da comunidade voltada para eletrônica de potência a partir do trabalho de M. Venturini [11] no início dos anos 80, sendo considerado como uma alternativa promissora aos inversores de frequência [12].

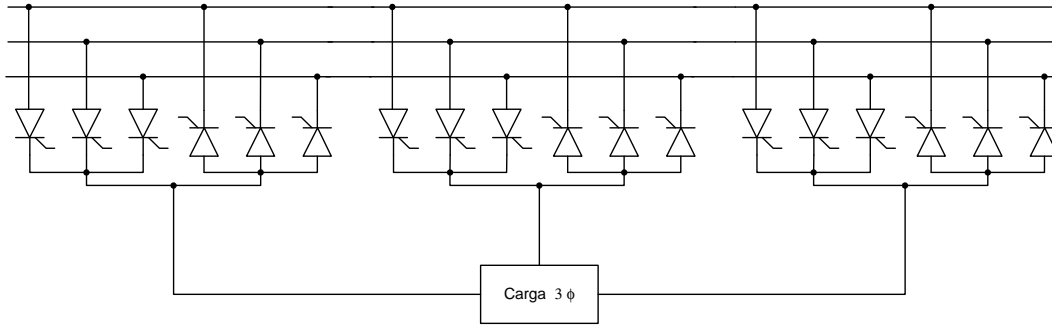


Figura 2.4: Cicloconversor

2.1 Conversores em Matriz

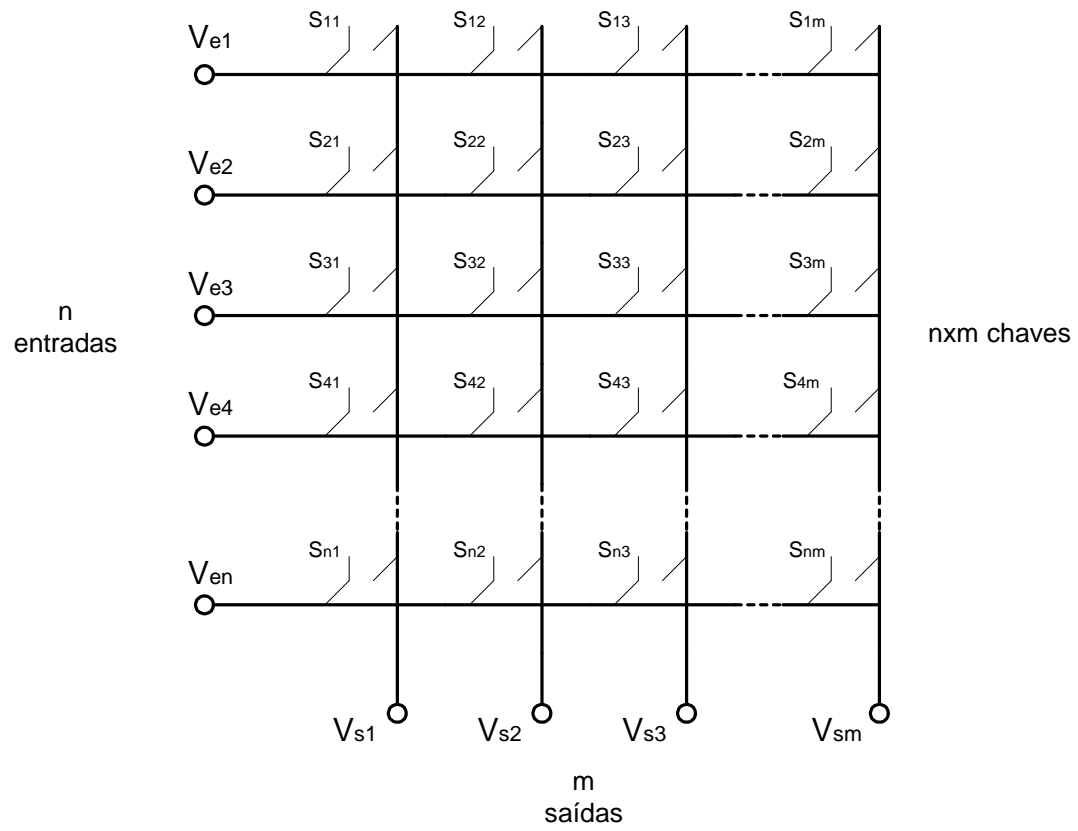
O conversor em matriz é um conversor direto constituído de chaves bidirecionais de potência arranjadas na forma de uma matriz permitindo a conexão de qualquer uma das n fontes de tensão de entrada a qualquer uma das m saídas como mostrado na figura 2.5, sem a necessidade de elementos armazenadores de energia. As chaves bidirecionais S_{11} a S_{nm} que compõem o conversor em matriz são chaves capazes de conduzir a corrente em ambos sentidos e capaz de bloquear tanto a tensão direta quanto a tensão reversa e comutam sem nenhum atraso.

Em princípio, para um dado conjunto de tensões alternadas ou contínuas de entrada (V_{e1} a SV_{en}), pode-se sintetizar qualquer conjunto de tensões alternadas ou contínuas de saída (V_{s1} a SV_{sm}), através do controle adequado das chaves bidirecionais que compõem o conversor em matriz. Neste trabalho será considerado apenas o caso de tensões de entrada senoidais com frequência e amplitude fixas e tensões de saída senoidais alimentando cargas equilibradas de características indutivas. Assim, as chaves bidirecionais de potência do conversor em matriz devem comutar de modo a evitar curto-circuitos entre as fontes de tensão conectadas na entrada e evitar sobretensões devido à descontinuidade da corrente na carga indutiva.

Considerando S_{ij} uma chave bidirecional qualquer numa posição i, j qualquer no conversor em matriz, seu estado é definido como sendo:

$$S_{ij} = \begin{cases} 1, & \text{se a chave esta ligada} \\ 0, & \text{se a chave esta desligada} \end{cases} \quad (2.1)$$

Para que o conversor em matriz opere adequadamente é necessário que em qualquer uma das m saídas, somente uma chave bidirecional esteja conduzindo em qualquer

Figura 2.5: Conversor em Matriz com n entradas e m saídas

instante de tempo de operação. Esta condição de operação pode ser resumida pela equação (2.2):

$$\sum_{i=1}^n S_{ij} = 1 \quad \text{para qualquer } j = 1, \dots, m \quad (2.2)$$

O estudo desenvolvido nesta tese será para o conversor em matriz trifásico/trifásico, denominado aqui apenas por conversor em matriz trifásico, mostrado na figura 2.6a. Essa tem sido a estrutura mais estudada e a que se apresenta mais viável para aplicações práticas, tais como: acionamento de motores de indução [13], energia renováveis [14], qualidade de energia [15].

Além do conversor em matriz trifásico, também é possível a aplicação de conversores em matriz com um número menor de entradas e/ou saídas como a mostrada na figura 2.6(b) para aplicação como retificador controlado [16] e em (c) para aplicações monofásicas [17].

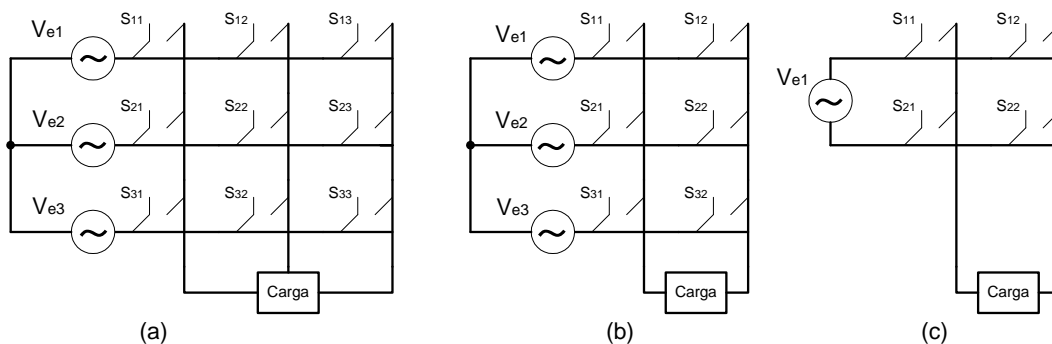


Figura 2.6: Topologias do conversor em matriz: (a) trifásico/trifásico, (b) trifásico/monofásico, (c) monofásico/monofásico

Alguns autores propuseram novas estruturas para o conversor em matriz trifásico, diferente da mostrada na figura 2.6a, com o objetivo de reduzir o número de chaves bidirecionais na estrutura do conversor em matriz. Essas novas estruturas são conhecidas como conversores em matriz esparsas[18] ou conversores em matriz indiretos [19].

2.2 Objetivos

Embora os conversores em matriz tenham recebido grande interesse na comunidade internacional, com grande volume de publicações em congressos e periódicos, principalmente entre os anos de 1995 a 2005, no Brasil não havia tido nenhuma publicação, de

conhecimento desse autor, a respeito do conversor em matriz em nenhum dos congressos nacionais até o ano de 2003. Desse modo, os objetivos deste trabalho são:

1. O estudo das principais técnicas de modulação em largura de pulsos aplicadas no controle do conversor em matriz: a técnica de modulação de Venturini e a técnica de modulação vetorial,
2. Estudar as vantagens e limitações desse tipo de conversor,
3. Implementar um protótipo de conversor em matriz de baixa potência,
4. Estudar a influência das distorções das tensões de entrada do conversor em matriz na qualidade da tensão fornecida à carga,
5. Apresentar uma técnica de controle de corrente para o conversor em matriz e inversores sem capacitor no elo CC,

Capítulo 3

Técnicas de modulação em largura de pulsos para o conversor em matriz trifásico para trifásico

A idéia inicial sobre conversores em matriz foi apresentada em [10]. O trabalho de Venturini em [11] foi o primeiro a propor uma técnica de modulação na qual o conversor em matriz pudesse operar em qualquer faixa de frequência. Entretanto, o método apresenta uma séria limitação de ganho de tensão porque a amplitude da tensão de saída é limitada em 50% da tensão de entrada. Este método porém, é de fácil implementação [20],[21][22] e apresenta a vantagem de permitir a construção do conversor em matriz em módulos e realizar os testes de forma independente.

Posteriormente os mesmos autores demonstraram que independentemente da técnica de modulação empregada no controle do conversor em matriz, o máximo ganho de tensão no qual a tensão de saída não apresenta distorção é de 0,866 [23]. Desde então, foram publicadas diversas técnicas de modulação nas quais era possível atingir o limite teórico de ganho de tensão no conversor em matriz[12].

A técnica de modulação vetorial, entretanto, é hoje a mais empregada no controle do conversor em matriz por permitir o conversor em matriz atingir o limite do ganho de tensão com baixo esforço computacional[24].

3.1 Técnica de modulação de Venturini

Na figura 3.1 mostra-se o conversor em matriz trifásico/trifásico onde S_1 , S_2 e S_3 representam as saídas de cada braço do conversor em matriz, sendo que cada braço é formado por três chaves bidirecionais conectadas num mesmo ponto do lado da carga e em cada fonte de tensão no outro lado. Considera-se as tensões de entrada senoidais e equilibradas com amplitude V_e e frequência ω_e , representadas pela equação 3.1.

$$[v_e(t)] = \begin{bmatrix} v_{e1}(t) \\ v_{e2}(t) \\ v_{e3}(t) \end{bmatrix} = V_e \begin{bmatrix} \text{sen}(\omega_e t) \\ \text{sen}(\omega_e t - \frac{2\pi}{3}) \\ \text{sen}(\omega_e t + \frac{2\pi}{3}) \end{bmatrix} \quad (3.1)$$

$$[v_s(t)] = \begin{bmatrix} v_{s1}(t) \\ v_{s2}(t) \\ v_{s3}(t) \end{bmatrix} = V_s \begin{bmatrix} \text{sen}(\omega_s t) \\ \text{sen}(\omega_s t - \frac{2\pi}{3}) \\ \text{sen}(\omega_s t + \frac{2\pi}{3}) \end{bmatrix} \quad (3.2)$$

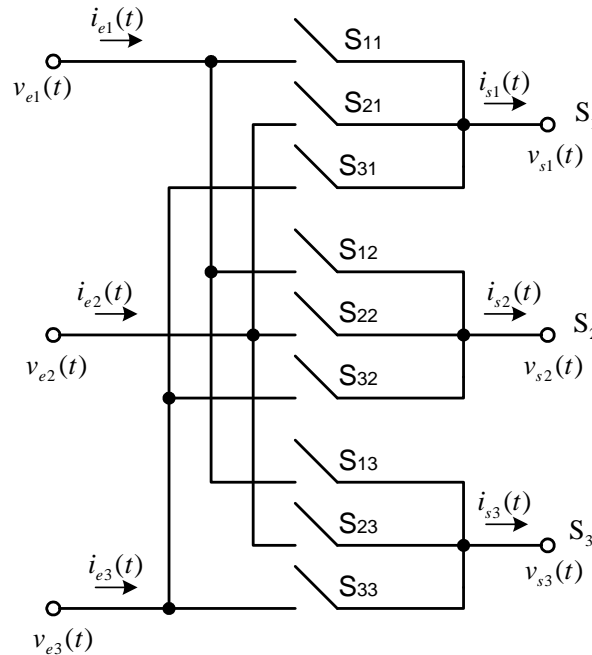


Figura 3.1: CM trifásico

Na estratégia de controle do conversor proposta por Venturini, o valor médio da

tensão de saída em cada braço do conversor em matriz é obtida a partir de amostras das tensões de entrada sendo que as chaves que compõem cada braço do conversor são comutadas sequencialmente dentro de um período de amostragem denominando T_a .

Considerando apenas o braço S_1 , composto pelas chaves bidirecionais S_{11} , S_{21} , o padrão de chaveamento das chaves bidirecionais, segundo a estratégia de Venturini, é mostrado na figura 3.2. Durante o intervalo de amostragem T_a tem-se três comutações sendo os intervalos de tempo em cada comutação denominadas t_a , t_b e t_c , de modo que:

$$T_a = t_a + t_b + t_c \quad (3.3)$$

A forma de onda da tensão de saída é mostrada na figura 3.3. De acordo com a figura 3.3, o valor médio da tensão de saída do conversor em matriz, durante o intervalo de amostragem T_a dado pela equação (3.4), será mais próximo da tensão de saída desejada, dada pela equação (3.2), quanto menor for a taxa de amostragem T_a .

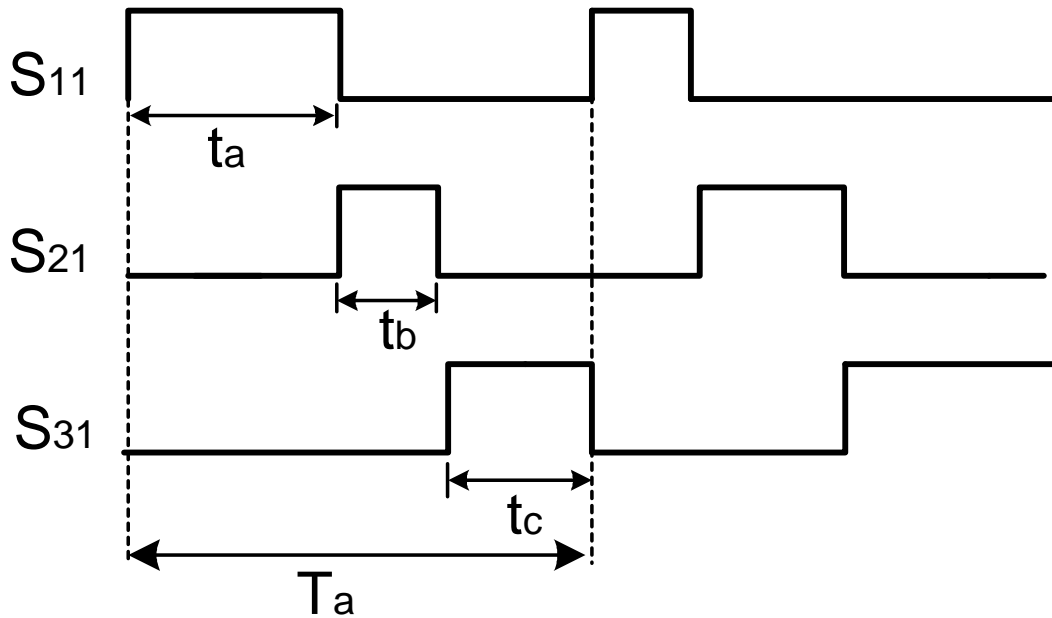


Figura 3.2: Sequência de chaveamento de acordo com a técnica de modulação em largura de pulsos de Venturini.

$$\bar{v}_{s1} = \frac{1}{T_a} [v_{e1}(t) \cdot t_a + v_{e2}(t) \cdot t_b + v_{e3}(t) \cdot t_c] \quad (3.4)$$

Para que a equação (3.4) seja verdadeira, é necessário que tensão de saída a ser sintetizada em qualquer instante de tempo esteja contida dentro do envoltório das tensões

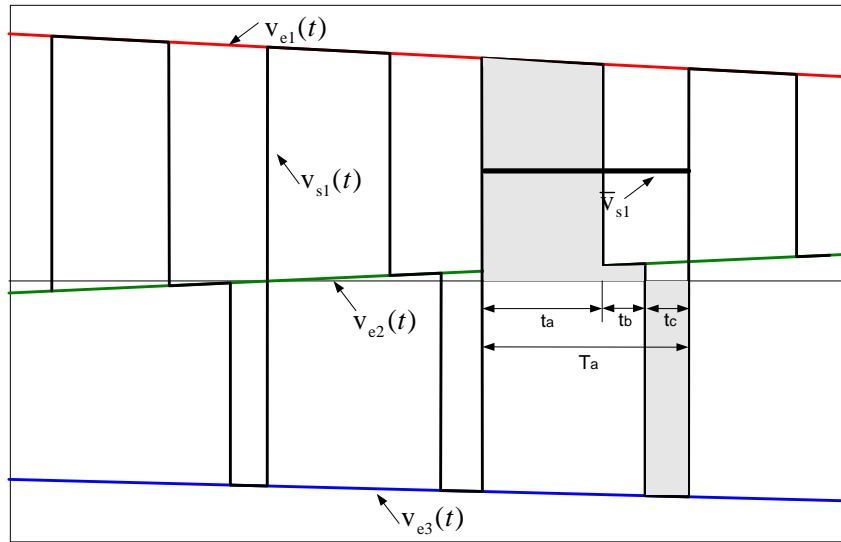


Figura 3.3: Síntese da tensão de saída usando a técnica de modulação em largura de pulsos de Venturini

de entrada, como mostrado pela figura 3.4. Essa condição também garante que a tensão na saída e a corrente na entrada não apresentem distorções provocadas por harmônicas de baixa ordem. Se as tensões de entrada forem dadas pela equação 3.1, então o valor máximo da tensão de saída está limitado à metade da tensão de entrada, ou seja, o ganho de tensão para a estratégia proposta por Venturini é de 0,5.

As comutações que ocorrerão em cada braço do conversor em matriz durante um período de amostragem T_a são mostradas na figura 3.5.

Sendo as tensões de saída compostas de segmentos da tensão de entrada, seus valores médios são dados por:

$$[\bar{v}_s] = \begin{bmatrix} \bar{v}_{s1} \\ \bar{v}_{s2} \\ \bar{v}_{s3} \end{bmatrix} = \frac{1}{T_a} \begin{bmatrix} v_{e1}(t) & v_{e2}(t) & v_{e3}(t) \\ v_{e2}(t) & v_{e3}(t) & v_{e1}(t) \\ v_{e3}(t) & v_{e1}(t) & v_{e2}(t) \end{bmatrix} \begin{bmatrix} t_a \\ t_b \\ t_c \end{bmatrix} \quad (3.5)$$

Sendo as tensões de entrada dadas pela equação (3.1), o determinante da matriz de tensões da equação (3.5) é nulo. Uma solução única para a equação (3.5) pode ser conseguida levando-se em conta que $t_a = T_a - t_b - t_c$.

Aproximando os valores médios da tensão de saída para os valores de tensão dados pela equação 3.2 e manipulando o sistema de equações acima chega-se as equações (3.6)

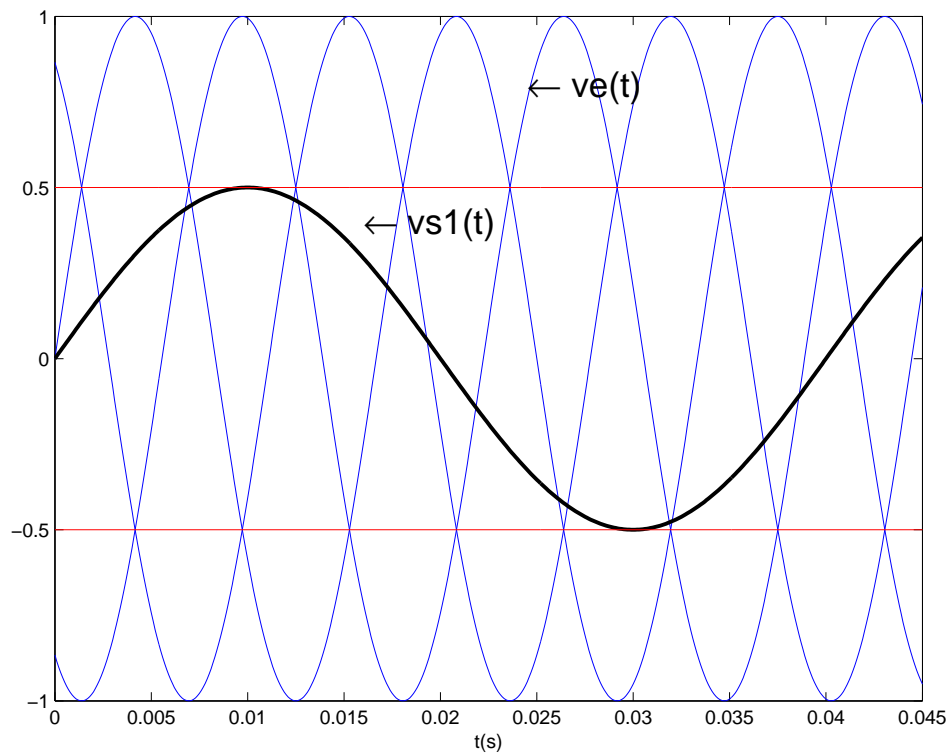


Figura 3.4: Limite do ganho da tensão de saída

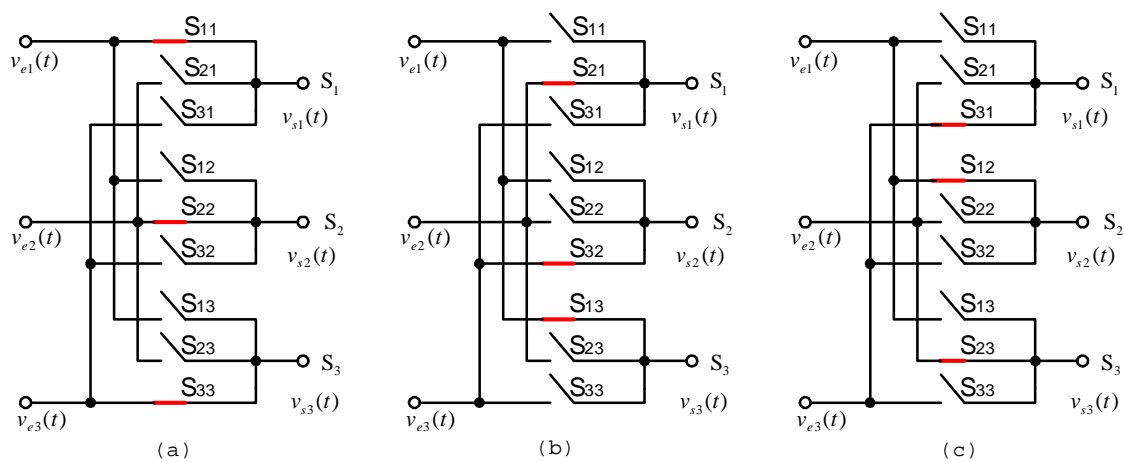


Figura 3.5: Estado do CM durante o intervalo de tempo: (a) t_a , (b) t_b e (c) t_c .

e (3.7).

$$\frac{t_c}{T_a} - \frac{t_b}{T_a} = \frac{2V_s}{3V_e} \left[\cos \left(\omega_s t - \omega_e t - \frac{2\pi}{3} \right) - \cos \left(\omega_s t - \omega_e t + \frac{2\pi}{3} \right) \right] \quad (3.6)$$

$$\frac{t_c}{T_a} - \frac{t_a}{T_a} = \frac{2V_s}{3V_e} \left[\cos \left(\omega_s t - \omega_e t - \frac{2\pi}{3} \right) - \cos (\omega_s t - \omega_e t) \right] \quad (3.7)$$

Desenvolvendo o conjunto de equações acima, as razões cíclicas m_a , m_b e m_c associadas aos tempos t_a , t_b e t_c são dados por:

$$\begin{aligned} m_a &= \frac{t_a}{T_a} = \frac{1}{3} + \frac{2V_s}{3V_e} \cos [(\omega_s - \omega_e)t] \\ m_b &= \frac{t_b}{T_a} = \frac{1}{3} + \frac{2V_s}{3V_e} \cos \left[(\omega_s - \omega_e)t + \frac{2\pi}{3} \right] \\ m_c &= \frac{t_c}{T_c} = \frac{1}{3} + \frac{2V_s}{3V_e} \cos \left[(\omega_s - \omega_e)t - \frac{2\pi}{3} \right] \end{aligned} \quad (3.8)$$

Na equação acima, define-se o ganho de tensão no conversor em matriz q como sendo a relação:

$$q = \frac{V_s}{V_e} \quad (3.9)$$

Sendo o ganho de tensão q limitado a 0,5 na técnica de Venturini.

Encontrada a solução para as razões cíclicas das chaves do conversor em matriz, pode-se escrever a equação (3.5) na forma dada por (3.10)

$$\begin{bmatrix} v_{s1}(t) \\ v_{s2}(t) \\ v_{s3}(t) \end{bmatrix} = \begin{bmatrix} m_a & m_b & m_c \\ m_c & m_a & m_b \\ m_b & m_c & m_a \end{bmatrix} \begin{bmatrix} v_{e1}(t) \\ v_{e2}(t) \\ v_{e3}(t) \end{bmatrix} \Rightarrow [v_s(t)] = [m] [v_e(t)] \quad (3.10)$$

Considerando que o conversor em matriz esteja alimentando uma carga linear, sendo senoidal a tensão produzida na saída do conversor em matriz, a corrente na saída também será senoidal, dada pela equação:

$$[i_s(t)] = \begin{bmatrix} i_{s1}(t) \\ i_{s2}(t) \\ i_{s3}(t) \end{bmatrix} = I_s \begin{bmatrix} \text{sen}(\omega_s t + \phi_s) \\ \text{sen}(\omega_s t + \phi_s - 2\pi/3) \\ \text{sen}(\omega_s t + \phi_s + 2\pi/3) \end{bmatrix} \quad (3.11)$$

As correntes de entrada em cada fase do conversor em matriz são compostas de segmentos das correntes na carga. Considerando apenas a entrada do conversor em matriz conectada à fonte $v_{e1}(t)$, a corrente $i_{e1}(t)$ será:

$$i_{e1}(t) = \begin{cases} i_{s1}(t) & \text{quando } S_{11} = 1 \\ i_{s2}(t) & \text{quando } S_{12} = 1 \\ i_{s3}(t) & \text{quando } S_{13} = 1 \end{cases} \quad (3.12)$$

Segundo a sequência de chaveamento mostrada na figura 3.5, o valor médio da corrente $i_{e1}(t)$ é dado por (3.13) no intervalo de tempo T_a :

$$\bar{i}_{e1} = \frac{1}{T_a} [i_{s1}(t) \cdot t_a + i_{s2}(t) \cdot t_c + i_{s3}(t) \cdot t_b] \quad (3.13)$$

Estendendo o mesmo conceito para as outras entradas do conversor em matriz pode-se escrever:

$$[\bar{i}_e] = \begin{bmatrix} \bar{i}_{e1} \\ \bar{i}_{e2} \\ \bar{i}_{e3} \end{bmatrix} = \frac{1}{T_a} \begin{bmatrix} i_{s1}(t) & i_{s3}(t) & i_{s2}(t) \\ i_{s2}(t) & i_{s1}(t) & i_{s3}(t) \\ i_{s3}(t) & i_{s2}(t) & i_{s1}(t) \end{bmatrix} \begin{bmatrix} t_a \\ t_b \\ t_c \end{bmatrix} \quad (3.14)$$

As correntes na entrada do CM serão mais próximas das correntes desejadas, dadas pela equação (3.15), quanto menor for o tempo de amostragem T_a .

$$[i_e(t)] = \begin{bmatrix} i_{e1}(t) \\ i_{e2}(t) \\ i_{e3}(t) \end{bmatrix} = I_e \begin{bmatrix} \text{sen}(\omega_e t + \phi_e) \\ \text{sen}(\omega_e t + \phi_e - 2\pi/3) \\ \text{sen}(\omega_e t + \phi_e + 2\pi/3) \end{bmatrix} \quad (3.15)$$

De fato, as correntes na entrada do conversor em matriz também serão senoidais. Isso pode ser comprovado desprezando-se as perdas por chaveamento no conversor em matriz de modo que a potência na entrada do conversor em matriz, P_e , seja igual à potência P_s na saída do conversor em matriz. Desse modo pode-se escrever:

$$\begin{aligned} P_e = P_s &\Rightarrow [i_e(t)]^T [v_e(t)] = [i_s(t)]^T [v_s(t)] \\ [i_e(t)]^T [v_e(t)] &= [i_s(t)]^T [m] [v_e(t)] \Rightarrow [i_e(t)]^T = [i_s(t)]^T [m] \\ \left([i_e(t)]^T\right)^T &= \left([i_s(t)]^T [m]\right)^T \Rightarrow [i_e(t)] = [m]^T [i_s(t)] \end{aligned}$$

Ou seja, a mesma matriz de transformação $[m]$ que é aplicada na tensão de entrada

do conversor em matriz para produzir uma tensão de saída senoidal, também é aplicada à corrente de saída, de modo que a corrente produzida na entrada do conversor em matriz também seja senoidal. É interessante saber qual a relação entre o ângulo de fase ϕ_e da corrente de entrada e o ângulo de fase ϕ_s da corrente de saída. Considerando apenas a corrente $i_{e1}(t)$ na fonte $v_{e1}(t)$ mostradas na figura 3.1, tem-se:

$$\begin{aligned}
 i_{e1}(t) = m_a i_{s1}(t) + m_c i_{s2}(t) + m_b i_{s3}(t) &\Rightarrow i_{e1}(t) = \left\{ \frac{1}{3} + \frac{2}{3}q \cos [(\omega_s - \omega_e)t] \right\} I_s \text{sen} (\omega_s t + \phi_s) + \\
 &+ \left\{ \frac{1}{3} + \frac{2}{3}q \cos \left[(\omega_s - \omega_e)t - \frac{2\pi}{3} \right] \right\} I_s \text{sen} \left(\omega_s t + \phi_s - \frac{2\pi}{3} \right) + \\
 &+ \left\{ \frac{1}{3} + \frac{2}{3}q \cos \left[(\omega_s - \omega_e)t + \frac{2\pi}{3} \right] \right\} I_s \text{sen} \left(\omega_s t + \phi_s + \frac{2\pi}{3} \right) \Rightarrow \\
 i_{e1}(t) = \frac{1}{3} I_s &\left[\text{sen} (\omega_s + \phi_s) + \text{sen} \left(\omega_s t + \phi_s - \frac{2\pi}{3} \right) + \text{sen} \left(\omega_s t + \phi_s + \frac{2\pi}{3} \right) \right] + \\
 + \frac{2}{3} q I_s &\{ \cos [(\omega_s - \omega_e) t] \text{sen} (\omega_s + \phi_s) + \cos \left[(\omega_s - \omega_e) t - \frac{2\pi}{3} \right] \text{sen} \left(\omega_s t + \phi_s - \frac{2\pi}{3} \right) + \\
 &+ \cos \left[(\omega_s - \omega_e) t + \frac{2\pi}{3} \right] \text{sen} \left(\omega_s t + \phi_s + \frac{2\pi}{3} \right) \}
 \end{aligned}$$

O somatório dos senos no primeiro colchete é zero. Usando fórmulas trigonométricas para a transformação do produto de senos e cossenos em soma dessas funções tem-se:

$$\begin{aligned}
 i_{e1}(t) = \frac{1}{3} q I_s &\left\{ \text{sen} (2\omega_s - \omega_e + \phi_s) t + \text{sen} (\omega_e + \phi_s) + \text{sen} \left[(2\omega_s - \omega_e)t + \phi_s - \frac{4\pi}{3} \right] + \right. \\
 &\left. + \text{sen} (\omega_e + \phi_s) + \text{sen} \left[(2\omega_s - \omega_e)t + \phi_s + \frac{4\pi}{3} \right] + \text{sen} (\omega_e + \phi_s) \right\} \Rightarrow
 \end{aligned}$$

$$i_{e1}(t) = \frac{1}{3} \frac{I_e}{I_s} 3I_s \text{sen}(\omega_e t + \phi_s) \Rightarrow I_e \text{sen}(\omega_e t + \phi_e) = I_e \text{sen}(\omega_e t + \phi_s)$$

Portanto, tem-se:

$$\phi_e = \phi_s \quad (3.16)$$

A relação (3.16) mostra que a defasagem da corrente na entrada do conversor em matriz é a mesma defasagem apresentada na corrente de saída. Venturini denominou essa condição de operação do conversor em matriz de “modo simétrico” [11].

Na solução do sistema acima foi adotado o sentido do fechamento das chaves bidirecionais como sendo o sentido horário. Porém, se for adotado o sentido de fechamento das chaves bidirecionais como sendo o sentido anti-horário, o valor médio das tensões de saída do conversor em matriz será dado pela equação (3.17).

$$[\bar{v}'_s] = \begin{bmatrix} \bar{v}'_{s1} \\ \bar{v}'_{s2} \\ \bar{v}'_{s3} \end{bmatrix} = \frac{1}{T_a} \begin{bmatrix} v_{e1}(t) & v_{e2}(t) & v_{e3}(t) \\ v_{e3}(t) & v_{e1}(t) & v_{e2}(t) \\ v_{e2}(t) & v_{e3}(t) & v_{e1}(t) \end{bmatrix} \begin{bmatrix} t_a \\ t_b \\ t_c \end{bmatrix} \quad (3.17)$$

Um novo conjunto de soluções é encontrado:

$$\begin{aligned} \frac{t'_a}{T_a} = m'_a &= \frac{1}{3} + \frac{2}{3}q \cos[(\omega_s + \omega_e)t] \\ \frac{t'_b}{T_a} = m'_b &= \frac{1}{3} + \frac{2}{3}q \cos\left[(\omega_0 + \omega_i)t - \frac{2\pi}{3}\right] \\ \frac{t'_c}{T_c} = m'_c &= \frac{1}{3} + q \frac{V_s}{V_e} \cos\left[(\omega_0 + \omega_i)t + \frac{2\pi}{3}\right] \end{aligned} \quad (3.18)$$

As equações em (3.18) podem ser reescritas como se vê em (3.19).

$$\begin{bmatrix} v'_{s1}(t) \\ v'_{s2}(t) \\ v'_{s3}(t) \end{bmatrix} = \begin{bmatrix} m'_a & m'_b & m'_c \\ m'_b & m'_c & m'_a \\ m'_c & m'_a & m'_b \end{bmatrix} \begin{bmatrix} v_{e1}(t) \\ v_{e2}(t) \\ v_{e3}(t) \end{bmatrix} \quad (3.19)$$

Usando o mesmo procedimento descrito anteriormente para o cálculo do ângulo de fase da corrente de entrada em relação ao ângulo de fase da corrente de saída, o conjunto de soluções (3.18) conduz ao seguinte resultado:

$$\phi_e = -\phi_s \quad (3.20)$$

Ou seja, a defasagem da corrente de entrada é o oposto da defasagem da corrente de saída do conversor em matriz. Se a carga for indutiva, o sistema de alimentação enxerga o conversor em matriz como uma carga capacitiva. Este modo de operação do conversor em matriz foi designado como “modo anti-simétrico” por Venturini.

Analisando os resultados obtidos em (3.16) e (3.20), pode-se concluir que se for desejada a corrente de entrada com defasagem zero em relação à tensão de entrada, deve-se fazer o conversor em matriz operar nos modo simétrico e anti-simétrico com duração de tempo iguais durante um período de amostragem T_a , como mostrado na figura 3.6.

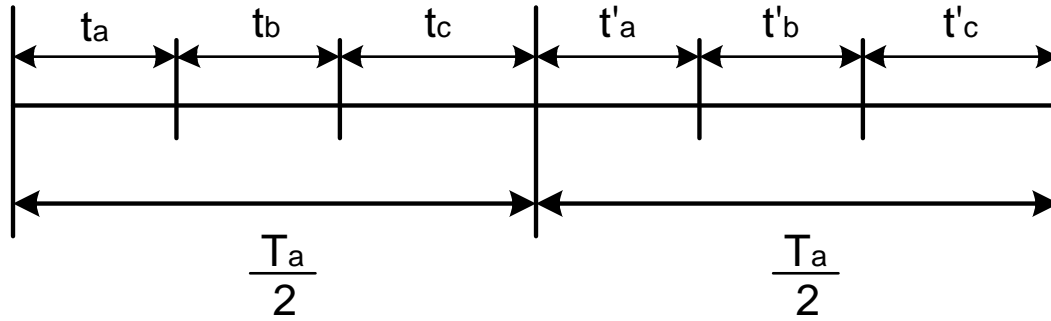


Figura 3.6: Intervalos de tempo durante T_a .

O valor médio da tensão de saída é calculado por:

$$\begin{bmatrix} v_{s1}(t) \\ v_{s2}(t) \\ v_{s3}(t) \end{bmatrix} = \frac{1}{2} \begin{bmatrix} m_a + m'_a & m_b + m'_b & m_c + m'_c \\ m_c + m'_b & m_a + m'_c & m_b + m'_a \\ m_b + m'_c & m_c + m'_a & m_a + m'_b \end{bmatrix} \begin{bmatrix} v_{e1}(t) \\ v_{e2}(t) \\ v_{e3}(t) \end{bmatrix} \quad (3.21)$$

Combinando as soluções descritas em (3.8) e (3.18) tem-se:

$$\begin{bmatrix} m_a + m'_a \\ m_b + m'_b \\ m_c + m'_c \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_s - \omega_e)t] \\ \cos [(\omega_0 - \omega_i)t + \frac{2\pi}{3}] \\ \cos [(\omega_0 - \omega_i)t - \frac{2\pi}{3}] \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_s + \omega_e)t] \\ \cos [(\omega_0 + \omega_i)t - \frac{2\pi}{3}] \\ \cos [(\omega_0 + \omega_i)t + \frac{2\pi}{3}] \end{bmatrix} \quad (3.22)$$

$$\begin{bmatrix} m_c + m'_b \\ m_a + m'_c \\ m_b + m'_a \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_0 - \omega_i)t - \frac{2\pi}{3}] \\ \cos [(\omega_0 - \omega_i)t] \\ \cos [(\omega_0 - \omega_i)t + \frac{2\pi}{3}] \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_0 + \omega_i)t - \frac{2\pi}{3}] \\ \cos [(\omega_0 + \omega_i)t + \frac{2\pi}{3}] \\ \cos [(\omega_0 + \omega_i)t] \end{bmatrix} \quad (3.23)$$

$$\begin{bmatrix} m_b + m'_c \\ m_c + m'_a \\ m_a + m'_b \end{bmatrix} = \frac{1}{3} \begin{bmatrix} 1 \\ 1 \\ 1 \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_0 - \omega_i)t + \frac{2\pi}{3}] \\ \cos [(\omega_0 - \omega_i)t - \frac{2\pi}{3}] \\ \cos [(\omega_0 - \omega_i)t] \end{bmatrix} + \frac{1}{3}q \begin{bmatrix} \cos [(\omega_0 + \omega_i)t + \frac{2\pi}{3}] \\ \cos [(\omega_0 + \omega_i)t] \\ \cos [(\omega_0 + \omega_i)t - \frac{2\pi}{3}] \end{bmatrix} \quad (3.24)$$

Os resultados obtidos anteriormente para o ângulo de fase da corrente de entrada do conversor em matriz sugerem uma aplicação interessante: o uso de conversores em matriz para compensação estática de reativos, sem a necessidade de um banco de capacitores como acontece no CCT (Capacitores Chaveados por Tiristores)[25].

Como o ganho de tensão apresentado anteriormente, limitado a 0,5, representa uma desvantagem operacional do conversor em matriz se comparado com outros conversores, diversos pesquisadores passaram a estudar outros métodos de modulação para o conversor em matriz que pudessem elevar esse ganho. Em [23] Alesina e Venturini demonstraram que independente da técnica de modulação empregada no conversor em matriz, o valor limite do ganho de tensão para o conversor em matriz para o qual a tensão de saída e a corrente de entrada não apresentam distorções harmônicas de baixa ordem está limitado a 0,866.

Também no mesmo trabalho, os autores apresentam um método que estende o ganho de tensão do conversor em matriz de 0,5 para 0,866. Esse método é semelhante à injeção de harmônicas na tensão de referência a fim de aumentar a tensão na saída dos inversores PWM

O método proposto em [23] consiste em acrescentar componentes harmônicas de terceira ordem e de sequência zero na tensão de referência de modo que a tensão de saída será dada por:

$$[v_s(t)] = \begin{bmatrix} v_{s1}(t) \\ v_{s2}(t) \\ v_{s3}(t) \end{bmatrix} = V_s \begin{bmatrix} \text{sen}(\omega_s t) + \frac{1}{6}\text{sen}(3\omega_s t) - \frac{1}{4}\text{sen}(3\omega_e t) \\ \text{sen}(\omega_s t - \frac{2\pi}{3}) + \frac{1}{6}\text{sen}(3\omega_s t) - \frac{1}{4}\text{sen}(3\omega_e t) \\ \text{sen}(\omega_s t + \frac{2\pi}{3}) + \frac{1}{6}\text{sen}(3\omega_s t) - \frac{1}{4}\text{sen}(3\omega_e t) \end{bmatrix} \quad (3.25)$$

A adição das componentes harmônicas de terceira ordem com amplitudes dadas por (3.25) tem por objetivo aproveitar o máximo possível a área sob a envoltória da tensão de entrada, condição necessária para evitar distorções nas tensões de saída do conversor em matriz. Em cargas trifásicas a três fios, ou seja, onde não existe um caminho de retorno para a corrente pelo neutro, as componentes de sequência zero não circularão pela carga de modo que as componentes de terceira harmônica adicionadas na tensão de referência não distorcerão a corrente na carga e conseqüentemente não distorcerão a corrente na entrada do conversor em matriz. Outras técnicas de modulação em largura de pulsos que permitem elevar o ganho de tensão a 0,866 são apresentadas em: [26], [27],[28].

3.2 Técnica de modulação vetorial

A aplicação da técnica de modulação em largura de pulsos denominada modulação vetorial para o conversor em matriz foi inicialmente proposta por Hubber e Borojevic em [24]. A técnica da modulação vetorial é baseada na representação da tensão e da corrente na forma de vetores espaciais no sistema de coordenadas estacionário. Os autores propuseram que o conversor em matriz fosse modelado em dois estágios: um estágio retificador e um estágio inversor, como mostrado na figura 3.7

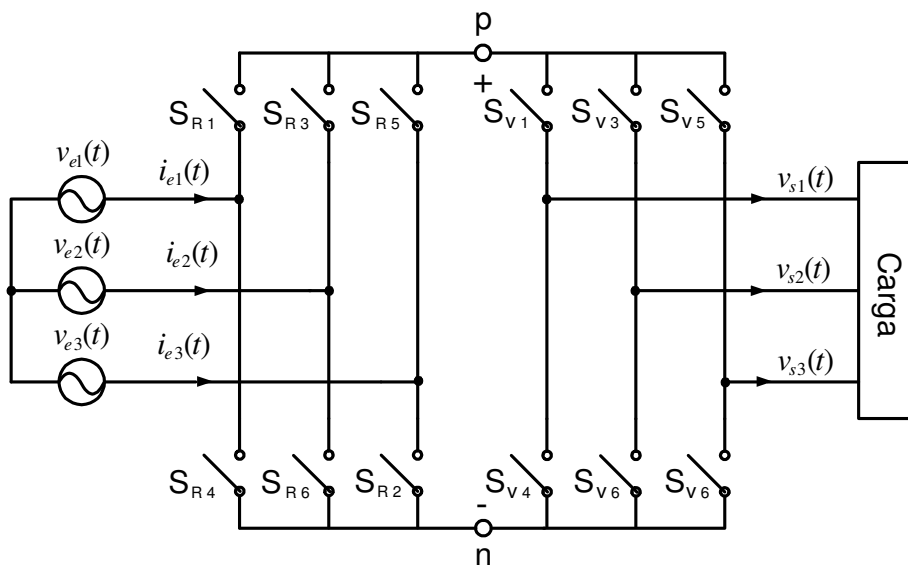


Figura 3.7: Modelagem do CM para aplicação da modulação vetorial.

3.2.1 Modulação vetorial no estágio retificador

O circuito simplificado do modelo do retificador é mostrado na figura 3.8. No modelo apresentado, \mathbf{I} é a corrente no elo de corrente contínua e é considerada constante durante um período de amostragem T_a . Seja S_{Rk}^* ($k=1,2,\dots,6$) a função de chaveamento de uma chave S_{Rk} qualquer do retificador definida como sendo 1 quando S_{Rk} estiver ligada e 0 quando S_{Rk} estiver desligada, as restrições de operação do retificador são:

$$\begin{cases} S_{R1}^* + S_{R3}^* + S_{R5}^* = 1 \\ S_{R2}^* + S_{R4}^* + S_{R6}^* = 1 \end{cases} \quad (3.26)$$

Com as restrições dadas por (3.26), tem-se nove combinações possíveis para as quais as chaves do retificador podem permanecer ligadas. Essas combinações estão mostradas na tabela 3.1.

Tabela 3.1: Vetores Espaciais de Corrente

Chaves Ligadas	$i_{e1}(t)/\mathbf{I}$	$i_{e2}(t)/\mathbf{I}$	$i_{e3}(t)/\mathbf{I}$	Vetor Espacial	$I_\alpha/\mathbf{I} + jI_\beta/\mathbf{I}$
S_{R1}, S_{R2}	1	0	-1	\mathbf{I}_1	$1 + j\sqrt{3}/3$
S_{R2}, S_{R3}	0	1	-1	\mathbf{I}_2	$0 + j2\sqrt{3}/3$
S_{R3}, S_{R4}	-1	1	0	\mathbf{I}_3	$-1 + j\sqrt{3}/3$
S_{R4}, S_{R5}	-1	0	1	\mathbf{I}_4	$-1 - j\sqrt{3}/2$
S_{R5}, S_{R6}	0	-1	1	\mathbf{I}_5	$0 - j2\sqrt{3}/3$
S_{R6}, S_{R1}	1	-1	0	\mathbf{I}_6	$1 - j\sqrt{3}/3$
S_{R1}, S_{R4}	0	0	0	\mathbf{I}_7	$0+j0$
S_{R3}, S_{R6}	0	0	0	\mathbf{I}_8	$0+j0$
S_{R5}, S_{R2}	0	0	0	\mathbf{I}_9	$0+j0$

Aplicando-se a equação (3.27) a cada uma das possíveis combinações, essas combinações podem ser representadas no plano complexo pelos vetores espaciais $\mathbf{I}_1, \mathbf{I}_2, \dots, \mathbf{I}_9$, como mostrado na figura 3.8 no qual:

$$\begin{bmatrix} I_\alpha \\ I_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} i_{e1}(t) \\ i_{e2}(t) \\ i_{e3}(t) \end{bmatrix} \quad (3.27)$$

Os vetores espaciais $\mathbf{I}_1, \mathbf{I}_2, \dots, \mathbf{I}_6$ representam vetores ativos por sintetizarem uma corrente diferente de zero na entrada do retificador, os vetores $\mathbf{I}_7, \mathbf{I}_8$ e \mathbf{I}_9 representam vetores nulos de corrente e o vetor espacial \mathbf{I}_{ref}^* representa o vetor espacial da corrente desejada na entrada do retificador.

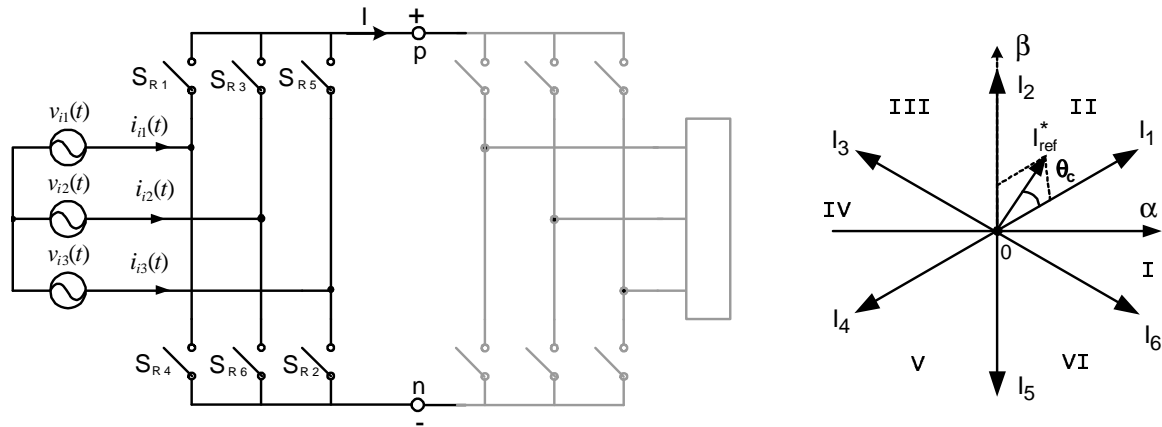


Figura 3.8: Modelo do retificador controlado e vetores espaciais de corrente.

Os vetores espaciais ativos definem 6 setores, representados pelos algarismos I a VI , nos quais o vetor espacial I_{ref}^* estará localizado em um instante de tempo qualquer.

O vetor I_{ref}^* é calculado a partir da soma vetorial de dois vetores ativos adjacentes e de suas respectivas razões cíclicas. O cálculo das razões cíclicas dos vetores espaciais de corrente adjacentes a I_{ref}^* é dado por:

$$\begin{aligned} d_a &= m_R \sin\left(\frac{\pi}{3} - \theta_c\right) \\ d_b &= m_R \sin(\theta_c) \\ d_{0c} &= 1 - d_a - d_b \end{aligned} \tag{3.28}$$

Com:

m_R : índice de modulação na etapa retificadora

d_a : razão cíclica do vetor espacial que antecede I_{ref}^*

d_b : razão cíclica do vetor espacial que sucede I_{ref}^* .

d_{0c} : razão cíclica dos vetores espaciais nulos.

θ_c : ângulo formado entre o vetor espacial I_{ref}^* e o vetor espacial de corrente que o antecede.

Como definido, o ângulo θ_c está limitado ao intervalo $[0 \quad \pi/3]$ e a equação (3.28) é válida para I_{ref}^* localizado em qualquer setor mostrado na figura 3.8.

3.2.2 Modulação vetorial no estágio inversor

Na figura 3.9 tem-se um esquema simplificado do estágio inversor do CM. A tensão no elo de corrente contínua é dado por \mathbf{V} e é suposta constante durante um período

de chaveamento. Seja $S_{V_k}^*$ ($k=1,2,\dots,6$) a função de chaveamento de uma chave S_{V_k} qualquer do inversor definida como sendo 1 quando S_{V_k} estiver fechada e 0 quando S_{V_k} estiver aberta, as restrições de operação do inversor são:

$$\begin{cases} S_{V1}^* + S_{V4}^* = 1 \\ S_{V3}^* + S_{V6}^* = 1 \\ S_{V5}^* + S_{V2}^* = 1 \end{cases} \quad (3.29)$$

Estas restrições de operação impõem à etapa inversora oito combinações nos quais as chaves de potência do inversor podem assumir valores mostrados na tabela 3.2, sendo que em duas delas o inversor produz uma tensão nula na saída.

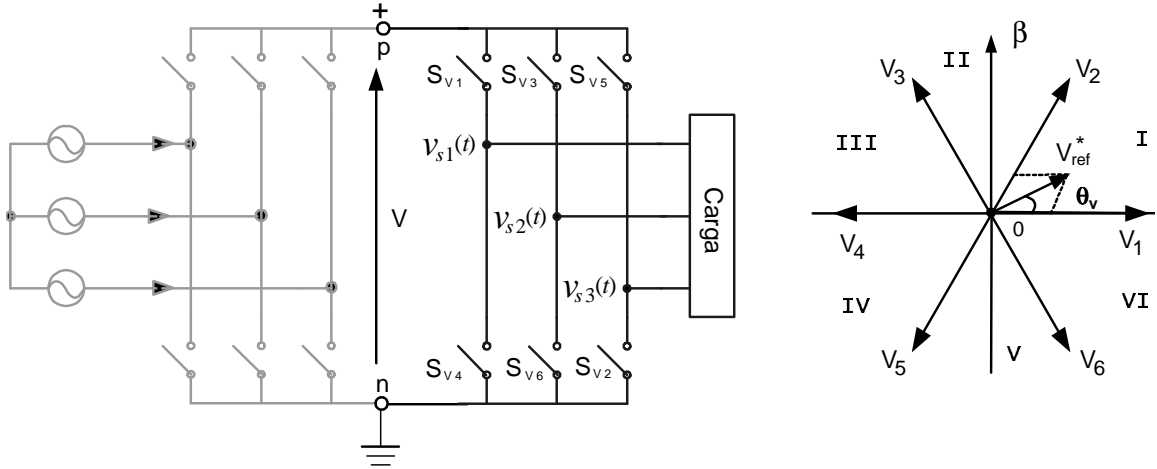


Figura 3.9: Vetores espaciais de tensão.

Tabela 3.2: Vetores espaciais de tensão

Chaves Ligadas	$v_{s1}(t)/V$	$v_{s2}(t)/V$	$v_{s3}(t)/V$	Vetor Espacial	$V_{s\alpha}/I + jV_{s\beta}/I$
S_{V1}, S_{V6}, S_{V2}	1	0	0	\mathbf{V}_1	$2/3 + j0$
S_{V1}, S_{V3}, S_{V2}	1	1	0	\mathbf{V}_2	$1/3 + j\sqrt{3}/2$
S_{V4}, S_{V3}, S_{V2}	0	1	0	\mathbf{V}_3	$-1/3 + j\sqrt{3}/2$
S_{V4}, S_{V3}, S_{V5}	0	1	1	\mathbf{V}_4	$-2/3 + j0$
S_{V4}, S_{V6}, S_{V5}	0	0	1	\mathbf{V}_5	$-1/3 - j\sqrt{3}/3$
S_{V1}, S_{V6}, S_{V5}	1	0	1	\mathbf{V}_6	$1/3 - j\sqrt{3}/3$
S_{V1}, S_{V3}, S_{V5}	1	1	1	\mathbf{V}_7	$0 + j0$
S_{V4}, S_{V6}, S_{V2}	0	0	0	\mathbf{V}_8	$0 + j0$

Aplicando a equação (3.30) a cada uma das oito combinações, no plano complexo, essas oito combinações são representadas pelos vetores espaciais de tensão V_1, V_2, \dots, V_8 ,

sendo que os vetores V_1, V_2, \dots, V_6 são vetores ativos e os vetores V_7, V_8 são vetores espaciais de tensão nula. Esses vetores estão representados no plano complexo pela figura 3.9 onde V_{ref}^* representa o vetor espacial de tensão desejada na saída da etapa inversora.

$$\begin{bmatrix} V_\alpha \\ V_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \begin{bmatrix} v_{s1}(t) \\ v_{s2}(t) \\ v_{s3}(t) \end{bmatrix} \quad (3.30)$$

O vetor espacial V_{ref}^* é calculado a partir da soma vetorial de dois vetores espaciais adjacentes e suas respectivas razões cíclicas, sendo essas razões cíclicas calculadas por:

$$\begin{aligned} d_c &= m_v \text{sen} \left(\frac{\pi}{3} - \theta_v \right) \\ d_d &= m_v \text{sen} (\theta_v) \\ d_{0v} &= 1 - d_c - d_d \end{aligned} \quad (3.31)$$

Com:

m_v : índice de modulação na etapa inversora

d_c : razão cíclica do vetor espacial que antecede V_{ref}^*

d_d : razão cíclica do vetor espacial que sucede V_{ref}^* .

d_{0v} : razão cíclica dos vetores espaciais nulos.

θ_v : ângulo formado entre o vetor espacial V_{ref}^* e o vetor espacial de tensão que o antecede.

O ângulo θ_v está limitado ao intervalo $[0 \quad \pi/3]$ e a equação (3.31) pode ser aplicada a qualquer setor onde o vetor V_{ref}^* esteja localizado.

3.2.3 Modulação vetorial no conversor em matriz

Fisicamente as mesmas chaves bidirecionais que compõem o conversor em matriz devem realizar tanto o processo de retificação quanto o de inversão, ou seja, os vetores espaciais I_{ref}^* e V_{ref}^* deverão ser sintetizados simultaneamente dentro de um intervalo de chaveamento a fim de se obter corrente senoidal na entrada e tensão senoidal na saída.

No modelo apresentado na figura 3.7, deseja-se que a corrente na entrada do estágio retificador seja senoidal e sincronizada com a tensão da rede. Desse modo o vetor espacial I_{ref}^* que representa essa corrente desejada, deverá percorrer uma trajetória

circular no plano complexo, com velocidade angular constante de aproximadamente 377 rad/s para um sistema de alimentação com frequência de 60 Hz e com a máxima amplitude a fim de se obter o máxima tensão eficaz no elo de corrente contínua virtual.

No estágio inversor, também se deseja uma tensão de saída senoidal mas com frequência e amplitude controláveis. Ou seja, o vetor espacial V_{ref}^* que representa essa tensão deverá percorrer uma trajetória circular mas com velocidade angular e amplitude ajustados de acordo com a necessidade da carga.

Como provavelmente o conversor em matriz operará com frequência da tensão de saída diferente da frequência da tensão de alimentação, tem-se 36 combinações dos pares de vetores espaciais I_{ref}^* e V_{ref}^* em função dos setores no quais poderão estar localizados em determinado instante de amostragem.

Uma possível sequência de síntese dos vetores espaciais de corrente e de tensão dentro de um período de amostragem é apresentada em [29].

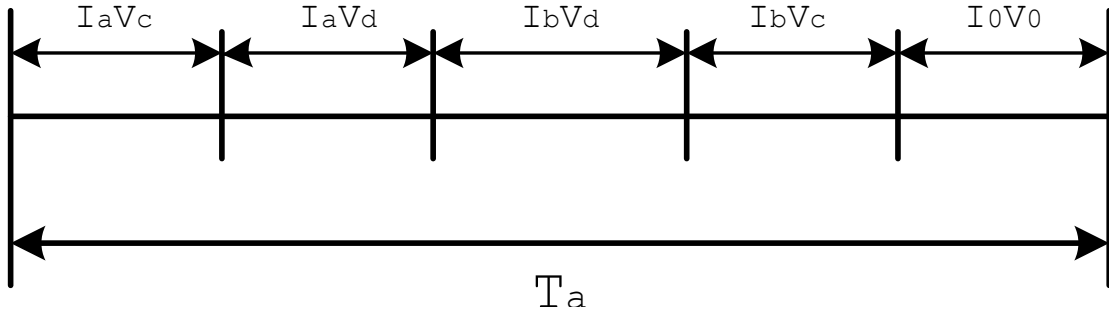


Figura 3.10: Sequência de chaveamento.

A síntese dos pares dos vetores espaciais de corrente e de tensão mostrada na figura 3.10 pode ser mais bem compreendida pelo exemplo a seguir: para se obter as tensões e correntes desejadas no conversor em matriz, num determinado instante de amostragem, o vetor espacial de corrente I_{ref}^* deve estar localizado no setor I e o vetor espacial de tensão V_{ref}^* deve estar localizado no setor III, como mostrado na figura 3.11:

Nessa situação, a correta sequência de vetores espaciais será:

$$I_6 V_3 \rightarrow I_6 V_4 \rightarrow I_1 V_4 \rightarrow I_1 V_3 \rightarrow I_0 V_0 \quad (3.32)$$

Com o auxílio das tabelas 3.1 e 3.2 pode-se determinar quais chaves bidirecionais do conversor em matriz deverão ser comutadas. Nesse exemplo, a figura 3.12 mostra essa sequência:

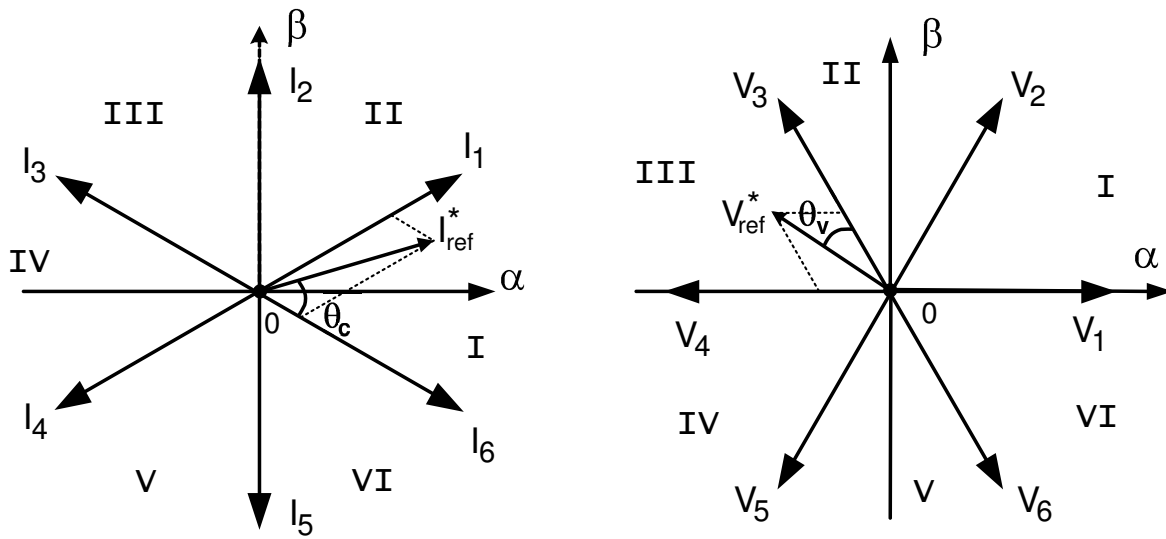
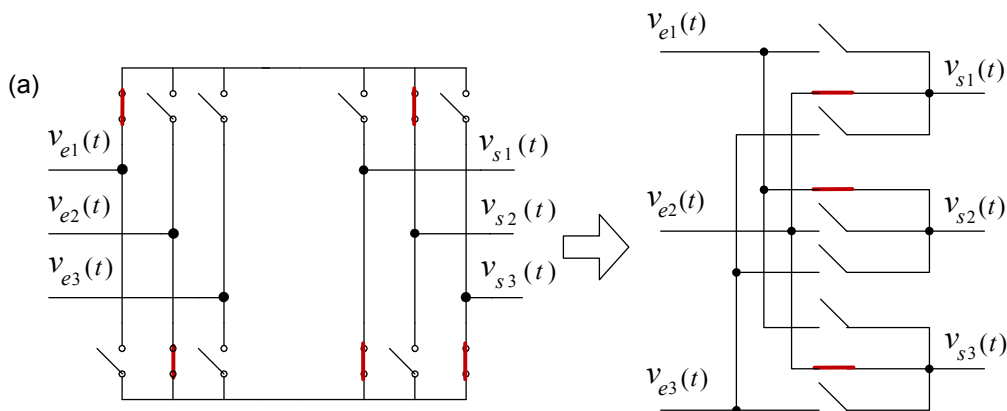
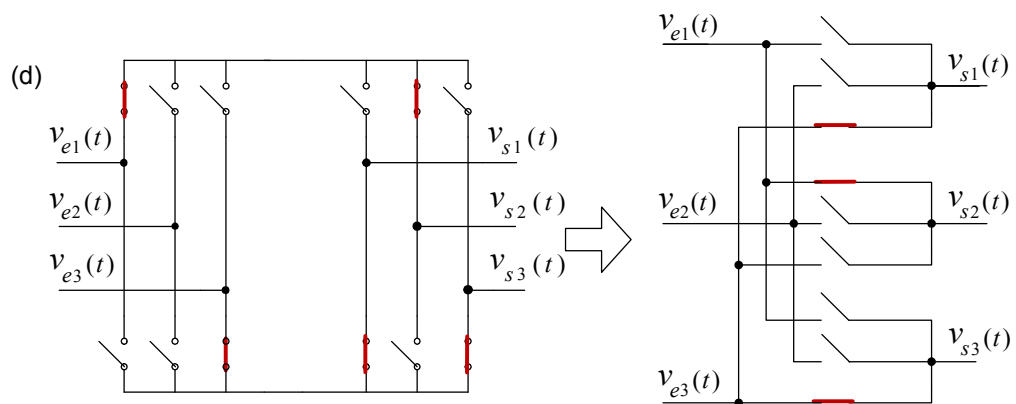
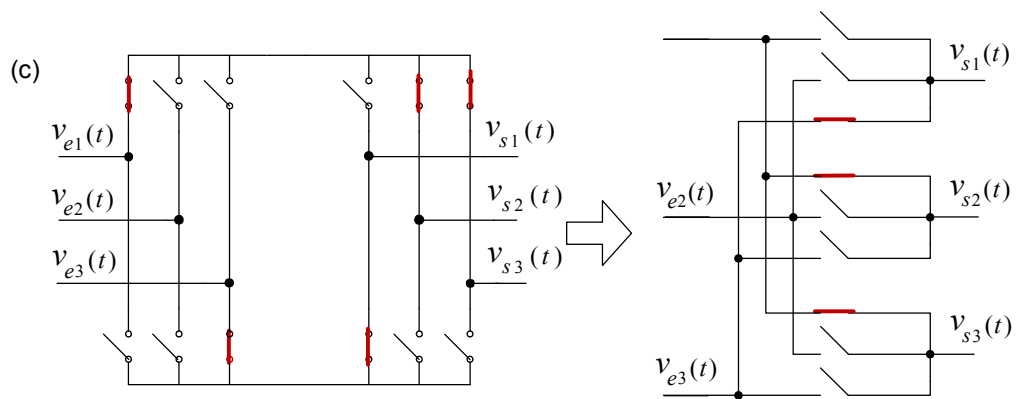
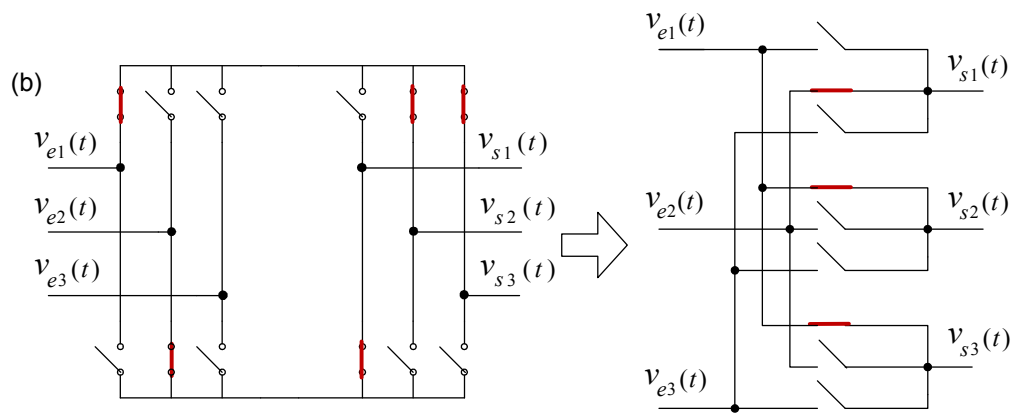


Figura 3.11: Localização dos vetores espaciais de corrente e de tensão no plano complexo.

Na figura 3.12a mostra-se a síntese dos pares de vetores I_6V_3 durante um dado período de tempo e, de acordo com as tabelas 3.1 e 3.2, o vetor I_6 representa o estágio retificador conectado nas fontes v_{e1} e v_{e2} fazendo com que as tensões de saída do estágio inversor sejam: $v_{s1} = v_{e2}$, $v_{s2} = v_{e1}$ e $v_{s3} = v_{e2}$. Como essa combinação de vetores é sintetizada num único passo pelo CM, as chaves bidirecionais do CM comutam para o estado mostrado na figura 3.12a. O mesmo processo ocorre na síntese dos outros pares de vetores, mostrados na figura 3.12b, c e d. No caso da escolha dos vetores que compõem o par I_0V_0 , leva-se em conta os vetores de reduzir o número de chaveamento dentro do período de amostragem. Nessa situação particular, a figura 3.12d mostra que a escolha dos pares de vetores I_9V_8 levaria o segundo braço do conversor em matriz a





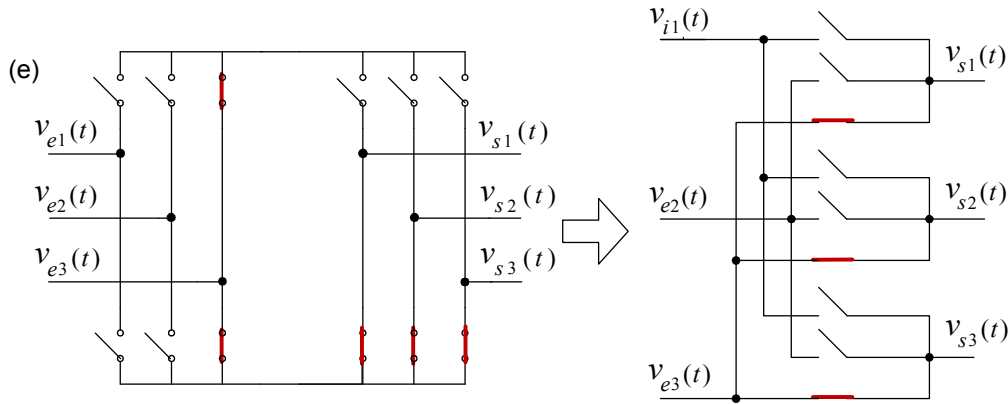


Figura 3.12: Comutação do CM durante um período de amostragem.

comutar de modo que $v_{s2} = v_{e3}$ e apenas ocorreria uma comutação no conversor em matriz já que nos outros braços têm-se $v_{s1} = v_{s3} = v_{e3}$. O cálculo das razões cíclicas que definem a duração dos pares de vetores espaciais dentro do período de amostragem no conversor em matriz será o produto das razões cíclicas do estágio retificador com as razões cíclicas do estágio inversor. Multiplicando-se as razões cíclicas d_a e d_b obtidas pela equação (3.28) pelas razões cíclicas d_c e d_d obtidas pela equação (3.31) tem-se:

$$\begin{aligned}
 d_{ac} &= d_a \cdot d_c = m \cdot \text{sen} \left(\frac{\pi}{3} - \theta_c \right) \cdot \text{sen} \left(\frac{\pi}{3} - \theta_v \right) \\
 d_{ad} &= d_a \cdot d_d = m \cdot \text{sen} \left(\frac{\pi}{3} - \theta_c \right) \cdot \text{sen} \left(\theta_v \right) \\
 d_{bd} &= d_b \cdot d_d = m \cdot \text{sen} \left(\theta_c \right) \cdot \text{sen} \left(\theta_v \right) \\
 d_{bc} &= d_b \cdot d_c = m \cdot \text{sen} \left(\theta_c \right) \cdot \text{sen} \left(\frac{\pi}{3} - \theta_v \right)
 \end{aligned} \tag{3.33}$$

Onde m é índice de modulação e corresponde ao produto m_v com m_R , e m está limitado entre 0 e 1.

3.3 Simulações das técnicas de modulação de Venturini e vetorial

Os resultados de simulação mostrados a seguir foram de simulações realizados usando o aplicativo *Simulink* do *Matlab*. Nessa simulação, as chaves de potência que compõem o conversor em matriz são chaves ideais. A taxa de amostragem foi de 5 kHz e a carga foi do tipo indutiva com $R = 2,5 \Omega$ e $L = 2 \text{ mH}$. A fonte de tensão trifásica de entrada do conversor em matriz foi de 220 V e 60 Hz e a frequência de saída do conversor em matriz foi ajustada para 40 Hz.

As figuras 3.13 e 3.14 representam as correntes e tensões no conversor em matriz quando a técnica de modulação de Venturini foi usada no controle no conversor em matriz. Nesse caso considera-se o ganho máximo de tensão de 0,5 e implementa-se as equações (3.22), (3.23) e (3.24) com o conversor em matriz operando com fator de deslocamento unitário.

Na figura 3.13a, é mostrado a corrente na entrada do conversor em matriz ficando evidente a necessidade de filtros de corrente na entrada do conversor em matriz de modo a evitar a propagação de componentes harmônicas de alta frequência na rede de alimentação. Porém, quanto maior for frequência de chaveamento do conversor em matriz, menores em volume serão os capacitores e indutores utilizados na construção do filtro.

O espectro em frequência das tensões de fase e de linha na saída do conversor em matriz, vistos na figura 3.14, mostram um valor elevado da componente harmônica em 5 kHz que foram filtradas pela carga como mostrada na figura 3.13b.

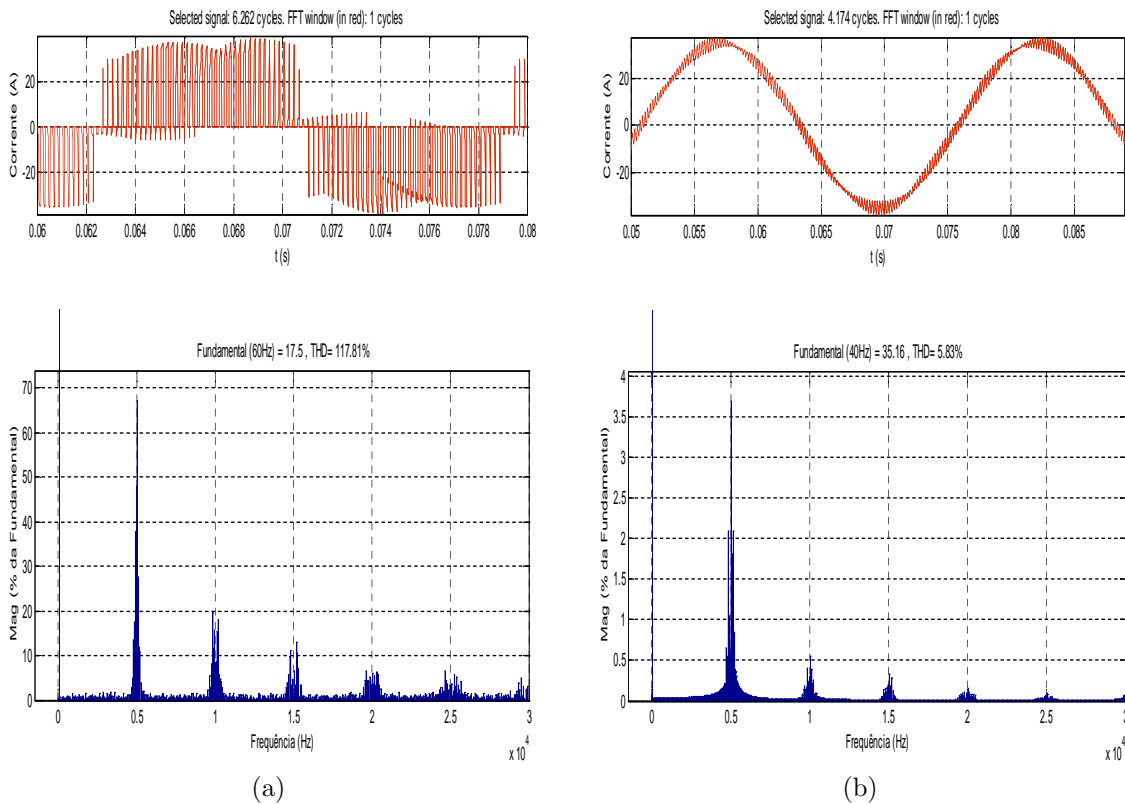


Figura 3.13: Modulação de Venturini - (a): Corrente na entrada do CM e espectro em frequência, (b): corrente na carga e espectro em frequência

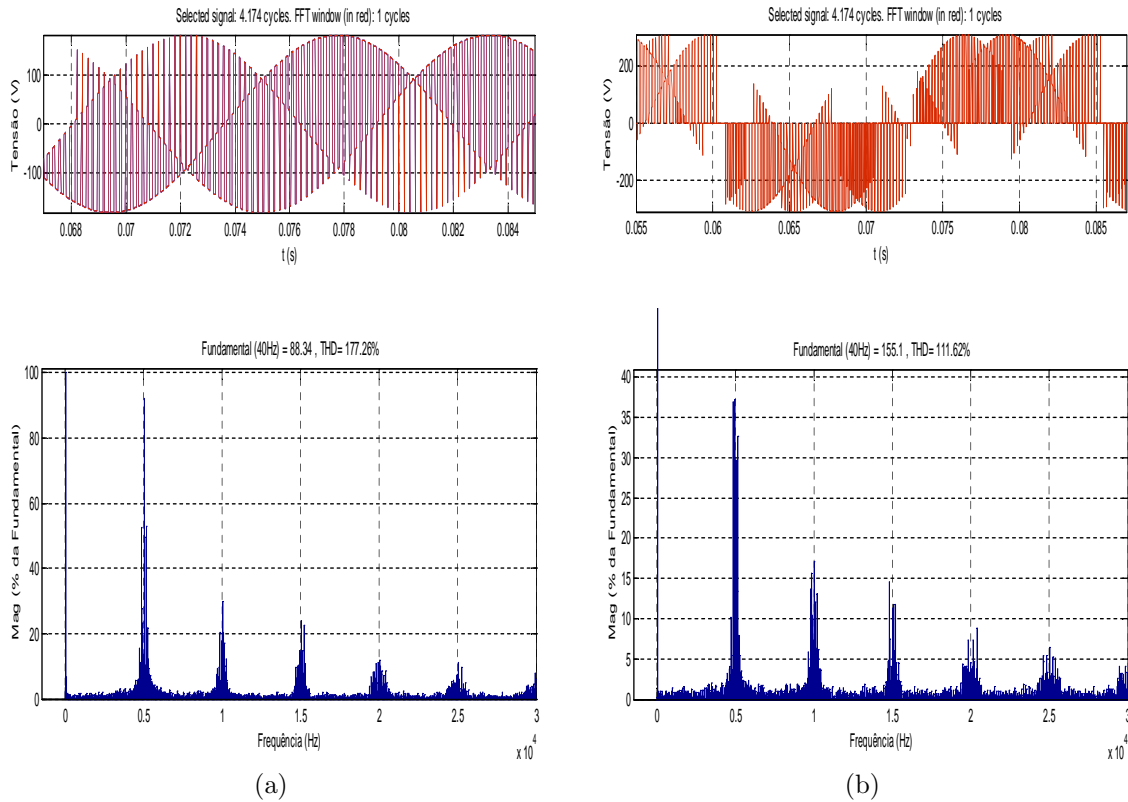


Figura 3.14: Modulação de Venturini - (a): Tensão de fase e espectro em frequência, (b): Tensão de linha e espectro em frequência

As figuras 3.15 e 3.16 mostram as tensões e correntes no conversor em matriz quando a técnica de modulação vetorial com índice de modulação em 0,99 é usada. Observa-se que mesmo o conversor em matriz operando na frequência de chaveamento de 5kHz, os espectros em frequência da tensão de saída e da corrente de entrada do conversor em matriz apresentam uma taxa de distorção harmônica inferior aos valores observados na técnica de modulação de Venturini.

Na técnica de modulação vetorial há um espalhamento das componentes harmônicas de chaveamento no espectro em frequência enquanto que na técnica de modulação de Venturini as componentes harmônicas estão bem definidas em torno dos múltiplos da frequência de chaveamento. Também é importante o fato da amplitude da componente fundamental de tensão e de corrente serem comparativamente mais elevadas em relação aos apresentados na técnica de modulação de Venturini, que está limitado a um ganho máximo de tensão em 0,5.

Nas duas simulações realizadas, o conversor em matriz opera com fator de desloca-

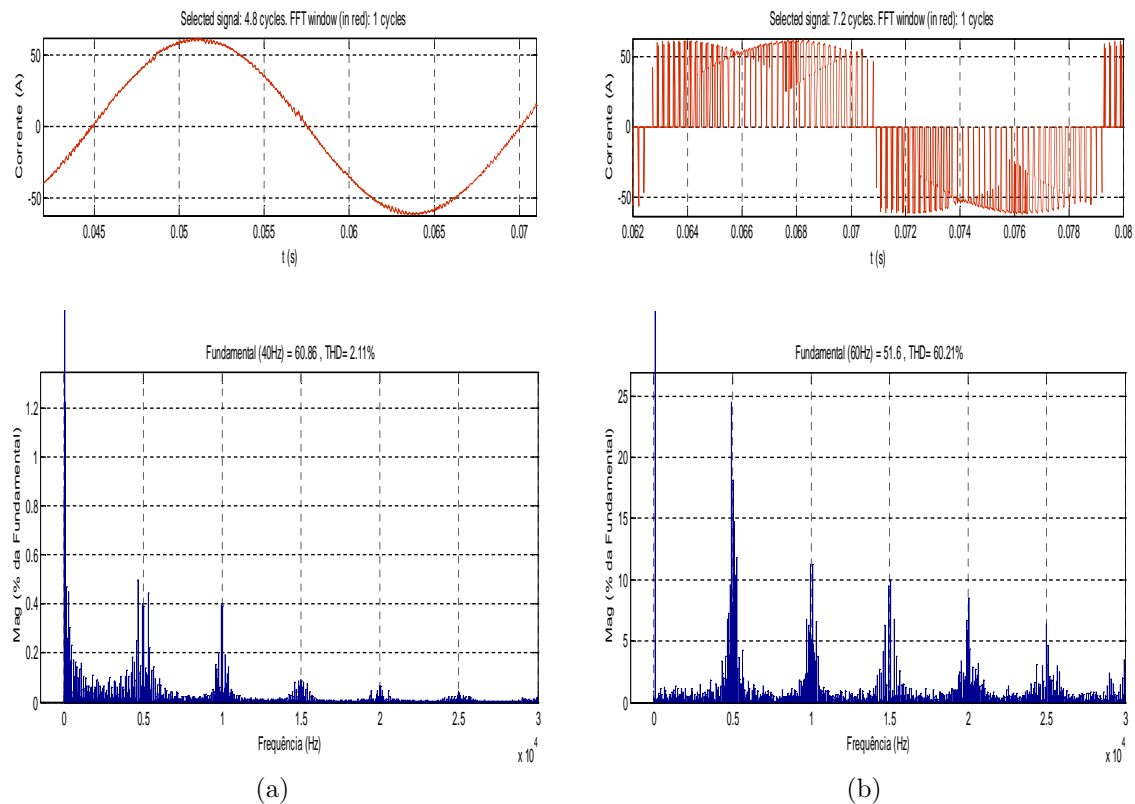


Figura 3.15: Modulação vetorial - (a): Corrente na carga e espectro em frequência, (b): corrente na entrada do CM e espectro em frequência

mento unitário, mostrado na figura 3.17 onde a corrente de entrada foi filtrada por meio de um filtro passa-baixas com frequência de corte em 2 kHz. Observa-se que o pequeno deslocamento da corrente se deve ao efeito do filtro. Tanto na técnica de modulação de Venturini quanto na técnica de modulação vetorial é possível corrigir o atraso da corrente introduzido pelo filtro, porém o máximo ganho de tensão será menor nos dois casos.

3.4 Implementação das técnicas de modulação

As técnicas de modulação em largura de pulsos de Venturini e vetorial foram implementadas em linguagem C no DSP TMS320F2812 utilizando o ambiente de programação *CodeComposer*, ambos da Texas Instruments. Embora o TMS320F2812 seja do tipo ponto fixo, a Texas disponibilizou uma biblioteca matemática com diversas operações e funções em ponto fixo denominada *IqmathLib.h*. Todas as operações são re-

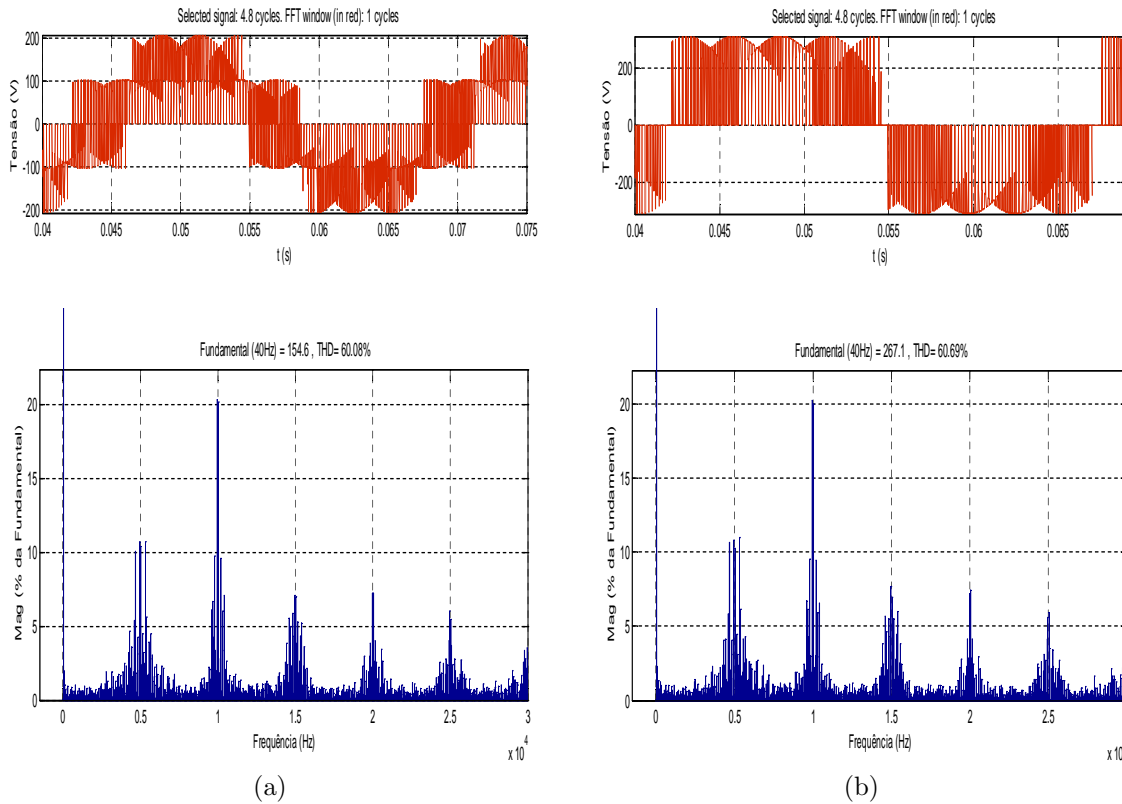


Figura 3.16: Modulação vetorial - (a): Tensão de fase e espectro em frequência, (b): Tensão de linha e espectro em frequência

alizadas em 32 bits o que aumenta muito a precisão dos resultados numéricos reduzindo a necessidade de se fazer escalonamentos.

Além disso, o DSP TMS320F2812 possui dois temporizadores de uso geral denominados GP1 e GP2 (*GP1 - General Purpose timer 1*), cada um com diversos registros comparadores que permitem uma grande flexibilidade no controle de eventos.

Para a testar os programas desenvolvidos, foi construído um pequeno simulador analógico do conversor em matriz e na figura 3.18 mostra-se o esquema simplificado de um braço do simulador. A principal vantagem de se utilizar um simulador analógico é a possibilidade de testar em tempo real se o algoritmo de acionamento implementado no DSP está funcionando adequadamente antes de aplicá-lo no acionamento de um circuito de maior potência.

Na figura 3.18, um gerador de sinais gera uma tensão senoidal de amplitude de 2 V de pico. No bloco defasador, construído com amplificadores operacionais, são gerados mais dois sinais senoidais de 2V de pico defasados de 120 graus entre si. As

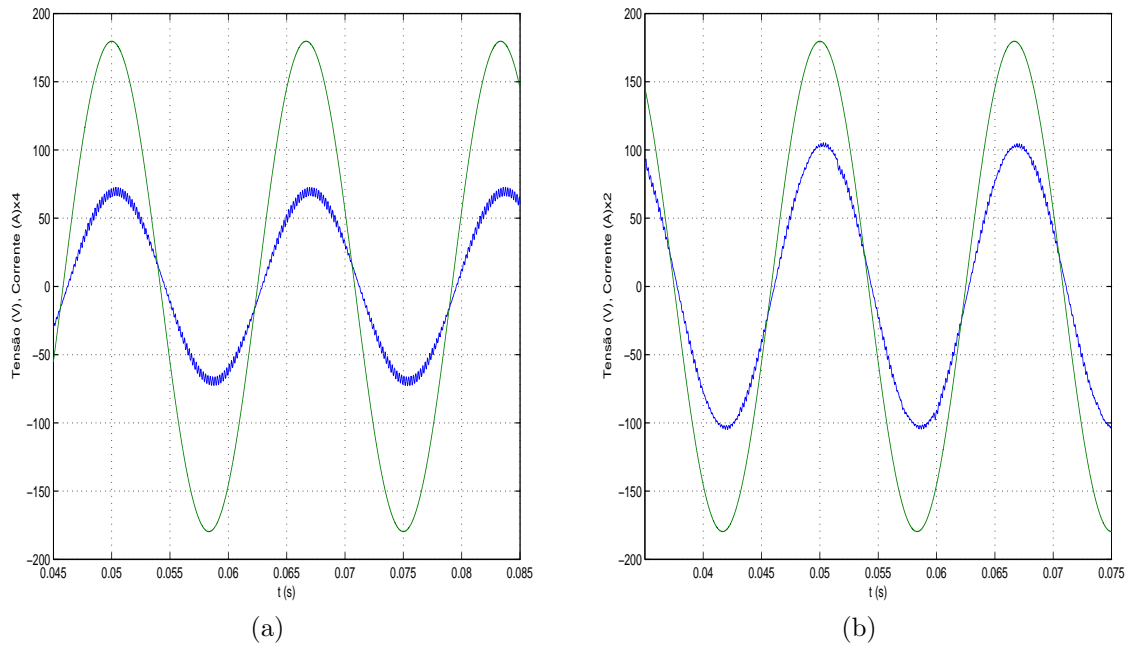


Figura 3.17: Tensão e corrente filtrada na entrada do CM usando a técnica de modulação (a) Venturini e (b) vetorial.

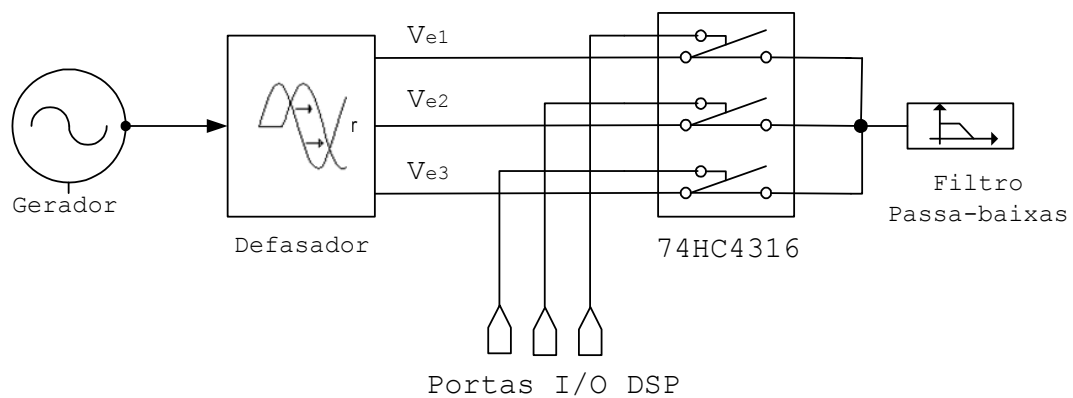


Figura 3.18: Circuito simulador analógico.

chaves bidirecionais foram implementadas utilizando o circuito integrado 74HC4316 que é constituído de 4 chaves analógicas bidirecionais que podem atuar tanto no semiciclo positivo quanto no semiciclo negativo.

A chave é comandada pelos sinais provenientes das portas de I/O do DSP e um filtro ativo passa-baixas de segunda ordem foi projetado para uma frequência de corte em 800 Hz para simular uma carga RL.

3.4.1 Implementação da técnica de modulação de Venturini

A técnica de modulação de Venturini é muito útil para testar os módulos de potência do conversor em matriz por permitir o controle de cada braço do conversor em matriz de modo independente. Na implementação do algoritmo foi considerada uma tensão de saída com frequência em 40 Hz com ganho de tensão de 0,5 e taxa de amostragem de 5 kHz. Considerando que a frequência base do GP1 foi ajustada para 25 MHz, aplicando-se a equação (3.8), o cálculo das razões cíclicas m_a , m_b e m_c será dado por:

$$\begin{aligned} m_a &= \text{int} \left(\left[\frac{1}{3} + \frac{1}{3} \cos(\theta) \right] * 5000 \right) \\ m_b &= \text{int} \left(\left[\frac{1}{3} + \frac{1}{3} \cos\left(\theta + \frac{2\pi}{3}\right) \right] * 5000 \right) \\ m_c &= 5000 - m_a - m_b \end{aligned} \tag{3.34}$$

O ângulo θ é obtido por meio de integração da diferença entre a frequência da tensão de saída (40 Hz) e a frequência da tensão de entrada (60 Hz). Os registros do GP1 utilizados na síntese das razões cíclicas é mostrado na figura 3.19, na qual cada vez que o valor do registro contador de GP1 se iguala aos valores armazenados nos registros comparadores é gerado uma chamada de uma sub-rotina de interrupção com o propósito de atualizar as portas de I/O do DSP. Assim, quando o registro contador alcança o valor armazenado em CMPR1, a saída das portas de I/O são atualizadas para [0 1 0] para que apenas V_{e2} seja filtrada, [0 0 1] para que V_{e3} seja filtrada quando o registro contador atingir o valor em CMPR2 e [1 0 0] para que V_{e1} seja filtrada quando o registro contador atingir o valor armazenado em T1PR, sendo o processo reiniciado.

Os resultados obtidos com o simulador analógico, mostrados na figuras 3.20, 3.21 e 3.22 foram obtidos com o osciloscópio digital da Tektronix modelo TDS 460 A.

Os resultados estão de acordo com os resultados obtidos por simulação no *Simulink* e mostram que o programa desenvolvido realiza o cálculo correto dos tempos de chaveamento das chaves bidirecionais do conversor.

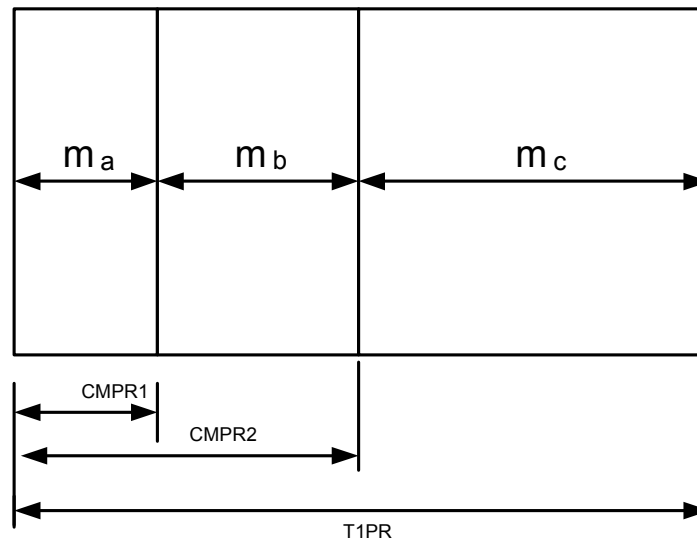


Figura 3.19: Registros comparadores do DSP utilizados na implementação da técnica de Venturini.

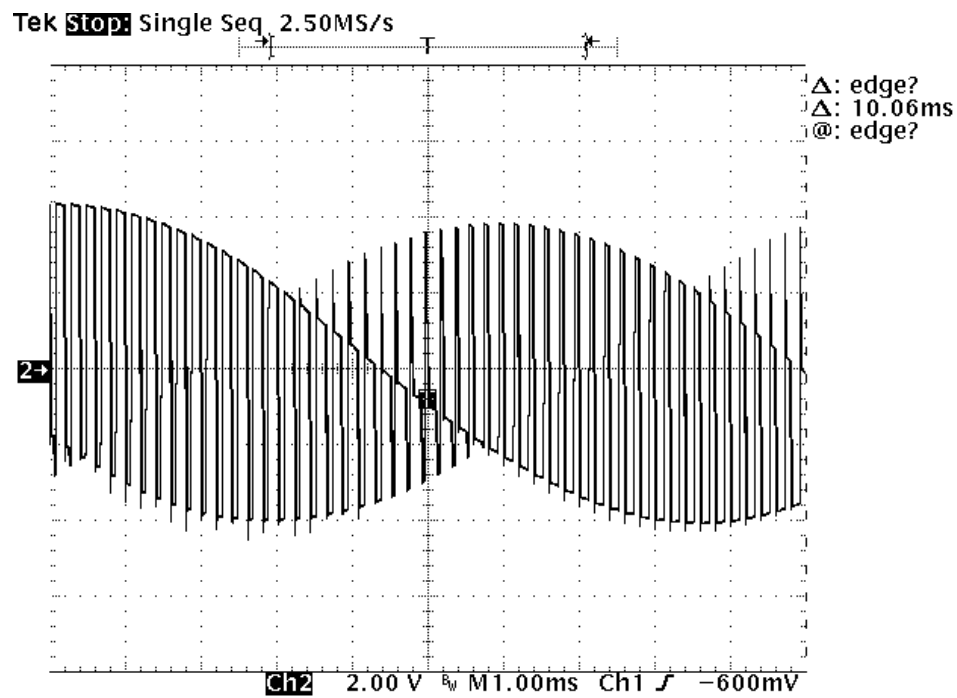


Figura 3.20: Tensão de fase na saída do simulador analógico.

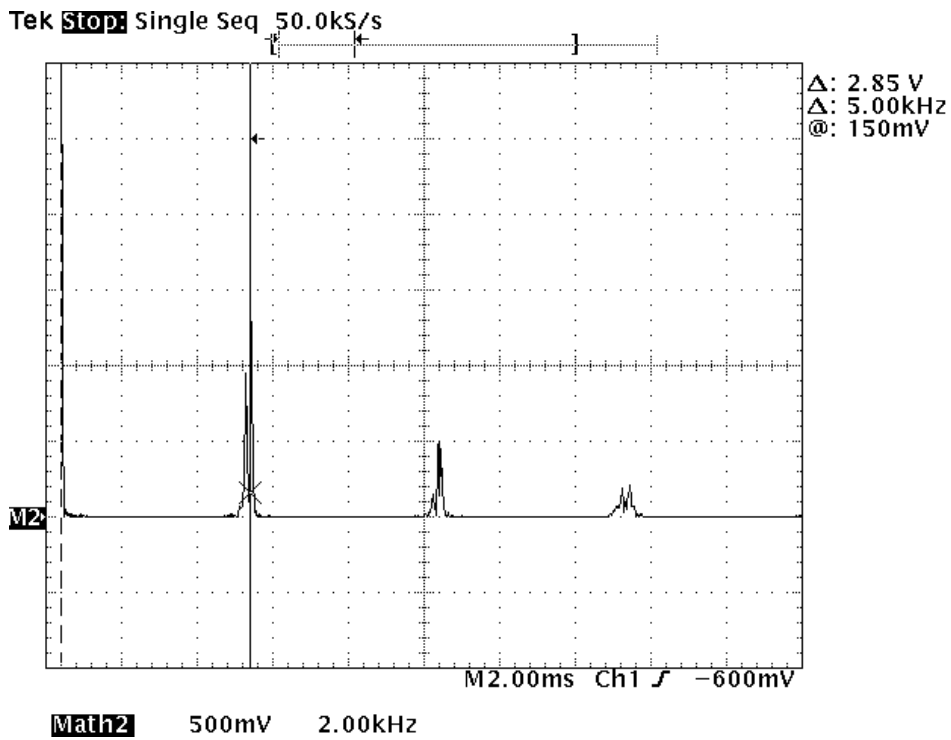


Figura 3.21: Espectro em frequência da tensão de saída do simulador analógico.

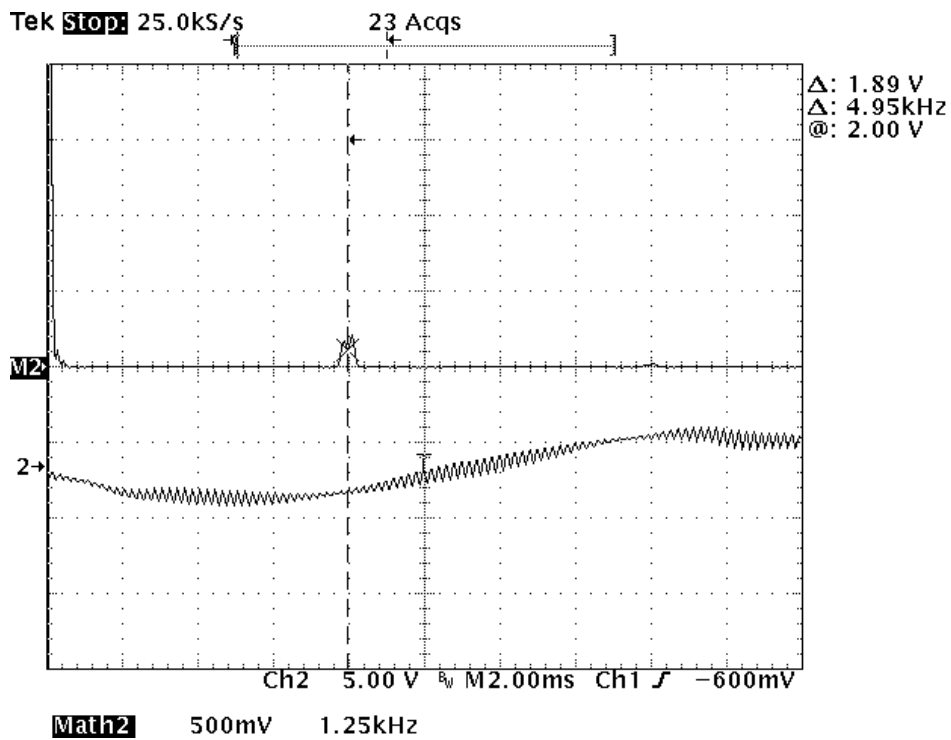


Figura 3.22: Canal 2: tensão de saída filtrada, M2: espectro da tensão de saída filtrada.

3.4.2 Implementação da técnica de modulação Vetorial

A técnica de modulação vetorial permite alcançar o máximo ganho de tensão no conversor em matriz utilizando um conjunto simples de equações para o cálculo das razões cíclicas. Entretanto, sua implementação é mais complexa do que a técnica de modulação de Venturini, exigindo maiores recursos de hardware e espaço de memória do DSP.

Na modulação vetorial é necessário o cálculo de 5 razões cíclicas de acordo com a equação (3.35) e portanto serão necessários 5 registros comparadores. Os ângulos θ_c e θ_v são calculados cada um numa rotina de interrupção própria.

$$\begin{aligned}
 d_{ac} &= \text{int} \left[m \cdot \text{sen} \left(\frac{\pi}{3} - \theta_c \right) \cdot \text{sen} \left(\frac{\pi}{3} - \theta_v \right) \cdot 5000 \right] \\
 d_{ad} &= \text{int} \left[m \cdot \text{sen} \left(\frac{\pi}{3} - \theta_c \right) \cdot \text{sen} \left(\theta_v \right) \cdot 5000 \right] \\
 d_{bd} &= \text{int} \left[m \cdot \text{sen} \left(\theta_c \right) \cdot \text{sen} \left(\theta_v \right) \cdot 5000 \right] \\
 d_{bc} &= \text{int} \left[m \cdot \text{sen} \left(\theta_c \right) \cdot \text{sen} \left(\frac{\pi}{3} - \theta_v \right) \cdot 5000 \right] \\
 d_0 &= 5000 - d_{ac} - d_{ad} - d_{bd} - d_{bc}
 \end{aligned} \tag{3.35}$$

O sincronismo do ângulo θ_c com o ângulo da tensão de entrada V_{e1} é realizado pela detecção de zero da tensão V_{e1} . A detecção da borda de subida da onda quadrada resultante do cruzamento por zero é feita pela unidade de captura do DSP, gerando uma interrupção na qual são calculados o ângulo θ_c e o setor no qual ele está localizado.

O ângulo θ_v é calculado por meio de integração da frequência desejada na saída do conversor em matriz em outra rotina de interrupção gerada pelo registro T3PR. Nessa rotina também é calculado o setor ao qual θ_v está localizado.

Os registros do TMS320F2812 utilizados nesta implementação estão mostrados na figura 3.23. Considerando a mesma frequência base de 25 MHz e taxa de amostragem de 5 kHz, o valor armazenado em T1PR será 5000.

Cada vez que o conteúdo do registro contador de GP1 se iguala com o conteúdo dos registros mostrados na figura 3.23, uma interrupção é gerada a fim de atualizar as saídas de I/O do DSP com vetores que representam os estados das chaves analógicas do CI 74HC4316. Para cada uma das razões cíclicas calculadas existem 36 combinações de vetores espaciais de tensão e de corrente de modo que o número total de vetores a ser armazenado em memória será $36 \cdot 5 = 180$ vetores.

Esses vetores são organizados na memória RAM do DSP de modo que no início de cada nova amostragem (quando o contador de GP1 iguala com T1PR) um ponteiro aponta para o primeiro vetor da sequência mostrada na figura 3.10. O endereço desse

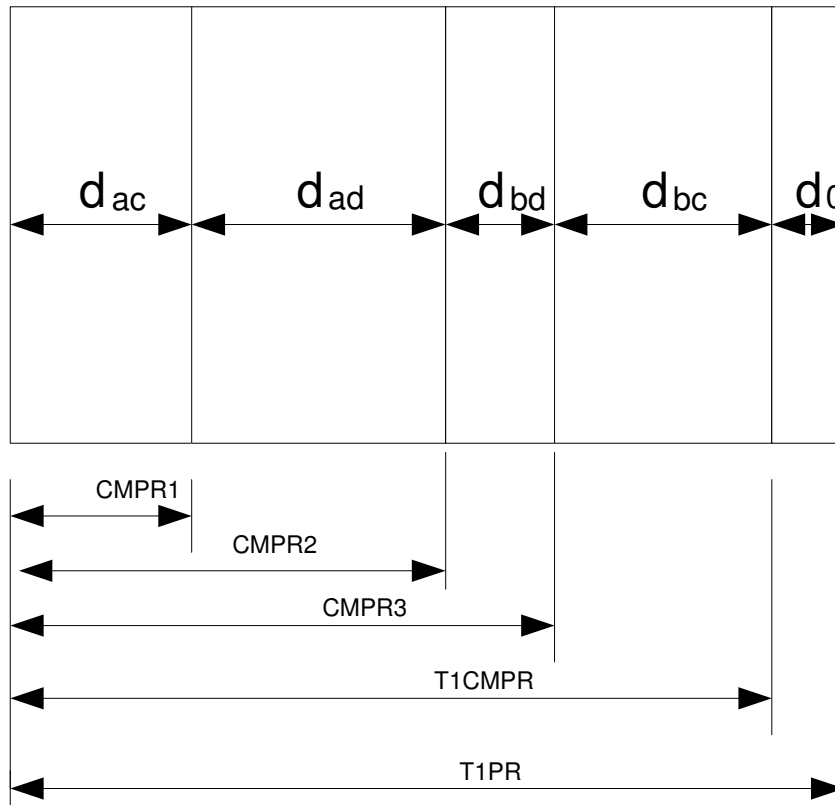


Figura 3.23: Registros do DSP utilizados na síntese das razões cíclicas da técnica de modulação vetorial

vetor é calculado pela equação (3.36):

$$endereço = 5 * setor_tenso + 30 * setor_corrente \quad (3.36)$$

Os resultados obtidos no simulador analógico são para a técnica de modulação vetorial com índice de modulação de 0,98. Na figura 3.24 mostra-se a tensão de linha na saída do simulador com frequência em 40Hz. O espectro em frequência desta tensão é mostrado em detalhes na figura 3.25 onde se nota o espalhamento das componentes harmônicas em torno da frequência de chaveamento, como observado nas simulações.

A figura 3.26 mostra a tensão de linha na saída do circuito simulador quando se ajusta a frequência da tensão de saída para 100 Hz. O conversor em matriz pode sintetizar na saída uma tensão senoidal com qualquer frequência. Porém, quanto maior a frequência na saída, maior será a distorção harmônica já que a relação entre a frequência de chaveamento e frequência de saída se torna menor.

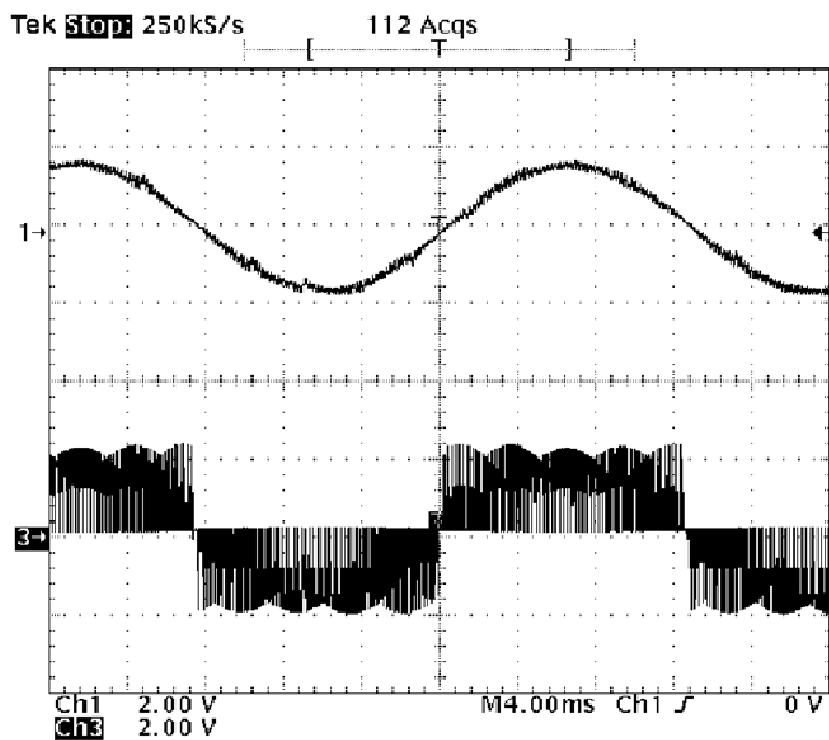


Figura 3.24: Ch1: Tensão de linha filtrada, Ch3: tensão de linha.

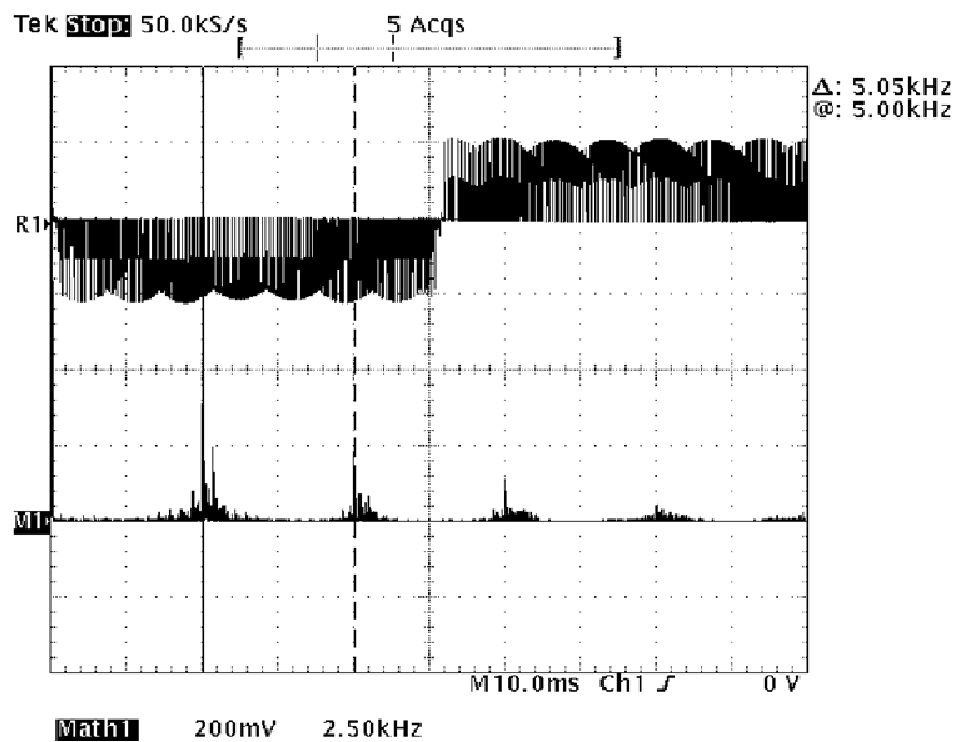


Figura 3.25: Espectro em frequência da tensão de linha na saída do simulador.

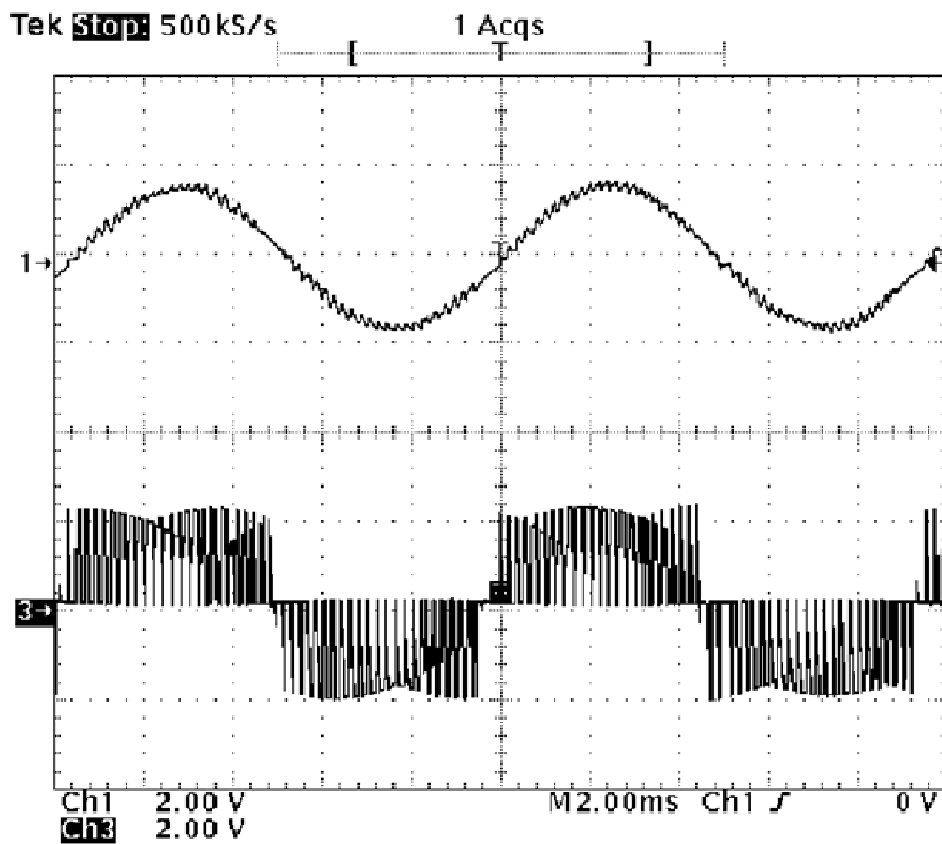


Figura 3.26: Modulação vetorial e tensão filtrada

Capítulo 4

Implementação do protótipo do conversor em matriz

O desenvolvimento de um protótipo, qualquer que seja o conversor eletrônico de potência, é fundamental para o estudo e validação de novas técnicas de controle, proteção e aplicação do conversor. Em alguns casos, o desenvolvimento de um protótipo de conversor de potência é simplificado pela existência de componentes disponíveis comercialmente. No desenvolvimento de um protótipo de um inversor de frequência, por exemplo, é possível encontrar no mercado componentes nos quais estão integrados, num único módulo, a ponte a diodos trifásica, a ponte inversora a IGBTs, os circuitos de acionamento e de proteção.

Esses módulos, designados como *módulos inteligentes de potência*, são produzidos por diversas empresas tais como Fairchild Semiconductor[7], International Rectifier[30] e outras. Porém, mesmo com esses dispositivos disponíveis no mercado, a tarefa de desenvolvimento de um protótipo não é trivial. O correto dimensionamento dos componentes externos ao módulo, o desenvolvimento de circuitos de proteção, o desenvolvimento do circuito de controle e sua interface com o circuito de potência bem como o projeto de um *layout* de circuito impresso adequado, sempre será um grande desafio no desenvolvimento de protótipos.

A tarefa de construção de um protótipo de um conversor em matriz se torna mais complexa ainda por diversos motivos: a inexistência de chaves bidirecionais de potência, a dificuldade em controlar a emissão de ruídos devido às comutações de um número elevado de chaves semicondutoras de potência, circuitos de proteção complexos e a necessidade de algoritmos de controle sofisticados.

Este capítulo trata da implementação de um protótipo de um conversor em matriz de 2 kW, cujo sistema a ser implementado está mostrado na figura 4.1. O desenvolvimento do protótipo consiste no projeto do filtro de entrada, na construção de chaves de potência bidirecionais usando IGBTs, no uso de varistores para proteção contra sobretensões, na construção de circuito de proteção contra curto-circuito e circuito de comutação segura dos IGBTs. Apenas o bloco “DSP” não será construído porque será utilizado o kit eZdsp DSP TMS320F2812 da Spectrum Digital.

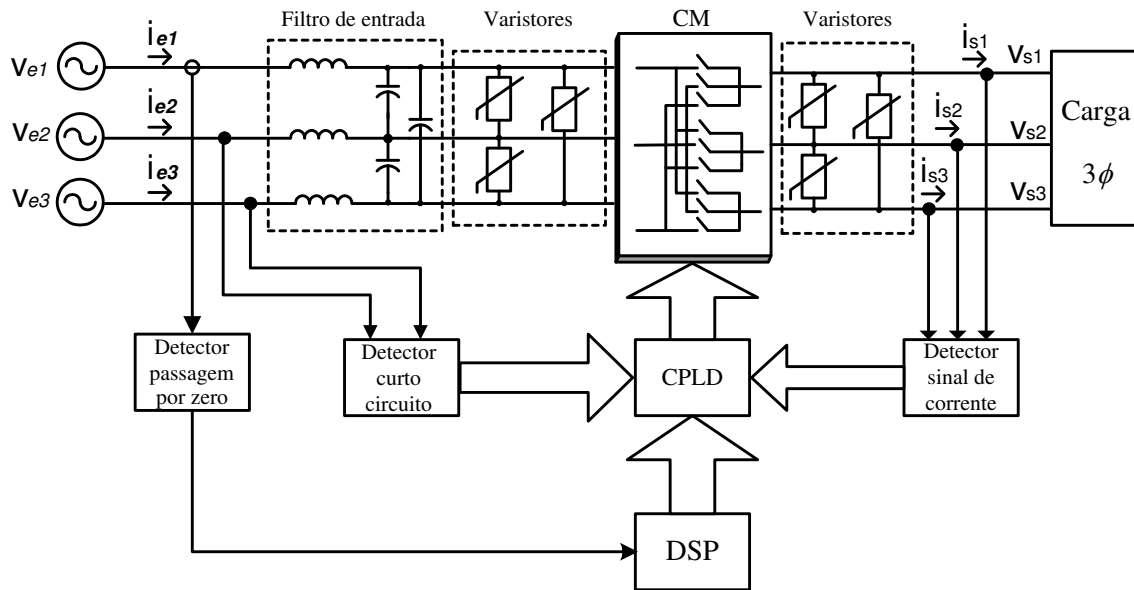


Figura 4.1: Diagrama elétrico simplificado do CM

4.1 Chaves bidirecionais de potência

Conversores em matriz necessitam de chaves bidirecionais de potência para sua operação. Chaves bidirecionais de potência devem conduzir a corrente elétrica em ambos os sentidos e devem ser capazes de bloquear tanto a tensão direta quanto a tensão reversa. Infelizmente, essas chaves de potência não existem comercialmente embora seja assunto de pesquisa de diversas empresas da área de semicondutores de potência [31].

Além das características citadas, a chave bidirecional de potência deve ser totalmente controlável tanto no instante de ligar quanto no instante de desligar. Isso impede o uso

de triacs na construção de conversores em matriz pois embora sejam capazes de conduzir em ambos sentidos e bloquear a tensão direta e reversa, o triac só desliga quando sua corrente ficar abaixo da corrente de manutenção.

Portanto, uma chave bidirecional de potência como a demandada pelo conversor em matriz deve ser construídas a partir de dispositivos semicondutores de potência que permitam seu total controle. Considerando a potência do protótipo do conversor em matriz de 2 kW para operar com frequência de chaveamento em 10 kHz, o componente mais adequado para implementação das chaves bidirecionais de potência é o IGBT.

Esse dispositivo, além de sua robustez a curto-circuito [32],[33] e baixa tensão de condução, são disponíveis em diversos modelos de baixo custo e facilmente encontrados no mercado. A implementação de uma chave bidirecional usando IGBTs pode ser conseguida em vários arranjos, mostrados na figura 4.2.

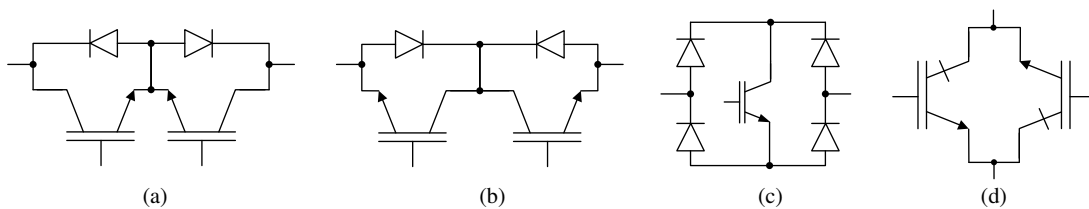


Figura 4.2: Implementação de chaves bidirecionais de potência usando IGBTs

Na figura 4.2, os arranjos mostrados nos esquemas a e b são usados dois IGBTs na configuração emissor-comum e coletor-comum respectivamente. Os dois arranjos necessitam de dois circuitos de acionamento mas apresentam a vantagem de produzir baixas perdas por condução, quando comparado com o arranjo 4.2c.

O arranjo mostrado na figura 4.2c, embora mais simples de controlar, já que exige apenas um circuito de acionamento, apresenta as maiores perdas por condução pois a corrente percorre três dispositivos semicondutores de potência durante a condução da chave bidirecional.

O arranjo mostrado em 4.2d utiliza IGBTs de nova geração que apresentam capacidade de bloqueio de tensão reversa. Embora alguns autores mostrem que chaves bidirecionais com esse tipo de IGBT apresentam menores perdas comparadas aos arranjos 4.2a e 4.2b [34], seu custo é elevado e é difícil de encontrá-lo no mercado.

Um protótipo de conversor em matriz de entrada e saída trifásica precisa de nove chaves bidirecionais que implica no uso de 18 IGBTs nas configurações emissor-comum ou coletor-comum. Os 18 IGBTs serão distribuídos em três módulos de potência, sendo

que cada módulo representa um braço do conversor em matriz, como mostrado na figura 4.3.

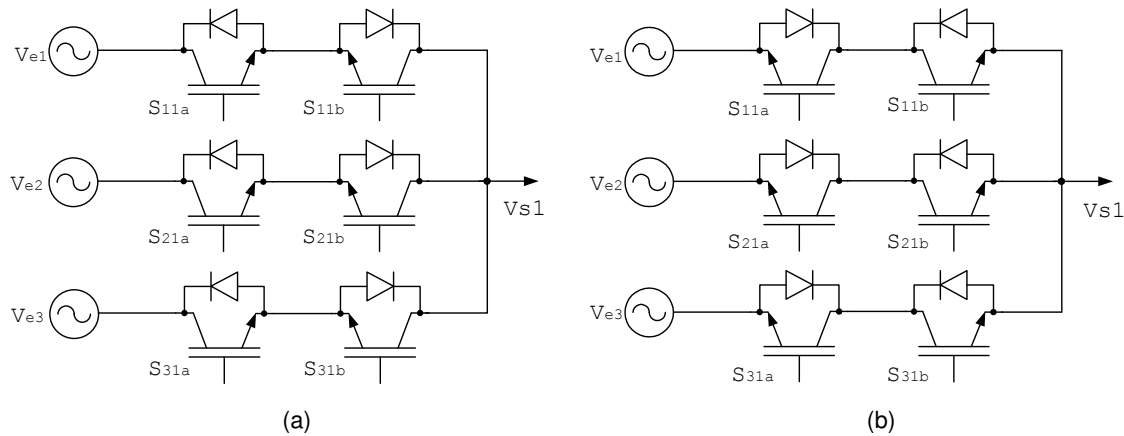


Figura 4.3: Módulos de potência utilizando IGBTs na configuração: (a) emissor comum, (b) coletor comum

Construir um módulo de potência na configuração emissor-comum implica na necessidade de nove fontes de tensão isoladas, três em cada módulo, para alimentar os circuitos de acionamento dos IGBTs. Porém, nessa configuração, os módulos podem ser construídos e testados de modo independente.

Já a opção de construir os módulos de acordo com a figura 4.3b implica na necessidade de apenas seis fontes de tensão isoladas para alimentar os circuitos de acionamento dos três módulos. A desvantagem é que os circuitos de acionamento dos IGBTs conectados no lado da fonte de alimentação estarão compartilhando a mesma fonte de tensão, gerando uma dependência entre os três módulos. No protótipo construído optou-se pela construção dos módulos de potência usando a configuração emissor. Com a técnica de modulação de Venturini implementada em DSP, foi possível testar separadamente os três módulos de potência que compõem o protótipo do conversor em matriz.

O IGBT utilizado na construção dos módulos foi o IRGB15B60KD que tem as seguintes características: baixo $V_{CE(on)}$: 1,8 V, capacidade de curto-circuito de 10 μ s, diodo interno de recuperação ultrasuave e capaz de suportar uma corrente de 15 A [35].

Os IGBTs são dispositivos acionados em tensão, ou seja, para levar o IGBT ao ponto de saturação é necessário aplicar uma tensão positiva entre os terminais de gate e emissor do IGBT. Na maioria dos IGBTs atuais, essa tensão de acionamento deve ficar próxima de 15 V. Porém, o correto acionamento do IGBT não depende apenas do nível de tensão aplicado no seu gate.

A existência de capacitâncias parasitas entre os terminais do IGBT, mostradas na figura 4.4a implica numa demanda de corrente do circuito de acionamento suficiente para carregar e descarregar os capacitores parasitas entre o gate e o coletor (C_{gc}) e entre o gate e o emissor (C_{ge})[36].

O efeito de ambos capacitores estão presentes tanto no instante que o IGBT entra em condução quanto no instante que entra em bloqueio e por isso torna-se um fator relevante no projeto do circuito de acionamento.

Embora o valor da capacitância de C_{gc} seja menor que o valor da capacitância de C_{ge} , o capacitor C_{gc} é responsável pelo efeito conhecido como “efeito Miller” pelo qual resulta uma capacitância C_{gc} variável e altamente não linear (figura 4.4b), cujo valor pode alcançar ordem de grandeza maior que o valor de C_{ge} [37].

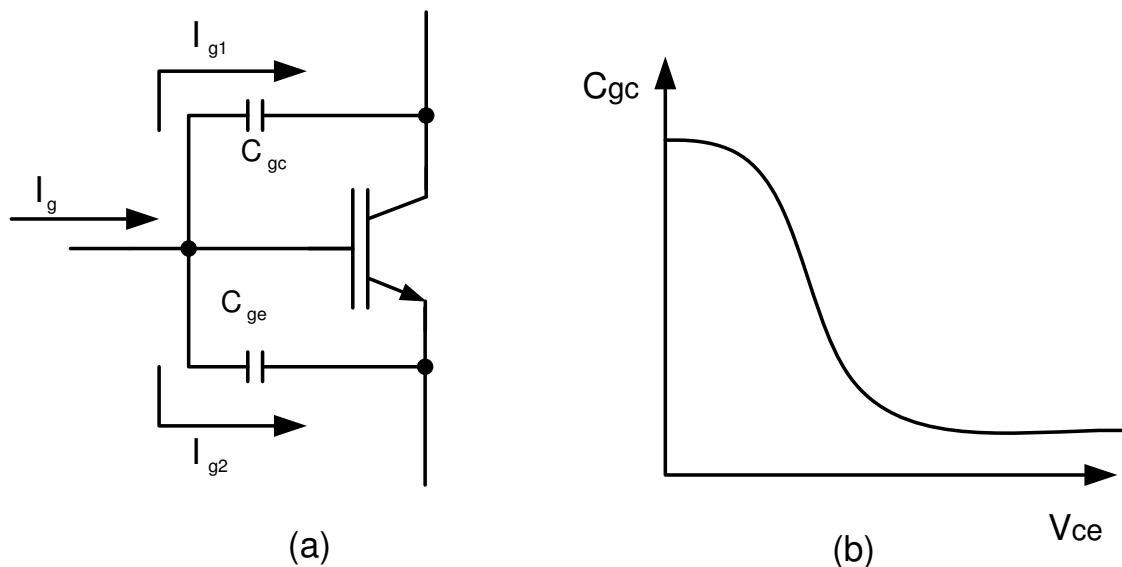


Figura 4.4: (a) Capacitâncias parasitas no IGBT, (b) Efeito Miller

Os valores de C_{gc} e C_{ge} não são fornecidos nas folhas de dados do fabricante mas é fornecido o valor da carga total de gate Q_g que permite calcular a corrente de gate I_g necessária para o acionamento do IGBT através da equação (4.1)[38].

$$I_g = \frac{Q_g}{t_c} \quad (4.1)$$

Nessa equação t_c é o tempo de carga dos capacitores parasitas.

Um circuito típico de acionamento deve transferir informação do circuito de comando para as chaves de potência e isolar o sinal de acionamento do circuito de potência para

fins de proteção e minimização dos efeitos das interferências provenientes dos chaveamento das chaves de potência. A maioria dos circuitos integrados para o acionamento de IGBTs encontrado no mercado são baseados no uso de capacitores *bootstrapped* que eliminam a necessidade de fontes de tensão isoladas no circuito de acionamento. Porém, não é possível aplicar esse tipo de tecnologia no acionamento dos IGBTs no módulo de potência do conversor em matriz porque as tensões nos terminais das chaves bidirecionais estão fluando, impossibilitando os capacitores *bootstrapped* de se carregarem adequadamente.

Em [39] os autores propõem uma mudança na topologia do conversor em matriz de modo a permitir o uso de circuitos de acionamento baseados em capacitores *bootstrapped* para reduzir o número de fontes de tensão isoladas. Porém, essa técnica complica mais ainda o hardware do conversor em matriz já que é necessário um controle da carga dos capacitores *bootstrapped* no processo de inicialização e operação do conversor em matriz e além de haver a necessidade de pelo menos três fontes de tensão isoladas.

Outra possibilidade de se eliminar a necessidade de fontes isoladas no acionamento dos IGBTs seria o uso de transformadores de pulso. Porém o uso de transformadores de pulso encontra uma importante restrição: a fim de eliminar o problema de saturação do núcleo, as razões cíclicas dos pulsos de controle aplicado no primário do transformador não podem ser maiores que 50%. Este limite pode ser estendido (até 99%) com circuitos (DC restores) que permitam a desmagnetização do núcleo[40]. Além disso, a área da placa de circuito impresso ocupado pelos transformadores seriam muito grande já que o acionamento será em 10 kHz.

A melhor tecnologia para acionar os IGBTs no conversor em matriz é a utilização optoacopladores pois fornecem uma boa isolamento entre os circuitos de controle e de potência, embora seja necessário nove fontes de tensão isoladas na configuração emissor comum. O circuito acionador selecionado para esta aplicação é o optoacoplador HCPL3140 da Avago Technologies [41]. Este acionador tem a capacidade de suprir até 0,4 A e opera com corrente de entrada entre 8 e 25mA. O circuito de acionamento para cada chave bidirecional é mostrado na figura 4.5

Utilizando optoacoplador HCPL3140, a corrente para acionar os IGBTs fica limitada a 0,4 A, no qual o resistor de gate R_g é calculado por:

$$R_g \geq \frac{V_{cc} - V_{0l}}{I_{0lp}} \quad (4.2)$$

sendo:

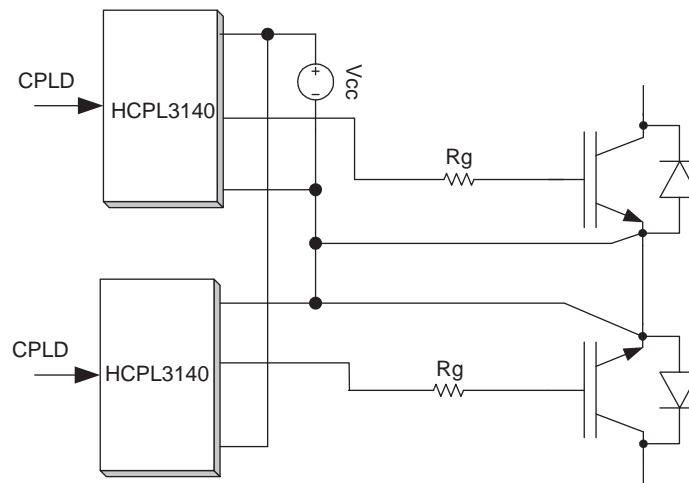


Figura 4.5: Circuito de acionamento utilizando optoacoplador

V_{cc} : tensão de alimentação

V_{Ol} : valor da tensão de saída do optoacoplador em nível lógico baixo

$I_{Ol p}$: corrente máxima de pico.

O valor de V_{Ol} depende de $I_{Ol p}$ e é aproximadamente 2 V para a corrente de pico de 0,4 A, obtido nas folhas de dados do fabricante. O valor calculado para R_g é de 33 Ω .

4.2 Projeto do filtro de entrada do conversor em matriz

Do ponto de vista da rede, o conversor em matriz opera como um retificador controlado injetando componentes harmônicas de alta frequência presentes nas correntes de entrada do conversor e que podem gerar interferências em outros equipamentos conectados a rede.

Para atenuar essas componentes de alta frequência é necessário a presença de um filtro na entrada do conversor em matriz de forma a reduzir o conteúdo harmônico na entrada(rede). Considerando que o conversor em matriz opera em alta frequência de chaveamento, os elementos armazenadores de energia do filtro serão de baixo valor resultando em volume e peso reduzidos. A modelagem do filtro por fase do conversor em matriz pode ser vista na figura 4.6(a). Na figura 4.6(b), mostra-se o modelo do filtro levando-se em conta apenas as componentes harmônicas de corrente que serão

atenuadas pelo filtro:

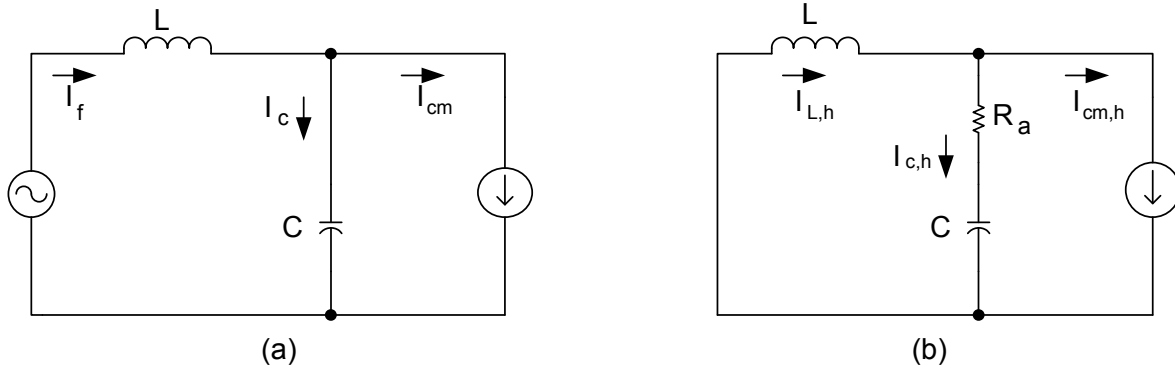


Figura 4.6: (a) Modelo do filtro, (b) modelo do filtro considerando as componentes harmônicas.

A fim de minimizar possíveis problemas de ressonância no filtro de entrada, adiciona-se ao filtro um resistor de amortecimento. Entretanto, a adição desse resistor de amortecimento diminui a eficiência do filtro devido à dissipação de potência no resistor além de reduzir a ordem do filtro nas componentes harmônicas de alta frequência.

Em geral, considera-se que a corrente na fonte I_f seja aproximadamente igual à corrente I_{cm} no conversor em matriz, de modo que a potência dissipada pelo resistor de amortecimento R_a em série com o capacitor C não seja elevado. Do modelo mostrado na figura 4.6(b) tem-se:

$$\frac{I_{L,h}}{I_{cm,h}} = \frac{R_a + 1/sC}{(R_a + 1/sC) + sL} = \frac{1 + sR_aC}{s^2LC + sR_aC + 1} = \frac{1/LC + R_as/L}{s^2 + R_as/L + 1/LC} = G_f(s) \quad (4.3)$$

Comparando-se o denominador da função de transferência do filtro $G_f(s)$ com a forma $s^2 + 2\xi\omega_n s + \omega_n^2$ onde ω_n é a frequência natural angular e ξ é o coeficiente de amortecimento, tem-se:

$$\omega_n = \frac{1}{\sqrt{LC}} \quad (4.4)$$

$$\xi = \frac{R_a}{2\omega_n L} = \frac{R_a}{2} \sqrt{\frac{C}{L}} \quad (4.5)$$

O valor da capacitância do capacitor deve ser baixo para que se possa maximizar o fator de deslocamento (FD) do conversor em matriz. O valor máximo da capacitância

C_{max} dos capacitores do filtro em função do fator de deslocamento pode ser obtido de acordo com a equação (4.6) [42]:

$$C_{max} = \frac{I_{f_{max}}}{\omega V_e} \tan(\cos^{-1} FD) \quad (4.6)$$

Na aplicação da equação (4.6) considera-se que a amplitude da corrente na saída do protótipo do conversor seja de 10 A, quando o índice de modulação m for unitário. Nesta condição, a amplitude da corrente na entrada do conversor será de 8,66 A e deseja-se que o fator de deslocamento seja praticamente unitário. Para valores menores de m , ocorrerá uma defasagem na corrente de entrada, que poderá ser compensada pela técnica de modulação empregada no conversor.

Adotando um fator de deslocamento de 0,98 quando o conversor estiver operando com índice de modulação de 0,85, a amplitude da corrente na entrada do conversor será de 5 A. Sendo a amplitude da tensão de fase de 170 V, usando-se a equação (4.6), resulta o valor máximo do capacitor de aproximadamente 12 μF .

No projeto do filtro, os capacitores estão conectados em delta e portanto o valor de cada capacitor será reduzida para 4 μF , porém o capacitor ficará sujeito a uma tensão de linha de 220 V. Dentre os diversos tipos de capacitores, o mais indicado para esta aplicação é o capacitor de filme de polipropileno metalizado [43] com tensão eficaz de trabalho de pelo menos 350 V(AC).

Considerando uma frequência de ressonância de 3 kHz, o valor do indutor obtido a partir da equação (4.4) é de 234 μH e foi aproximado para 250 μH . A escolha do material do núcleo do indutor é importante para esta aplicação pois o indutor deverá operar com fluxo elevado em 60 Hz sem saturar e ao mesmo tempo bloquear as componentes de alta frequência de chaveamento.

Um indutor de núcleo laminado não seria uma boa escolha devido ao volume e às elevadas perdas em alta frequência. Os indutores com núcleo de ferrite poderiam saturar devido à componente de 60 Hz. O material escolhido para o núcleo do indutor foi o composto de pó de ferro (*iron powder*) que pela literatura é o mais adequado para esta aplicação[44]. Outro ponto importante é a geometria do núcleo ser do tipo toroidal, pois apresenta menores dimensões e menor dispersão de campo magnético.

A introdução de um resistor de amortecimento diminui a eficiência do filtro. Foram realizadas diversas simulações para encontrar um valor de ξ no qual as perdas no resistor não sejam elevadas e ao mesmo tempo permita uma razoável capacidade de amortecer possíveis problemas com ressonância do filtro. Usando a equação (4.5) com $\xi=0,3$ tem-

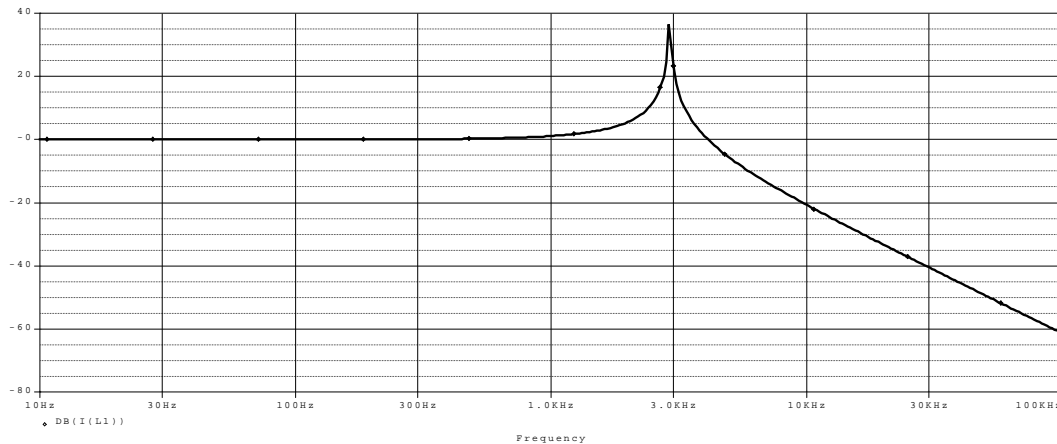


Figura 4.7: Resposta em frequência do filtro sem amortecimento

se $R_a \cong 2,5\Omega$. Como os resistores estão conectados em delta no filtro, R_a passa a ser de $7,5\Omega$. As figuras 4.7 e 4.8 mostram a resposta em frequência do filtro de entrada sem e com o resistor de amortecimento para os valores de L e C calculados anteriormente.

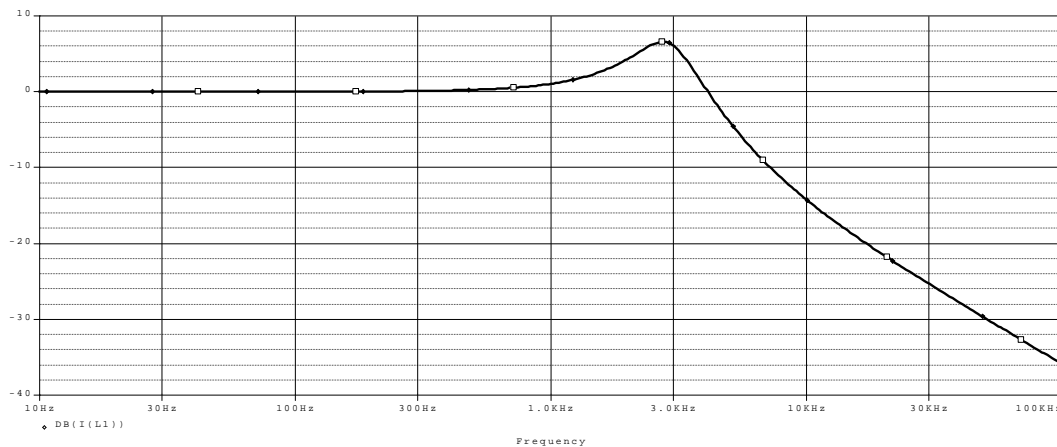


Figura 4.8: Resposta em frequência do filtro com amortecimento

Sem o resistor de amortecimento, a componente harmônica na frequência de chaveamento em 10 kHz sofre atenuação de 21 dB. Porém, em torno da frequência de ressonância ocorre um *overshoot* na corrente de entrada do conversor de 36 dB. Com o resistor de amortecimento calculado, o *overshoot* de corrente é reduzido para 6,5 dB. Porém há uma perda de eficiência do filtro, pois as componente harmônica de 10 kHz é atenuada de 14 dB.

4.3 Circuito de Comutação do conversor em matriz

Um dos desafios na implementação do conversor em matriz está na comutação entre as chaves bidirecionais. O problema da comutação surge quando se quer passar de uma fase para outra, usando chaves não ideais. Toma-se como exemplo o circuito com duas fontes de alimentação e duas chaves bidirecionais acionando uma mesma carga RL de saída, como o da figura 4.9.

Tomando-se a comutação de V_{e1} para V_{e2} e considerando-se que haja atrasos no acionamento e resposta das chaves S_{11} e S_{21} , duas situações podem ocorrer: a chave S_{21} é ligada antes que a chave S_{11} seja desligada formando-se um caminho de curto-circuito através de V_{e1} - S_{11} - S_{21} - V_{e2} e o excesso de corrente nesta situação pode danificar as chaves. A outra situação é quando a chave S_{11} é desligada antes que a chave S_{21} seja ligada não havendo caminho para a corrente da carga indutiva e os picos de tensões induzidas podem danificar as chaves abertas.

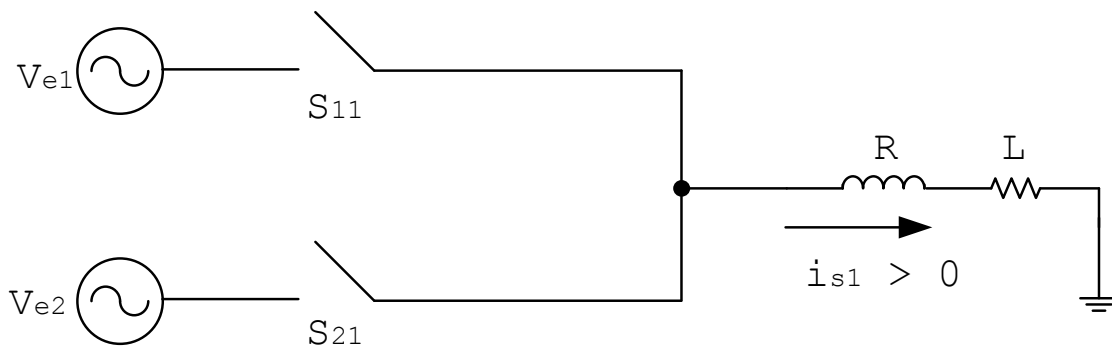


Figura 4.9: Circuito com duas fases onde ocorre o problema da comutação

Como já mencionado no Capítulo 2, a operação correta do conversor em matriz exige que as condições de operação das chaves bidirecionais impostas pela equação (2.2) sejam implementadas. Entre as possíveis soluções para este problema de comutação está a descrita em [45], conhecida como método dos quatro passos e que foi implementada neste trabalho.

Sendo o circuito mostrado na figura 4.10 nos quais as chaves bidirecionais não são ideais e deseja-se comutar da fonte V_{e1} para a fonte V_{e3} , com o sentido da corrente mostrado na figura, a aplicação do método dos quatro passos para a comutação segura consiste na seguinte sequência de comando: 1) desliga-se S_{11b} , 2) liga-se S_{31a} , 3) desliga-se S_{11a} e 4) liga-se S_{31b} .

A máquina de estados da figura 4.11 permite visualizar todas as possibilidades de

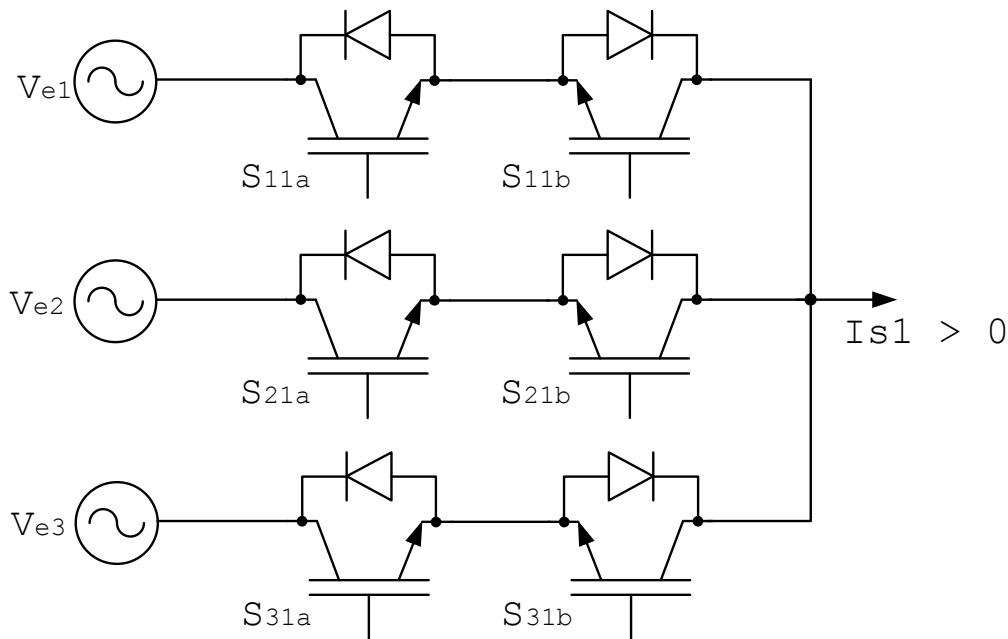


Figura 4.10: Circuito trifásico/monofásico

comutação, aplicando o método dos 4 passos, para um braço do conversor em matriz, no qual cada estado é definido de acordo com a tabela 4.1. Nessa tabela, “1” significa chave ligada e “0” chave desligada. Os estados S_{aa} , S_{bb} , S_{cc} são considerados estados principais e os estados S_1 a S_{12} são estados intermediários.

A implementação da lógica de comutação representada pela máquina de estados poderia ser tanto em hardware quanto em software. Por ser um processo crítico de operação do conversor em matriz, caso fosse implementado em software, deveria ser usado uma rotina de interrupção com a mais alta prioridade e dado o grande número de comutações dentro do período de chaveamento, a execução de outras rotinas de controle do conversor em matriz seriam prejudicadas.

A implementação do controle da comutação das chaves do conversor em matriz em hardware é mais adequada. Porém, a sua implementação utilizando circuitos digitais discretos necessitaria de muitos componentes, além da complexidade do projeto do circuito. Dessa forma, a melhor maneira de se implementar a máquina de estados da comutação segura é por meio de dispositivos lógicos programáveis, como FPGAs (*Field Programmable Gate Array*) ou CPLDs (*Complex Programmable Logic Device*), utilizando uma linguagem descritiva de hardware, no caso, VHDL (*VHSIC Hardware description Language*, e *VHSIC: Very High Speed Integrated Circuit*).

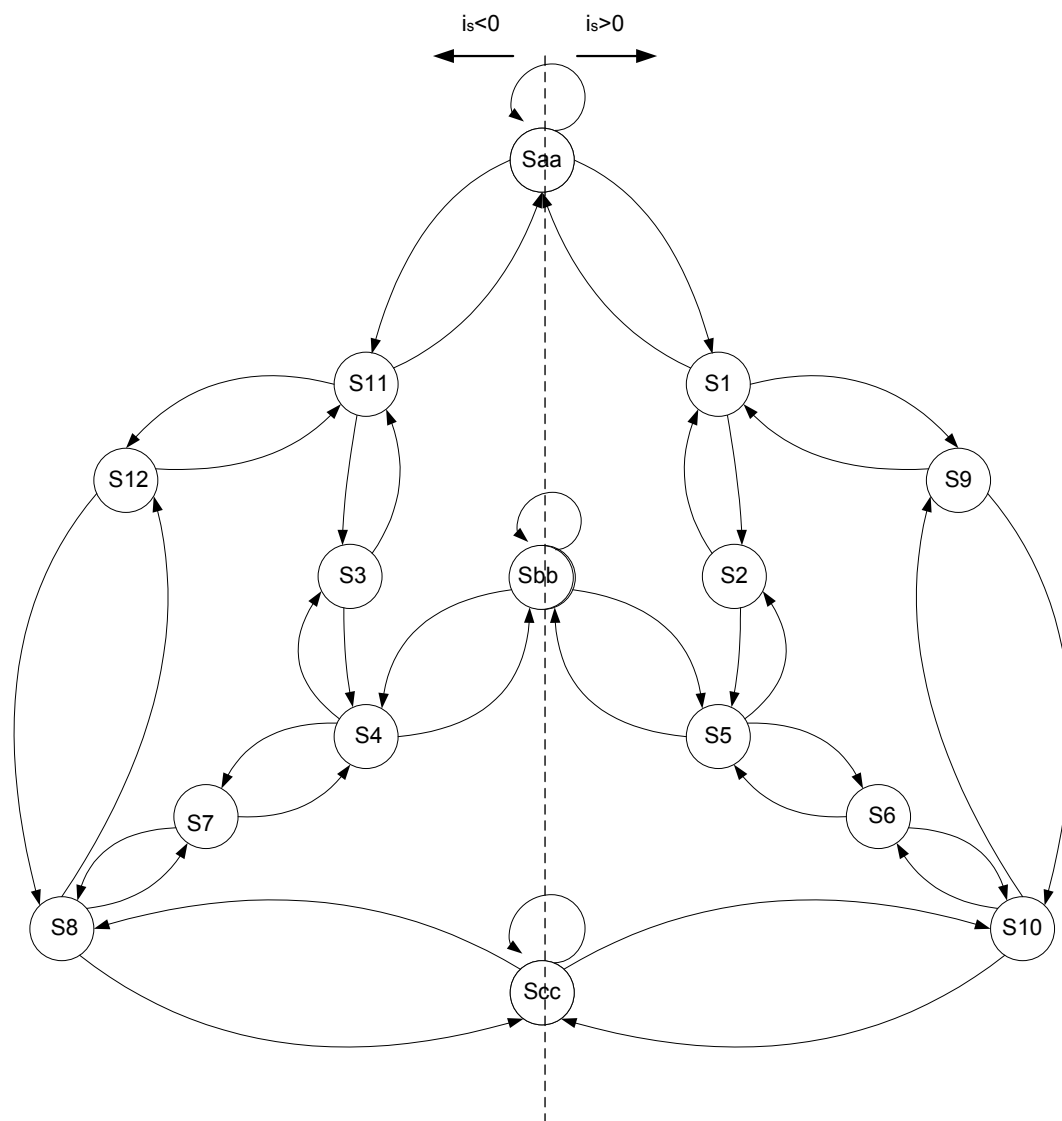


Figura 4.11: Máquina de estados para um braço do CM

Tabela 4.1: Possíveis estados dos IGBTs

S_{11a}	S_{11b}	S_{21a}	S_{21b}	S_{31a}	S_{31b}	Estado
1	1	0	0	0	0	S_{aa}
0	0	1	1	0	0	S_{bb}
0	0	0	0	1	1	S_{cc}
1	0	0	0	0	0	S_1
1	0	1	0	0	0	S_2
0	1	0	1	0	0	S_3
0	0	0	1	0	0	S_4
0	0	1	0	0	0	S_5
0	0	1	0	1	0	S_6
0	0	0	1	0	1	S_7
0	0	0	0	0	1	S_8
1	0	0	0	1	0	S_9
0	0	0	0	1	0	S_{10}
0	1	0	0	0	0	S_{11}
0	1	0	0	0	1	S_{12}

Neste protótipo utilizou-se o CPLD XC9536 da Xilinx. Este CPLD possui pinos de I/O de alta capacidade de corrente (24 mA) suficiente para acionar diretamente o optoacoplador HCPL3140 além de operar tanto em 5 V como em 3.3 V (apropriado para interface com os pinos de I/O do DSP em 3,3 V). Outra característica importante do XC9536 é que o componente pode ser programado diretamente na placa desenvolvida para o circuito de acionamento do conversor (*in system programmability*) usando um cabo JTAG. O sinal de *clock* de 1 MHz é gerado a partir de um dos temporizadores disponíveis no DSP, de modo que toda a operação de comutação executada pelo CPLD está sincronizada com o DSP.

As entradas de sinais digitais no CPLD são: 1 bit do circuito de proteção contra curto-circuito, 1 bit do circuito de detecção do sinal de corrente, 2 bits do DSP com a informação de qual fase o conversor em matriz deve sintetizar na saída, 1 bit de comando do DSP para ligar ou desligar o processo de comutação.

O circuito de detecção do sinal de corrente na carga é fundamental para o correto funcionamento do circuito de comutação segura do CM. Na figura 4.12 é mostrado o diagrama em blocos do circuito. O filtro passa-baixas Butterworth de segunda ordem foi projetado com frequência de corte em 5.2 kHz, pouco acima da frequência de Nyquist. O detector de cruzamento de zero é um comparador com histerese.

As saída do CPLD são: os seis sinais de comando, um para cada HCPL3140 e um

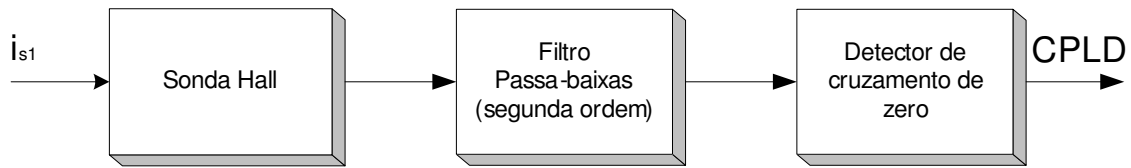


Figura 4.12: Diagrama em bloco do circuito de detecção do sinal de corrente.

bit para o DSP para indicar a ocorrência de algum curto circuito. A figura 4.13 mostra os sinais de comando para comutar duas chaves bidirecionais de acordo com a máquina de estados da figura 4.11.

Na figura 4.13, o canal 1 está associado ao IGBT S_{11b} da figura 4.10, o canal 2 ao IGBT S_{11a} , o canal 3 ao IGBT S_{31b} e o canal 4 ao IGBT S_{31a} . Com a frequência de *clock* de 1 MHz, o método dos 4 passos consome $3\mu\text{s}$ para uma comutação completa. No Anexo 2 é mostrado o código em VHDL e os resultados de simulação.

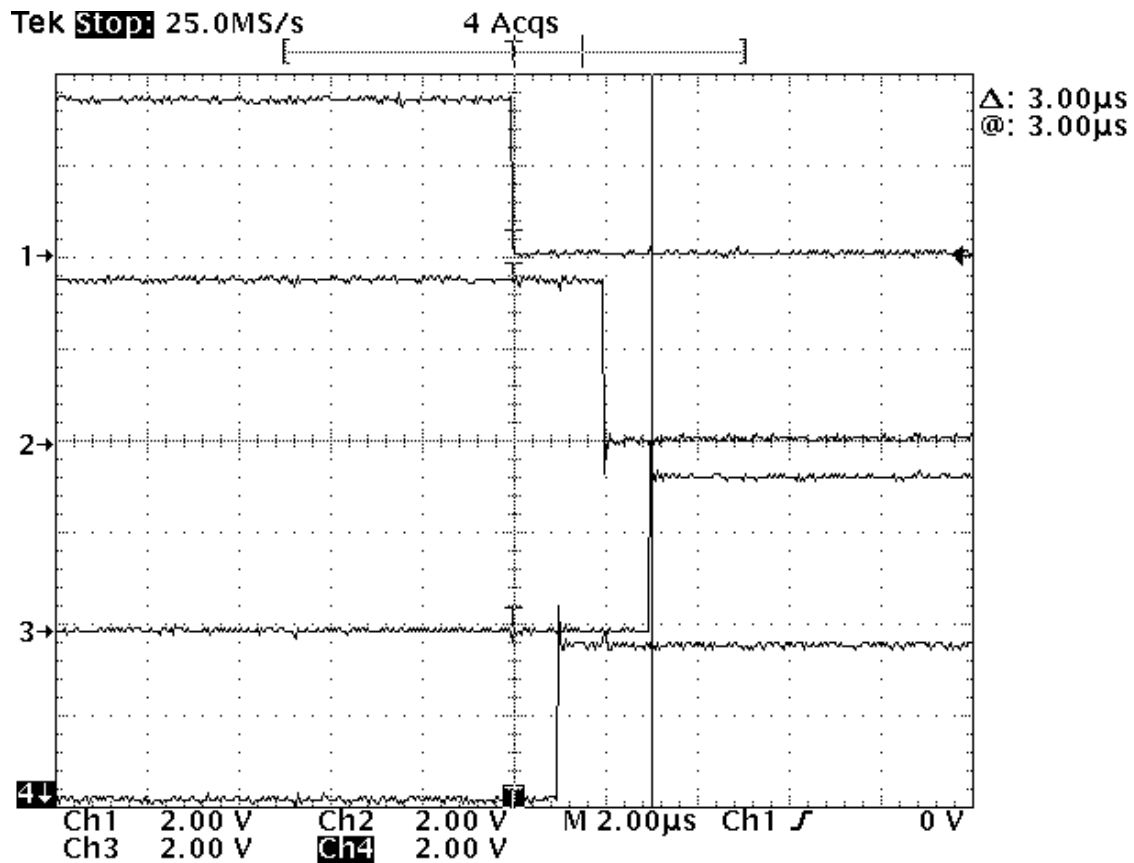


Figura 4.13: Sinais de comando na saída do CPLD

4.4 Circuitos de proteção do conversor em matriz

4.4.1 Proteção contra curto-circuitos

Durante um curto-circuito devido a uma falha no circuito de comutação, uma falha nos circuitos de acionamento dos IGBTs ou ainda um comando errático gerado pelo DSP, um circuito de proteção deve agir rapidamente para evitar a destruição das chaves semicondutoras que compõem o conversor. Como o conversor em matriz conecta diretamente a fase da rede na carga, a ocorrência de circuito-circuito em uma chave bidirecional poderá ser detectada pelo monitoramento da corrente na rede.

Os IGBTs utilizados no protótipo tem a capacidade de suportar corrente de curto-circuito de até 100 A durante um tempo de 10 μ s. Deste modo, o circuito de proteção contra curto-circuito deverá agir num tempo inferior a 10 μ s para evitar a destruição dos IGBTs.

O circuito de proteção curto-circuito utilizado no protótipo consiste de dois sensores de efeito Hall e de circuitos comparadores cujas saídas são conectadas diretamente ao CPLD, como mostrado na figura 4.14. Os sensores de corrente possuem um tempo de resposta próximo a 2 μ s e estão conectadas nas fases V_{e1} e V_{e3} , antes do filtro de entrada.

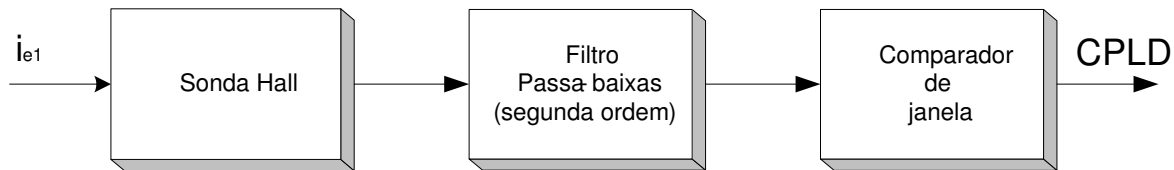


Figura 4.14: Circuito de detecção de curto-circuito.

Na saída dos sensores de efeito Hall têm-se dois comparadores de janela cuja saída é nível lógico 1 para correntes na entrada do conversor de até 15 A de amplitude. Com nível lógico 1 na entrada do CPLD, o circuito de comutação segue a lógica de comutação representada pela máquina de estados. Quando a corrente ultrapassar o limite estabelecido, a saída dos comparadores vai a nível lógico zero na entrada do CPLD. Este nível lógico faz com que o CPLD, além de sinalizar a ocorrência do curto-circuito através de LEDs, ignore os sinais de comando enviados pelo DSP e inicie uma sequência de comutação para desligar todos os IGBTs do conversor em matriz.

A proteção contra sobrecarga é assegurada pelo mesmo circuito de proteção contra curto-circuito já que o valor de corrente contínua de coletor recomendado pelo fabricante do IGBT é 15 A eficaz.

Como o CPLD opera com *clock* de 1 MHz, a comutação completa entre uma fase e outra leva apenas $3\mu\text{s}$ e o tempo de resposta dos comparadores é de $1,3\mu\text{s}$, todo o processo de detecção e atuação do circuito de proteção é aproximadamente $6\mu\text{s}$ possibilitando a sobrevivência do IGBT.

É interessante observar que na ocorrência de um curto-circuito, a atuação do circuito de proteção vai provocar o surgimento de picos de tensão (considerando a carga indutiva) e portanto a necessidade de circuito de proteção contra sobretensões. Neste projeto foi utilizado varistores como meio de proteção contra sobretensões, descrito a seguir. Uma solução a ser implementada nos CPLDs é de ao se detectar um curto circuito, não desligar imediatamente todas as chaves de potência do conversor em matriz, sendo enviado ao CPLD um sinal de acionamento que sintetiza um vetor nulo para que parte da energia seja consumida pela própria carga. Após um determinado período de tempo, o conversor seria finalmente desligado. Como existem três vetores nulos, seria escolhido o vetor nulo que levaria o menor tempo para ser atingido.

4.4.2 Proteção contra sobretensões

O conversor em matriz estará sujeito a ocorrência de sobretensões e picos de tensões tanto na entrada quanto na saída. Falhas de comutação podem levar as chaves bidirecionais que compõem cada braço do conversor em matriz a permanecerem abertas provocando picos de tensões na saída do conversor. Pelo lado de entrada do conversor em matriz pode haver a ocorrência de picos de tensões na rede de alimentação trifásica ou distúrbio que podem gerar sobretensões no filtro de entrada. Desse modo, é necessário a proteção das chaves bidirecionais do conversor em matriz contra sobretensões tanto na entrada quanto na saída do conversor.

O tipo de circuito mais empregado para a proteção contra sobretensões no conversor em matriz consiste no grampeamento de sobretensão num valor suportável pelos IGBTs por meio de duas pontes trifásicas de diodos e de uma capacitor para absorver essa energia [46], como mostrado na figura 4.15. Essa estrutura é eficiente na proteção contra surtos de tensão e também é aplicada em outros tipos de conversores.

A principal desvantagem do circuito mostrado na figura 4.15a está no aumento da quantidade de semicondutores de potência, no caso diodos, na estrutura do conversor em matriz. Além disso, deve-se implementar um circuito limitador de corrente para evitar sobrecorrentes na ponte a diodos durante a partida do conversor em matriz. A fim reduzir o número de diodos no circuito de grampeamento, alguns diodos que compõem

as chaves bidirecionais podem ser utilizados como parte do circuito de grampeamento [39], mas esse esquema complica a modularização da estrutura do conversor em matriz

Outra solução empregada na proteção de sobretensão em conversores de potência é a utilização de um circuito *crowbar* que consiste no uso de dispositivos de potência, normalmente tiristores, sendo a detecção da sobretensão realizada por diodos de alta tensão que disparam o tiristor quando a sobretensão atinge um valor que não seja mais considerado seguro. Esse tipo de circuito, além de acrescentar mais componentes semicondutores de potência ao conversor em matriz, é prejudicado pelo tempo de resposta dos tiristores quando houver uma sobretensão.

Uma solução que vem ganhando destaque na proteção de chaves semicondutoras de potência, como IGBTs, é a utilização de componentes supressores de transitórios de tensão, representados principalmente por dois tipos de tecnologias: os componentes baseados em cerâmica como os varistores de óxido de metal ou MOVs (*Metal Oxide Varistors*) e componentes baseados em silício: os diodos supressores de transiente de tensão ou diodos TVS (*Transient Voltage Suppressor*). Os varistores e diodos TVS são componentes de impedância não linear e variável que dependem da tensão em seus terminais, de modo que o circuito protegido não sofre nenhum efeito enquanto não houver a presença de um surto de sobretensão.

Esses componentes, principalmente os diodos TVS são bastante empregados na proteção de componentes e circuitos eletrônicos contra surtos de tensão. Com o constante desenvolvimento desses componentes, eles alcançaram níveis de tensão e corrente que permitem proteger dispositivos de maior potência [47]. Num protótipo de conversor em matriz de baixa potência, o uso de varistores simplifica muito o circuito de proteção contra sobretensões [48] pois, além de serem de baixo custo, esses componentes são de pequeno tamanho e não contribuem para o aumento de semicondutores de potência no conversor em matriz.

O varistor foi escolhido para proteção das chaves bidirecionais de potência do conversor em matriz contra sobretensões por ter maior capacidade de absorção de energia, embora os diodos TVS apresentem a vantagem de rápida resposta no grampeamento do surto de tensão e não apresentar fadiga ao longo do tempo, como o varistor apresenta.

Para que essa proteção seja efetiva, é necessário uma escolha adequada do modelo do varistor a ser utilizado, bem como cuidados na sua instalação, pois indutâncias parasitas na conexão do varistor com a circuito a ser protegido reduzem a eficiência de grampeamento de tensão. Os critérios empregados na seleção do varistor são [49]:

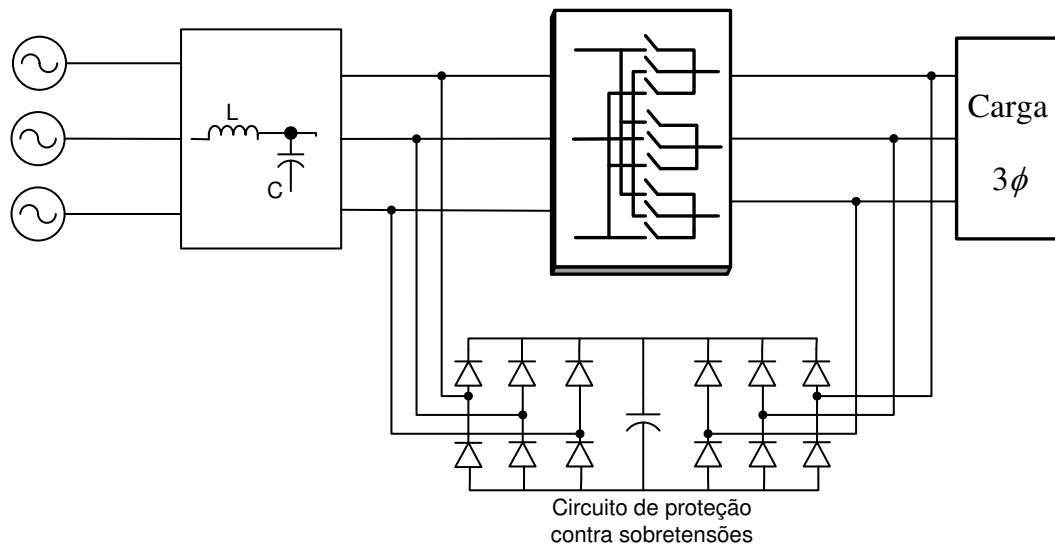


Figura 4.15: Circuito de proteção com ponte a diodos

quantidade de energia que o varistor deverá absorver, tensão de operação e tensão de grampeamento. Para uma tensão eficaz de 220 V na entrada do conversor em matriz, deve-se escolher um varistor que tenha uma tensão de operação imediatamente acima deste valor e que tenha uma tensão de grampeamento menor que a tensão suportada pelo IGBT que é de 600 V. O varistor MOV S20K150, de acordo com dados do fabricante, tem tensão de operação de 240 V e tensão de grampo de 395 V. A determinação da quantidade de energia que será absorvida pelo varistor dependerá da carga. No caso de uma carga RL trifásica, a energia E armazenada é calculada por:

$$E = \frac{3}{4}LI^2 \quad (4.7)$$

onde I é o valor eficaz da corrente e L o valor da indutância.

4.5 Resultados experimentais

O protótipo construído é mostrado na figura A.1 do Anexo A.1 e os resultados mostrados a seguir foram obtidos com o conversor em matriz conectado a uma carga trifásica RL com $R=13 \Omega$ e $L=2 \text{ mH}$ operando com frequência de chaveamento em 10 kHz e índice de modulação fixado em 0,9. A tensão de alimentação era fornecida por meio de um variac trifásico. Para a leitura da corrente na carga foi utilizado o amplificador de corrente AM 503B da *Tektronics* acoplado ao osciloscópio Tektronics

TDS 460A.

As figuras 4.16 a 4.21 mostram as formas de tensão e corrente do CM operando com frequência de tensão de saída menores e maiores que a frequência da rede de alimentação. Esses resultados foram obtidos com tensão de alimentação reduzida porque a medida que a tensão de alimentação crescia, o protótipo apresentava instabilidades de operação forçando o CPLD a desligar o protótipo diversas vezes.

Pode-se ver nas figuras 4.16, 4.18 e 4.20 que com tensão reduzida, a envoltória das tensões de saída estão bem definidas, com o protótipo funcionando adequadamente. Porém, quando a tensão de alimentação era aumentada para níveis mais próximos da tensão nominal, as tensões produzidas na saída do conversor não apresentam uma envoltória tão bem definida sendo visíveis alguns picos de tensão, como mostrado na figura 4.22. Isso evidencia a suscetibilidade do circuito de controle, principalmente das etapas de detecção do sinal da corrente na carga e de curto-circuito, à interferência eletromagnética provocado pelas comutações dos IGBTs e a necessidade de um layout adequado da placa de circuito impresso.

A figura 4.23 mostra a tensão e corrente numa fase de entrada do conversor em matriz, quando o conversor em matriz operava com 20Hz. Observa-se que o filtro projetado para o protótipo foi capaz de filtrar as componentes harmônicas de alta frequência. Também, observa-se que a corrente está ligeiramente adiantada da tensão de entrada. Isto ocorreu porque os valores calculados para os capacitores do filtro foram para uma situação do conversor em matriz operando com tensão nominal. Como isso não ocorreu, as corrente obtidas no protótipo eram menores que a desejada, como na situação de operação do conversor em matriz operando com baixo índice de modulação, onde prevalece o efeito capacitivo.

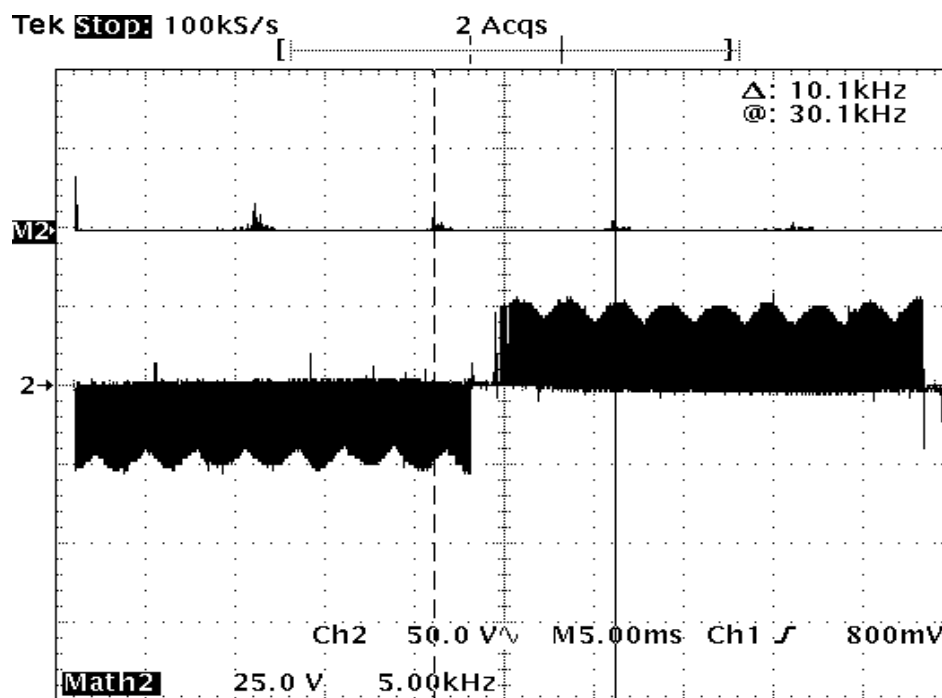


Figura 4.16: Tensão sa saída do CM, 20Hz

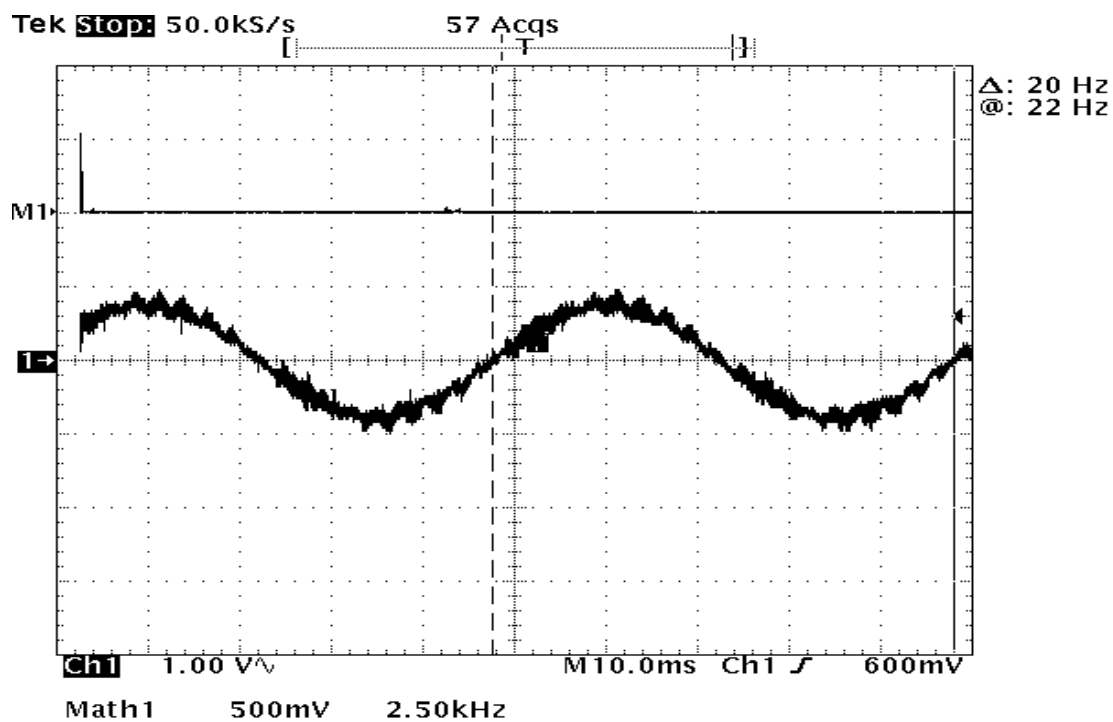


Figura 4.17: Corrente na carga, 20Hz (2 A/div)

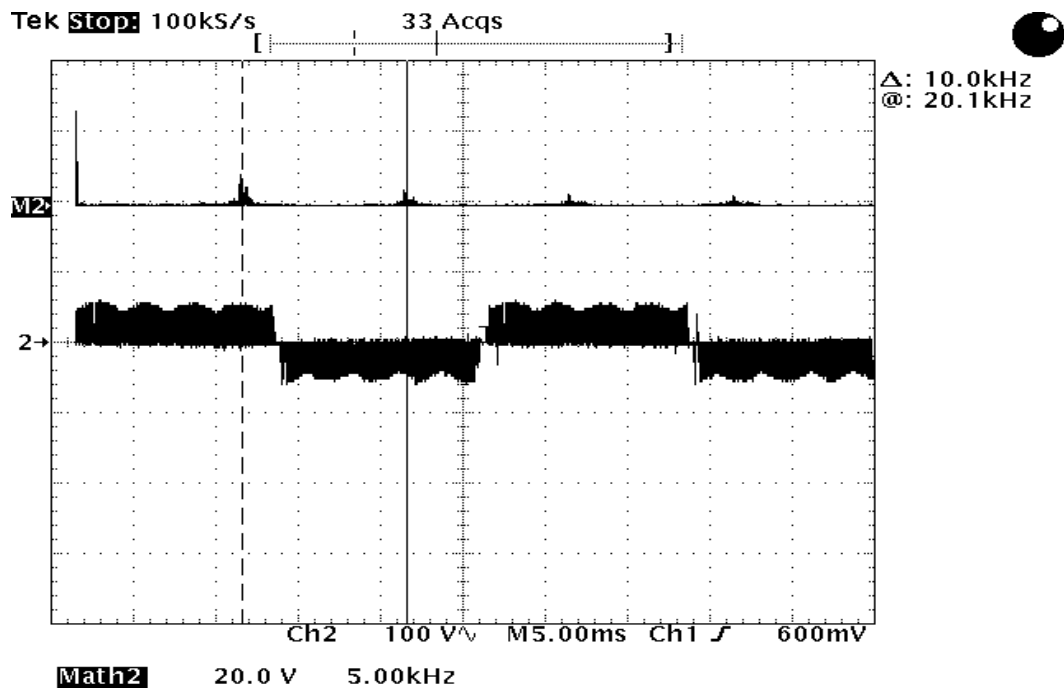


Figura 4.18: Tensão na saída do CM, 40Hz

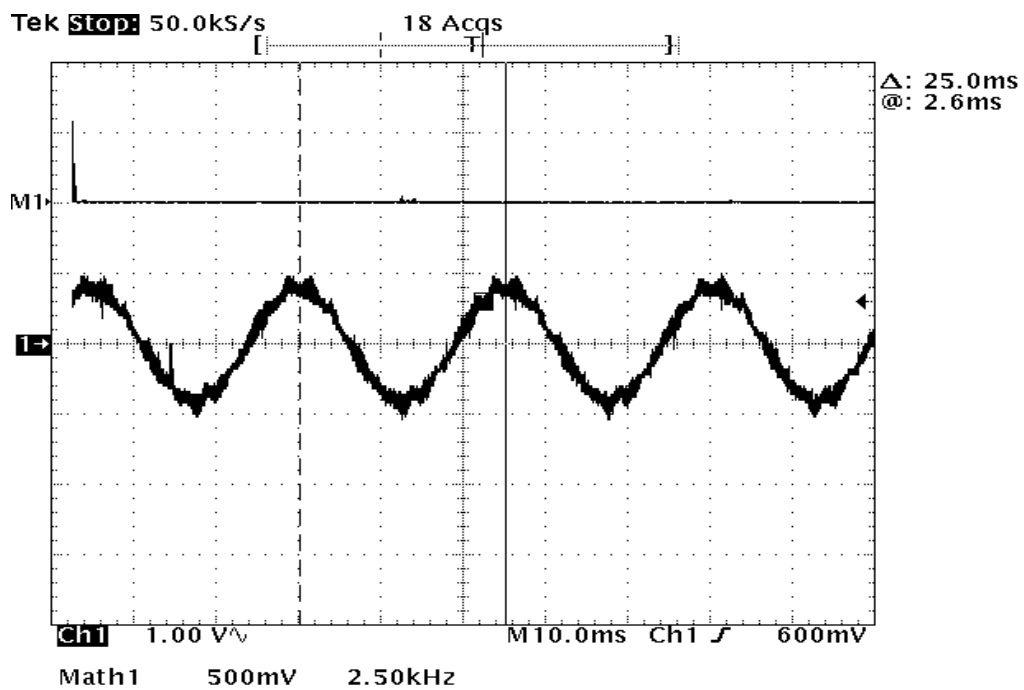


Figura 4.19: Corrente na carga, 40Hz (2 A/div)

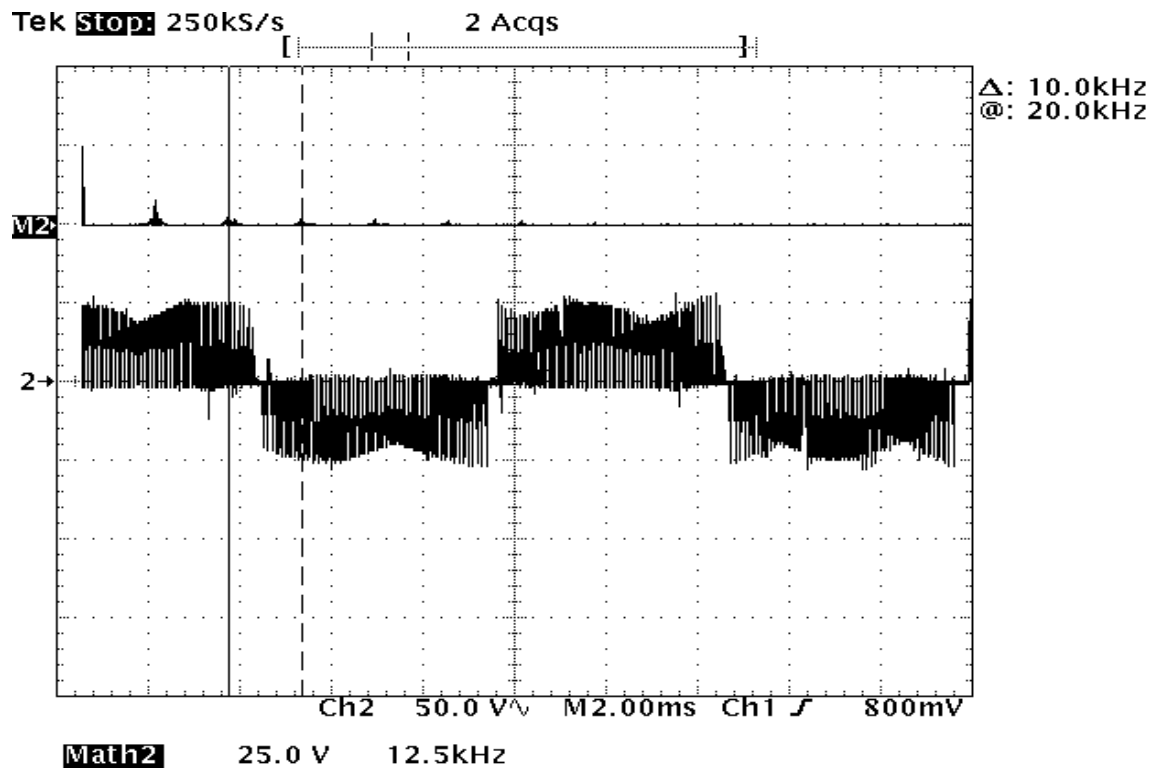


Figura 4.20: Tensão na saída do CM, 100Hz

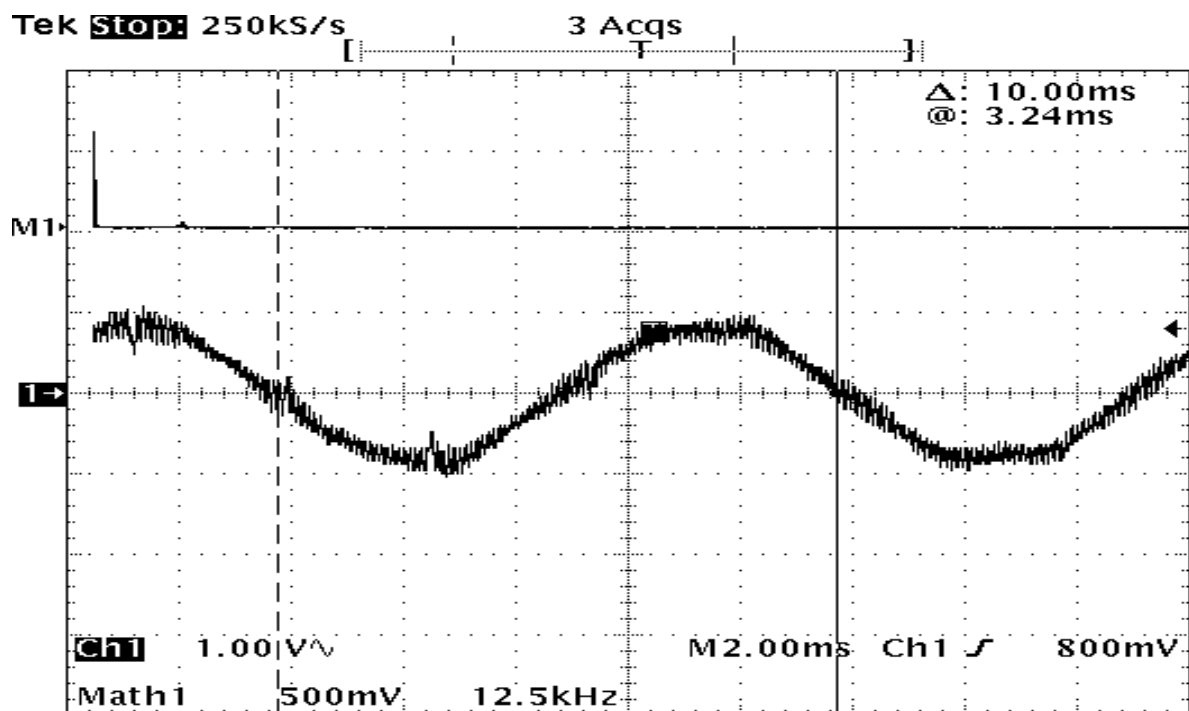


Figura 4.21: Corrente na carga, 100Hz (1 A/div)

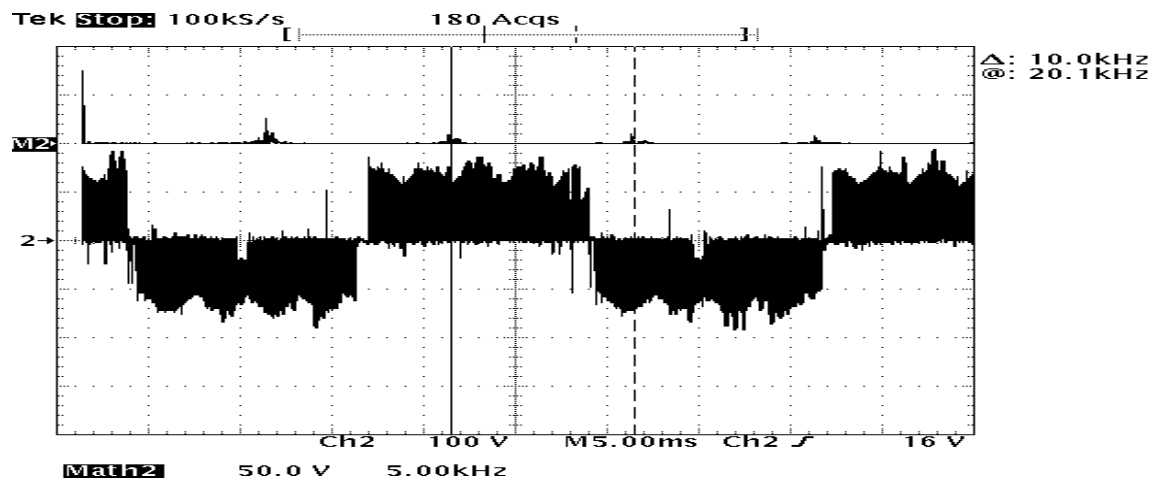


Figura 4.22: Tensão na saída do CM, 40 Hz

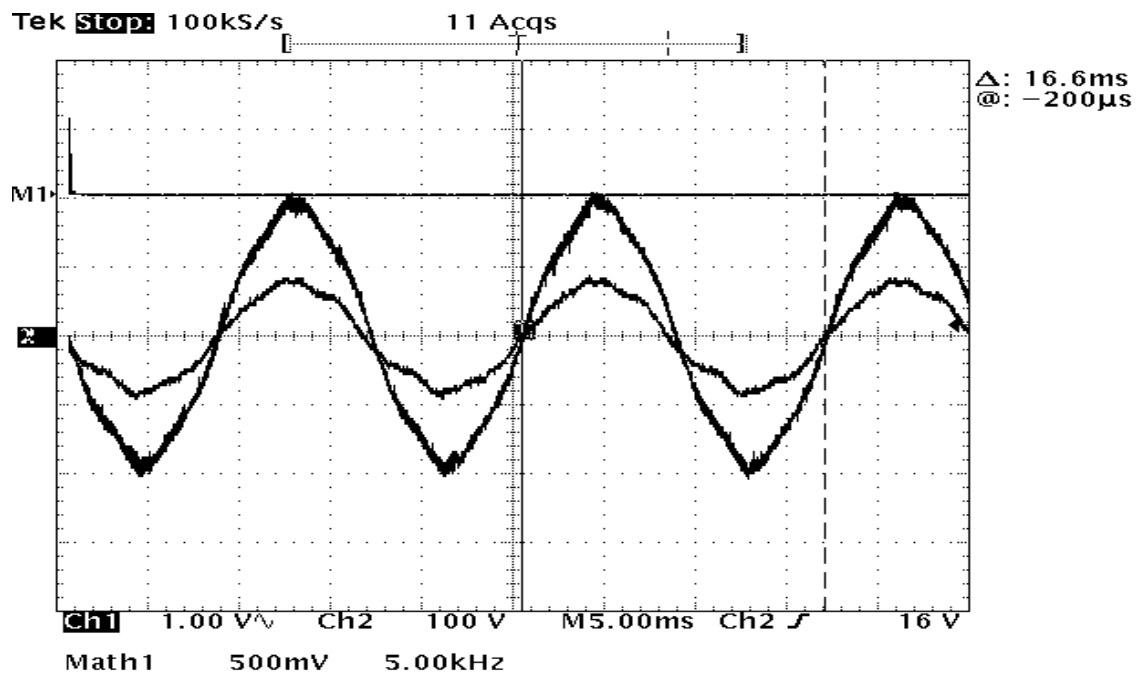


Figura 4.23: Tensão na entrada do CM (curva maior), canal2: corrente filtrada (curva menor)

Capítulo 5

Controlador de corrente para o conversor em matriz

Neste capítulo apresenta-se uma proposta para um controlador de corrente aplicado ao conversor em matriz com o objetivo de atenuar as distorções na tensão de saída devido a perturbações na tensão de entrada. A vantagem da técnica de controle proposta é a redução de sensores no conversor em matriz e pouco esforço computacional.

5.1 Operação do CM alimentado com tensões de entrada distorcidas

A ausência de elementos armazenadores de energia na estrutura do conversor em matriz o torna sensível a todos tipos de perturbações que possam ocorrer na tensão de alimentação, pois essas perturbações são transferidas imediatamente para as tensões de saída, afetando o desempenho do conversor e deixando-o impossibilitado de alimentar convenientemente a carga com índices de qualidade de energia dentro dos critérios estabelecidos por normas.

Supondo que a tensão de alimentação do conversor em matriz apresente componente de 10% de quinta harmônica e 10% de componente de sequência de fase negativa a partir de $t=0,05$ ms, como mostrado na figura 5.1a. Aplicando-se apenas a técnica de modulação vetorial, as correntes de saída do conversor em matriz serão bastante distorcidas, como mostrado na figura 5.1b, obtidas através de simulação do conversor em matriz operando com frequência de chaveamento de 10 kHz.

Na figura 5.2 é mostrado o espectro em frequência de uma corrente de saída de

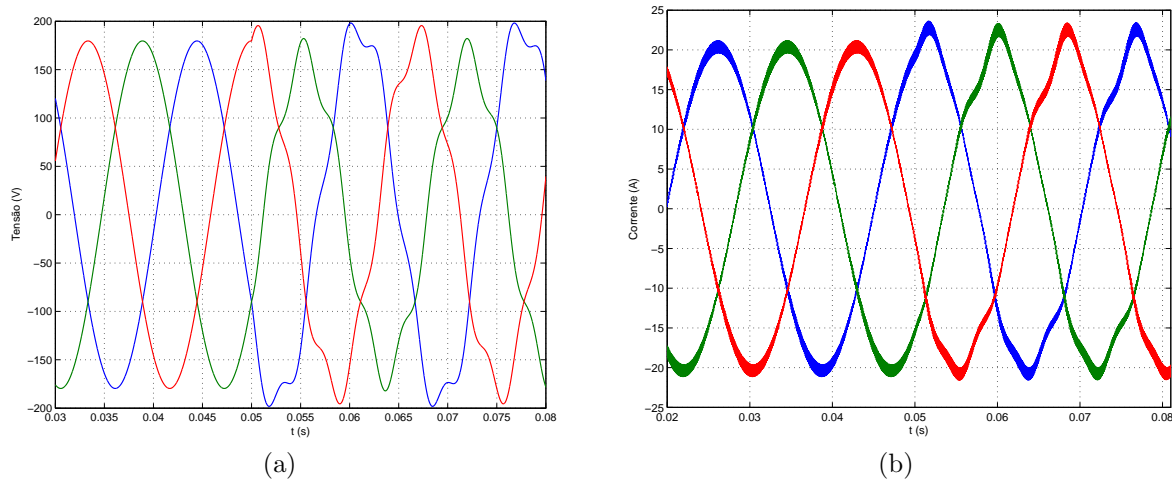


Figura 5.1: (a): Tensão de alimentação distorcida, (b): Corrente na saída do conversor em matriz

conversor em matriz onde é possível verificar a existência de componentes harmônicas de baixa ordem na corrente provenientes da tensão distorcida.

Portanto, somente a aplicação da técnica de modulação vetorial no acionamento do conversor em matriz não é suficiente para garantir tensões senoidais na carga, sendo necessário um algoritmo de controle em malha fechada capaz de compensar as distorções na tensão de saída devido à tensão de alimentação distorcida.

5.2 Compensação das distorção das correntes na saída do conversor em matriz

A maioria das propostas de compensação encontradas na literatura utilizam a leitura das três tensões de alimentação para o cálculo da componente de sequência positiva a fim de implementar um algoritmo de compensação [50], [51] e [4]. No entanto, a leitura das tensões de entrada, além de demandar sensores de tensão que tem custo maior em relação aos sensores de corrente, pode gerar instabilidades no controle do conversor em matriz [52].

Por outro lado, uso de controle de corrente em conversores de potência possibilita a compensação de transitórios e não linearidades de corrente na carga. No entanto, poucos pesquisadores propuseram o uso de uma malha de controle de corrente com o objetivo de melhorar o desempenho do conversor em matriz na presença de tensões

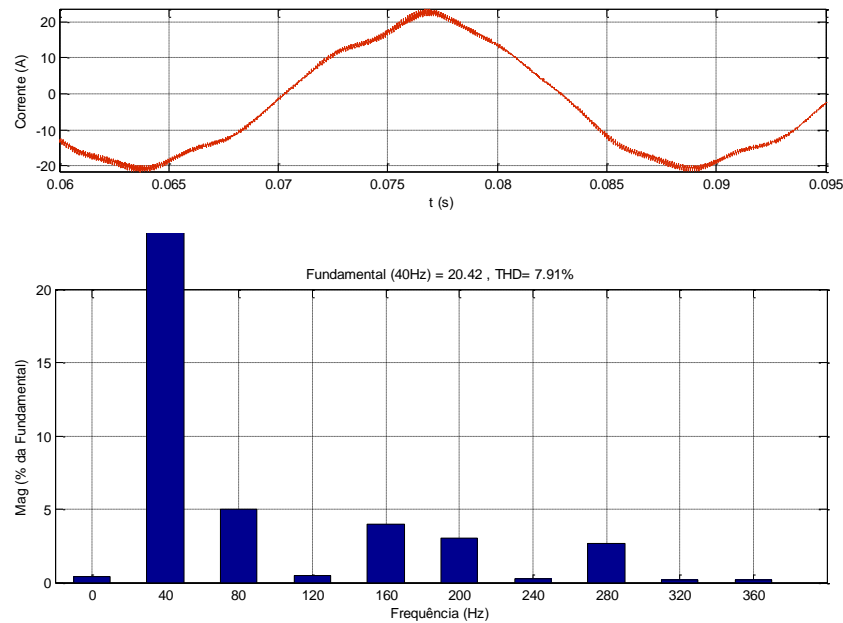


Figura 5.2: Espectro em frequência da corrente na saída do conversor em matriz

distorcidas[53].

Existem diversas técnicas para o controle de corrente [54], sendo o controle de corrente por meio de histerese a mais simples e que apresenta boa precisão e robustez. Sua desvantagem está na variação da frequência de chaveamento do inversor.

O controle linear de corrente utiliza três reguladores do tipo proporcional-integral independentes para produzir uma referência. O sinal de referência é comparado com uma onda triangular e se for maior ou menor, é ligado a chave de potência conectada ao barramento positivo ou negativo, respectivamente. Com isso, obtém-se uma frequência de chaveamento bem definida. A desvantagem deste tipo de controlador é que as componentes de altas frequências presentes na corrente da carga podem gerar múltiplos cruzamentos das tensões de referência com a onda triangular, além de haver erro em regime permanente [55].

Outra técnica de controle de corrente existente consiste em projetar o controlador de correntes no sistema de referência síncrono e com isso reduzir o número de reguladores PI para dois e sem erro em regime. Porém, esse método de controle de corrente demanda grande esforço computacional [56].

O controle de corrente que se propõe neste trabalho tem por objetivo impor uma corrente senoidal na carga e assim realizar a compensação das distorções de tensão. A técnica de modulação empregada é a técnica de modulação vetorial obtendo-se assim uma frequência de chaveamento bem definida.

5.2.1 O método de controle de corrente proposto

Considere os vetores espaciais de tensão de entrada do conversor em matriz V_e e de corrente de saída I_s definidos por:

$$\mathbf{V}_e = \frac{2}{3} [v_{e1}(t) + v_{e2}(t) \mathbf{a} + v_{e3}(t) \mathbf{a}^2], \quad \mathbf{a} = e^{j\frac{2\pi}{3}} \quad (5.1)$$

$$\mathbf{I}_s = \frac{2}{3} [i_{s1}(t) + i_{s2}(t) \mathbf{a} + i_{s3}(t) \mathbf{a}^2] \quad (5.2)$$

Sendo que $v_{e1}(t)$, $v_{e2}(t)$ e $v_{e3}(t)$ as tensões de fase na entrada do conversor em matriz e $i_{s1}(t)$, $i_{s2}(t)$ e $i_{s3}(t)$ as correntes de fase na saída do conversor.

A magnitude dos vetores espaciais V_e e I_s são definidos como:

$$|\mathbf{V}_e| = \sqrt{\frac{2}{3} [v_{e1}^2(t) + v_{e2}^2(t) + v_{e3}^2(t)]} \quad (5.3)$$

$$|\mathbf{I}_s| = \sqrt{\frac{2}{3} [i_{s1}^2(t) + i_{s2}^2(t) + i_{s3}^2(t)]} \quad (5.4)$$

Se as tensões de entrada do conversor em matriz não apresentarem distorções harmônicas e forem equilibradas, o módulo do vetor espacial V_e será constante e igual ao valor da amplitude da tensão de entrada. Nesta condição, a aplicação técnica de modulação vetorial no controle do conversor em matriz é suficiente para produzir na saída do conversor correntes senoidais e portanto, o vetor espacial I_s também será constante.

Porém, quando as tensões de entrada forem desbalanceadas ou distorcidas, indesejadas componentes harmônicos de baixa ordem aparecerão nas correntes de saída e I_s não será mais constante. Isto pode ser visto considerando um caso particular onde tensões de entrada do conversor estão distorcidas de tal modo que as correntes de saída são modeladas por (5.5).

$$\begin{aligned}
 i_{s1} &= I_p \sin(\omega t + \phi) + I_n \sin(\omega t + \phi) + & (5.5) \\
 &\quad + I_h \sin(\omega_h t + \phi) \\
 i_{s2} &= I_p \sin(\omega t + \phi - \frac{2\pi}{3}) + \\
 &+ I_n \sin(\omega t + \phi + \frac{2\pi}{3}) + I_h \sin(\omega_h t + \phi - \frac{2\pi}{3}) \\
 i_{s3} &= I_p \sin(\omega t + \phi + \frac{2\pi}{3}) + \\
 &+ I_n \sin(\omega t + \phi - \frac{2\pi}{3}) + I_h \sin(\omega_h t + \phi + \frac{2\pi}{3})
 \end{aligned}$$

Sendo os subscritos: p correspondente aos componentes de sequência positiva, n correspondente aos componentes de sequência negativa e h são correspondentes aos componentes harmônicos. A magnitude do vetor espacial é calculada com a utilização de (5.4) e (5.5) e os resultados são apresentados em (5.6) depois de manipulações algébricas.

$$\begin{aligned}
 |I_s| &= (I_p^2 + I_n^2 + I_h^2 - 2I_p I_n \cos(2\omega t) + & (5.6) \\
 &+ 2I_p I_h \cos[(h-1)\omega t] - 2I_n I_h \cos[(h+1)\omega t])^{0.5}
 \end{aligned}$$

A equação (5.6) mostra que a magnitude do vetor espacial I_s oscilará devido aos componentes de sequência negativa e harmônicas da corrente de saída. No método proposto as correntes de saída do conversor medidas são usadas para calcular $|I_s|$ através de (5.4) e este resultado é comparado com a magnitude de corrente de referência $|I_{ref}|$. O erro de corrente instantâneo é injetado em um controlador PI que gera o índice de modulação m para a modulação por vetores espaciais, de modo a forçar $|I_s|$ ficar constante. Nessa condição, as correntes de saída do conversor serão senoidais. Na leitura das correntes de saída do conversor é importante que os conversores AD estejam calibrados pois imprecisões na leitura provocam o aparecimento de componentes oscilantes no cálculo do módulo do vetor espacial. O controlador irá atuar de modo a compensar estas oscilações, que não existem na corrente real, distorcendo a corrente na carga.

O diagrama de blocos do controlador de corrente está apresentado na figura 5.3. As funções de transferência do regulador PI e da carga são dadas pelas equações (5.7) e (5.8). A função de transferência do conversor em matriz para o projeto do controlador de corrente é dado pela equação (5.9). Nesta equação se considera um atraso de $1,5.T_a$ [57] e o ganho limitado a 0,866 de modo que o conversor em matriz opera na região

linear. O método empregado na determinação de k_p e k_i é descrito em [58].

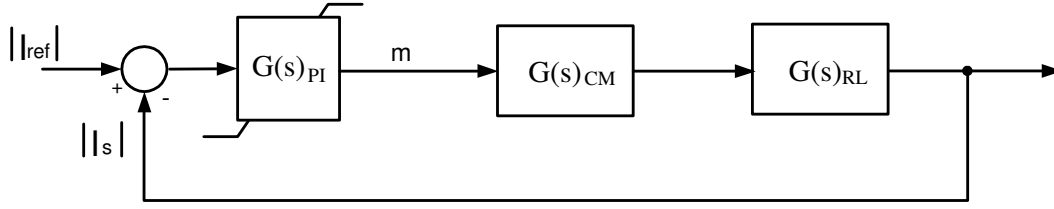


Figura 5.3: Malha de controle de corrente

$$G(s)_{PI} = k_p + \frac{k_i}{s} \quad (5.7)$$

$$G(s)_{RL} = \frac{1}{R + sL} \quad (5.8)$$

$$G(s)_{MC} = \frac{\sqrt{3}|\mathbf{V}_e|}{2(1 + 1,5sT_a)} \quad (5.9)$$

5.3 Simulação do controle de corrente aplicado no conversor em matriz

As simulações mostradas a seguir foram realizadas com as seguintes condições: carga RL com $R=2 \Omega$ e $L=2 \text{ mH}$, tensão de alimentação trifásica de 220 V eficaz com 10% de quinta harmônica e 10% de sequência de fase negativa a partir de $t=50 \text{ ms}$.

Considerando inicialmente o conversor em matriz operando em malha aberta com índice de modulação constante em $m=0,27$, pode-se ver nas figuras 5.4a e 5.4b que enquanto a tensão de entrada não está distorcida, os módulos dos vetores espaciais da corrente de entrada e da corrente de saída são constantes. A partir de $t=0,5 \text{ ms}$, as distorções nas tensões de entrada produz grandes oscilações nos respectivos módulos.

Quando o conversor em matriz passa a operar em malha fechada, nas mesmas condições citadas anteriormente, o valor do índice de modulação gerado pelo controle de corrente é mantido constante enquanto não há distorção da tensão de alimentação. A partir de $t=50 \text{ ms}$, o índice de modulação é modificado dinamicamente pelo controle de corrente, mostrado na figura 5.5a, de modo que a corrente na carga é mantida senoidal como visto na figura 5.5b.

5.3 Simulação do controle de corrente aplicado no conversor em matriz 75

A figura 5.5a evidência uma limitação na compensação das distorções, qualquer que seja a estratégia de compensação: se as distorções da tensão de entrada forem profundas de modo que o índice de modulação seja levado à saturação, então não é possível realizar a compensação.

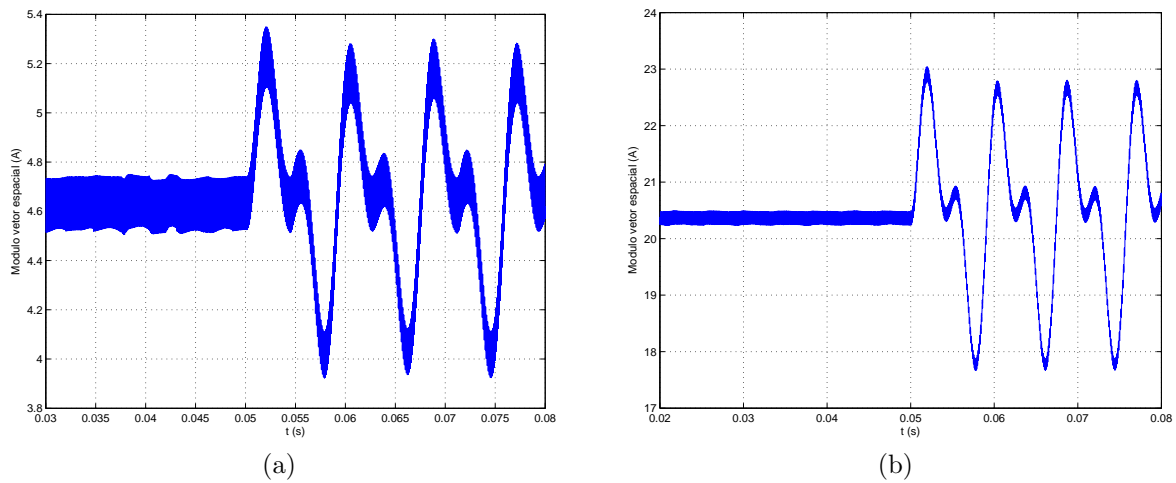


Figura 5.4: Módulo do vetor espacial da (a): corrente de entrada, (b): corrente de saída

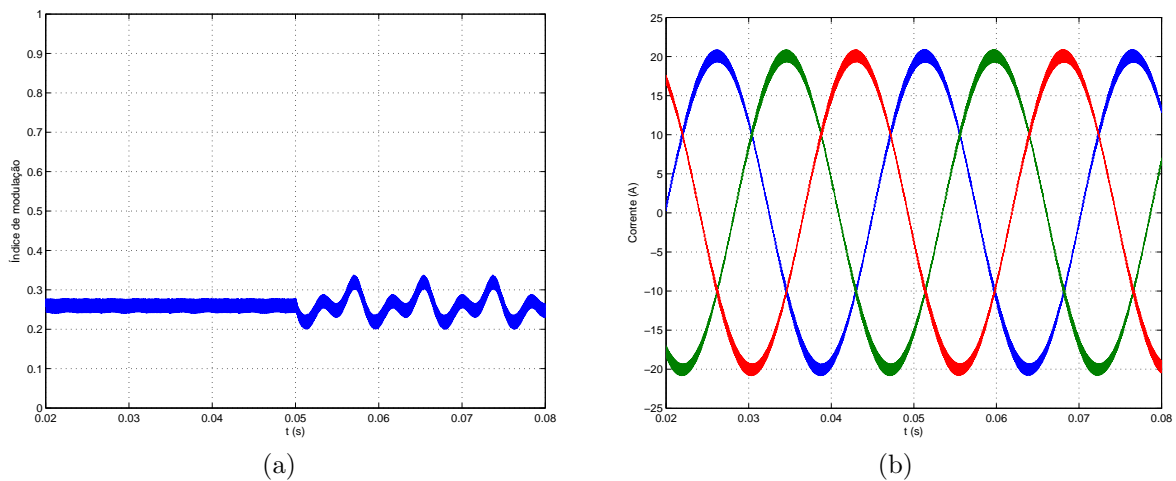


Figura 5.5: (a): Índice de modulação, (b): corrente na saída do conversor em matriz

Na figura 5.6 mostra-se o comportamento do módulo do vetor espacial da corrente de entrada e da corrente de saída do conversor em matriz. Pode-se ver que há um aumento na amplitude das oscilações do módulo do vetor espacial da corrente de entrada o que significa um aumento da taxa de distorção harmônica das correntes de entrada. Isto é

inerente aos conversores diretos, como o conversor em matriz, pois o controle de corrente distorce as tensões de saída do conversor em matriz de modo a tornar as correntes de saída senoidais. Essa distorção da tensão de saída é refletida na corrente de entrada do conversor. Por outro lado, a compensação não é perfeita, como pode ser vista na figura 5.6b onde o módulo do vetor espacial da corrente ainda apresenta pequenas oscilações. Isto se deve as limitações do regulador do PI empregado.

Apesar das limitações do tipo de regulador empregado no controle de corrente, a taxa de distorção harmônica é bastante reduzida, como mostrado na figura 5.7.

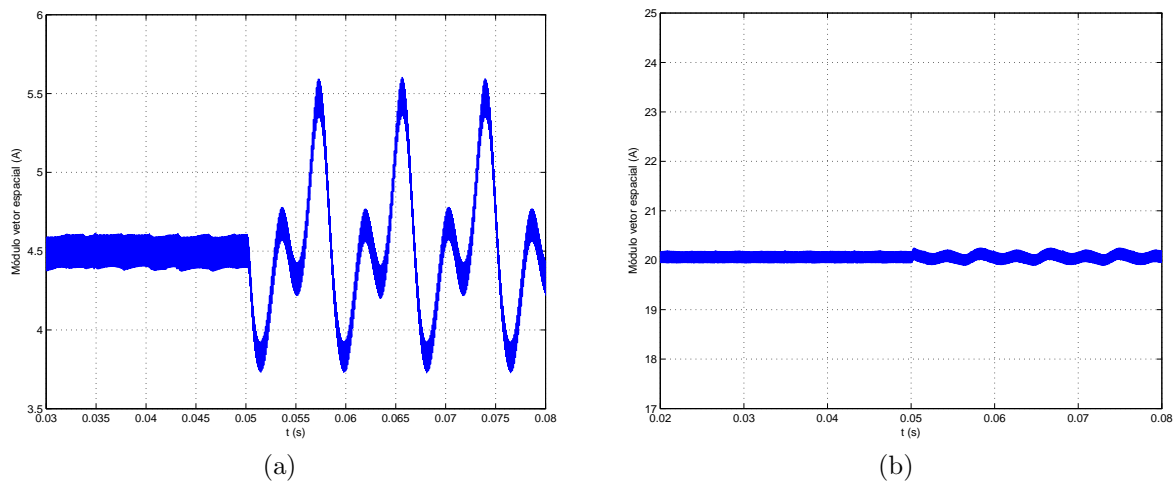


Figura 5.6: Módulo do vetor espacial da (a): corrente de entrada, (b): corrente de saída

Na Figura 5.8 mostra-se a resposta ao degrau do controle de corrente proposto.

Os resultados de simulação mostram que o controlador de corrente proposto, embora não implementado no protótipo, apresenta boa resposta dinâmica e é capaz de atenuar as distorções presentes na rede. A principal vantagem deste método, comparada com os métodos de compensação existentes na literatura técnica, é que não há a necessidade de sensores de tensão (que tem um custo elevado) na entrada do CM nem a necessidade do cálculo das componentes de sequência de fase positiva e negativa da tensão de entrada para realizar a compensação das distorções da tensão de entrada do conversor em matriz. Porém, o controle proposto tem a mesma limitação das outras estratégias de compensação no qual somente é possível realizar a compensação se a amplitude da tensão desejada na saída está contida na envoltória das tensões de entrada do conversor.

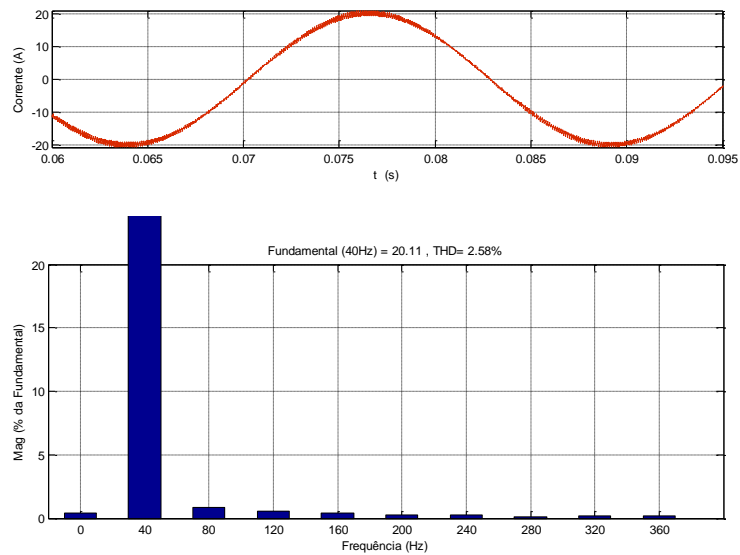


Figura 5.7: Espectro em frequência da corrente de saída do conversor em matriz

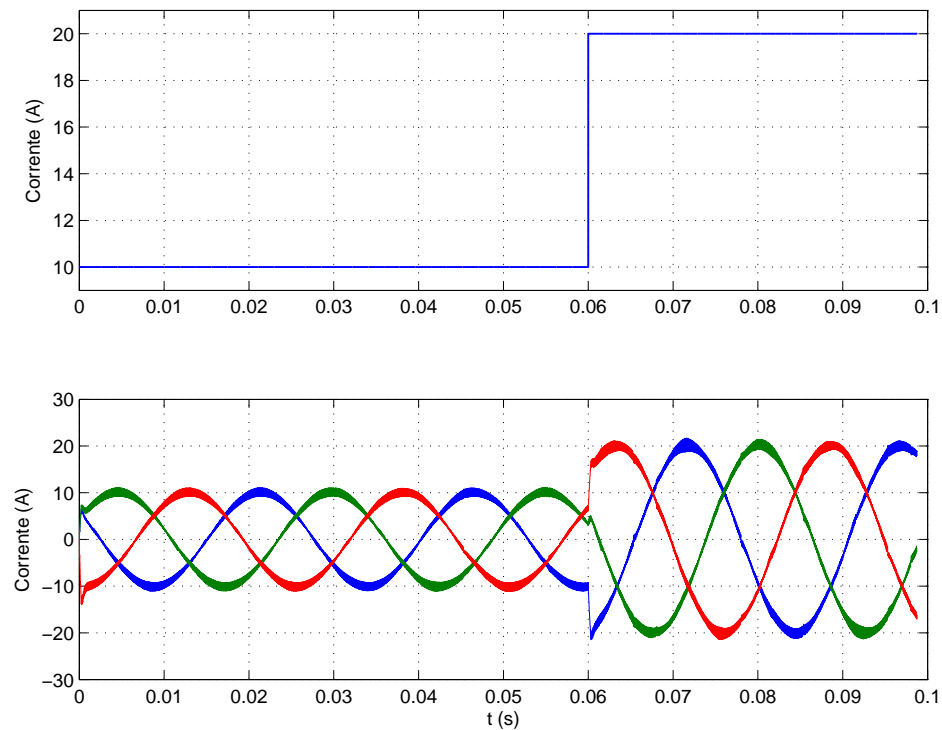


Figura 5.8: Resposta ao degrau de corrente

Capítulo 6

Controlador de corrente para o inversor sem o capacitor do elo CC

Este capítulo apresenta o uso do controlador de corrente proposto no inversor fonte de tensão cujo capacitor do elo de corrente contínua foi eliminado. As vantagens desta proposta são: redução no custo do inversor, redução na taxa de distorção harmônica da corrente de entrada do inversor, redução das influências das oscilações de tensão presente no elo de corrente contínua sobre a carga.

6.1 Operação do inversor sem capacitor no elo de corrente contínua

Os inversores fonte de tensão são dispositivos amplamente utilizados na indústria em diversas aplicações. Produzindo em sua saída tensões alternadas de amplitude, frequência e fase desejadas, os inversores de frequência permitiram a utilização de motores de indução em aplicações de velocidade variável, em substituição aos motores de corrente contínua, trazendo assim muitos benefícios à indústria. Tipicamente, os inversores fonte de tensão empregam um grande capacitor no elo de corrente contínua com o objetivo de minimizar as oscilações da tensão retificada pela ponte trifásica não controlada a diodos. Seja ΔV a máxima variação da tensão no elo de corrente contínua e i_{dc} a corrente instantânea do elo CC, a equação 6.1 define a mínima capacitância necessária

para se obter o máximo valor permitido para a ondulação [59].

$$C = \frac{1}{\Delta V} \int_{-\pi/6\omega}^{\pi/6\omega} i_{dc} dt \quad (6.1)$$

A título de exemplo, uma aplicação com tensão de linha de 220V, a ondulação na tensão retificada é de 41.7V. Se essa aplicação demandar uma corrente constante de 10 A e se desejar-se reduzir a ondulação para o valor máximo de 20 V, necessita-se então de um capacitor de 1390 μF . Como se pode perceber através deste exemplo, o valor de capacitância necessário para manter a ondulação no elo CC em níveis baixos é alto. Assim, o custo e o volume desses componentes são elevados. Além disso, capacitores tem uma vida útil curto, que é significativamente reduzida por qualquer variação nas suas condições de operação, como na temperatura [60], sendo um elemento de possível falha para os conversores.

Outra desvantagem da presença de grandes capacitores no elo CC é que nos momentos em que o capacitor se carrega, sua corrente possui um elevado di/dt . Isso torna a corrente na entrada do inversor bastante distorcida, como mostrado na figura 6.1, sendo a taxa de distorção harmônica superior a 140%. Essas correntes altamente distorcidas podem provocar nos equipamentos aquecimento excessivo, sobretensões devido à ressonância, erros de medição em equipamentos de controle de energia, interferência nas comunicações e em sinais de controle, além de baixo fator de potência.

Caso o capacitor seja eliminado, os picos de correntes de entrada do inversor são eliminados, melhorando a taxa de distorção harmônica. Porém, a retirada do capacitor provoca efeitos indesejáveis tanto nas correntes de entrada do inversor quanto nas correntes fornecida à carga.

As correntes de entrada passam a conter componentes harmônicas de alta frequência provenientes do chaveamento do inversor, mostrado na figura 6.4a. Então, torna-se necessário a presença de um filtro na entrada do inversor para eliminar estas componentes harmônicas de alta frequência e obter a corrente mostrada em 6.4b.

Se o inversor operar com alta frequência de chaveamento, os capacitores e indutores empregados no filtro serão de baixa capacitância e indutância implicando num filtro com volume e custos reduzido. As correntes filtradas apresentam uma taxa de distorção harmônica reduzida para aproximadamente 30 %, comparando-se a figura 6.3 com a figura 6.1.

No lado da carga, as oscilações da tensão retificada são reproduzidas na tensão de saída do inversor, distorcendo a corrente na carga com componentes harmônica de baixa

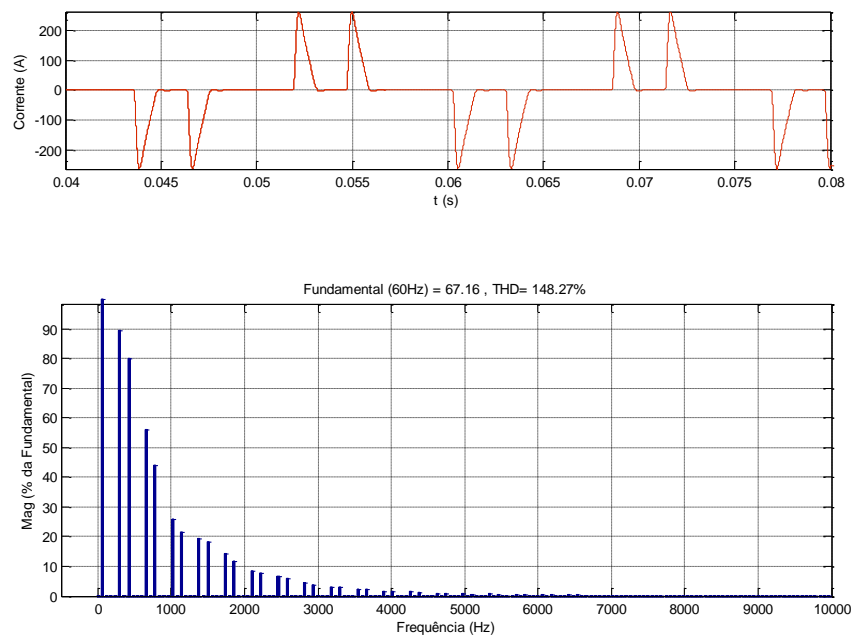


Figura 6.1: Corrente na entrada do inversor e seu espectro em frequência

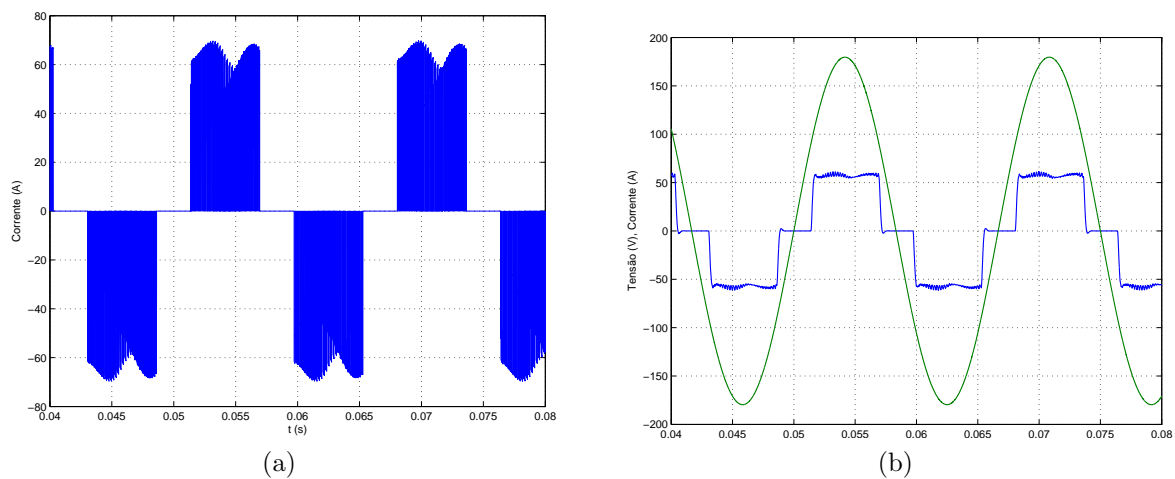


Figura 6.2: (a): Corrente na entrada do inversor, (b): Tensão e corrente (filtrada) na entrada do inversor

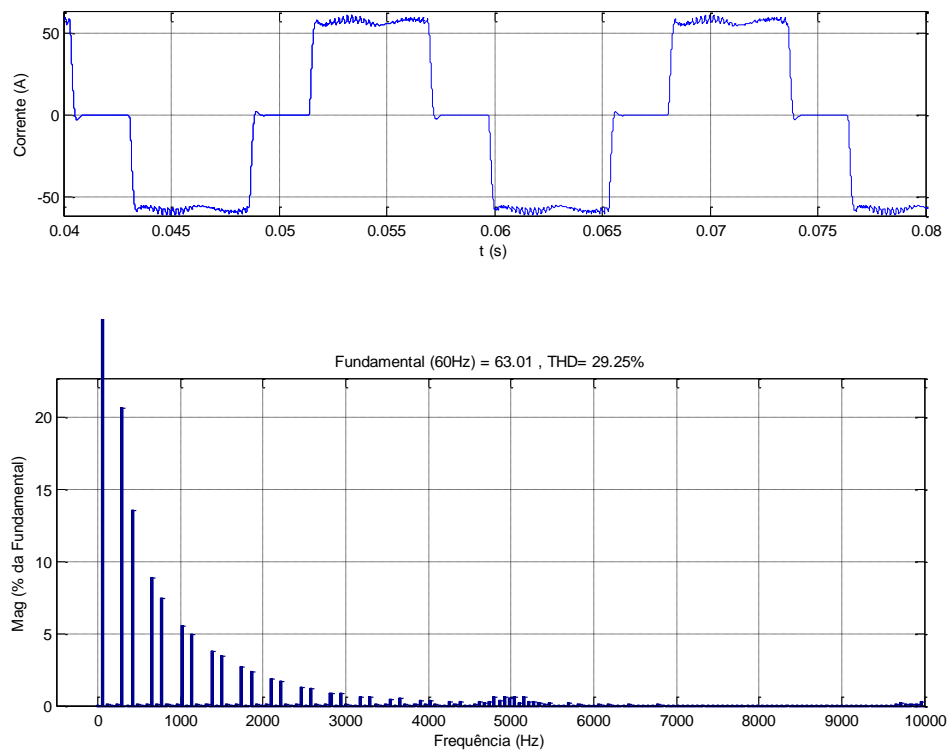


Figura 6.3: Corrente filtrada na entrada do inversor sem capacitor no elo CC e seu espectro em frequência.

ordem, como mostrada na figura 6.4. As oscilações de tensão no elo de corrente contínua ficam piores se a tensão de entrada do retificador apresentar distorções harmônicas e/ou desequilíbrio, aumentando a distorção da tensão e corrente no lado da carga (figura 6.5).

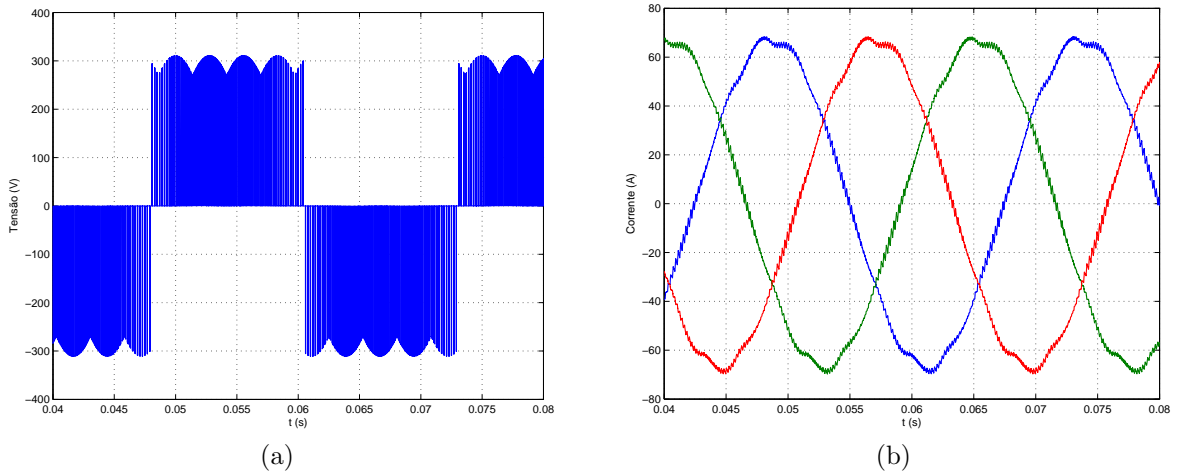


Figura 6.4: (a): Tensão de linha na saída do inversor, (b): Corrente na saída do inversor

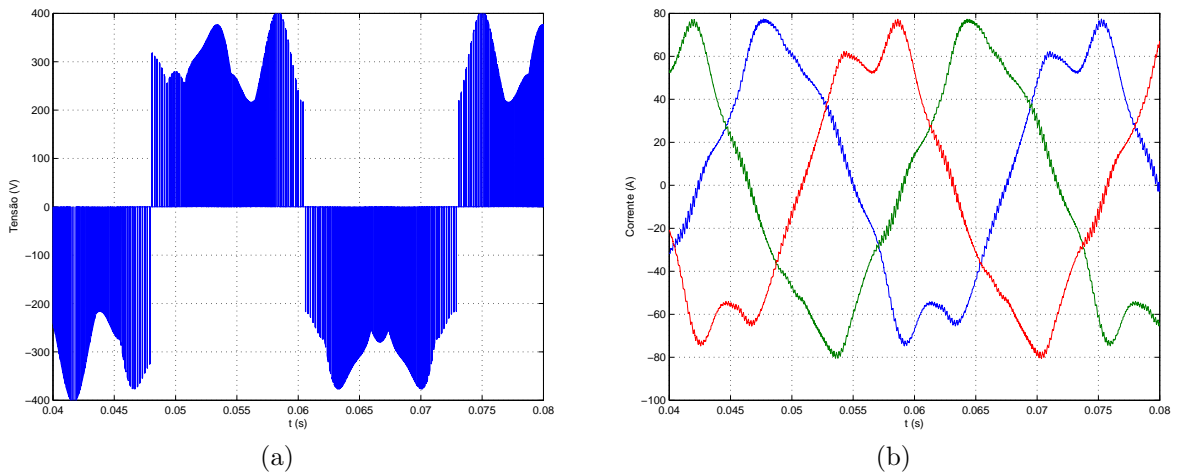


Figura 6.5: Efeito da distorção da tensão de alimentação (a): Tensão de linha na saída do inversor, (b): Corrente na saída do inversor

Portanto, para aproveitar o benefício da baixa distorção das correntes de entrada do inversor sem capacitor é necessário algum método de compensação das flutuações na tensão do elo CC a fim de se obter correntes senoidais na saída do inversor. Porém, como ocorre no conversor em matriz, a tensão de saída do inversor sem capacitor deve

estar completamente contida na envoltória de tensão do elo CC. Isso limita o ganho da tensão de saída a 0,866 da amplitude da tensão de entrada (figura 6.6), independente da técnica de modulação empregada no acionamento do conversor.

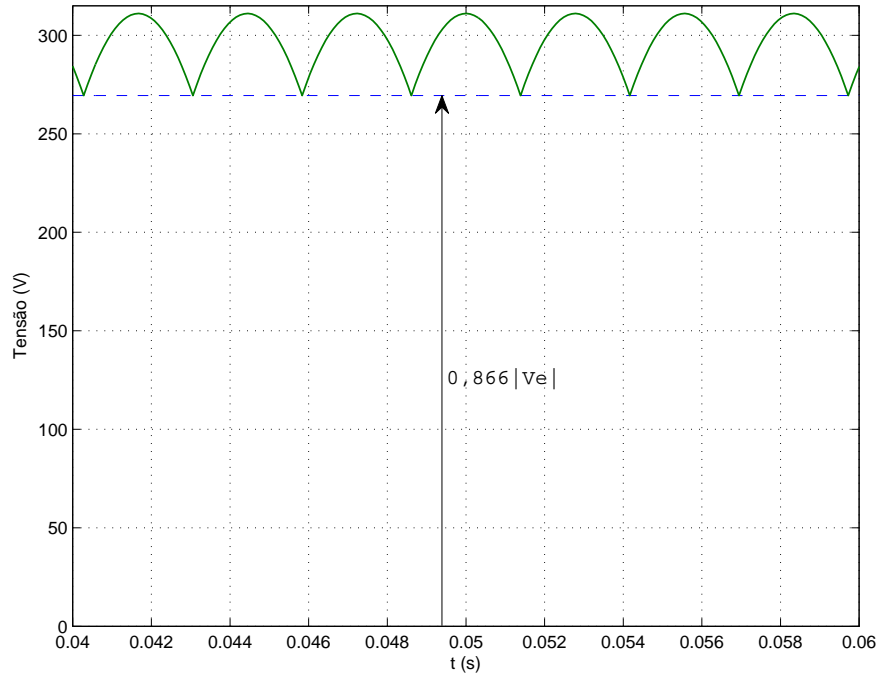


Figura 6.6: Limite de tensão na saída do inversor.

6.2 Aplicação do controle de corrente no inversor sem capacitor no elo CC

A maioria dos trabalhos publicados que visam a eliminação ou redução do capacitor no elo CC diz respeito ao uso de uma ponte retificadora controlada como elemento de controle da tensão no elo CC [61][62]. O uso de uma etapa retificadora controlada no inversor de frequência possibilita o controle do fluxo de potência ativa entre a rede e a carga de modo que a flutuação da tensão no elo CC seja minimizada mas tem o inconveniente do aumento do custo do inversor, do aumento na dissipação de potência por chaveamento e maior complexidade de controle.

Outros pesquisadores mantêm o uso da ponte retificadores a diodos e a compensação das flutuações de tensão no elo CC é realizada por meio da leitura da tensão do elo CC

6.2 Aplicação do controle de corrente no inversor sem capacitor no elo CC

como em [63].

A técnica de controle de corrente proposto para o conversor em matriz também pode ser aplicada no inversor sem capacitor no elo CC a fim de compensar as flutuações da tensão no elo CC e impor correntes senoidais na carga, como mostrado na figura 6.7. Repare que o capacitor do elo CC foi substituído por um filtro passa-baixas de segunda ordem com o objetivo de filtrar as componentes de alta frequência do inversor.

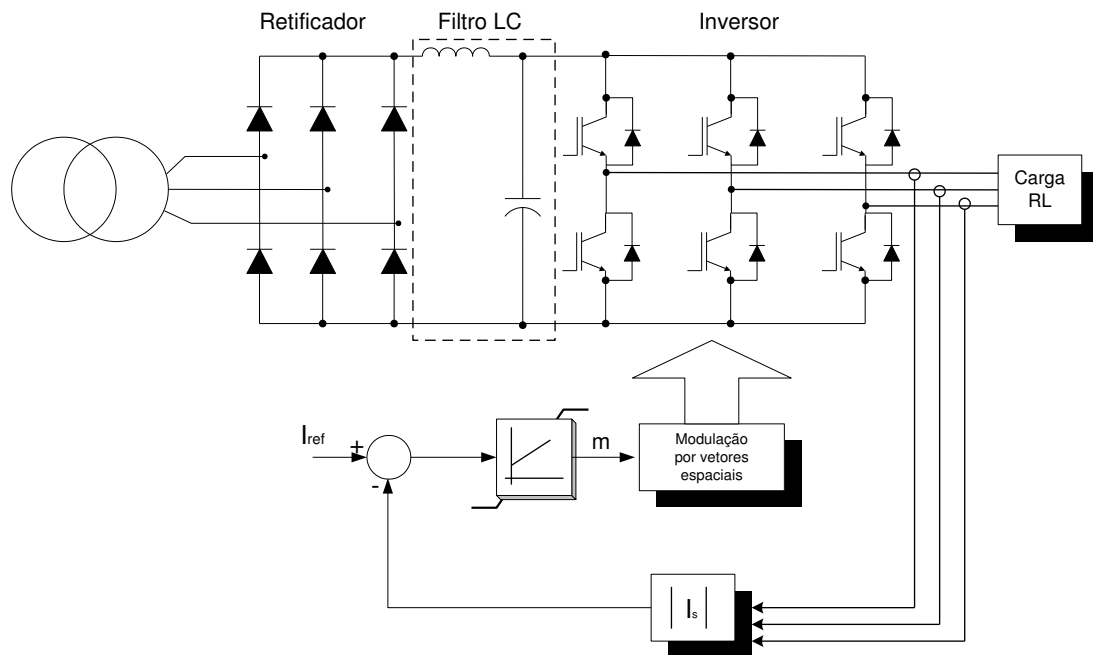


Figura 6.7: Controlador de corrente para o inversor

O diagrama de blocos do controle é mostrado na figura 6.8, onde as respectivas funções de transferências são dadas pelas equações (6.2), (6.3) e (6.4):

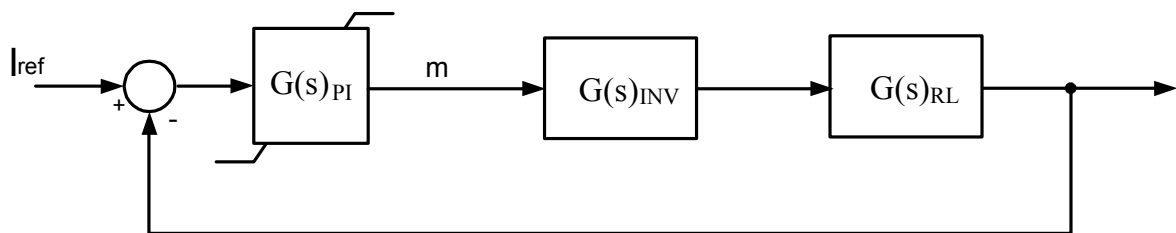


Figura 6.8: Malha de controle de corrente para o inversor.

$$G(s)_{PI} = k_p + \frac{k_i}{s} \quad (6.2)$$

$$G(s)_{INV} = \frac{\sqrt{3}|\mathbf{V}_e|}{2(1 + 1,5sT_a)} \quad (6.3)$$

$$G(s)_{RL} = \frac{1}{R + sL} \quad (6.4)$$

6.2.1 Simulações do controle de corrente

Os parâmetros utilizados na simulação do inversor sem capacitor são: carga RL com $R=10 \Omega$ e $L=5 \text{ mH}$, tensão de alimentação trifásica de 220 V eficaz, frequência de chaveamento em 10 kHz, filtro de corrente com frequência de corte em 2 kHz.

A figura 6.9a mostra a tensão de fase e corrente filtrada na entrada do inversor. A tensão de entrada é distorcida com 10% de quinta harmônica e 10% de seqüência de fase negativa a partir de $t=30 \text{ ms}$. Pode-se verificar na figura 6.9b a atuação do controle de corrente na geração do índice de modulação, de modo a compensar as flutuações da tensão presente no elo CC e obter correntes senoidais na carga, mostrado na figura 6.10.

No período de tempo entre 0 e 30 ms, o controle de corrente age no cálculo do índice de modulação de modo a anular as flutuações da tensão retificada. A partir de $t=30 \text{ ms}$ quando a tensão de entrada se torna distorcida mas o controle de corrente mantém a capacidade de compensação.

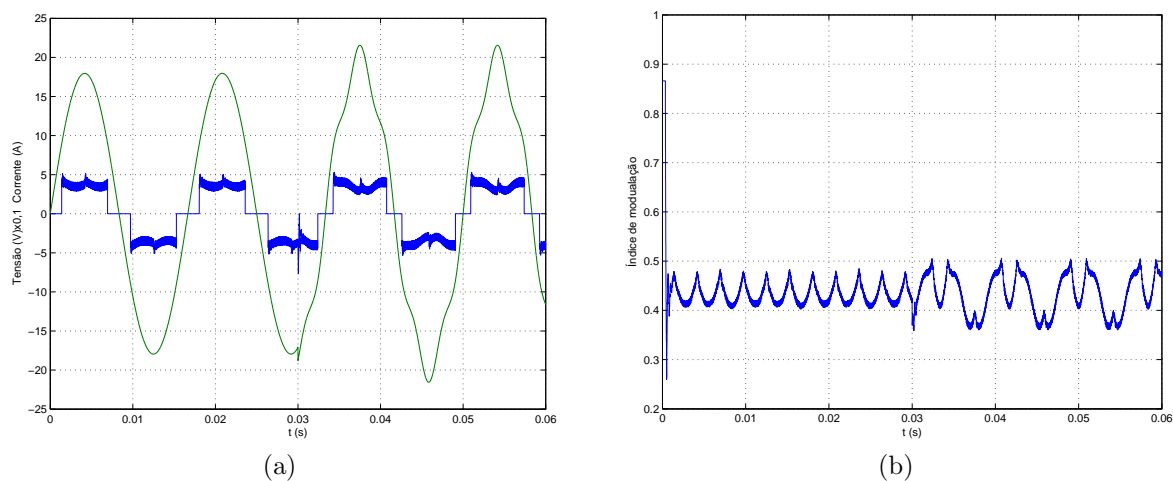


Figura 6.9: (a): Tensão e corrente na entrada do inversor, (b): índice de modulação

6.2 Aplicação do controle de corrente no inversor sem capacitor no elo CC

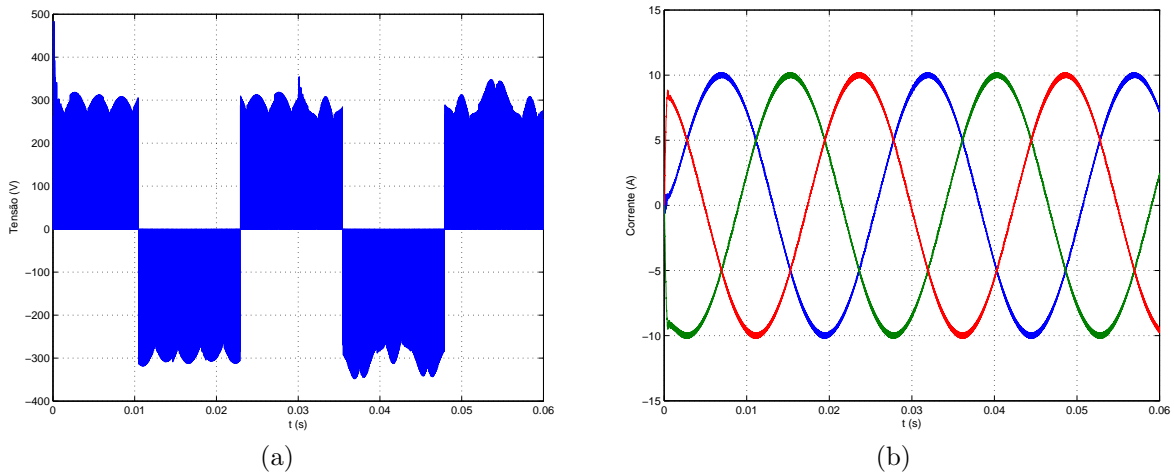


Figura 6.10: (a): Tensão de linha na saída do inversor, (b): correntes na carga.

6.2.2 Implementação do controle de corrente para o inversor

Para validação experimental do controle de corrente proposto foram projetadas e construídas duas unidades do protótipo de inversor da ordem de 2 kW, uma que possui banco de capacitores eletrolíticos no elo CC e outra com filtro LC sem os capacitores, como mostrado na figura A.2. Cada protótipo é constituído de um retificador trifásico em ponte completa, módulo inversor trifásico com IGBT, fontes de alimentação, banco de capacitores ou filtro LC, sensores de corrente e de tensão, circuitos de condicionamento de sinais e filtragem de sinais analógicos e de interface e isolamento de sinais digitais e de proteção.

O módulo de potência utilizado é o IRAMS10UP60A, da *International Rectifier*, no qual além da ponte inversora a IGBT, os circuitos de acionamento e de proteção dos IGBTs estão integrados no mesmo módulo. A fim de reduzir o volume do inversor sem capacitor no elo CC, ao invés de se utilizar um filtro trifásico na entrada para filtrar as componentes harmônicas de alta frequência do chaveamento, foi projetado um filtro LC monofásico de segunda ordem, de acordo com a metodologia apresentada no projeto do filtro do conversor em matriz, e instalado no espaço da placa de circuito impresso reservada para o banco de capacitores.

A figura 6.11 apresenta a tensão e corrente de fase na entrada do inversor sem capacitor com controle em corrente. A Figura 6.12 detalha esta corrente, apresentando seu espectro em frequência. Para comparação, apresenta-se a figura 6.14 na qual mostra-se a corrente de entrada e seu espectro em frequência do inversor com banco de capaci-

tores no elo CC. Pode-se comprovar que a retirada do capacitor do elo CC causa uma diminuição significativa do conteúdo harmônico da corrente de entrada.

Outro benefício obtido é a redução do custo final do inversor, pois o filtro LC implementado no protótipo teve um custo inferior a 1/6 do custo do banco de capacitores empregado no protótipo com capacitor.

A corrente de saída apresentou uma pequena, mas ainda existente, oscilação decorrente da oscilação da tensão do elo CC. Isto é atribuído à imprecisão na leitura das correntes na carga.

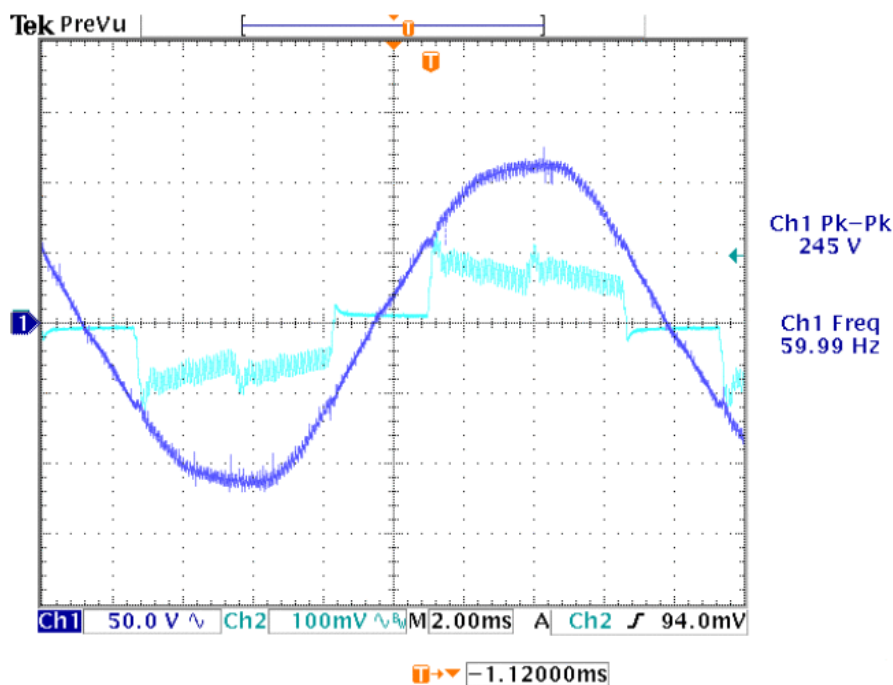


Figura 6.11: CH1: Tensão e Ch2: corrente na entrada do inversor sem capacitor no elo CC (1 A/div).

6.2.3 Limitação do protótipo

Para uma carga RL, os protótipos construídos foram o suficiente para obter alguns resultados experimentais. No entanto, a forma mais comum de carga é um motor trifásico de corrente alternada, que pode ser submetido a processos mecânicos ou elétricos de frenagem para a redução de velocidade. Em ambos os casos, o inversor fonte de tensão tem que lidar com a energia gerada pela energia cinética armazenada no motor e da carga.

6.2 Aplicação do controle de corrente no inversor sem capacitor no elo CC

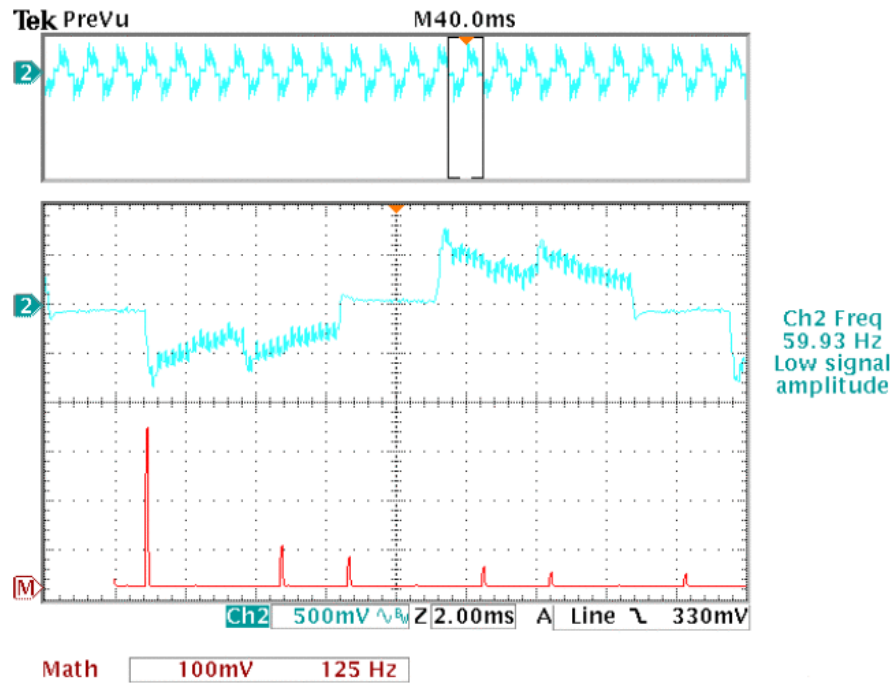


Figura 6.12: Espectro em frequência da corrente de entrada

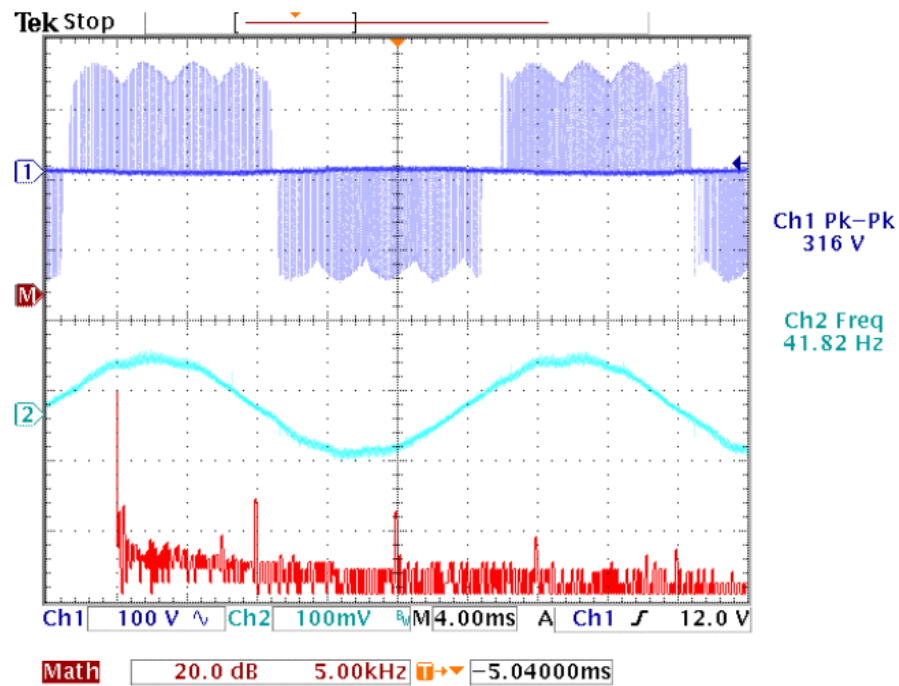


Figura 6.13: Ch1: Tensão e Ch2: corrente na saída do inversor sem capacitor no elo CC (2 A/div).

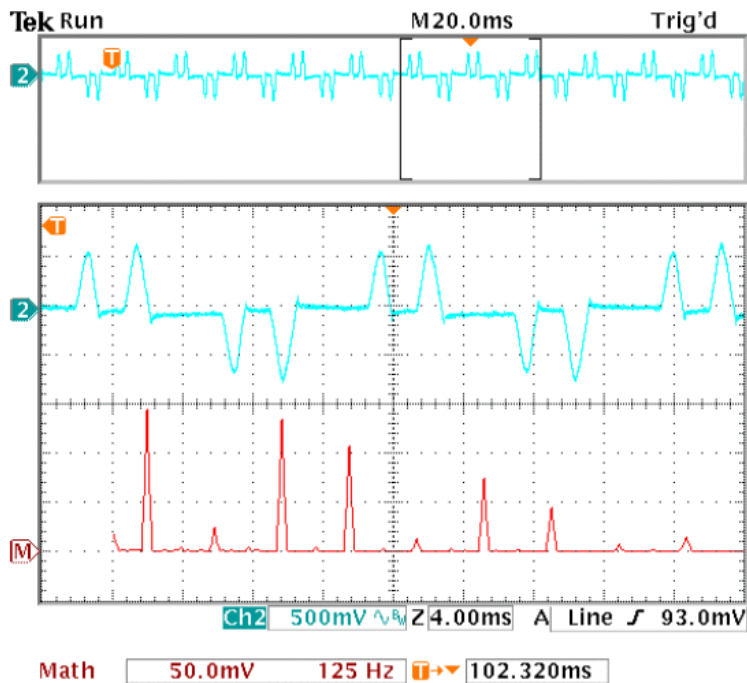


Figura 6.14: corrente na entrada com capacitor

Se a inércia da carga é pequena ou o tempo de desaceleração não é tão rápido, em uma fonte de tensão com um capacitor grande no elo de corrente contínua, é possível que o capacitor absorva a energia produzida sem um aumento significativo da tensão do elo de corrente contínua. Caso contrário, é necessário um circuito de frenagem dinâmica ou um inversor fonte de tensão. O circuito de frenagem dinâmica é essencial no caso em que o inversor fonte de tensão funciona sem um capacitor eletrolítico grande. Outro aspecto importante a ser investigado e implementado no inversor sem capacitor no elo de corrente contínua é a preocupação com a interrupção momentânea de energia ([64]) que em algumas aplicações industriais é desejável se manter algum grau de controle do processo durante este tipo de interrupção.

Capítulo 7

Conclusões e sugestões para novos trabalhos

Este trabalho apresentou uma técnica de controle de corrente para conversores em matriz trifásico para trifásico e inversores trifásicos sem capacitores no elo de corrente contínua.

O conversor em matriz permite o controle do fluxo de potência entre a fonte e a carga sem a necessidade de elementos armazenadores de energia elétrica em sua estrutura além de outras vantagens tais como operação em quatro quadrantes, fator de potência unitário e tensão de saída e corrente de entrada senoidais. Entretanto, a ausência de elementos armazenadores de energia produz um efeito indesejado no conversor em matriz porque as perturbações na tensão de alimentação do conversor são imediatamente transferidas para a carga, comprometendo seu funcionamento.

Este trabalho mostrou um método de compensação das distorções existentes na tensão de alimentação sobre a carga baseado no controle da corrente na carga. O método proposto envolve baixo esforço computacional e não requer a necessidade de uso de sensores de tensão para realizar a compensação. O desempenho do controlador de corrente foi validado por meio de resultados de simulação. As análises destes resultados mostraram a capacidade de compensação das distorções da tensão de alimentação mesmo usando apenas um regulador PI na sua estrutura. Porém, a capacidade de compensação do método proposto está limitada à amplitude da tensão de saída, que deve estar contida na envoltória das tensões de entrada do conversor em matriz.

O projeto de um protótipo de conversor em matriz foi apresentado neste trabalho. Foram apresentados diversos aspectos da construção do protótipo tais como: construção

das chaves bidirecionais de potência usando IGBTs, circuito de acionamento, circuito de comutação segura das chaves de potência, projeto do filtro de entrada do conversor, circuitos de proteção contra curto-circuito e sobretensões. São apresentados resultados experimentais com o conversor em matriz operando em diversas frequências da tensão de saída.

Estes resultados experimentais foram obtidos com o protótipo alimentado com tensão reduzida, devido a problemas de instabilidades de operação do mesmo quando a tensão de alimentação se aproximava da tensão nominal de 220 V. A principal causa da instabilidade é a suscetibilidade do circuito de controle à interferência eletromagnética provocado pelas comutações dos IGBTs. Estas limitações não permitiram a implementação do controle de corrente no conversor em matriz de modo a se obter resultados experimentais.

Como a construção e o controle do conversor em matriz são muito mais complexos do que os do inversor de frequência, amplamente empregado na indústria, uma forma de testar o controle de corrente foi o uso do mesmo num inversor trifásico. Se o capacitor presente no elo de corrente contínua de um inversor trifásico for retirado, o inversor passa a apresentar os mesmos problemas do conversor em matriz, ou seja, a tensão de saída fica susceptível às flutuações da tensão retificada, mesmo que não haja distorções na tensão de alimentação. Um protótipo de inversor foi construído sem o capacitor no elo de corrente contínua e realizada a compensação das flutuações da tensão retificada usando o controle de corrente proposto. Os resultados experimentais obtidos foram satisfatórios com redução da taxa de distorção harmônica de corrente tanto na entrada quanto na saída.

7.1 Sugestões para trabalhos futuros

Apesar da proposta do conversor em matriz ter sido apresentada a mais de 40 anos, sua tecnologia ainda está em desenvolvimento e apresenta muitos desafios. O surgimento de novos dispositivos semicondutores de potência tais como IGBTs com capacidade de bloqueio de tensão reversa podem trazer novas perspectivas para o desenvolvimento do conversor.

Desta forma, algumas propostas futuras de trabalho são: a) Aplicação do conversor em matriz em geração de energia usando fontes renováveis; b) Estudo de novos métodos de comutação e proteção das chaves bidirecionais; c) Estudo de novas técnicas de mo-

dulação, d) Estudos de novos métodos de compensação da tensão distorcida. e) Estudo de novas topologias do conversor em matriz com uso de menos dispositivos semicondutores de potência (conversor em matriz esparsa). Sugere-se também o estudo de novos métodos de controle para inversores sem capacitor ou com capacitor reduzido no elo de corrente contínua.

Apêndice A

Fotos dos protótipos desenvolvidos

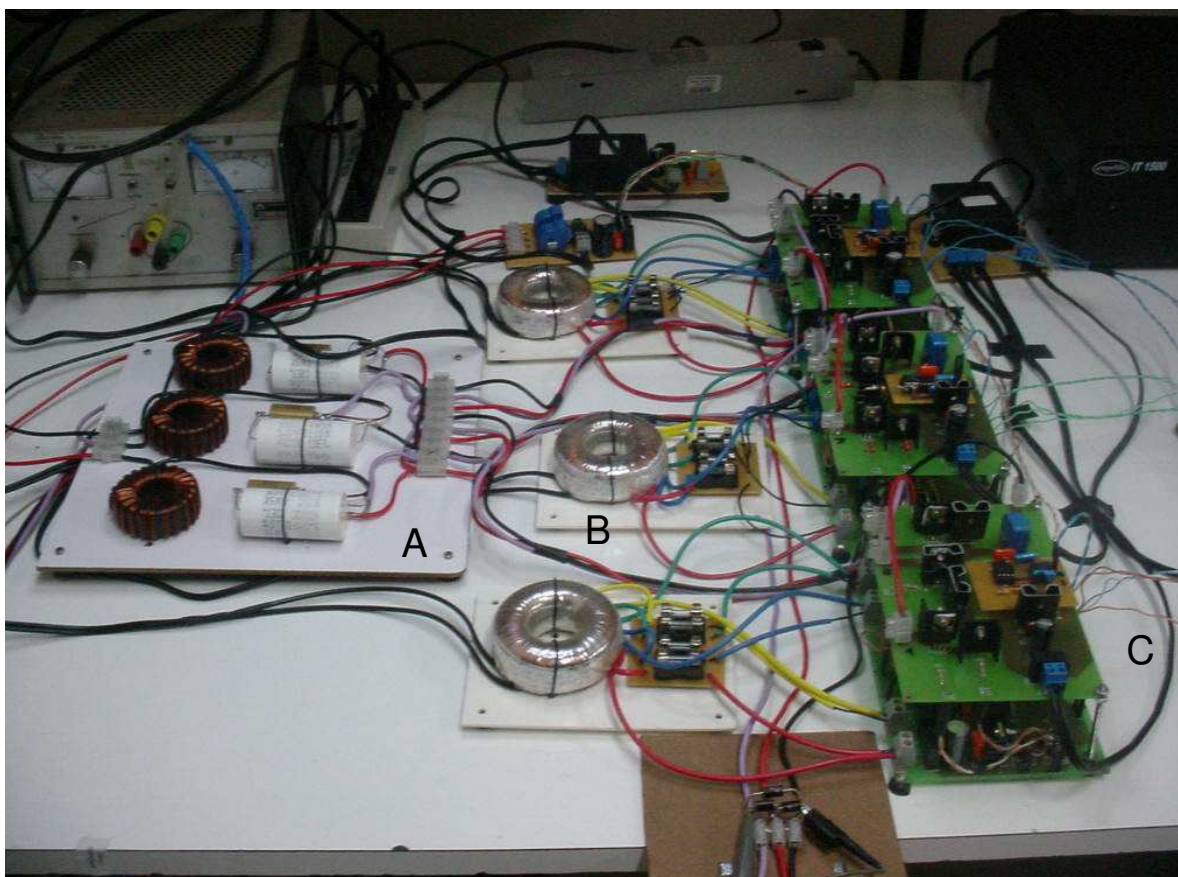


Figura A.1: Protótipo do CM: (a) filtro LC, (b) fontes de alimentação, (c) circuitos de potência e de controle



(A)

(B)

Figura A.2: Protótipos dos inversores: (a) inversor convencional com banco de capacitores, (b) inversor com filtro LC no lugar do banco de capacitores

Apêndice B

Programa de comutação segura

O projeto do circuito digital que executa o método dos quatro passos do conversor em matriz é facilitado se pelo uso da linguagem VHDL. Essa linguagem descritiva de hardware permite projetar um circuito digital fazendo uma descrição da funcionalidade esperada do circuito. Esta descrição segue os passos da máquina de estados mostrada na figura 4.11. No código VHDL implementado, as entradas e saídas estão declaradas na entidade *CM* mostrada a seguir:

```
entity CM is  
  Port ( clk, reset : in std_logic;  
    corrente : in std_logic;  
    curto    : in std_logic;  
    tensao   : in std_logic_vector(1 downto 0);  
    LED     : out std_logic;  
    comando  : out std_logic_vector(5 downto 0));  
end CM;
```

As entradas “clk”, “tensao” e “reset” são provenientes do DSP. O sinal de *clock* “clk” é fornecido pelo DSP já na frequência de 1MHz e, portanto nenhum divisor interno de *clock* é sintetizado no CPLD (divisores de *clock* consomem muito recursos do CPLD). O sinal de entrada “tensão” é uma informação de dois bits: “00” que representa a tensão V_{e1} , “10” a tensão V_{e2} e “11” ou “01” para representar a tensão V_{e3} (esta duplicidade permite economizar mais algumas macrocélulas). O sinal “reset” é um sinal que leva o CPLD a desligar todos os IGBTs do módulo de potência. Este estado é representado pelo estado “S00” descrito no código VHDL. Este estado também é selecionado quando há ocorrência de um curto-circuito. O sinal entrada “corrente” que representa o sentido

da corrente na carga é obtido pela leitura de um circuito comparador instalado em cada módulo de potência do CM. O sinal “corrente” é uma informação de um bit: “0” se o sinal de corrente é negativo (da carga para a fonte) e “1” para o sinal de corrente positivo (da fonte para a carga). O sinal “curto” é uma informação de um bit e desabilita o conversor em matriz se for “0” (a saída do circuito detector de curto é invertida: “0” se houver um curto e “1” caso contrário). Observe na figura B.1 que quando ocorre um curto-circuito, o conversor em matriz é desligado imediatamente e permanece neste estado até que o operador mande um sinal de reset via DSP. Na figura B.2 é mostrada a situação no qual o processo de comutação é re-inicializado com o conversor comutando para a fase desejada para aquele instante de re-inicialização. O sinal de saída “comando” é uma informação de 6 bits que representam os estados descritos na tabela 4.1. Esta informação é colocada nos pinos do CPLD que foram configurados como saída e estão conectados diretamente nos optoacopladores HCPL3140. O sinal “LED” representa uma informação de um bit para fins de monitoração através de um led: “1”, o led ascende indicando que o conversor em matriz foi desligado pela ocorrência de um curto-circuito ou pela aplicação do sinal reset e “0” o led fica apagado, sem nenhuma ocorrência. Toda a lógica de comutação foi implementada dentro de um único processo (process - secção de um programa em VHDL onde as instruções são executadas sequencialmente) e a detecção de curto-circuito em outro processo. O circuito sintetizado ocupou apenas 20 macrocélulas do CPLD restando 16 macrocélulas para implementar outras funções. As figuras B.3 a B.7 mostram, por meio de simulações, outras comutações que ocorrem durante a operação do conversor.


```

92:         estado<=S5;
93:         when Scc=>
94:             estado<=S10;
95:         when S10=>
96:             estado<=S6;
97:         when S5=>
98:             correnteAtualizada:= corrente;
99:             estado<=Sbb;
100:        when others =>
101:            null;
102:        end case;
103:
104:    else
105:        case estado is
106:            when Saa=>
107:                estado<=S11;
108:            when S11=>
109:                estado<=S3;
110:            when S00 | S3 | S7 =>
111:                estado<=S4;
112:            when Scc=>
113:                estado<=S8;
114:            when S8=>
115:                estado<=S7;
116:            when S4=>
117:                correnteAtualizada:= corrente;
118:                estado<=Sbb;
119:            when others =>
120:                null;
121:        end case;
122:    end if;
123:
124:    else
125:        if correnteAtualizada='1' then
126:            case estado is
127:                when Saa=>
128:                    estado<=S1;
129:                when S1=>
130:                    estado<=S9;
131:                when S00 | S9 | S6 =>
132:                    estado<=S10;
133:                when Sbb=>
134:                    estado<=S5;
135:                when S5=>
136:                    estado<=S6;
137:                when S10=>
138:                    correnteAtualizada:= corrente;
139:                    estado<=Scc;
140:                when others =>
141:                    null;
142:            end case;
143:
144:        else
145:            case estado is
146:                when Saa=>
147:                    estado<=S11;
148:                when S11=>
149:                    estado<=S12;
150:                when S00 | S12 | S7 =>
151:                    estado<=S8;
152:                when Sbb=>
153:                    estado<=S4;
154:                when S4=>
155:                    estado<=S7;
156:                when S8=>
157:                    correnteAtualizada:= corrente;
158:                    estado<=Scc;
159:                when others =>
160:                    null ;
161:            end case;
162:        end if;
163:    end if;
164: end if;
165: end if;
166:
167: end process moduloA;
168:
169: protege: process(reset, curto)
170: variable sc: std_logic:='0';
171: begin
172:     if curto = '0' then
173:         sc :='1';
174:         falha<= '1';
175:     elsif reset = '0' and sc = '1' then
176:         falha<= '1';
177:     elsif reset = '1' then
178:         falha <='1'; sc :='0';
179:     else
180:         falha <= '0';
181:     end if;
182: end process protege;

```



```

183:
184:     LED <= falha;
185:
186:     with estado select
187:     comando<=M(0) when s00,
188:           M(1) when Saa,
189:           M(2) when S1 ,
190:           M(3) when S2 ,
191:           M(4) when S3 ,
192:           M(5) when S4 ,
193:           M(6) when Sbb,
194:           M(7) when S5 ,
195:           M(8) when S6 ,
196:           M(9) when S7 ,
197:           M(10) when S8 ,
198:           M(11) when Scc ,
199:           M(12) when S9 ,
200:           M(13) when S10 ,
201:           M(14) when S11 ,
202:           M(15) when S12 ;
203:
204: end SafeComutation;
205:

```

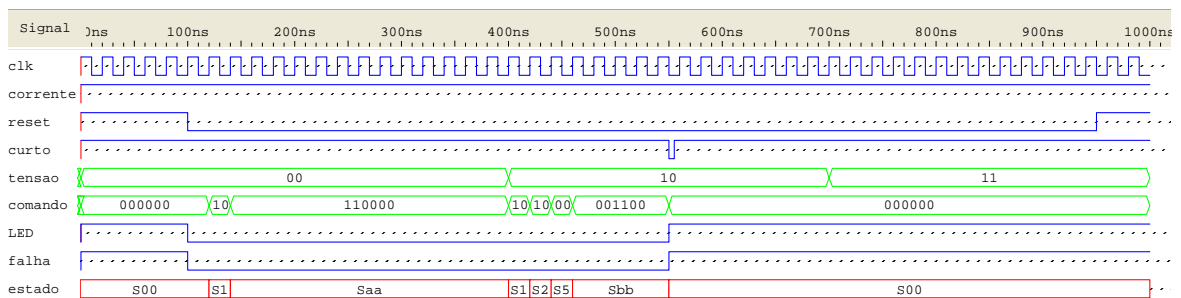


Figura B.1: Comutação segura quanto ocorre um curto-circuito

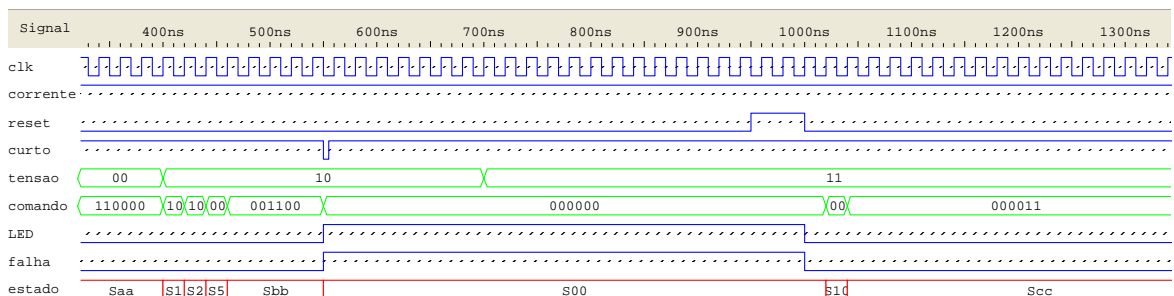


Figura B.2: Re-inicialização da comutação

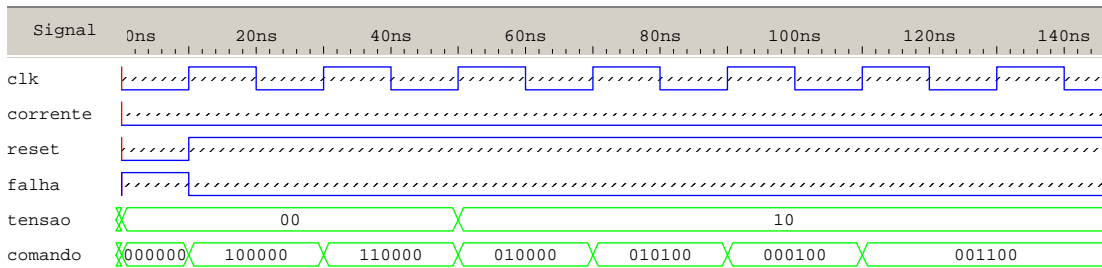


Figura B.3: Comutação de V_{e1} para V_{e2} quando a corrente é negativa

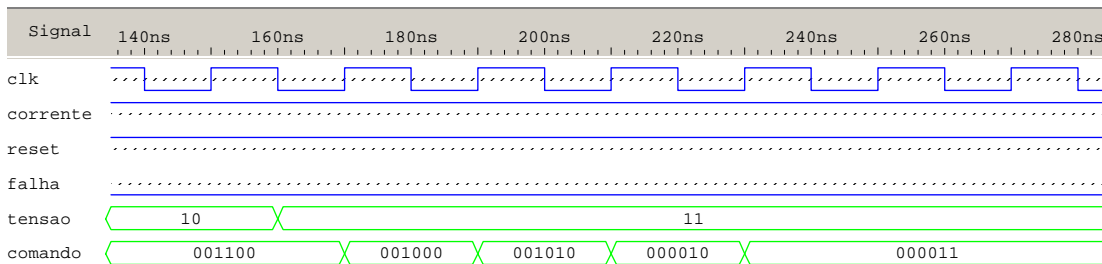


Figura B.4: Comutação de V_{e1} para V_{e3} quando a corrente é positiva.

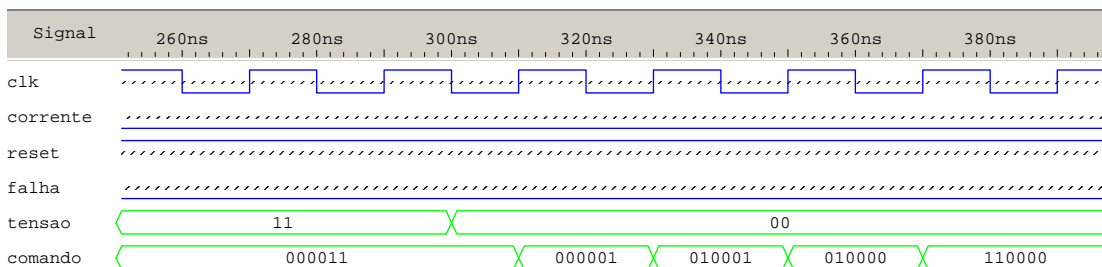


Figura B.5: Comutação de V_{e3} para V_{e1} quando a corrente é negativa.

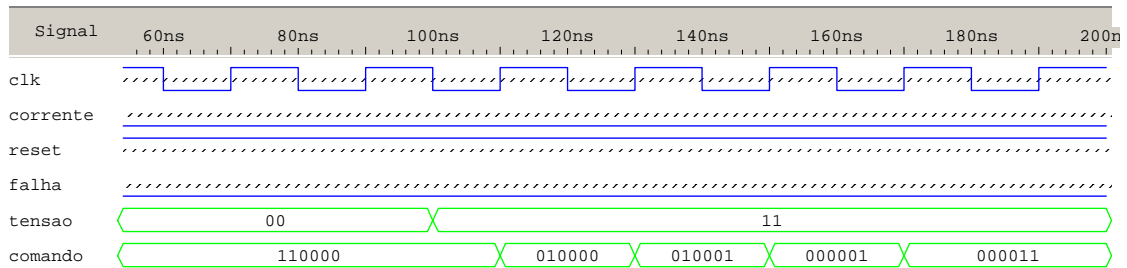


Figura B.6: Comutação de V_{e1} para V_{e3} quando a corrente é positiva.

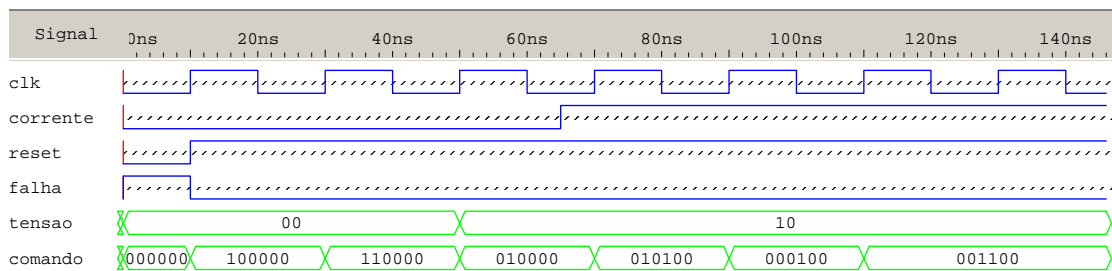


Figura B.7: Comutação de V_{e1} para V_{e2} quando ocorre mudança na corrente.

Referências Bibliográficas

- [1] V. K. Sood, *HVDC and FACTS Controllers: Applications of Static Converters in Power Systems*. Springer, 2004.
- [2] S. Heier, *Grid Integration of Wind Energy Conversion Systems*. Wiley, 2006.
- [3] MTE Corporation, *Matrix^Â® Harmonic Filters - Series D - Selection Table & Technical Specifications Guide*.
- [4] J.-K. Kang, H. Hara, A. Hava, E. Yamamoto, E. Watanabe, and T. Kume, “The matrix converter drive performance under abnormal input voltage conditions,” *Power Electronics, IEEE Transactions on*, vol. 17, no. 5, pp. 721–730, 2002.
- [5] D. Vincenti, P. Ziogas, and R. Patel, “An analysis and design of a force commutated three-phase pwm ac controller with input unbalance correction capability,” in *Applied Power Electronics Conference and Exposition, 1992. APEC '92. Conference Proceedings 1992., Seventh Annual*, pp. 487–493, Feb. 1992.
- [6] Inter, *IRAMS10UP60A - Integrated Power Module for Appliance Motor Drive*, 2008.
- [7] Fairchild Semiconductor, *FSBB30CH60 - Smart Power Module*, March 2005.
- [8] E. Aeloiza, J.-H. Kim, P. Ruminot, and P. Enjeti, “A real time method to estimate electrolytic capacitor condition in pwm adjustable speed drives and uninterruptible power supplies,” in *Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th*, pp. 2867–2872, 2005.
- [9] F. Kieferndorf, M. Forster, and T. Lipo, “Reduction of dc-bus capacitor ripple current with pam/pwm converter,” *Industry Applications, IEEE Transactions on*, vol. 40, no. 2, pp. 607–614, 2004.

- [10] L. Gyugyi and B. R. Pelly, *Static Power Frequency Changers - Theory, Performance, and Applications*. John Wiley & Sons, 1976.
- [11] M. Venturini and A. Alesina, "A new sine wave in, sine wave out conversion technique eliminates reactive elements," in *Proc. Powercon 7*, p. E3.1 to E3.15, 1980.
- [12] P. D. Ziogas, S. I. Khan, and M. H. Rashid, "Analysis and design of forced commutated cycloconverter structures with improved transfer characteristics," *Industrial Electronics, IEEE Transactions on*, vol. IE-33, no. 3, pp. 271–280, 1986.
- [13] C. Klumpner, P. Nielsen, I. Boldea, and F. Blaabjerg, "A new matrix converter motor (mcm) for industry applications," *Industrial Electronics, IEEE Transactions on*, vol. 49, no. 2, pp. 325–335, 2002.
- [14] S. Barakati, M. Kazerani, and X. Chen, "A new wind turbine generation system based on matrix converter," in *Power Engineering Society General Meeting, 2005. IEEE*, pp. 2083–2089 Vol.3, 12-16 June 2005.
- [15] A. R. Marami Iranaq, M. Tarafdar Haque, and E. Babaei, "A upfc based on matrix converter," in *Power Electronic Drive Systems Technologies Conference (PED-STC), 2010 1st*, pp. 95–100, 2010.
- [16] D. Holmes and T. Lipo, "Implementation of a controlled rectifier using ac-ac matrix converter theory," *Power Electronics, IEEE Transactions on*, vol. 7, no. 1, pp. 240–250, 1992.
- [17] A. Zuckerberger, D. Weinstock, and A. Alexandrovitz, "Single-phase matrix converter," *Electric Power Applications, IEE Proceedings -*, vol. 144, no. 4, pp. 235–240, 1997.
- [18] J. Kolar, M. Baumann, F. Schafmeister, and H. Ertl, "Novel three-phase ac-dc-ac sparse matrix converter," in *Applied Power Electronics Conference and Exposition, 2002. APEC 2002. Seventeenth Annual IEEE*, vol. 2, pp. 777–791 vol.2, 10-14 March 2002.
- [19] M. Jussila, M. Eskola, and H. Tuusa, "Analysis of non-idealities in direct and indirect matrix converters," in *Power Electronics and Applications, 2005 European Conference on*, p. 10pp., 11-14 Sept. 2005.

- [20] E. Erdem, Y. Tatar, and S. Sunter, “Effects of input filter on stability of matrix converter using venturini modulation algorithm,” in *Power Electronics Electrical Drives Automation and Motion (SPEEDAM), 2010 International Symposium on*, pp. 1344–1349, 2010.
- [21] J. Rzasca, “Capacitor clamped multilevel matrix converter controlled with venturini method,” in *Power Electronics and Motion Control Conference, 2008. EPE-PEMC 2008. 13th*, pp. 357–364, 2008.
- [22] S. Pinto, J. Silva, and P. Gamboa, “Current control of a venturini based matrix converter,” in *Industrial Electronics, 2006 IEEE International Symposium on*, vol. 4, pp. 3214–3219, 2006.
- [23] A. Alesina and M. Venturini, “Intrinsic amplitude limits and optimum design of 9-switches direct pwm ac-ac converters,” in *Power Electronics Specialists Conference, 1988. PESC '88 Record., 19th Annual IEEE*, pp. 1284–1291vol.2, 11-14 April 1988.
- [24] L. Hubber, D. Borojevic, and N. Burany, “Voltage space vector based pwm control of forcecd commutated cycloconverters,” in *Industrial Electronics Society, 1989. IECONÁ '89., 15th Annual Conference of IEEE*, vol. 1, p. 106 to 111, Nov. 1989.
- [25] D. Balakrishnan and R. Balog, “Capacitor-less var compensator based on matrix converter,” in *North American Power Symposium (NAPS), 2010*, pp. 1–7, 2010.
- [26] G. Roy and G.-E. April, “Cycloconverter operation under a new scalar control algorithm,” pp. 368–375 vol.1, jun. 1989.
- [27] M. Imayavaramban, K. Latha, and G. Uma, “Analysis of different schemes of matrix converter with maximum voltage conversion ratio,” in *Electrotechnical Conference, 2004. MELECON 2004. Proceedings of the 12th IEEE Mediterranean*, vol. 3, pp. 1137–1140Vol.3, 12-15 May 2004.
- [28] A. Accioly, F. Bradaschia, M. Cavalcanti, F. Neves, and V. Lima, “Generalized modulation strategy for matrix converters - part i,” in *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pp. 646–652, 2007.
- [29] L. Huber and D. Borojevic, “Space vector modulated three-phase to three-phase matrix converter with input power factor correction,” *Industry Applications, IEEE Transactions on*, vol. 31, no. 6, pp. 1234–1246, 1995.

- [30] N. K. A. G. P. Wood, M. Battello, *IRAMS10UP60A Application Note AN-1044*. International Rectifier.
- [31] M. Takei, T. Naito, and K. Ueno, “Reverse blocking igbt for matrix converter with ultra-thin wafer technology,” *Circuits, Devices and Systems, IEE Proceedings -*, vol. 151, no. 3, pp. 243–247, 2004.
- [32] M. Mori, K. Oyama, Y. Kohno, J. Sakano, J. Uruno, K. Ishizaka, and D. Kawase, “A trench-gate high-conductivity igbt (higt) with short-circuit capability,” *Electron Devices, IEEE Transactions on*, vol. 54, no. 8, pp. 2011–2016, 2007.
- [33] K. Yoshikawa, T. Koga, T. Fujii, T. Katoh, Y. Takahashi, and Y. Seki, “A novel igbt chip design concept of high turn-off current capability and high short circuit capability for 2.5 kv power pack igbt,” in *Power Semiconductor Devices and ICs, 1999. ISPSD '99. Proceedings., The 11th International Symposium on*, pp. 177–180, 1999.
- [34] C. Klumpner and F. Blaabjerg, “Using reverse-blocking igbts in power converters for adjustable-speed drives,” *Industry Applications, IEEE Transactions on*, vol. 42, no. 3, pp. 807–816, 2006.
- [35] I. Rectifier, “Data sheet irgb15b60kd,” tech. rep.
- [36] K. S. Oh, *Application Note 9016 - IGBT Basis 1*. Fairchild Semiconductor, 2001.
- [37] A. D. Pathak, *MOSFET/IGBT Drivers - Theory and Applications*. IXYS Corporation, 2002.
- [38] B. Andreyak, *Practical Considerations in High Performance MOSFET, IGBT, and MCT Gate Drive Circuits*. Unitrode Corporation, 2001.
- [39] C. Klumpner, P. Nielsen, I. Boldea, and F. Blaabjerg, “New solutions for a low-cost power electronic building block for matrix converters,” *Industrial Electronics, IEEE Transactions on*, vol. 49, no. 2, pp. 336–344, 2002.
- [40] International Rectifier, *AN-950 Transformer-Isolated Gate Driver Provides very large duty cycle ratios*.
- [41] A. Technologies, “Hcpl-3140 0.4 amp output current igbt gate drive optocoupler,” tech. rep.

- [42] V. Vlatkovic, D. Borojevic, and F. Lee, "Input filter design for power factor correction circuits," *Power Electronics, IEEE Transactions on*, vol. 11, pp. 199–205, jan. 1996.
- [43] L. Adelson and H. H. Farr, "Polypropylene-film capacitors for military and industrial a-c applications," *application notes, Dearborn Electronics, Inc.*
- [44] J. Cox, "Iron powder cores for switchmode power supply inductors," tech. rep., application notes, Micrometals Inc.
- [45] N. Burany, "Safe control of four-quadrant switches," pp. 1190–1194 vol.1, oct. 1989.
- [46] C. Klumpner, P. Nielsen, I. Boldea, and F. Blaabjerg, "A new matrix converter-motor (mcm) for industry applications," in *Industry Applications Conference, 2000. Conference Record of the 2000 IEEE*, vol. 3, pp. 1394–1402 vol.3, 8-12 Oct. 2000.
- [47] H. Polman, J. Ferreira, M. Kaanders, B. Evenblij, and P. Van Gelder, "Design of a bi-directional 600 v/6 ka zvs hybrid dc switch using igbts," in *Industry Applications Conference, 2001. Thirty-Sixth IAS Annual Meeting. Conference Record of the 2001 IEEE*, vol. 2, pp. 1052–1059, 2001.
- [48] J. Mahlein, M. Bruckmann, and M. Braun, "Passive protection strategy for a drive system with a matrix converter and an induction machine," *Industrial Electronics, IEEE Transactions on*, vol. 49, no. 2, pp. 297–303, 2002.
- [49] Littelfuse, "Varistor design example," tech. rep.
- [50] L. Zhang, C. Watthanasarn, and W. Shepherd, "Control of ac-ac matrix converters for unbalanced and/or distorted supply voltage," in *Power Electronics Specialists Conference, 2001. PESC. 2001 IEEE 32nd Annual*, vol. 2, pp. 1108–1113 vol.2, 17-21 June 2001.
- [51] D. Casadei, G. Serra, and A. Tani, "Reduction of the input current harmonic content in matrix converters under input/output unbalance," *Industrial Electronics, IEEE Transactions on*, vol. 45, no. 3, pp. 401–411, 1998.
- [52] D. Casadei, G. Serra, A. Tani, and L. Zarri, "Effects of input voltage measurement on stability of matrix converter drive system," *Electric Power Applications, IEE Proceedings* -, vol. 151, no. 4, pp. 487–497, 2004.

- [53] M. Jussila and H. Tuusa, "Comparison of simple control strategies of space-vector modulated indirect matrix converter under distorted supply voltage," *Power Electronics, IEEE Transactions on*, vol. 22, no. 1, pp. 139–148, 2007.
- [54] M. Kazmierkowski and L. Malesani, "Current control techniques for three-phase voltage-source pwm converters: a survey," *Industrial Electronics, IEEE Transactions on*, vol. 45, pp. 691–703, oct. 1998.
- [55] L. Malesani and P. Tomasin, "Pwm current control techniques of voltage source converters-a survey," in *Industrial Electronics, Control, and Instrumentation, 1993. Proceedings of the IECON '93., International Conference on*, pp. 670–675 vol.2, Nov. 1993.
- [56] D. W. Novotny and T. A. Lipo, *Vector Control and Dynamics of AC Drives*. Oxford Science Publications, 1996.
- [57] B. Simone and M. Paolo, *Digital Control in Power Electronics*. Morgan & Claypool Publishers, 2006.
- [58] J. Basilio and S. Matos, "Design of pi and pid controllers with transient performance specification," *Education, IEEE Transactions on*, vol. 45, pp. 364–370, nov. 2002.
- [59] M. H. Rashid, *Power Electronics Handbook*. Academic Press, 2001.
- [60] S. K. Maddula and J. C. Balda, "Lifetime of electrolytic capacitors in regenerative induction motor drives," *IEEE 36th Power Electronics Specialists Conference PESC 05*, pp. 153–159, 2005.
- [61] J. S. Kim and S. K. SUI, "New control scheme for ac-dc-ac converter without dc link electrolytic capacitor," *24th Annual IEEE Power Electronics Specialists Conference, PESC 93*, pp. 300–306, 1993.
- [62] L. Malesani, L. Rossetto, P. Tenti, and P. Tomasin, "Ac/dc/ac pwm converter with reduced energy storage in the dc link," *IEEE Transactions On Industry Applications*, vol. 31, pp. 287–292, MARCWAPRIL 1995.
- [63] X. Chen and M. Kazerani, "Space vector modulation control of an ac/dc/ac converter with a front-end diode rectifier and reduced dc-link capacitor," *IEEE Transactions on Power Electronics*, vol. 21, pp. 1470–1478, SEPTEMBER 2006.

-
- [64] A. von Jouanne, P. Enjeti, and B. Banerjee, "Assessment of ride-through alternatives for adjustable-speed drives," *Industry Applications, IEEE Transactions on*, vol. 35, no. 4, pp. 908–916, 1999.