



Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e Computação
Departamento de Comunicações

**Desenvolvimento de um Demodulador Digital e de um
Ambiente de Simulação para Sistema de Telemedidas**

Autor: Henri Shinichi de Souza Okajima

Orientador: Luís G. P. Meloni

Trabalho apresentado à Faculdade de Engenharia Elétrica e de Computação da UNICAMP como parte dos requisitos exigidos para obtenção do título de Mestre em Engenharia Elétrica.

Comissão Examinadora

Dra. Cynthia Junqueira

Prof. Dr. Gunnar Bendicks

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE - UNICAMP

Ok1d Okajima, Henri Shinichi de Souza
Desenvolvimento de um demodulador digital e de um ambiente de simulação para sistema de telemetrias / Henri Shinichi de Souza Okajima. --Campinas, SP: [s.n.], 2010.

Orientador: Luís Geraldo Pedroso Meloni.
Dissertação de Mestrado - Universidade Estadual de Campinas, Faculdade de Engenharia Elétrica e de Computação.

1. FPGA. 2. Radar. 3. Processamento de sinais - Técnicas digitais. 4. Filtros digitais. 5. Eletrônica digital. I. Meloni, Luís Geraldo Pedroso. II. Universidade Estadual de Campinas. Faculdade de Engenharia Elétrica e de Computação. III. Título.

Título em Inglês: Development of a digital demodulator and a simulation environment for a telemetry system

Palavras-chave em Inglês: FPGA, Radar, Signal processing - Digital techniques, Digital filter, Digital electronic

Área de concentração: Telecomunicações e Telemática

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Gunnar Bedicks Junior, Cynthia Cristina Martins Junqueira

Data da defesa: 14/05/2010

Programa de Pós Graduação: Engenharia Elétrica

COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Henri Shinichi de Souza Okajima

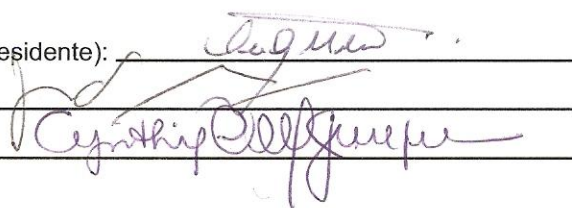
Data da Defesa: 14 de maio de 2010

Título da Tese: "Desenvolvimento de um Demodulador Digital e de um Ambiente de Simulação para Sistema de Telemédidas"

Prof. Dr. Luís Geraldo Pedroso Meloni (Presidente):

Prof. Dr. Gunnar Bedicks Junior:

Dra. Cynthia Cristina Martins Junqueira:



The image shows three handwritten signatures in purple ink, each written over a horizontal line. The first signature is for Prof. Dr. Luís Geraldo Pedroso Meloni, the second for Prof. Dr. Gunnar Bedicks Junior, and the third for Dra. Cynthia Cristina Martins Junqueira.

Agradecimentos

Ao Prof. Dr. Amauri Lopes, pelo acompanhamento durante os trabalhos, e devido à maleabilidade de horários e exigências, que possibilitaram o conseguimento dos objetivos acadêmicos e industriais, associados a esta dissertação. Ao Prof. Dr. Luís Meloni, pelo acompanhamento e fechamento da dissertação de mestrado.

À Faculdade de Engenharia Elétrica e Computação, na pessoa do seu Diretor, Prof. Dr. Max Henrique Machado da Costa, onde tive a oportunidade de crescer adquirindo os auspícios necessários para a execução de minha carreira através de todo o conhecimento científico e tecnológico nela encontrado.

Ao Prof. Dr. Fábio Violaro pelas explicações das matérias correlatas aos temas desta dissertação.

Aos amigos Bruno Rondani, Rafael Rocha Levy e Fabiano Armellini pela amizade durante o desenvolvimento dos trabalhos.

À Allagi Engenharia e à Omnisys Engenharia que possibilitaram a realização do objeto deste trabalho, através das suas parcerias com as Universidades, e aos seus projetos desafiadores com diversas instituições civis e militares do País.

“A mentalidade da época acolhe de bom grado alguns modos de pensar de cunho analógico, desterrados hoje pela preeminência que alcançaram as ciências exatas. Em tudo discernem-se figuras e signos: o espetáculo terreno fornece, em sua própria evanescência, lições de eternidade.”

Sérgio Buarque de Holanda

A.M.D.G.
Dedico aos meus pais e
aos meus professores.

Resumo

Esta dissertação apresenta os resultados obtidos com a pesquisa e implementação de um sistema de demodulação para o receptor de rastreamento de um radar de teledados. Um radar de teledados é responsável pela identificação de um conjunto de medidas realizadas no objeto espacial e enviadas para a antena através de um *transponder*. A antena de teledados deve rastrear o objeto, mantendo-se sempre apontada na direção deste. Para realizar esta função foi utilizada a técnica de monopulso de um canal.

Na técnica de monopulso de um canal, cabe ao demodulador digital do receptor executar uma identificação de envoltória e uma demultiplexação temporal que deve permitir encontrar os valores angulares dos erros.

A implementação resultou em uma placa de demodulador digital, realizada com um *Field Programmable Gate Array* (FPGA) da família *Cyclone II*, e um controlador *Freescale*, embarcados em uma Placa de Circuito Impresso (PCI) de quatro camadas, projetada para interfacear sinais digitais para controle do sistema de teledados e para condicionar os sinais analógicos para posterior processamento. Além de ter interface com placas específicas (por exemplo, CAF – Controle automático de frequência, CAG – controle automático de ganho, Gerador de Teste, etc), possui também uma interface *Controller Area Network* (CAN) para comunicação com os módulos de controle de servomecanismos da antena e de interface usuário. Foi desenvolvido também um ambiente de simulação para o demodulador digital em Matlab permitindo verificar a coerência com os resultados esperados e traçar cenários de testes.

Palavras-chave: FPGA, Micro Controladores, Processamento Digital de Sinais, Filtros Digitais, Eletrônica Digital, Radar.

Abstract

This project presents the results obtained by the research and development of a Demodulation System for a telemetry radar tracking receiver. A telemetry radar system is responsible for identifying a set of measures taken from a spatial artifact and is transmitted by a transponder to its antenna. The telemetry antenna must track the spatial object, maintaining the antenna pointing in the correct direction. To execute this function a single channel monopulse technique is applied.

Since the single channel monopulse technique is used, a digital demodulator task is then run for amplitude identification and the de-multiplexing time frame must occur in order to calculate the angle values of errors. This process is explained during the dissertation after the presentation of the main characteristics of radars and some aspects of telemetry systems.

The solution is a digital demodulator electronic board, build with an FPGA (Field Programmable Gate Array) from *Altera Cyclone II*[®] family, and a *Freescale*[®] controller, over a multilayer PCB (Printed Circuit Board) projected to interface with digital signals for the Telemetry Control System and to conditioning analogical signals for processing tasks. The developed board has the CAN (Controller Area Network) interface to communicate with the servomechanism control modules associated with the Antenna and is placed in an armored drawer – to avoid electromagnetic noises – as well as to interact with other specific board functions. A simulation environment was achieved for the digital demodulator in Matlab, allowing the results verification and allowing to establish others testing scenarios.

Keywords: FPGA, Microcontrollers, Digital Signal Processing, Digital Filters, Digital Electronics, Radar.

Sumário

Lista de Figuras	xvii
Lista de Tabelas.....	xxi
Lista de Abreviaturas	xxiii
Lista de Símbolos	xxv
Capítulo 1	1
Introdução.....	1
1.1 Aspectos Técnicos dos Radares.....	5
Capítulo 2	13
O Sistema de Telemidas	13
Capítulo 3	19
O Módulo de Recepção	19
3.1 Lógica do Módulo de Recepção	19
Capítulo 4	27
O Demodulador Digital	27
4.1 Aspectos de Hardware do Demodulador Digital	34
4.2 Aspectos de Software do Demodulador Digital	47
4.3 Conclusão do Capítulo.....	52
Capítulo 5	55
Um Ambiente de Simulação e os Resultados Práticos Obtidos	55
5.1 Integração e Medidas dos Filtros.....	64
5.2 Resultado final	78
5.3 Conclusão do Capítulo.....	82
Conclusões	85
Referências Bibliográficas	89

Lista de Figuras

Fig. 1.1: Disposição Monoestática.....	7
Fig. 1.2: Disposição Biestática.....	7
Fig. 1.3: Sinal enviado e eco recebido:alvo fixo.....	9
Fig. 1.4: Sinal enviado e eco recebido:alvo móvel.....	9
Fig. 2.1: Disposição funcional dos módulos do STR.....	15
Fig. 2.2: Visão frontal das antenas de recepção de sinais de telemedidas. Disposição espacial dos dipolos para captação de sinais de polarização direita (PCD) ou polarização esquerda (PCE)...	17
Fig. 3.1: Incidência de onda plana em duas antenas pontuais S1 e S2.....	20
Fig. 3.2: Representação fasorial da soma dos sinais.....	21
Fig. 3.3: Representação fasorial da diferença dos sinais.....	21
Fig. 3.4: Variação do módulo dos sinais $\hat{\Sigma}$ e $\hat{\Delta}$ em função do ângulo de incidência θ	22
Fig. 3.5: Omnisys Engenharia. Gráficos de $(\hat{\Sigma} + \hat{\Delta})$ e $(\hat{\Sigma} - \hat{\Delta})$ em função do ângulo de incidência θ	23
Fig. 3.6: Gráficos de Soma-Diferença e Sigma-Delta em função do ângulo de incidência θ	24
Fig. 4.1: Sinal de entrada em FI 10,7 MHz, após a amostragem.....	28
Fig. 4.2: Módulo do sinal filtrado e com a envoltória identificada.....	29
Fig. 4.3: Diagrama de localização dos sinais PCD e PCE na STR.....	30
Fig. 4.4: Diagrama das funções principais da placa de demodulação digital.....	30
Fig. 4.5: Diagrama das funções secundárias da placa de demodulação digital.....	32
Fig. 4.6: Componentes principais e secundários da placa de Demodulação Digital.....	35
Fig. 4.7: Circuito de seleção do sinal FI PCD/PCE/Combinado.....	36
Fig. 4.8: <i>Texas Instrument Filter Pro</i> . Projeto do filtro <i>anti-aliasing</i> : magnitude.....	37
Fig. 4.9: Circuito do filtro passa-baixas.....	38
Fig. 4.10: Buffer de saída SN7407.....	39
Fig. 4.11: Buffer de saída SN75114N.....	39
Fig. 4.12: Buffers de entrada 74LCX244.....	40
Fig. 4.13: conversores DA.....	41
Fig. 4.14: Transformador de acoplamento da entrada analógica do conversor.....	43
Fig. 4.15: Circuito de amostragem do FPGA.....	43
Fig. 4.16: Circuito para condicionamento do sinal CAN.....	46

Fig. 4.17: Circuito para o sinal RS232.....	47
Fig. 5.1: Diagrama <i>Simulink</i> para a função de demodulação digital.....	56
Fig. 5.2: Blocos do demodulador digital.....	57
Fig. 5.3: Blocos que corrige os sinais recebidos. Blocos <i>Subsystem 1</i> e 2 da Fig. 5.1.....	58
Fig. 5.4: Gerador dos sinais de erro em elevação e azimute. <i>Subsystem 3</i> e 4 da Fig. 5.1.....	58
Fig. 5.5: Comportamento para média utilizando 80 amostras.....	59
Fig. 5.6: Comportamento para média utilizando 40 amostras.....	59
Fig. 5.7: Comportamento para média utilizando 20 amostras.....	60
Fig. 5.8: Comportamento para média utilizando 5 amostras.....	60
Fig. 5.9: Zoom: comportamento para média utilizando 5 amostras.....	61
Fig. 5.10: Resposta do demodulador digital sem o filtro passa-faixa.....	63
Fig. 5.11: Erro a ser corrigido pelo servomecanismo (sistema sem o filtro passa-faixa).....	63
Fig. 5.12: Resposta do demodulador digital com um filtro passa-faixas de 300 kHz de banda...	63
Fig. 5.13: Erro a ser corrigido pelo servomecanismo (filtro passa-faixa de 300 kHz de banda)..	63
Fig. 5.14: Resposta do demodulador digital com um filtro passa-faixas de 50 kHz de banda.....	63
Fig. 5.15: Erro a ser corrigido pelo servomecanismo (filtro passa-faixa de 50 kHz de banda).....	63
Fig. 5.16: Estrutura do filtro passa-faixa IIR.....	66
Fig. 5.17: <i>Matlab</i> . Diagrama de polos e zeros do filtro IIR de 100 kHz de banda.....	67
Fig. 5.18: <i>Matlab</i> . Resposta em frequência: magnitude e fase do filtro IIR de 100 kHz de banda.....	67
Fig. 5.19: <i>Matlab</i> . Figura 5.18 ampliada.....	67
Fig. 5.20: Diagrama de blocos da função do filtro IIR de 100 kHz de banda.....	69
Fig. 5.21: <i>Ensaio em Laboratório</i> . Resposta em magnitude para o filtro passa-faixa IIR de 100 kHz de banda em torno de 10,7 MHz.....	70
Fig. 5.22: <i>Matlab</i> . Diagrama de polos e zeros do filtro IIR de 50 kHz de banda.....	71
Fig. 5.23: <i>Matlab</i> . Resposta em frequência: magnitude e fase do filtro IIR 50 kHz de banda.....	72
Fig. 5.24: <i>Matlab</i> . Fig. 5.22 ampliada.....	72
Fig. 5.25: <i>Ensaio em Laboratório</i> . Resposta em magnitude para o filtro passa-faixa IIR de 50 kHz de banda em torno de 10,7 MHz.....	73
Fig. 5.26: IP Core. Resposta em frequência do filtro FIR.....	74
Fig. 5.27: Comparação entre os filtros IIR-1 (100 kHz de banda), IIR-2 (50kHz de banda) e FIR.....	75

Fig. 5.28: <i>Foto: Omnisys Engenharia</i> . Scope do Radar de Telemédidas Redundante indicando o desvio em azimute e elevação.....	77
Fig. 5.29: <i>Foto: Omnisys Engenharia</i> . Scope do Radar de Telemédidas Redundante indicando os erros em elevação (gráfico superior) e em azimute (gráfico inferior) no tempo.....	77
Fig. 5.30: Superfície superior da placa de demodulação digital.....	79
Fig. 5.31: Superfície inferior da placa de demodulação digital.....	79
Fig.5.32: Superfície superior da placa de demodulação digital. Area do circuito de amostragem.....	80
Fig. 5.33: Superfície inferior da placa de demodulação digital. Area do circuito de amostragem.....	80
Fig. 5.34: Superfície superior da placa de demodulação digital. Area do circuito de processamento.....	81
Fig. 5.35: Superfície superior da placa de demodulação digital. Area do circuito de DAC e dos <i>drivers</i> de entrada e saída.	81
Fig. 5.36: <i>Foto: Omnisys Engenharia</i> . Placa de Demodulação Digital em testes de validação....	82

Lista de Tabelas

Tab. 1.1: Faixas de frequência do radar [13].....	8
Tab. 4.1: Características do conversor AD9433.....	42
Tab. 4.2: Características do MC56F8367	44
Tab. 4.3: Capacidade do EP2C8Q208-C7.....	45
Tab. 4.4: Características do <i>hardware</i> do EP2C8Q208-C7	45
Tab. 5.1: Filtro IIR com faixa de frequência de 100 kHz.....	65
Tab. 5.2: Coeficientes do filtro IIR de 100 kHz de banda.....	66
Tab. 5.3: Critérios para o código em FPGA do filtro IIR de 100 kHz de banda.....	68
Tab. 5.4: Planilha de representação em ponto fixo do filtro IIR de 100 kHz de banda.....	68
Tab. 5.5: Diferença de quantização ao transformar em ponto fixo 3.21: Filtro IIR 100 kHz de banda.....	69
Tab. 5.6: Total dos recursos utilizados na placa demodulador digital com um filtro IIR com 100 kHz de banda em FPGA Cyclone II.....	69
Tab. 5.7: Filtro IIR com faixa de frequência de 50 kHz.....	71
Tab. 5.8: Coeficientes do filtro IIR passa-faixa 50 kHz de banda.....	71
Tab. 5.9: Planilha da representação em ponto fixo do filtro IIR de 50 kHz de banda.....	72
Tab. 5.10: Diferença de quantização ao transformar em ponto fixo 3.2: filtro IIR 50 kHz de banda.....	73
Tab. 5.11: Filtro FIR com faixa de frequência de 100 kHz. Parâmetros de entrada do IP Core...74	
Tab. 5.12: Total dos recursos utilizados na placa demodulador Digital com um filtro FIR com 100 kHz de banda em FPGA Cyclone II.....	75
Tab. 5.13: Tabela de erros em Azimute e Elevação.....	78

Lista de Abreviaturas

ADC	: <i>Analog-Digital Converters</i>
CAN	: <i>Controller Area Network</i>
CAF	: <i>Controle Automático de Frequência</i>
CAG	: <i>Controle Automático de Ganho</i>
CLA	: <i>Centro de Lançamento de Alcântara (MA)</i>
CLBI	: <i>Centro de Lançamento Barreira do Inferno (Natal – RN)</i>
CW	: <i>Continuous Wave</i>
COHO	: <i>Coherent Oscillator</i>
CORDIC	: <i>Coordinate Rotation Digital Computer</i>
DAC	: <i>Digital-Analog Converters</i>
DSP	: <i>Digital Signal Processors</i>
EPCS4	: <i>Serial Configuration Device EPCS4</i>
FCT	: <i>Fast Chirpler Transform</i>
FI	: <i>Frequência Intermediária</i>
FM	: <i>Frequency Modulated</i>
FPGA	: <i>Field-Programmable Gate Array</i>
IHM	: <i>Interface Homem-Máquina</i>
JTAG	: <i>Joint Test Action Group</i>
LQFP	: <i>Low-profile Quad Flat Package</i>
LOS	: <i>Line of Sight</i>
LVTTL	: <i>Low-voltage TTL</i>
MSPS	: <i>Mega Samples Per Second</i>
MIPS	: <i>Mega Instructions Per Second</i>
MFB	: <i>Multiple Feedback</i>

OL	: Oscilador Local
PCD	: <i>Polarization Circulaire Droite</i>
PCE	: <i>Polarização Circular Esquerda (mesmo que PCG)</i>
PCG	: <i>Polarization Circulaire Gauche</i>
PLL	: <i>Phase Locked Loop</i>
PQFP	: <i>Plastic Quad Flat Pack</i>
PRF	: <i>Pulse Repetition Frequency</i>
SAR	: <i>Synthetic Aperture Radar</i>
STR	: Sistema de Telemedidas Redundante
UART	: <i>Universal Synchronous Receiver/Transmitter</i>
UWB	: <i>Ultra Wide Band</i>
VHDL	: <i>VHSIC Hardware Description Language</i>
VCO	: <i>Voltage Controlled Oscillator</i>
VCXO	: <i>Voltage Controlled Crystal Oscillator</i>
VLS	: Veículo Lançador de Satélites
VME	: Barramento VERSA Module European

Lista de Símbolos

A_R	: Área efetiva de cobertura da antena receptora do radar (m ²)
BW_{IF}	: Banda passante do receptor de telemedidas (MHz)
D_{max}	: Distância máxima de recepção (Km)
G_R	: Ganho da Antena Receptora (dB)
G_T	: Ganho da Antena Transmissora (dB)
L	: Perdas do sistema radar
L_c	: Perdas de conexão do transmissor (dB)
L_p	: Perdas de polarização (dB)
P_P	: Potência de pico do sinal RF transmitido (Watts)
P_t	: Potência de transmissão (watts)
R	: Distância do radar ao alvo (m)
S/N	: Relação Sinal-Ruído
T_S	: Temperatura de ruído do sistema radar (Kelvin)
κ	: Constante de Boltzmann ($1,38 \times 10^{-23}$ Joule/Kelvin)
λ	: Comprimento de onda do radar (m)
σ	: Corte seccional do alvo do radar (m ²)
τ	: Duração do pulso do sinal (segundos)
\sum_{PCE}	: Soma dos sinais dos dipolos cruzados de polarização circular esquerda
\sum_{PCD}	: Soma dos sinais dos dipolos cruzados de polarização circular direita
Δ_{PCE}	: Diferença dos sinais dos dipolos cruzados de polarização circular esquerda
Δ_{PCD}	: Diferença dos sinais dos dipolos cruzados de polarização circular direita

Capítulo 1

Introdução

Esta introdução apresenta uma visão panorâmica do desenvolvimento e aplicação dos radares, objetivando contextualizar e localizar com precisão o tema da dissertação.

Os radares são utilizados de forma crescente como elementos integrantes de sistemas complexos. Entre alguns exemplos, encontram-se os sistemas de controle de tráfego aéreo, sistemas de defesa de mísseis balísticos, sistemas de defesa aérea e sistemas de determinação de alvo para ataques terrestres [1].

As aplicações dos radares datam da Segunda Guerra Mundial, quando foram desenvolvidas variedades de radares para os combates aéreos na Europa e nos EUA. Os radares tornaram-se elementos aplicados nas bases terrestres, em navios, em submarinos e em aviões de guerra. Neste período, cada um dos países envolvidos na guerra, procurava eliminar as capacidades de alerta e localização dos oponentes por meio de dispositivos que anulassem os efeitos dos radares [2]. Esta busca por novas teorias ou tecnologias que objetivavam radares mais eficientes e outros equipamentos que prejudicassem as funcionalidades de um radar inimigo é conhecida por guerra eletrônica.

Neste ambiente das formulações teóricas, limitadas entre as questões econômicas, políticas e tecnológicas da época, não bastava um dispositivo eficiente, mas um dispositivo acessível às economias de guerra, aos modos de produção do período e tecnologicamente viável. O fator custo versus produção, submetido à urgência dos conflitos, foi indubitavelmente determinante para o desenvolvimento dos radares, e, consideradas as devidas conjecturas, ainda continua sendo o fator determinante para futuros progressos na área [3][4].

Além dos radares de utilização militar, impulsionada pelo ímpeto armamentista, foram obtidos progressos correlatos nos domínios de meteorologia e demais aplicações civis, por exemplo, na aviação civil.

O desenvolvimento dos transistores e, em seguida, o aperfeiçoamento dos sistemas de comunicações e de transporte de informações, bem como dos computadores, também datam desta época, e forneceram contribuição significativa para a integração e geração dos outros módulos partícipes do sistema radar: comunicação intersistemas e processamento.

Com o advento da Guerra Fria, além das motivações relacionadas com a corrida armamentista, surgiram os esforços em direção aos sistemas aeroespaciais. Estes sistemas passaram a formar, com o tempo, algumas linhas diretrizes de pesquisas no processo tecnológico. O sistema radar, então, torna-se um acessório essencial nas missões espaciais, e molda-se não apenas em um elemento constitutivo e definitivo para defesa territorial, mas é aplicado, a partir de então, com maior frequência em mapeamentos meteorológicos do espaço aéreo para fins civis.

Inicialmente, países como a França, a Alemanha, a Inglaterra e os Estados Unidos, concentraram o desenvolvimento e os esforços substanciais, constituindo as bases para todo o sistema motor das tecnologias aeroespaciais veiculares ou terrestres, com uma gama de áreas associadas, como as comunicações e o processamento.

Este fundamento industrial veio gerar as diversidades dos *Software Radio*, técnicas avançadas de amostragem (*sampling*) e aquisição de sinais, elaboração de equipamentos para fabricação de placas de circuito impresso multicamada (*multilayer*), os DSP (*Digital Signal Processors*) e *FPGAs* (*Field-Programmable Gate Array*) cada vez mais velozes e acarretando também no desenvolvimento dos dispositivos miniaturizados para sistemas embarcados (*Embedded System*)[2].

Assim, o progresso decorrente do desenvolvimento destas áreas associadas permitiu a formação de uma indústria fornecedora dos itens e componentes eletrônicos a um menor custo, favorecendo, em seguida, a criação de outros focos que utilizam e desenvolvem teorias e aplicações de radares para o âmbito militar e civil. Desta forma, se por um lado os principais países se mantiveram como centro do processo de desenvolvimento tecnológico das aplicações radares, outros puderam ser integrados através da maior acessibilidade às novas áreas em crescimento.

Neste contexto apresentam-se hoje empresas como a Omnisys Engenharia [5], proveniente da Elebra¹ e que atualmente pertence ao grupo francês Thales², a própria Thales Avionics [6], as empresas norte-americanas como Pentek [7] e a Raytheon [8], orientadas para o setor aeroespacial e também militar. Há neste ramo também a empresa Orbisat, fabricante nacional de radares [9]. Já no setor civil encontram-se ainda empresas especializadas na área

¹ Elebra: Eletrônica Brasileira, antiga empresa brasileira que atuava no ramo de fabricação de equipamentos eletrônicos.

² Thales: grupo Francês atuante nos mercados aeroespacial, de defesa e de segurança. (<http://www.thalesgroup.com/About-us.html>).

como a Atmos[10], atuante no mercado de radares meteorológicos, a Atech e AmazonTech [11], atuantes em soluções para sistemas críticos em software e hardware na vigilância civil e controle aeroportuário.

Um exemplo de um trabalho de desenvolvimento em radares para as finalidades citadas – e que contaram com a colaboração do autor – foi o projeto *Processador de Telemetria Digital* [12] para o Radar de Trajetografia do *Centro de Lançamento Barreira do Inferno*, em Natal no Rio Grande do Norte, que foi realizado pela empresa Omnisys Engenharia. Outro projeto da área foi o desenvolvimento de placas eletrônicas para servomecanismos de radares (por exemplo, aquelas usadas na implementação do sistema de controle de servomecanismo do Radar de Telemidas Redundante do Centro de Lançamento de Alcântara). Ambos os projetos não se limitam a uma replicação ou integração de módulos fechados de radares, porém em verdadeiras tarefas para desenvolvimento e pesquisa, fabricação e testes, até a instalação final nos clientes. Nestes projetos foram embutidos conversores digitais e analógicos de 76 MHz, processadores digitais, FPGA, *Phase Locked Loop* (PLL), entradas e saídas para interface com outros circuitos digitais e barramentos diferenciados, para efetuar as tarefas específicas das aplicações de radares.

Dentro deste panorama geral é que encontra-se situado o projeto dissertado neste trabalho. Trata-se do projeto de implementação de um Sistema de Demodulação Digital que pode ser aplicado a um sistema de radar que utilize técnicas monopulso de um canal. Do projeto, aquilo que enquadra-se integralmente como objeto desta dissertação, fruto do trabalho do autor, é a concepção da placa, o esquemático elétrico, os testes de funcionamento, os testes de integração e o código do FPGA. O layout e o código do microcontrolador contaram com a supervisão do autor, em tarefa de acompanhamento e gerenciamento.

A técnica monopulso de um canal é utilizada na discriminação do ângulo de desvio de um determinado artefato espacial. Esta técnica pode ser utilizada em qualquer sistema radar para a identificação do desvio angular.

No caso particular, esta técnica está sendo aplicada a um sistema de Telemidas. Este sistema de Telemidas encontra-se no contexto de uma base equipada com radares, motivo pelo qual diz-se que ele faz parte de um sistema radar.

Um sistema de telemidas visa fornecer informações sobre o rastreamento de alvos especiais. Isso implica na realização de demodulação das informações provenientes dos foguetes

monitorados e na demodulação das informações de deslocamento angular do alvo visando o rastreamento do mesmo. Assim um projeto de sistema de Telemidas deve prever:

- a) Fornecer a informação do posicionamento do artefato no espaço aéreo;
- b) Prover o correto rastreamento de um alvo no espaço aéreo, aplicando o método de identificação do desvio do alvo;
- c) Integrar a este desenvolvimento as novas tecnologias da eletrônica, através de uma arquitetura que permita a posterior implementação de novas funcionalidades (p.ex. decodificação das informações).

Do conjunto de módulos do sistema de telemidas, esta dissertação foca o demodulador digital do receptor de telemidas, o qual será apresentado após a descrição do sistema em sua totalidade.

Os capítulos iniciais fornecem os princípios de funcionamento de um radar, o contexto do desenvolvimento da telemidas e as características particulares dos módulos de um sistema de telemidas. A apresentação geral dos sistemas radares é importante, pois para a determinação de algumas características das antenas de telemidas, por exemplo, são necessários recursos matemáticos típicos dos radares.

O capítulo 3 trata do módulo de recepção da antena de telemidas, apresentando a lógica aplicada no receptor. O capítulo 4 apresenta o demodulador digital em seus principais aspectos de hardware e software.

A implementação do sistema de demodulação digital encontra-se em um ambiente com frequências associadas na faixa de 2,2 a 2,3 GHz, e objetivou realizar a detecção de envoltória de um sinal de frequência intermediária de 10,7 MHz para determinação dos erros de monitoramento de alvo. A implementação resultou em uma arquitetura com microcontrolador e uma interface com sinais FI em FPGA, para filtragem digital e demodulação para identificação de envoltória, antecedida por uma filtragem analógica.

O resultado final do desenvolvimento é apresentado nessa dissertação. Serão descritas as funções realizadas pelo sistema de demodulação digital implementadas através de dispositivos FPGA *Cyclone II* e microcontrolador *MC56F8367*, incluindo as generalidades dos códigos

implementados nestes dispositivos, operando a 100 MSPS³ e 60 MIPS⁴, respectivamente. As funções implementadas com estes componentes consistem em dois conjuntos de tarefas. Uma visando a identificação do erro de rastreamento, ou desvio do alvo, e outra objetivando monitorar variáveis e determinar os parâmetros de controle do sistema de recepção. A função de identificação do desvio angular do alvo reúne os processos de amostragem dos sinais FI através de ADCs (*Analog to Digital Converters*), seguidos do processamento dos sinais através dos filtros digitais para identificar envoltória e o posterior cálculo dos erros de desvio do alvo. As funções de controle e monitoração das variáveis do sistema, consistem em implementações via software e hardware que possibilitam ao operador do sistema conhecer os parâmetros de funcionamento do receptor. Em suma, buscou-se uma explanação que abrangeu as teorias de processamento de sinais, identificação de envoltória, rastreamento e perseguição através de radares de telemidas, e os resultados práticos obtidos com os ensaios em laboratório com os circuitos eletrônicos realizados. Este demodulador foi utilizado no projeto do Sistema de Telemidas Redundante do Centro de Lançamento de Alcântara (CLA).

Por fim, no capítulo 5 são descritas as implementações de filtros IIR (*Infinite Impulse Response*) e uma ferramenta em Matlab que permite a simulação do sistema em malha fechada. Neste aspecto procurou-se um ambiente computacional que permitisse avaliar as diversas respostas variando os parâmetros do demodulador digital e do servomecanismo. Para um sistema de telemidas completamente modelado pode-se verificar, através dessa ferramenta, os valores ideais para o demodulador digital visualizando as respostas do rastreamento efetuado e dos valores dos erros de desvio identificados.

1.1 Aspectos Técnicos dos Radares

É apresentada nesta seção a organização dos módulos do sistema radar. Objetiva-se não uma exposição deste ou daquele conjunto radar, mas uma observação geral que apresentará as principais estruturas utilizadas e as especificidades que caracterizarão uma ou outra aplicação, desde que o demodulador digital pode ser aplicado em qualquer sistema radar que exija funções de rastreamento.

³ MSPS: Mega Samples Per Seconds.

⁴ MIPS: Mega Instructions Per Seconds.

O princípio da teoria geral dos radares consiste na emissão de pulsos RF que se propagarão pelo meio até alcançar o alvo (fixo ou móvel), gerando uma reflexão, ou resposta em eco, que é comparada com o sinal enviado para a determinação do comportamento do alvo [p.ex.: posição estática ou variável, aceleração crescente ou decrescente, e identificação de polarizações esquerda (PCE) ou direita (PCD)]. Após a identificação do alvo pelo receptor/processador, serão registradas as informações referentes à sua localização e feitas as discriminações necessárias para seu tratamento pelo processador.

Do ponto de vista funcional a estrutura consiste em uma organização dos seguintes módulos: a antena, o transmissor, o receptor e o processador. Inicialmente, a antena reúne os elementos materiais, físicos e estruturais, (p.ex. a parabólica, as engrenagens, a base de fixação, os dipolos, motores e servomecanismos) que permitirão a realização das funções de movimento propriamente ditas do radar. O módulo transmissor produz os sinais a serem transmitidos pela antena. Em seguida, tem-se o módulo receptor, responsável pela sensibilidade aos sinais de eco emitidos, que captará os sinais recebidos pela antena, reduzindo os ruídos e condicionando os sinais para o seu posterior processamento. Por último, o módulo processamento é a inteligência do radar, que, após a coleta das informações de posicionamento da antena, das elétricas, das ambientais e dos sinais em radiofrequência (intensidade, defasagens e polarizações, por exemplo), realizará todo o processo de identificação, comparação, geração de relatórios e informação para o operador do sistema.

Quanto à sua disposição espacial, o radar pode ter uma configuração chamada de monoestática ou biestática [1]. A disposição monoestática consiste na adoção de uma mesma posição pelo transmissor e pelo receptor (coincidindo em uma mesma antena), conforme mostrado na Fig.1.1. Por outro lado, a disposição biestática adota posições diferentes, ou seja, antenas distantes entre si, conforme mostra a Fig.1.2. Ambas as configurações devem possibilitar a identificação exata da posição do alvo monitorado, salvo os casos de ambiguidade (apresentado adiante). A localização espacial dos radares em conjunto com o tipo do sinal de emissão determinará o alcance, ou seja, o tamanho da área espacial coberta e os tipos de alvos, ou artefatos espaciais, que poderão ser identificados. Em grande parte são montados em torres, veículos marítimos e mesmo em aviões para vigilância da superfície terrestre e do espaço aéreo civil. Sobre o ambiente, os cenários montanhosos ou as planícies determinarão um maior ou

menor grau de dificuldade para a identificação dos alvos, devido a fenômenos como ruído de reflexão no terreno, a curvatura da Terra, e também a refração atmosférica [1].



Fig. 0.1: Disposição Monoestática.



Fig. 0.2: Disposição Biestática.

Uma vez analisadas as principais características de um conjunto radar, apresenta-se a seguir alguns dos aspectos relacionados a esta estrutura e que determinam as especificidades de cada sistema.

As bandas de frequência de transmissão influencia as arquiteturas da antena e do receptor. Na Tab. 1.1 são apresentadas as possíveis faixas de frequência de atuação dos radares.

O formato da antena influenciará fortemente a desempenho do radar e suas capacidades, podendo ser do tipo circular parabólico (vista de frente, uma circunferência e qualquer corte transversal em formato de parábola), refletor parabólico (vista frontal, pode ter o formato retangular, porém a secção vertical da antena seguirá os traços de uma parábola), ou uma antena formada por uma matriz de antenas com emissão controlada (*phase-array*)[1].

Tab. 0.1: Faixas de frequência do radar [13]

Banda do Radar	Faixa de Frequência	Bandas definidas pelos padrões ITU
HF	3 – 30 MHz	
VHF	30 – 300 MHz	138 – 144 MHz 216 – 225 MHz
UHF	300 – 1.000 MHz	420 – 450 MHz 890 – 942 MHz
Banda L	1 – 2 GHz	1,215 – 1,400 GHz
Banda S	2 – 4 GHz	2,30 – 2,5 GHz 2,7 – 3,7 GHz
Banda C	4 – 8 GHz	5,250 – 5,925 GHz
Banda X	8 – 12 GHz	8,50 – 10,68 GHz
Banda Ku	12 – 18 GHz	13,4 – 14,0 GHz 15,7 – 17,7 GHz
Banda K	18 – 27 GHz	25,05 – 24,25 GHz
Banda Ka	27 – 40 GHz	33,4 – 360 GHz
Banda V	40 – 75 GHz	59 – 64 GHz
Banda W	75 – 110 GHz	76 – 81 GHz 92 – 100 GHz
Ondas Milimétricas	110 – 300 GHz	126 – 142 GHz 144 – 149 GHz

Dentre as barreiras tecnológicas do desenvolvimento radar, as formas das ondas eletromagnéticas representam uma importância significativa na caracterização destes sistemas. Assim, encontram-se as formas de onda do tipo de Pulsos de Ondas Contínua (*CW pulses*) que

permitem medir a distância até o alvo através do intervalo de tempo entre a transmissão destes pulsos eletromagnéticos e a recepção de suas reflexões. A distância máxima identificada pelo radar é inversamente proporcional à frequência de repetição dos pulsos (P.R.F., *pulse repetition frequency*), conforme explicado a seguir.

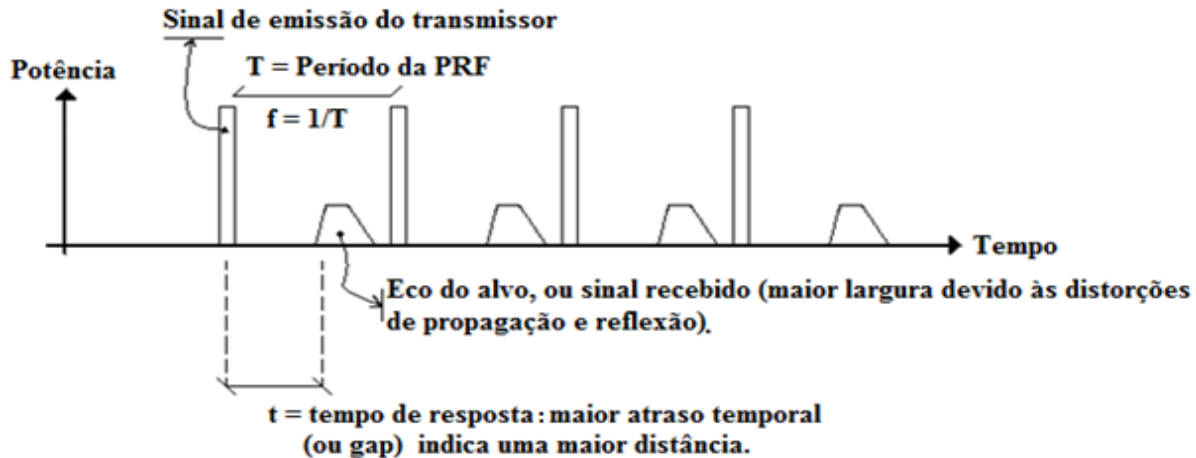


Fig. 0.3: Sinal enviado e eco recebido:alvo fixo.

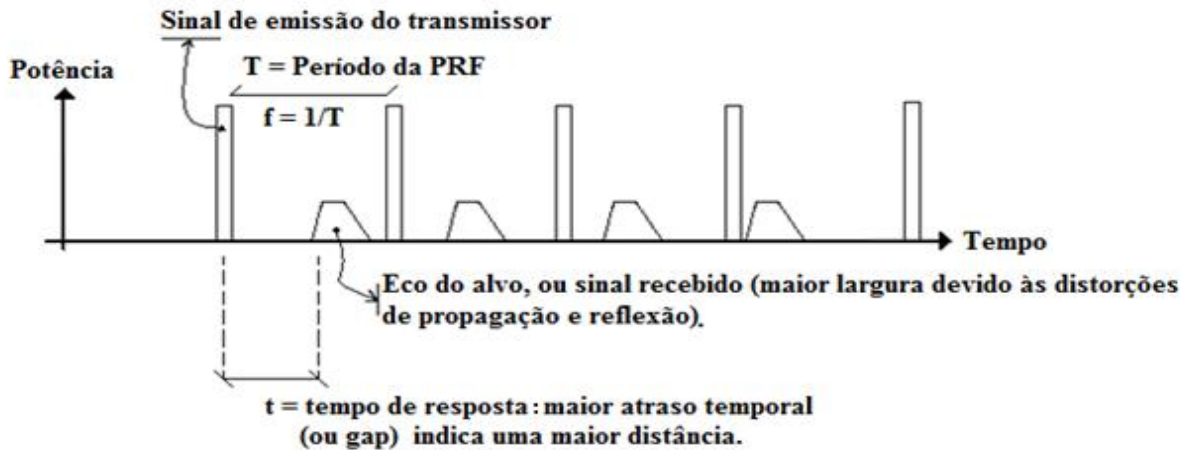


Fig. 0.4: Sinal enviado e eco recebido:alvo móvel.

Por exemplo, na Fig.1.3 e Fig.1.4, observa-se uma sequência periódica de pulsos, com período T , enviada pelo transmissor e seus respectivos ecos. Como não se pode permitir que um eco invada o intervalo de tempo do próximo pulso a ser transmitido, o período T entre os pulsos determina a distância R máxima do alvo captável pelo radar segundo a Fórmula 1:

$$2.R = T.c , \tag{1}$$

onde c é a velocidade da luz.

Através das Figuras 1.3 e 1.4 percebe-se que a forma de onda recebida nunca será idêntica à forma de onda transmitida, devido às distorções provocadas pela reflexão e propagação as quais modificam o sinal de retorno, e mesmo devido à presença de *clutter*⁵.

Existem casos em que é possível aumentar a distância máxima de identificação do radar (ou seja, o alcance máximo), através de processamento de sinais específicos⁶, os quais, entretanto, não serão abordados nesta dissertação.

Outras formas de ondas são as que aplicam as técnicas de compressão de pulso (*pulse compression*), com os sinais modulados em frequência, conhecidas por “*FM Pulses*”[1], por exemplo, em forma de *chirp*. Esta forma de onda permite uma menor potência do sinal transmitido em relação ao modo “*CW pulses*”.⁷

Por último, têm-se as ondas constituídas pelas emissões contínuas de RF, conhecidas como “*CW Radars*” (não confundir com “*CW pulses*”). Estas ondas contínuas permitem a atuação simultânea do receptor e do transmissor, uma vez que não há a necessidade de bloquear a entrada de sinal no receptor no exato momento da emissão pelo transmissor. Entretanto, há limitações de potência. Estes são usualmente utilizados como radares de detecção de intrusão ou para medidas de velocidade através de efeito *Doppler*⁸.

Para que o leitor saiba quais fatores influenciam um sistema radar, apresenta-se a Fórmula 2 que reúne as constantes e parâmetros para a obtenção da relação entre a potência do

⁵ O *clutter* consiste em um resíduo eletromagnético resultado de várias reflexões dos pulsos de RF produzidas por obstáculos como colinas, montanhas, construções e o próprio terreno ao redor do sistema.

⁶ No trabalho desenvolvido junto à Omnisys Engenharia, o Sistema de Telemetria Digital para o Centro de Lançamento Barreira do Inferno – C.L.B.I. (Natal, Rio Grande do Norte) utiliza um algoritmo combinatório que fornece ao transmissor os impulsos organizados no tempo (ou com períodos variantes), seguindo um determinado código pré-definido, conhecido como código “*Lever De Doute*”, L.D.D., ou “*Suprimir a Dúvida*”. Este código possibilita determinar com precisão em qual recursão encontra-se presente o pulso, através de um deslocamento no tempo perceptível pelo receptor. Ver Projeto Detalhado Sistema de Telemetria junto a Omnisys Engenharia.

⁷ Neste item, a título de exemplo, transcrevemos parte da dissertação do engenheiro Msc. Bruno Rondani: “*Felizmente, existem outras maneiras de aumentar a relação sinal-ruído na saída do receptor, mas, todas elas requerem adicionais capacidades do transmissor, como por exemplo, utilização de filtros casados, compressão de impulsão, implementação de técnicas específicas para cada aplicação: conical-scan, frequency-scan, frequency agility, moving target indicator, pulse-Doppler, etc*” [14].

⁸ O efeito *Doppler* consiste na alteração de fase do sinal RF refletido no alvo devido à velocidade de avanço ou afastamento do mesmo em relação à antena. Pelo fato da onda RF ter a forma senoidal, a alteração da fase crescente ou decrescente implica necessariamente em um efeito cíclico sobre a onda, o que gera ambiguidade. Uma vez determinada esta defasagem em relação ao sinal do transmissor (pois se conhece a fase do sinal RF gerado através de uma amostragem prévia anterior à etapa de transmissão), após a recepção, o processador pode estimar a velocidade do alvo considerando os limites da ambiguidade [2].

sinal S de um alvo e a potência N do ruído de fundo no receptor do radar (a potência de fundo inclui o ruído do ambiente externo e o ruído intrínseco à antena e à entrada do receptor do radar)[1]:

$$\frac{S}{N} = \frac{P_p \tau G_T \sigma A_R}{(4\pi)^2 R^4 \kappa T_S L} \quad (2)$$

onde

S/N = Relação Sinal-Ruído;

P_p = potência do pico do sinal RF transmitido (Watts);

τ = duração do pulso do sinal (segundos);

G_T = Ganho da Antena Transmissora;

σ = corte seccional do alvo do radar (metros quadrados);

A_R = área efetiva de cobertura da antena receptora do radar (metros quadrados);

R = distância do radar ao alvo (metros);

κ = Constante de Boltzmanm ($1,38 \times 10^{-23}$ Joule/Kelvin);

T_S = temperatura de ruído do sistema radar (Kelvin);

L = perdas do sistema radar.

A área de cobertura da antena (ou melhor, *aperture area*), A_R , pode ser calculada a partir do ganho da antena receptora, G_R [1]:

$$A_R = \frac{G_R \lambda^2}{4\pi} \quad (3)$$

onde

G_R = Ganho da Antena Receptora;

λ = Comprimento de Onda da Frequência do Radar (m).

Capítulo 2

O Sistema de Telemedidas

Esta seção apresenta uma descrição geral do sistema de telemedidas. Esta descrição apresenta de forma genérica o sistema de telemedidas em questão, onde se situa o projeto do demodulador digital.

Primeiramente, este sistema de telemediadas foi concebido como um sistema redundante. O objetivo de qualquer sistema redundante é confirmar as informações sobre um ou mais parâmetros medidos por um sistema principal de radar, diminuindo os erros e as probabilidades de falhas. Quando estes parâmetros encontram-se associados a sistemas críticos, ou seja, com elevado conteúdo tecnológico e alto custo de projeto ou profundo impacto relacionado com erros, um sistema redundante é indispensável. Assim, o Sistema de Telemedidas Redundante (STR) exercerá as mesmas funções de perseguição do radar de telemedidas principal. A diferença é que este último possui uma implementação completa, efetuando também a decodificação de outras variáveis associadas a um determinado artefato espacial (informações internas de navegação, por exemplo), ao passo que o STR apenas deve possibilitar a implementação futura dessas funções.

Sob um primeiro ponto de vista, o STR deve ter uma atuação independente do sistema original, podendo realizar os processos de identificação e rastreamento do artefato espacial. Dessa forma, devem-se utilizar protocolos específicos e canais de comunicação em um arcabouço tecnológico próprio e fechado, permitindo, no entanto, uma interação através de interfaces padronizadas com outras áreas da base para encaminhar informações pertinentes. Assim, o projeto objetiva um alto grau de segurança e confiabilidade das informações calculadas, possibilitando uma atuação em tempo real com o operador do sistema, que poderá, através dos dispositivos de servomecanismos e das configurações de rastreamento da telemedidas, efetuar a aquisição das informações do artefato e efetuar a perseguição.

Sob um segundo ponto de vista, consiste em projeto destinado a buscar uma modernização, através de uma abertura para a utilização de novas arquiteturas de implementação, ou seja, um contexto de atualização da tecnologia dos sistemas radares da década de 60. No escopo do projeto, visa-se diminuir a utilização de sistemas inteiramente analógicos,

implementando-os com novos dispositivos da eletrônica digital e do processamento digital de sinais. Dentro dessa problemática surgem as novas tecnologias de programação de microcontroladores, FPGAs, interfaces, protocolos de comunicação e confecção de placas eletrônicas, ou seja, um outro contexto de tecnologias para a modernização que deverá atender aos parâmetros de projeto, formalizando um sistema que possa efetuar a diminuição dos erros decorrentes dos processos de identificação e rastreamento de alvos. Neste desafio é fundamental o equilíbrio entre os novos dispositivos utilizados e as técnicas correntes de tratamento de sinais de radar. As maiores velocidades de processamento alcançadas, a precisão e minimização das possibilidades de falhas possibilitarão um ganho tecnológico efetivo. O exemplo dessa ação conjunta das técnicas tradicionais de processamento e dos novos dispositivos será visto com mais detalhe no processo de determinação do erro de rastreio.

Serão apresentadas a seguir as descrições dos módulos do STR e algumas de suas características mais pertinentes, objetivando uma visão sobre a dimensão do projeto onde se insere o objeto dessa dissertação.

No STR, o transmissor encontra-se distanciado do receptor. Neste caso particular, o transmissor encontra-se dentro do próprio artefato espacial (que pode ser um foguete de coleta de dados, um foguete balístico, ou um VLS). Assim, quem emite o sinal é o alvo que deve ser rastreado. Isso faz com que o sistema de telemidas se limite à atuação de identificação dos sinais transmitidos pelo artefato.

O STR é constituído (conforme a Fig. 2.1) dos seguintes módulos:

- **Módulo de Recepção:** A fonte primária e o receptor fornecem os valores dos desvios do alvo em relação ao centro da antena para o restante do sistema, o que possibilita o ajuste da posição da antena.
- **Antena e servomecanismos:** Reúne todos os elementos utilizados para a movimentação da antena. Os servomecanismos são aqueles integrados ao corpo da antena e respondem aos comandos feitos pelo operador, com atuação em tempo real. São especificamente motores de azimute e elevação, servocontroladores, engrenagens, dispositivos eletrônicos embarcados que fornecem os impulsos para o movimento.

- Interface Homem-Máquina (IHM): Todas as funções de monitoração e controle do sistema são agregadas na IHM. O controlador, através dessa interface computadorizada, pode modificar parâmetros, os movimentos e efetuar a perseguição ao artefato.
- Módulo de Interface Diálogo: Subordinada ao resto do sistema, seu objetivo é captar os pacotes de informação dos outros módulos, e torná-los intercomunicáveis. Possui dupla interface de tratamento de dados, sendo uma interna, que se conecta com os módulos de recepção e servomecanismo, e outra externa, conectada com a IHM e com os sinais de temporização (por exemplo, IRIG-B, que fornece a referência de tempo absoluta visando a sincronização entre radares e sistemas distantes) para sincronismo do radar. Este conjunto utiliza um protocolo proprietário, com uma estrutura específica de pacotes de informações que transitam no sistema utilizando o barramento CAN (*Controller Area Network*) do STR para interagir com os módulos internos e uma conexão RS232 para a comunicação com o IHM.

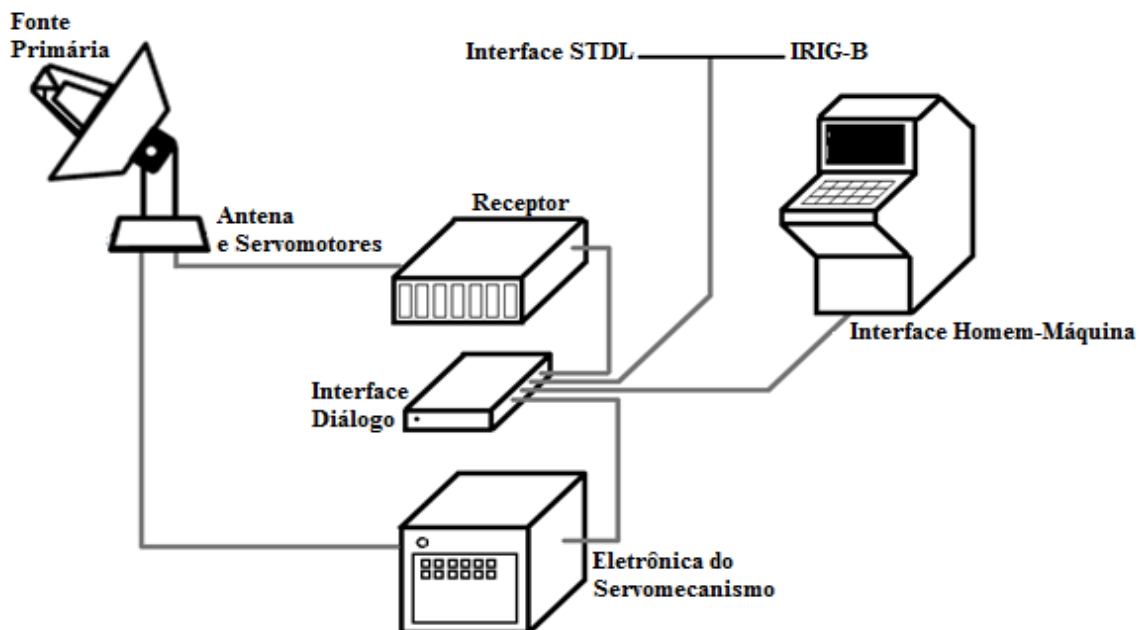


Fig. 2.1: Disposição funcional dos módulos do STR.

O sistema é composto, em sua disposição mecânica, por um gabinete em torre onde são acopladas as gavetas do receptor de Telemedidas, a Interface Diálogo e a gaveta da eletrônica do servomecanismo. Este conjunto mecânico possui ainda os cabos de interconexão dos módulos, consistindo nos cabos coaxiais para os sinais de RF, nos pares trançados para os sinais convencionais de controle e de comunicação, e o barramento CAN. A IHM é um computador que, conectado com a interface diálogo, possibilita o exercício do controle e monitoração do STR.

Este conjunto é especificado para ser confinado em uma sala com temperatura e umidade controladas. Contudo, a sala do STR deverá estar próxima o suficiente da antena para garantir os requisitos elétricos dos sinais de controle e o bom condicionamento dos sinais de RF.

Em termos de especificações de projeto, a antena do STR foi desenvolvida para atuar em ambiente com 90% de umidade relativa, e com os ventos atingindo uma velocidade máxima de aproximadamente 60 km/h, no modo de operação, e ventos de até 120 km/h, em *posição de sobrevivência*⁹. Opera entre os limites de temperatura de 45° e 10° Celsius, no modo operação, e até -10° Celsius, em posição de sobrevivência. A precipitação máxima admitida em modo de operação é 30 mm/h¹⁰ de chuva, enquanto que, em posição de sobrevivência, admite um valor máximo de 80 mm/h.

Ainda no sentido estrito dos requisitos de projeto, cita-se o pedestal, que é o ente projetado para atender às especificações físicas de estabilidade e movimentação da antena. O pedestal é uma base abaixo da parabólica que permite a movimentação em um setor angular útil de -345° até +345°, ou seja, uma excursão no eixo de azimute (ou no plano horizontal) de aproximadamente duas voltas contínuas a partir de uma das extremidades, possuindo limitadores de fim de curso nos graus +347° e -347°, e setor angular máximo¹¹ de +350° até -350°. A excursão máxima no sentido de elevação, ou seja, no plano vertical, é de -5° até 95° (com a referência do ângulo 0° sendo o plano horizontal paralelo à base de instalação da antena), com setor útil de -1° até 91°, e indicadores de fim de curso em -2° até 92°.

Os requisitos dinâmicos da antena devem permitir atingir uma velocidade máxima de 30°/s, com a velocidade máxima de rastreamento alcançando o patamar de 10°/s, e uma aceleração

⁹ Posição de sobrevivência é a disposição que assume a antena quando não se encontra em operação, estando, então, orientada em direção ao ponto de zênite.

¹⁰ mm/h indica milímetros de chuva por hora.

¹¹ O setor angular máximo difere do setor angular útil. O primeiro é relacionado à estrutura e à limitação dos mecanismos da antena, enquanto o segundo é aquele de fato utilizado na operação do sistema.

máxima de $10^\circ/s^2$. A precisão dinâmica destas características deve ser de $0,3^\circ$, com precisão de apontamento menor que $0,04^\circ$ e a precisão da medida angular menor que $0,01^\circ$. Por sua vez, o refletor parabólico utilizado possui um diâmetro de 4,5m e parâmetro focal F/D de 0,48, com massa de 270 kg.

É importante diferenciar os dipolos PCE e os PCD das disposições do conjunto de dipolos em azimute e elevação. Os dipolos PCE são os verticais, enquanto que os PCD são os horizontais. Existem quatro conjuntos formado por um dipolo PCE e um dipolo PCD cada, que configuram a disposição final das antenas de recepção. Dois conjuntos dispostos na vertical formam os dipolos de elevação, e dois conjuntos de dipolos na horizontal formam os dipolos de azimute, conforme a Fig. 2.2.

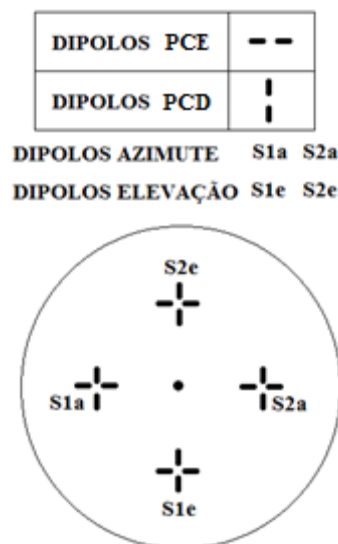


Fig. 2.2: Visão frontal das antenas de recepção de sinais de telemedidas. Disposição espacial dos dipolos para captação de sinais de polarização direita (PCD) ou polarização esquerda (PCE).

Pode-se passar agora para a descrição das especificações radioelétricas. O sistema de telemedidas atua na faixa de frequências de 2,2 a 2,3 GHz, com modulações do tipo PCM/FM, e polarizações circular direita ou esquerda. Os termos que são utilizados nesta dissertação para referenciar estas polarizações são PCE (Polarização Circular Esquerda – PCE) e PCD (*Polarisation Circulaire Droite*, ou Polarização Circular Direita). Já a impedância característica de saída da antena é de 50Ω .

Maiores informações sobre as características radioelétricas do radar são encontradas no documento [15], no qual as equações de determinação dos parâmetros e das constantes da

antena são apresentadas. Estas equações permitem determinar quais são os requisitos para fabricação da antena no mercado.

Capítulo 3

O Módulo de Recepção

O Módulo de Recepção é composto por diversos equipamentos, conforme a descrição do capítulo anterior, e são posicionados fisicamente em locais diferentes de acordo com as devidas funções. Assim, a Fonte Primária é posicionada no foco da antena parabólica e nesta encontram-se os dipolos responsáveis pela captação dos sinais. O receptor propriamente dito é a gaveta contendo as placas para condicionamento e processamento desses sinais recebidos. Localiza-se junto ao gabinete do STR (Sistema de Telemedidas Redundante) e é interconectada com a Fonte Primária. Esta gaveta, reunindo as funções de recepção, é chamada de *RRT2223*[15].

A Fonte Primária fornece para o restante do sistema os sinais em banda S para a determinação dos desvios do alvo em relação ao centro da antena, conforme será descrito mais adiante. Estas duas saídas do alimentador conectadas com a gaveta de recepção são do tipo monopulso *single channel* (ver seção 3.2). Por sua vez, o Receptor *RRT2223* é responsável por calcular os desvios angulares, controlar os parâmetros de recepção e fornecer aos servomecanismos as retroalimentações (*feedback*) para efetuar a perseguição dos alvos.

O Receptor *RRT2223* é uma gaveta contendo diversas placas eletrônicas que realizam as funções de tratamento do sinal de telemedidas. Essas placas reúnem as tarefas de geração de sinais de testes, controle CAG, controle CAF, condicionamento dos sinais de entrada, obtenção da FI de 10,7MHz e a identificação dos erros angulares. Esta gaveta também interage com a interface homem-máquina. Os detalhes de implementação, protocolos, configuração e funções de todas as placas do receptor estão além dos objetivos da dissertação, encontrando-se mais informações no projeto detalhado[15].

3.1 Lógica do Módulo de Recepção

As informações angulares de erro em elevação e em azimute são geradas após a verificação do desvio do artefato rastreado em relação ao ponto central da parabólica da antena. Assim, a observação dos desvios no sentido horizontal e vertical referenciado no centro da antena permite calcular os fatores de correção para os servomecanismos.

Descrevendo de uma forma mais detalhada, deve-se pensar em um plano que determina a área efetiva de recepção da antena. Neste plano deve-se imaginar uma figura

aproximadamente circular, pois circular é o formato da parabólica (em uma visão frontal) da antena do STR. Por sua vez, o objeto espacial em questão projeta uma “*imagem eletromagnética*” – através das intensidades e polarizações captadas – nesta figura circular e esta imagem, considerada um ponto na área, é, dependendo da posição do alvo, mais ou menos próxima do centro da figura circular. O deslocamento da imagem em relação ao centro (excentricidade da imagem) permitirá mensurar os desvios, para a posterior determinação das correções que devem atuar nos servomecanismos de modo a manter a imagem do alvo o mais próximo possível do centro da figura circular. Como estamos trabalhando com um sistema real, há limites de excentricidades admitidas pelo sistema durante um rastreamento, as quais são calculadas de forma a permitir a estabilidade da antena e dos servomecanismos.

Nos tópicos seguintes serão apresentadas as características físicas das partes envolvidas no módulo de recepção que permitem as análises feitas acima. Por enquanto, o foco será na modelagem matemática das funções do receptor.

Para traçar esta modelagem matemática consideram-se, inicialmente, duas antenas elementares infinitesimais, idênticas entre si, S1 e S2, espaçadas de uma distância D, nas quais incide uma onda plana, apresentando em ambas o mesmo nível de potência, conforme mostra a Fig. 3.1.

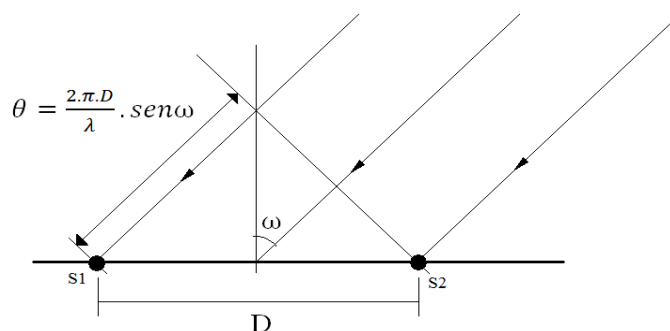


Fig. 3.1: Incidência de onda plana em duas antenas pontuais S1 e S2.

Assim, a onda identificada em S1 terá uma defasagem em relação à onda de S2, θ , devida ao ângulo de incidência ω :

$$\theta = \frac{2\pi D}{\lambda} \text{sen} \omega \quad (4)$$

Suponha sinais senoidais incidindo nas antenas e sua representação fasorial. Considerando apenas as magnitudes destes fasores e a diferença de fase entre os mesmos, a

diferença $\widehat{\Delta}$ entre os sinais captados pelas antenas S1 e S2 e a sua soma $\widehat{\Sigma}$ são representadas, respectivamente, por:

$$\widehat{\Delta} = (1 - \cos\theta) - j.\text{sen}\theta \quad (5)$$

$$\widehat{\Sigma} = (1 + \cos\theta) + j.\text{sen}\theta \quad (6)$$

As representações fasoriais de $\widehat{\Sigma}$ e $\widehat{\Delta}$, resultantes de S1 e S2, são apresentadas na Fig. 3.2 e Fig. 3.3.

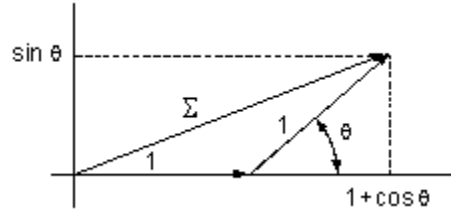


Fig. 3.2: Representação fasorial da soma dos sinais.

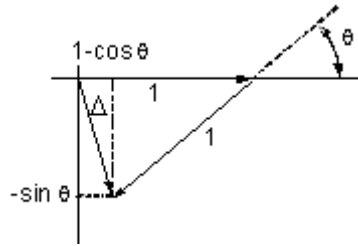


Fig. 3.3: Representação fasorial da diferença dos sinais.

Representando estes sinais através dos respectivos módulos e ângulos, obtêm-se os seguintes resultados:

$$|\widehat{\Delta}| = \sqrt{(1 - \cos\theta)^2 + (\text{sen}\theta)^2} \quad (7)$$

$$|\widehat{\Sigma}| = \sqrt{(1 + \cos\theta)^2 + (\text{sen}\theta)^2} \quad (8)$$

$$\text{tg}\phi_{\Delta} = \frac{-\text{sen}\theta}{1 - \cos\theta} \quad (9)$$

$$\text{tg}\phi_{\Sigma} = \frac{\text{sen}\theta}{1 + \cos\theta} \quad (10)$$

A Fig. 3.4 apresenta um exemplo do comportamento do módulo destes sinais em função do ângulo θ . Desta figura pode-se concluir que a observação simultânea destes módulos permite obter o valor do ângulo de incidência (ou o desvio em relação ao centro), porém, não

permite determinar o sentido do desvio em relação às antenas S1 e S2, criando uma ambiguidade na determinação dos desvios.

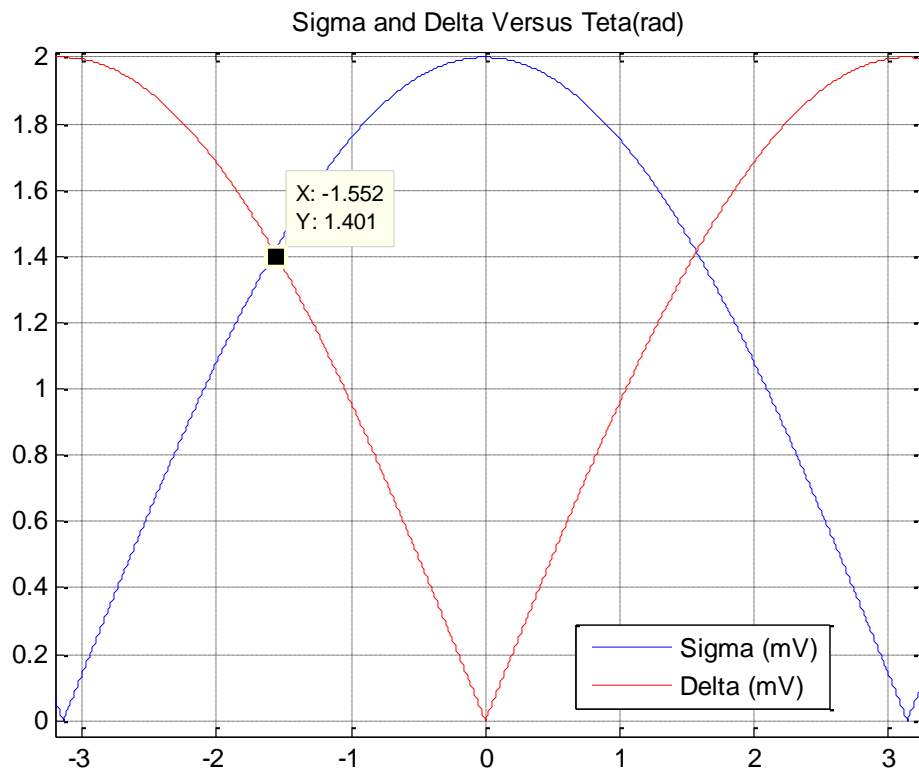


Fig. 3.4: Variação do módulo dos sinais $\hat{\Sigma}$ e $\hat{\Delta}$ em função do ângulo de incidência θ .

Pode-se entender tal ambiguidade observando que as curvas dos módulos apresentam uma simetria em relação ao centro da figura. Com a referência no eixo perpendicular ao centro do alinhamento das antenas S1 e S2 (equivalente a zero grau), um deslocamento angular que aumente a proximidade com a antena S1 produzirá os mesmos resultados nos módulos de $\hat{\Sigma}$ e de $\hat{\Delta}$ que um deslocamento que aumente a proximidade com S2.

Como exemplo, considere que se, em um sistema implementado, obtivermos, após a formação dos sinais ($\hat{\Sigma}$, $\hat{\Delta}$), os valores de 1,4 mV, não será possível determinar se o ângulo de deslocamento do artefato equivale a 1,55 rad ou a -1,55 rad. Esta situação impossibilita a alimentação dos motores do servomecanismo, sob o risco de desencadear uma instabilidade no sistema.

Deve-se, portanto, analisar mais propriedades dos sinais fasoriais para se obter uma composição de sinais que permita, sem ambiguidades, determinar o desvio angular do alvo. E mais, esta determinação unívoca deve empregar apenas os módulos dos sinais.

Observando os sinais fasoriais $\hat{\Sigma}$ e $\hat{\Delta}$, concluímos que são ortogonais entre si. Considerando tal ortogonalidade, pode-se fazer um processamento de tal forma a defasar $\hat{\Delta}$ de $+90^\circ$ ou -90° , obtendo $\ddot{\Delta}$ em fase com o $\hat{\Sigma}$, para em seguida fazer uma combinação de soma e diferença entre eles.

Os sinais resultantes dessa operação serão:

$$\text{Soma} = (\hat{\Sigma} + \ddot{\Delta}) \quad (11)$$

$$\text{Diferença} = (\hat{\Sigma} - \ddot{\Delta}) \quad (12)$$

Os gráficos dos módulos destes dois sinais são apresentados na Fig. 3.5.

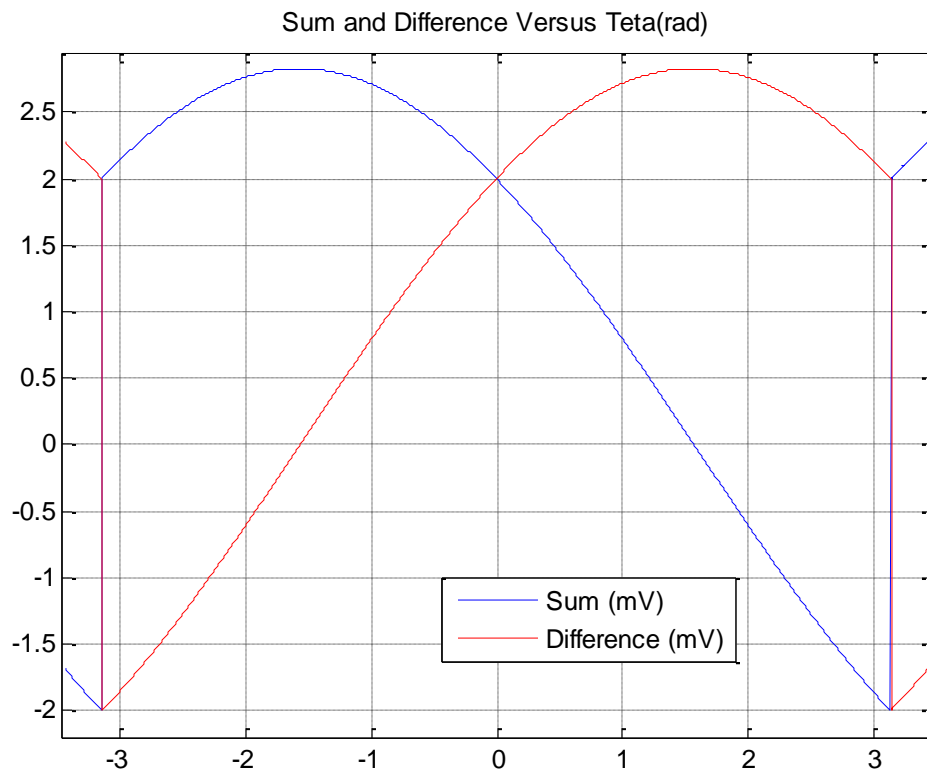


Fig. 3.5: Gráficos de $(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})$ em função do ângulo de incidência θ .

Na Fig. 3.5 observa-se que nos setores da direita (valores positivos), os módulos da “diferença” serão maiores que os módulos da “soma”; por outro lado, nos setores da esquerda os módulos da “soma” serão maiores que os da “diferença”. A análise das duas composições

$[(\hat{\Sigma} - \hat{\Delta})$ e $(\hat{\Sigma} + \hat{\Delta})]$ permite, apenas com a obtenção dos módulos destes, determinar com precisão a posição angular do artefato. Percebe-se através da Figura 3.6 a determinação unívoca associada aos sinais Soma – Diferença e a determinação ambígua associada aos sinais Sigma – Delta.

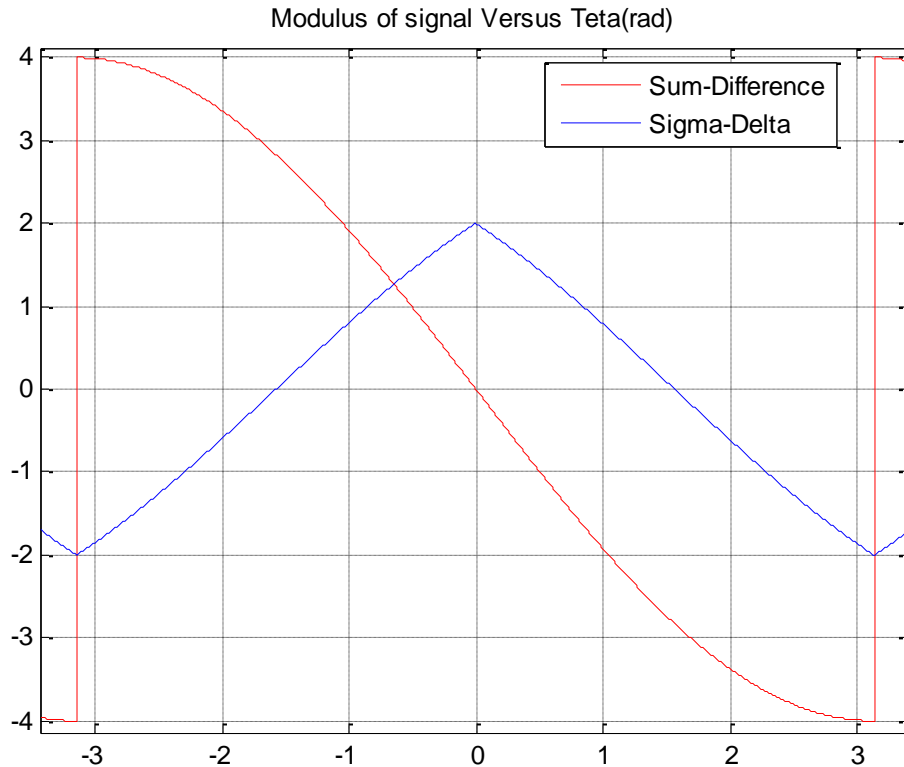


Fig. 3.6: Gráficos de Soma-Diferença e Sigma-Delta em função do ângulo de incidência θ .

A priori, este método exigiria dois canais por polarização (PCD ou PCE), um para o sinal $(\hat{\Sigma} - \hat{\Delta})$ e outro para o sinal $(\hat{\Sigma} + \hat{\Delta})$. Entretanto, visando à obtenção dos mesmos resultados e a economia de recursos, utiliza-se apenas um canal por polarização, adotando a multiplexagem temporal destes sinais. Ou seja, estes sinais são intercalados no tempo e amostrados com um período de amostragem específico. Nestas situações é suficiente registrar o período de tempo equivalente de cada um dos sinais para posterior tratamento. Denomina-se este método de tratamento *monopulso de um canal* (conhecido também como *amplitude sum-and-difference monopulse system*[16]), o qual oferece três economias: **1)** no alimentador que utilizará recursos eletrônicos visando apenas o condicionamento de um único sinal; **2)** a economia no número de

canais utilizados **3**) e a economia dos componentes na placa de demodulação digital, não exigindo componentes para processamento extras além daqueles da multiplexagem, devido às características do sinal $[(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})]$ sincronizado no tempo.

A identificação do módulo ou envoltória dos sinais $[(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})]$ acontece utilizando técnicas de processamento de sinais digitais, na placa de demodulação digital do receptor. Os detalhes dos processamentos serão apresentados no capítulo 4.

Convém apresentar agora um exemplo simples da operação do sistema como se segue:

O receptor obtém as informações $[(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})]$, posição de azimuth, em RF. Estas são condicionadas no receptor de telemidas e encaminhadas à placa de demodulação Digital em um sinal FI de 10,7MHz. Após as fases de condicionamento do sinal, tem-se a fase de processamento. Suponha que em um instante de tempo t_0 tem-se uma amostra de $(\hat{\Sigma} - \ddot{\Delta})$ e no instante t_1 uma amostra de $(\hat{\Sigma} + \ddot{\Delta})$, armazenadas em registradores do FPGA R0 e R1, respectivamente. Os valores dos registradores R0 e R1 serão processados no instante t_3 , na placa de demodulação digital, de tal forma que a diferença em amplitude das duas amostras (segundo a Fig. 3.5) fornecerá o valor do desvio do alvo. A partir de então, calcula-se o ângulo, por exemplo, no valor de 5° no sentido azimuth, o qual, por sua vez, gerará uma palavra de 12 bits (0000 0101 0000), que em t_4 atuará nos servos motores para a efetivação do movimento que tenderá ajustar o desvio entre o centro da antena e a posição do alvo. A continuação deste processo permitirá identificar através do aumento ou diminuição do ângulo inicial (por exemplo 5°) se o sistema de telemidas está a fazer o correto rastreamento do alvo (quando em modo perseguição) ou se o alvo está com velocidade crescente ou decrescente.

Capítulo 4

O Demodulador Digital

O demodulador digital é o objeto central da dissertação. Neste capítulo são apresentadas as características gerais de projeto e os detalhes de implementação que delinearam o desenvolvimento do demodulador. Ressalva-se que a placa demodulador digital é formada por componentes programáveis (FPGA ou Microcontrolador) que precisam de componentes de software (firmware em VHDL para o FPGA e software C/C++ para o microcontrolador) visando realizar as próprias funções em conjunto com dispositivos eletrônicos controlados (sistema de amostragem, buffers, drivers, etc). Assim, são abordados os aspectos de hardware e os principais aspectos de software.

Na literatura técnica especializada, encontram-se os mais diversos trabalhos associados às arquiteturas que utilizam FPGA em aplicações de radares. Yan e al. em [17] enfatiza a utilização de um algoritmo CORDIC, aplicado a radares CHIRP, implementados em FPGA, devido à possibilidade de utilização de uma arquitetura paralela e devido à flexibilidade. Yang [18] apresenta uma implementação de baixo custo que utiliza ADCs convencionais e placas com FPGA para realizar módulos de aquisição de dados de alto desempenho para sistemas UWB (*Ultra Wide Band*). Lu e al. em [19] apresenta uma plataforma hardware/software baseada em FPGA para algoritmos FCT, com 100 MHz de amostragem. Yizhuang e Teng [20] apresenta a arquitetura que utiliza um FPGA para a implementação de um processador de imagem SAR, devido a grande capacidade de processamento. Kim e al. [21] apresenta a implementação de uma UART para o sistema de telemetria utilizando FPGA. Outras arquiteturas utilizam conceitos DSP em FPGA ou processadores para sistemas radares [22][23][24][25]. A solução descrita nesta dissertação utiliza uma arquitetura comum da atualidade que combina um FPGA com um microcontrolador. Foi escolhida essa arquitetura devido a capacidade de processamento paralelo do FPGA em relação aos diversos sinais do sistema, a flexibilidade e o alto desempenho do mesmo, em combinação com o microcontrolador permitindo realizar operações de cálculo e controle de sinais e comunicação com o sistema.

É importante que a implementação do demodulador digital é inserida no mesmo contexto do desenvolvimento de todo o STR, apresentado anteriormente: ou seja, um conjunto de

requisitos de projeto com um determinado tempo de desenvolvimento e um orçamento definido para a sua implementação. Este aspecto é fundamental, pois, do ponto de vista de engenharia, esses requisitos e essas limitações definem os componentes utilizados, orientados à solução que atenda todas as exigências funcionais do demodulador digital.

O demodulador digital deve realizar todas as funções de identificação de envoltória (detalhada a seguir), controle de alguns componentes da própria gaveta RRT2223, de condicionamento de sinais e monitoração de parâmetros. Funções que, no contexto geral, se fazem necessárias para a determinação e correção dos desvios angulares.

Classificam-se essas funções em principal e secundária conforme delineado a seguir. Essa classificação atende apenas a um objetivo de apresentação do tema.

As figuras 4.1 e 4.2 apresentam um exemplo ilustrativo de um sinal discreto (senoidal, modulado em amplitude, amostrado a 100 MHz) processado no FPGA, conforme a seguinte legenda:

$E_{S0,1}$ = Sinal $(\hat{\Sigma} + \hat{\Delta})$ de elevação no instante t_0 e t_1 , respectivamente;

$E_{D0,1}$ = Sinal $(\hat{\Sigma} - \hat{\Delta})$ de elevação no instante t_0 e t_1 , respectivamente;

$A_{S0,1}$ = Sinal $(\hat{\Sigma} + \hat{\Delta})$ de azimute no instante t_0 e t_1 , respectivamente;

$A_{D0,1}$ = Sinal $(\hat{\Sigma} - \hat{\Delta})$ de azimute no instante t_0 e t_1 , respectivamente;

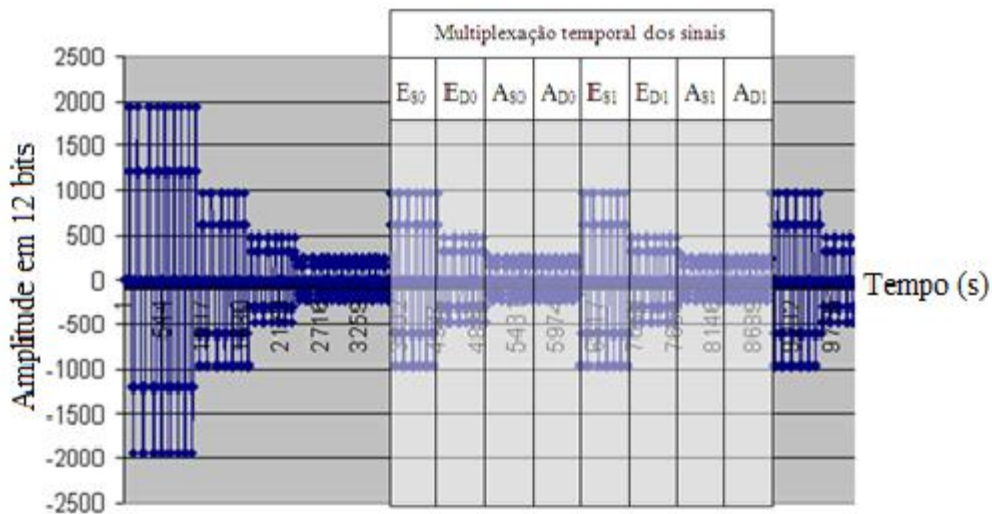


Fig. 4.1: Sinal de entrada em FI 10,7 MHz, após a amostragem.

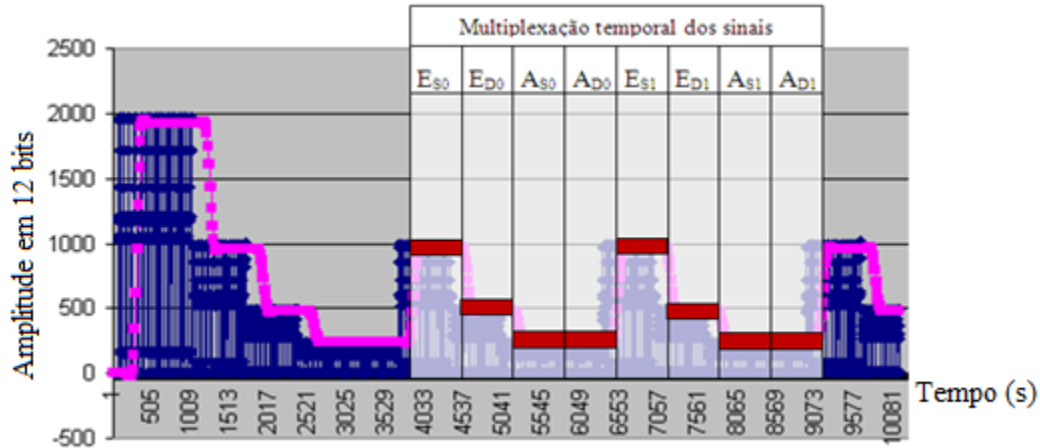


Fig. 4.2: Módulo do sinal filtrado e com a envoltória identificada.

A Fig. 4.2 apresenta o sinal identificado com os valores de amplitude indicados pelas tarjas horizontais, dentro do diagrama indicativo da multiplexação temporal dos sinais.

A função principal é gerar, a partir do sinal de entrada os valores de correção dos desvios da antena durante o rastreamento de um alvo. Observe-se que a Fig. 2.2 apresenta a disposição espacial dos dipolos de recepção dos sinais PCE e PCD, que são encaminhados ao receptor, cada qual através de um único canal (vide item 3.1 - método monopulso de um canal). Estes sinais, ao chegarem às placas de processamento do receptor, são combinados (maiores detalhes são apresentados em Projeto Detalhado [15]) gerando um terceiro sinal PCD+PCE, ou simplesmente, combinado (COMB). É necessário realizar uma análise das polarizações no receptor, uma vez que ocorre a modificação da polarização do sinal do artefato durante uma operação de rastreamento. A antena de telemidas tem que ser capaz de rastrear o alvo independente da polarização adotada. Assim, dentre estes três (FI PCD, FI PCE, FI PCD+PCE, ver Fig. 4.3), um único sinal será processado para a determinação dos valores de correção. Será escolhido o sinal que apresentar a melhor relação sinal/ruído (S/N), escolha esta que pode ser feita ou pelo operador do sistema, ou de forma automática através da análise S/N.

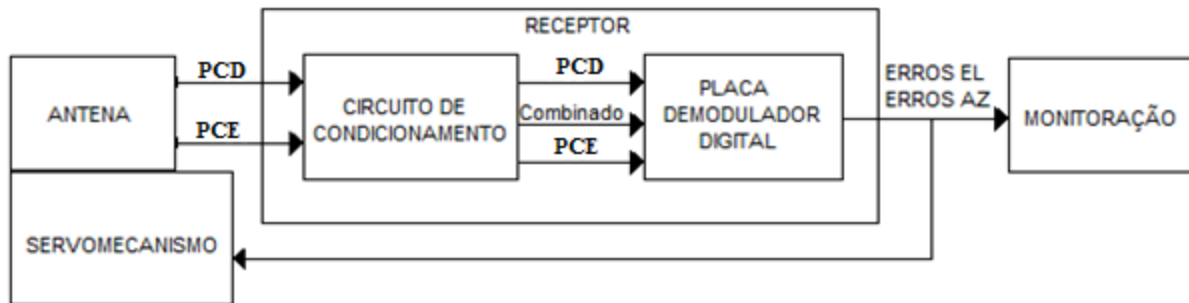


Fig. 4.3: Diagrama de localização dos sinais PCD e PCE na STR.

Uma vez selecionado um dos sinais (PCD, PCE ou COMB), este passa por um filtro passa-baixas analógico para restrição de faixa de frequências (filtro “*anti-aliasing*”), por um conversor analógico-digital e em seguida é realizado o processo de identificação de envoltória. Dizimação, filtragem, operação de módulo do sinal e o cálculo da média do sinal são utilizados neste método. A dizimação é de 100 MHz para 50 MHz, implementada no FPGA. O primeiro é um filtro passa-faixa na frequência da FI (10,7 MHz), do tipo IIR e com 50 kHz de faixa de passagem. Em seguida é realizada a operação de módulo do sinal e por fim é usado a função de cálculo da média do sinal. O resultado final dessa operação é a envoltória do sinal (Fig. 4.4).

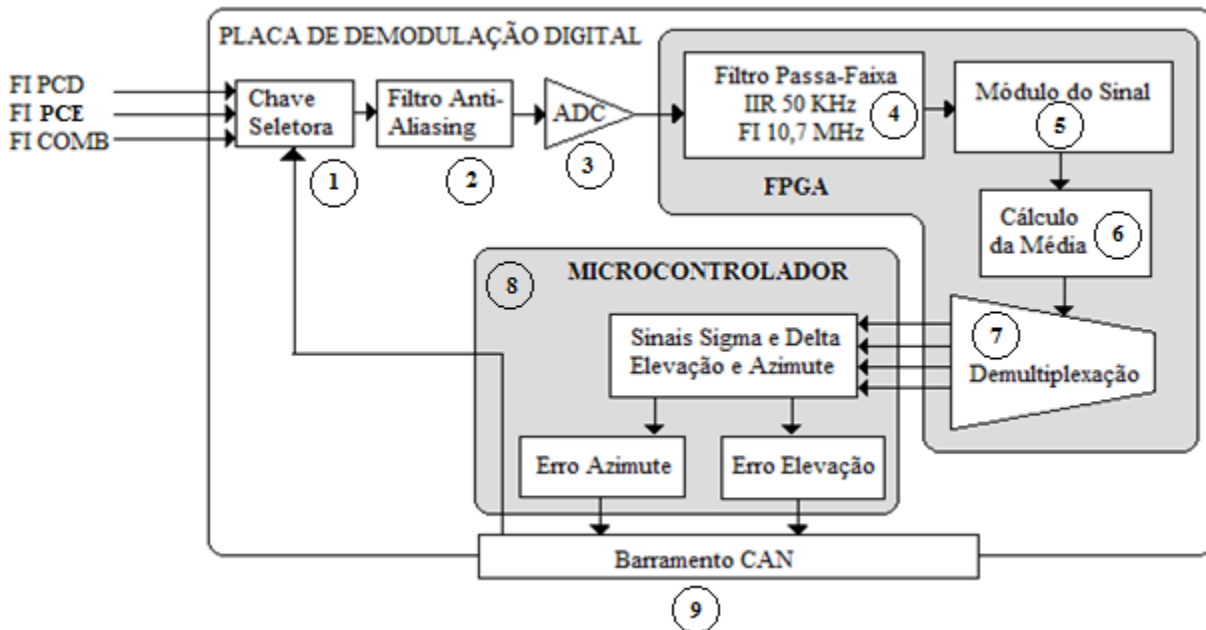


Fig. 4.4: Diagrama das funções principais da placa de demodulação digital.

Apresenta-se, a seguir, alguns exemplos das funções secundárias nos próximos parágrafos, as mesmas são descritas de forma completa abrangendo a lógica e os dispositivos envolvidos.

As funções secundárias são aquelas utilizadas para controle e monitoração das variáveis do sistema de recepção, seleção de modos de operação e sinais de sincronismo. Os sinais monitorados são encapsulados em pacotes de informação, transportados através de um barramento CAN e disponibilizados nas telas de visualização do sistema. Exemplos das variáveis de monitoração são os sinais de controle automático de ganho em PCD e PCE, que permitem ao operador do sistema observar os níveis de sinais em PCD e PCE e concluir sobre a polarização dominante durante um processo de rastreamento. Essa monitoração, por exemplo, permite ao operador selecionar o sinal de entrada em frequência intermediária que apresenta a melhor relação sinal/ruído, ou até mesmo, quando em modo automático, concluir sobre a correta comutação entre os sinais.

Outra função secundária da placa demodulador digital é a verificação do controle automático de frequência (CAF), que, no caso de correto funcionamento, possibilitará a geração pela mesma placa de um sinal periódico de varredura com amplitude e frequência variável possibilitando o ajuste dos osciladores que farão os deslocamentos em frequência dos sinais provenientes do alimentador visando à obtenção dos sinais em FI (essas funções não são o objeto da dissertação, e são apresentadas apenas a título de ilustração do processo associado). O sinal obtido da combinação do sinal de varredura com o sinal do CAF é também monitorado pelo operador do sistema através da placa.

Entre os sinais das funções secundárias encontram-se, ainda: o sinal de acionamento da placa geradora de testes, utilizada para realizar testes de funcionamento da função principal; o sinal de programação do sintetizador de frequência, que quando regulada na frequência da portadora permite passar as informações em RF para FI; o sinal de seleção VCO/VCXO, que faz a comutação entre um oscilador controlado a tensão (VCO) e um oscilador a cristal controlado a tensão (VCXO); e por último o sinal de sincronismo, que determina o exato tempo de utilização do canal pelos sinais de $[(\hat{\Sigma} - \ddot{\Delta})$ e $(\hat{\Sigma} + \ddot{\Delta})]$ em azimute ou $[(\hat{\Sigma} - \ddot{\Delta})$ e $(\hat{\Sigma} + \ddot{\Delta})]$ em elevação.

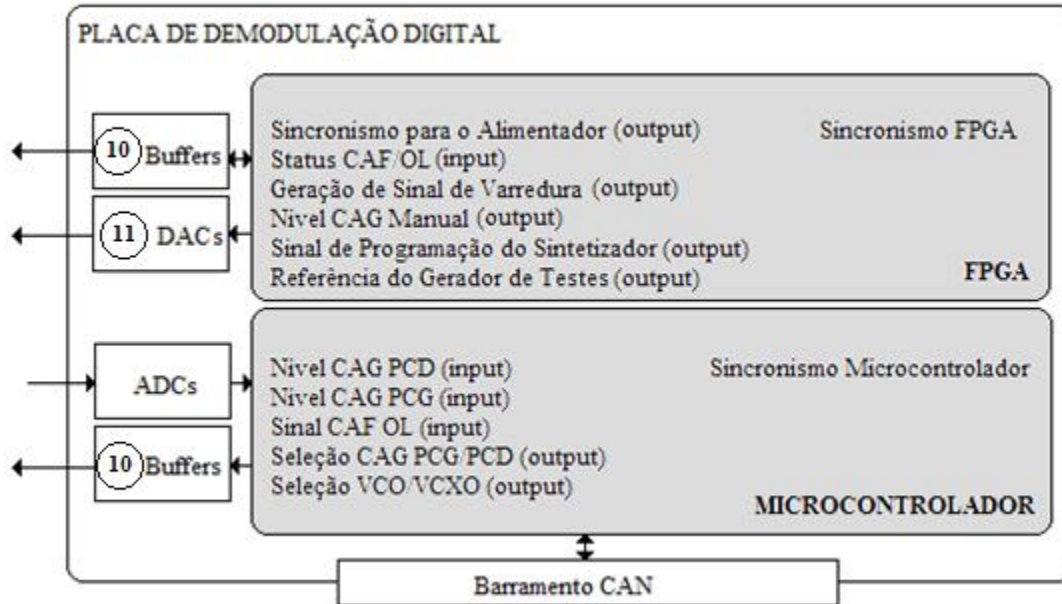


Fig. 4.5: Diagrama das funções secundárias da placa de demodulação digital.

Estes sinais das funções secundárias são simples em suas características de lógica e comportamento (vide Fig. 4.5):

- a) Função Sincronismo para o Alimentador: função implementada no FPGA *Cyclone II* da placa demodulador digital. Esta função utiliza os *PLLs* internos ao FPGA e um conjunto de contadores que geram o sinal de sincronismo para multiplexação dos sinais Sigma e Delta em azimute e elevação;
- b) Status CAF/OL: função de identificação de estado implementada em VHDL para o FPGA *Cyclone II* da placa demodulador digital. Contém a informação do estado da placa de processamento do Controle Automático de Frequência (CAF) e do Oscilador Local;
- c) Geração de Sinal de Varredura: função implementada no FPGA *Cyclone II* da placa demodulador digital. Conjunto de contadores que gera um sinal triangular com frequência e amplitude determinadas, fornecendo uma referência para a Placa CAF/OL. Este sinal é acionado pelo “Status CAF/OL”;
- d) Nível CAG Manual: função implementada no FPGA *Cyclone II* da placa demodulador digital. Registrador no qual é gravado o nível CAG ajustado por um

- operador, e em seguida possibilita a conversão digital-analógica para fornecimento do nível de tensão CAG para a placa CAG PCD/PCE;
- e) Sinal de Programação do Sintetizador: função implementada no FPGA *Cyclone II* da placa demodulador digital. Função que, a partir de um sinal síncrono e seguindo um padrão de comunicação serial, realiza a configuração da frequência de ajuste do sintetizador (frequência de batimento RF para FI);
 - f) Referência para o Gerador de Testes: função implementada no FPGA *Cyclone II* da placa demodulador digital. A Placa Geradora de Testes (placa auxiliar do Receptor, externa à Placa de Demodulação Digital), quando em modo teste, fornece à gaveta do receptor os sinais simulados de FI com erros específicos para a verificação de comportamento do sistema. Esta referência consiste em palavras de 3 bits fornecendo os estados de configuração do teste a ser realizado;
 - g) Nível CAG PCD: função implementada no micro controlador MC56F8367 da placa demodulador digital. É a função que informa ao sistema o nível do sinal CAG PCD (Controle Automático de Ganho em Polarização Circular Direita);
 - h) Nível CAG PCE: função implementada no micro controlador MC56F8367 da placa demodulador digital. É a função que informa ao sistema o nível do sinal CAG PCE (Controle Automático de Ganho em Polarização Circular Esquerda);
 - i) Sinal CAF/OL: função implementada no micro controlador MC56F8367 da placa demodulador digital. É a função que informa ao sistema o nível do sinal CAF/OL (Controle Automático de Frequência da Placa CAF/OL);
 - j) Seleção CAG PCD/PCE: função implementada no micro controlador MC56F8367 da placa demodulador digital. É a função que seleciona um qual sinal (PCD/PCE) será utilizado para o controle automático de ganho da Placa CAG PCD/PCE;
 - k) Seleção VCO/VCXO: função implementada no micro controlador MC56F8367 da placa demodulador digital. É a função de saída da placa de demodulação digital que seleciona qual oscilador será utilizado. A diferença entre estes dois

osciladores é que o VCO possui uma maior incursão enquanto que o VCXO possui uma maior estabilidade;

O conjunto de sinais das funções principal (Fig. 4.4) e secundárias (Fig. 4.5) define a placa de demodulação digital. Ela pode ser considerada também uma interface de sinais do módulo Receptor com os módulos de Servomecanismo, Interface Diálogo e Interface Homem-Máquina.

As exposições a seguir abordam tantos os aspectos de *hardware*, quanto aspectos de *software*, perfazendo uma arquitetura que abrange os conceitos de processamento digital de sinais e as técnicas de implementação de circuitos digitais e analógicos, visando à economia e o integral cumprimento das funcionalidades.

Primeiramente, estuda-se os aspectos físicos do demodulador digital. Apresenta-se os critérios que nortearam o desenvolvimento do hardware e em seguida o desenvolvimento do software. Após a apresentação dos componentes chega-se à conclusão sobre a topologia adotada, materializada através de uma placa de circuito impresso (PCI).

4.1 Aspectos de Hardware do Demodulador Digital

A estrutura geral utilizada consiste em um FPGA e um microcontrolador realizando a função principal de demodulação e exercendo paralelamente as funções de controle e monitoração dos demais sinais de interface.

Após o conhecimento dos requisitos do projeto, apresentando as características dos sinais e as funcionalidades, dentre as quais algumas foram listadas na secção anterior e com o conhecimento de projetos anteriores, foi possível definir os recursos mínimos necessários para cada um dos componentes principais e estabelecer diversas possibilidades de escolha de componentes secundários. Estes componentes auxiliares são os *buffers*, *drivers*, conversores digital-analógicos e analógico-digitais, *transceivers*, *op-amps*, etc.

A organização dos componentes eletrônicos na placa do demodulador digital segue um conjunto de critérios, entre os quais se encontram:

- Características elétricas do sistema (tensão de alimentação, interfaces elétricas, barramentos, etc.);
- Características eletromagnéticas (intensidade de ruído eletromagnético, blindagem eletromagnética, etc);

- Característica dos sinais (nível de tensão do sinal, TTL, LVTTTL, frequência, tipo do sinal, etc.).

Os detalhes da disposição físico/lógica da Fig. 4.6 serão apresentados posteriormente quando da descrição da organização real dos componentes na PCI (Placa de Circuito Impresso), onde todas as limitações e funcionalidades descritas são materializadas.

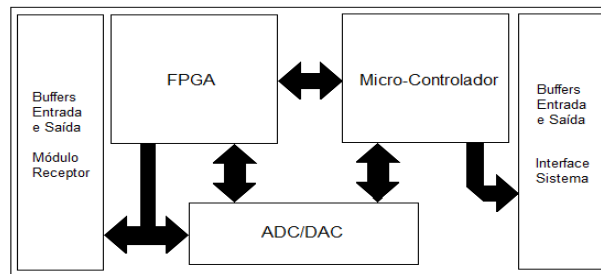


Fig. 4.6: Componentes principais e secundários da placa de Demodulação Digital.

O produto final do projeto elétrico (a placa de circuito impresso do demodulador digital) é formado por quatro camadas, conhecidas como *multilayer*, onde os componentes podem ser fixados em duas superfícies (camada superior e inferior), e as outras duas camadas são interiores destinadas ao roteamento das trilhas nas quais trafegam os sinais.

4.1.1 Circuito de Seleção PCD/PCE/Combinado

Os sinais FI ao entrarem na placa passam por um circuito de seleção, que determinará qual o sinal a ser processado: PCD, PCE ou Combinado. A seleção é realizada ou pelo operador do sistema ou, em modo automático, pelo próprio sistema de recepção. Este é o bloco (1) indicado no diagrama da Figura 4.4.

O chaveamento é feito por meio do diodo PIN BAP50-05. A atuação de um sinal DC faz variar a impedância AC do diodo e afeta o fluxo do sinal em direção ao circuito de amostragem. Esse diodo encontra-se dentro do CI M3SWA-2-50DR indicado na Figura 4.7. O circuito de seleção é formado por dois CIs em série, de forma a chavear os três sinais de FI. O primeiro diodo chaveia os sinais FI PCD e FI PCE por meio de um sinal 5V TTL designado PCDPCG_BUFFER, indicado na Figura 4.7. O segundo diodo chaveia o sinal selecionado pelo primeiro diodo e o sinal FI COMBINADO, através do sinal COMB_BUFFER.

Logo após o chaveamento desses sinais, o *op-amp* ERA51SM é utilizado para condicionamento dos níveis de tensão adequados ao circuito de amostragem.

Os capacitores em série na saída dos CI M3SWA-2-50DR são utilizados visando eliminar a tensão de *offset*. Já os indutores e capacitores utilizados na alimentação dos componentes buscam eliminar os ruídos de alimentação.

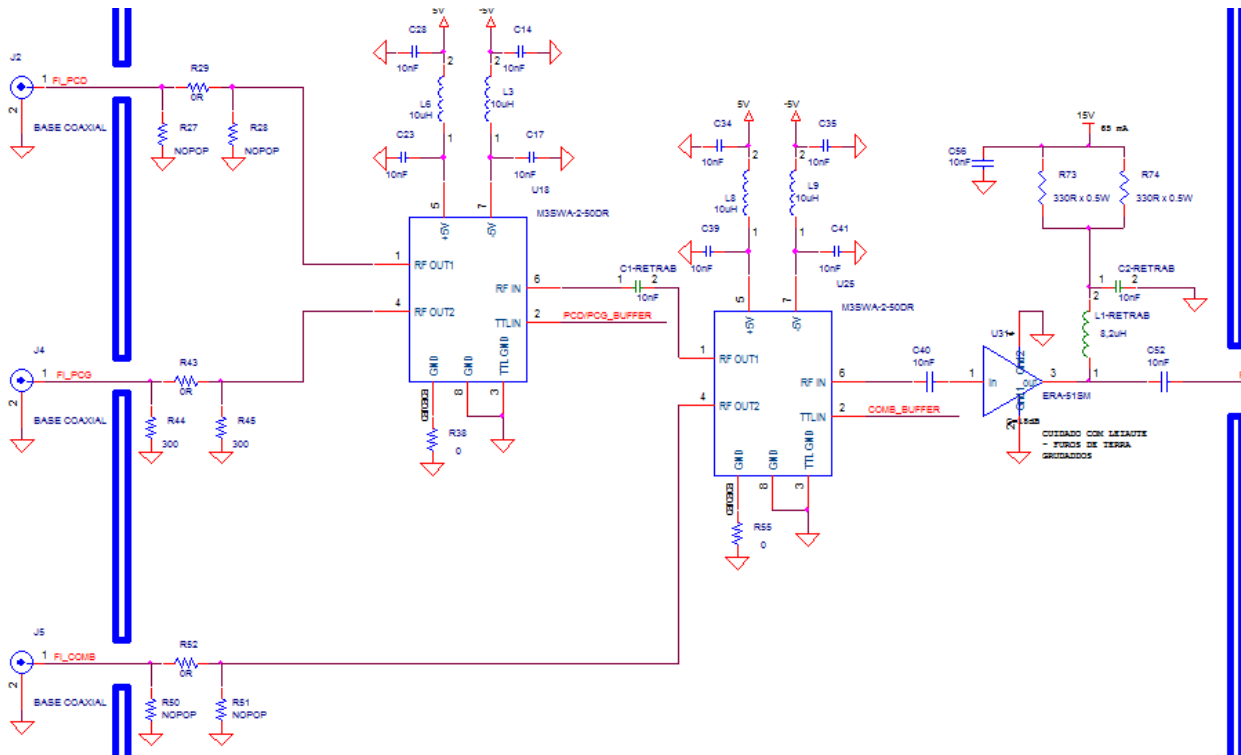


Fig. 4.7: Circuito de seleção do sinal FI PCD/PCE/Combinado.

4.1.2 Filtro Passa-Baixas para restrição de faixa

O filtro para restrição de largura de faixa é utilizado em sistemas de amostragem para eliminar as frequências além da faixa de operação desejada e com isto evitar sobreposições espectrais no sinal amostrado. Este é o bloco (2) indicado no diagrama da Figura 4.4.

O sinal de entrada do filtro é o sinal FI PCD, FI PCE ou o sinal FI Combinado fornecido pelo *op-amp* ERA51SM da Fig. 4.7. Um sinal em FI tem 10,7 MHz, senoidal com amplitude variável (proporcional à modificação do posicionamento do artefato espacial em rastreo), e modulada em amplitude. A modulação em amplitude é consequência do chaveamento a uma taxa de 10kHz, aproximadamente, entre os sinais $(\hat{\Sigma} + \ddot{\Delta})_{azimute}$, $(\hat{\Sigma} - \ddot{\Delta})_{azimute}$, $(\hat{\Sigma} + \ddot{\Delta})_{elevação}$ e $(\hat{\Sigma} - \ddot{\Delta})_{elevação}$.

Foi projetado um filtro ativo tipo MFB (*Multiple Feedback*) Butterworth com quatro pólos e faixa de passagem de 15 MHz. Estas especificações foram determinadas durante o projeto analisando os critérios de amostragem (taxa de amostragem: 100MHz), característica do sinal filtrado (FI: 10,7MHz) e critérios de distorção do sinal. Julgou-se que a faixa de passagem estabelecida por meio de uma frequência de corte de 15MHz seria o bastante para manter a integridade do sinal FI e constatou-se através da resposta em frequência obtida utilizando o software FilterPro, da Texas Instruments, que um filtro tipo Butterworth com quatro pólos seria o suficiente para atenuar adequadamente a sobreposição espectral, tendo em conta a taxa de amostragem a ser usada. Foi utilizado um filtro ativo (MFB), pois os filtros passivos são frágeis à influência eletromagnética exterior. O amplificador operacional da *Texas Instruments* THS4221 é utilizado neste filtro ativo, sendo capaz de atuar em uma largura de banda de até 230 MHz, possuindo ainda uma pequena distorção e com saída de ampla excursão em amplitude, atingindo os limites da alimentação (ou seja, *rail-to-rail*).

Segundo o gráfico da Fig. 4.8, a atenuação causada pelo filtro em 15 MHz é de -3dB, em 50 MHz é de -41 dB, e em 100 MHz é de, aproximadamente, -65 dB:

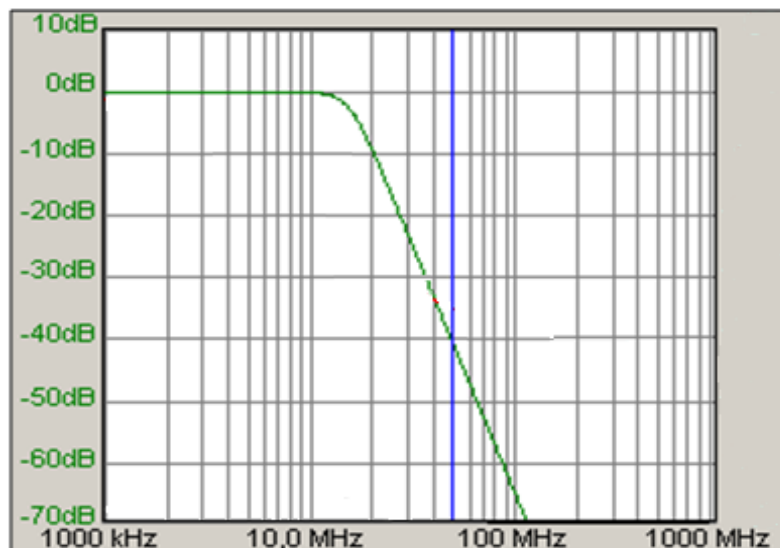


Fig. 4.8: *Texas Instrument Filter Pro*. Projeto do filtro passa-baixas: magnitude.

A Fig. 4.9 apresenta o circuito do filtro ativo MFB. A determinação dos quatro pólos do filtro MFB exige a utilização de dois *Op-Amps*. Na Fig. 4.9 observam-se os dois *Op-Amp* THS em série com o conjunto de resistores e capacitores que definem os parâmetros do filtro.

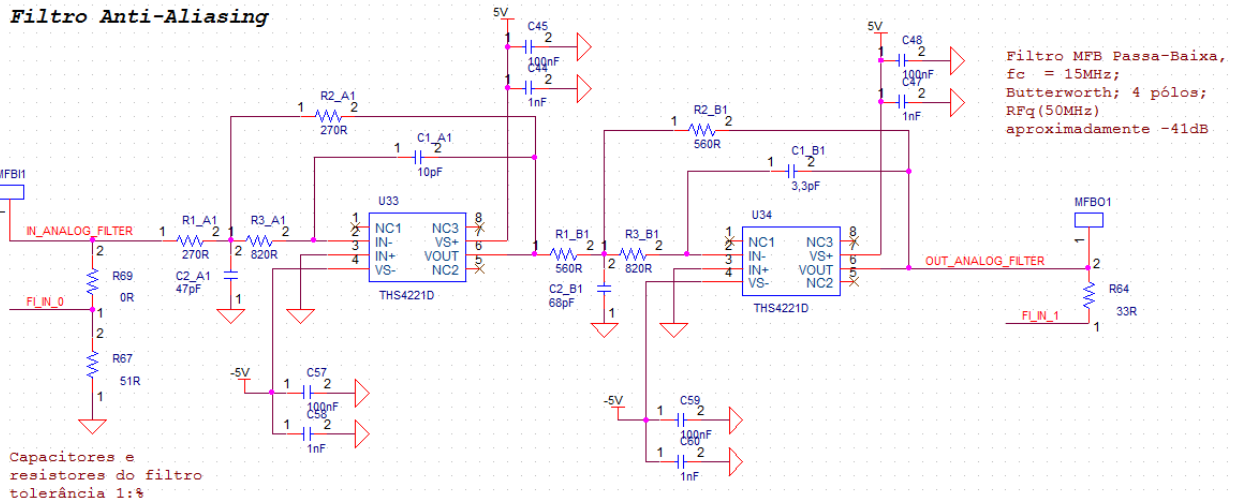


Fig. 4.9: Circuito do filtro passa-baixas.

4.1.3 Conversores DA/AD e *Buffers* de Entrada/Saída para as funções secundárias

Esta seção trata dos conversores digital-analógico e analógico-digital utilizados para fornecimento de sinais de referência e monitoramento de níveis de tensão associados à função secundária. Trata-se também dos componentes de entrada e saída (*buffers*) associados a estas funções. Estes são os blocos (10), para os *Buffers*, e (11), para os DAs, indicados no diagrama da Figura 4.5.

Conforme observado na Fig. 4.5, a placa de demodulação digital possui vários conversores DA/AD para funções secundárias. Portanto, possuem exigências distintas daquelas apresentadas para as funções de amostragem do sinal FI, a ser descrita mais adiante na seção 4.1.4.

Os sinais em questão, ou são sinais indicadores de níveis de tensão, fornecidos pelas outras placas do sistema, ou são sinais lógicos de estado, comunicação e acionamento de funções ou modos de operação. Os sinais indicadores de níveis variam de 0 a 10 volts, em baixa frequência (máximo de 500 KHz). O sinal de comunicação (p. ex. sinal de programação do sintetizador) possui tensão máxima de 5 V e frequência máxima de 5 MHz. Os sinais de estado e de acionamento assumem dois níveis lógicos (0 ou 1), implementados em lógica TTL ou LVTTTL (Low Voltage TTL, 3.3V).

Os *buffers* de entrada e saída foram escolhidos fundamentado nas lógicas dos sinais, tempo de resposta e viabilidade de custo. O *buffer* 74LCX244 (*National Semiconductor*) foi utilizado nas entradas dos sinais, o SN7407 (*National Semiconductor*, coletor aberto, sinal de

saída até 30V) e o SN75114 (*National Semiconductor, totem-pole, coletor aberto*) foram utilizados nas saídas, apresentando tempo máximo de resposta de 30ns. Estes buffers são utilizados para interface entre a placa demodulador digital e as outras placas do módulo Receptor (ver Fig. 4.10, Fig. 4.11 e Fig. 4.12).

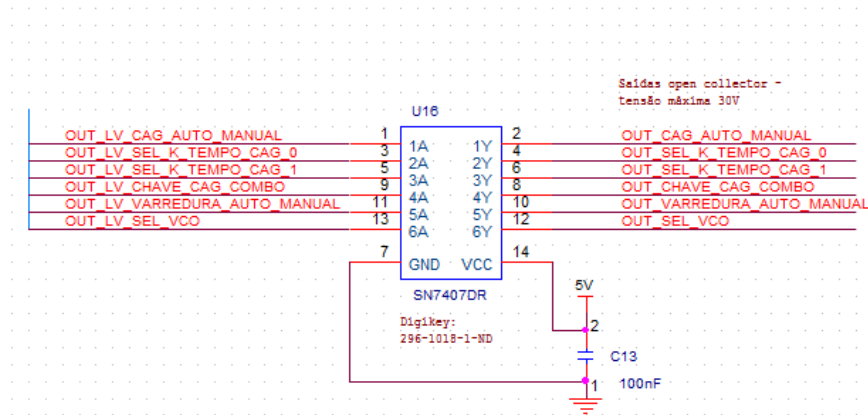


Fig. 4.10: Buffer de saída SN7407.

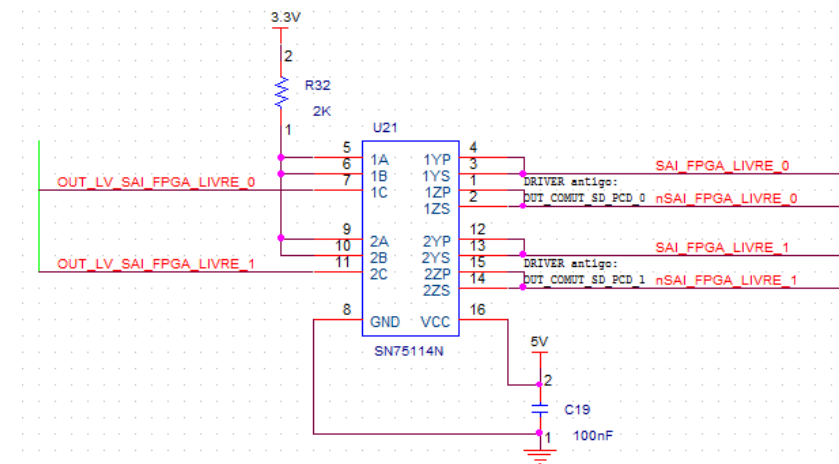


Fig. 4.11: Buffer de saída SN75114N.

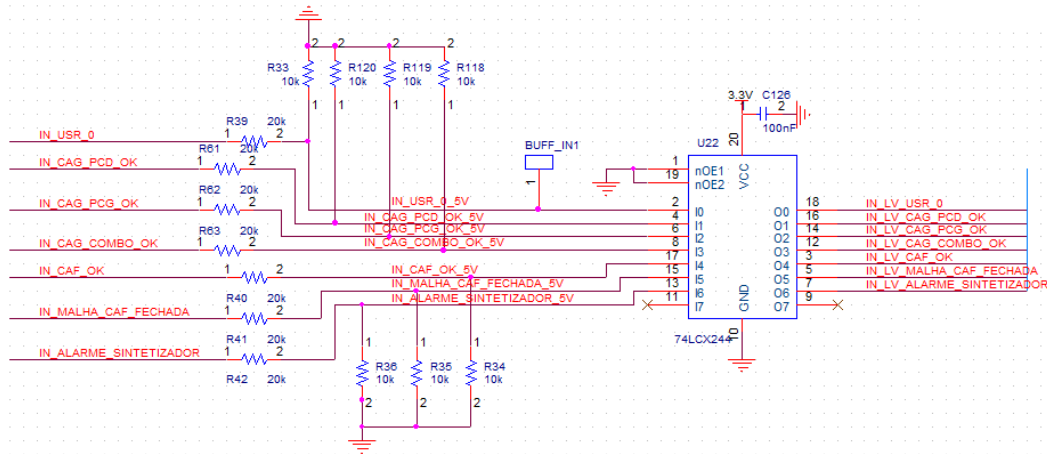


Fig. 4.12: Buffers de entrada 74LCX244.

A conversão AD de alguns sinais analógicos de entrada (por exemplo, nível CAF, nível CAG) é controlada por um dispositivo interno do micro controlador (*Freescale*). Estes conversores têm a resolução de 12 bits e consistem em dois circuitos de conversão AD dentro do micro controlador, com parâmetros configuráveis via software, possibilitando um *clock* máximo de 5 MHz. O micro controlador disponibiliza até 8 pinos de entrada para sinais analógicos que venham a utilizar estes circuitos AD. Pelo fato dos pinos de entrada dos conversores AD do micro controlador seguirem a lógica LVTTTL, ou seja, 3.3 V, é utilizado o amplificador OP777 (*Analog Devices*) para o devido condicionamento do sinal de entrada (5 V). Este amplificador é comum no mercado, sem características significativas ou maiores restrições de projeto.

Alguns exemplos desses sinais são aqueles que monitoram os níveis CAG PCE e o CAG PCD, com frequência de amostragem de 2,5 MHz e o sinal de desvio do CAF, amostrado a 5 MHz.

A conversão DA é realizada através dos conversores TLV5623, da *Texas Instrument*. Este conversor possui uma resolução de 8 bits com quatro pinos destinados à comunicação serial (meio pelo qual é realizada a entrada de informações e configurações para realizar a conversão digital-analógica) e apresenta as possíveis tensões de alimentação de 2,7 V a 5,5 V. Possui sinais de controle, entre os quais o sinal de ativação, o sinal de sincronismo (*frame sinc*) empregado para a conversão da palavra digital, o *clock*, e o pino das informações seriais binárias responsáveis pela geração do sinal analógico (ver Fig. 4.13).

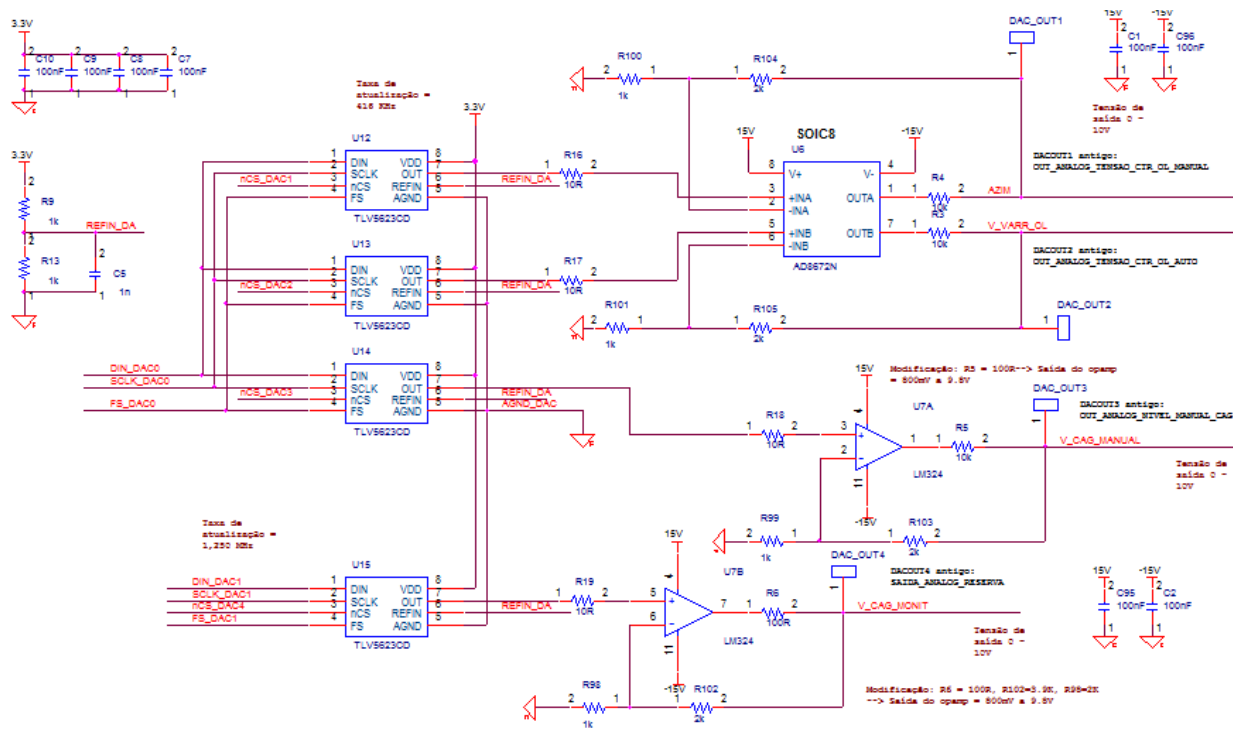


Fig. 4.13: Conversores DA.

O fato dos conversores AD terem a resolução de 12 bits e os DA a resolução de 8 bits não implica em nenhum problema de projeto, pois as informações e as funções associadas a estes componentes não exigem resolução maior que 8 bits. Observa-se que o AD de 12 bits já vem acoplado ao micro controlador, por isso não se tem a necessidade de adquirir um AD de 8 bits para as funções de conversão analógico-digital.

Alguns exemplos de sinais que utilizam os conversores DA são o nível de ajuste manual CAG (ver item (d) p. 29) e o sinal associado à função secundária Geração de Sinal de Varredura (ver item (c) p. 29), ambos com a frequência de conversão de 416 kHz. Foi utilizado nas saídas dessas implementações o amplificador LM324 da *National Semiconductor* (0V a 10V) e o amplificador de baixo ruído da *Analog Devices*, AD8672 (0V a 10V), respectivamente.

4.1.4 Circuito Amostragem dos sinais de FI

A amostragem do sinal FI é um dos principais fundamentos que permite o desenvolvimento de todo o processamento posterior. Este é o bloco (3) indicado no diagrama da Figura 4.4.

A frequência de amostragem escolhida foi de 100MHz¹². Este valor é utilizado pois objetivou-se uma superamostragem de modo a simplificar o projeto do filtro de restrição de faixa do sinal analógico. Em processamento digital, um sinal é superamostrado nos casos em que a economia de largura de banda é substituída por uma maior precisão na representação do sinal no domínio digital. A técnica de *oversampling* é utilizada em diversos sistemas nos quais a filtragem analógica *anti-aliasing* é simplificada.

Após passar pelo filtro analógico (descrito no item 4.1.2), com frequência de corte de 15MHz, o sinal é amostrado e digitalizado por meio de um conversor AD9433 da *Analog Devices*, utilizado especificamente em aplicações envolvendo a recepção de sinais FI.

Este conversor é capaz de operar com uma taxa de até 125 MSPS¹³, ou seja, o suficiente para realizar a amostragem da FI de 10,7 MHz. Este conversor fornece palavras digitais de 12 bits e compatível com a lógica TTL/CMOS, fornecidas para o FPGA. O esquemático deste conversor é apresentado na Fig. 4.15.

Tab. 4.1: Características do conversor AD9433

SNR (10,3 MHz)	67,7 dB
Resolução	12 bits
Tensão de alimentação	5 V
Número efetivo de bits ($f_{in} = 10,3 \text{ MHz}$) ¹⁴	10,9 bits

O relógio de 100 MHz de sincronismo é fornecido por meio de um circuito interno ao FPGA, iniciado com um oscilador de frequência de 25 MHz.

Um complemento importante do circuito de amostragem é o transformador de entrada utilizado para minimizar ou eliminar nível de tensão DC e oferecer uma saída diferencial de baixa impedância, em conformidade com a entrada do conversor AD9433. O ADT1-WT da *Minicircuits* tem o seu esquema de conexão apresentado na Fig. 4.14:

¹² Nesta frequência a razão de super-amostragem (*Oversampling Ratio*) é de aproximadamente 4,67 ($OSR = f_s/2f_0$).

¹³ MSPS: *Mega Samples Per Second*.

¹⁴ O número efetivo de bits é calculado a partir da SNR baseado na seguinte equação:

$$ENOB = \frac{SNR_{measured} - 1,76dB + 20 \log \left(\frac{\text{Full-Scale Amplitude}}{\text{Input Amplitude}} \right)}{6,02}$$
, conforme *datasheet* do AD9433 da *Analog Devices*.

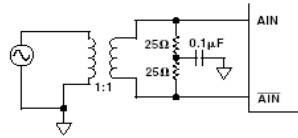


Fig. 4.14: Transformador de acoplamento da entrada analógica do conversor.

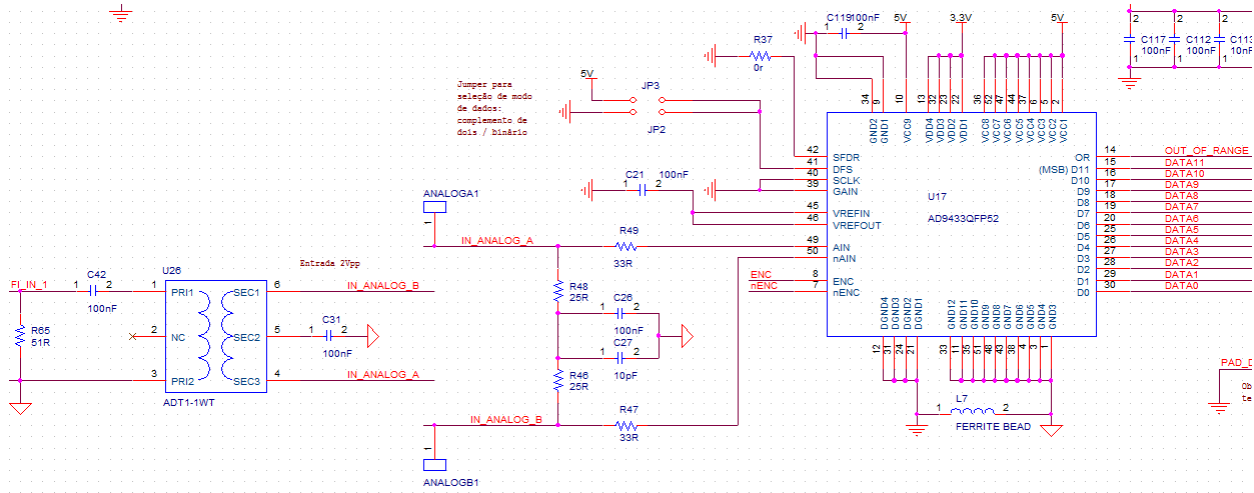


Fig. 4.15: Circuito de amostragem do FPGA.

Todo o circuito de amostragem, incluindo o filtro *anti-aliasing* e a chave de seleção PCD/PCE/Combinado, é protegido com uma blindagem metálica, buscando minimizar o ruído de interferência eletromagnética.

4.1.5 Micro Controlador MC56F8367

Apresenta-se agora o micro controlador e em seguida o FPGA. Estes tópicos são importantes, pois tratam dos dois componentes envolvidos com as funções de demodulação, cálculo, monitoração, controle dos sinais associados e implementação do filtro digital IIR na placa demodulador digital. Este é o bloco (8) indicado no diagrama da Figura 4.4.

O controlador utilizado é o MC56F8367 com funcionalidades DSP e capacidade de operação de até 60 MIPS¹⁵. Este controlador possui uma memória flash interna de 512 KB que pode ser alocada em armazenamento de dados ou em gravação de rotinas de funcionamento.

O micro-controlador é alimentado com uma tensão de 3,3V, possibilitando a interface direta com o FPGA e possui uma referência de tensão de 3,3V isolada para os conversores AD. A

¹⁵ MIPS: *Mega Instructions Per Second*.

implementação exige um cristal 8 MHz para alimentar o PLL interno visando operar na frequência de 60 MHz.

Tab. 4.2: Características do MC56F8367

Alimentações	3,3V
Temperatura	-40°C até 125°C
Memória flash interna	512 KB
Encapsulamento	LQFP

As funções do micro controlador são:

- Ponderação dos valores de correção do desvio angular, a partir das informações de sigma e delta provenientes do FPGA:

$$\varepsilon_{elevação} = \left(\frac{(\Sigma + \Delta)_{elevação} - (\Sigma - \Delta)_{elevação}}{2} \right) \beta_{elevação} + \theta_{elevação} \quad (13)$$

$$\varepsilon_{azimute} = \left(\frac{(\Sigma + \Delta)_{azimute} - (\Sigma - \Delta)_{azimute}}{2} \right) \beta_{azimute} + \theta_{azimute} \quad (14),$$

onde β e θ são constantes determinadas por meio de equalizações de integração com o sistema;

- Responsável pela lógica dos sinais de entrada e saída de configuração do receptor e monitoração do receptor de rastreo;
- Comunicação CAN responsável pela transferência de informações entre o sistema;
- Comunicação serial RS232 prevista para atuação em conjunto com computador de manutenção;

A função de cálculo executada pelo microcontrolador é baseada nos valores fornecidos pelo FPGA e é essencial na determinação dos valores dos erros angulares.

4.1.6 FPGA Cyclone II

O pré-processamento, os sinais de sincronismo e as filtragens utilizam um FPGA Cyclone II da Altera. O FPGA contempla os blocos (4), (5), (6) e (7) indicados no diagrama da Figura 4.4.

Dentre as opções da família Cyclone II da ALTERA foi escolhida a EP2C8Q208-C7, possuindo as seguintes características:

Tab. 4.3: Capacidade do EP2C8Q208-C7

Número de elementos lógicos	8.256
Número de pinos I/O	182
Bits de memória	165.888
Multiplicadores (9x9 bits)	36
Número de PLLs	2
Frequência de operação	159 MHz

As principais características de *hardware* deste FPGA são:

Tab. 4.4: Características do *hardware* do EP2C8Q208-C7

Alimentações	1,2V/ 3,3V
Temperatura	-60°C até 145°C
Memória serial	EPCS4
Encapsulamento	PQFP

Esse FPGA exerce as funções de demodulação e controle de sincronismo, a saber:

- Amostragem da FI a 100 MHz;
- Dizimação para 50 MHz;
- Filtragem – filtro utilizado IIR 50 kHz de banda em torno da FI de 10,7 MHz;
- Cálculo da média do sinal;
- Determinação da média do sinal;
- Demultiplexação no tempo dos sinais $[(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})]_{\text{azimute, elevação}}$;
- Receber os valores de ajuste de frequência do sintetizador (LMX2306, PE3335), por meio do canal de comunicação serial SPI;
- Gravar as informações $[(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})]_{\text{azimute, elevação}}$ nos registradores de acesso do micro controlador;

- Estabelecer comunicação com o micro controlador através de uma interface EMI (*External Memory Interface*), um barramento em paralelo de 16 bits;

As funções de comunicação apresentadas fundamentam-se nas especificações do *datasheet* do micro controlador, que fornece estes padrões a serem estabelecidos visando interfacear com dispositivos externos. Já os sinais de sincronismo são gerados a partir de um oscilador a cristal de 25 MHz, conectado ao FPGA, alimentando um PLL interno, que sincroniza as principais frequências (relógio de amostragem, *pipe-line* dos módulos internos).

4.1.7 Circuitos de Comunicação CAN e RS232

A comunicação CAN é realizada através do controlador PCA82C2250T, que possui capacidade de operação em alta velocidade (até 1Mbps), protegido contra transientes, com reduzida interferência eletromagnética e capacidade de conexão até 110 pontos. Este componente é conectado diretamente ao *chip* do micro controlador. O indutor B82790-S0513 é utilizado na saída do sinal CAN visando suprimir as interferências assimétricas e simétricas nas linhas de sinal (ver Fig. 4.16). Este é o bloco (9) indicado na Figura 4.4.

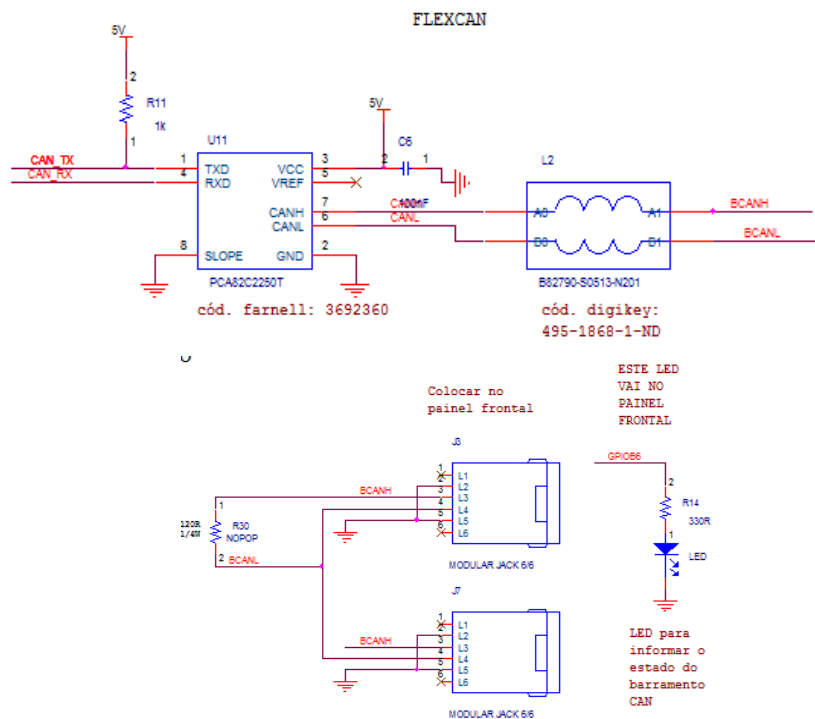


Fig. 4.16: Circuito para condicionamento do sinal CAN.

A comunicação serial RS232 utiliza o CI MAX3245, que é conectado ao micro controlador. Esta comunicação é estabelecida entre o micro controlador e um computador de monitoração e manutenção do sistema, funcionalidade prevista pela especificação de requisitos (ver Fig. 4.17).

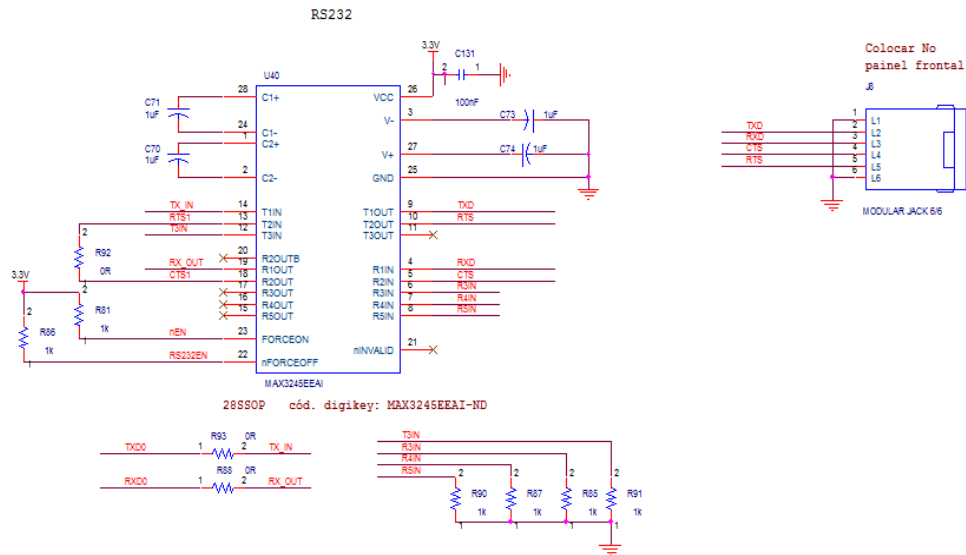


Fig. 4.17: Circuito para o sinal RS232.

4.2 Aspectos de Software do Demodulador Digital

Neste sub-tópico aborda-se aspectos de software do demodulador digital, embora não sejam detalhados os códigos implementados, são esclarecidas as características gerais de desenvolvimento.

Primeiramente, é necessário distinguir dois tipos de “software”. Para fins da dissertação, define-se *software* a implementação dos códigos em linguagens convencionais, tais quais as escritas em C, C++ e *Visual Basic*, por exemplo. O software é empregado em implementações de alto nível, descrevendo lógicas passíveis de estruturação a critério do compilador. Outro tipo de “software” envolvido em nosso desenvolvimento é o *firmware*, o qual é uma linguagem associada aos sinais físicos gerados em um componente (FPGA) e usado para descrever as relações lógicas. Está associado à eletrônica e a matrizes de operações de componentes lógicos em funções distintas, seriais ou paralelas.

Observa-se que ambos possuem fases de compilação. No firmware, a compilação aplica a lógica de sinais aos recursos disponíveis e áreas utilizadas do hardware. A compilação do software é associada à adaptação de códigos à arquitetura do microcontrolador.

O *software* foi implementado em *CodeWarriorTM* (da fabricante *Freescale*), que é o pacote de desenvolvimento que acompanha o microprocessador MC56F8367. O *CodeWarrior*, em linguagem C++, disponibiliza uma série de procedimentos visando o exercício de determinadas funções: comunicação SPI, acesso EMI, GPIO (*General Pin Input/Output*), relógios de sincronismos e as funções de aquisição e geração DA/AD.

O *firmware* foi implementado em *Quartus II Web EditionTM* (Altera), que é o pacote de desenvolvimento de qualquer um dos componentes FPGA da Altera, entre eles, os da família Cyclone II. Este pacote possibilita a implementação dos códigos VHDL (*VHSIC Hardware Description Language*), lógica de estados, esquemático elétrico/lógico e possibilita otimizações nas menores unidades lógicas internas ao FPGA, tais quais alocação de registradores, áreas de implantação do código dentro do CI e até mesmo a monitoração, em versões mais completas, dos processamentos internos ao *chip*.

Ambas as implementações foram feitas utilizando as técnicas usuais de desenvolvimento de *software* e *firmware*. O autor implementou todo o código pertencente ao FPGA. As descrições das principais implementações em firmware são apresentadas abaixo.

4.2.1 SPI – Serial Peripheral Interface

Foi implementado um código específico para a interface serial para periféricos. A SPI é utilizada para transferir alguns valores do microcontrolador para o FPGA. Essa comunicação é comandada pelo microcontrolador que utiliza dois sinais: SCLK0, que é o sinal de clock da comunicação serial; e o MOSI0, que é o sinal “*Master Output Slave Input*” contendo os dados a serem transmitidos. O FPGA neste caso funciona como o escravo.

Para receber os dados utilizou-se um *shift-register* com o sinal de clock igual ao SCLK0. Existe um bloco construído em VHDL que serve para carregar os registradores internos ao FPGA com as informações provenientes da comunicação SPI. Este bloco possui como entrada o sinal SCLK0, o sinal clk_mC (que é o clock do microcontrolador), a palavra gravada pelo *shift-register* e o sinal de reset do bloco. O bloco é reinicializado ao final de cada ciclo de leitura.

Cada sinal de saída do bloco VHDL foi acompanhado de um sinal indicativo de atualização para o correto sincronismo dos sinais internos ao FPGA.

4.2.2 EMI – External Memory Interface

Foi elaborado um código VHDL para realizar a interface de memória externa com o microcontrolador. Este bloco VHDL possibilita que a cada ciclo de cálculo o valor da média seja gravado em um registrador que representa uma memória RAM externa ao microcontrolador. Assim, por parte do FPGA os sinais de entrada são os registradores de sigma menos delta e sigma mais delta em azimute e elevação, em conjunto com o clock interno sincronizado com os clock de 50 MHz e 24 kHz. Estes valores são utilizados pois são frações do *clock* principal (100 MHz), aplicados em outras máquinas digitais de temporização e sincronismo internas ao FPGA.

Por parte do microcontrolador os sinais de interface são: dados do EMI, endereço EMI, CS0, nWR, nRD e clk_mC. Os dados dos registradores internos ao FPGA são copiados no barramento da memória externa quando ocorre um evento envolvendo o clk_mC, quando o CS0 é igual a nível lógico 0 (memória do FPGA ativada), e quando o endereço corresponde aos endereços de memória do FPGA.

4.2.3 Sincronismo Geral do Demodulador Digital

O sincronismo do demodulador digital foi realizado a partir de um PLL, que gera uma saída de 100 MHz e uma de 10 MHz a partir de uma entrada de 25 MHz. A frequência de 25 MHz provém de um *clock* externo com o mesmo valor de frequência.

Uma das saídas do PLL é destinada ao circuito de amostragem do sinal que deve ser demodulado. Este sinal de 100 MHz também entra em um bloco VHDL que através de diversos contadores formam os demais sinais de sincronismo. Está incluso entre estes sinais o sincronismo que vai para o alimentador multiplexar os sinais de sigma menos delta e sigma mais delta em elevação e azimute. São utilizados, ainda, para sincronismo interno ao FPGA o sinal de clock de 25 MHz proveniente do clock externo, e sinais de 24 kHz e 48 kHz para outras funções internas. O outro sinal de 10 MHz do PLL é apenas disponibilizado para utilização interna.

4.2.5 Programação dos Sintetizadores

Os sintetizadores devem ser programados através de um protocolo serial. Este protocolo serial utiliza os sinais SCLK, SDATA e FS, ou seja, *serial clock*, *serial data* e *frame sync*, respectivamente. Os protocolos são semelhantes para o sintetizador da Peregrine e para o LMX2306 e ambos foram implementados em VHDL. Os sinais de entrada destes blocos VHDL são os sinais de atualização das palavras que serão programadas, as palavras (21 bits para o LMX e 20 bits para o Peregrine), e por fim o *clock* que sincronismo que é o mesmo *clock* do microcontrolador.

É importante lembrar que as palavras de programação dos dois sintetizadores vêm do microcontrolador que as recebe da IHM.

4.2.6 Demodulação Digital

Três blocos foram implementados para o cálculo da média. O primeiro consiste no filtro IIR (descrito no próximo capítulo), o segundo consiste em um bloco que aplica a função módulo ao sinal filtrado e o terceiro é o bloco do cálculo da média.

Na estrutura do filtro utilizaram-se as *megafunctions* disponibilizadas pelo Quartus II. Assim, foram utilizados os elementos *lpm_constant* para armazenar o valor dos coeficientes, os *lpm_latch* para efetuar os atrasos no sinal, os *lpm_mult* para efetuar as multiplicações (24 x 24 bits) e, por fim, os *paralel_add* para efetuar as somas necessárias.

O segundo bloco foi feito em VHDL e consiste em inverter o sinal quando a forma de onda for negativa. O terceiro bloco, cálculo da média, foi feito utilizando somadores de 11 bits e 15 bits e *lpm_latches*. O funcionamento de um acumulador quando se aproveita apenas as casas mais significativas do resultado simula um cálculo de média.

Depois destes três blocos a envoltória do sinal passa por um quarto bloco responsável por demultiplexar os sinais sigma menos delta e sigma mais delta. A entrada deste bloco consiste na envoltória do sinal, nos sinais de sincronismos enviados para o alimentador, no *clock* de 50 MHz e no *clock* de 24 kHz. Estes dois *clocks* são utilizados para que haja um sincronismo perfeito, não correndo o risco de conflitos com estados de transição. As saídas desse quarto bloco são os sinais sigma menos delta e sigma mais delta em elevação e em azimute. Estes quatro sinais são encaminhados para um quinto bloco passando por mais uma fase de cálculo de média. Esta segunda etapa de cálculo de média utiliza somadores e *lpm_latches* tal qual o terceiro bloco descrito neste item.

Por fim, os sinais resultantes são encaminhados para o bloco EMI.

4.2.7 Conversores Digital-Analógicos

Os conversores DA conectados ao FPGA são quatro do tipo TLV5623. Estes são conversores seriais e para o funcionamento deles foram construídos dois blocos VHDL, sendo um para 3 conversores e outro para 1 conversor DA. O bloco de três conversores consegue atingir a taxa de conversão de 416 kHz. Já o bloco exclusivo para um dos conversores atinge a taxa de 1,250 MHz. Estes valores são obtidos através de um *clock* de 10 MHz, dado que a frequência máxima do *clock* serial é de 20 MHz, destinados a sincronizar o envio de uma palavra de 16 bits, sendo resultantes das limitações do TLV5623 e das características peculiares do código VHDL desenvolvido.

Os sinais de entrada do bloco responsável pelos três conversores são: *clock* de 10 MHz, FSDAC (*Frame Sync* de entrada), palavra da tensão de erro em azimuth (8 bits), palavra da tensão de varredura do oscilador local (8 bits), palavra da tensão CAG manual (8 bits). Estas palavras são fornecidas pelo microcontrolador através da SPI. Os sinais de saída são o SCLK (*serial clock*), DIN (*Data input* – referência conversor DA), o FS (*Frame Sync*), nCS1, nCS2 e nCS3 (*chip select* para os três conversores).

Os sinais de entrada do bloco responsável por um dos conversores são: *clock* de 10 MHz, FSDAC (*Frame Sync* de entrada) e a palavra da análise de envoltória de 8 bits (sinal de teste) ou a palavra da tensão de CAG monitorada. Uma dessas duas palavras podem ser escolhidas antes da compilação do *firmware*. Já os sinais de saída são o SCLK, DIN, nCS e FS.

4.3 Conclusão do Capítulo

O circuito para execução da demodulação digital foi apresentado, mais especificamente o circuito de amostragem. Não se apresentou o esquemático do FPGA e do Microcontrolador, pois não há muitas informações agregadas ao esquemático além daquelas apresentadas no texto dos tópicos 4.1.5 e 4.1.6, dado que foram utilizadas técnicas convencionais de projeto de circuito seguindo as recomendações das especificações técnicas do fabricante dos CIs. Citam-se alguns exemplos dessas técnicas: os pinos genéricos (GPIO) do microcontrolador foram conectados diretamente aos pinos do FPGA, pois há compatibilidade elétrica entre eles; foram conectadas fontes de tensão diferenciadas e estabilizadas para as entradas de tensão do PLL do microcontrolador, para as tensões que alimentam os conversores AD do microcontrolador e para as demais tensões de referência do microcontrolador por recomendação do fabricante; foram conectados os resistores de pull-up e pull-down para os pinos específicos do FPGA, conforme recomendação do datasheet; as saídas do AD9433 foram conectadas ao FPGA por intermédio de uma rede resistiva de 33 Ohms, visando facilitar os testes e limitar a corrente que circula entre os CIs. É importante lembrar que o essencial é o desafio tecnológico de implementação de um demodulador digital de baixo custo que execute as funções propostas e que possa oferecer uma previsibilidade de modificações e melhorias futuras.

Apresentou-se os aspectos de desenvolvimento dos blocos para o FPGA. O bloco principal é aquele que executa a demodulação digital, apresentada em 4.2.6. A implementação total no FPGA (todos os blocos indicados em 4.2) utilizou aproximadamente 77% dos elementos lógicos e 78% dos multiplicadores, conforme a tabela 5.6. Apesar de ser uma percentagem alta de consumo de recursos, para os testes executados (apresentados a seguir) não foi observado problemas de temporização associados à alocação das funções internamente ao FPGA.

Os resultados de avaliação do funcionamento do demodulador digital implementado no FPGA é apresentado pelo estudo do filtro IIR implementado. Do ponto de vista analítico, o correto funcionamento das funções (5) e (6) indicados no diagrama da Figura 4.4 deve permitir a análise do filtro IIR representado pelo bloco (4) do mesmo diagrama. O correto funcionamento é apresentado no próximo capítulo, mais especificamente através das Figuras 5.21 e 5.25. Já o funcionamento da função (7) no FPGA e de todo o microcontrolador pode ser observado no teste de integração apresentado no próximo capítulo, mais especificamente por meio das Figuras 5.28 e 5.29.

Este capítulo apresentou os pontos principais do desenvolvimento, em termos de hardware e de software. O próximo capítulo apresentará os ensaios no ambiente de simulação e os resultados obtidos em testes realizados com o demodulador digital.

Capítulo 5

Um Ambiente de Simulação e os Resultados

Práticos Obtidos

Neste capítulo são apresentadas as simulações necessárias para avaliação dos erros em azimute e elevação. Para as simulações serão avaliados os parâmetros relacionados. O ambiente de simulação foi criado utilizando a ferramenta *Simulink* do *Matlab*. Em seguida, são apresentados os resultados obtidos em alguns testes realizados variando os parâmetros do filtro digital IIR. De fato, os testes com o filtro analisam os blocos (4), (5) e (6) do diagrama apresentado na Figura 4.4.

Essa análise dos blocos (4), (5) e (6) da Figura 4.4 ocorre conectando a saída do bloco (6) a entrada do bloco em VHDL descrita no subitem 4.2.7, mais especificamente no bloco equivalente ao TLV5623 com taxa de conversão de 1,250 MHz. Caso os blocos (5) e (6) da Figura 4.4 estejam corretamente implementados, estes serão transparentes, e as características de magnitude do filtro IIR implementado em (4) da mesma figura poderão ser observadas. Por isso o teste apresentado a seguir comenta apenas o resultado do bloco (4) da Figura 4.4. A análise dos blocos (5) e (6) da mesma figura está implícita ao teste do bloco (4).

A análise dos blocos (7) e (8) da Figura 4.4 se dá através do teste de integração parcial com o sistema. Uma vez validado o teste com os blocos (4), (5) e (6) da Figura 4.4, qualquer erro apresentado no teste de integração será proveniente do bloco (7) ou (8) da mesma Figura. Como veremos a seguir esses testes foram positivos, apresentando os resultados de apontamento corretos.

O ambiente de simulação contempla os módulos de recepção, demodulação digital e servomecanismos. Este ambiente objetiva fornecer ao usuário o comportamento do sistema tendo em vista determinados erros gerados. Podem ser analisadas as saídas dos erros em azimute e elevação fornecidos pelo demodulador digital, bem como a resposta dos servomecanismos para este mesmo conjunto de erros.

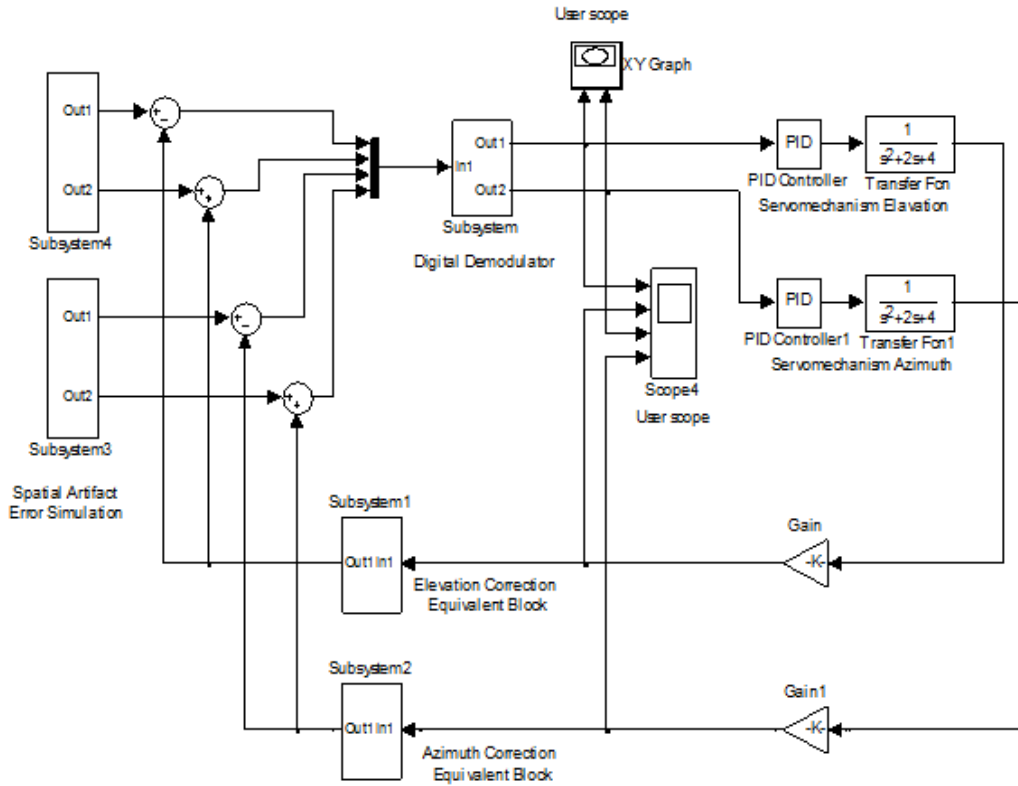


Fig. 5.1: Diagrama *Simulink* para a função de demodulação digital.

Como se pode observar na Fig. 5.1, o ambiente consiste em uma estrutura em malha fechada com os blocos Subsystem 3 e Subsystem 4 representando os sinais em azimute e elevação, respectivamente. Estes sinais são fornecidos ao demodulador digital em dois canais de cada bloco, sendo cada um responsável pelos sinais $(\hat{\Sigma} + \Delta)$ e $(\hat{\Sigma} - \Delta)$, canais estes que são multiplexados no tempo formando apenas um canal. Neste ambiente não foi proposto uma estrutura com todos os sinais provenientes do alimentador (PCD, PCE), de tal forma que está sendo considerado apenas um destes canais.

Ainda na Fig. 5.1, observa-se que o bloco Subsystem contém as funções realizadas pelo demodulador digital, apresentado na figura a seguir.

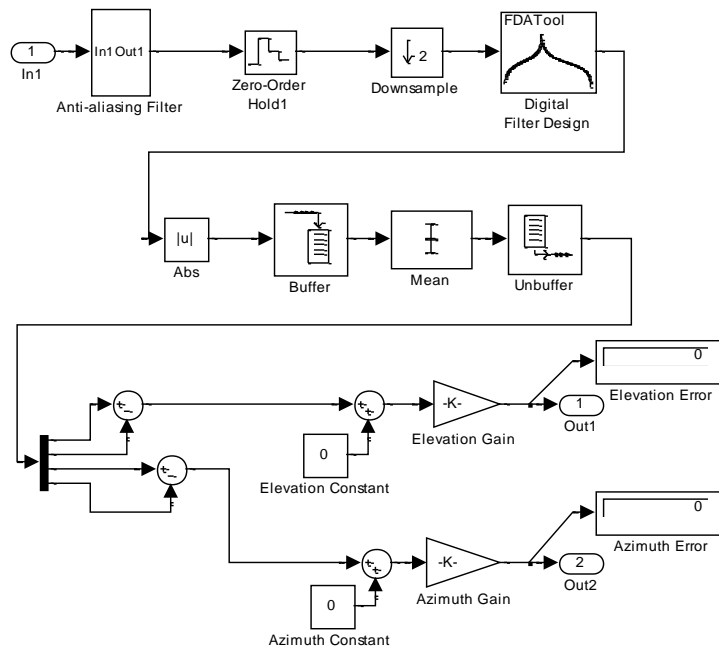


Fig. 5.2: Blocos do demodulador digital.

Na Fig. 5.2 encontra-se o filtro anti-aliasing, a amostragem, a dizimação, o filtro digital IIR, a função de módulo e cálculo da média, seguida da demultiplexação e do ajuste do erro encontrado.

Os blocos dos servomecanismos em azimute e elevação são representados pelos controladores PID e pela função de transferência de segunda ordem genérica. Foi adotado essa modelagem pelo fato de não se ter as características do servomecanismo real.

Os blocos Subsystem 1 e 2 da Fig. 5.1 representam a conversão do movimento de correção dos servomotores em equivalente modificativo do sinal recebido pela antena. Isso quer dizer que o movimento dos servomotores provocará uma modificação nos parâmetros $(\hat{\Sigma} + \ddot{\Delta})$ e $(\hat{\Sigma} - \ddot{\Delta})$ recebidos, de tal forma que esta modificação se dá devido aos blocos Subsystem 1 e 2 (Fig. 5.3).

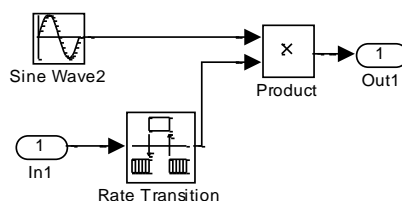


Fig. 5.3: Blocos que corrige os sinais recebidos. Blocos *Subsystem 1* e *2* da Fig. 5.1.

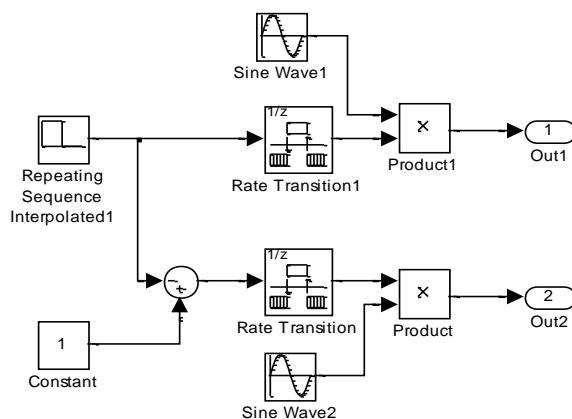


Fig. 5.4: Gerador dos sinais de erro em elevação e azimute. *Subsystem 3* e *4* da Fig. 5.1.

Na Fig. 5.4 encontra-se o conjunto de blocos que geram os erros em azimute e elevação. As saídas 1 e 2 deste bloco correspondem aos sinais $(\hat{\Sigma} + \hat{\Delta})$ e $(\hat{\Sigma} - \hat{\Delta})$, respectivamente. Assim, percebe-se que há uma simetria entre eles, desde que o bloco “*Repeating Sequence Interpolated1*” pode variar de 0 a 1.

Para os seguintes testes configurou-se o valor do bloco “*Repeating Sequence Interpolated1*”, para gerarmos uma simulação com variação de erro máxima em um dos eixos (azimute ou elevação). Com essa configuração, em um momento dado haverá uma inversão do erro identificado de +1 para -1, e assim sucessivamente. Este é um cenário realizado para se verificar o comportamento de todo o ambiente de simulação.

Nas figuras 5.5, 5.6, 5.7, 5.8 e 5.9 mostram o valor da variação do sinal de entrada representando a inversão angular sucessiva de +1 para -1 (na cor amarela), o valor do erro a ser corrigido pelos servomotores (na cor vermelha) e o valor do erro identificado pelo demodulador

digital (na cor azul). O parâmetro que variou nestes testes foi o valor do número de amostras para se calcular a média fornecida ao sistema (Figuras 5.5, 5.6, 5.7, 5.8 e 5.9).

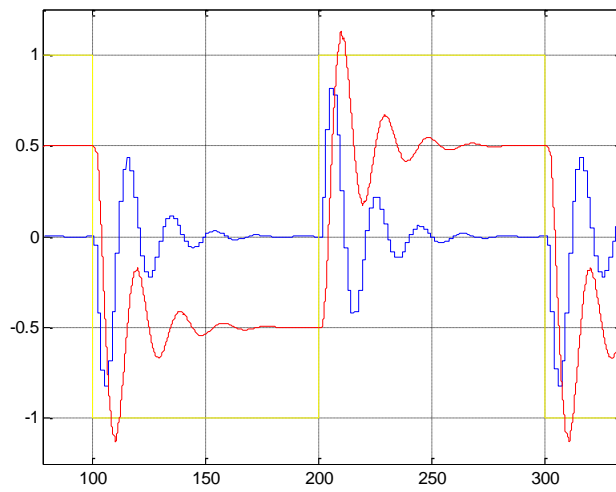


Fig. 5.5: Comportamento para média utilizando 80 amostras.

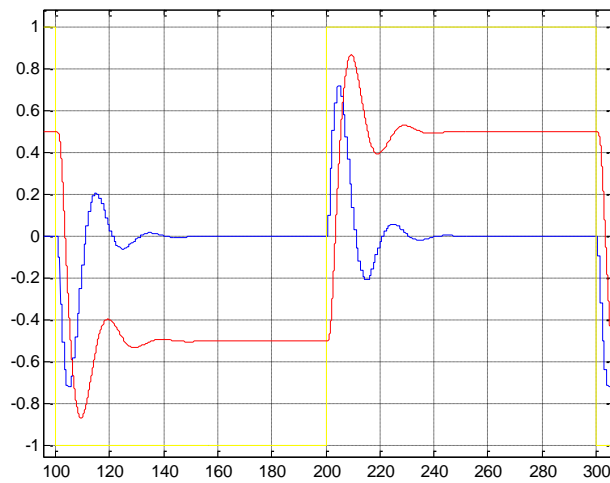


Fig. 5.6: Comportamento para média utilizando 40 amostras.

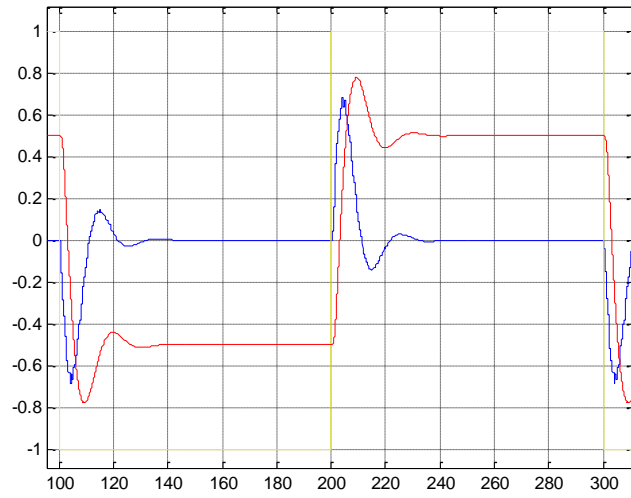


Fig. 5.7: Comportamento para média utilizando 20 amostras.

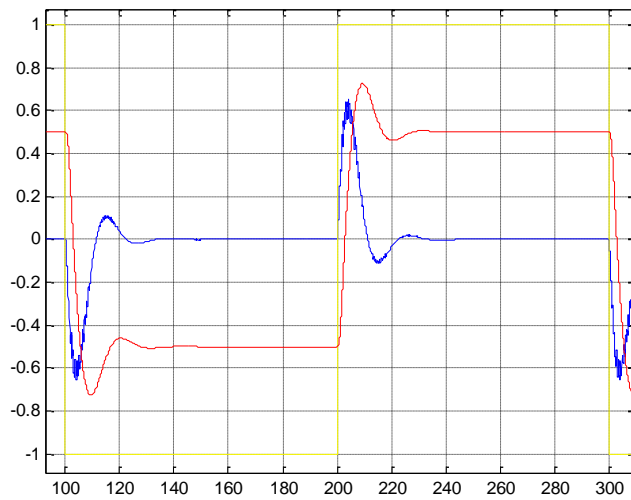


Fig. 5.8: Comportamento para média utilizando 5 amostras.

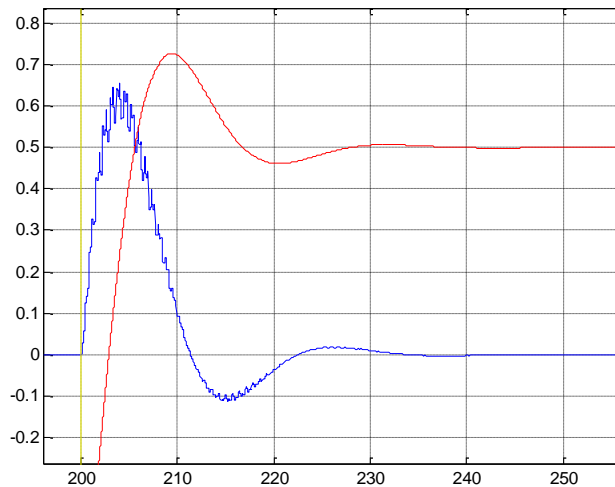


Fig. 5.9: Zoom: comportamento para média utilizando 5 amostras.

As Figuras 5.5, 5.6, 5.7, 5.8 e 5.9 mostram que, para a simulação, o número de amostras utilizadas pelo demodulador digital para o cálculo da média interfere na resposta transitória. Dessa forma, uma média com maior número de amostras aumenta o efeito da resposta transitória enquanto que a média com menor número de amostras diminui o efeito da resposta transitória. Por outro lado, quando se diminui muito o valor do número de amostras para cálculo da média começa-se a perceber o efeito do ruído que aparece nos valores dos erros identificados pelo demodulador digital (ver Fig. 5.9). Isto ocorre devido ao comportamento da malha fechada do sistema e, por consequência, devido à equação de modelo o servomecanismo, em relação a resposta do demodulador digital. Quanto menor o número de amostra mais rápida é a resposta do servomecanismo em relação a um erro identificado pelo demodulador digital, isso faz com que a resposta transitória se altere, melhorando-a para o sistema e para o equacionamento específico. É importante ressaltar que o resultado observado refere-se ao modelo implementado no simulador, não representando o sistema real.

No sistema real o que ocorre é que o comportamento do Sistema de Telemedidas Redundante vai depender da frequência de comunicação da placa de demodulação digital, enviando os valores dos erros angulares identificados, com a placa dos servomecanismos através do barramento CAN, ou da frequência de atualização dos valores da média calculadas, prevalecendo a menor frequência. Os testes associados ao comportamento da transitória, no

entanto, não foram realizados no sistema real, pois não houve a possibilidade, no escopo desta dissertação de mestrado, de testar o sistema completo em malha fechada.

Em seguida apresenta-se a importância do filtro digital para o demodulador. As figuras 5.14 a 5.15 apresentam as respostas do sistema com um filtro IIR passa-faixas com banda de 50 kHz. As Fig. 5.10 e 5.11 apresentam o comportamento do sistema quando não há o filtro passa-faixas. Percebe-se que o ruído torna inviável a resposta do demodulador digital e consequentemente a atuação dos servomecanismos.

Verifica-se também que a adoção de um filtro passa-faixas com a banda de 300 kHz é inviável para o sistema. As figuras 5.12 e 5.13 apresentam este resultado, onde, apesar de uma significativa melhora em relação a um sistema sem filtragem, a resposta ainda encontra-se com muito ruído. A solução utilizada corresponde ao filtro IIR passa-faixas com 50 kHz de banda.

Nas figuras 5.10 a 5.14, o sinal de entrada está em amarelo e equivale ao erro angular de entrada, enquanto que o sinal em análise está em azul e corresponde a legenda indicada na figura.

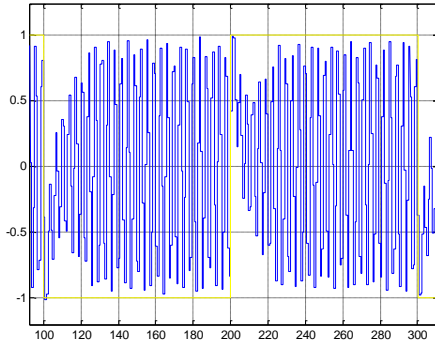


Fig. 5.10: Resposta do demodulador digital sem o filtro passa-faixa.

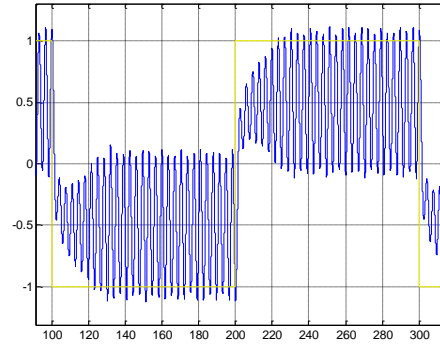


Fig. 5.11: Erro a ser corrigido pelo servomecanismo (sistema sem o filtro passa-faixa).

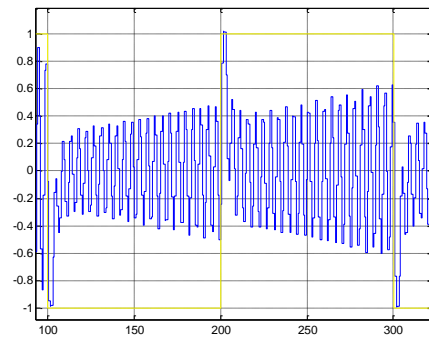


Fig. 5.12: Resposta do demodulador digital com um filtro passa-faixas de 300 kHz de banda.

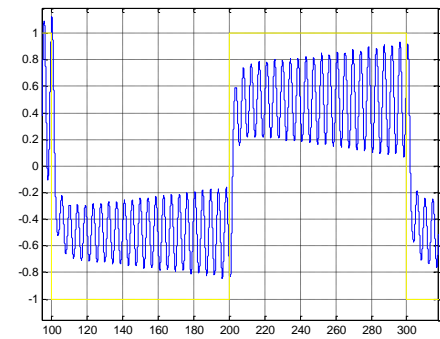


Fig. 5.13: Erro a ser corrigido pelo servomecanismo (filtro passa-faixa de 300 kHz de banda)

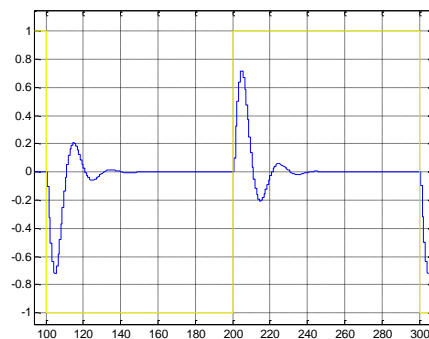


Fig. 5.14: Resposta do demodulador digital com um filtro passa-faixas de 50 kHz de banda.

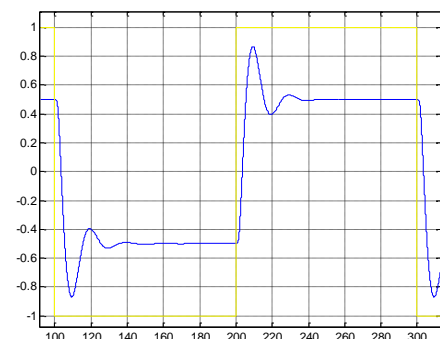


Fig. 5.15: Erro a ser corrigido pelo servomecanismo (filtro passa-faixa de 50 kHz de banda).

5.1 Integração e Medidas dos Filtros

Neste tópico abordam-se dois testes que completam os testes da placa de demodulação digital. O primeiro teste é realizado para verificar as funções (4), (5) e (6) do diagrama da Figura 4.4 e consiste na análise do comportamento do filtro IIR ou FIR implementado. Em caso dos blocos (5) e (6) funcionarem corretamente, estes permitirão verificar a resposta em magnitude do filtro implementado em (4). Caso contrário, haverá uma modificação que deformará a resposta do filtro. O segundo teste verifica o funcionamento da placa como um todo e permite, depois de validados os blocos (4), (5) e (6) da Figura 4.4, validar o bloco (7) e (8), perfazendo assim todas as funções do demodulador digital.

A integração do sistema foi realizada parcialmente e os testes realizados com a utilização da Placa Gerador de Teste e com os seguintes equipamentos:

- a) Osciloscópio de 350 MHz Agilent 54641A;
- b) Multímetro Fluke 111;
- c) Gerador de sinais HP;
- d) Laptop HP (1.6 GHz e 512 RAM);
- e) Quartus II Web Edition.

5.1.1 Filtros Digitais

Um aspecto importante é a análise do funcionamento do filtro IIR implementado. Este filtro foi desenvolvido em um FPGA *Cyclone II* da *Altera*, com o objetivo de eliminar os sinais na baixa frequência, em alta frequência, e permitir a passagem da FI de 10,7 MHz. Esta filtragem melhora a qualidade do sinal, o processo de demodulação e o alcance de detecção do sistema. Este aspecto é apresentado agora, lembrando que os testes dos filtros valida os blocos (4), (5) e (6) do diagrama da Figura 4.4.

Conforme apresentado no *Diagrama das funções principais da placa de Demodulação Digital* (Fig. 4.4), o filtro descrito neste capítulo é o Filtro Passa Faixa após a dizimação. O filtro desenvolvido é do tipo IIR (*Infinite Impuse Response*), Butterworth, taxa de amostragem 50 MHz, frequência intermediária de 10,7 MHz, faixa de passagem de 50 kHz, sendo modelado no *Matlab* – ferramenta *Digital Filter Design*. A implementação, compilação e gravação no FPGA foi realizada com o software *Quartus II – Web Edition* da *Altera*. Este

desenvolvimento buscou minimizar a diferença de quantização de forma a evitar distorções nos resultados, problema comum nos filtros IIR[26].

Em seguida, visando avaliar outras ferramentas, implementou-se um filtro através do programa de geração automática de filtros FIR da Altera. Essa ferramenta, como pode-se ver, tem sérias limitações, devido a restrições da quantidade de elementos lógicos, este programa sozinho, não é capaz de atender aos requisitos de projeto, apesar da praticidade.

Assim, devido aos limites dos recursos, optou-se por utilizar a estrutura IIR[26].

A título de desenvolvimento, implementaram-se dois filtros do tipo IIR com faixa de frequência de 100 kHz e 50 kHz, os quais encontram-se a seguir:

a) Filtro IIR Faixa 100 KHz

Os parâmetros do filtro IIR estão apresentados na tabela 5.1:

Tab. 5.1: Filtro IIR com faixa de frequência de 100 kHz.

Estrutura	Forma Direta I
Ordem	Segunda
Seções	1
Tipo	Passa Faixa – Butterworth
Frequência de Amostragem	50 MHz
Frequência de Corte 1	10,65 MHz
Frequência de Corte 1	10,75 MHz

O diagrama em blocos do filtro IIR está mostrado na Figura 5.16:

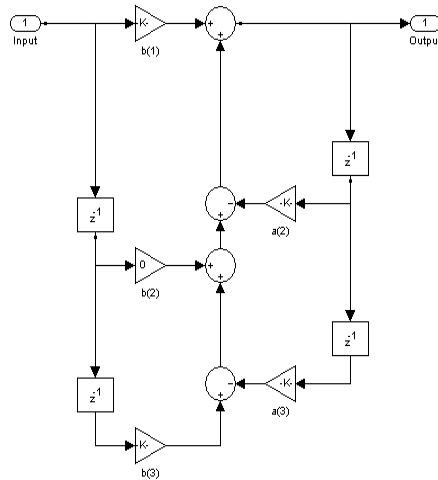


Fig. 5.16: Estrutura do filtro passa-faixa IIR.

Os coeficientes do filtro IIR estão mostrados na Tabela 5.2:

Tab. 5.2: Coeficientes do filtro IIR de 100 kHz de banda.

A(1)	1
A(2)	-0,44574961163199756
A(3)	0,9875119299073144
B(1)	0,0062440350463428126
B(2)	0
B(3)	-0,0062440350463428126

Os gráficos das respostas em frequência são apresentados a seguir. Nas Figuras 5.17 e 5.22 encontram-se os diagramas de polos e zeros para o filtro IIR de 100 KHz e 50 KHz de banda, respectivamente. Para o filtro IIR de 100 KHz de banda a Figuras 5.18 (zoom na Figura 5.19) apresenta a resposta em frequência simulada no Matlab, enquanto a Figura 5.21 apresenta o comportamento do filtro implementado em ensaios em Laboratório.

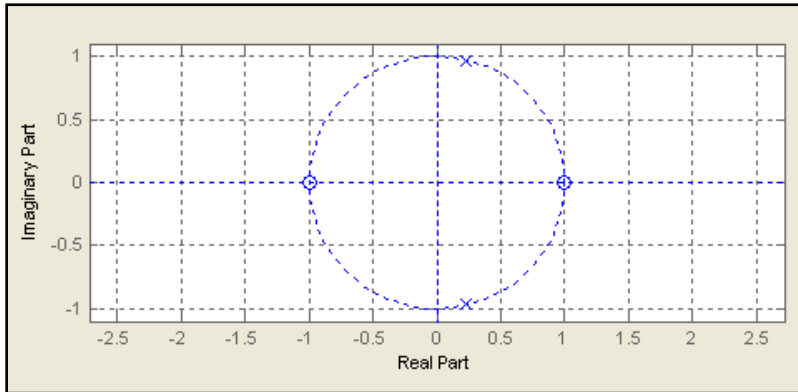


Fig. 5.17: Diagrama de polos e zeros do filtro IIR de 100 kHz de banda.

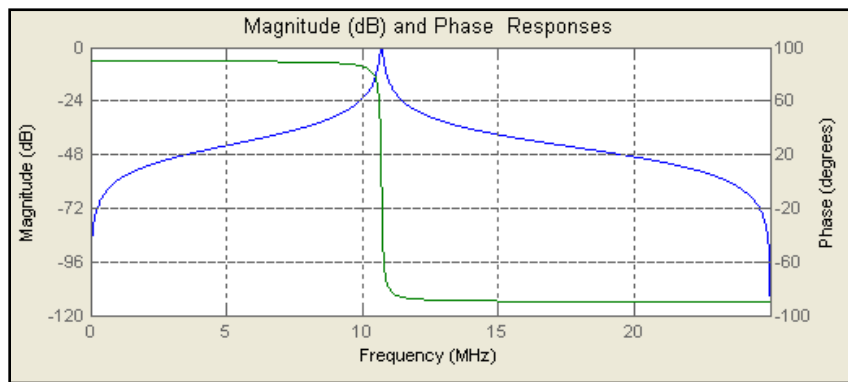


Fig. 5.18: Resposta em frequência: magnitude e fase do filtro IIR de 100 kHz de banda.

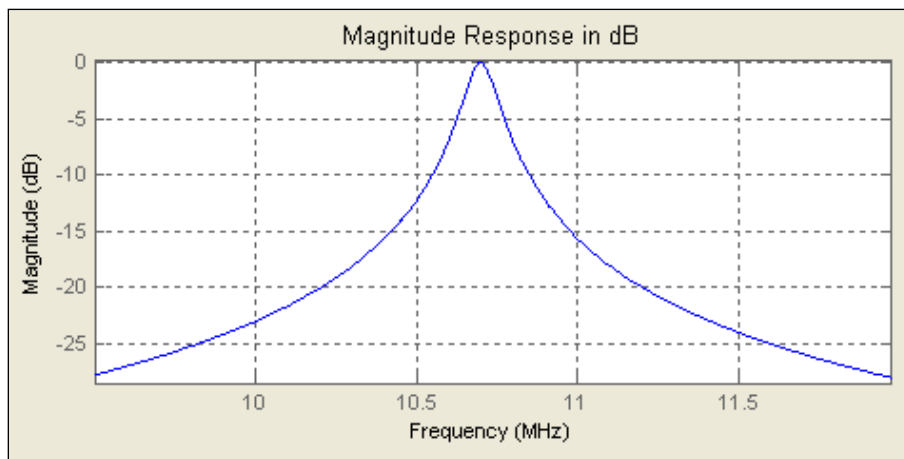


Fig. 5.19: Figura 5.18 ampliada.

Visando a implementação deste filtro IIR dentro do FPGA, mensurando os elementos lógicos disponíveis, optou-se pela padronização das operações discretas com as características mostradas na Tabela 5.3:

Tab. 5.3: Critérios para o código em FPGA do filtro IIR de 100 kHz de banda.

Ponto fixo	3.21
Entrada do Filtro	12 bits
Coefficientes	3 bits (significativo) 21 bits (fração)
Somadores	3 bits (significativo) 21 bits (fração)
Multiplicadores	24 x 24 bits
Processo de dizimação	100 MHz para 50 MHz

Nesta implementação utilizou-se a lógica de ponto fixo, pois em um dispositivo do tipo FPGA o desenvolvimento torna-se mais prático, não exigindo recursos computacionais excessivamente elaborados. A opção por ponto fixo 3.21 objetiva a economia de recursos e a otimização da precisão dos coeficientes e os resultados do processamento, contendo 3 bits inteiros e 21 bits fracionários.

Através desses critérios, obtiveram-se os seguintes coeficientes quantizados mostrados na Tabela 5.4 e Tabela 5.5:

Tab. 5.4: Planilha de representação em ponto fixo do filtro IIR de 100 kHz de banda.

Coefficiente	Ponto Flutuante	Ponto Fixo	Representação Ponto Fixo 3.21
A(1)	1	1	001.00000000000000000000
A(2)	-0,44574961163199756	-0,445749759674	111.100011011110001101011
A(3)	0,9875119299073144	9,87511634827E-01	000.111111001100110110010
B(1)	0,0062440350463428126	6,24418258667E-03	000.000000011001100100111
B(2)	0	0	000.00000000000000000000
B(3)	-0,0062440350463428126	-6,24418258667E-03	111.11111100110011011001

Tab. 5.5: Diferença de quantização ao transformar em ponto fixo 3.21: Filtro IIR 100 kHz de banda.

Coefficiente	Diferença de Quantização
A(1)	0
A(2)	1,48042075265E-07
A(3)	2,95080653800E-07
B(1)	1,47540327112E-07
B(2)	0
B(3)	1,47540327112E-07

A implementação da estrutura indicada na Fig. 5.16 seguiu os coeficientes da Tab. 5.4, sendo compilada no Cyclone II, conforme a Figura 5.20:

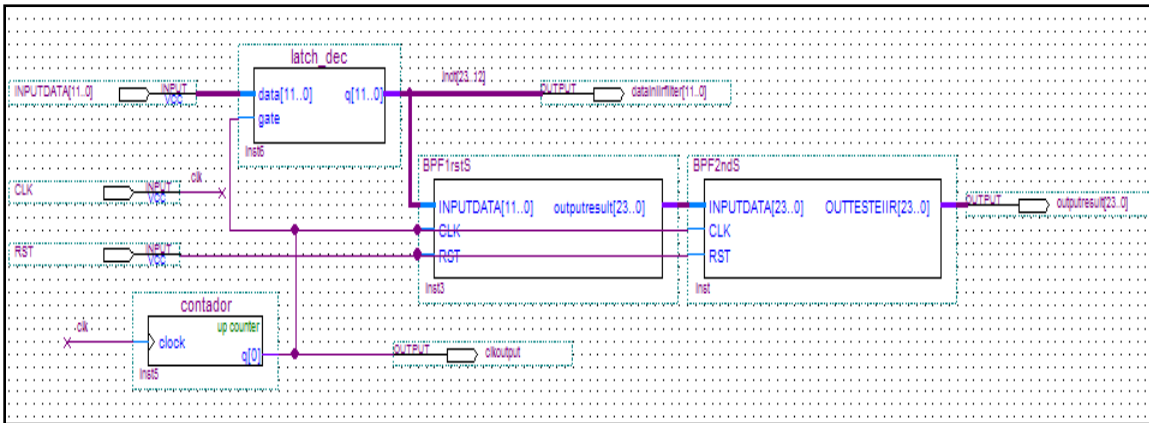


Fig. 5.20: Diagrama de blocos da função do filtro IIR de 100 kHz de banda.

Os totais de recursos utilizados no Cyclone II para o demodulador digital implementado com um filtro IIR, conforme mostrado acima, estão apresentados na Tabela 5.6:

Tab. 5.6: Total dos recursos utilizados na placa demodulador digital com um filtro IIR com 100 kHz de banda em FPGA Cyclone II.

Total de elementos lógicos	6.381/8.256 (77%)
Total de registradores	1.814
Total de pinos utilizados	100/138 (72%)
Total de bits de memória	0/165.888 (0%)
Elementos multiplicadores de 9 bits	28/36 (78%)
PLLs	1/2 (50%)

Os resultados das implementações são apresentados a seguir:

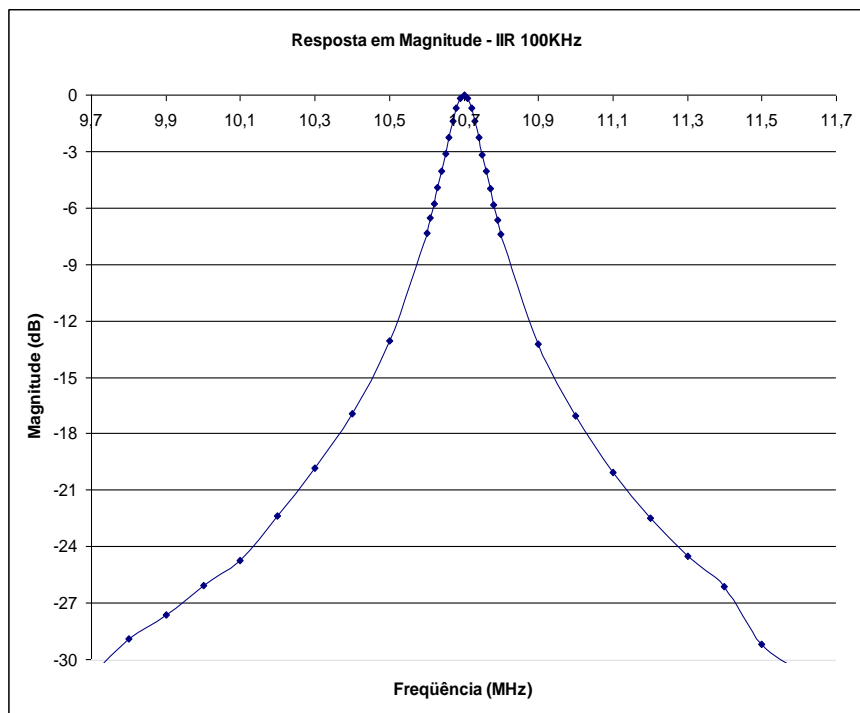


Fig. 5.21: *Ensaio em Laboratório*. Resposta em magnitude para o filtro passa-faixa IIR de 100 kHz de banda em torno de 10,7 MHz.

b) Filtro IIR Faixa 50 kHz

Um segundo teste de implementação do filtro IIR foi realizado com a faixa de passagem do filtro de 50 kHz. Esta modificação permite melhorar ainda mais o fator sinal/ruído do sistema. Para este teste utilizou-se a estrutura apresentada na Figura 5.16 com os parâmetros apresentados nas Tabelas 5.7 e 5.8.

A Figura 5.22 apresenta o diagrama de polos e zeros para o filtro IIR de 50 KHz de banda. Para este filtro a Figuras 5.23 (zoom na Figura 5.24) apresenta a resposta em frequência simulada no Matlab, enquanto a Figura 5.25 apresenta o comportamento do filtro implementado em ensaios em Laboratório.

Tab. 5.7: Filtro IIR com faixa de frequência de 50 kHz.

Estrutura	Forma Direta I
Ordem	Segunda
Seções	1
Tipo	Passa Faixa – Butterworth
Frequência de Amostragem	50 MHz
Frequência de Corte 1	10,675 MHz
Frequência de Corte 1	10,725 MHz

Tab. 5.8: Coeficientes do filtro IIR passa-faixa 50 kHz de banda.

A(1)	1
A(2)	-0,44713900214588942
A(3)	0,99373647154161449
B(1)	0,0031317642291926102
B(2)	0
B(3)	-0,0031317642291926102

Os gráficos das respostas em frequência são apresentados a seguir:

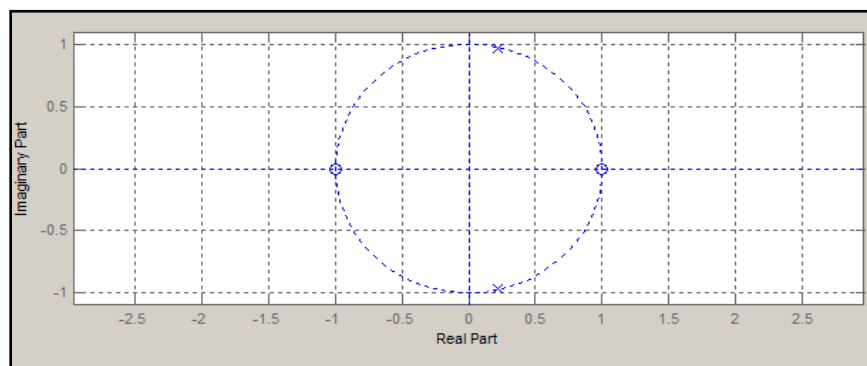


Fig. 5.22: Diagrama de polos e zeros do filtro IIR de 50 kHz de banda.

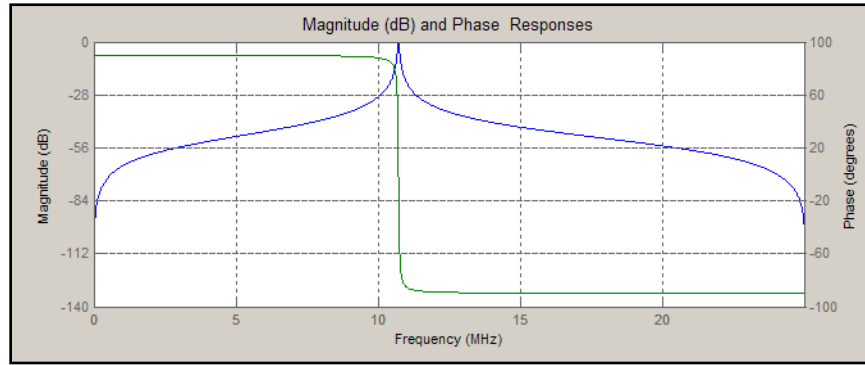


Fig. 5.23: Resposta em frequência: magnitude e fase do filtro IIR 50 kHz de banda.

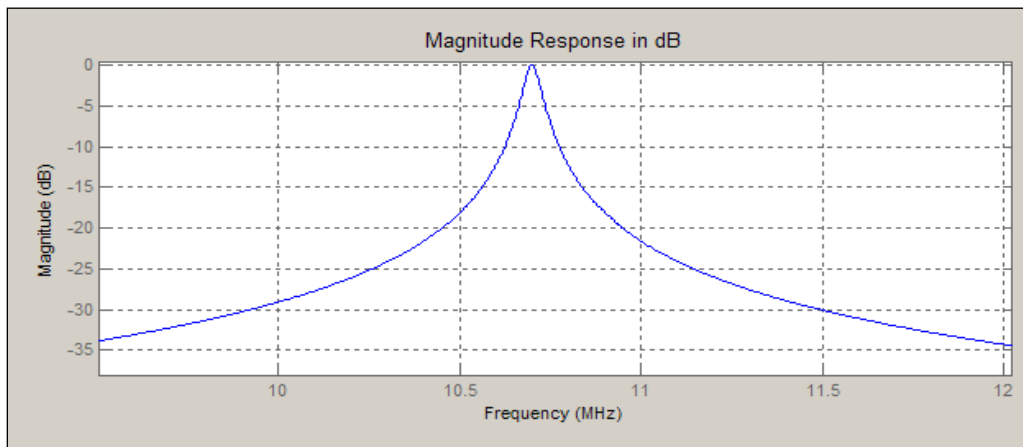


Fig. 5.24: Fig. 5.22 ampliada.

Os parâmetros do segundo filtro IIR são apresentados a seguir:

Tab. 5.9: Planilha da representação em ponto fixo do filtro IIR de 50 kHz de banda.

Coefficiente	Ponto Flutuante	Ponto Fixo	Representação Ponto Fixo 3.21
A(1)	1	1	001.00000000000000000000
A(2)	-0,44713900214588942	-0,447139263153076	111.100011011000100001001
A(3)	0,99373647154161449	0,993736267089843	000.111111100110010110000
B(1)	0,0031317642291926102	3,13186645508E-03	000.000000001100110101000
B(2)	0	0	000.000000000000000000000
B(3)	-0,0031317642291926102	-3,13186645508E-03	111.111111110011001011000

Tab. 5.10: Diferença de quantização ao transformar em ponto fixo 3.2: filtro IIR 50 kHz de banda.

Coefficiente	Diferença de Quantização
A(1)	0
A(2)	2,6100718658E-07
A(3)	2,95080653800E-07
B(1)	-1,02225885515E-07
B(2)	0
B(3)	1,02225885515E-07

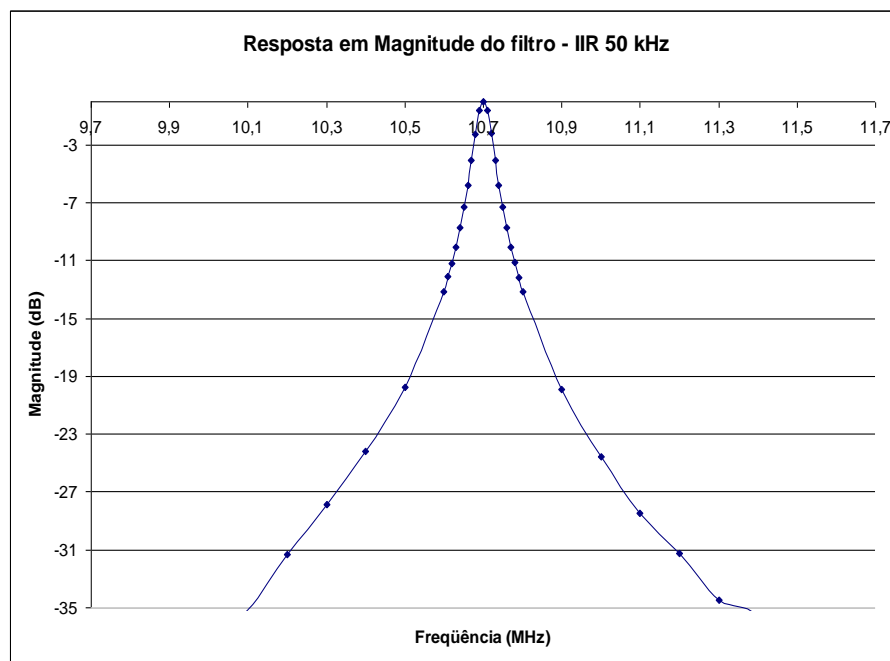


Fig. 5.25: *Ensaio em Laboratório*. Resposta em magnitude para o filtro passa-faixa IIR de 50 kHz de banda em torno de 10,7 MHz.

Ambos os filtros apresentam o comportamento esperado após a implantação definitiva no FPGA. Observa-se que a manutenção da estrutura do filtro IIR, com uma modificação nos coeficientes é o suficiente para alterar o comportamento de forma significativa, acarretando em uma melhoria de 50 kHz na faixa de passagem.

c) Teste da ferramenta IP-Core de geração de Filtro FIR Faixa

Neste item apresenta-se um teste com a ferramenta de geração automática de códigos de VHDL de FPGA, conhecida como *IP Core*. Essa ferramenta gera o código de filtros FIR a

partir de um conjunto de parâmetros de entrada. No entanto, apesar da praticidade, a ferramenta citada não é própria à nossa aplicação, pois não obteve os requisitos de filtragem exigidos dentro do número de recursos lógicos disponíveis.

Seguem abaixo os detalhes:

Tab. 5.11: Filtro FIR com faixa de frequência de 100 kHz. Parâmetros de entrada do IP Core.

Estrutura	FIR
Coefficientes	72
Tipo	Passa faixa – janela retangular
Frequência de amostragem	100 MHz
Frequência de corte 1	10,65 MHz
Frequência de corte 2	10,75 MHz

Abaixo segue a Figura 5.26 que apresenta a tela de configuração da ferramenta IP-Core.

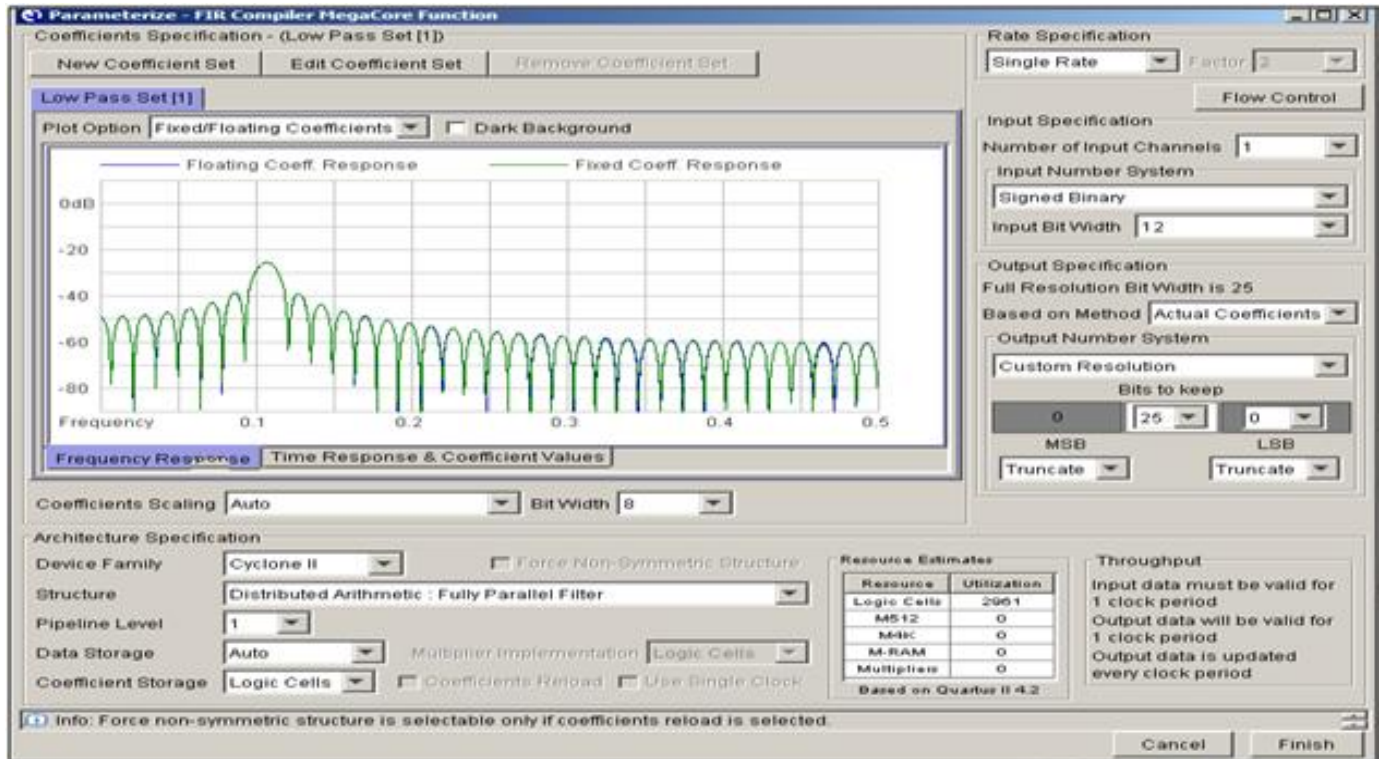


Fig. 5.26: IP Core. Resposta em frequência do filtro FIR.

Tab. 5.12: Total dos recursos utilizados na placa demodulador digital com um filtro FIR com 100 kHz de banda em FPGA Cyclone II.

Total de elementos lógicos	7.764/8.256 (77%)
Total de registradores	2.508 /1.814* (138%)
Total de pinos utilizados	100/138 (72%)
Total de bits de memória	0/165.888 (0%)
Elementos multiplicadores de 9 bits	36/36 (100%)
PLLs	1/2 (50%)

* Número de registradores utilizados nas implementações IIR.

Observa-se através da Tab. 5.12 que há um aumento de 694 registradores utilizados tendo como referência as implementações em IIR. Visando finalizar o teste, foram otimizados os códigos auxiliares de desenvolvimento, obtendo, em uma segunda implementação, a quantidade de 1.748 registradores.

A partir de ensaios em laboratórios chegou-se ao seguinte gráfico:

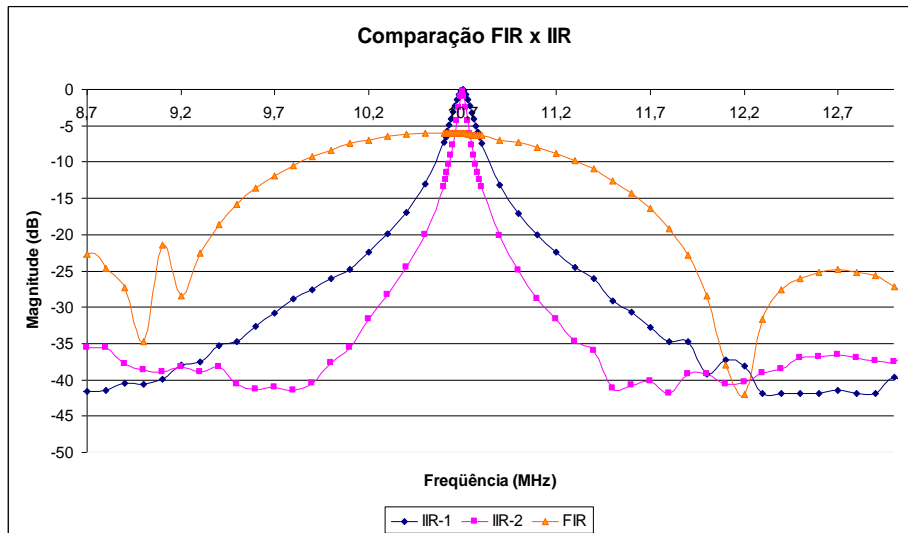


Fig. 5.27: Comparação entre os filtros IIR-1 (100 kHz de banda), IIR-2 (50kHz de banda) e FIR.

Enquanto o filtro IIR (50 kHz de banda) apresenta uma resposta adequada à aplicação, o filtro FIR, *criado a partir da ferramenta IP Core*, não atendeu os limites do projeto, o que nos leva a concluir que a utilização de uma implementação mais elaborada em FIR pode ser custosa na otimização de recursos e tempo de desenvolvimento. O que se busca mostrar não é

uma comparação de um filtro FIR com uma implementação IIR, mas a inviabilidade para esta dissertação da utilização da ferramenta de geração automática de filtros FIR IP-Core dado que, teoricamente, é possível fazer uma filtragem FIR eficiente com coeficientes otimizados de forma a atender os requisitos do projeto.

Analisou-se nas implementações as características dos filtros IIR e FIR. Nos filtros IIR conclui-se que as principais dificuldades estavam relacionadas ao efeito de quantização e ao número de multiplicadores disponíveis para atingir a ordem correta. Nos filtros FIR, encontrou-se as limitações de registradores. Em um e em outro a fase pode ser desconsiderada, apesar do comportamento linear em FIR e não linear em IIR, porque, em ambos os casos, não alteram a informação principal do sinal em tratamento.

Optou-se, então, pelo filtro *Infinite Impulse Response*. Este filtro gerado a partir das especificações iniciais apresenta melhor característica de faixa de passagem (50 kHz), maximiza o fator sinal/ruído, e economiza os recursos disponíveis no projeto.

5.1.2 Testes de Integração

O segundo teste envolveu a integração com o sistema. Uma vez verificado o correto funcionamento dos blocos (4), (5) e (6) do diagrama da Figura 4.4, este teste valida a placa como um todo em suas funções secundárias e principais e permite validar o demultiplexador e o microcontrolador (na sua função de cálculo do erro), ambos representados na Figura 4.4 pelos blocos (7) e (8), respectivamente,

O setup do sistema utilizou a Interface Diálogo, o Receptor RRT2223 e a Interface Homem-Máquina. Os testes consistem na medição da eficiência do filtro e na validação do teste de integração do demodulador digital com o sistema.

Observa-se na Fig. 5.28, que para um dado valor na placa Gerador de Teste a placa demodulador digital responde corretamente fornecendo à Interface Diálogo, e conseqüentemente a todo sistema, os valores corretos em graus. A Fig. 5.29 apresenta os valores esperados dos erros em azimute e elevação no eixo do tempo.



Fig. 5.28: Foto: *Omnisys Engenharia*. Scope do Radar de Telemidas Redundante indicando o desvio em azimute e elevação.

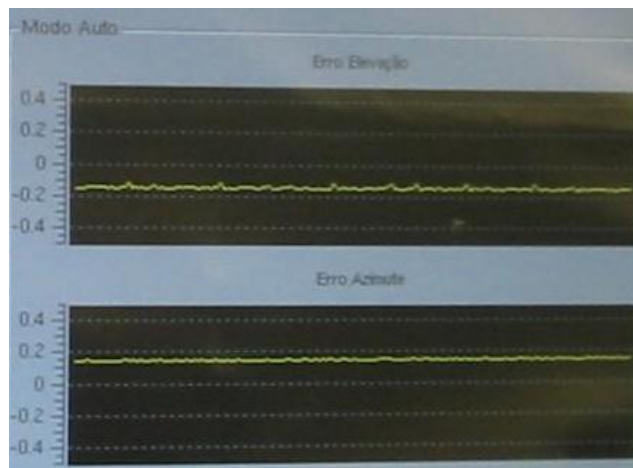


Fig. 5.29: Foto: *Omnisys Engenharia*. Scope do Radar de Telemidas Redundante indicando os erros em elevação (gráfico superior) e em azimute (gráfico inferior) no tempo.

A Tabela 5.13 apresenta a tabela de erros dos dados medidos em azimute e elevação. Percebe-se que há um desvio do erro medido no “Teste Azimute 2”, onde foi apresentado um erro no valor de $0,14^\circ$. Julgamos que este erro seja associado a imprecisão computacional que deve estar arredondando um valor muito próximo de $0,15^\circ$ (por exemplo, $0,1499^\circ$) para $0,14^\circ$, pois a Figura 5.29 indica um valor muito próximo de $0,15^\circ$ para o valor em azimute.

Tab. 5.13: Tabela de erros em Azimute e Elevação.

	Erro Esperado	Erro Medido
Teste Azimute 1	0°	0°
Teste Elevação 1	0°	0°
Teste Azimute 2	0,15°	0,14°
Teste Elevação 2	0,15°	0,15°

5.2 Resultado final

Neste tópico é apresentado o resultado final do projeto juntamente com alguns comentários gerais julgados pertinentes.

Obteve-se ao fim do projeto uma placa de circuito impresso montada e pronta para a integração com o sistema de telemedidas redundante. A placa sofreu alguns retrabalhos como a necessidade de inserir alguns capacitores e indutores para melhor condicionamento dos sinais, substituição de resistores, realocação de trilhas, e reposicionamento de componentes. No entanto, estes retrabalhos não foram tantos ao ponto de exigir a confecção de um novo layout.

Compete apresentar alguns cuidados no processo da elaboração da estrutura de roteamento de sinais e disposição dos componentes: a interferência eletromagnética e defasagem dos sinais, principalmente aqueles associados aos sinais de sincronismo. Conhecendo a existências desses problemas decidiu-se posicionar os cristais osciladores próximos ao micro-controlador e ao FPGA, fornecer uma blindagem eletromagnética para os sinais de FI e um plano de terra nas proximidades destes sinais.

A Fig. 5.30 e Fig. 5.31 apresentam as superfícies da placa:

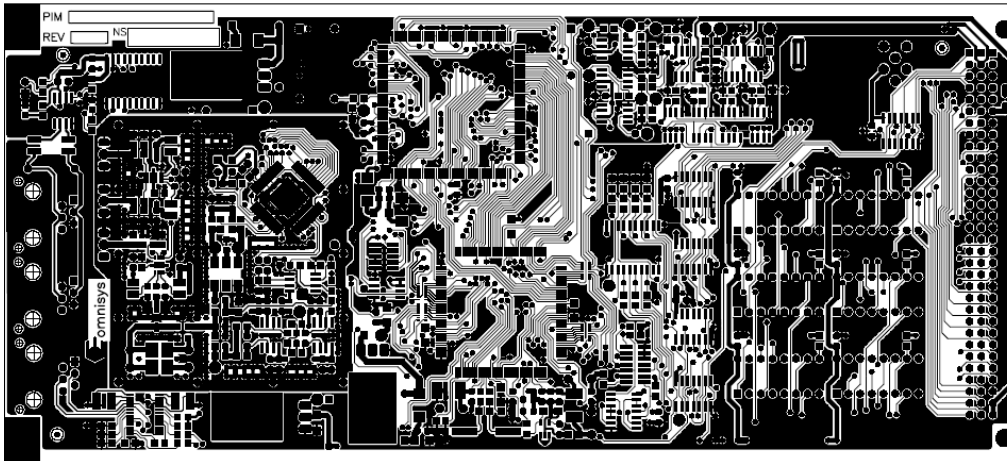


Fig. 5.30: Superfície superior da placa de demodulação digital.

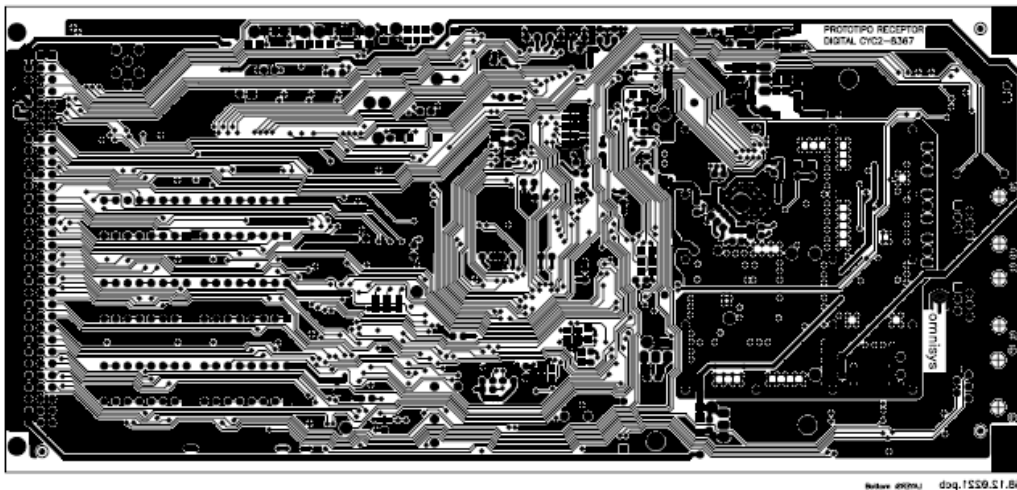


Fig. 5.31: Superfície inferior da placa de demodulação digital.

Através das figuras 5.30, 5.31, 5.32, 5.33, 5.34 e 5.35 podem-se identificar as principais áreas das funções de tratamento dos sinais e de processamento. Da esquerda para a direita, na Fig. 5.30, na camada superior encontram-se os principais componentes e os setores que devem ser cercados com uma blindagem eletromagnética (Figura 5.32 e 5.33). Os componentes de processamento (FPGA e microcontrolador) localizam-se na região central da placa, sendo indicada na Figura 5.34. Os conversores DA, os amplificadores de entrada e os *drivers* de entrada e saída localizam-se na parte direita da placa (vista superior) e é indicado na Figura 5.35. Já na camada inferior encontram-se algumas trilhas, componentes passivos e os planos de terra. As camadas intermediárias servem apenas para o roteamento desses sinais.

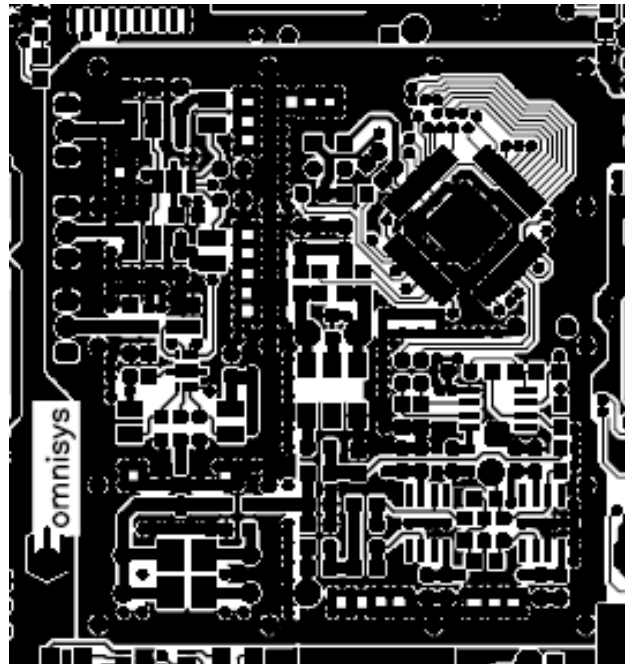


Fig. 5.32: Superfície superior da placa de demodulação digital. Area do circuito de amostragem.

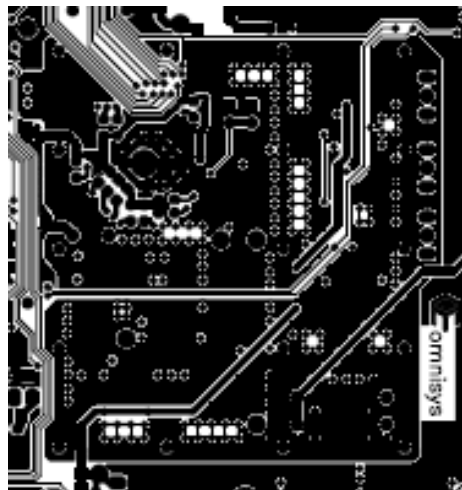


Fig. 5.33: Superfície inferior da placa de demodulação digital. Area do circuito de amostragem.

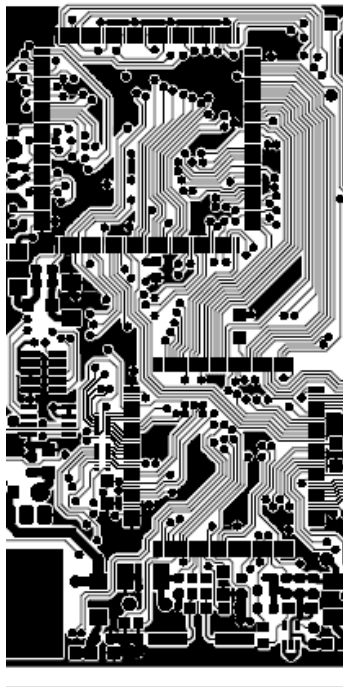


Fig. 5.34: Superfície superior da placa de demodulação digital. Area do circuito de processamento.

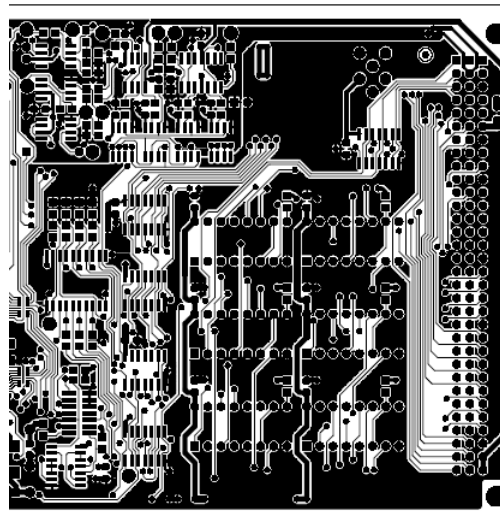


Fig. 5.35: Superfície superior da placa de demodulação digital. Area do circuito de DAC e dos *drivers* de entrada e saída.

A Fig. 5.36 apresenta a placa de Demodulação Digital com os componentes montados, em fase de verificação. Percebe-se o FPGA no centro superior da placa, com o micro-

controlador logo abaixo. No lado esquerdo da placa estão os componentes para condicionamento de sinais (circuito de amostragem e filtro *anti-aliasing*), e no lado direito os conversores analógico-digitais e digital-analógicos, em conjunto com os *buffers* e *drivers* de saída.

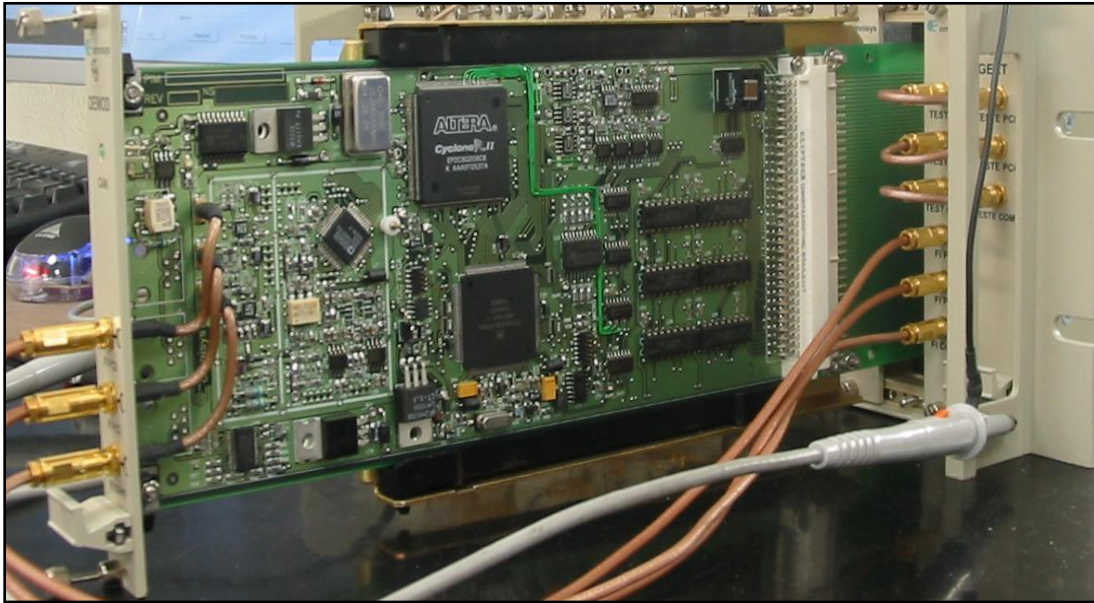


Fig. 5.36: Foto: *Omnisys Engenharia*. Placa de Demodulação Digital em testes de validação.

A Fig. 5.34 ilustra o resultado final do projeto descrito nesta dissertação. A placa foi fabricada e montada pela *Omnisys Engenharia*

5.3 Conclusão do Capítulo

Este capítulo apresentou o ambiente de simulação e os testes práticos obtidos. O ambiente de simulação, implementando um sistema de servomecanismo genérico, mostrou-se adequado para apresentar o funcionamento geral da função de rastreamento de um sistema de telemédidas. Pode-se através desse ambiente analisar diversos parâmetros do demodulador digital, entre eles a velocidade de alimentação dos servomecanismos através de número de amostras distintos para o cálculo das médias e os diversos comportamentos com filtros IIR diferenciados.

Em seguida, apresentou-se um conjunto de testes que visava validar os blocos (4), (5), (6), (7) e (8) do diagrama da Figura 4.4. O primeiro dos testes validou os blocos (4), (5) e (6), e consistiu na análise da resposta dos filtros implementados. Os blocos (7) e (8) da Figura 4.4 foram validados no teste de integração parcial do sistema de telemédidas. Como resultado do

teste funcional do sistema obteve-se a tabela 5.13, com indicativo dos erros esperados e dos erros medidos.

Por fim, foi apresentado alguns aspectos gerais do layout, indicando as principais áreas e os respectivos componentes, sendo apresentado também a placa de demodulação digital montada em bancada de testes.

Este capítulo tratou dos testes realizados com o ambiente de simulação e com o demodulador digital. O próximo capítulo tece as conclusões associadas a este trabalho.

Conclusões

Os testes realizados em fábrica (Omnisys Engenharia e na Unicamp) demonstraram a eficácia da placa desenvolvida, passando por todos os requisitos de integração com a Gaveta do Receptor (RT2223). Desta forma, o demodulador digital apresentou resultados adequados em tempo de resposta ao sistema (através do barramento CAN), exercício das funções secundárias (monitoração, ajustes e programação de entidades do receptor) e determinação valores esperados visando à correção da antena no movimento de alinhamento com o alvo. Foram atingidos os requisitos de temperatura e consumo da placa ($\approx 1A$) e as correções na placa associadas à montagem ou às trilhas dos circuitos impresso foram mínimas, diminuindo os gastos com os componentes eletrônicos e horas de engenharia.

Utilizou-se uma superamostragem seguida de uma dizimação para simplificar o projeto do filtro analógico *anti-aliasing*. Enquanto o filtro analógico *anti-aliasing* simples diminui o ruído fora da banda de passagem de forma proporcional ao aumento da frequência sem prejudicar o sinal, a dizimação emula um filtro digital passa baixa equivalente com a frequência de corte determinada pela frequência de Nyquist relacionada à nova taxa de amostragem ($f_d = 50 \text{ MHz} \rightarrow f_c = 25 \text{ MHz}$)[26].

O ambiente de simulação para telemedidas que foi desenvolvido com este trabalho utiliza a técnica de processamento de rastreamento monopulso de um canal. Este ambiente mostrou-se versátil, onde a sua utilização pode se dar de uma forma prática, alterando os parâmetros dos blocos que compõem e verificando as respostas. Pode-se observar através dos testes que um filtro de banda estreita é imprescindível para o correto funcionamento do demodulador digital, e que o número de amostras para o cálculo da média pode interferir na resposta transitória do sistema.

Outro aspecto estudado foi a utilização de ferramentas de construção de filtros digitais em código para FPGA. A utilização da ferramenta *IP Core* pode apresentar duas características de implementação de filtros FIR pertinentes para o caso particular:

- 1) Ferramentas instantâneas de criação de filtros em códigos de FPGA podem ser práticas mas não otimizam os recursos, podendo não atingir os requisitos de projeto;

- 2) Para um FPGA *Cyclone II* de 8.256 elementos lógicos, um filtro FIR com os requisitos do projeto utiliza excesso de registradores, comprometendo o desenvolvimento integral da placa.

Apesar dos experimentos com o filtro FIR limitarem-se aos ensaios com esta ferramenta (*IP Core*), optou-se por não dedicar muito tempo visando uma solução em filtros FIR – ou uma busca por esforços maiores em otimização de coeficientes –, pelo fato de se ter obtido excelentes resultados com as implementações IIR.

Através de uma análise gradual apresentaram-se as arquiteturas dos radares, em nível sistêmico, e em seguida, aprofundando as características pontuais dos sub-sistemas, ressaltaram-se as diferenças, ao exemplo do receptor, essenciais entre os modos de resolução do problema do rastreamento (ver Cap. 3). Essas determinações iniciais definiram na descrição seguinte (ver Cap. 4) a arquitetura utilizada no ente que materializa esta dissertação: o demodulador digital.

Durante as explicações apresentou-se os principais diferenciais e as problemáticas relacionadas com as diversas tecnologias. Cita-se os casos da opção pelo *monopulso de único canal*, a exclusão dos FPGA's de encapsulamento e blindagens inadequadas aos recursos disponíveis de projeto e a adoção do *Cyclone II EP2C8Q208-C7*, configurando-se em uma economia e cumprimento dos requisitos. Essa escolha apresentou-se congruente com as funcionalidades previstas através de uma arquitetura na qual um FPGA é utilizado para interfaces mais dinâmicas, exigindo velocidade e exatidão de processamento, seguida por um microcontrolador com memória o suficiente para registrar os valores processados, ajustá-los e enviar estes para o restante do sistema.

Todos os componentes selecionados apresentaram os comportamentos previstos. Alertando que os problemas eletromagnéticos foram minimizados a partir de predefinições de projeto, por exemplo: plano de terra sob os setores de amostragem dos sinais em FI; ou os resultados da utilização do conjunto mini-trafo e circuito de *sampling*, que, junto ao filtro *anti-aliasing*, apresentaram um resultado excelente, perceptível nos testes de bancada e nos resultados finais de integração com o sistema da Gaveta RT2223.

As melhorias que podem ser implementadas neste trabalho, além dos retrabalhos necessários, seriam, basicamente, a substituição dos CIs SN75114N utilizando encapsulamento SMD ao invés de DIP e a substituição do CI do Cyclone II por um equivalente em BGA. Este processo encareceria, porém, o projeto onde um novo layout deve ser feito. Em relação ao código

de VHDL poderia ser implementado um conjunto de coeficientes para o filtro IIR passa-faixa que determinasse bandas de passagens diferenciadas visando obter análise de desempenho. Para isso seria necessário criar mais sinais de controle provenientes do operador do sistema e que, uma vez identificada no FPGA, provocasse o chaveamento dos coeficientes.

A continuidade deste trabalho levaria necessariamente a duas propostas: primeiro a implementação de novas funções realizadas por outras placas no FPGA; segundo a realização da função de demodulação digital dos sinais PCM/FM;

A primeira proposta necessitaria de um FPGA com mais recursos, e pequenas alterações na placa. Sugere-se, neste caso, um FPGA do tipo Stratix, ou equivalente da Xilinx, com a utilização de alguns componentes externos. Neste sentido pode-se tentar internalizar o circuito de controle automático de frequência onde algumas de suas funções seriam realizadas pelo FPGA. Entre estas funções estariam as de filtragem em torno de 10,7MHz para geração do sinal de fechamento da malha do CAF, mantendo o VCO e o VCXO próximos ao FPGA. Com isso eliminar-se-ia uma placa com a necessidade de aumento da placa de demodulação digital. Este aumento, no entanto, pode representar um problema em nível de concepção do sistema como um todo tendo, por exemplo, impacto no tamanho da gaveta e tipo de conector para barramento utilizado.

Com esta modificação seria necessário implementar dois filtros passa-faixa com largura de banda dependente de configuração do sistema ou de configuração do operador. Depois desses filtros determinam-se níveis de tensões equivalentes para cada saída dos filtros e com isso obtém-se um valor de ajuste para o VCO/VCXO. Estas funções seriam implementadas no FPGA e, portanto, os parâmetros envolvidos no processo do controle automático de frequência poderiam ser monitorados pelo microcontrolador através de interfaces específicas (GPIO ou SPI).

A segunda implementação seria a demodulação PCM/FM. Após o desenvolvimento do demodulador digital conclui-se que para implementar tal função seria necessário um FPGA com mais recursos. Estima-se que um Stratix seria capaz de efetuar tal operação. Neste caso seriam utilizadas duas placas semelhantes no sistema: a placa demodulador digital para identificação de desvio (com Cyclone II), e mais uma placa de demodulação digital PCM/FM (com Stratix). Esta segunda placa seguiria a mesma arquitetura da primeira, utilizando o mesmo sistema de amostragem e os mesmos protocolos de comunicação com o microcontrolador. A diferença seria que a implementação necessária visaria um demodulação FM, que consiste em um

diferenciador seguido de um identificador de envoltória[27]. Haveria também a necessidade de um circuito lógico para efetuar o sincronismo das informações PCM para em seguida a sua decodificação. A interpretação das informações PCM provenientes do artefato espacial poderia ser decodificada no próprio microcontrolador.

No entanto, a solução acima proposta exigiria acesso à documentação técnica específica do radar de Telemidas e do protocolo de comunicação utilizado pelo artefato espacial. Conquanto, parece que a solução não exigiria um canal com os sinais sigma menos delta e sigma mais delta comutados no tempo, sendo necessário para o processamento, a princípio, apenas o canal sigma. Neste caso utilizaria a informação do CAG identificada pela placa demodulador digital e a partir dessa informação (compartilhada via barramento CAN) se escolheria se o canal utilizado seria o sigma PCD, PCE ou COMBINADO. Esta análise carece, no entanto, de confirmação com a documentação técnica do radar de Telemidas original.

No caso de se utilizar a solução proposta para a demodulação PCM/FM algumas modificações deverão ser feitas a nível sistêmico. Por exemplo, a adição de mais dois canais do sinal sigma para entradas de condicionamento do receptor de telemidas provenientes do alimentador; a adição de circuito de combinação PCE+PCD para geração do sinal sigma combinado. Isso pode implicar em aumento de circuitos dedicados para tais funções além daquelas já existentes.

Em suma, qualquer uma das propostas seria viável, devendo-se, entretanto, observar essas modificações no sistema como um todo.

Referências Bibliográficas

- [1] RICHARD CURRY, G. **Radar System Performance Modeling**. London: Artech House Publishers, 2000.
- [2] LOTHES, R. N., SZYMANSKI, M. B., WILEY, R. G. **Radar Vulnerability to Jamming**. London: Artech House Publisher, 1990.
- [3] HOBBSAWN, E. **Era dos Extremos: O breve século XX 1914 – 1991**. Companhia das Letras, 2007.
- [4] SEDRA, A. S., SMITH, K. C. **Microeletrônica**. (4º Ed.) São Paulo, Makron Books, 2000. Apêndice A: Tecnologia de Fabricação de Circuitos Integrados, p.1155. *Ver processos VLSI*.
- [5] SOBRE A OMNISYS Omnisys e suas áreas de atuação. In: Omnisys. 2008. Disponível em: <http://www.omnisys.com.br/>. Acesso: 07 de Dezembro de 2008.
- [6] World Leader in Mission-critical information systems. THALES. In: THALES – ABOUT US. AT A GLANCE. 2008. Disponível em: <http://www.thalesgroup.com/About-us.html>. Acesso: 07 de Dezembro 2008.
- [7] PENTEK Setting the Standard for Digital Signal Processing. In: PENTEK Setting the Standard for Digital Signal Processing. 2008. Disponível em: <http://www.pentek.com/index.cfm>. Acesso: 07 de Dezembro de 2008.
- [8] RAYTHEON Customer Success Is Our Mission. In: Raytheon. Disponível em: <http://www.raytheon.com/>. Acesso: 07 de Dezembro de 2008.
- [9] ORBISAT Institucional; etc. In: Sobre a Orbisat. Disponível em: http://www.orbisat.com.br/novo/pages/institucional_sobre.php. Acesso: 06 de fevereiro de 2010.
- [10] ATMOS Destaques: Radar Móvel Dupla-Polarização; Radares Meteorológicos; etc.. In: Atmos. Disponível em: <http://www.atmosradar.com.br/site/home/index.php>. Acesso: 07 de Dezembro de 2008.
- [11] ATECH Tecnologias Críticas. In: Atech. Disponível em: <http://www2.atech.br/home.atech>. Acesso: 07 de Dezembro de 2008.
- [12] OMNISYS Processador de Telemetria Digital. In: Omnisys – Produtos - Trajetografia - Processador de Telemetria Digital. Disponível em: <http://www.omnisys.com.br/pdf/PROCESSADOR%20DE%20TELEMETRIA%20DIGITAL.pdf>. Acesso: 07 de Dezembro de 2008.

- [13] *Source: IEEE Standard for Letter Designations for Radar-Frequency Bands*, New York: The Institute of Electrical and Electronic Engineers, Inc., January 8, 2003. In: RICHARD CURRY, G. **Radar System Performance Modeling**. London: Artech House Publishers, 2005. Chap.2, p.14, *Table 2.1*.
- [14] RONDANI, B., POMILIO, J. A. Dissertação: **Projeto, desenvolvimento e construção de um modulador de pulso estado-sólido para transmissores pulsados de alta potência**. Faculdade de Engenharia Elétrica e Computação, UNICAMP, 2005
- [15] OMNISYS ENGENHARIA. **Projeto Detalhado – Implantação de Estação de Telemidas Redundante - CLA**. 2006. Ref.: 95.24.0014 doc 352.
- [16] BARTON, D.K., LEONOV, S. A. **Radar Technology Encyclopedia (Electronic Edition)**. Artech House, Boston-London.
- [17] Z. Yan, B. Wen, C. Wang, C. Zhang, “**Design and FPGA implementation of digital pulse compression for chirp radar based on CORDIC**”, *IEICE Electronics Express*, Vol.6, No.11, 2009.
- [18] Y. Yang, Member, IEEE, A. E. Fathy, Fellow IEEE, “**Development and Implementation of a Real-Time See-Through-Wall Radar System Based on FPGA**”, *IEEE Transactions on Geoscience and Remote Sensing*, Vol.47, No.5, May 2009.
- [19] Y. Lu, E. Oruklu, J. Saniie, “**Fast Chirplet Transform With FPGA-Based Implementation**”, *IEEE Signal Processing Letters*, Vol. 15, 2008.
- [20] X. Yizhuang, L. Teng, “**Implementation of Spaceborne SAR Imaging Processor Based On FPGA**”, *ICSP2008 Proceedings*.
- [21] J. Kim, H. Jung, B-G. Kim, “**Design and Implementation of KSLV-I Telemetry System with MIL-STD-1553B**”, *IEEEAC paper #1028*, Version 3, Updated December 1, 2004.
- [22] Y. Lan , W. Souyoung, S. Cailang, “**A high Speed Radar Data Acquisition and Processing System**”, *Proceedings of ICSP’ 1996*.
- [23] Y. Lan, Y. Zhaoming, J. Jing, Z. Delin, T. Changwen, “**A High-speed Multi-Channel Data Acquisition and Processing System for Coherent Radar**”, *Proceedings of ICSP’ 1998*.
- [24] P. H. W. Leong, P. K. Tsang, T. K. Lee, “**A FPGA based Forth Microprocessor**”, *Department of Computer Science and Engineering The Chinese University of Hong Kong Shatin, N.T. Hong Kong*, 1998.

- [25] S. G. Kaiser, “**Digital Receiver Technology, Architecture, and Application**”, 1996 IEEE IMTT-S Digest.
- [26] OPPENHEIN, A.V., SCHAFFER, R. W., BUCK, J. R. **Discrete-Time Signal Processing – Second Edition**. Prentice Hall Signal Processing Series, 1999.
- [27] HAYKIN, S., MOHER, M. **Introduction to Analog & Digital Communications – Second Edition**. Ed. Wiley, 2007.