
Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação
Departamento de Microondas e Óptica
DMO-FEEC-UNICAMP

**INDUTORES INTEGRADOS PASSIVOS PARA APLICAÇÕES
EM RÁDIO FREQUÊNCIA**

Autor: Paulo Nazareno Lagoia Fonseca Júnior

Orientador: Prof. Dr. Luiz Carlos Kretly

*Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de
Campinas, como parte dos requisitos exigidos para obtenção do título de
Mestre em Engenharia Elétrica.*

Comissão Julgadora:

Prof. Dr. Luiz Carlos Kretly – DMO/FEEC/UNICAMP

Prof. Dr. Silvio Ernesto Barbin – PTC/EP/USP

Prof. Dr. João Marcos Travassos Romano – DMO/FEEC/UNICAMP

Campinas, 29 de Agosto de 2008.

INDUTORES INTEGRADOS PASSIVOS PARA APLICAÇÕES EM RÁDIO FREQUÊNCIA

Autor: Paulo Nazareno Lagoia Fonseca Júnior

Orientador: Prof. Dr. Luiz Carlos Kretly

*Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de
Campinas, como parte dos requisitos exigidos para obtenção do título de
Mestre em Engenharia Elétrica.*

Campinas, 29 de Agosto de 2008.

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE -
UNICAMP

F733i Fonseca Júnior, Paulo Nazareno Lagoia
Indutores integrados passivos para aplicações em rádio
frequência / Paulo Nazareno Lagoia Fonseca Júnior. --
Campinas, SP: [s.n.], 2008.

Orientador: Luiz Carlos Kretly
Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Indutância. 2. Radiofrequência. 3. Circuitos
integrados. 4. Microeletrônica. 5. Semicondutores de óxido
metálico. I. Kretly, Luiz Carlos. II. Universidade Estadual
de Campinas. Faculdade de Engenharia Elétrica e de
Computação. III. Título.

Título em Inglês: Integrated passive inductors for radio frequency applications

Palavras-chave em Inglês: Integrated passive inductor, Radio frequency,
Microelectronic, Integrated circuits

Área de concentração: Telecomunicações e Telemática

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Silvio Ernesto Barbin, João Marcos Travassos Romano.

Data da defesa: 29/08/2008

Programa de Pós-Graduação: Engenharia Elétrica

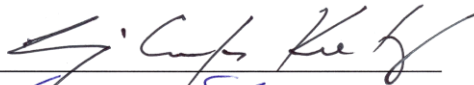
COMISSÃO JULGADORA - TESE DE MESTRADO

Candidato: Paulo Nazareno Lagoia Fonseca Júnior

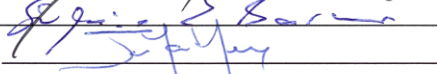
Data da Defesa: 29 de agosto de 2008

Título da Tese: "Indutores Integrados Passivos para Aplicações em Rádio Frequência"

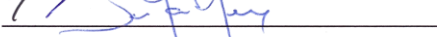
Prof. Dr. Luiz Carlos Kretly (Presidente):



Prof. Dr. Silvio Ernesto Barbin:



Prof. Dr. João Marcos Travassos Romano:



“Avalia-se a inteligência de um indivíduo pela quantidade de incertezas que ele é capaz de suportar”
Emmanuel Kant

*Dedico este trabalho aos meus pais Paulo Lagoia e Heloíza de Jesus...
Irmãs Paula Caroline e Suzane...
As minhas avós Maria José e Márcia...
Aos meus avós Luiz Queiroz e Rolino...*

Resumo

Este trabalho tem como finalidade a implementação de indutores integrados passivos baseados nas tecnologias de fabricação *CMOS* e *BiCMOS*. Os indutores são dispositivos fundamentais em aplicações de rádio frequência e estão presentes na maioria dos circuitos de RF como amplificadores e osciladores.

Os Indutores integrados passivos têm seus desempenhos degradados principalmente pelas perdas associadas ao metal e substrato. E apesar da existência de vários métodos de otimização, as *foundries* em geral, ainda oferecem um número reduzido de componentes, o que dificulta a escolha do melhor dispositivo para cada circuito. Sendo assim, a partir do projeto e implementação de indutores integrados o projetista é capaz de desenvolver novos dispositivos para cada aplicação.

Este trabalho apresenta os resultados experimentais de indutores *CMOS* otimizados com a técnica de empilhamento para a redução de perdas ôhmicas e de *PGS* para a redução de perdas pelo substrato. Apresenta-se também indutores projetados na tecnologia *BiCMOS* com dupla camada de *PGS*; enterrada *n+* e silício policristalino.

Abstract

This work aims the design and implementation of integrated passive inductors based on CMOS and BiCMOS processes. The inductors are essential devices in radio frequency applications and are used in many RF circuits such as amplifiers and oscillators.

The inductors' performance is mainly limited by metal and substrate losses. Although various methods of improvement have been proposed, the foundries still offer a reduced number of components, making far more difficult to choose the best device for each circuit. In this way, from the design and implementation of integrated inductors, the designer is able to enhance and develop new devices for each application.

This works presents the experimental results of inductors based on CMOS process. These inductors have been improved with two techniques; multilevel and PGS, the first one reduce the metal losses and the second to reduce the substrate losses. This work also shows inductors improved with double PGS based on BiCMOS process. The double PGS was designed with polysilicon and $n+$ buried layer.

Agradecimentos

Agradeço primeiramente á Deus, por sempre iluminar o meu caminho.

A minha família, por todo o amor, carinho, respeito e principalmente apoio, sem vocês comigo nada disso seria possível.

A minha amada namorada Camila, você foi essencial durante essa jornada.

Ao meu orientador Prof. Dr. Luiz Carlos Kretly, pela oportunidade, e por toda sua dedicação para o desenvolvimento da microeletrônica no Brasil.

Aos amigos do Laboratório de Microeletrônica e Antenas da UNICAMP, Dr. Eduardo Capovilla, Dr. André Távora, Henrique Pimentel, Mauricio Weber e Paulo Braghetto.

Ao CNPq pelo suporte financeiro e à UNICAMP pela organização, estrutura e grau de excelência de seus docentes e funcionários.

Ao PMU/FAPESP por tornar o desenvolvimento deste trabalho possível através do suporte financeiro a fabricação dos indutores integrados passivos.

Ao Dr. James Rautio, pela doação das licenças da ferramenta de simulação eletromagnética, SONNET EM 3-D.

Ao Cenpra (Centro de Pesquisas Renato Ancher), pela organização de base de dados para fabricação dos indutores.

Agradeço ao Centro de Componentes Semicondutores, pela disponibilização dos equipamentos de medida, em especial ao Eng. Emílio Bortolucci.

Gostaria de agradecer também aos grandes amigos do meu querido estado do Amapá e de Belém, William, Alex, Didi, César, Telma e Lair.

Finalmente, o meu obrigado para todas as pessoas que me ajudaram durante esses últimos anos.

Sumário

Resumo.....	x
Abstract	xi
Agradecimentos	xii
Lista de Ilustrações	xv
Lista de Tabelas	xvii
Lista de Abreviaturas	xviii
Capítulo 1.....	1
1.1 Motivação	1
1.2 Objetivo	7
1.3 Organização dos Capítulos.....	7
Capítulo 2	9
2.1 Métricas de Indutores	9
2.1.1 Indutância.....	9
2.1.2 Fator de Qualidade	10
2.3 Tipos de Indutores Integrados.....	11
2.3.1 Indutores Ativos.....	11
2.2.2 Indutores Bondwire.....	15
2.2.3 Indutores Passivos	18
Capítulo 3	19
3.1 Indutores Passivos Integrados	19
3.2 Perdas nos Indutores Passivos	20
3.2.1 Perdas no Metal	20
3.2.2 Perdas no Substrato.....	23
3.3 Técnicas para Reduzir as Perdas no Substrato.....	25
3.3.1 Regiões de Bloqueio p-n-p	25
3.3.2 Camada Aterrada e PGS (Patterned Ground Shield)	26

3.3.3 Anel de Guarda	27
3.4 Técnicas para Reduzir as Perdas Metálicas	28
3.4.1 Empilhamento de Espiras	28
3.4.2 Variação da Largura de Trilhas.....	30
3.5 Modelos de Circuitos Equivalentes	31
3.6 Extração Analítica	33
3.6.1 Capacitâncias e Resistência do Substrato	33
3.6.2 Resistência em Série.....	35
3.6.3 Indutância	36
3.6.4 Fator de Qualidade	38
3.7 Extração Direta.....	39
Capítulo 4	43
4.1 Ferramentas e Processo de fabricação	43
4.2 Simulação e Análises de Indutores	47
4.2.1 Indutor Planar	47
4.2.2 Indutor Planar Multicamada	53
4.2.3 Indutor Planar com PGS	56
4.2.4 Indutor Planar com Duplo PGS.....	60
4.2.5 Indutor Simétrico	62
4.3 Layouts dos Indutores CMOS.....	64
4.4 Sistemas de Testes e Medidas.....	67
4.5 De-Embedding	71
4.6 Resultados Experimentais.....	73
4.6.1 Indutor Planar	74
4.6.2 Indutores simétricos.....	82
4.7 Indutores BiCMOS.....	91
4.7.1 Indutor com duplo PGS, sem PGS e PGS	94
4.7.2 Indutores com duplo PGS	96
Capítulo 5	99
5.1 Conclusões	99
5.2 Trabalhos Futuros	101
Publicações.....	103
Referências Bibliográficas	105

Lista de Ilustrações

Figura 1.1: Sistema transceptor básico.....	2
Figura 1.2: LNA porta comum com realimentação positiva.....	3
Figura 1.3: LNA fonte comum para sistemas de diversidade (C. E. Capovilla, et al., 2007).....	4
Figura 1.4: Acoplamento magnético entre indutores de um mesmo LNA.....	5
Figura 1.5: Efeito da distância entre indutores sobre o ganho de um LNA fonte comum.....	6
(Y. Papananos e K. Koutsoyannopoulos, 1998).....	6
Figura 2.1: Circuito girador com capacitor.....	12
Figura 2.2: Circuito equivalente de fonte de ruído.....	12
Figura 2.3: Indutores ativos.....	13
Figura 2.4: <i>Layout</i> do <i>chip</i> inteiro (E. Silva 2007).....	14
Figura 2.5: <i>Chip</i> fabricado e Fator de Qualidade (E. Silva 2007).....	15
Figura 2.6: Indutor <i>bondwire</i> (M. Wens et al., 2007).....	16
Figura 2.7: Variação básica pra a aplicação de <i>bondwire</i> (J. Craninckx e M. S. J. Steyaert, 1995).....	17
.....	17
Figura 3.1: <i>Layout</i> de indutores passivos.....	19
Figura 3.2: Distribuição da densidade de corrente.....	21
Figura 3.3: Corrente induzida pelo campo magnético de um condutor adjacente (W. B. Kuhn e N. M. Ibrahim, 2001).....	22
Figura 3.4: Corte transversal do indutor integrado passivo em simulador (ANSYS) (J. Cabanillas, 2002).....	23
.....	23
Figura 3.5: Campos gerados no funcionamento do indutor (R. Thüringer, 2002).....	24
Figura 3.6: Indutor com regiões de bloqueio <i>p-n-p</i> (F. Mernyei et al., 1998).....	26
Figura 3.7: Visão 2-D dos indutores.....	27
Figura 3.8: Aplicação de anéis de guarda (J. N. Burghartz et al., 1997).....	28
Figura 3.9: Variação do fator de qualidade para metais de diferentes espessuras e multicamada (C. P. Yue et al., 1996).....	29
Figura 3.10: SEM de um indutor com multicamada (J. N. Burghartz et al., 1996).....	30
Figura 3.11: Indutores com variação na largura dos condutores (J. Lopez-Villegas et al., 2000).....	31
.....	31
Figura 3.12: Circuito equivalente modelo π simples.....	31
Figura 3.13: Circuito equivalente modelo π físico.....	32
Figura 3.14: Circuito equivalente ao modelo.....	33
Figura 3.15: Circuito equivalente de 1 porta.....	38
Figura 3.16: Circuito equivalente π simples para extração de parâmetros.....	40
Figura 3.17: Extração dos elementos do modelo π simples por parâmetros Y	41
Figura 4.1: Corte transversal do processo CMOS 0,35 μm (AMS, 2004d).....	45
Figura 4.2: Indutor planar.....	48
Figura 4.3: Simulação do indutor planar – Variação da resistividade do Si.....	50
Figura 4.4: Simulação do indutor planar – Variação da espessura do óxido.....	51

Figura 4.5: Simulação do indutor planar – Variação dos Metais.....	52
Figura 4.6: Simulação do indutor planar.....	53
Figura 4.7: Indutor multicamada.	54
Figura 4.8: Simulação do indutor multicamada.	55
Figura 4.9: Fator de qualidade e indutância – Simulação.....	55
Figura 4.10: Indutor multicamada com PGS.....	56
Figura 4.11: Simulação do indutor multicamada com PGS.....	57
Figura 4.12: Simulação do indutor PGS – variação da resistividade.	58
Figura 4.13: Simulação do indutor multicamada com PGS – variação da espessura do óxido. .58	
Figura 4.14: Simulação do indutor multicamada com PGS – variação dos condutores.....	59
Figura 4.15: Fator de qualidade e indutância – Simulação.....	60
Figura 4.16: Indutor multicamada com duplo PGS.....	60
Figura 4.17: Simulação do indutor multicamada com duplo PGS.....	61
Figura 4.18: Fator de qualidade e indutância – Simulação.....	61
Figura 4.19: Indutor simétrico.	62
Figura 4.20: Simulação do indutor simétrico.	63
Figura 4.21: Fator de qualidade e indutância – Simulação.....	63
Figura 4.22: <i>Layout</i> das estruturas fabricadas.	65
Figura 4.23: Corte transversal – pads de prova	66
Figura 4.24: Corte transversal – pads de prova com blindagem de metal.....	66
Figura 4.25: Sistema de medidas.....	67
Figura 4.26: Teste de prova coplanar. (S. A. Wartenberg, 2003).	68
Figura 4.27: Corte de um ACP e transições. (S. A. Wartenberg, 2003)	69
Figura 4.28: Padrão de calibração <i>Short-Open-Load-Thru</i>	70
Figura 4.29: Sistema de Medidas.....	71
Figura 4.30: Indutor e pads.....	72
Figura 4.31: Modelo de circuito equivalente de indutor com pads.....	73
Figura 4.32: Indutor planar – Medidas.....	75
Figura 4.33: Indutor planar multicamada – Medidas.....	76
Figura 4.34: Indutor com PGS de Metal 1 – Medidas.....	77
Figura 4.35: Indutor com PGS de Si-Poli 1 – Medidas.....	78
Figura 4.36: Indutor planar com PGS de Si-Poli 2 – Medidas.....	79
Figura 4.37: Indutor com duplo PGS de Si-Poli 1 e 2 – Medidas.	80
Figura 4.38: Medidas dos indutores planares assimétrico.	82
Figura 4.39: Indutor simétrico – Medidas.	83
Figura 4.40: Indutor simétrico com multicamada – Medidas.....	84
Figura 4.41: Indutor simétrico com PGS de Metal 1 – Medidas.	85
Figura 4.42: Indutor com PGS simétrico de Si-Poli 1 – Medidas.....	86
Figura 4.43: Indutor simétrico com PGS de Si-Poli 2 – Medidas.....	87
Figura 4.44: Indutor simétrico com duplo PGS de Si-Poli 1 e 2 – Medidas.....	88
Figura 4.45: Medidas dos Indutores Simétricos.	90
Figura 4.46: Indutor com duplo PGS.....	91
Figura 4.47: Indutor com duplo PGS – Simulações.....	92
Figura 4.48: <i>Layout</i> final para os indutores BiCMOS.....	93
Figura 4.49: <i>Chip</i> fabricado com os indutores BiCMOS.....	93
Figura 4.50: Comparação dos indutores sem PGS, PGS simples e duplo PGS.	95
Figura 4.51: Comparação dos indutores.....	97

Lista de Tabelas

Tabela 3.1: Coeficientes para formula de <i>Wheeler</i> Modificada.....	37
Tabela 3.2: Coeficientes para expressão da aproximação de <i>Greenhouse</i>	38
Tabela 4.1: Parâmetros geométricos e estruturais (AMS, 2004d).	46
Tabela 4.2: Resistência dos condutores e substrato (AMS, 2004d).	47
Tabela 4.5: Resultados do indutor planar.....	75
Tabela 4.6: Resultados do indutor planar multicamada.....	76
Tabela 4.7: Resultados do indutor com PGS de Metal 1.....	77
Tabela 4.8: Resultados do indutor com PGS de Si-Poli 1.....	78
Tabela 4.9: Resultados do indutor com PGS de Si-Poli 2.....	79
Tabela 4.10: Resultados do indutor com duplo PGS de Si-Poli 1 e 2.....	80
Tabela 4.11: Resultados do indutor simétrico.....	83
Tabela 4.12: Resultados do Indutores simétrico com multicamada.....	84
Tabela 4.13: Resultados do indutor simétrico com PGS de Metal 1.....	85
Tabela 4.14: Resultados do indutor simétrico com PGS de Si-Poli 1.....	86
Tabela 4.15: Resultados indutor simétrico com PGS de Si-Poli 2.....	87
Tabela 4.16: Resultados indutor simétrico com duplo PGS de Si-Poli 1 e 2.	88
Tabela 4.17: Resultados dos Indutores sem PGS, PGS e Duplo PGS.	96
Tabela 4.18: Resultados dos Indutores com Duplo PGS.	97

Lista de Abreviaturas

ACP - Air Coplanar Probe

AMS - Austria Micro Systems

BiCMOS - Bipolar CMOS

CAD - Computer-Aided Design

CCS - Centro de Componentes Semicondutores

CMOS - Complementary Metal Oxide Semiconductor

CST MWS - CST Microwave Studio

ESD - Electrostatic Discharge

FFT - Fast Fourier Transform

GMD - Geometric Mean Distance

GPS - Global Positioning System

HFSS - High Frequency Structure Simulator

LNA - Low Noise Amplifier

PGS - Patterned Ground Shield

RF - Radio Frequency

SISP - Spiral Inductor Simulation Program

SOLT - Short-Open-Load-Thru

SPICE - Simulated Program with Integrated Circuits Emphasis

UNICAMP - Universidade Estadual de Campinas

VCO - Voltage Controlled Oscillator

VNA - Vector Network Analyzer

WiFi - Wireless Fidelity

WIMAX - Worldwide Interoperability for Microwave Access

Capítulo 1

Introdução

1.1 Motivação

O espetacular crescimento das telecomunicações, em particular, dos sistemas de comunicação sem fio, aumentou consideravelmente a demanda por dispositivos e sistemas de comunicação de rádio frequência integrados. Estes sistemas apresentam como requisitos o baixo consumo de potência, custo reduzido e mobilidade. A resposta para a demanda citada está diretamente relacionada ao avanço acelerado dos processos de fabricação baseados em silício, em especial, a tecnologia CMOS (*Complementary Metal Oxide Semiconductor*), que se tornou, nas últimas décadas, extremamente atraente para a implementação de circuitos integrados de RF devido a características como escalonamento, baixo custo, baixo consumo e alto desempenho (A. Aktas e M. Ismail, 2001). Este desenvolvimento também vem possibilitando a integração de circuitos digitais com circuitos analógicos e o advento de dispositivos e sistemas cada vez mais elaborados, complexos e de alto desempenho (H. M. Hsu et al., 2001).

O sistema de RF básico da Figura 1.1 mostra um circuito transceptor composto por antena, filtro passa faixa, PA (*Power Amplifier*), LNA (*Low Noise Amplifier*), Mixer, VCO (*Voltage Controlled Oscillator*), filtro passa baixa e o conversor analógico digital. Neste transceptor, o sinal é recebido pela antena, percorre o filtro passa faixa e depois é entregue ao amplificador de baixo ruído, de modo que o sinal amplificado passa pelo *Mixer* que, por sua vez, está conectado ao oscilador controlado por tensão, VCO. O sinal em alta frequência é transladado para uma frequência inferior para ser entregue a outro filtro, desta vez de passa baixa e, por fim, ocorre a conversão analógico/digital para a operação em banda base.

Os componentes passivos, em especial, os indutores integrados, adquiriram um papel importante no projeto de transceptores integrados em silício, principalmente pela possibilidade de aprimorar o desempenho e o funcionamento da maioria dos blocos de RF, assim como aumentar o nível de integração e ainda prover a redução do custo do sistema. Os indutores integrados são amplamente utilizados no casamento de impedância de amplificadores, para baixa inserção de ruído no sistema ou bloco de RF, e em VCOs para evitar a degradação de

sintonia e o aparecimento de ressonância espúria, muito comum no uso de componentes externos, como capacitores, indutores, *bondwire*, entre outros. Os indutores também são empregados em *Mixers* no lugar de degeneradores resistivos para melhoria da linearidade.

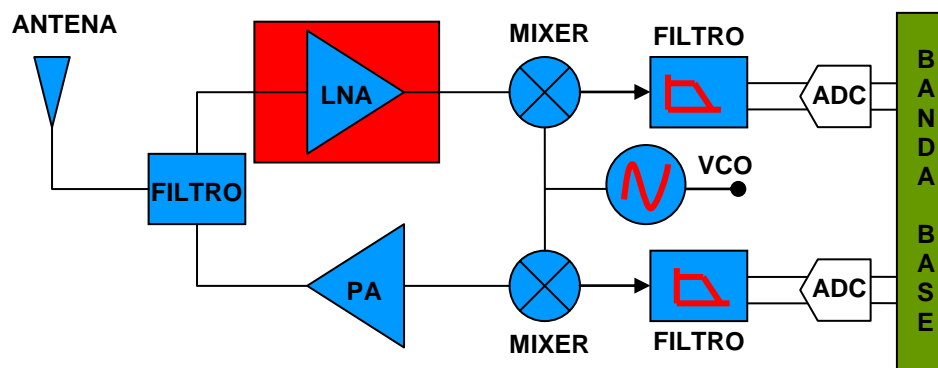


Figura 1.1: Sistema transceptor básico.

O LNA é um dos blocos chaves de um sistema de recepção sem fio, o que inclui aplicações celulares, satélites, *Bluetooth*, WIMAX, WiFi, satélite, GPS, entre outras. O amplificador de baixo ruído é um bloco muito interessante para ilustrar as aplicações dos indutores integrados e também a sua relação com o desempenho do sistema inteiro. A Figura 1.2 mostra o esquemático de um LNA na topologia porta comum e com realimentação positiva, que foi projetado e caracterizado na tecnologia CMOS 0,13 μm para aplicações em multibanda (A. Liscidini et al., 2005).

A topologia porta comum é a mais apropriada para a aplicação de um LNA sintonizável ou de banda larga com entrada simples, devido ao fato de a sua entrada em banda larga ser menos sensível aos efeitos de capacitâncias parasitas, o que permite melhor desempenho ao adicionar *pads* e *Bondwires*. A principal desvantagem é a ausência de qualquer liberdade de escolha da transcondutância do transistor. A única forma utilizada para se definir a transcondutância é através do casamento de impedância de entrada ($Z_{in}=1/g_m$), o que limita o desempenho do transistor em termos de ganho e figura de ruído.

A introdução de uma realimentação positiva em torno do transistor de entrada adiciona um degrau de liberdade para o projeto Figura 1.2.

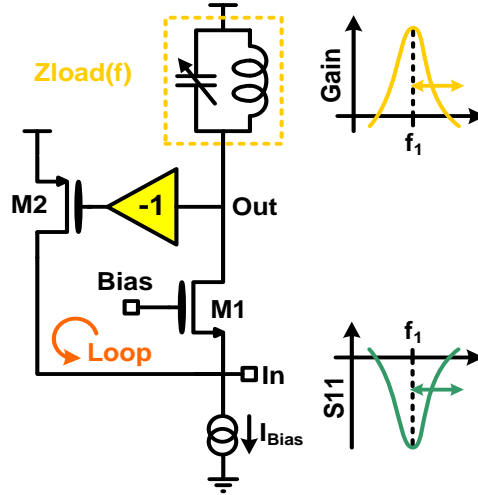


Figura 1.2: LNA porta comum com realimentação positiva.

Quando a corrente de entrada é injetada no nó de entrada, o *loop* em torno do transistor (M1) gera uma corrente, proporcional e em fase com a corrente de entrada, conseqüentemente, a corrente de saída é a soma da corrente de entrada com a corrente de *loop*, dessa forma, o ganho de corrente passa a ser maior que 1, como mostra a Equação (1.1).

$$\frac{I_{out}}{I_{in}} = \frac{1}{(1 - gm_2 Z_{load}(f))} \quad (1.1)$$

Com o acoplamento da realimentação, a nova condição de casamento de impedância do LNA é dada pela Equação (1.2).

$$Z_{in} = \frac{1}{gm_1} \frac{1}{(1 - gm_2 Z_{load}(f))} \quad (1.2)$$

A realimentação positiva resulta na reflexão da carga, $Z_{load}(f)$ juntamente com a transcondutância de M2 na impedância de entrada, o que modifica a característica de porta comum, que tem entrada em banda larga para entrada sintonizada (A. Liscidini et al., 2005).

A carga $Z_{load}(f)$ utilizada para compensar a degradação do ganho em alta frequência é indutiva, que, na frequência de ressonância, passa a ser puramente resistiva e, dada por $R_p = \omega_0 QL$, observe que, nessa topologia, o indutor que atua como carga tem nos seus valores de indutância e fator de qualidade, contribuição direta para o casamento de impedância para o aumento de ganho, para a redução do consumo de potência e ainda para a baixa inserção de ruído, pois a resistência de R_p não advém de um resistor físico. A figura de ruído é dada pela Equação (1.3).

$$NF = 1 + \frac{\gamma}{gm_1 R_s} + \gamma gm_1 R_s + \frac{(1 + gm_1 R_s)^2}{gm_1^2 Z_{Load}(f)} \quad (1.3)$$

Na qual γ é o fator de ruído dos transistores, gm_1 é a transcondutância do transistor M1 e R_s , a resistência da fonte.

O LNA da Figura 1.3 é baseado na topologia fonte comum e foi projetado para operar na frequência de 2,6 GHz conectado a sistemas de diversidade. E esse dispositivo foi projetado e caracterizado no processo tecnológico de fabricação BiCMOS (*Bipolar CMOS*) 0,35 μm da AMS (*AustriaMicroSystems*). Este dispositivo consiste de um amplificador com quatro canais de entrada para as aplicações de diversidade e tem como principal vantagem a redução do consumo de potência em quatro vezes, e também representa 60% de redução de área quando comparado a um projeto convencional (C. E. Capovilla, et al., 2007).

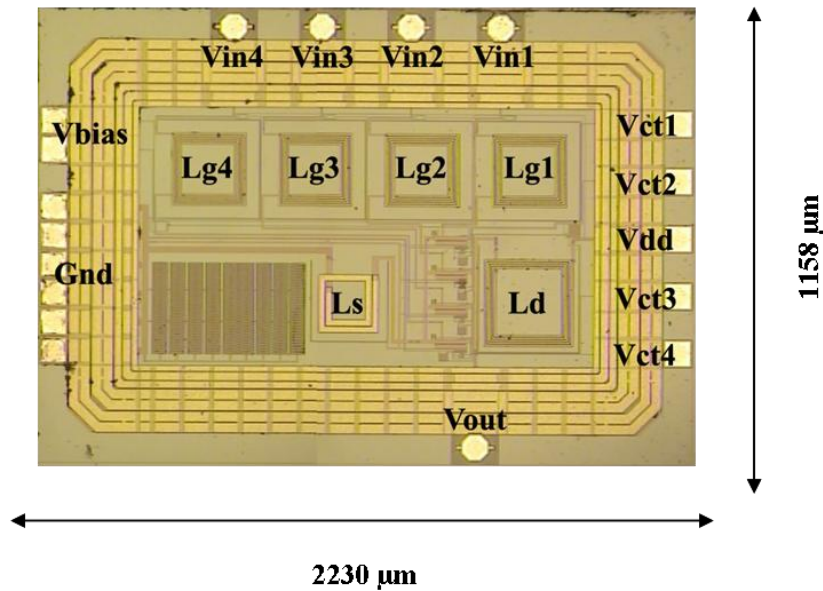


Figura 1.3: LNA fonte comum para sistemas de diversidade (C. E. Capovilla, et al., 2007).

Para o LNA fonte comum, que é a referência desse dispositivo, a impedância de entrada é dada pela Equação (1.4).

$$Z_{in} = s(L_s + L_g) + \frac{1}{sC_{gs}} + \left(\frac{gm_1}{C_{gs}} \right) L_s \quad (1.4)$$

Onde: L_g é o indutor conectado a porta do transistor e L_s é o indutor conectado a fonte, C_{gs} é a capacitância entre porta e fonte, e gm_1 a transcondutância.

Para realizar o casamento em 50Ω , utiliza-se L_s para casar a parte real e L_g para a sintonia na frequência desejada. Nessa topologia, o indutor integrado também tem papel fundamental para o desempenho do LNA, garantindo a máxima transferência de energia e a sintonia do circuito.

O dispositivo citado representa o estado da arte, entretanto muitos dispositivos para esse tipo de aplicação ainda fazem uso de uma larga área e de quantidade considerável de indutores, uma vez que os dispositivos convencionais utilizam um LNA para cada canal. Para a topologia de fonte comum, seriam utilizados no mínimo três indutores para cada LNA, geralmente o projetista avalia o indutor pela indutância e pelo fator de qualidade, que precisa para o bom funcionamento do seu sistema, e normalmente ignora o acoplamento entre os indutores integrado passivos, resultante da sua própria disposição dentro do *chip*, uma vez que esse acoplamento pode degradar ou modificar o desempenho do sistema ou bloco de RF.

Observe que o LNA fonte comum da Figura 1.4 possui três indutores, o indutor L_s na fonte do transistor M1 e L_g na porta, o terceiro indutor conectado ao transistor M2, e, dependendo da disposição destes componentes dentro do *layout*, pode ocorrer o acoplamento de um para o outro, representados na Figura 1.4 por K1, K2 e K3. Este acoplamento pode provocar mudança na impedância de entrada, redução ou aumento no ganho e até mesmo interferência com outros componentes (R. E. Amaya et al., 2004).

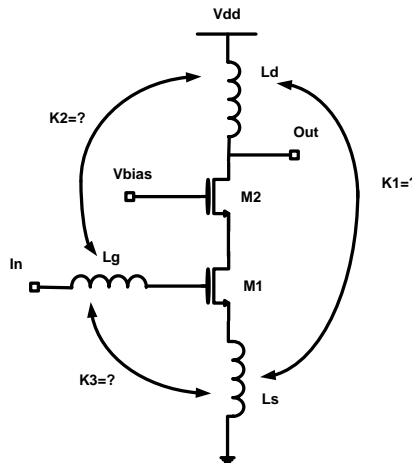


Figura 1.4: Acoplamento magnético entre indutores de um mesmo LNA.

Considerando um LNA típico em fonte comum, Y. Papananos e K. Koutsoyannopoulos (1998) avaliaram experimentalmente a variação do ganho em duas situações de localização dos indutores de carga, Z e de casamento de entrada L_s . No caso A, os indutores são desenhados na mesma camada com relativa distância e , no caso B, os indutores são desenhados em camadas diferentes, parcialmente sobrepostos, conforme Figura 1.5. Este problema se torna ainda maior se considerarmos que um típico *chip* de RF de 3x3 mm pode conter cerca de 50 indutores ou mais de 300 μm de diâmetro externo cada, dessa forma, blocos de RF e sistemas independentes pode apresentar significativa acoplamento, capaz de resultar em um funcionamento indesejado do sistema.

Avaliar o problema em um sistema completo, entretanto, exige muito esforço computacional e de simuladores eletromagnéticos robustos, de modo que uma opção mais plausível é investigar o comportamento apenas dos indutores, isolados do restante do circuito e, baseado nas análises, desenvolver alternativas para garantir o funcionamento do sistema e do próprio componente.

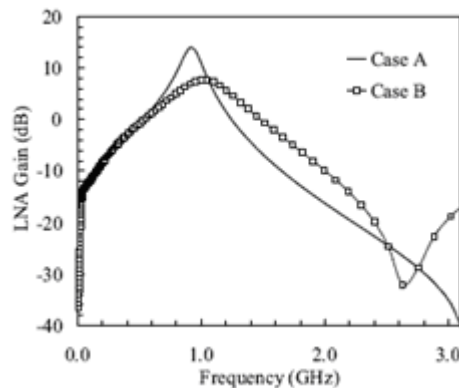


Figura 1.5: Efeito da distância entre indutores sobre o ganho de um LNA fonte comum (Y. Papananos e K. Koutsoyannopoulos, 1998).

As informações apresentadas nessa seção mostram que os indutores são dispositivos fundamentais para as aplicações em rádio frequência e que, nos últimos anos, adquiriram papel importante para o desenvolvimento de dispositivos de alto desempenho e integrados. Utilizando aplicações reais, como amplificadores de baixo ruído, projetados pelo grupo de Microeletrônica e Antenas da UNICAMP e de referências da literatura, foram apresentadas a relevância das métricas como indutância e o fator de qualidade no projeto e o desempenho desses dispositivos.

Por décadas, todos os indutores utilizados nos projetos de RF baseados em silício eram elementos discretos, o que estava totalmente contra a tendência de mercado e de acordo com as limitações dos processos de fabricação de circuitos integrados. Com o progressivo desenvolvimento desses processos, características como vários níveis de metalização, novas técnicas de isolamento de circuitos, camadas de óxido entre metais mais espessas (aumentando o isolamento do substrato), maior largura de metal entre outras, permitiram a primeira aplicação de um indutor integrado passivo em silício (N. M. Nguyen e R. G. Meyer, 1990). Esse indutor apresentou desempenho discreto, mas encorajador e, dessa forma, os indutores continuaram evoluindo, juntamente com os processos de fabricação (E. Ragonese et al., 2004).

1.2 Objetivo

Esta dissertação de mestrado tem como objetivo a implementação de indutores passivos integrados para aplicações de rádio frequência em processos de fabricação CMOS e BiCMOS. Para alcançar este objetivo fazem-se necessários os estudos sobre os mecanismos de perdas que limitam o desempenho desse dispositivo passivo e de métodos que se propõem a reduzi-los, entendimento dos modelos de circuitos equivalentes e dos métodos de extração de seus elementos. Para a concepção dos indutores é importante dominar pelo menos uma ferramenta de simulação eletromagnética, e a partir desta, realizar análises dos dispositivos, considerando os parâmetros estruturais e de processo, assim como os efeitos dos principais parâmetros sobre o desempenho geral. Posteriormente, com os indutores definidos, elaborar o *layout* com o auxílio de uma ferramenta de CAD considerando estruturas complementares para realização das medidas e retirada dos parasitas incorporados. E a partir dos valores de parâmetros de espalhamento obter os valores de indutância, resistência e fator de qualidade.

1.3 Organização dos Capítulos

Esta dissertação esta organizada em 5 Capítulos, estando incluso o presente Capítulo, que apresenta a importância dos indutores em aplicações de rádio frequência, em especial para amplificadores de baixo ruído no casamento de impedância e redução do ruído. O Capítulo seguinte apresenta a definição da indutância e fator de qualidade, métricas utilizadas para avaliar o desempenho dos indutores, apresenta-se também indutores

integrados ativos e de *bondwire*, assim como suas desvantagens para a implementação em circuitos integrados. O Capítulo 3 descreve os indutores passivos integrados, assim como as suas limitações, técnicas de otimização, modelos de circuitos equivalentes e métodos de extração dos elementos utilizando expressões fechadas e a extração direta dos parâmetros de espalhamento.

O Capítulo 4 apresenta a ferramenta utilizada para as simulações dos indutores, os detalhes do processo de fabricação CMOS e BiCMOS, análises baseadas em simulações considerando a variação do processo no desempenho de indutores otimizados com as técnicas de empilhamento e PGS, para a redução de perdas na estrutura e eventual aumento no fator de qualidade no processo CMOS. São descritas as estruturas fabricadas e o método para o *de-embedding* dos parasitas introduzidos pelas estruturas complementares, e por fim, são apresentados os resultados experimentais e suas análises.

Finalmente, O capítulo 5 apresenta as conclusões deste trabalho e sugestões para a continuação dos estudos em dispositivos passivos.

Capítulo 2

Indutores Integrados

Este capítulo explica os conceitos de indutância e fator de qualidade, estes que descrevem o comportamento e a qualidade do dispositivo, este capítulo também apresenta os indutores integrados ativo e *bondwire* e suas principais desvantagens para sua aplicação em circuitos integrados.

2.1 Métricas de Indutores

2.1.1 Indutância

O indutor é um componente que armazena energia na forma de campo magnético. A lei proposta por *Ampère* e modificada por *Maxwell* estabelece que a variação de um campo elétrico ou um fluxo de corrente através do condutor geram um campo magnético, assim como as variações de um campo magnético próximo ao condutor induzem variações no fluxo de corrente dentro do condutor. A indutância é a quantidade de energia que pode ser armazenada em um campo magnético de um indutor.

Um fluxo de corrente através de um condutor de caminho fechado produz um campo magnético, B , que, por sua vez, causa um fluxo magnético Ψ (M. N. O. Sadiku, 2004).

$$\Psi = \int_s B ds \quad (2.1)$$

Este fluxo magnético é proporcional à corrente aplicada, e a constante de proporcionalidade é L , que é conhecida como auto-indutância, pois se trata da energia armazenada resultante do fluxo de corrente do próprio condutor.

$$\Psi \propto I \quad (2.2)$$

$$\Psi = LI \quad (2.3)$$

Logo a indutância também é definida como a razão do fluxo magnético pela corrente que produz o campo magnético, considerando um indutor formado por N espiras e fluxo de corrente igual em cada segmento; a auto-indutância é dada pela Equação (2.4).

$$L = \frac{N\Psi}{I} \quad (2.4)$$

Tal que a indutância é dada em *Henry*, o fluxo magnético em *Weber* e a corrente em *Ampère*.

Quando existem duas ou mais espiras em um indutor e nelas são aplicadas correntes, ocorre, entre as mesmas, interação magnética, o que representa o efeito de indutância mútua, e essa interação é definida como a variação no fluxo magnético da espira i , induzida pela variação da corrente da espira j . Dessa forma, a indutância mútua é representada pela Equação (2.5).

$$M_{ij} = \frac{\Psi_i}{I_j} \quad (2.5)$$

O cálculo da indutância pode ser feito através das equações de *Maxwell*, e soluções precisas são obtidas com aplicação de métodos numéricos ou ferramentas comerciais de simulações eletromagnéticas, como HFSS e CST MWS. O cálculo da indutância também pode ser realizado a partir de expressões empíricas ou semi-empíricas, como por exemplo, o método demonstrado por H. M. Greenhouse (1974).

2.1.2 Fator de Qualidade

O fator de qualidade é uma figura de mérito para dispositivos passivos que avalia a eficiência dos dispositivos, e é dado pela Equação (2.6) e representa, numa definição mais geral, a razão da quantidade de energia armazenada pela quantidade de energia dissipada em um ciclo do sinal de excitação (P. Arcioni et al., 1998b).

$$Q = 2\pi \left(\frac{\text{Energia Armazenada}}{\text{Energia Dissipada por Ciclo}} \right) \quad (2.6)$$

A diferença entre os capacitores e indutores está fundamentalmente no tipo de energia armazenada: os capacitores armazenam energia elétrica, enquanto os indutores armazenam energia magnética. A expressão acima não especifica o tipo de energia armazenada, nem que tipo de energia é dissipada. Para um indutor, apenas a energia magnética é interessante, qualquer outro tipo diferente de energia armazenada é considerada perda. Dessa forma, a

energia armazenada no indutor pode ser aproximada pela diferença da energia magnética média armazenada e da energia elétrica média armazenada dissipada como potência durante cada período de operação. Considerando que para indutores a energia magnética é maior que a energia elétrica, utiliza-se a Equação (2.7) (K. O, 1998).

$$Q \approx \frac{\omega \left| \overline{W}_m \right| - \left| \overline{W}_e \right|}{\text{Potência Dissipada}} \quad (2.7)$$

Para aplicações em RF, nas quais os valores das simulações e medidas são obtidos em parâmetros de espalhamento de duas portas, a definição mais conhecida na literatura é dada pela Equação (2.8) (P. Arcioni et al., 1998a). Onde o fator de qualidade é a razão da parte imaginária pela parte real da impedância de entrada Z_m vista por uma das portas de medida quando a outra porta está aterrada. Este tipo de configuração é amplamente utilizado no projeto de amplificadores e osciladores (M. Danesh et al., 1998).

$$Q = \frac{\text{Im}(Z_{in})}{\text{Re}(Z_{in})} \quad (2.8)$$

2.3 Tipos de Indutores Integrados

A partir das limitações impostas aos indutores integrados passivos, como fator de qualidade e indutância menores que as dos elementos discretos externos ao circuito, alternativas foram propostas. Dentre as integradas, está o indutor de *bondwire*, que utiliza o fio metálico, o qual faz a conexão do circuito integrado para o mundo externo, e o indutor ativo, que simula os efeitos dos indutores passivos, utilizando transistores (J. Craninckx e M. S. J. Steyaert, 1995).

2.3.1 Indutores Ativos

Seguindo a tendência de mercado por indutores passivos integrados com alto fator de qualidade, alta indutância e de área reduzida, surgiu a alternativa de utilizar topologias de circuitos ativos para simular o efeito do indutor passivo convencional, os chamados indutores ativos. Estes dispositivos, quando comparados com os indutores passivos, apresentam significativa redução da área.

O princípio de funcionamento destes indutores é baseado no circuito girador, que fundamentalmente provoca a inversão de impedância, transformando uma impedância capacitiva em impedância indutiva, explorando, por exemplo, os elementos inerentes ao funcionamento dos transistores integrados, como as capacitâncias parasitas, para simular um indutor através da rotação de fase (J. Craninckx e M. S. J. Steyaert, 1995).

A Figura 2.1 de um circuito girador com capacitor mostra como a indutância equivalente pode ser calculada através do circuito equivalente de um girador básico com um capacitor C_L .

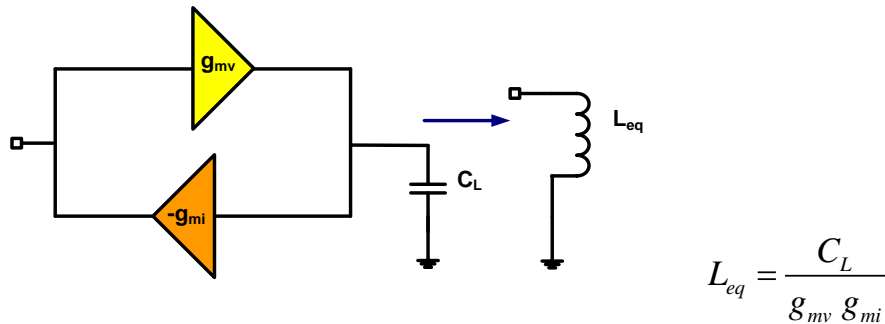


Figura 2.1: Circuito girador com capacitor.

O indutor ativo apresenta como grande desvantagem a contribuição para o ruído total do circuito. O ruído é gerado pelas duas transcondutâncias utilizadas para elaborar o girador apresentado na Figura 2.2. Neste modelo elaborado por Y.-T. Wang e A. A. Abidi (1990), representa-se a contribuição da fonte de ruído por dv_{gm}^2 em cada porta de entrada. No modelo equivalente, considera-se um indutor com a tensão de ruído, dv_L^2 , em série com o indutor e a corrente de ruído, di_L^2 , em paralelo.

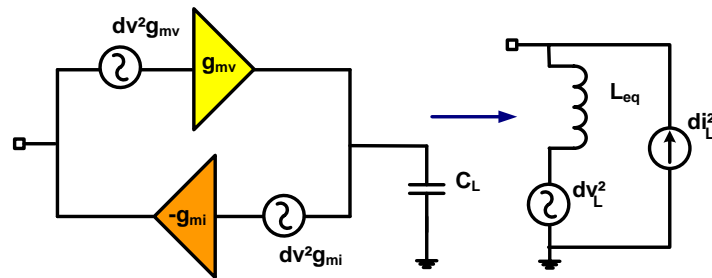


Figura 2.2: Circuito equivalente de fonte de ruído.

Os valores para a tensão e corrente de ruído podem ser calculados pelas Equações (2.9) e (2.10), onde κ é constante de *Bolztman*, F é fator que descreve o ruído na implementação, T

temperatura em Kelvin, df representa o intervalo de frequência e gm a transcondutância. Para esse modelo a tensão de ruído é inversamente proporcional a transcondutância e diretamente proporcional a temperatura, e a corrente de ruído que por sua vez é diretamente proporcional a transcondutância e a temperatura. Dessa forma a medida que aumenta a temperatura a quantidade de ruído aumenta, tal característica é totalmente indesejada para circuitos integrados como amplificadores de baixo ruído entre outros.

$$di_L^2 = 4\kappa T F_{gm_i} gm_i df \quad (2.9)$$

$$dv_L^2 = 4\kappa T \frac{F_{gm_v}}{gm_v} df \quad (2.10)$$

Com o objetivo de desenvolver o projeto e a implementação de indutores ativos integrados para aplicações em rádio frequência, E. Silva (2007) avaliou quatro topologias distintas de indutores integrados: Ativo Simples Aterrado, Ativo Cascode Aterrado, Ativo Cascode com Resistência e Ativo Cascode Regulável. A Figura 2.3 (a) mostra a topologia de Indutor Ativo Simples Aterrado e a Figura 2.3 (b), o Indutor Ativo Cascode Aterrado.

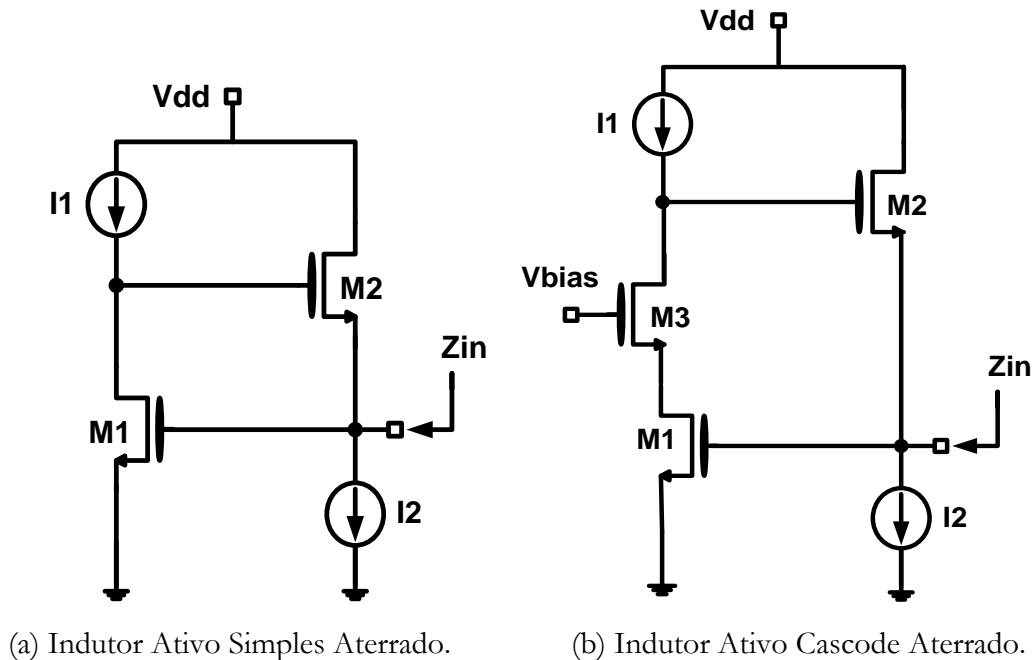


Figura 2.3: Indutores ativos.

A Figura 2.4 representa o *layout* do *chip* inteiro, com as topologias propostas, interconexões, *pads* de alimentação e sinal, *pads* de RF para a aplicação de sinais de alta frequência, proteção ESD (*Electrostatic Discharge*) e, em destaque, a topologia citada.

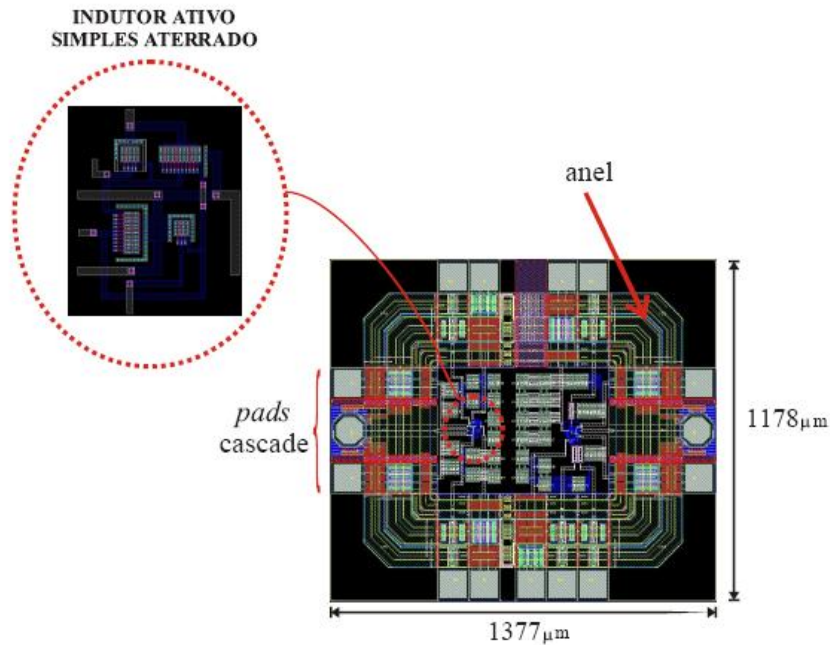
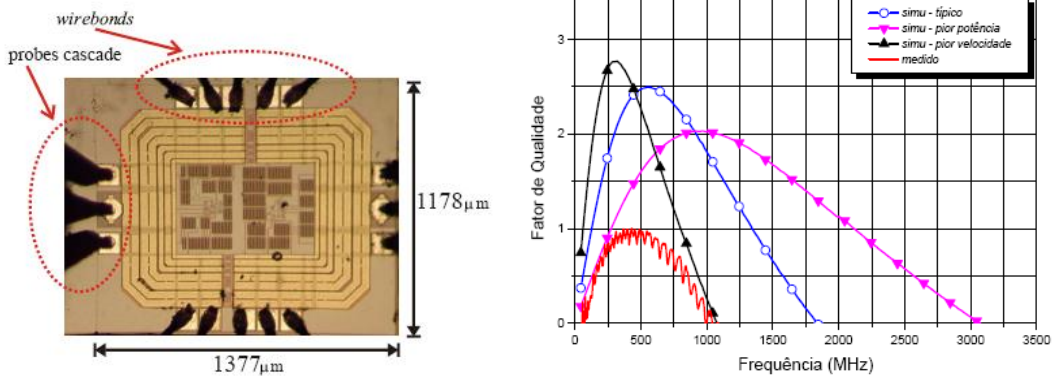


Figura 2.4: *Layout* do *chip* inteiro (E. Silva 2007).

A Figura 2.5 (a) apresenta o *chip* fabricado no processo tecnológico 0,35 μm 2P4M BiCMOS da AMS; na Figura 2.5 (b), os resultados das simulações, considerando as variações no processo, são comparadas à medida realizada para fator de qualidade.

A corrente de saída do transistor é diretamente proporcional ao parâmetro de transcondutância ou fator de ganho, que, por sua vez, é o produto da mobilidade dos elétrons no transistor, e a capacitância do óxido de porta. Naturalmente, esta capacitância é inversamente proporcional à espessura desse óxido. Desta forma, mostra-se crítica a espessura do óxido de porta para a velocidade de operação do transistor. O processo tecnológico de fabricação da AMS apresenta espessura do óxido de porta mínima, típica e máxima de 7,1 nm, 7,6 nm e 8,1 nm, conseqüentemente, quanto maior a espessura do óxido, menor a velocidade e menor o consumo de potência; e, quanto menor a espessura, maior a velocidade e maior a potência consumida.



(a) *Chip* Fabricado.

(b) Fator de Qualidade – Indutor ativo Simples.

Figura 2.5: *Chip* fabricado e Fator de Qualidade (E. Silva 2007).

Os resultados obtidos por E. Silva (2007) mostram o imenso grau de variação nas simulações referentes ao espalhamento dos parâmetros do processo de fabricação, sendo que o maior fator de qualidade medido não supera em nada os valores disponíveis em indutores integrados passivos e apresenta também maior dependência quanto à frequência de operação.

Como qualquer dispositivo ativo integrado, os indutores ativos são muito dependentes do espalhamento dos parâmetros do processo de fabricação, fato este que reduz a possibilidade do projetista estabelecer parâmetros de projeto. De fato estes dispositivos degradam as propriedades mais desejadas de um dispositivo passivo, principalmente quando aplicados em sistemas de rádio frequência, como, por exemplo, o consumo de potência, a inserção de ruído e a instabilidade potencial (B. A. Georgescu, 2003).

2.2.2 Indutores *Bondwire*

Uma alternativa para indutores integrados é tirar vantagem da indutância parasita associada ao *bondwire*, que são fios metálicos que fazem a conexão entre os *pads* e o meio externo. Estes fios, como qualquer condutor metálico, apresentam indutância e resistência que dependem do tipo de metal utilizado e do comprimento do fio. Tipicamente, a indutância apresentada por um *bondwire* é 1 nH por milímetro. Nos dispositivos projetados pelo grupo de Microeletrônica e Antenas da Unicamp, utiliza-se *bondwire* de indutância típica de 0,7 nH por milímetro. A Figura 2.6 mostra um circuito utilizando *bondwire*.

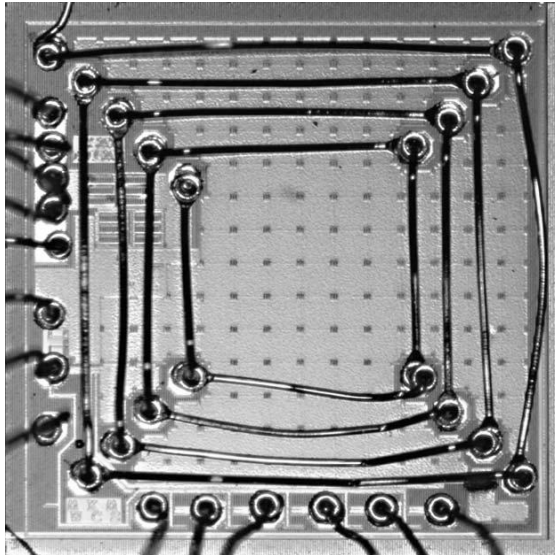


Figura 2.6: Indutor *bondwire* (M. Wens et al., 2007).

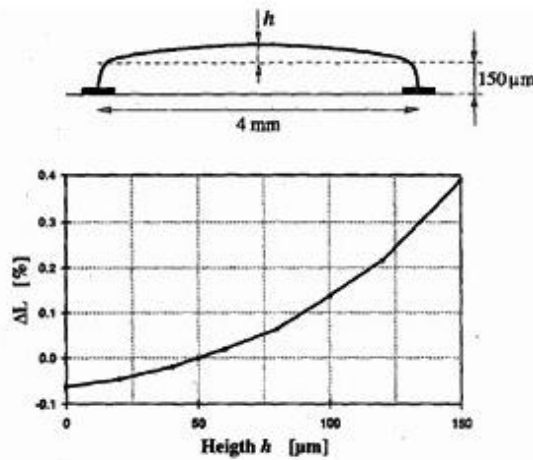
Para determinar a indutância de um indutor de *bondwire* pode-se utilizar o método descrito por H. M. Greenhouse (1974), que considera que indutância total, L_s é a soma da auto-indutância de todos os segmentos do condutor, mais as somas da indutância mútua positiva e negativa (2.11).

$$L_s = L_0 + M_+ + M_- \quad (2.11)$$

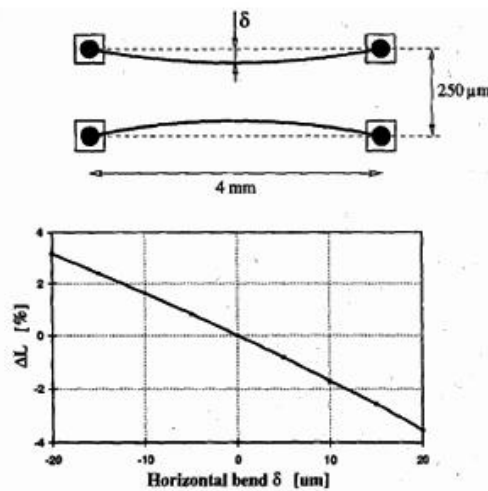
Todavia, a estimativa da indutância de indutores *bondwire* com o uso de expressões fechadas ou por ferramentas comerciais baseadas em métodos numéricos é possível, mas necessita da consideração de vários parâmetros para uma estimativa precisa, pois estes fios condutores não são planos e também não são retos e, por apresentarem baixa indutância, é necessário que se utilize de muitos fios. Como uma forma de deixar o ambiente mais controlado, projeta-se o *chip* com *bondpads* preparados para receber a aplicação dos fios. Por mais que a aplicação seja feita dentro do *chip* e o processo seja automatizado, é difícil conseguir estruturas com o mesmo comprimento e com a mesma disposição. Variações deste tipo estão inerentes e alteram diretamente a indutância e a resistência em série do indutor, tais variações na disposição podem ser observadas no exemplo da Figura 2.6.

O indutor *bondwire* localiza-se a uma altura h do substrato e, no trabalho apresentado por J. Craninckx e M. S. J. Steyaert (1995) demonstrou-se a influência da variação da altura na indutância, conforme Figura 2.7 (a). Nesse caso, uma mudança de $150 \mu\text{m}$ representa uma alteração de $0,4\%$ na indutância total, assim como uma variação do comprimento em $50 \mu\text{m}$

implica em 2% de alteração na indutância. Outro parâmetro investigado foi efeito do desvio de condutores paralelos, em que a indutância mútua é severamente alterada devido à distância entre os condutores. Isso é causado pelo maior ou menor acoplamento eletromagnético. A Figura 2.7 (b) representa a variação da indutância pela inclinação do condutor, em que se observou variação de 4% na indutância total.



(a) Variação da indutância em função da altura (h).



(a) Variação da indutância em função da inclinação (δ).

Figura 2.7: Variação básica pra a aplicação de bondwire (J. Craninckx e M. S. J. Steyaert, 1995).

2.2.3 Indutores Passivos

Nas seções precedentes foram apresentadas duas estruturas que podem ser implementadas em circuitos integrados no lugar de indutores passivos planares, entretanto a avaliação dessas estruturas indica que o indutor passivo ainda apresenta melhor desempenho e viabilidade comercial, uma vez que os processos de fabricação de circuitos integrados apresentam contínuo desenvolvimento. Os indutores passivos integrados são apresentados em detalhes nos próximos capítulos.

Capítulo 3

Indutores Passivos Integrados

Este capítulo apresenta os indutores passivos integrados, incluindo os mecanismos que limitam o seu desempenho, técnicas que reduzem as perdas metálicas e no substrato, os modelos de circuitos equivalentes e os métodos de extração dos elementos dos circuitos.

3.1 Indutores Passivos Integrados

Os indutores integrados passivos são tradicionalmente espiras metálicas planares de baixa resistência de folha, que podem ser formadas por apenas um nível de metal ou por vários níveis. Normalmente, os indutores são projetados na camada de metal de nível mais alto e de menor resistência de folha, com o objetivo de minimizar as perdas ôhmicas e reduzir o acoplamento capacitivo com o substrato. Um segundo nível de metal é utilizado para prover acesso à porta interna do indutor, e esses dois metais são conectados por vias. O indutor de forma retangular é o mais utilizado, principalmente pela sua facilidade de implementação, uma vez que apresenta apenas ângulos de 90 graus. Infelizmente, alguns processos não permitem ângulos menores, limitando o projetista a indutores retangulares.

De acordo com o processo escolhido é possível utilizar ângulos menores e indutores com *layout* variado. A Figura 3.1 mostra indutores retangular, hexagonal e circular.

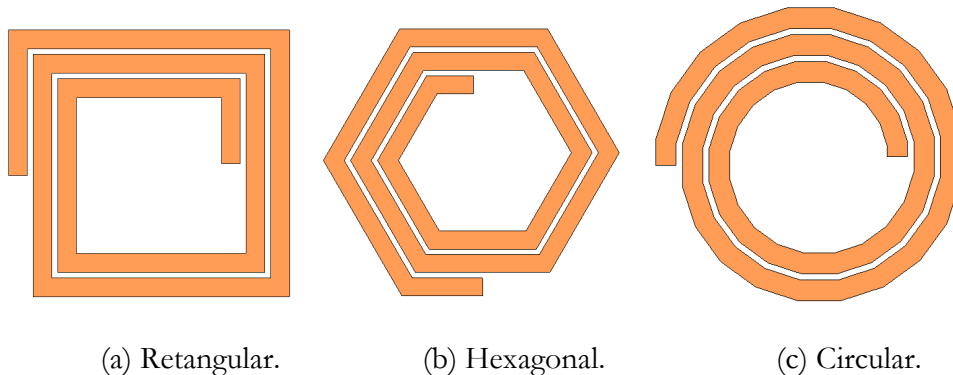


Figura 3.1: *Layout* de indutores passivos.

O projeto de indutores integrados é convencionalmente dividido em duas partes, os parâmetros de projeto e os de processo. O primeiro está relacionado com o *layout* do indutor, quanto à sua forma, que pode ser retangular, circular, hexagonal, e quanto à área total, à largura do condutor, ao espaçamento entre as trilhas e ao número de voltas. Estes parâmetros podem ser manipulados pelo projetista para tentar melhorar a operação de um indutor existente ou até mesmo para projetar um novo indutor para uma aplicação específica. Os parâmetros de processo referem-se à resistividade do substrato, condutividade e espessura de cada metal, via silício policristalino, poço e camada enterrada, distância entre as camadas de metal, espessura de óxido de campo, entre outras. Estas especificações são definidas pelo processo tecnológico escolhido para a fabricação dos circuitos integrados, entretanto é imprescindível para o projetista conhecer muito bem os dois tipos de parâmetros, e assim assegurar o desempenho e a operação adequada dos indutores integrados.

3.2 Perdas nos Indutores Passivos

Independente da geometria escolhida pelo projetista, os efeitos e fenômenos decorrentes da operação dos indutores integrados passivos e planares são os mesmos, sendo assim, a partir do seu funcionamento básico é possível entender uma série de fenômenos que atuam sobre os metais e substrato.

3.2.1 Perdas no Metal

A limitação do desempenho dos indutores integrados passivos apresenta forte relação com condutividade finita dos metais utilizados para compor os processos de fabricação, e esses condutores apresentam aumento da resistência efetiva quando um sinal de alta frequência é aplicado nos seus terminais. Os efeitos relacionados a este aumento de resistência efetiva são complexos e variam com a frequência. H.-S. Tsai et al. (1997) indicaram como principais fenômenos o efeito pelicular e o efeito de proximidade.

O efeito pelicular é um fenômeno associado com a redistribuição da corrente no condutor. Assim, quando o fluxo de corrente é contínuo, a distribuição da corrente é uniforme. Desta forma, a resistência efetiva é determinada pela resistência de folha do metal. Para o fluxo de corrente alternada, observa-se a distribuição de corrente não uniforme e à medida que a frequência aumenta a concentração de corrente passa a ser maior na superfície

do condutor (L. H. Dixon Jr., 1988). A Figura 3.2 mostra a distribuição de corrente na seção transversal de um condutor retangular e também que essa corrente diminui exponencialmente dentro do condutor. Dessa forma, a área por onde a corrente passa é reduzida e por isso a resistência em alta frequência pode ser muito mais alta que em baixa frequência.

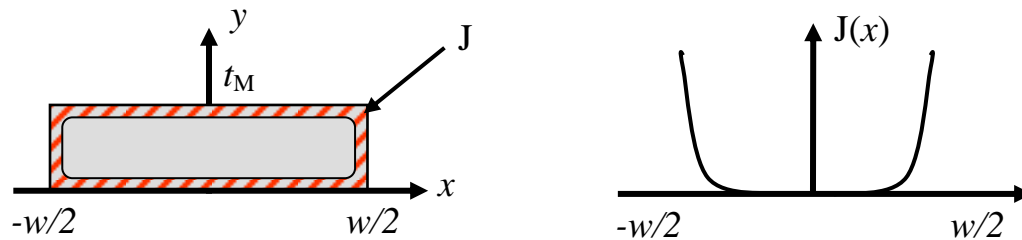


Figura 3.2: Distribuição da densidade de corrente.

A densidade de corrente concentra-se em uma região estreita e próxima à superfície do condutor. Esta região é conhecida como profundidade pelicular, sendo δ dependente da frequência de operação e da condutividade do metal como mostrado na Equação (3.1) (D. M. Pozar, 2004).

$$\delta = \sqrt{\frac{2}{\mu\sigma\omega}} \quad (3.1)$$

Na qual, μ é a permeabilidade magnética do material, σ a condutividade do metal e ω é a frequência angular. Entretanto o efeito pelicular não é o único fenômeno relacionado ao aumento da resistência e dependente da frequência que ocorre no funcionamento do indutor.

A partir de análises de um indutor com 9 espiras utilizando simuladores eletromagnéticos. J. Craninckx e M. S. J. Steyaert. (1997) investigaram a variação da resistência em função da frequência em cada uma das 9 espiras e constataram que, ao contrário do que se esperava, a espira mais externa (maior comprimento) apresentou aumento de 18% na resistência em 2 GHz comparado com a resistência na mesma espira em frequências menores que 1 GHz, enquanto a espira mais interna (menor comprimento) anotou 480% de aumento. Esta grande variação não pode ser explicada apenas pelo efeito pelicular, devido às espiras terem a mesma espessura, largura e serem fabricadas no mesmo processo, ou seja, deveriam sofrer a mesma redistribuição de corrente.

O mecanismo básico por trás desse fenômeno (efeito de proximidade) é ilustrado na Figura 3.3. Note que um condutor isolado gera um campo magnético variante no tempo ao

redor do segmento devido à corrente aplicada, e quando existem condutores muito próximos, o campo magnético de um condutor altera a distribuição de corrente do outro. O campo magnético variante no tempo gerado pela corrente que passa ao longo de um condutor penetra normal a superfície do condutor vizinho e de acordo com a lei de *Faraday-Lenz*, um campo elétrico é magneticamente induzido, que, por sua vez, induz uma corrente parasita (corrente de *Focault*) no condutor. Esta corrente também é chamada de corrente de *eddy*, é variante no tempo e induz um campo magnético que tem sentido oposto ao campo que produziu a corrente (J. Craninckx e M. S. J. Steyaert, 1997).

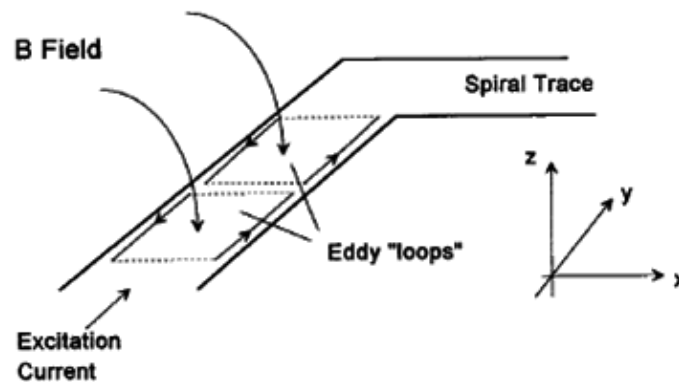
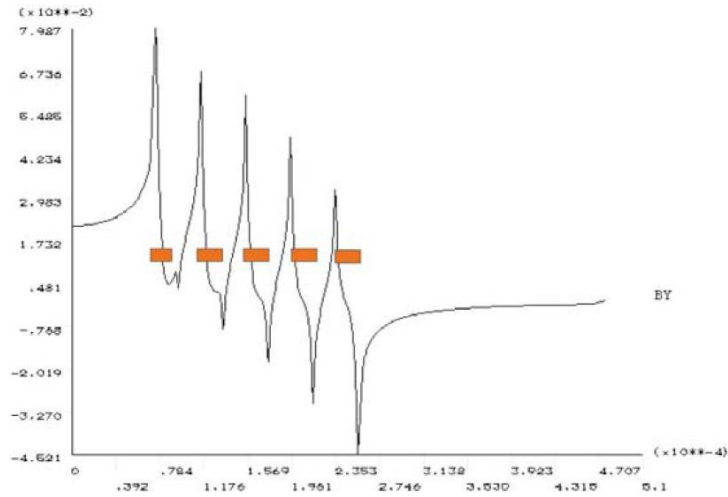
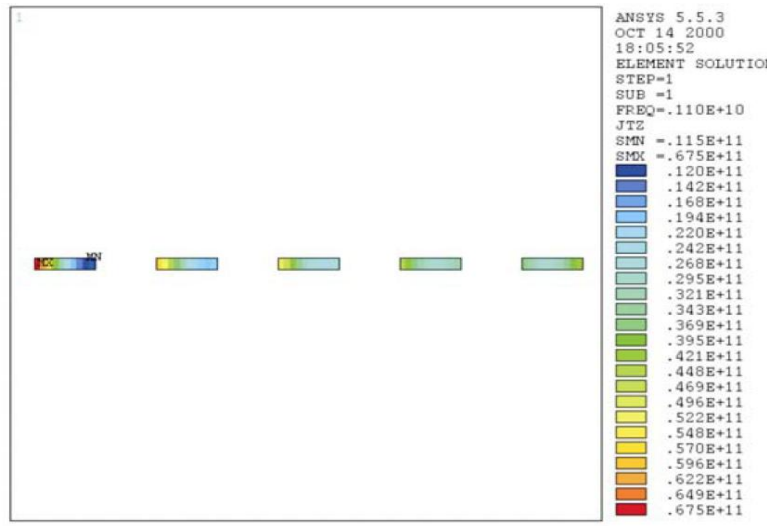


Figura 3.3: Corrente induzida pelo campo magnético de um condutor adjacente (W. B. Kuhn e N. M. Ibrahim, 2001).

As espiras mais internas sofrem maior variação na resistência uma vez que a intensidade do campo magnético é maior no centro do indutor. A intensidade de campo magnético em *Tesla* à medida que este se afasta do centro de indutor com 5 espiras, largura de metal e espaçamento iguais a $20\ \mu\text{m}$ e diâmetro interno de $150\ \mu\text{m}$, pode ser visualizada no corte transversal do mesmo pelos resultados das simulações com o ANSYS, como mostrado na Figura 3.4 (a). Considerando ainda o mesmo indutor, a Figura 3.4 (b) mostra a densidade de corrente em A/m^2 no raio interno do indutor para as 5 espiras. Note a maior intensidade sendo registrada na espira mais interna, assim como a sua distribuição não uniforme.



(a) Intensidade de campo magnético.



(b) Distribuição de densidade de corrente.

Figura 3.4: Corte transversal do indutor integrado passivo em simulador (ANSYS) (J. Cabanillas, 2002).

3.2.2 Perdas no Substrato

Os indutores integrados passivos normalmente são fabricados sobre substratos condutivos. Na tecnologia CMOS, por exemplo, convencionalmente o substrato de silício é separado das espiras por uma fina camada de óxido. E o silício apresenta propriedades que à primeira vista são interessantes para a aplicação de substratos de RF, entretanto, apesar da constante dielétrica alta e das pequenas variações com a frequência e temperatura, a resistividade do silício é de ordens de magnitude menor que a do GaAs. Em frequências acima

de 1 GHz, o efeito pelicular para $10 \Omega\text{cm}$ pode exceder a espessura típica do substrato, ou seja, as perdas relacionadas à alta frequência estendem-se por todo o substrato (J. N. Burghartz, 1998).

Com o intuito de identificar as perdas que ocorrem no indutor em especial, no substrato considerou-se o funcionamento básico do dispositivo, como mostrado na Figura 3.5.

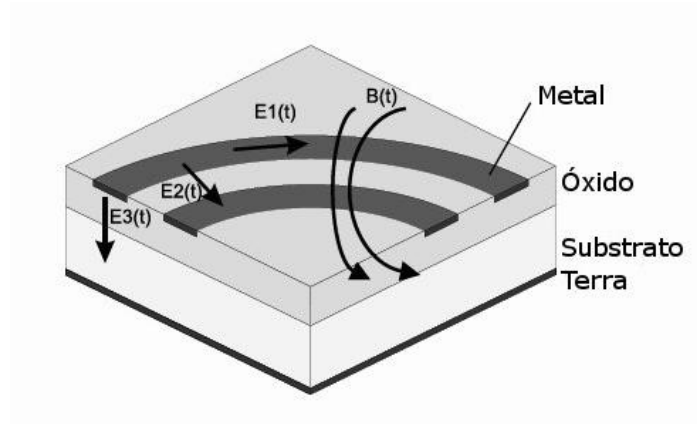


Figura 3.5: Campos gerados no funcionamento do indutor (R. Thüringer, 2002).

Quando se aplica uma tensão alternada entre as portas de um indutor, basicamente são gerados três campos elétricos e um campo magnético, conforme mostrado na Figura 3.5. Esse campo magnético variante no tempo, $B(t)$ foi gerado pelo fluxo de corrente no condutor, está relacionado com o fluxo magnético e a energia eletromagnética armazenada e resulta na auto-indutância da trilha condutora e na indutância de acoplamento com os condutores vizinhos. Esse é o mesmo campo magnético que provocou perdas metálicas e que também penetra no substrato de silício, induzindo corrente no substrato. Assim, qualquer variação no campo magnético devido à corrente no condutor representa um fluxo de corrente no sentido contrário à corrente submetida ao indutor; essa corrente induzida no substrato também é chamada de corrente de *eddy* ou corrente parasita, essa corrente gera um fluxo magnético contrário que anulará parte do magnético do indutor (L. C. Moreira, 2001).

De acordo com a Figura 3.5, o campo elétrico variante no tempo $E1(t)$ é gerado pela diferença de potencial entre as portas do indutor e, devido à condutividade finita dos metais utilizados para fabricar as espiras, esse campo resulta em perdas ôhmicas. O fluxo de corrente alternada ao longo das trilhas, associado às perdas ôhmicas do condutor, causa diferença de tensão entre as trilhas adjacentes e forma o campo $E2(t)$, e representa uma capacitância parasita devido o óxido que existe entre eles. Normalmente, o substrato possui um plano de

terra e, assim como a corrente flui de uma trilha pra outra formando o campo $E_2(t)$, a diferença de potencial entre as espiras e o plano de terra do substrato gera o campo $E_3(t)$.

Como as espiras encontram-se em paralelo com o substrato de silício condutivo, separado apenas por uma camada de dielétrico, é formado então um capacitor. Parte do campo elétrico também penetra no substrato e induz perdas ôhmicas. Assim, as perdas associadas ao campo elétrico dependem da área do indutor, da espessura do dielétrico e da condutividade do substrato (C. P. Yue. e S. S. Wong, 1999).

3.3 Técnicas para Reduzir as Perdas no Substrato

Esta seção apresenta alguns métodos implementados em indutores passivos integrados planares para a redução de perdas relacionadas ao substrato.

3.3.1 Regiões de Bloqueio p-n-p

Para melhorar o desempenho dos indutores projetados na tecnologia BiCMOS, (F. Mernyei et al., 1998) investigaram uma maneira de reduzir as perdas no substrato a partir da redução das correntes induzidas.

Considerando que essas correntes parasitas fluem ao redor do eixo das espiras, determinou-se como alternativa para reduzir essas correntes dividir a camada p^+ , com regiões n^+ em forma de trilhas estreitas, inseridas no formato de estrela, formando uma junção de bloqueio $p-n-p$ perpendiculares ao fluxo das correntes induzidas.

A inserção dessa estrutura de bloqueio embaixo da espira resultou na redução das perdas no substrato, baseada no bloqueio das correntes induzidas e, conseqüentemente, provocou alteração no pico do fator de qualidade, que passou de 5,3 para 6,0 na frequência de 3,5 GHz, o que representa um aumento percentual de 13,2. A técnica utilizada nesse trabalho é ilustrada pelo *layout* e perfil na Figura 3.6 (F. Mernyei et al., 1998).

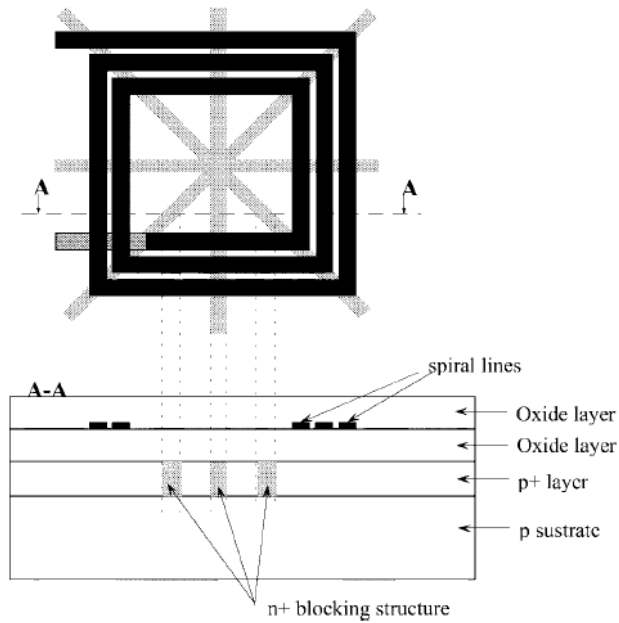


Figura 3.6: Indutor com regiões de bloqueio $p-n-p$ (F. Mernyei et al., 1998).

3.3.2 Camada Aterrada e PGS (Patterned Ground Shield)

As perdas no substrato podem ser reduzidas com a diminuição do acoplamento elétrico. Como foi visto anteriormente, forma-se um capacitor entre o indutor e o substrato devido à penetração do campo elétrico pelo dielétrico e pelo substrato. Da mesma forma que se evita o acoplamento pelo substrato em *pads* ao utilizar uma das camadas de metal passando embaixo do *pad* de sinal (A. Aktas e M. Ismail, 2001), é possível reduzir o acoplamento do indutor com a inserção de uma camada condutora sólida aterrada, localizada entre as espiras e o substrato, provendo um caminho de menor resistência para a corrente. Entretanto essa técnica apresenta algumas desvantagens, como natural aumento da capacitância total por conta da proximidade das espiras com o substrato e também redução da indutância devido à formação de correntes induzidas na mesma camada.

Para reduzir a penetração do campo elétrico no substrato, sem alterar significativamente o campo magnético da espira e ainda reduzir as perdas provocadas pela a corrente induzida (C. P. Yue e S. S. Wong, 1998), projetaram um plano de terra com fendas estreitas e perpendiculares às trilhas das espiras, conhecida como PGS (*Patterned Ground Shield*), essas fendas atuam como um circuito aberto, impedindo que a corrente induzida flua ao redor do eixo do indutor.

A técnica proposta foi inicialmente aplicada usando alumínio com espessura $0,5 \mu\text{m}$, resistividade igual a $64 \text{ m}\Omega/\mu\text{m}$ e silício policristalino com resistividade de $12 \Omega/\mu\text{m}$. A análise experimental demonstrou que o silício policristalino, material de maior resistividade, aumentou o fator de qualidade em 20% comparado ao indutor sem plano de terra, enquanto o alumínio melhorou o fator de qualidade em 13%. A Figura 3.7 (a) mostra o indutor sem plano de terra, (b) o indutor com plano de terra sólido e (c) o plano de terra com fendas (PGS).

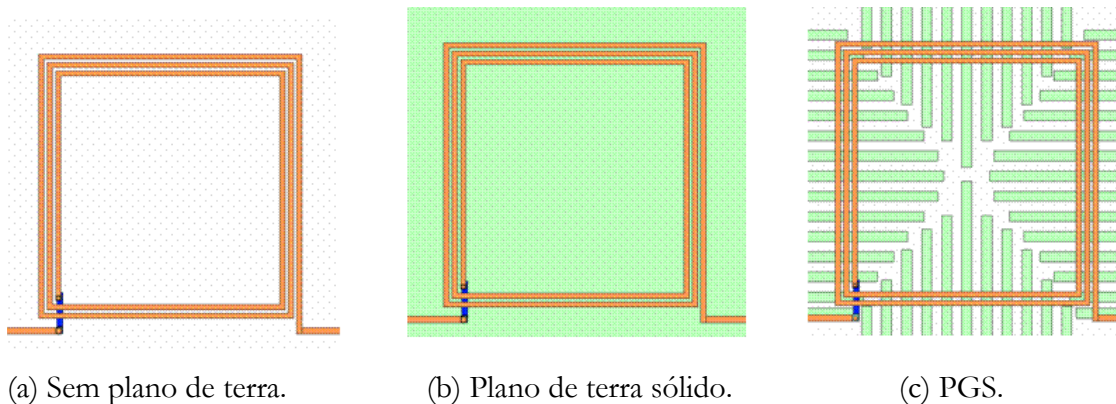


Figura 3.7: Visão 2-D dos indutores.

A partir da tecnologia disponível e seguindo a mesma idéia de planos de terras com fendas, novas estruturas foram investigadas, como o uso da camada de difusão $n+$ (Y. E. Chen et al., 2001), PGS com formas alternativas, como octogonal e circular, combinando o uso de trincheiras e da camada enterrada $n+$ (E. Ragonese et al., 2004). A camada com fendas também pode ser incorporada sem a necessidade de conexão ao terra, reduzindo o efeito das correntes induzidas e podendo representar melhorias no fator de qualidade, melhorias que são normalmente menores que com PGS aterrado, e apresentam também como características menor capacitância parasita e redução de área já que não precisa de trilhas de conexões para os *pads* de terra (P. Karjalainen et al., 2004).

3.3.3 Anel de Guarda

O princípio de projeto muito útil é tentar separar do restante do circuito os componentes que necessitam de maior atenção. Os indutores, por exemplo, podem ser parcialmente isolados, usando uma técnica chamada de anel de guarda. A Figura 3.8 mostra essa técnica, que consiste em incorporar ao redor das espiras regiões de difusão $n+$ ou $p+$ conectados

diretamente ao ponto de menor potencial. O efeito relativo a esse anel é prover um caminho de menor impedância para as correntes induzidas, comparado com a resistência do substrato. A implementação correto do anel de guarda permite um aumento no fator de qualidade, assim como menor acoplamento entre indutores adjacentes, caso contrário, parâmetros como indutância e fator de qualidade podem ser alterados sem nenhum benefício para o projeto.

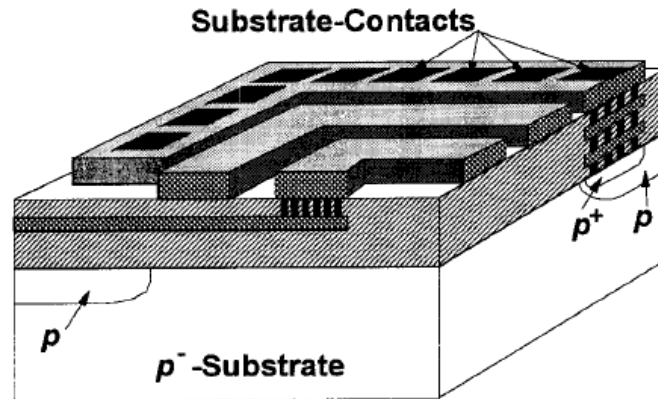


Figura 3.8: Aplicação de anéis de guarda (J. N. Burghartz et al., 1997).

3.4 Técnicas para Reduzir as Perdas Metálicas

Da mesma forma que métodos para redução de perdas relativas ao substrato foram apresentados, investigações para melhorar o desempenho dos indutores reduzindo as perdas ôhmicas também foram realizadas.

3.4.1 Empilhamento de Espiras

A espessura das camadas de metalização disponíveis nos processos de fabricação de circuito integrado pode ser limitante para o desempenho do indutor passivo, pois a energia é dissipada sobre o metal, que têm condutividade finita (J. R. Long e M. A. Copeland, 1997). Investigações anteriores mostraram o aumento na espessura do metal de nível mais alto, pois este se encontra mais distante do substrato, provocando aumento no fator de qualidade. C. P. Yue et al. (1996) mostraram o efeito provocado no fator de qualidade pela variação da espessura do alumínio de 1 μm a 3 μm e o efeito do empilhamento de 3 níveis de alumínio com 1 μm cada conforme mostrado na Figura 3.9. Esses resultados não significam que dobrar a espessura do metal é garantir o dobro do fator de qualidade, uma vez que esse fator depende da espessura efetiva do metal, que é bastante degradada em alta frequência.

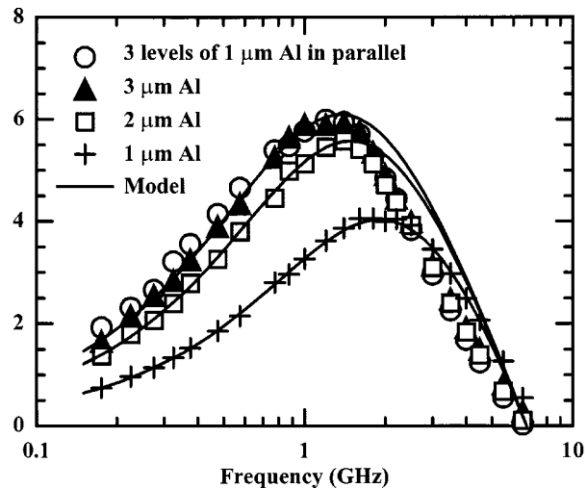


Figura 3.9: Variação do fator de qualidade para metais de diferentes espessuras e multicamada (C. P. Yue et al., 1996).

Nem todo processo de fabricação disponibiliza ao projetista um metal espesso para o desenho de indutores, entretanto a maioria permite vários níveis de metalização. Desta forma, é possível empilhar espiras em paralelo interligadas por vias, simulando um metal espesso (M. Soyuer et al., 1995). A Figura 3.10 mostra uma fotografia retirada com microscópio eletrônico de um indutor com multicamadas. Utiliza-se, nessa estrutura, um processo de 5 níveis de metalização e com empilhamento de 3 níveis. Conectados por uma grande quantidade de vias, essa alta densidade de vias é necessária para diminuir a resistência imposta pelos metais de interconexão.

Um aspecto importante a ser considerado é que o empilhamento de espiras é uma alternativa interessante, mas que, devido à sua maior proximidade com o substrato, aumenta a capacitância de óxido e a capacitância entre os condutores paralelos. Como foi avaliado anteriormente, armazenar energia elétrica é uma característica que degrada o funcionamento do indutor. Outro ponto que deve ser levado em conta é o metal que se vai utilizar para fazer o empilhamento das espiras; normalmente, o nível de metal mais alto apresenta a maior condutividade, enquanto os metais inferiores podem apresentar menor condutividade. Se houver grande discrepância entre a condutividade dos metais empilhados, provavelmente o metal inferior degradará o desempenho do indutor (K. T. Christensen e A. Jorgensen, 1998).

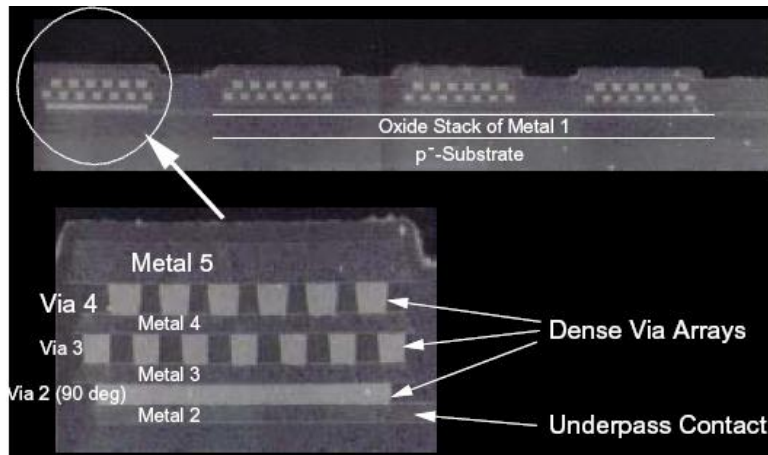


Figura 3.10: SEM de um indutor com multicamada (J. N. Burghartz et al., 1996).

3.4.2 Variação da Largura de Trilhas

A partir de estudos sobre a distribuição de campo magnético nas espiras retangulares de largura de trilha fixa, J. Craninckx e M. S. J. Steyaert (1998) observaram que as perdas ôhmicas são predominantes nos condutores mais internos, no qual o campo magnético alcança valores mais altos. Convencionalmente, evitam-se indutores com muitas voltas na tentativa de reduzir as perdas induzidas pelo campo magnético no metal e no substrato. De acordo com J. Lopez-Villegas et al. (2000), essa não é a melhor escolha para reduzir as perdas e, por conseguinte, melhorar o fator de qualidade.

Considerando então que o campo magnético é mais intenso próximo do centro do indutor, J. Lopez-Villegas et al. (2000) sugeriram um algoritmo que gera espiras com largura de trilha variável, neste algoritmo considera-se constante a expressão $w + s$, onde w é a largura do condutor e s é o espaçamento, sendo que a largura das espiras diminui à medida que se aproximam do centro, entretanto isto aumenta a resistência contínua do indutor e conseqüentemente pode representar degradação do fator de qualidade. A Figura 3.11 mostra alguns indutores fabricados e caracterizados para avaliar a eficiência dessa técnica no trabalho citado. Para reduzir as perdas associadas ao substrato, os indutores experimentalmente avaliados tiveram a camada de silício abaixo das espiras corroída (J. Y.-C. Chang e A. A. Abidi., 1993). Removendo o substrato de silício, avaliou-se apenas a contribuição das perdas ôhmicas.

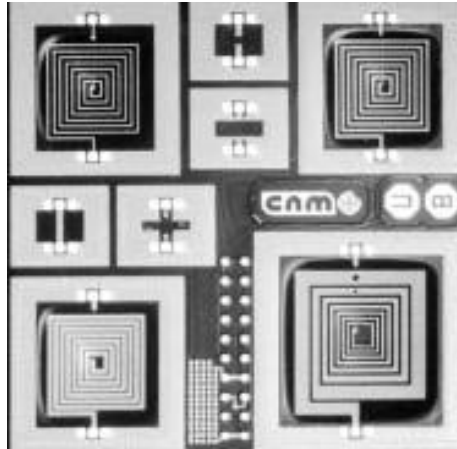


Figura 3.11: Indutores com variação na largura dos condutores (J. Lopez-Villegas et al., 2000).

3.5 Modelos de Circuitos Equivalentes

Os indutores passivos integrados podem ser representados por circuitos elétricos e estes utilizados em ferramentas de simulação como SPICE. Os circuitos equivalentes abrangem o comportamento desses dispositivos com relativa riqueza de detalhes, sendo assim, alguns modelos foram sugeridos na literatura, e o grau de complexidade de cada esta relacionado à riqueza de fenômenos eletromagnéticos considerados no modelo.

O modelo π simples foi utilizado para representar o comportamento de um indutor quadrado (N. M. Nguyen e R. G. Meyer, 1990). Na Figura 3.12, L_s representa a contribuição da auto-indutância e da indutância mútua positiva e negativa das trilhas do metal. A resistência em série com a indutância, R_s , que é causada pela condutividade finita do metal, a capacitância entre a espira e o substrato é representada por C_p , e esta capacitância está em série com a resistência do substrato chamada de R_p .

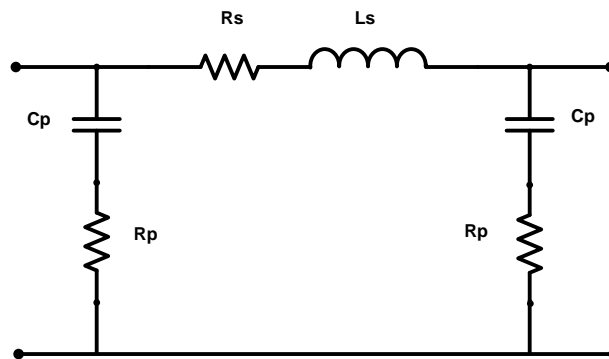


Figura 3.12: Circuito equivalente modelo π simples.

Este modelo não representa com detalhes as condições físicas do indutor, pois não considera individualmente a capacitância entre os metais das espiras e o metal da camada inferior que permite o acesso à porta interna do indutor, nem o efeito da capacitância do óxido.

O modelo de circuito equivalente da Figura 3.13 é conhecido como modelo π físico (C. P. Yue et al., 1996), que por sua vez, é um dos mais utilizado na literatura devido à sua simplicidade. Apresenta um esquema bem intuitivo e considera parâmetros relacionados ao processo de fabricação, assim como a geometria das espiras, tornando este modelo mais completo que o anterior. Neste modelo, L_s em série com R_s representa, respectivamente, a indutância e a resistência em série; C_s a capacitância formada com o metal que conecta o circuito à porta interna do indutor e a capacitância entre condutores; C_{ox} representa a capacitância do óxido; e C_{si} e R_{si} , que sintetizam a capacitância e a resistência do substrato, respectivamente.

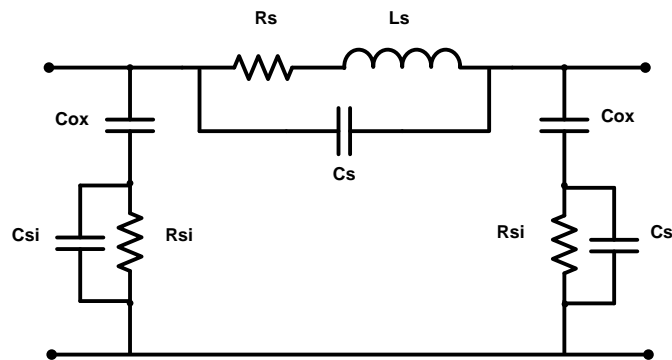


Figura 3.13: Circuito equivalente modelo π físico.

Modelos mais complexos foram apresentados na literatura. e como foi dito anteriormente, a complexidade aumenta de acordo com a riqueza de fenômenos considerados no comportamento do indutor. Um exemplo é o modelo apresentado por B.-L. Ooi et al. (2002), na qual R_s do modelo convencional é substituído por um arranjo de duas resistências e um indutor, onde L_s' e R_s' representam as perdas provenientes das correntes de *eddy* como mostrado na Figura 3.14.

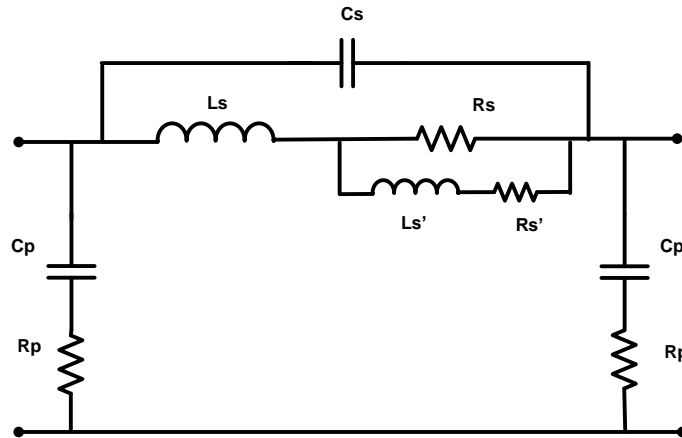


Figura 3.14: Circuito equivalente ao modelo.

A extração dos elementos apresentados nos circuitos equivalentes, basicamente, pode ser feita por dois métodos. O primeiro é o analítico, que consiste em determinar, a partir de especificações do processo e dos valores físicos do *layout*, os valores de resistência, indutância e capacitância; o outro método não exige o conhecimento profundo dos detalhes estruturais do indutor, pois utiliza os valores de parâmetros S obtidos de medidas ou simulações para extrair os elementos do circuito.

3.6 Extração Analítica

O uso de fórmulas fechadas é extremamente útil para o projetista, já que não exige que ele utilize simuladores eletromagnéticos para avaliar o comportamento de um indutor em um dado processo de fabricação, nesta seção são apresentadas algumas fórmulas presentes na literatura.

3.6.1 Capacitâncias e Resistência do Substrato

As capacitâncias são basicamente de três tipos; C_s é a capacitância entre o metal de acesso a porta interna do dispositivo e as espiras mais a contribuição da capacitância entre os metais paralelos do indutor, dada pela Equação (3.2). A capacitância associada ao óxido de silício é C_{ox} , dada pela Equação (3.3). O acoplamento entre as espiras e o substrato de silício é representado por C_{Si} . As formulas de capacitância a seguir foram modeladas por (C. P. Yue et al., 1996).

$$C_S = n \cdot w^2 \cdot \frac{\epsilon_{ox}}{t_{oxM1-M2}} \quad (3.2)$$

$$C_{ox} = \frac{1}{2} l_T \cdot w \cdot \frac{\epsilon_{ox}}{t_{ox}} \quad (3.3)$$

$$C_{Si} = \frac{1}{2} \cdot l_T \cdot w \cdot C_{sub} \quad (3.4)$$

Tal que, w é a largura do metal, n é o numero de sobreposições, $t_{oxM1-M2}$ a espessura do óxido entre a espira e o metal de acesso à porta interna, C_{sub} refere-se à capacitância por unidade de área do substrato, é um parâmetro que depende do nível de dopagem do mesmo e da área ocupada pelos indutores, t_{ox} espessura do óxido entre as espiras e o substrato, e l_T é o comprimento total das espiras. A constante dielétrica do oxido é representado por ϵ_{ox} .

Considerando que o campo elétrico expande-se no substrato por uma área muito maior que a espira, A. Goñi et al. (2007) assumiram na sua análise o indutor como um disco circular metálico de certo raio sobre um substrato de espessura t_{Sub} conectado ao ponto de terra infinito, o metal é polarizado por uma tensão V . Por meio do método das imagens se tem uma aproximação para o caso de dois discos separados por $2t_{Sub}$ e com cargas iguais em magnitude, mas com diferentes potencias. A expressão resultante para C_{Sub} é dada pela Equação (3.5).

$$C_{Sub} \approx \frac{2 \cdot \epsilon_{Sub} \cdot l_T \cdot w}{2t_{Sub} + \sqrt{\frac{w \cdot l_T}{\pi}} - \sqrt{4 \cdot t_{Sub}^2 + \frac{w \cdot l_T}{\pi}}} \quad (3.5)$$

O cálculo da resistência também não é trivial, normalmente é feito por simuladores eletromagnéticos, entretanto, quando a capacitância do substrato é conhecida pode-se assumir o tempo de relaxação dielétrica no substrato, $\tau = \rho_{Sub} \cdot \epsilon_{Sub}$ para encontrar a resistência do substrato, no caso deste trabalho, o substrato é de silício (3.6).

$$R_{Sub} = \frac{\epsilon_{Sub} \cdot \rho_{Sub}}{C_{Sub}} \quad (3.6)$$

Tal que, ϵ_{Si} é a constante dielétrica do silício, a resistividade e a capacitância do silício, respectivamente, ρ_{Sub} e C_{Sub} são parâmetros relacionados ao processo de fabricação e normalmente são disponibilizados pela *foundry*. A definição clássica para a resistência do

substrato é definida a partir da condutividade por área do substrato G_{Sub} e dada pela Equação (3.7).

$$R_{Sub} = \frac{2}{l_T \cdot w \cdot G_{Sub}} \quad (3.7)$$

3.6.2 Resistência em Série

A resistência em série está diretamente relacionada ao desempenho do indutor, e indutores operando em alta frequência sofrem efeitos eletromagnéticos que tornam a resistência em série em função da frequência, assim, R_s pode ser definida como a soma da componente R_{DC} e da R_{ac} (3.8).

$$R_s = \frac{\rho_M \cdot l_T}{w \cdot t_M} + R_{ac} \quad (3.8)$$

Tal que ρ_M é a resistividade do metal, t_M , a espessura do metal e w , a largura do metal. Uma aproximação mais simples considera que a densidade de corrente diminui exponencialmente, assim, na fórmula da resistência DC, a espessura do metal, t_M é substituída pela espessura efetiva, t_{eff} , esta espessura é dada pela Equação (3.10), e δ está em função da frequência e dado pela Equação (3.1).

$$R_s = \frac{\rho_M l_T}{w t_{eff}} \quad (3.9)$$

$$t_{eff} = \delta \left(1 - e^{-\frac{t_M}{\delta}} \right) \quad (3.10)$$

B.-L. Ooi et al. (2002) apresentaram uma nova expressão para o cálculo da resistência em série dada pela Equação (3.11), onde: R_0 é a resistência no estado sólido, ω é a frequência angular. $P = w+s$, onde w é a largura do condutor e s é o espaçamento entre condutores, T e σ_M são respectivamente a espessura e a condutividade do metal.

O número de voltas usadas do indutor é dado por n e N é parte inteira de n , e por fim, $M=n/4$ e μ_0 a permeabilidade no espaço livre.

$$R_{total} = R_0 \left[1 + \frac{\omega^2 \cdot 0,035 w^4 T^2 \sigma_M^2 \mu_0^2}{P^2} \sum_N \left(\frac{N-M}{n-M} \right)^2 \right] \quad (3.11)$$

3.6.3 Indutância

O método apresentado por H. M. Greenhouse (1974) para o cálculo da indutância pode ser simplificado para fórmulas mais compactas. Um método alternativo é o modelo físico proposto por S. Jenei et al. (2002), que considera os efeitos de auto-indutância e indutância mútua e permite o uso de frações no número de espiras como, por exemplo, n igual a 2,75, logo o valor total da indutância é dado por (3.12).

$$L_{physics} = L_0 + M_+ + M_- \quad (3.12)$$

A auto-indutância é definida por L_0 (3.13), na qual μ_0 é a permeabilidade do espaço livre, l_T é o comprimento total, w a largura do condutor, n é o número total de voltas, N é a parte inteira de n , t é a espessura do condutor, s é o espaçamento entre os condutores e d_{in} é o diâmetro interno.

$$L_0 = \frac{\mu_0}{2\pi} \cdot l_T \cdot \left(\ln \left(\frac{l_T}{n \cdot (w+t)} \right) - 0,2 \right) \quad (3.13)$$

$$l_T = (4n+1) \cdot d_{in} + (4N+1) \cdot N \cdot (w+s) \quad (3.14)$$

A indutância mútua negativa e positiva é calculada pelas expressões M_- (3.15) e M_+ (3.16), na qual d^+ é a distância média considerando todos os segmentos (3.17).

$$M_- = \frac{0,47 \cdot l_T \cdot \mu_0 \cdot n}{2\pi} \quad (3.15)$$

$$M_+ = \frac{\mu_0}{2\pi} l_T (n-1) \left[\ln \left(\sqrt{1 + \left(\frac{l_T}{4nd^+} \right)^2} + \frac{l_T}{4nd^+} \right) - \sqrt{1 + \left(\frac{4nd^+}{l_T} \right)^2} + \frac{4nd^+}{l_T} \right] \quad (3.16)$$

$$d^+ = (w+s) \frac{(3n-2N-1)(N+1)}{3(2n-N-1)} \quad (3.17)$$

Aproximações ainda mais simples foram apresentadas por S. S. Mohan et al. (1999). Trata-se de três expressões para a estimativa da indutância para indutores quadrados, circulares octogonais e hexagonais.

A primeira expressão é a formula de *Wheeler* Modificada, mostrada na Equação (3.18).

$$L_{mw} = K_1 \mu_0 \left(\frac{n^2 d_{avg}}{1 + K_2 \rho} \right) \quad (3.18)$$

O diâmetro médio é dado por d_{avg} , tal que d_{out} é o diâmetro externo e d_{in} o diâmetro interno, ρ é razão de preenchimento do indutor e representa o quanto o indutor é preenchido pelas espiras, por exemplo, se ρ é grande, o indutor é cheio.

$$d_{avg} = \frac{d_{out} + d_{in}}{2} \quad (3.19)$$

$$\rho = \frac{d_{out} - d_{in}}{d_{out} + d_{in}} \quad (3.20)$$

K_1 e K_2 são coeficientes que dependem do *layout*:

Tabela 3.1: Coeficientes para formula de *Wheeler* Modificada.

<i>Layout</i>	K_1	K_2
Quadrado	2,34	2,75
Hexagonal	2,33	3,82
Octogonal	2,25	3,55

A segunda expressão considera as correntes que passam pelo condutor e sua indutância mútua e auto-indutância. Essa expressão é uma aproximação do método apresentado por *Greenhouse* (3.21) e o ajuste dessa expressão é feito com quatro coeficientes, dados na Tabela 3.2.

$$L_{gmd} = \left(\frac{\mu_0 n^2 d_{avg} c_1}{2} \right) \ln c_2 / \rho + c_3 \rho + c_4 \rho^2 \quad (3.21)$$

Tabela 3.2: Coeficientes para expressão da aproximação de *Greenhouse*.

<i>Layout</i>	c_0	c_1	c_2	c_3	c_4
Quadrado		1,27	2,07	0,18	0,13
Hexagonal		1,09	2,23	0,00	0,17
Octogonal	0,57	1,07	2,29	0,00	0,19
Circular	0,73	1,00	2,46	0,00	0,20

A Equação 3.21 foi modificada por A. Scuderi et al. (2004) e mais um coeficiente de ajuste foi introduzido, c_0 , com a intenção de modificar a dependência do número de voltas, n . A expressão proposta é dada por (3.22) e apresenta alta precisão para indutores de baixa indutância.

$$L_{gmd2} = \frac{\mu_0 d_{avg}}{2} \left(\frac{c_0}{n} + n^2 c_1 \right) \ln c_2 / \rho + c_3 \rho + c_4 \rho^2 \quad (3.22)$$

3.6.4 Fator de Qualidade

Para o caso de um indutor ideal, a energia armazenada é puramente magnética e, desta forma, o fator de qualidade é infinito. Na prática, os indutores não apresentam fatores de qualidade infinitos, isto acontece porque esses dispositivos apresentam parasitas que são fontes de perdas capacitivas e resistivas.

Para a extração do fator de qualidade baseado no modelo do circuito equivalente, considera-se o indutor com uma das portas aterradas, como na Figura 3.15. O exemplo a seguir foi demonstrado por C. P. Yue et al. (1996), utilizando o modelo da Figura 3.13.

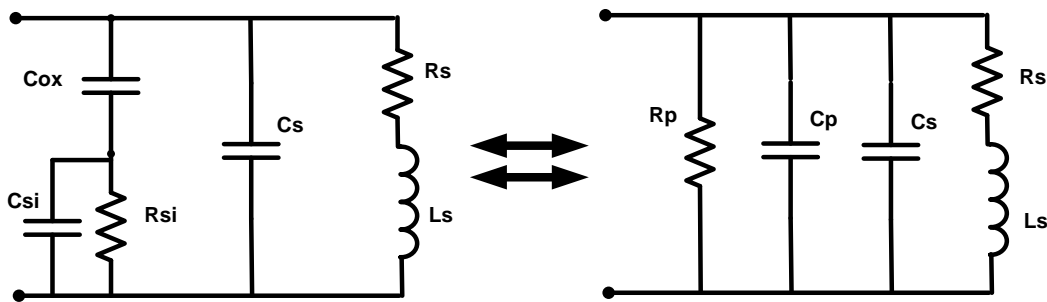


Figura 3.15: Circuito equivalente de 1 porta.

$$R_p = \frac{1}{\omega C_{ox}^2 R_{Si}} + \frac{R_{Si} (C_{ox} + C_{Si})^2}{C_{ox}^2} \quad (3.23)$$

$$C_p = C_{ox} \frac{1 + \omega^2 R_{Si}^2 C_{Si} (C_{ox} + C_{Si})}{1 + \omega^2 R_{Si}^2 (C_{ox} + C_{Si})^2} \quad (3.24)$$

Para facilitar a análise, o efeito de capacitância do óxido, C_{ox} , a capacitância do substrato, C_{Si} , e a resistência do substrato, R_{Si} , foram substituídas por uma resistência R_p (3.23) em paralelo com uma capacitância C_p (3.24).

O fator de qualidade baseado no modelo circuito equivalente pode ser representado pela equação (3.25).

$$Q = \frac{\omega L_s}{R_s} \cdot \frac{R_p}{R_p + [(\omega L_s / R_s)^2 + 1] \cdot R_s} \cdot \left(1 - \frac{R_s^2 (C_s + C_p)}{L_s} - \omega^2 L_s (C_s + C_p) \right) \quad (3.25)$$

$$Q = \frac{\omega L_s}{R_s} (\text{fator de perdas no substrato})(\text{fator de auto-ressonância}) \quad (3.26)$$

Nessa definição de fator de qualidade (3.26), o primeiro termo representa um indutor ideal em série com uma resistência. Note que o fator de qualidade é diretamente proporcional à indutância L_s e inversamente à resistência em série R_s , o segundo termo representa o fator de perdas no substrato, quando R_{Si} é infinito ou zero, e R_p aproxima-se do infinito, o que significa fisicamente eliminar a energia dissipada no substrato. O terceiro representa o fator de auto-ressonância, que pode ser melhorado, mantendo as espiras o mais distante possível do substrato.

3.7 Extração Direta

Os elementos dos modelos de circuito equivalente dos indutores também podem ser extraídos diretamente dos valores do parâmetro de espalhamento, obtidos por simulações ou medidas. No caso das medidas, a extração normalmente é feita após a retirada dos elementos parasitas que foram incorporados pelos *pads*, aplicando-se o procedimento *de-embedding*, que este descrito nas seções posteriores.

Para realizar a extração considerou-se por questão de simplicidade o modelo π simples, representado na Figura 3.16 como um elemento de duas portas, definido pelas admitâncias Y_1 , Y_2 e Y_3 (P. Arcioni et al., 1998a) e (W. Gao e Z. Yu, 2006).

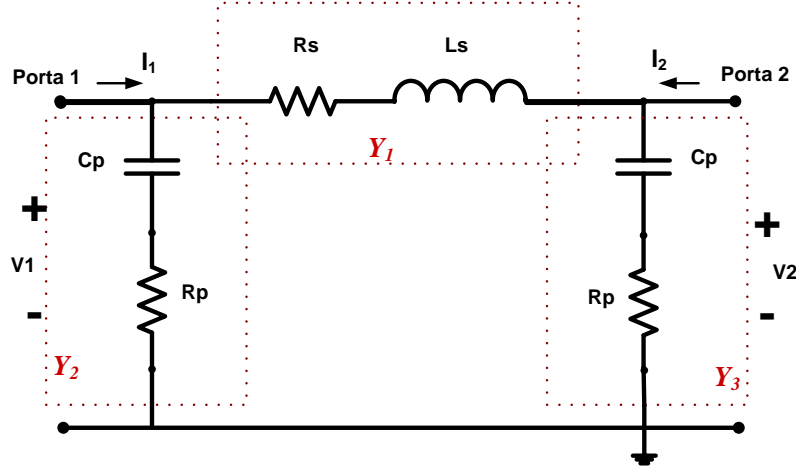


Figura 3.16: Circuito equivalente π simples para extração de parâmetros.

Os valores de medidas e simulações em parâmetros S são convertidos em parâmetros Y a partir das Equações (3.27) a (3.30).

$$Y_{11} = \frac{1}{Z_0} \frac{(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3.27)$$

$$Y_{12} = \frac{1}{Z_0} \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3.28)$$

$$Y_{21} = \frac{1}{Z_0} \frac{-2S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3.29)$$

$$Y_{22} = \frac{1}{Z_0} \frac{(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}}{(1 + S_{11})(1 + S_{22}) - S_{12}S_{21}} \quad (3.30)$$

Esses parâmetros Y estão relacionados com o sistema de equações que expressam as relações de corrente de entrada e saída em função da tensão de entrada e saída como mostrada nas Equações (3.31) e (3.32).

$$I_1 = y_{11}V1 + y_{12}V2 \quad (3.31)$$

$$I_2 = y_{21}V1 + y_{22}V1 \quad (3.32)$$

Resolvendo os parâmetros Y e comparando-os com o modelo π simples, apresenta-se a relação dada por (3.33).

$$\begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix} = \begin{pmatrix} Y_1 + Y_2 & -Y_1 \\ -Y_1 & Y_1 + Y_3 \end{pmatrix} \quad (3.33)$$

A partir da relação dada acima se determina os valores de Y_1 , Y_2 e Y_3 , como mostrado na Figura 3.17.

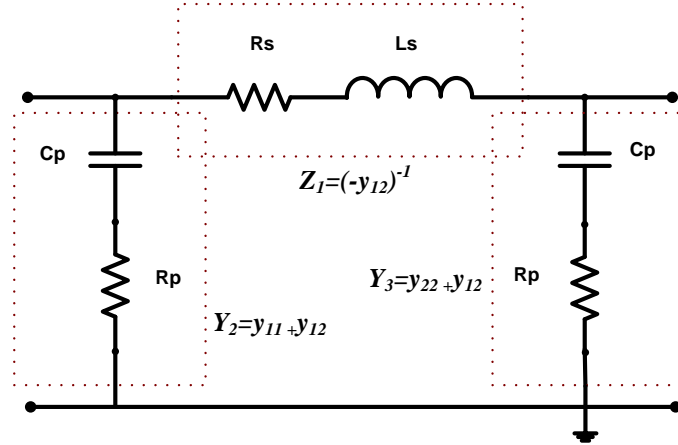


Figura 3.17: Extração dos elementos do modelo π simples por parâmetros Y .

O parâmetro Z_i ($1/Y_i$) representa os elementos em série, no caso do modelo π simples, a indutância e a resistência, que são representadas pela parte complexa de Z_i (3.34) e a parte real de Z_i (3.35).

$$L_s = \frac{\text{Im}(Z_i)}{\omega} \quad (3.34)$$

$$R_s = \text{Re}(Z_i) \quad (3.35)$$

Para o modelo π simétrico, os valores de Y_2 e Y_3 são iguais, assim, considera-se apenas um dos parâmetros Y para a extração da capacitância (3.36) e da resistência do substrato (3.37).

$$C_p = \frac{\text{Im}(Y_2)}{\omega} \quad (3.36)$$

$$R_p = \text{Re } 1/Y_2 \quad (3.37)$$

O fator de qualidade do indutor pode ser calculado a partir da razão entre parte complexa e a parte real da impedância de entrada de um circuito equivalente com uma porta aterrada. Sendo assim, é possível obter diretamente a admitância entrada considerando que a tensão na porta 2 do circuito da Figura 3.18 é zero, assim a admitância de entrada é dada pela Equação (3.38) e o fator de qualidade pela Equação (3.39).

$$Y_m = y_{11} = Y_1 + Y_2 \quad (3.38)$$

$$Q = \frac{\text{Im}(1/y_{11})}{\text{Re}(1/y_{11})} \quad (3.39)$$

O escopo deste trabalho não é extrair cada elemento de um modelo de circuito equivalente, mas sim apresentar os valores de indutância efetiva, resistência efetiva e fator de qualidade, ou seja, os valores que levam em conta todos os elementos. Dessa forma, esses valores são obtidos a partir da impedância de entrada. O fator de qualidade foi calculado na Equação (3.39), a indutância é dada pela Equação (3.40) e a resistência pela Equação (3.41).

$$L = \frac{\text{Im}(1/y_{11})}{\omega} \quad (3.40)$$

$$R = \text{Re}(1/y_{11}) \quad (3.41)$$

As equações que serão utilizadas para análise dos indutores simulados e medidos deste trabalho estão de acordo com as equações utilizadas pela *foundry* AMS no documento (AMS, 2004c).

Capítulo 4

Análises e Resultados Experimentais

Este capítulo apresenta os tipos de ferramentas que podem ser utilizadas no projeto de indutores passivos, informações referentes ao processo de fabricação AMS CMOS 0,35 μm e BiCMOS 0,35 μm , as simulações realizadas utilizando as técnicas de otimização de multicamada e de PGS, considerando sobre essas estruturas os efeitos da variação do processo, e finalmente o procedimento de medida e os resultados obtidos para os indutores fabricados nos processos CMOS e BiCMOS.

4.1 Ferramentas e Processo de fabricação

Realizar a análise completa da qualidade dos indutores envolve a fabricação e a caracterização das estruturas, entretanto, o fluxo de projeto completo é oneroso e demanda tempo. Considerando, por exemplo, o processo tecnológico de fabricação disponível para este trabalho AMS CMOS 0,35 μm e BiCMOS 0,35 μm , apenas o tempo de entrega dos circuitos é de no mínimo três meses.

Atualmente os projetistas fazem uso de ferramentas computacionais, que auxiliam as etapas de projeto, otimização e concepção de novas estruturas, essas ferramentas são basicamente de dois tipos, baseadas em modelos físicos, utilizando expressões fechadas para derivar e extrair os elementos e os efeitos dos indutores passivos, como as expressões apresentadas no capítulo anterior, um exemplo desse tipo de ferramenta é o SISP (*Spiral Inductor Simulation Program*) desenvolvido em C++ para a extração rápida dos elementos de um modelo de circuito equivalente de duas portas (Y. Koutsoyannopoulos et al., 1997), entre os principais elementos estão a resistência e a indutância em série, as capacitâncias formadas entre os condutores em paralelo e pelas espiras e o substrato. O SISP conta também com um gerador de *layout*, assim o projetista pode configurar as camadas e os parâmetros do processo de fabricação e suas respectivas variações para realizar as simulações, e posteriormente gerar automaticamente o *layout*. A grande vantagem desse tipo de ferramenta é a velocidade que

calcula as expressões, no entanto derivar expressões fechadas para representar o comportamento de indutores e seus efeitos eletromagnéticos não é uma tarefa fácil. Sendo assim, é importante considerar o uso de ferramentas de simulação eletromagnética. Existem alguns pacotes comerciais que fazem com facilidade a análise do comportamento dos indutores e representam com precisão interações eletromagnéticas que ocorrem dentro do indutor, estas ferramentas podem ser baseadas em diferentes métodos numéricos, como por exemplo, diferenças finitas, elementos finitos, ou método dos momentos (J. V. Hese, 2001). Essas ferramentas proporcionam ao projetista flexibilidade, pois permitem o projeto de estruturas complexas, assim como a proposta de novas estruturas, entretanto, os simuladores eletromagnéticos apresentam a desvantagem do alto custo computacional, o que demanda longos períodos de simulação e no caso de um simulador comercial normalmente o custo para aquisição também é elevado (A. Goñi, et al., 2008).

Nos últimos anos o Grupo de Microeletrônica e Antenas da UNICAMP utilizou diversas ferramentas comerciais para simulação eletromagnéticas para diferentes aplicações, dentre elas; antenas, linhas de transmissão, atuadores, filtros, entre outras.

Para a simulação de indutores, o método dos momentos é o mais utilizado, pois apresenta a vantagem de ter o menor tempo de simulação e custo computacional reduzido (J. V. Hese, 2001). São exemplos desse tipo de ferramenta o IE3D da *Zeland*, MOMENTUM da *Agilent's Advanced Design System* e o SONNET EM 3-D da Sonnet Software.

O SONNET é baseado no método dos momentos aplicados diretamente nas equações de *Maxwell* para resolver problemas de circuitos planares, essa ferramenta considera todos os efeitos EM, em especial para aplicação de indutores em substratos condutivos, inclui efeitos de correntes de *eddy* no substrato e a dependência das perdas ôhmicas com o aumento da frequência. Para realizar a análise é necessário primeiramente aplicar a descrição física do dispositivo, incluindo o *layout*, e as propriedades dos metais e dielétricos. A interface é amigável e segue o padrão das interfaces de ferramentas de CAD, utilizando o esquema de camadas e uma visão 2-D e 3-D do *layout*, o que torna a adaptação do projetista rápida.

O método dos momentos é implementado no SONNET primeiramente subdividindo ou gerando uma malha dos metais em pequenas subdivisões, e em seguida considera-se uma subdivisão e ignora todas as outras, assim calcula-se a tensão referente a corrente aplicada naquela subdivisão, esse processo é repetido para todas as outras subdivisões. A alta precisão e robustez apresentada pelo SONNET estão associadas ao uso da FFT (*Fast Fourier Transform*),

pois o cálculo da tensão referente à corrente aplicada em certa subdivisão é feito pela FFT 2-D (Sonnet, 2008).

O SONNET EM 3-D versão 11.52 Professional foi doado pelo Dr. James Rautio ao grupo, dessa forma, essa ferramenta foi utilizado para o projeto e simulações dos indutores deste trabalho.

Independente da ferramenta utilizada para projeto, análise e otimização dos indutores integrados passivos, é fundamental para o projetista primeiramente conhecer o processo tecnológico de fabricação disponível. Uma parte dos indutores apresentados neste trabalho foram projetados, simulados e fabricados no processo tecnológico CMOS 0,35 μm e a segunda parte em BiCMOS 0,35 μm 2P4M da AMS.

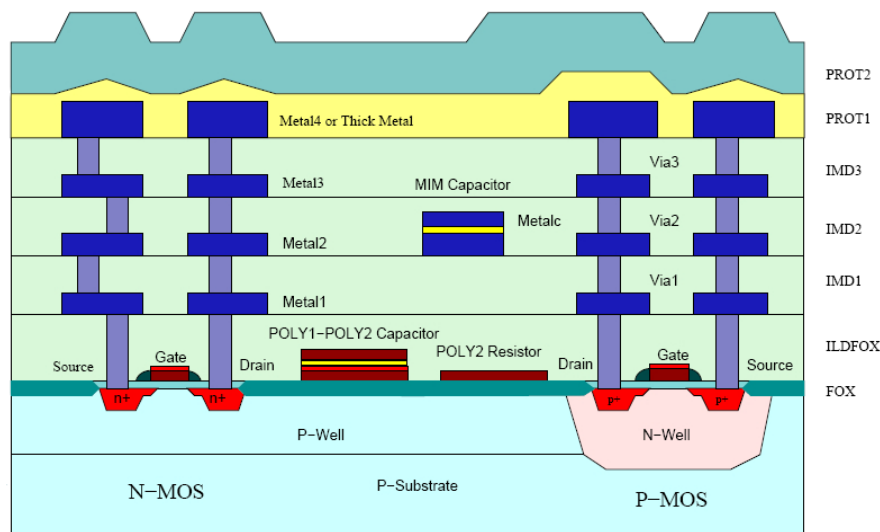


Figura 4.1: Corte transversal do processo CMOS 0,35 μm (AMS, 2004d).

A Figura 4.1 mostra o corte transversal do processo de fabricação AMS 0,35 μm 2P4M CMOS, esse processo de fabricação oferece quatro camadas de metal, três vias de interconexão entre metais e duas camadas de silício policristalino.

Os metais 4, 3 e 2, apresentam respectivamente a resistência de folha típica de 40 $\text{m}\Omega/\square$, 70 $\text{m}\Omega/\square$ e 70 $\text{m}\Omega/\square$, e espessuras de 0,925 μm , 0,640 μm e 0,640 μm . O substrato de silício possui resistividade típica de 19 Ωcm e o silício policristalino 1 tem resistividade típica igual a 8 Ω/\square e o silício policristalino 2 tem resistência típica de 50 Ω/\square .

A tabela 4.1 reporta os parâmetros estruturais e geométricos do processo, dentre esses parâmetros está a espessura de óxido, entre cada camada de metal, espessura de cada metal, a espessura do substrato de silício.

Observe o espalhamento do processo, no caso do óxido entre as camadas de metal, TIMD3, TIMD2, TIMD1 o valor mínimo para a espessura é de 620 nm e pode chegar a 1380 nm para o valor máximo.

Tabela 4.1: Parâmetros geométricos e estruturais (AMS, 2004d).

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Passivação 2	TROT2	800	1000	1200	nm
Passivação 1	TROT1	930	1030	1130	nm
Metal 4	TMET4	775	925	1075	nm
Óxido M43	TIMD3	620	1000	1380	nm
Metal 3	TMET3	540	640	740	nm
Óxido M32	TIMD2	620	1000	1380	nm
Metal 2	TMET2	540	640	740	nm
Óxido M21	TIMD1	620	1000	1380	nm
Metal 1	TMET1	565	665	765	nm
Óxido M1P1	TILDFOX	395	645	895	nm
Silício Poli 1	TPOLY1	264	282	300	nm
Óxi de Campo	TGOX	260	290	320	nm
Subs de Silício	TWAF	710		740	μm

A tabela 4.2 apresenta os valores das resistências dos metais, silício policristalino 1 e 2, e as resistividades do substrato de silício.

Cada parâmetro do processo é uma variável independente que influencia diretamente na qualidade dos dispositivos, logo, é importante considerar a variação dos parâmetros durante a fase de projeto e simulação.

Tabela 4.2: Resistência dos condutores e substrato (AMS, 2004d).

Parâmetro	Símbolo	Mínimo	Típico	Máximo	Unidade
Metal 4	RMET4		40	100	mΩ/□
Metal 3	RMET3		70	120	mΩ/□
Metal 2	RMET2		70	120	mΩ/□
Metal 1	RMET		70	120	mΩ/□
Silício Poli 2	RPOLY2		50	60	Ω/□
Silício Poli 1	RPOLY		8	11	Ω/□
Sub de Silício	RSWAF	14	19	24	Ωcm

4.2 Simulação e Análises de Indutores

Nesta seção estão apresentadas as simulações de indutores passivos integrados baseados no processo de fabricação CMOS 0,35 μm utilizando a ferramenta de simulação Sonnet EM 3-D.

4.2.1 Indutor Planar

O primeiro passo deste trabalho foi adotar um indutor planar de referência, este indutor teve seu *layout* cuidadosamente alterado para maximizar o desempenho desse dispositivo na faixa de frequência entre 1 e 4 GHz. Para facilitar essa fase do projeto, utilizou-se o simulador eletromagnético SONNET EM 3-D.

Considerou-se um indutor planar de quatro lados, de diâmetro externo igual a 300 μm e número de voltas igual a 2,5, com o auxílio da ferramenta de simulação realizou-se a parametrização do espaçamento entre trilhas, variando o mesmo de 6 μm a 1 μm, observou-se o aumento na indutância, isto se deve pelo fato de que quanto menor a distância entre os segmentos, maior é o acoplamento magnético e um pequeno aumento no fator de qualidade máximo. A proximidade dos segmentos aumenta a capacitância entre os mesmos, o que aumenta a capacitância parasita formada, entretanto reduz a área total do indutor, logo é preferível usar o menor espaçamento entre segmentos permitido pelo processo tecnológico. No caso deste trabalho utilizou-se 2 μm de espaçamento. Com o espaçamento definido, analisou-se o efeito da variação da largura do condutor entre 4 μm e 40 μm, o desempenho do indutor tende a melhorar com o aumento da largura, pois a resistência relativa ao metal claramente diminui e conseqüentemente melhora o fator de qualidade máximo, entretanto em

aplicações de alta frequência o efeito pelicular e o efeito de proximidade, reduzem a área efetiva do condutor, estes efeitos são proeminentes em condutores muito largos, assim a resistência do condutor aumenta. A capacitância parasita formada entre as espiras e o substrato também aumenta causado pela ampliação da área total do indutor. Seguindo esse compromisso, foram obtidos bons resultados para largura do condutor igual a $20\ \mu\text{m}$. O indutor planar de referência é mostrado na Figura 4.2 e possui espaçamento entre condutores de $2\ \mu\text{m}$, largura de $20\ \mu\text{m}$, diâmetro externo igual a $300\ \mu\text{m}$, e número de voltas igual a 2,5.

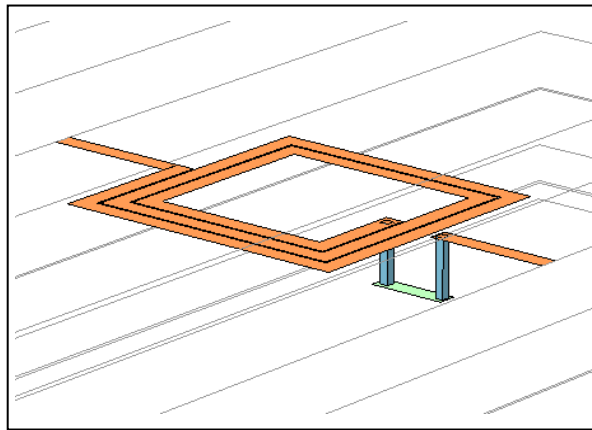


Figura 4.2: Indutor planar.

As tabelas 4.1 e 4.2 apresentam a variação do processo de fabricação para os elementos fundamentais para o projeto dos indutores, essa variação deve ser considerada durante o projeto do circuito integrado.

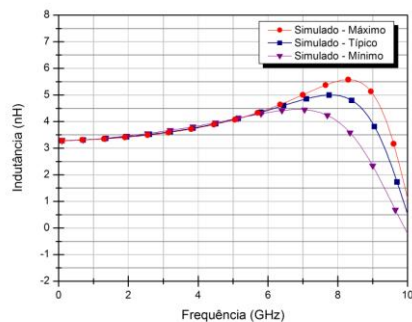
Avaliar o efeito do processo considerando apenas variações fechadas de valores de mínimo, típico e máximo não permite que se obtenha muita informação da dependência da qualidade do indutor com os parâmetros, seguindo essa idéia elaborou-se uma estratégia para tentar entender melhor como os principais parâmetros influenciam no comportamento do indutor planar baseado no processo da AMS.

Os parâmetros são independentes e podem ser combinados de diferentes formas, e para avaliar um parâmetro de cada vez demandaria muito tempo, Sendo assim, considerou-se que o indutor é basicamente formado por três partes, a primeira é a de substrato de silício, a segunda o dielétrico e a terceira trata-se dos condutores utilizados nas espiras. Assim, avaliou-se a variação de uma parte de cada vez, enquanto que as outras duas partes tiveram seus parâmetros fixados nos valores típicos.

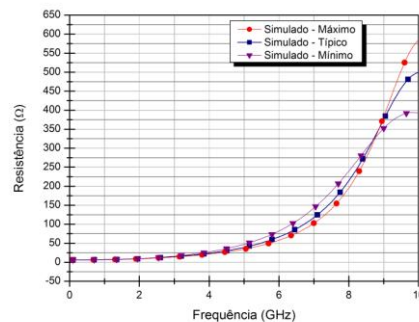
A partir das simulações foram obtidos os parâmetros de espalhamento para duas portas, esses parâmetros foram convertidos em parâmetros Y, e em seguida aplicou-se as Equações (3.39) a (3.41) para a extração dos valores de fator de qualidade, indutância e resistência. A Figura 4.3 Mostra a dependência do desempenho do indutor em função da variação da resistividade do substrato. O substrato de silício deste processo apresenta resistividade moderada, que varia de 14 Ωcm a 24 Ωcm , observe que quanto maior a resistividade, melhor é o desempenho do indutor, a indutância aumenta a resistência diminui e conseqüentemente o fator de qualidade aumenta isso é explicado pela natureza condutiva do silício. A intensidade de corrente induzida no substrato é inversamente proporcional à sua resistividade, o que sugere que substratos mais resistivos são melhores (A. Anjos, 2007).

J. Zhao et al. (1998) avaliaram o efeito da variação da resistividade do silício no fator de qualidade e frequência de auto-ressonância (SRF – *Self-Resonance Frequency*) quando o indutor ressona com sua própria capacitância parasita e o fator de qualidade é zero, desenvolvendo as funções de *Green* com auxílio computacional e medindo algumas amostras, foi utilizado como referência um indutor com substrato sem perdas, para encontrar o desempenho máximo do indutor e tornar o indutor independente do substrato, a partir dessa análise os autores determinaram que indutores passivos apresentam perda mínima com substratos de resistividade $> 10\text{K } \Omega\text{cm}$.

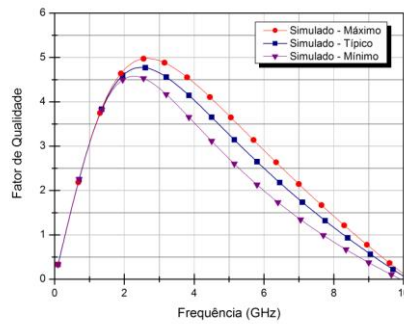
O substrato disponível no processo AMS apresenta resistividade moderada e pequena variação, o que não implica em grande discrepância nos valores de indutância, resistência e fator de qualidade, mas mostra que quanto maior é o valor da resistividade melhor é o desempenho do indutor, dessa forma, menores são as perdas relacionadas com a corrente induzida.



(a) Indutância.



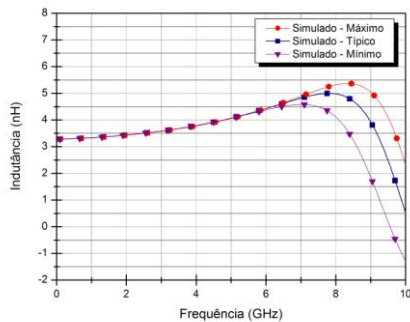
(b) Resistência.



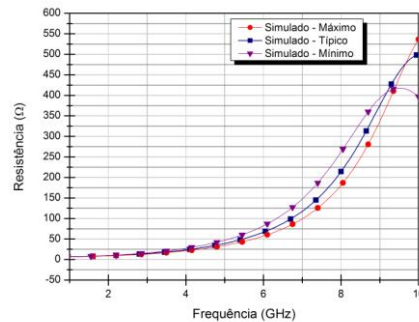
(c) Fator de Qualidade.

Figura 4.3: Simulação do indutor planar – Variação da resistividade do Si.

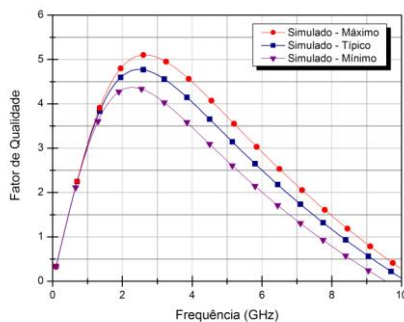
A segunda parte da análise considera os efeitos do óxido no desempenho do indutor planar. De acordo com as informações fornecidas pela AMS, as camadas de óxido que separam as camadas de metalização podem ter valores mínimos de 620 nm e valores máximos de 1380 nm. Considerando que as espiras formam com o substrato um capacitor de placas paralelas, e como existe variação na espessura do óxido que separa estes dois condutores, significa dizer que existe variação na capacitância. O indutor é um dispositivo que armazena energia magnética, ou seja, a alta capacitância naturalmente representa degradação no desempenho do indutor. A Figura 4.4 mostra o comportamento do indutor com a variação do óxido. O desempenho do dispositivo é degradado com o aumento do acoplamento capacitivo, dessa forma, para os valores de óxido mínimo, ou seja, menor distância entre as espiras e o substrato, a frequência de auto-ressonância é reduzida e o indutor passa a ter comportamento capacitivo em frequências mais baixas.



(a) Indutância.



(b) Resistência.



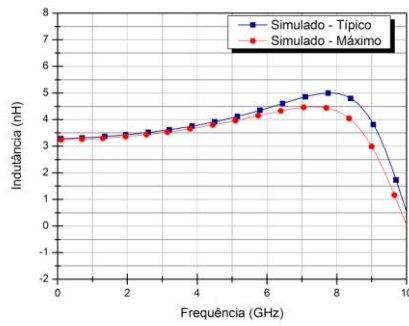
(c) Fator de Qualidade.

Figura 4.4: Simulação do indutor planar – Variação da espessura do óxido.

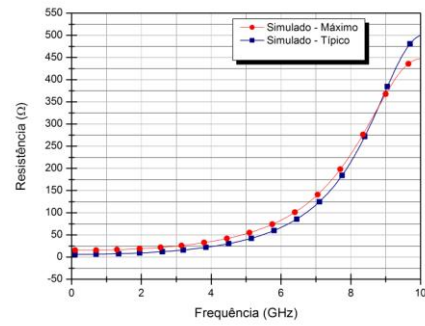
A última parte do processo a ser analisada são os condutores, e estes são extremamente importantes para o bom desempenho dos indutores, principalmente porque estão relacionados diretamente com a resistência em série e as perdas ôhmicas por efeitos eletromagnéticos. A *foundry* no processo CMOS 0,35 μm oferece quatro níveis de metalização, sendo que o metal de nível mais alto, no caso desse processo é o metal 4, apresenta a menor resistência de folha, que pode variar de 40 $\text{m}\Omega/\square$ a 100 $\text{m}\Omega/\square$, dessa forma, os indutores normalmente são projetados no metal de nível mais alto, o uso do metal de nível mais alto oferece outra vantagem, a maior distância em relação ao substrato, o que reduz o acoplamento capacitivo.

A Figura 4.5 mostra a dependência do desempenho do indutor planar em relação a variação dos metais 4 e 3. O metal 3 foi utilizado para o acesso a porta interna do indutor e apresenta valor típico de 70 $\text{m}\Omega/\square$ e valor máximo de 120 $\text{m}\Omega/\square$.

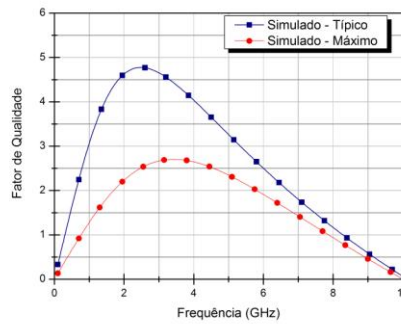
Com o aumento da resistência de folha de 70 para 120 $\text{m}\Omega/\square$ o desempenho do indutor ficou limitado a resistência, o que representa aumento na energia dissipada pelo indutor, uma vez que o fator de qualidade é inversamente proporcional a energia dissipada. A partir da análise do substrato, óxido e do metal foi possível identificar que no caso do indutor planar, o metal é o fator determinante para o bom desempenho nesse processo e para essa estrutura.



(a) indutância.



(b) Resistência.

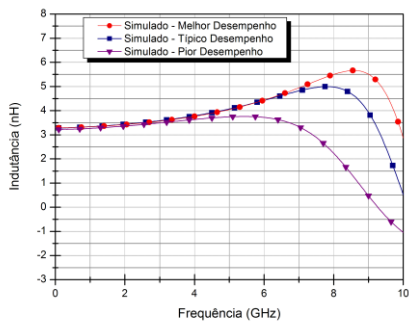


(c) Fator de Qualidade

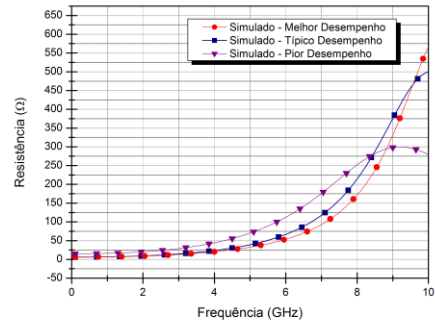
Figura 4.5: Simulação do indutor planar – Variação dos Metais.

A partir da análise feita para o indutor planar é possível verificar a dependência do desempenho do indutor com os parâmetros de resistividade do substrato, óxido entre metalizações e resistência dos condutores. Assim, o indutor passa a ter o melhor desempenho quando têm a resistividade máxima, o óxido mais espesso, ou seja, o óxido máximo, e a menor resistência de folha, a resistência típica. O pior desempenho acontece quando o substrato tem a menor resistividade, a menor espessura de óxido e metais com a resistência de folha máxima.

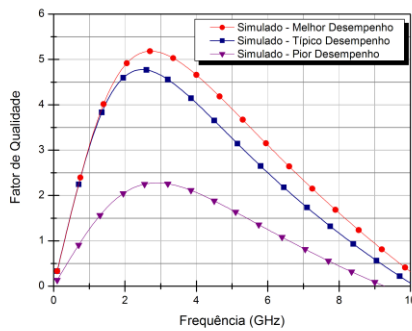
A Figura 4.6 apresenta as simulações referentes ao melhor, típico e pior desempenho.



(a) Indutância.



(b) Resistência.



(c) Fator de Qualidade.

Figura 4.6: Simulação do indutor planar.

O gráfico da Figura 4.6 (a) representa a indutância do indutor planar em função da variação do processo, a influência do processo foi basicamente na frequência de auto-ressonância.

A Figura 4.6 (b) ilustra o aumento da resistência de acordo com a variação do processo. A simulação considerando o pior desempenho resultou na maior resistência, essa elevação no valor da resistência implicará na redução do fator de qualidade, devido ao aumento de energia dissipada. A Figura 4.6 (c) mostra exatamente este comportamento, a maior variação ocorreu no fator de qualidade, principalmente no processo que considera os valores de pior e melhor desempenho.

4.2.2 Indutor Planar Multicamada

Existem processos de fabricação que não disponibilizam ao projetista um metal espesso para o projeto de indutores, entretanto a maioria permite vários níveis de metalização e dessa

forma é possível empilhar espiras em paralelo interligadas por vias, simulando um metal espesso, o indutor da Figura 4.7 é idêntico ao indutor planar exceto pelo empilhamento de espiras. Nesse projeto o indutor consiste de dois níveis de metalização, o metal 4 e metal 3 em paralelo, interligados por vias do tipo 3, com o objetivo de reduzir a resistência em série e consequentemente melhorar o desempenho do indutor.

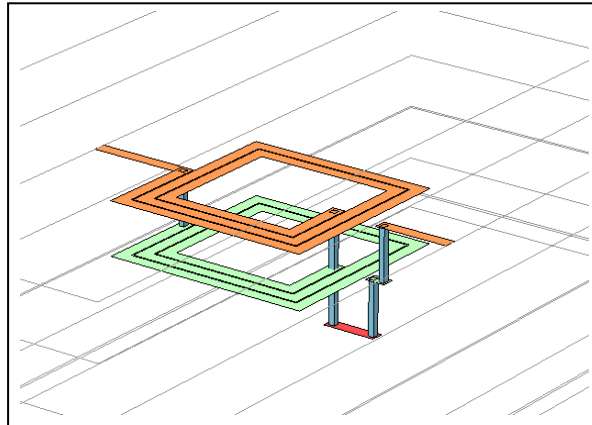
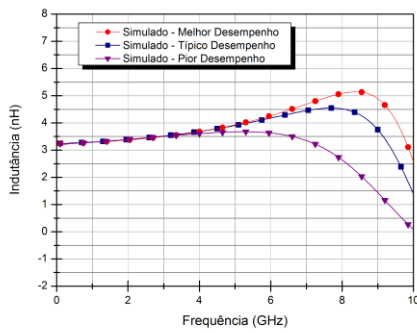
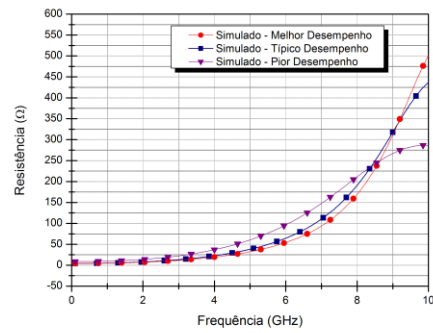


Figura 4.7: Indutor multicamada.

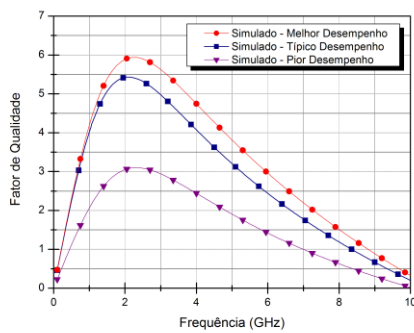
A Figura 4.8 ilustra o comportamento do indutor com empilhamento de duas camadas em função da variação dos parâmetros estruturais do processo, ou seja, o pior caso, o caso típico e o melhor caso. A análise feita para o indutor planar é válida para essa estrutura, entretanto utilizar o empilhamento de camadas significa aproximar as espiras do substrato, ou seja, aumentar o acoplamento capacitivo, tal acoplamento torna-se crítico quando o processo tende a variar para o pior caso, quando a espessura do óxido entre metais é menor, outro ponto importante é a resistência de folha dos metais utilizados para o empilhamento, normalmente o nível de metal mais alto apresenta a menor resistência, enquanto que os metais inferiores podem apresentar maior resistência, a análise feita para o metal no indutor planar mostra a tendência de todos os metais apresentarem a resistência típica ou máxima (pior caso), mas é possível que ocorra a variação para o pior caso apenas dos metais inferiores ou até mesmo que o processo ofereça metais com valores de resistência bem mais altos, nesse caso a combinação dos metais provavelmente apresentaria resultados inferiores aos dos indutores com apenas uma camada de metal. Para garantir que a técnica funcione optou-se por utilizar dois níveis de metalização.



(a) Indutância.



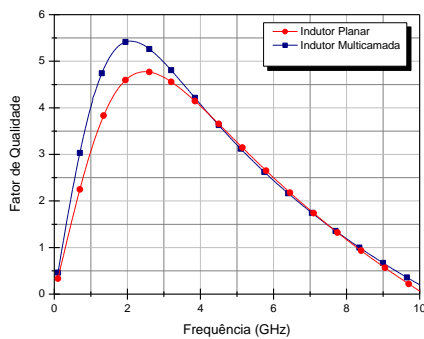
(b) Resistência.



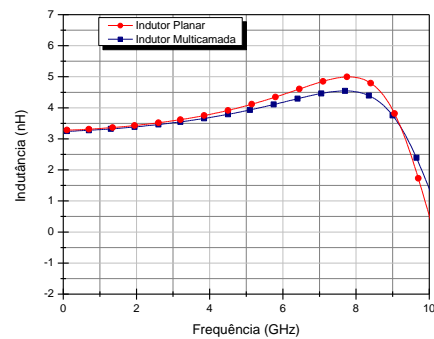
(c) Fator de Qualidade.

Figura 4.8: Simulação do indutor multicamada.

A Figura 4.9 mostra a comparação do indutor planar de referência e o indutor multicamada em termos de fator de qualidade e indutância.



(a) Fator de Qualidade.



(b) Indutância.

Figura 4.9: Fator de qualidade e indutância – Simulação.

4.2.3 Indutor Planar com PGS

Aplicou-se a técnica de multicamada juntamente com a de PGS para tentar diminuir as perdas associadas ao metal e ao acoplamento entre o indutor e substrato, a técnica de PGS consiste em desenhar um plano de terra entre as espiras e o substrato com fendas estreitas e perpendiculares aos condutores do indutor, essas fendas atuam como um circuito aberto, evitando o fluxo de corrente induzida ao redor do eixo do plano de terra. A Figura 4.10 mostra o indutor multicamada com PGS. No PGS foram incorporadas duas conexões em suas trilhas, assim previne-se que a corrente induzida flua na parte externa do PGS, são essas as trilhas que são conectadas ao terra. A camada utilizada para o PGS foi de silício policristalino 1, de resistência de folha típica de $8 \Omega/\square$ e máxima de $11 \Omega/\square$, esse plano tem largura de trilha e espaçamento iguais a $10 \mu\text{m}$.

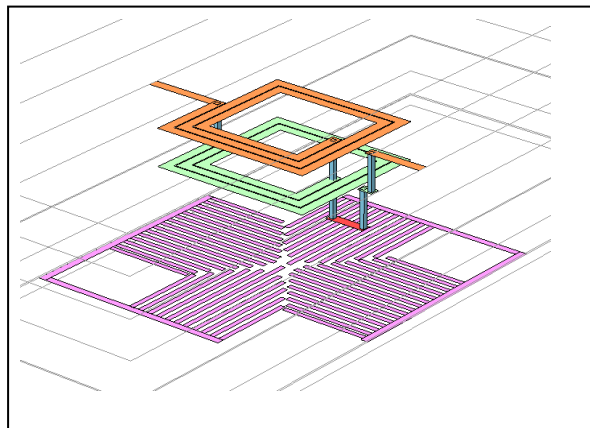
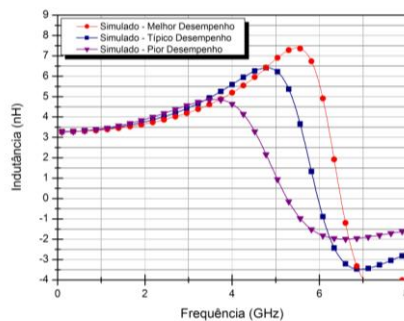
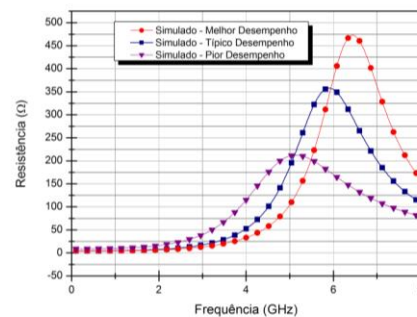


Figura 4.10: Indutor multicamada com PGS.

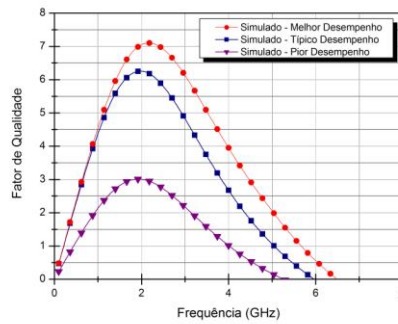
As curvas obtidas para a variação do processo no indutor com multicamada e PGS são apresentadas na Figura 4.11, nota-se a variação na frequência de auto-ressonância.



(a) Indutância.



(b) Resistência.

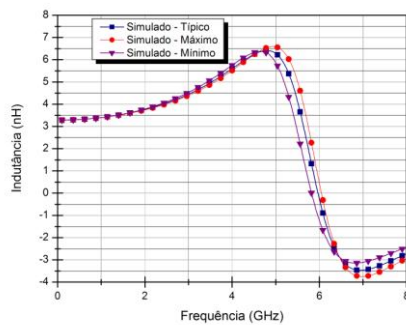


(c) Fator de Qualidade.

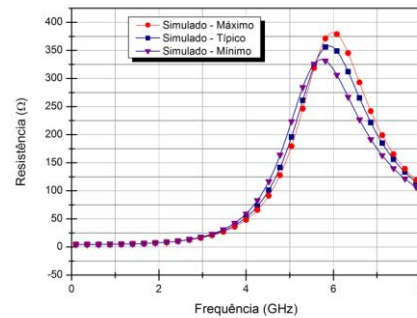
Figura 4.11: Simulação do indutor multicamada com PGS.

O PGS aplicado ao indutor tem como principal função reduzir o acoplamento do indutor com o substrato, principalmente porque os indutores ocupam uma ampla área do circuito e induzem corrente no substrato, essa corrente induzida implica em perdas e acoplamento com outros dispositivos. Introduzir uma camada de metal entre o indutor e o substrato significa evitar que o campo elétrico penetre no substrato e simplificar a modelagem do substrato do indutor, que passa a ser dependente do condutor utilizado no plano de terra.

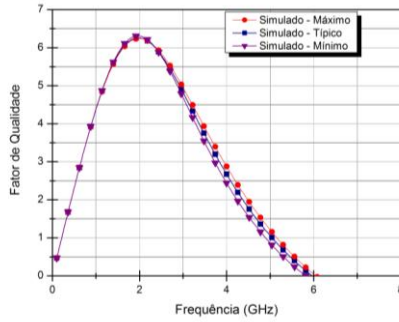
A Figura 4.12 mostra o impacto da variação da resistividade do substrato no desempenho do indutor com multicamada e PGS, note que os valores de indutância, resistência e fator de qualidade sofreram pouca alteração, isso é explicado pela redução do campo elétrico que penetra no substrato e conseqüentemente na baixa perda de energia.



(a) Indutância.



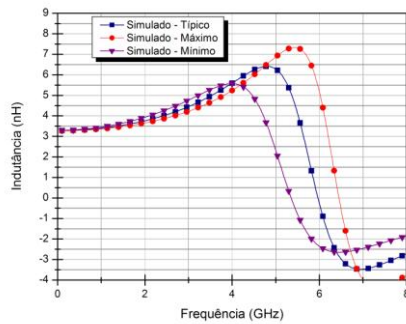
(b) Resistência.



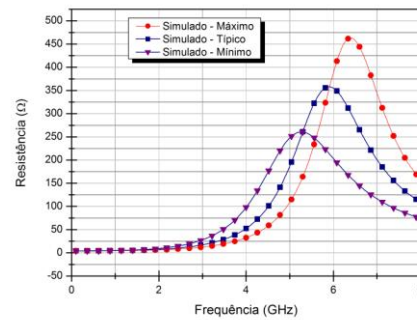
(c) Fator de Qualidade.

Figura 4.12: Simulação do indutor PGS – variação da resistividade.

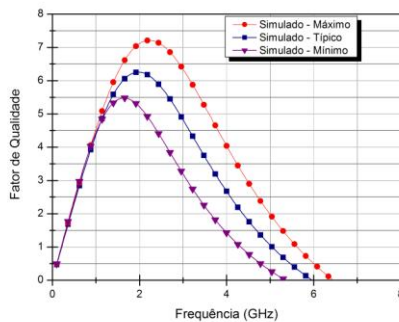
É esperado que o impacto da variação do óxido seja maior nesse indutor do que nos apresentados anteriormente, pois introduzir uma camada condutora entre as espiras e o substrato significa aumentar a capacitância parasita do indutor. A Figura 4.13 mostra que a principal influência do espalhamento do óxido é na frequência de auto-ressonância.



(a) Indutância.



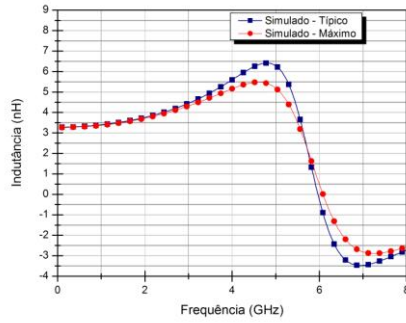
(b) Resistência.



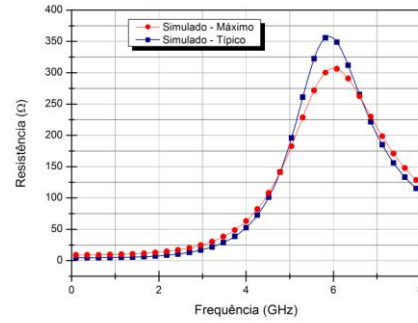
(c) Fator de Qualidade.

Figura 4.13: Simulação do indutor multicamada com PGS – variação da espessura do óxido.

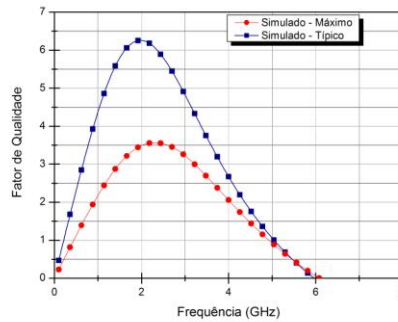
No caso do indutor com multicamada e PGS o comportamento em relação a variação da resistência dos condutores metálicos, como já foi visto, aumentar a energia dissipada e conseqüentemente reduz o fator de qualidade, enquanto que a indutância e a freqüência de auto-ressonância não sofrem muita alteração, como ilustra a Figura 4.14.



(a) Indutância.



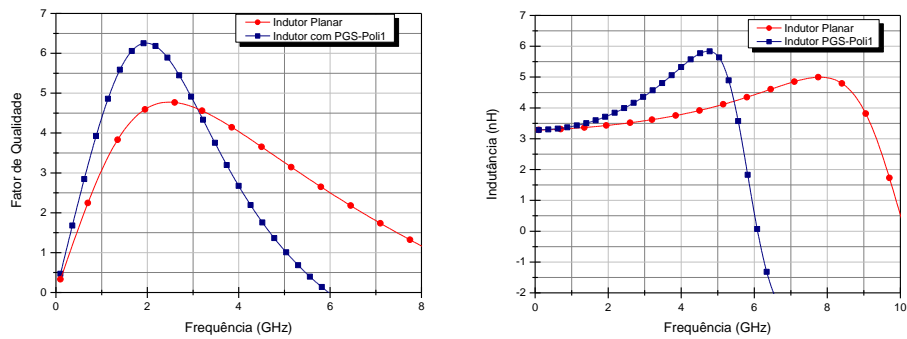
(b) Resistência.



(c) Fator de Qualidade.

Figura 4.14: Simulação do indutor multicamada com PGS – variação dos condutores.

A comparação do indutor planar com o indutor com PGS e multicamada é apresentada na Figura 4.15 para o fator de qualidade e indutância.



(a) Fator de Qualidade.

(b) Indutância.

Figura 4.15: Fator de qualidade e indutância – Simulação.

4.2.4 Indutor Planar com Duplo PGS

O processo de fabricação CMOS disponível para esse trabalho oferece dois tipos de silício policristalino, o que possibilita a aplicação de uma dupla camada de PGS, evitando a penetração do campo elétrico no substrato e que correntes sejam induzidas no PGS, como mostrado na Figura. 4.16. O duplo PGS (DPGS) foi apenas simulado por H. P. Tan et al. (2000) utilizando a ferramenta HFSS para um processo de fabricação simplificado.

Nessa estrutura utilizou-se o indutor com PGS da seção anterior, que teve seu *layout* alterado com a inclusão de uma camada de silício policristalino 2 de forma que não existisse espaço entre as trilhas paralelas de PGS. Esta placa condutora apresenta resistência de folha típica e máxima de $50 \Omega/\square$ e $60 \Omega/\square$, respectivamente.

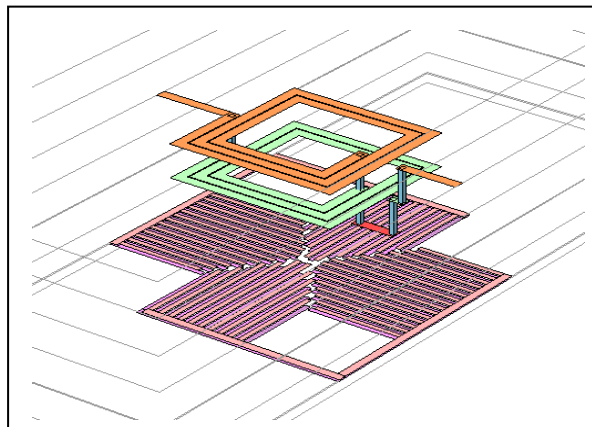
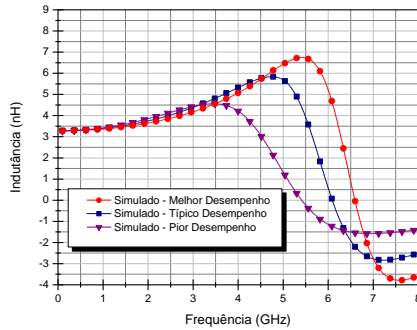
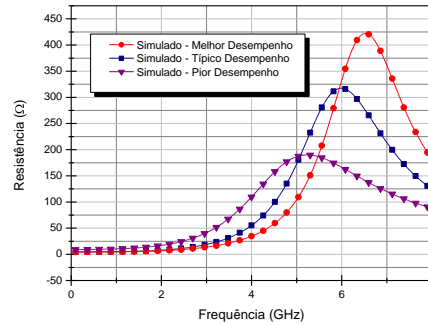


Figura 4.16: Indutor multicamada com duplo PGS.

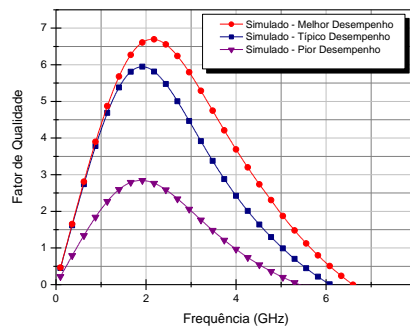
O indutor com duplo PGS apresenta comportamentos semelhantes ao do indutor com PGS simples, logo, serão apresentados diretamente os resultados obtidos para o pior, típico e melhor desempenho, mostrados na Figura 4.17.



(a) Indutância.



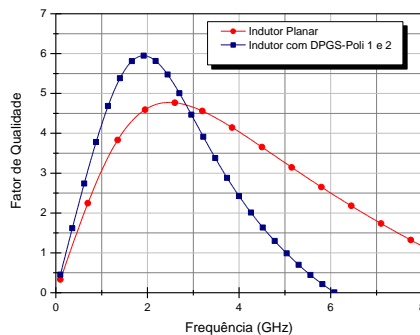
(b) Resistência.



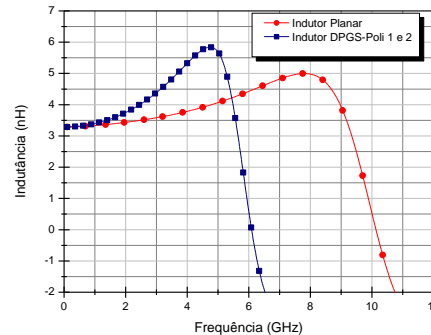
(c) Fator de Qualidade.

Figura 4.17: Simulação do indutor multicamada com duplo PGS.

A comparação do indutor planar de referência com o de duplo PGS é apresentada na Figura 4.18 para o fator de qualidade e indutância.



(a) Fator de Qualidade.



(b) Indutância.

Figura 4.18: Fator de qualidade e indutância – Simulação.

4.2.5 Indutor Simétrico

Em indutores planares tradicionais, é possível observar que existe certa assimetria, considerando metade da estrutura, por isso também são chamados de assimétricos. Isso implica em uma não uniformidade do acoplamento magnético entre os condutores, ou seja, as espiras mais próximas do centro sofrem maior intensidade de campo magnético. Os indutores simétricos são projetados para obter estruturas com simetria geométrica, como mostra a Figura 3.19 (a). Desta forma, o indutor apresenta o mesmo centro magnético e elétrico (B.-L. Ooi et al., 2003).

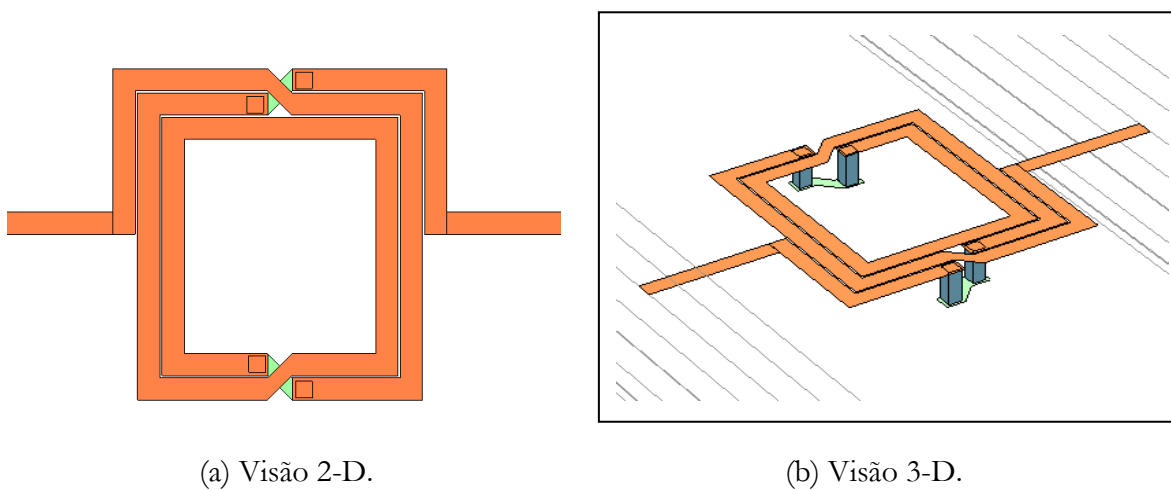
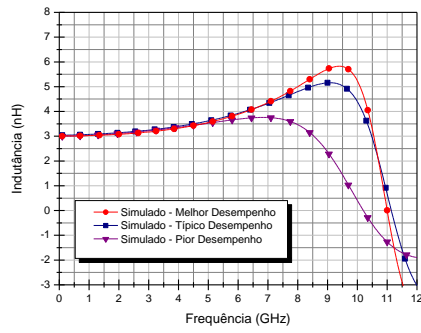


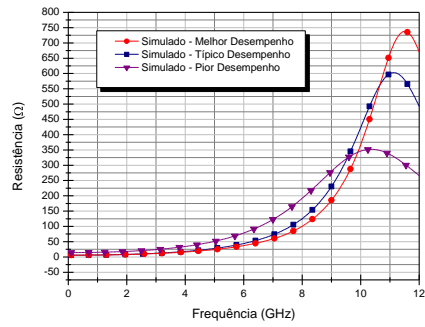
Figura 4.19: Indutor simétrico.

Para facilitar o projeto de indutores simétricos, normalmente utilizam-se duas camadas de metalização e vias de interconexão, uma camada para a espira principal e a outra para ponte entre segmentos, como ilustra a Figura. 4.19 (b). O indutor simétrico foi desenhado a partir do indutor planar apresentado. O indutor planar foi cortado ao meio e teve um dos lados espelhado e afastado $22\ \mu\text{m}$, esse valor garante que os ângulos das pontes sejam de 45 graus e fique de acordo com as regras do processo de fabricação.

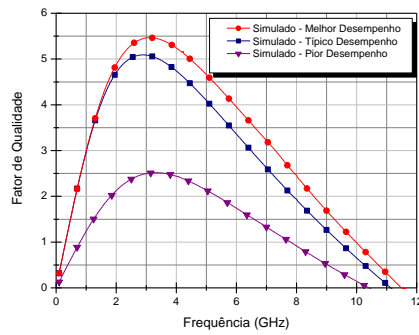
Os resultados das simulações para essa estrutura são apresentados na Figura 4.20.



(a) Indutância.



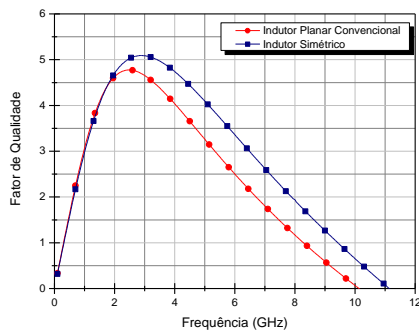
(b) Resistência.



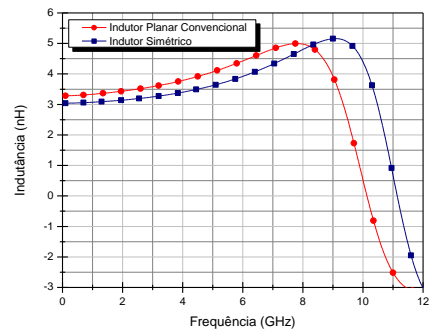
(c) Fator de Qualidade.

Figura 4.20: Simulação do indutor simétrico.

Comparado ao indutor planar esta estrutura resultou em maior frequência de auto-ressonância, maior fator de qualidade e menor indutância, isso se deve a redução da área total do indutor, e uniformidade no acoplamento magnético, como mostrado na Figura 4.21.



(a) Fator de Qualidade.



(b) Indutância.

Figura 4.21: Fator de qualidade e indutância – Simulação.

4.3 Layouts dos Indutores CMOS

As estruturas foram simuladas no SONNET e posteriormente foram importadas pela ferramenta de *layout* da *Advanced Design System* da *Agilent Technologies*. Para a implementação correta dos dispositivos é necessário respeitar as regras relativas as geometrias do processo, os detalhes destas encontram-se disponíveis em (AMS, 2004a). Para assegurar que o *layout* do projeto esteja de acordo com essas regras, utiliza-se um verificador chamado DRC (*Design Rule Check*) para averiguar se o *layout* satisfaz todas as regras. O DRC utilizado nessa dissertação faz parte do pacote ADS e utiliza um programa implementado na linguagem AEL (*Application Extension Language*) para os processos 0,35 μm da *foundry* AMS. Esse programa foi desenvolvido por C. E. Capovilla (2008) em seu doutorado.

A Figura 4.22 ilustra o *layout* de todas as estruturas a estruturas fabricadas. Neste projeto foram aplicadas as técnicas de multicamada e PGS no indutor planar de referência e no indutor simétrico. Os indutores planares de referência somam seis estruturas; um indutor sem a aplicação de técnicas de otimização (C1), indutor multicamada (C2), indutor com PGS de metal 1 (A5), indutor com PGS de Si-Poli 1 (B1), indutor com PGS de Si-Poli 2 (B5), indutor com PGS de Si-Poli 1 e 2 (A1). Os indutores simétricos somam mais seis estruturas; um indutor sem a aplicação de técnicas de otimização (C4), indutor multicamada (C5), indutor com PGS de metal 1 (A4), indutor com PGS de Si-Poli 1 (B2), indutor com PGS de Si-Poli 2 (B4), indutor com PGS de Si-Poli 1 e 2 (A2).

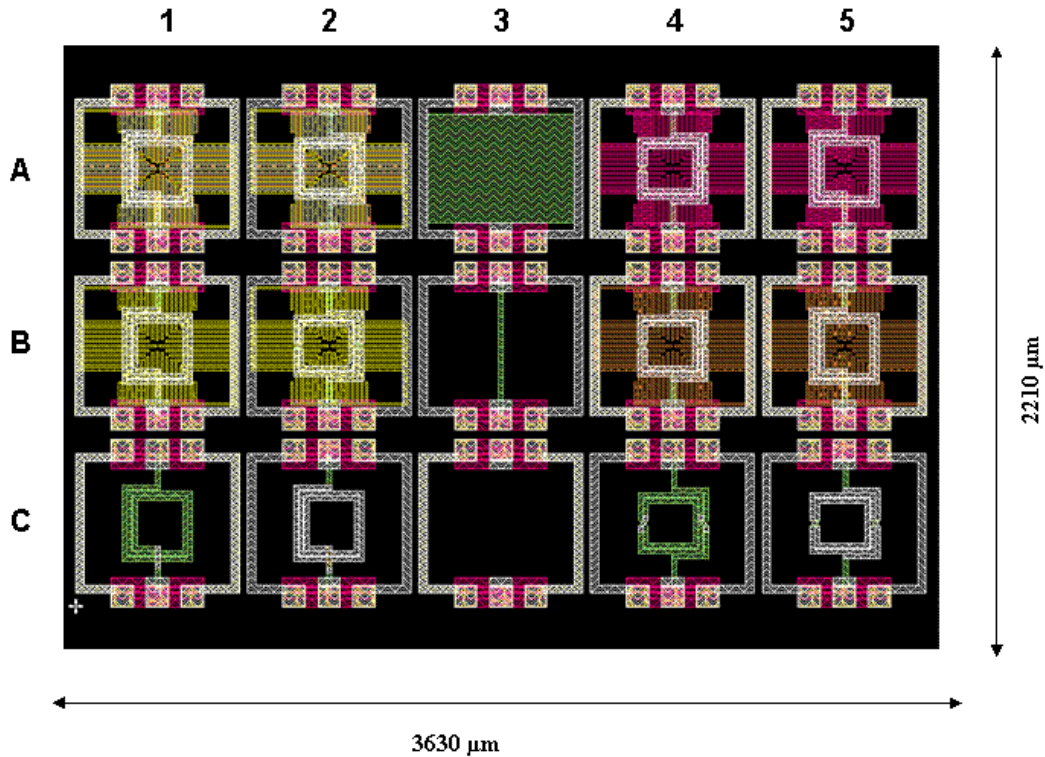


Figura 4.22: *Layout* das estruturas fabricadas.

A Figura 4.22 mostra o *layout* de 15 estruturas e seus respectivos *pads*. Para realizar as medidas dos dispositivos são necessárias estruturas complementares que realizam a interface com o sistema de teste, os *pads* de prova são projetados para esta função e são constituídos por vários níveis de metalização, interconectados com grande densidade de vias. A Figura 4.23 ilustra um corte transversal de um típico *pad* de prova, contendo dois *pads* de terra (G) e um *pad* de sinal (S), observe que os mesmos estão localizados próximos do substrato de silício, separados apenas por dielétrico, dessa forma, ocorre acoplamento capacitivo entre os *pads* e o substrato de silício condutivo, essa capacitância é dependente do tipo e da espessura do dielétrico que separa os *pads* do substrato, assim como pela área que eles ocupam, a outra contribuição capacitiva é a capacitância formada entre os *pads* de terra e de sinal, essa por sua vez depende da distância entre os *pads* e são muito pequenas.

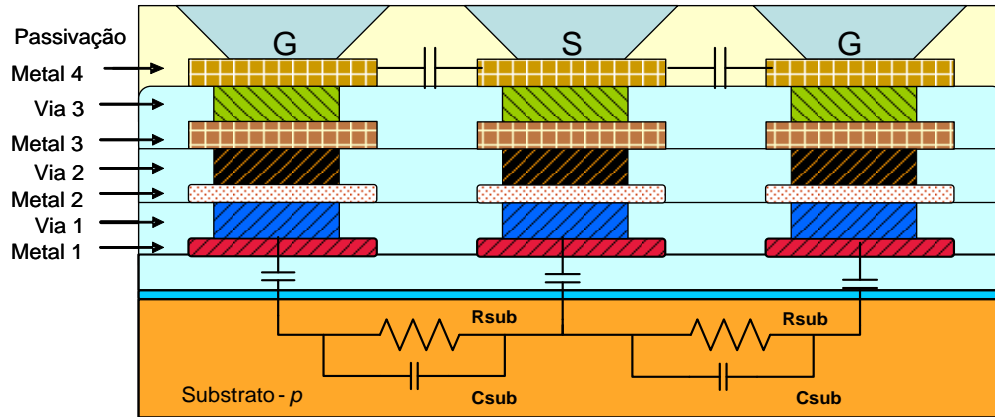


Figura 4.23: Corte transversal – pads de prova

O problema de acoplamento capacitivo pode ser agravado se a medida do dispositivo for obtida com duas portas, pois a injeção de corrente no substrato possibilita o acoplamento entre os *pads* de sinal. T. E. Kolding (2001) demonstrou que o acoplamento de *pads* de prova é capaz de limitar o desempenho de dispositivos, como por exemplo, amplificadores, reduzindo ganho e isolamento e aumentando a figura de ruído. A Figura 4.24 apresenta uma técnica eficaz para evitar o acoplamento com o substrato conhecida como blindagem de *pads*. Nessa técnica remove-se as vias de contato entre metal 1 e metal 2 do *pad* de sinal, estende-se o metal 1 em todas as direções e posteriormente aterrassa-se essa camada, criando assim um plano de terra que previne que a corrente penetre no substrato e induza perdas. Quando o número de metais no processo é limitado, normalmente se utiliza como substituto do metal 1, a camada de silício policristalino ou uma camada de difusão.

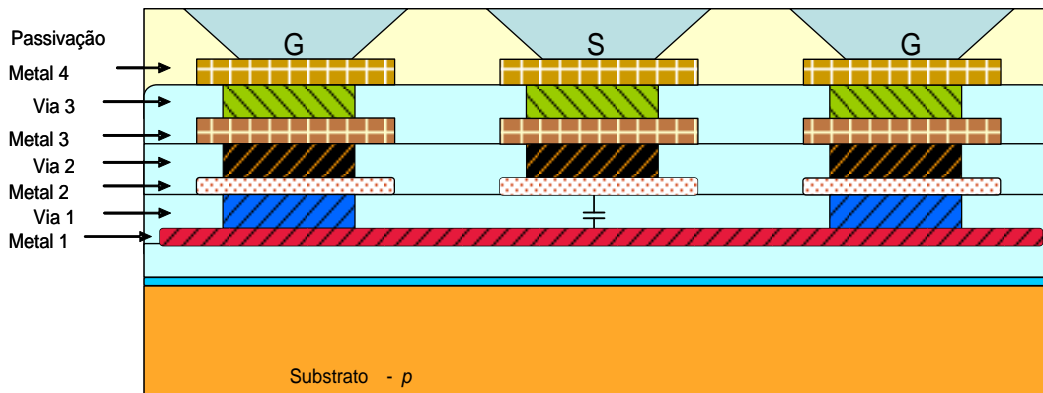


Figura 4.24: Corte transversal – pads de prova com blindagem de metal.

Aplicar essa blindagem nos *pads* de prova facilita também o processo de *de-embedding*, pois o modelo de circuito equivalente dos *pads* de prova são simplificados para uma simples capacitância.

4.4 Sistemas de Testes e Medidas

A caracterização de dispositivos e componentes ativos de rádio frequência é delicada e necessita do auxílio de bons e caros equipamentos, como por exemplo, analisadores de rede, medidores de figura de ruído, analisadores de espectro, fontes DC para polarização, conectores, cabos, pontas de prova para o contato com os *pads* entre outros.

Os componentes passivos precisam essencialmente de parte desses equipamentos para a sua caracterização, no caso dos indutores integrados desse trabalho faz-se necessário um sistema de medidas com analisador de rede que opere até 10 GHz, cabos, conectores, uma estação de prova com provas de teste para o contato em alumínio. A Figura 4.25 mostra um típico sistema de teste e medidas.

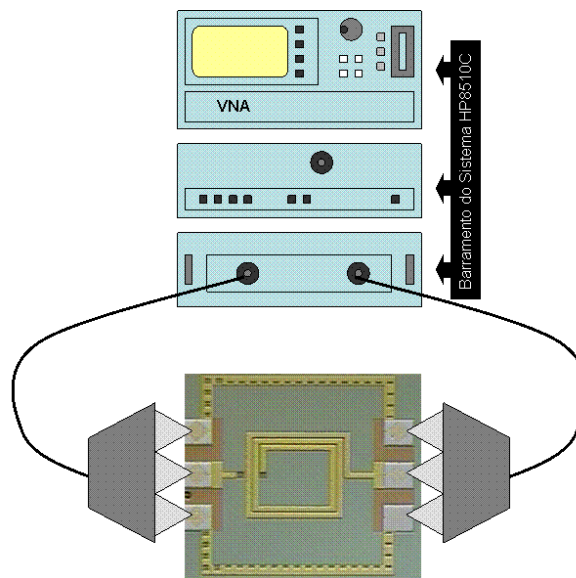


Figura 4.25: Sistema de medidas.

O analisador de rede vetorial é um instrumento capaz de medir vetores de parâmetros S, ou seja, medem tanto a amplitude quanto a fase dos quatro parâmetros de espalhamento referentes às duas portas. O VNA (*Vector Networks Analyzer*) opera por resposta de estímulo. Primeiramente é aplicado um sinal pela porta 1 e na sequência o VNA mede o sinal refletido

na própria porta 1 e o sinal transmitido para porta 2, depois o mesmo procedimento é repetido na porta 2, assim a razão vetorial da energia refletida e da energia transmitida pela energia incidente é obtida. A medida completa de duas portas permite a conversão desses parâmetros em parâmetros Y, Z, ABCD, parâmetros importantes para a caracterização dos dispositivos e para o *de-embedding* (S. A. Wartenberg, 2003).

O VNA é conectado por cabos semi-rígidos a estação de prova, essa estação é formada por um microscópio de alto ganho, sistema de sucção de vácuo para prender as amostras, um sistema manual de controle de coordenadas, para o ajuste sobre as amostras, e duas provas de teste coplanares localizadas no mesmo eixo para a interface com os *pads* de prova dos dispositivos.

O fundamento principal de uma prova de teste coplanar é a transição de um sinal em alta frequência de um meio para outro com eficiência. De forma simplificada uma prova de teste coplanar pode ser considerado um adaptador que faz a interface entre o cabo coaxial ou guia de onda retangular do sistema de teste e os contatos de *pads*.

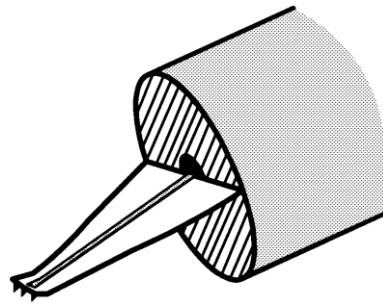


Figura 4.26: Teste de prova coplanar. (S. A. Wartenberg, 2003).

A prova de teste mais comum é do tipo ACP (*Air Coplanar Probe*), e como o próprio nome indica, o ACP é um guia de onda coplanar implementado no ar, mostrado na Figura 4.26.

Os testes de prova coplanares atuais não consistem de apenas uma transição, mas várias, para exemplificar e simplificar a explicação observe a Figura 4.27. A primeira transição é a interface com o sistema de teste, a segunda refere-se às transições dentro do *probe* e a terceira e última, a transição entre as micropontas e os *pads*.

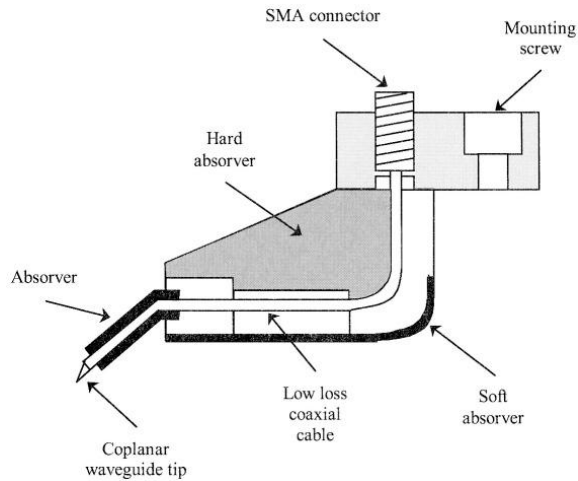


Figura 4.27: Corte de um ACP e transições. (S. A. Wartenberg, 2003)

A interface com o sistema refere-se aos detalhes de conexão, como tipos de conectores utilizados no sistema e na entrada do ACP. Para aplicações até 34 GHz, o cabo indicado para a conexão entre o sistema de teste e o ACP é o cabo coaxial, para aplicações de frequência maiores que 50 GHz normalmente utilizam-se guias de onda retangular, pois nesta faixa de frequência o cabo coaxial torna-se proibitivo pelas perdas no meio.

Dentro do ACP a principal transição é o cabo coaxial mini-sub que tem a função de fazer a interface entre o sistema de teste e as micropontas do ACP, a conexão com o sistema normalmente é feito com conectores externos e com a opção de cabos com diferentes diâmetros na outra ponta o cabo é soldado na ponta do guia de onda coplanar.

Eletricamente, esse tipo de guia de onda coplanar transforma o campo magnético do diâmetro do cabo coaxial mini-sub para a distância fixada nos *pads* do dispositivo a ser testado. A largura do condutor central, assim como o espaçamento entre terra e condutor central, é projetada para permitir uma impedância característica de 50 Ω (S. A. Wartenberg, 2002).

As micropontas são feitas de lâminas de metal e essas lâminas são recortadas de acordo com o projeto da ponta, por processos de alta precisão, como o corte a laser. Os principais metais utilizados para a fabricação das pontas são BeCu e tungstênio e cada um apresenta características importantes a serem consideradas para o teste dos dispositivos. O BeCu é ótimo para teste de dispositivos com *pads* de ouro sobre um substrato frágil, como por exemplo GaAs, pois apresenta como característica a flexibilidade das micropontas e a baixa resistência de contato, as micropontas de tungstênio por sua vez são mais rígidas, tem um bom contato elétrico com o alumínio e graças a maior rigidez é capaz de romper finas camadas de óxido. As

micropontas do ACP apresentam naturalmente certa resistência de contato, tipicamente, uma microponeta nova de tungstênio apresenta cerca de $250\text{ m}\Omega$ de resistência, entretanto com o tempo de uso, essa resistência pode alcançar valores na ordem de dezenas de ohms (J. Carbonero et al., 1995).

Um plano de referência pode ser estabelecido com o objetivo de retirar os elementos parasitas incorporados pelos cabos, conectores, para tal, utilizam-se estruturas com características elétricas conhecidas, esse processo é conhecido como calibração. O método mais empregado para a calibração é o SOLT (*Short-Open-Load-Thru*), representado na Figura 4.28, que usa três padrões que são medidos separadamente; uma carga de 50Ω , um curto, uma transmissão e um aberto, a medida do aberto é feita com o ACP suspenso no ar, dessa forma considera-se a constante dielétrica do ar, que resulta em capacitâncias negativas, normalmente os padrões de calibração são fabricados em matérias de baixa perda e baixa rugosidade, como por exemplo, cerâmica e safira.

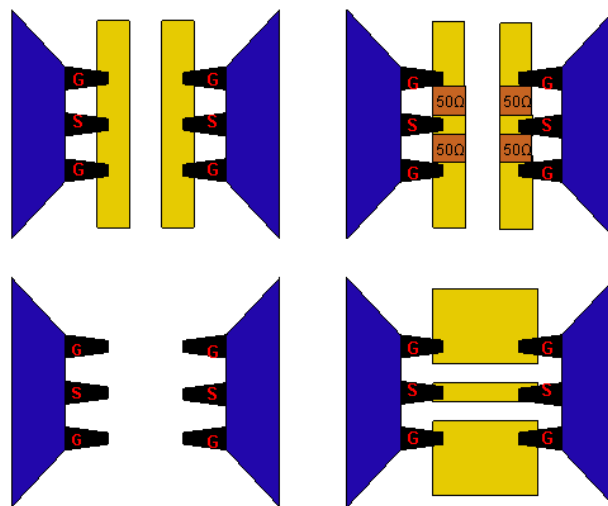


Figura 4.28: Padrão de calibração *Short-Open-Load-Thru*.

As medidas deste trabalho foram realizadas no Centro de Componentes Semicondutores - CCS. O CCS dispõe de um analisador de rede vetorial 8510C, capaz de obter medidas de parâmetros S até 45 GHz e uma estação de prova Cascade Microtech G-S-G de $150\text{ }\mu\text{m}$ de distância entre as micropontas.

Um Microscópio Olympus de alto ganho é utilizado para auxiliar no posicionamento das micropontas sobre os *pads* do dispositivo e um kit de calibração SOLT para estabelecer a

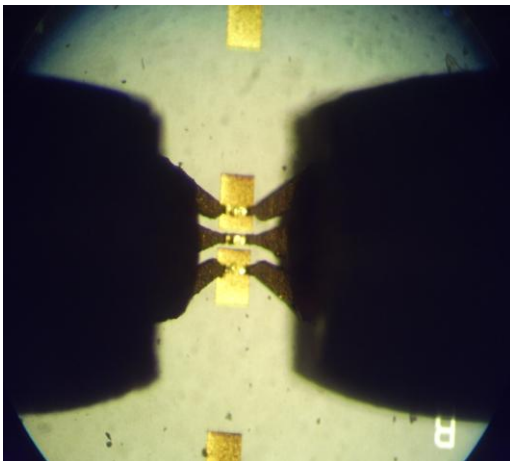
referência da medida e reduzir os efeitos parasitas inseridos pelo sistema de testes. A Figura 4.29 mostra o analisador de rede (a), a estação de prova (b), a ponteira em detalhes sobre o kit de calibração (c) e (d).



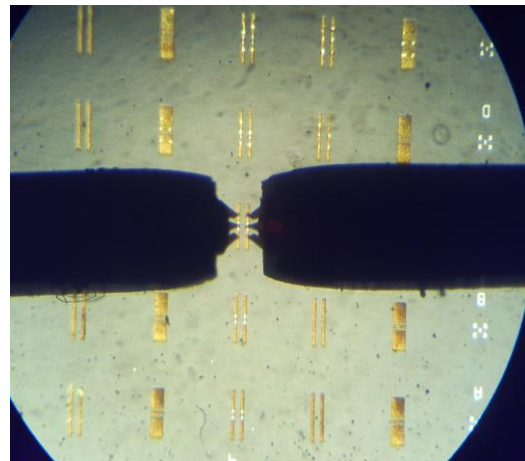
(a) VNA.



(b) Estação de Prova.



(c) Detalhe da Calibração.



(d) Kit de calibração.

Figura 4.29: Sistema de Medidas.

4.5 De-Embedding

Para obter resultados precisos é importante retirar os elementos parasitas introduzidos pelas estruturas complementares de teste, para alcançar esse objetivo é preciso medir estruturas de propriedades conhecidas em separado, e posteriormente aplicam-se propriedades de

matrizes para eliminar a influência de resistências, capacitâncias e indutâncias parasitas. A Figura 4.30 (a) mostra o indutor com as estruturas complementares para a realização das medidas (*pads*), a Figura 4.30 (b) mostra a estrutura utilizada para retirar os elementos parasitas.

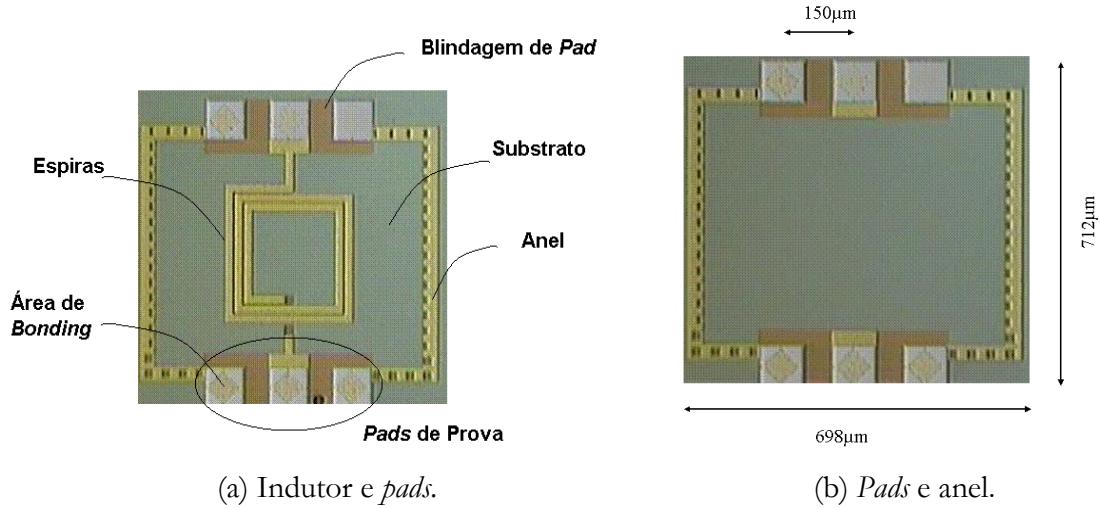


Figura 4.30: Indutor e pads.

Diferentes métodos de extração de parasitas foram apresentados na literatura, (P. Arcioni et al., 1998a) consideraram que a estrutura completa de indutor com os *pads* representa a conexão em cascata de cinco elementos, YPad, YSubin, Ys, YSubout e YPad, Figura 4.31.

A partir dos valores de parâmetros S do indutor com os *pads*, é possível obter os parâmetros ABCD por uma transformação de matriz linear, dessa forma a matriz M_{TOT} representa todos os elementos do dispositivo, como mostrado na Equação (4.1)

$$M_{TOT} = M_{Pad} \cdot M_{Subin} \cdot M_s \cdot M_{Subout} \cdot M_{Pad} \quad (4.1)$$

Supondo que a matriz M_{TOT} tem valores desconhecidos e que M_{Pad} é uma matriz que pode ser obtida separadamente a partir da medida da estrutura complementar de teste Figura 4.30 (b) é possível obter a matriz M_π que representa o indutor intrínseco e seus parasitas (4.2).

$$M_\pi = M_{Pad}^{-1} \cdot M_{TOT} \cdot M_{Pad}^{-1} \quad (4.2)$$

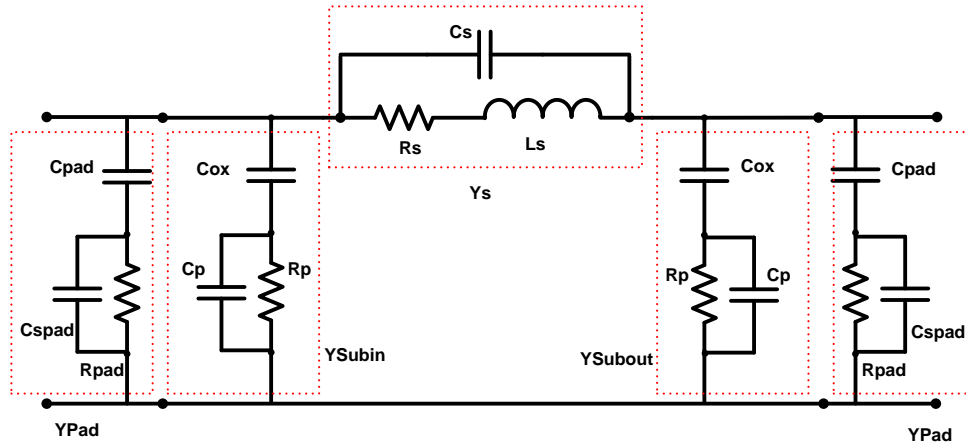


Figura 4.31: Modelo de circuito equivalente de indutor com pads.

Um segundo método para a extração dos *pads* foi realizada por P. J. V. Wijnen et al. (1987), convertendo as matrizes de parâmetros S da estrutura completa e da estrutura com *pads* sem indutor, em matrizes de parâmetros Y, e em seguida aplicou-se a subtração dessas matrizes (4.3).

$$\begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix}_{\text{Indutor}} = \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix}_{\text{Indutor com Pads}} - \begin{pmatrix} y_{11} & y_{12} \\ y_{21} & y_{22} \end{pmatrix}_{\text{Pads}} \quad (4.3)$$

Foi visto na seção 4.4 que as micropontas são feitas de lâminas de metal e esse metal também sofre degradação, o que pode representar alta resistência de contato. Conhecendo essa resistência é possível retirá-la convertendo os resultados da Equação (4.3) em parâmetros Z e depois subtraindo esse o valor da resistência (M. Danesh, 1999).

4.6 Resultados Experimentais

Esta seção mostra os resultados experimentais após a extração de parasitas pelo procedimento *de-embedding* realizado na seção anterior para as estruturas fabricadas, os indutores CMOS foram otimizados com duas técnicas diferentes, a primeira é a de multicamada e é utilizada para reduzir as perdas metálicas e a segunda é a de PGS para reduzir as perdas pelo substrato. Foram projetadas 12 estruturas divididas em dois grupos, um grupo com 6 indutores planares assimétricos e o outro com 6 indutores simétricos, dessa forma tem-

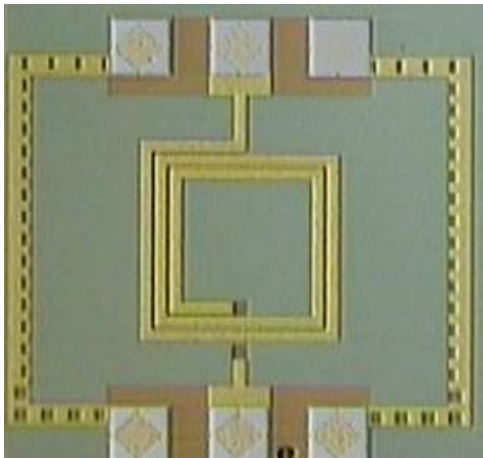
se além dos 2 indutores sem técnicas de otimização utilizados para comparação com as outras estruturas otimizadas mais 5 diferentes indutores para cada grupo.

- Indutor Multicamada;
- Indutor com PGS (Metal 1);
- Indutor com PGS (Si-Poli 1);
- Indutor com PGS (Si-Poli 2);
- Indutor com duplo PGS (Si-Poli 1 e 2).

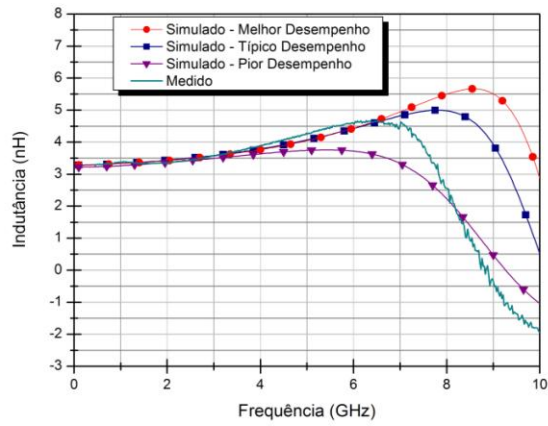
4.6.1 Indutor Planar

Esta seção mostra os resultados experimentais obtidos de indutância, resistência e fator de qualidade após o procedimento *de-embedding* para os indutores com *layout* planar.

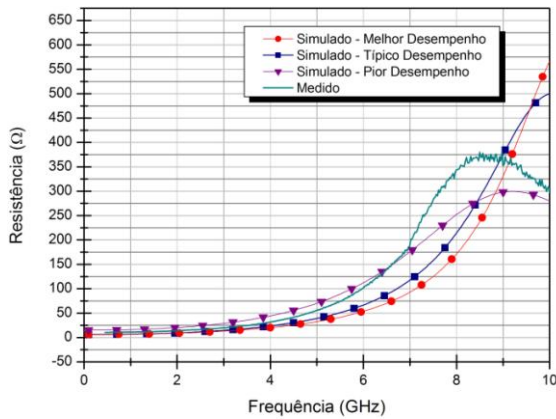
As Figuras 4.32 a 4.37 mostram os resultados medidos para os seis tipos de indutores planares e para comparação também ilustra as curvas obtidas a partir das simulações para as estruturas com pior, melhor e típico desempenho. As sínteses desses resultados são apresentadas nas Tabelas 4.5 a 4.10.



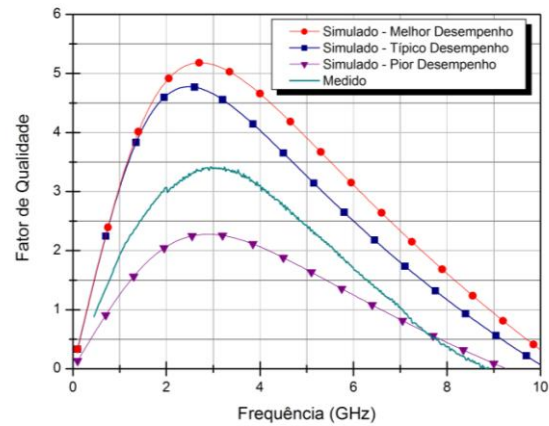
(a) Indutor planar.



(b) Indutância.



(c) Resistência.

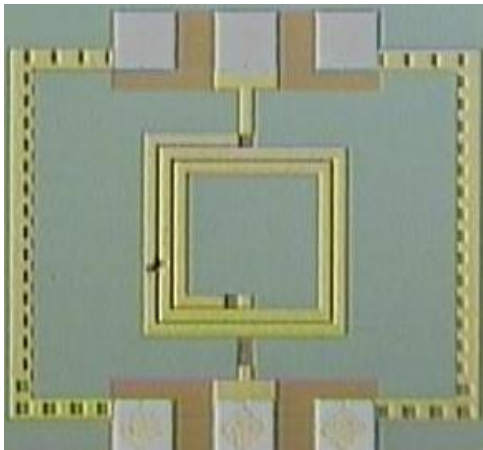


(d) Fator de Qualidade.

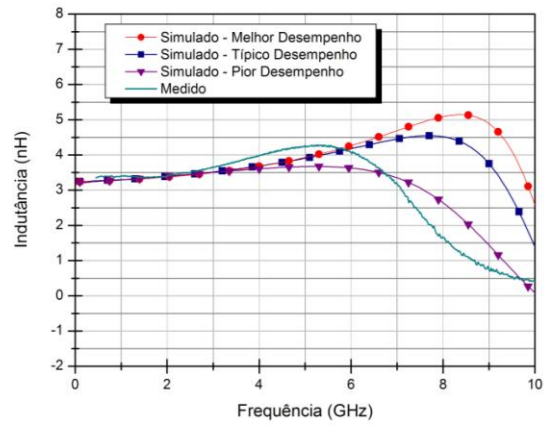
Figura 4.32: Indutor planar – Medidas.

Tabela 4.5: Resultados do indutor planar.

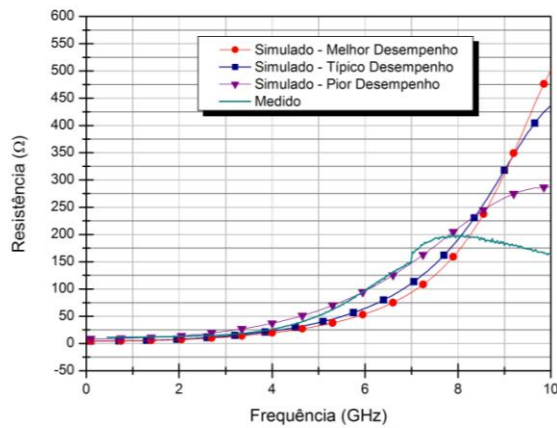
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	4,0	2,0	4,0	2,0	4,0	
Melhor	3,42	3,76	8,82	20,3	4,95	4,60	5,18@2,75
Típico	3,43	3,78	9,32	23,5	4,6	4,03	4,75@2,0
Pior	3,36	3,63	20,44	44,23	2,06	2,04	2,27@3,0
Medida	3,36	3,89	14,30	31,5	3,07	3,01	3,4@3,0



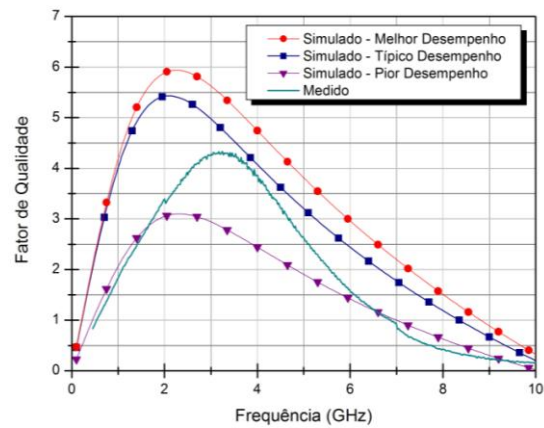
(a) Indutor multicamada.



(b) Indutância.



(c) Resistência.

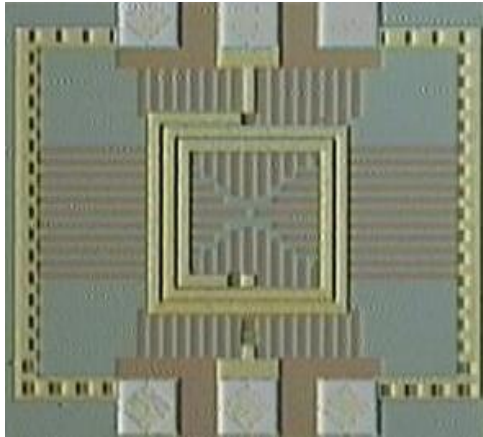


(d) Fator de Qualidade.

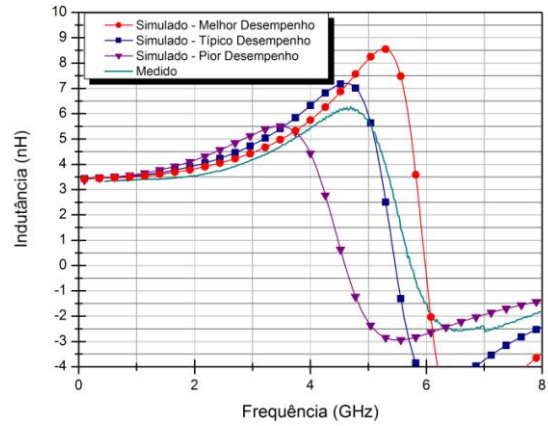
Figura 4.33: Indutor planar multicamada – Medidas.

Tabela 4.6: Resultados do indutor planar multicamada

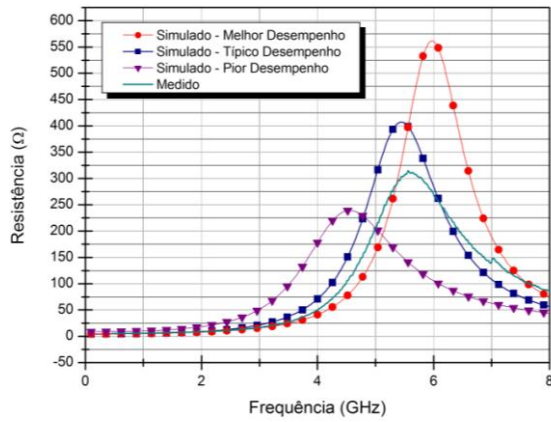
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	4,0	2,0	4,0	2,0	4,0	
Melhor	3,36	3,67	7,19	19,48	5,88	4,74	5,93@2,25
Típico	3,38	3,68	7,85	22,73	5,42	4,07	5,43@2,05
Pior	3,39	3,60	13,97	37,11	3,05	2,44	3,09@2,4
Medido	3,39	3,95	12,48	25,92	3,39	3,86	4,29@3,0



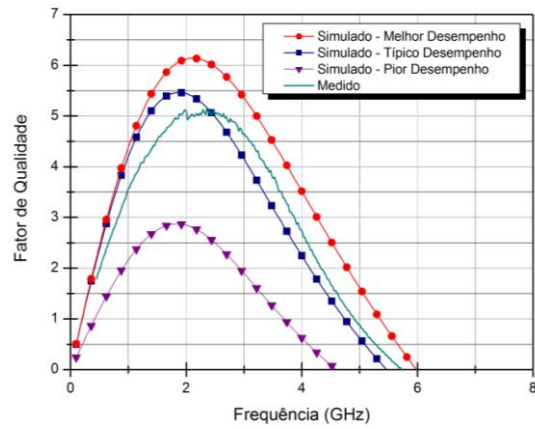
(a) Indutor com PGS Metal 1.



(b) Indutância.



(c) Resistência.

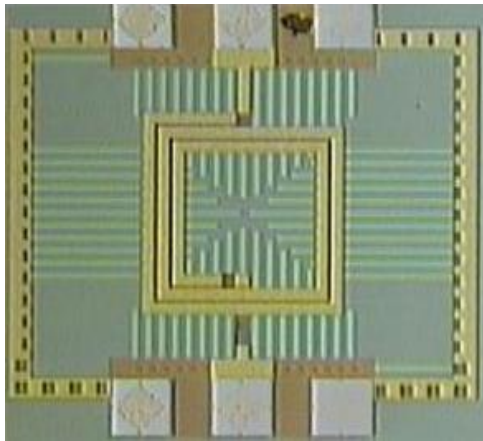


(d) Fator de Qualidade.

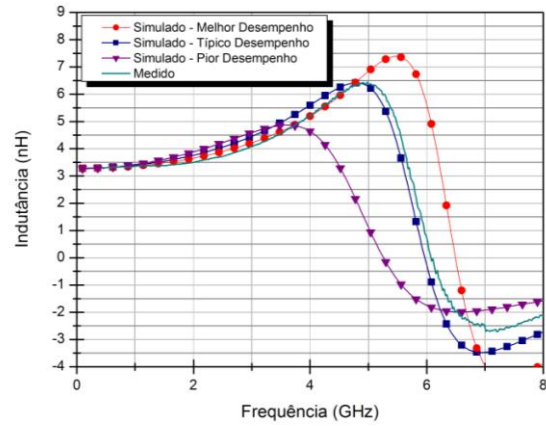
Figura 4.34: Indutor com PGS de Metal 1 – Medidas.

Tabela 4.7: Resultados do indutor com PGS de Metal 1.

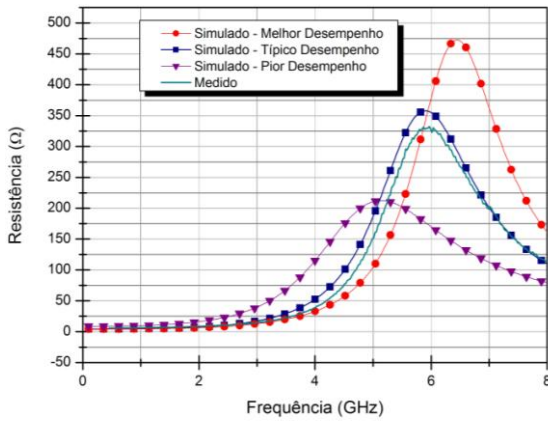
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	3,5	2,0	3,5	2,0	3,5	
Melhor	3,81	4,99	7,83	24,45	6,12	4,48	6,13@2,18
Típico	3,94	5,43	9,10	37,48	5,44	3,19	5,46@1,88
Pior	4,16	5,49	18,36	97,41	2,84	1,24	2,87@1,88
Medido	3,55	4,75	8,76	27,79	5,09	3,76	5,09@2,0



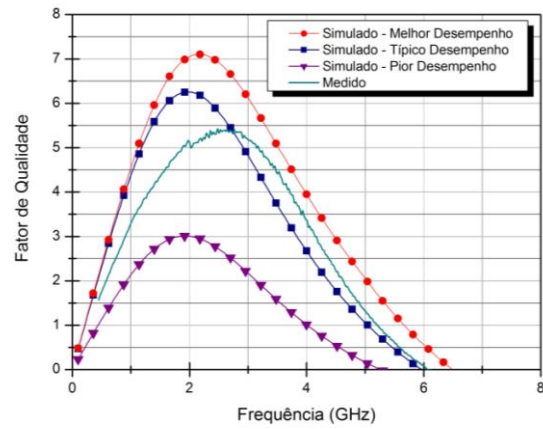
(a) Indutor com PGS Si-Poli 1.



(b) Indutância.



(c) Resistência.

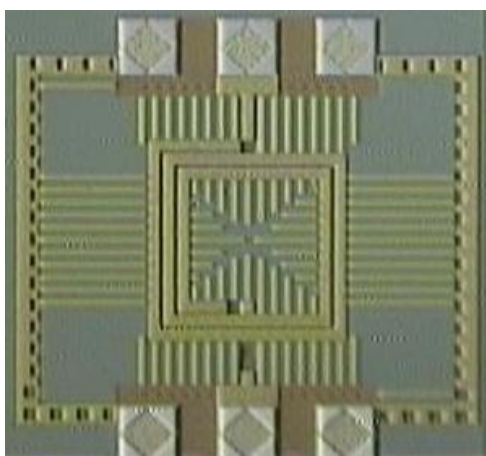


(d) Fator de Qualidade.

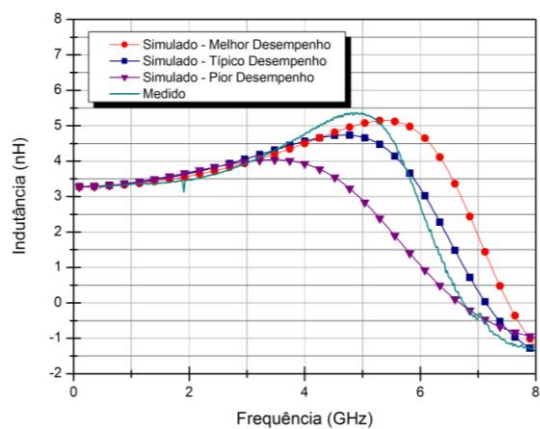
Figura 4.35: Indutor com PGS de Si-Poli 1 – Medidas.

Tabela 4.8: Resultados do indutor com PGS de Si-Poli 1.

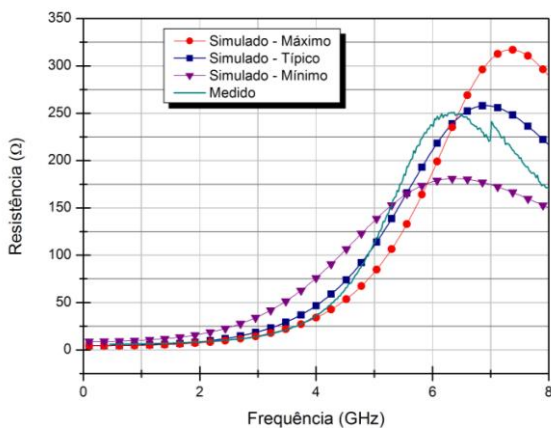
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax
	2,0	3,5	2,0	3,5	2,0	3,5	@f(GHz)
Melhor	3,65	4,63	6,51	20,18	7,04	5,04	7,10@2,26
Típico	3,75	4,96	7,55	29,41	6,25	3,70	6,25@2,02
Pior	3,88	4,85	16,23	68,12	3,0	1,56	3,0@2,0
Medido	3,50	4,58	8,60	22,89	5,12	4,40	5,42@2,47



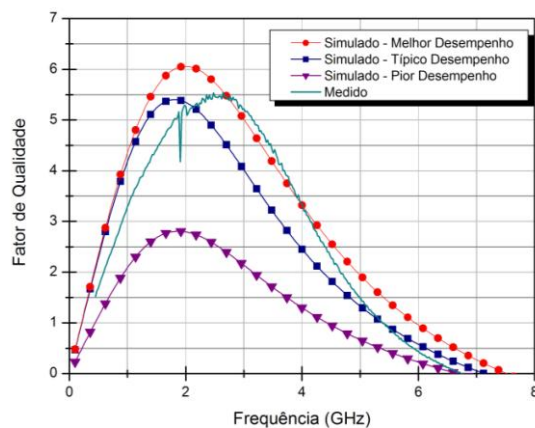
(a) Indutor com PGS Si-Poli 2.



(b) Indutância



(c) Resistência

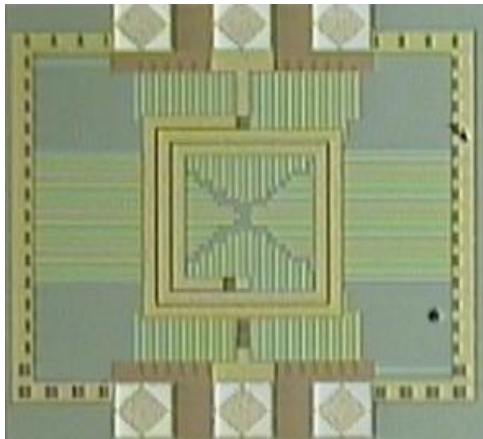


(d) Fator de Qualidade

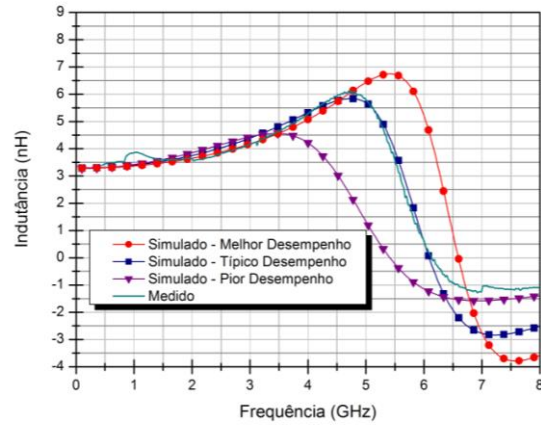
Figura 4.36: Indutor planar com PGS de Si-Poli 2 – Medidas.

Tabela 4.9: Resultados do indutor com PGS de Si-Poli 2.

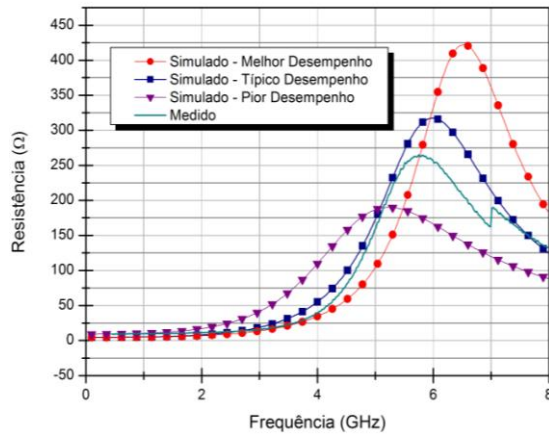
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	3,5	2,0	3,5	2,0	3,5	
Melhor	3,57	4,20	7,42	22,28	6,05	4,15	6,05@2,0
Típico	3,65	4,32	8,58	29,81	5,34	3,19	5,40@1,84
Pior	3,68	4,03	16,56	52,26	2,79	1,69	2,80@1,88
Medido	3,45	4,34	8,31	21,99	5,26	4,34	5,54@2,4



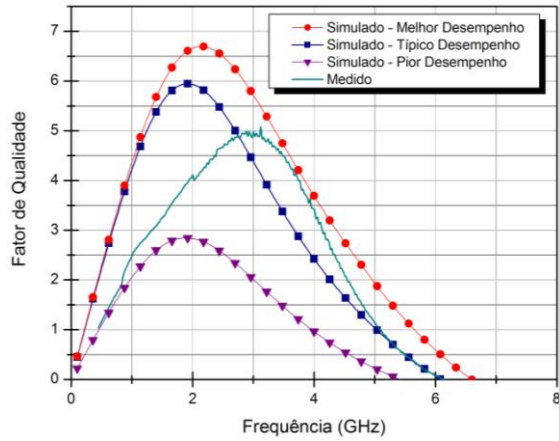
(a) Indutor com duplo PGS.



(b) Indutância.



(c) Resistência.



(d) Fator de Qualidade.

Figura 4.37: Indutor com duplo PGS de Si-Poli 1 e 2 – Medidas.

Tabela 4.10: Resultados do indutor com duplo PGS de Si-Poli 1 e 2.

Indutor	Indutância (nH)		Resistância (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	3,5	2,0	3,5	2,0	3,5	
Melhor	3,64	4,56	6,88	21,34	6,66	4,70	6,88@2,24
Típico	3,74	4,82	7,94	31,77	5,93	3,33	5,94@1,92
Pior	3,85	4,55	17,09	68,68	2,83	1,45	2,84@1,90
Medida	3,64	4,61	11,13	22,49	4,10	4,49	4,99@3,05

A Figura 4.38 mostra a comparação dos resultados medidos de indutância e fator de qualidade para os indutores convencionais. O indutor planar sem a aplicação de técnicas de otimização apresentou valores de indutância iguais a 3,36 e 3,89 nH respectivamente em 2 e 4 GHz, e os valores do fator de qualidade para as mesmas frequências foram de 3,07 e 3,01, o fator de qualidade máximo, Q_{max} igual a 3,4 na frequência de 3 GHz, e a frequência de autoressonância ocorre em frequências maiores que 8 GHz.

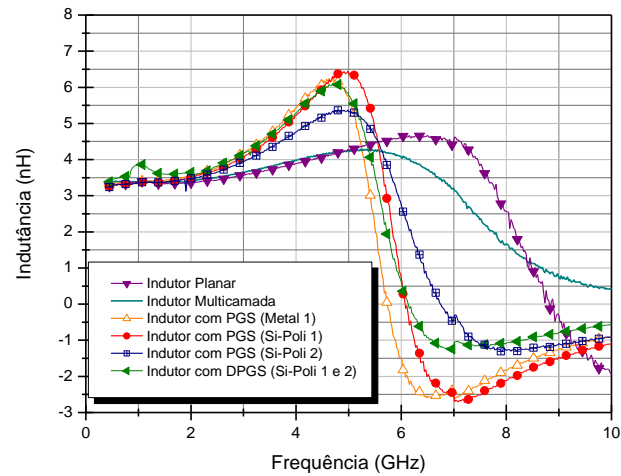
O indutor projetado com a técnica de multicamada apresentou fator de qualidade maior que do indutor planar, Q_{max} igual a 4,29 em 3 GHz. Vale ressaltar que a técnica de empilhamento simula um metal espesso com objetivo de reduzir a resistência em série das espiras. Os valores de indutância para as frequências de 2 e 4 GHz são respectivamente 3,39 e 3,95 nH.

No caso da aplicação da técnica de PGS, o indutor com PGS de metal 1 apresentou Q_{max} igual a 5,09, na frequência de 2,0 GHz, como apresentado na Figura 4.38. O plano de terra com fendas previne o aparecimento da corrente induzida e ainda provê um caminho de menor impedância comparado com o substrato, entretanto essa técnica promove o aumento da capacitância formada entre as espiras e o PGS, ou seja, reduzindo a faixa de operação do indutor. Considerando que a frequência de operação nos indutores PGS é menor, obteve-se os valores de indutância para as frequências de 2 e 3,5 GHz iguais a 3,55 e 4,75 nH para PGS de metal 1.

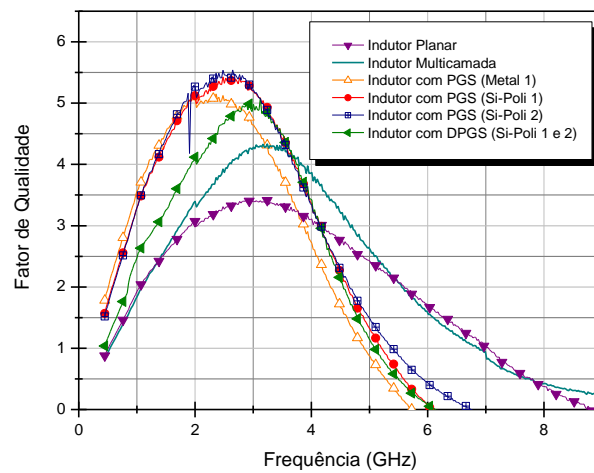
O indutor com PGS de silício policristalino 2 atingiu o maior fator de qualidade, Q_{max} igual a 5,54 em 2,4 GHz. Esse PGS apesar de não ter o caminho de menor impedância apresenta menor capacitância do que o indutor com PGS de metal 1 pois esta localizado numa camada mais distante. A diferença de capacitância entre os tipos de PGS pode ser notada pela SRF, que no caso do indutor com PGS é próximo de 6 GHz. A indutância para as frequências de 2 e 3,5 GHz, para o indutor com PGS de silício policristalino 2 são iguais a 3,45 e 4,34 nH.

O indutor com PGS de silício policristalino 1 apresenta menor resistência de folha que o silício policristalino 2, e apresentou desempenho semelhante. O fator de qualidade máximo para essa estrutura foi de 5,42 na frequência de 2,47 GHz e a indutância para as frequências de 2 e 3,5 GHz foram iguais a 3,5 e 4,58 nH. O indutor com PGS de silício policristalino 1 e 2 trate-se de uma estrutura mais complexa pois utiliza duas camadas diferentes para o PGS, o que significa maior dependência com o processo. O indutor caracterizado neste trabalho apresentou resultados inferiores aos de uma camada de PGS com silício policristalino. O fator

de qualidade máximo obtido foi igual a 4,99 em 3,05 GHz e os valores de indutância nas frequências de 2 e 3,5 GHz foram de 3,64 e 4,66 nH.



(a) Indutância.

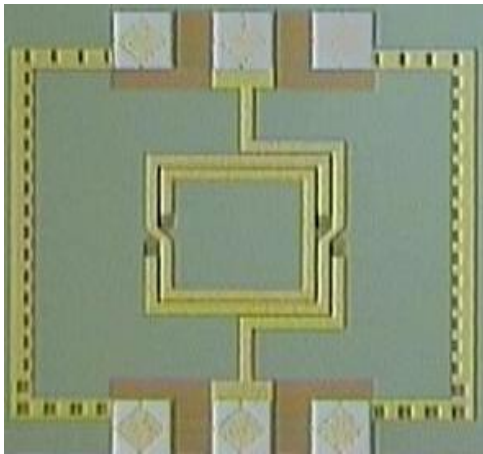


(b) Fator de Qualidade.

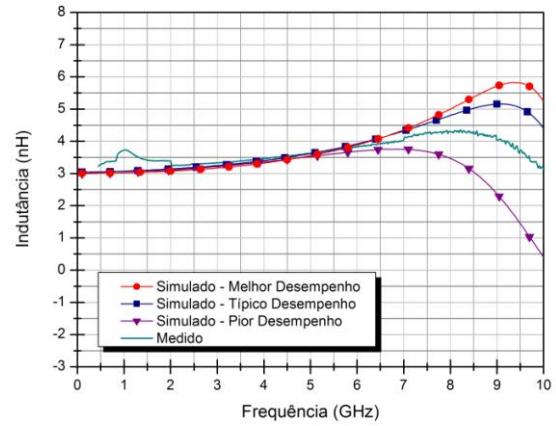
Figura 4.38: Medidas dos indutores planares assimétrico.

4.6.2 Indutores simétricos

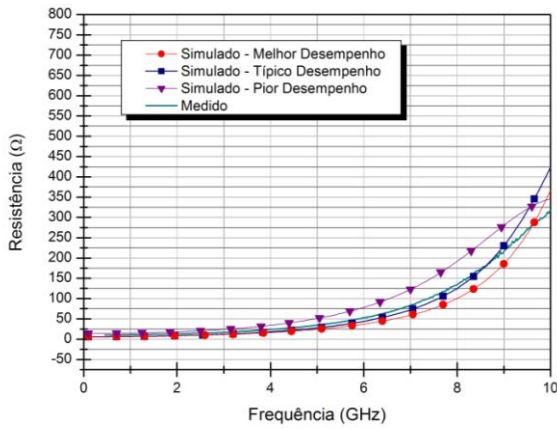
Esta seção mostra os resultados experimentais obtidos para os indutores simétricos. As Figuras 4.39 a 4.44 mostram os resultados medidos para os seis tipos de indutores simétricos e para comparação também ilustra as curvas obtidas a partir das simulações para as estruturas com pior, melhor e típico desempenho. As sínteses desses resultados são apresentadas nas Tabelas 4.11 a 4.17.



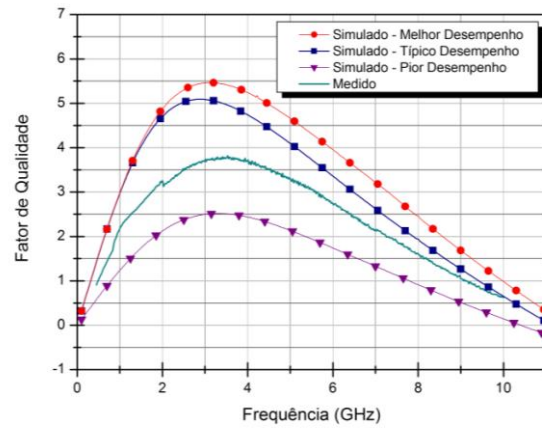
(a) Indutor simétrico.



(b) Indutância.



(c) Resistência.

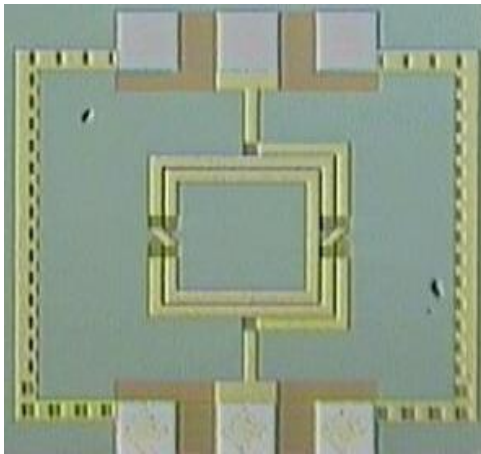


(d) Fator de Qualidade.

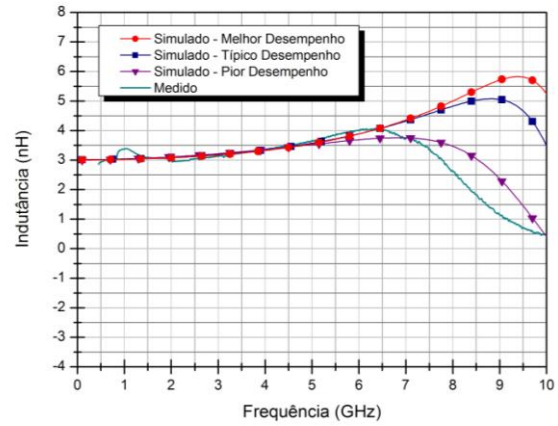
Figura 4.39: Indutor simétrico – Medidas.

Tabela 4.11: Resultados do indutor simétrico.

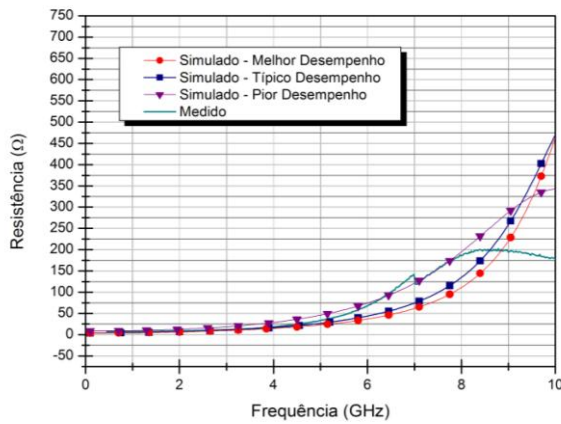
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax
	2,0	4,0	2,0	4,0	2,0	4,0	@f(GHz)
Melhor	3,13	3,38	8,07	16,23	4,87	5,20	5,46@3,10
Típico	3,14	3,40	8,39	18,03	4,70	4,74	5,09@2,90
Pior	3,08	3,32	18,23	34,24	2,12	2,43	2,51@3,45
Medido	3,24	3,46	13,08	23,44	3,21	3,72	3,79@3,51



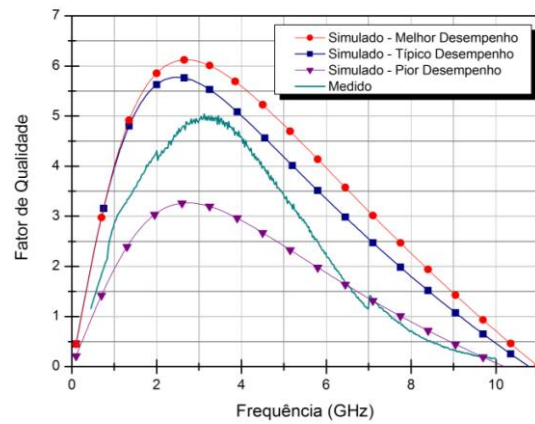
(a) Indutor multicamada.



(b) Indutância.



(c) Resistência.

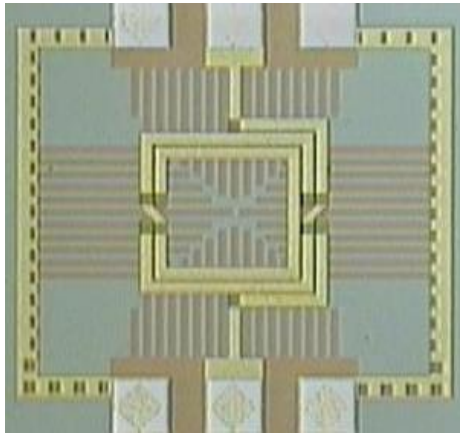


(d) Fator de Qualidade.

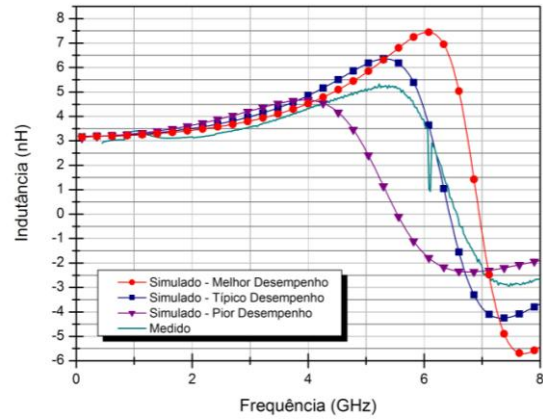
Figura 4.40: Indutor simétrico com multicamada – Medidas.

Tabela 4.12: Resultados do Indutor simétrico com multicamada.

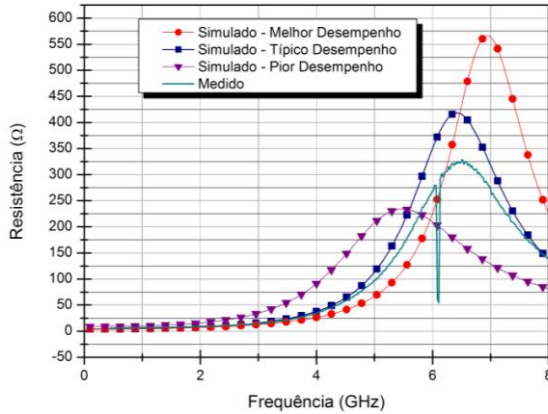
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax
	2,0	4,0	2,0	4,0	2,0	4,0	@f(GHz)
Melhor	3,07	3,32	6,60	14,93	5,85	5,59	6,12@2,75
Típico	3,09	3,34	6,90	16,80	5,62	5,00	5,77@2,55
Pior	3,10	3,35	12,74	28,92	3,06	2,91	3,26@2,75
Medido	3,06	3,35	8,94	18,55	4,11	4,55	5,04@3,17



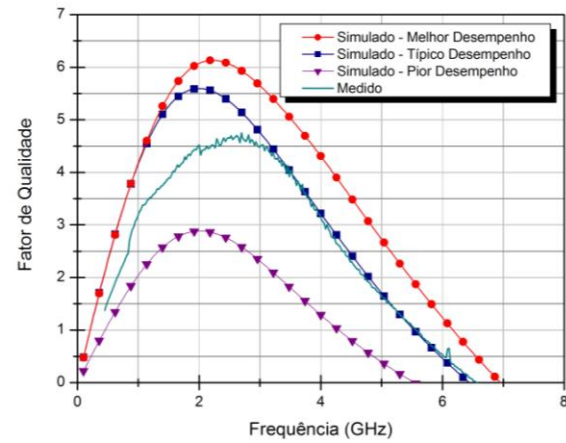
(a) Indutor com PGS Metal 1.



(b) Indutância.



(c) Resistência

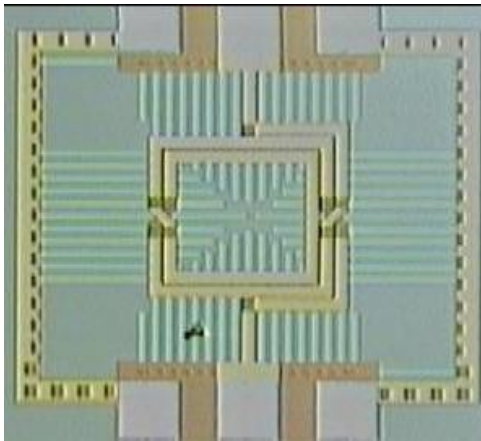


(d) Fator de Qualidade

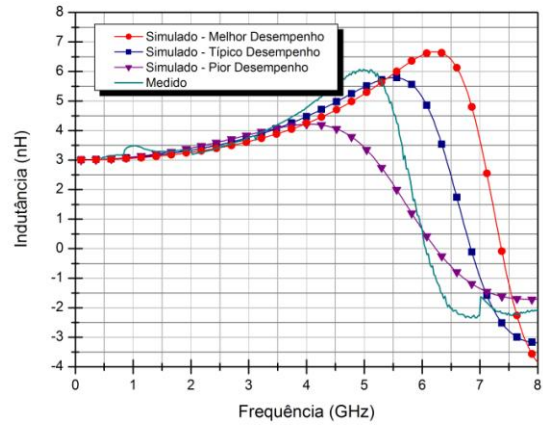
Figura 4.41: Indutor simétrico com PGS de Metal 1 – Medidas.

Tabela 4.13: Resultados do indutor simétrico com PGS de Metal 1.

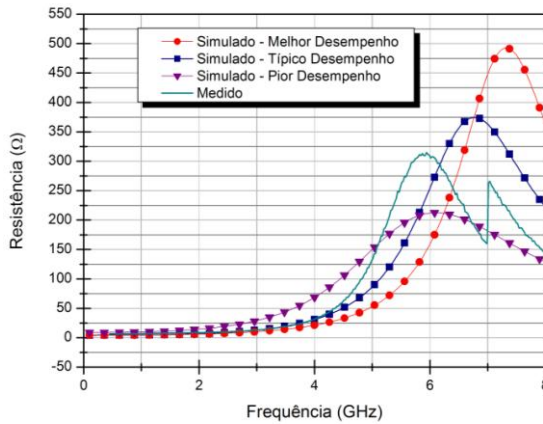
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax
	2,0	3,5	2,0	3,5	2,0	3,5	@f(GHz)
Melhor	3,43	4,11	7,09	17,98	6,07	5,03	6,13@2,24
Típico	3,50	4,36	7,87	23,91	5,59	4,01	5,59@2,0
Pior	3,64	4,53	15,86	55,28	2,88	1,80	2,88@2,0
Medido	3,16	3,88	8,80	21,25	4,51	4,58	4,71@2,81



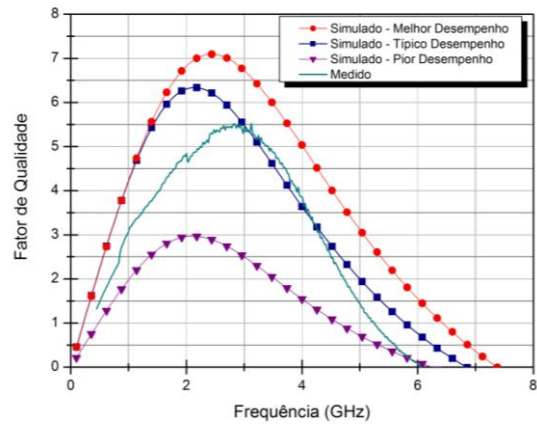
(a) Indutor com PGS Si-Poli 1.



(b) Indutância.



(c) Resistência.

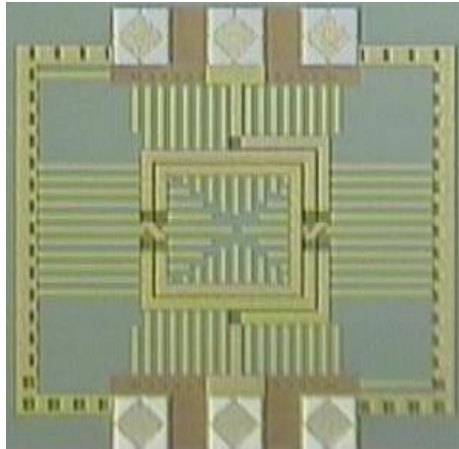


(d) Fator de Qualidade

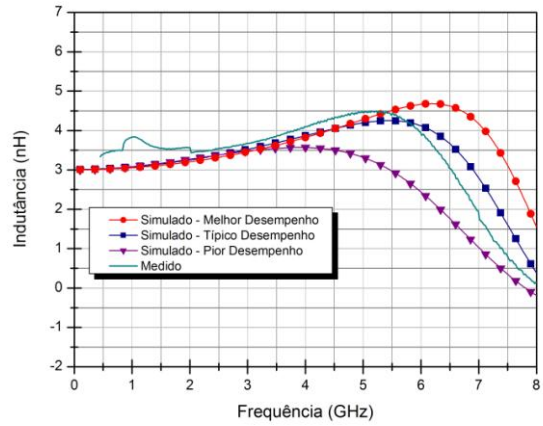
Figura 4.42: Indutor com PGS simétrico de Si-Poli 1 – Medidas.

Tabela 4.14: Resultados do indutor simétrico com PGS de Si-Poli 1.

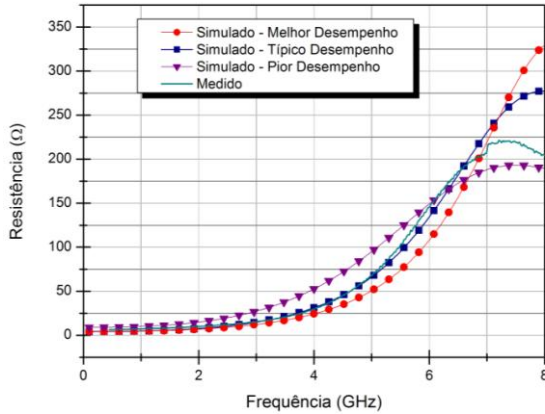
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	3,5	2,0	3,5	2,0	3,5	
Melhor	3,26	3,89	6,60	14,36	6,82	5,96	7,09@2,42
Típico	3,33	4,07	6,64	19,59	6,30	4,57	6,33@2,14
Pior	3,40	4,08	12,74	44,29	2,95	2,02	2,96@2,12
Medido	3,35	4,21	8,70	19,08	4,84	4,86	5,51@2,83



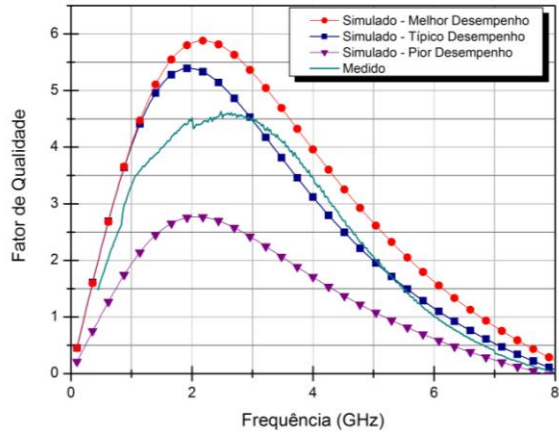
(a) Indutor com PGS de Si-Poli 2.



(b) Indutância.



(c) Resistência.

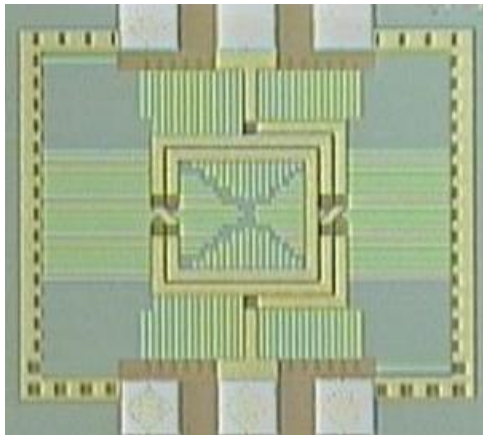


(d) Fator de Qualidade.

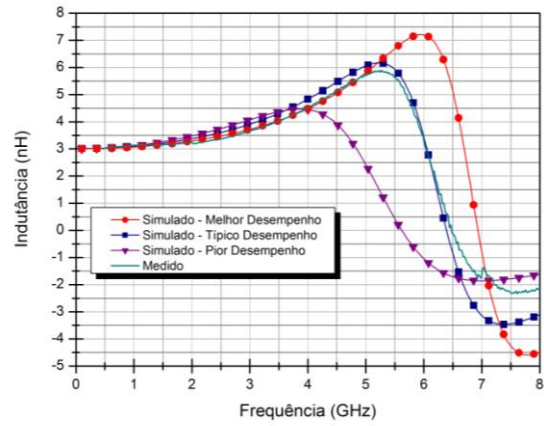
Figura 4.43: Indutor simétrico com PGS de Si-Poli 2 – Medidas.

Tabela 4.15: Resultados indutor simétrico com PGS de Si-Poli 2.

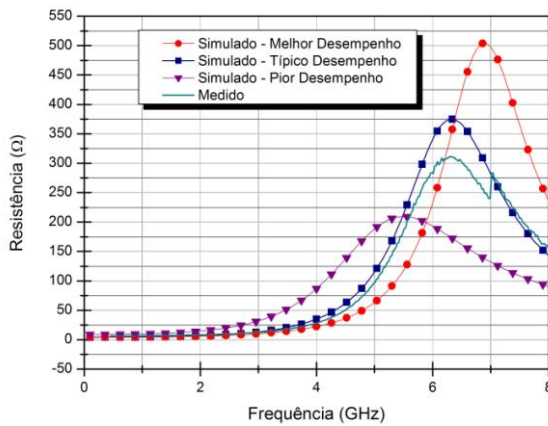
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax
	2,0	3,5	2,0	3,5	2,0	3,5	@f(GHz)
Melhor	3,20	3,62	6,89	17,10	5,84	4,66	5,88@2,18
Típico	3,25	3,68	7,58	21,43	5,38	3,78	5,39@1,96
Pior	3,27	3,54	14,85	38,02	2,76	2,05	2,77@2,08
Medido	3,43	3,86	9,92	20,90	4,36	4,10	4,61@2,64



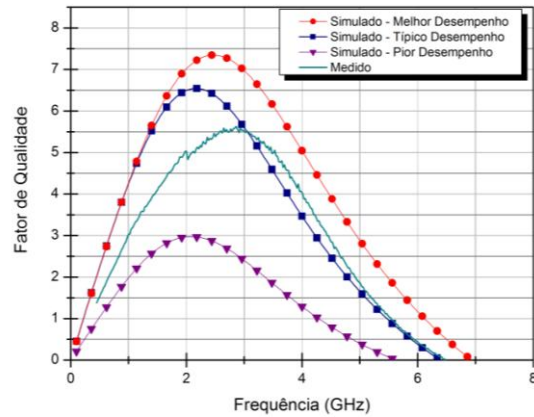
(a) Indutor com duplo PGS.



(b) Indutância.



(c) Resistência.



(d) Fator de Qualidade.

Figura 4.44: Indutor simétrico com duplo PGS de Si-Poli 1 e 2 – Medidas.

Tabela 4.16: Resultados indutor simétrico com duplo PGS de Si-Poli 1 e 2.

Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	2,0	3,5	2,0	3,5	2,0	3,5	
Melhor	3,29	4,04	5,89	14,53	7,01	6,12	7,34@2,52
Típico	3,37	4,31	6,53	20,83	6,49	4,55	6,54@2,18
Pior	3,47	4,37	14,73	52,28	2,96	1,83	2,97@2,12
Medido	3,24	4,04	8,10	17,88	5,03	4,98	5,52@2,98

A Figura 4.45 mostra a comparação dos resultados medidos de indutância e fator de qualidade para os indutores simétricos. Como explicado anteriormente, os indutores simétricos receberam a aplicação de basicamente duas técnicas de otimização, multicamada e PGS e comparados com os dispositivos sem técnica alguma.

O indutor simétrico tradicional, sem técnica de otimização, apresentou valores de indutância iguais a 3,24 e 3,46 nH respectivamente em 2,0 e 4,0 GHz, o fator de qualidade obtidos para as mesmas frequências foram 3,21 e 3,72, e o fator de qualidade máximo, Q_{max} igual a 3,79 na frequência de 3,51 GHz. Nesta estrutura a frequência de auto-ressonância ocorre em frequência maiores que 8 GHz.

O empilhamento de espiras resultou melhoria no desempenho da estrutura, isso se deve a redução das perdas associadas ao metal, uma vez que esta técnica simula um metal espesso. Para a frequência de 2,0 GHz a resistência efetiva diminuiu de 13,08 Ω no indutor para 8,94 Ω no indutor multicamada, e em 4,0 GHz diminuiu de 23,44 Ω para 18,55 Ω . Para o fator de qualidade nas frequências de 2,0 e 4,0 GHz obteve-se os valores de 4,11 e 4,55 respectivamente, sendo que o Q_{max} foi de 5,04 e ocorreu na frequência de 3,17 GHz. Os valores de indutância para as frequências de 2,0 e 4,0 GHz são respectivamente 3,06 e 3,35 nH. Como dito anteriormente a capacitância parasita tende a reduzir a SRF, nesta estrutura também se utilizou dois níveis de metalização e a redução da SRF foi pequena.

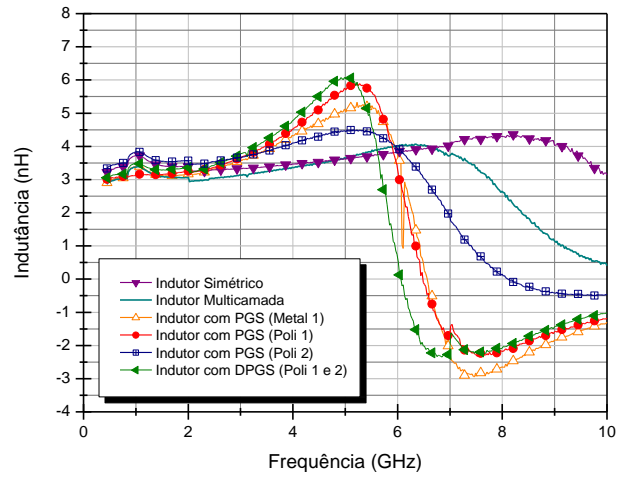
A outra técnica investigada foi a de PGS. O indutor com PGS de metal 1 apresentou para a frequência de 2,0 GHz indutância igual a 3,16 nH e para 3,5 GHz indutância de 3,88 nH, para as mesmas frequências o fator de qualidade foi de respectivamente de 4,51 e 4,58, o Q_{max} igual a 4,71, na frequência de 2,81 GHz. O indutor com silício policristalino 2 apesar de mais distante do indutor que o metal 1 apresentou desempenho semelhante, para as mesmas frequências de 2,0 e 3,5 GHz o fator de qualidade foi de 4,36 e 4,10 e a indutância de 3,43 e 3,86 nH e o fator de qualidade máximo igual a 4,61 na frequência de 2,64 GHz.

Comparando o desempenho dessas duas estruturas com PGS em relação ao indutor multicamadas, observa-se que essas estruturas apresentaram desempenho inferior.

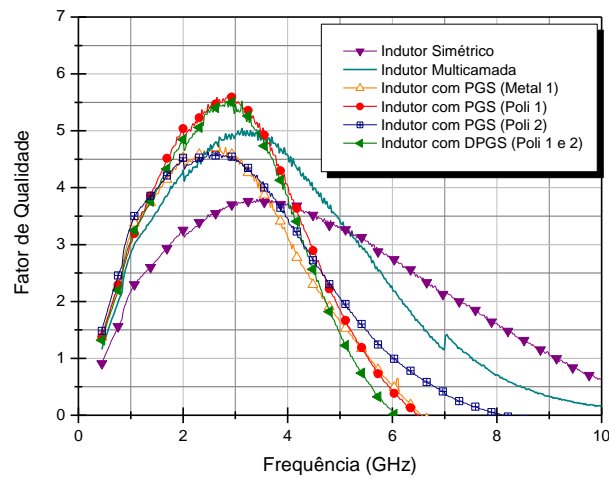
Dentre as estruturas com PGS, o indutor com PGS de Si-Poli 1 e 2 que trate-se de uma estrutura mais complexa atingiu o fator de qualidade máximo de 5,52 na frequência de 2,98 GHz, os valores de indutância para 2,0 e 3,5 GHz foram de 3,24 e 4,04 respectivamente.

Outra estrutura que apresentou desempenho aproximado ao de indutor com PGS de Si-Poli 1 e 2 foi o indutor com PGS de Si-Poli 1 com fator de qualidade máximo de 5,51 em 2,83

GHz. Os valores de indutância para as frequências de 2,0 e 3,5 GHz foram de 3,35 e 4,21 nH e o fator de qualidade para as mesmas frequências foi de 4,84 e 4,86.



(a) Indutância.



(b) Fator de Qualidade

Figura 4.45: Medidas dos Indutores Simétricos.

4.7 Indutores BiCMOS

Após a caracterização dos indutores integrados passivos na tecnologia CMOS, investigou-se a aplicação da técnica de duplo PGS (DPGS) no processo tecnológico BiCMOS da AMS, este processo permite o uso da camada enterrada $n+$, essa camada para aplicação de PGS apresenta a vantagem de introduzir menor capacitância parasita (E. Ragonese et al., 2004). Utilizando-se primeiramente da ajuda do simulador eletromagnético SONNET utilizou-se a camada enterrada para formar um duplo PGS com a camada de silício policristalino 1, esta técnica previne a penetração do campo elétrico no substrato, Figura 4.46 (a) mostra o *layout* e (b) o corte transversal simplificado.

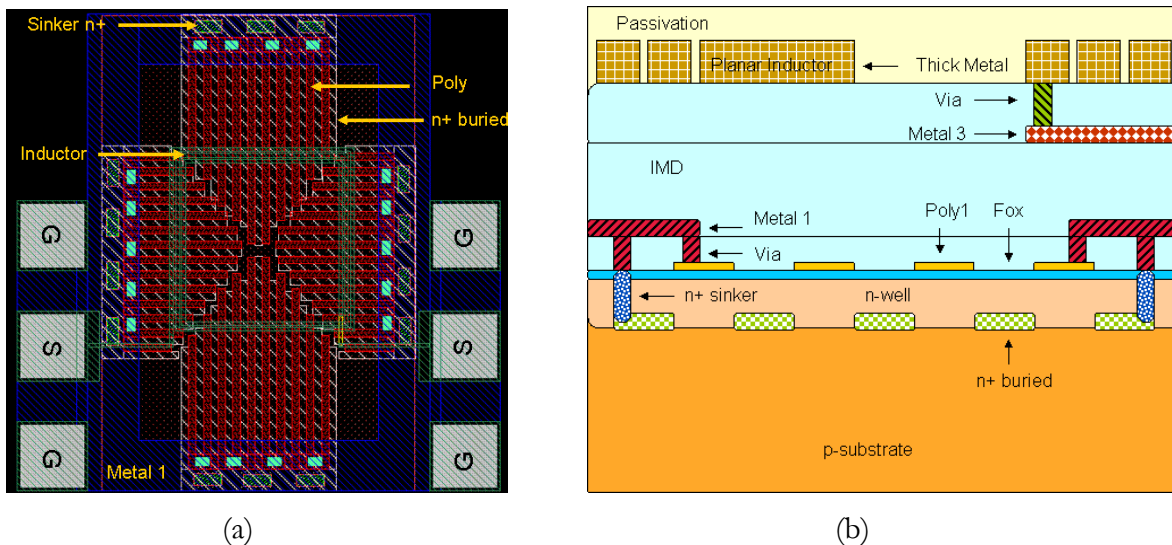


Figura 4.46: Indutor com duplo PGS

O processo de fabricação BiCMOS, assim como o processo CMOS, apresenta 4 níveis de metalização e 2 camadas de silício policristalino, entretanto o metal 4 é um metal com espessura típica de $2,8 \mu\text{m}$, quase três vezes maior que a espessura do metal utilizado no processo CMOS, a disponibilidade desse metal diminui as perdas provocadas pelo efeito pelicular e conseqüentemente a resistência em série, o que permite ao projetista conseguir indutores com desempenho melhores. A resistência típica para os metais 4 e 3 são respectivamente $0,01\Omega/\square$ e $0,07\Omega/\square$. Neste trabalho o metal espesso foi utilizado para desenhar o indutor enquanto que o metal 3 proveu o acesso a porta interna. As camadas para a

inserção do duplo PGS, silício policristalino 1 e camada enterrada n^+ , apresentam respectivamente 8 e 36 Ω/\square .

Para avaliar a eficiência da técnica foi utilizado como modelo um indutor padrão da AMS, com diâmetro externo de 250 μm , espaçamento de 3 μm e com condutor de 5 μm largura, neste indutor modelo foi inserido um duplo PGS com condutores de largura 10 μm e sem espaçamento entre eles, assim, prevenindo a penetração do campo elétrico. Os resultados obtidos pelas simulações, Figura 4.47 mostram que o indutor com duplo PGS apresenta alto fator de qualidade, sem alterar a indutância, como foi visto anteriormente a técnica de PGS aumenta a capacitância parasita e por isso a frequência de auto-ressonância é reduzida.

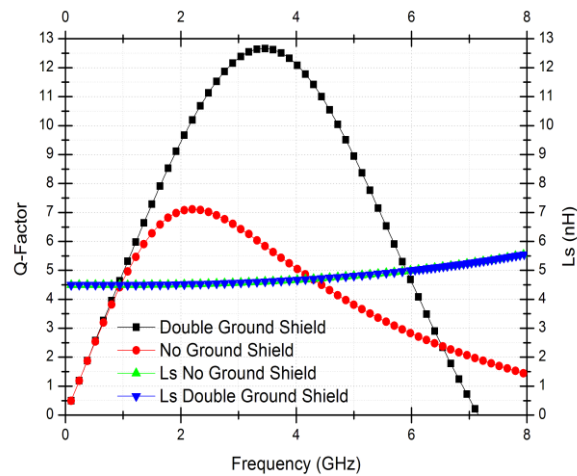


Figura 4.47: Indutor com duplo PGS – Simulações

No *layout* final foram incluídas nove estruturas como mostrado na Figura 4.48. Três estruturas são para *de-embeddieng*, Aberto (A2), Curto (B2) e Transmissão (C2). Três indutores para comparação entre a técnica de DPGS (A1), enterrada n^+ (B1) e sem PGS (C1), os três indutores restantes foram otimizados com DPGS, a única diferença entre eles é o número de voltas de cada indutor. O primeiro indutor apresenta 3,75 voltas (A3), o segundo indutor 4,75 voltas (B3) e o terceiro 5,75 voltas (C3).

A Figura 4.49 mostra o *chip* fabricado sem a camada de proteção poliimida, uma vez que foi detectado por este grupo que a camada de poliimida impedia a realização da medida (A. Távora A. S., 2008).

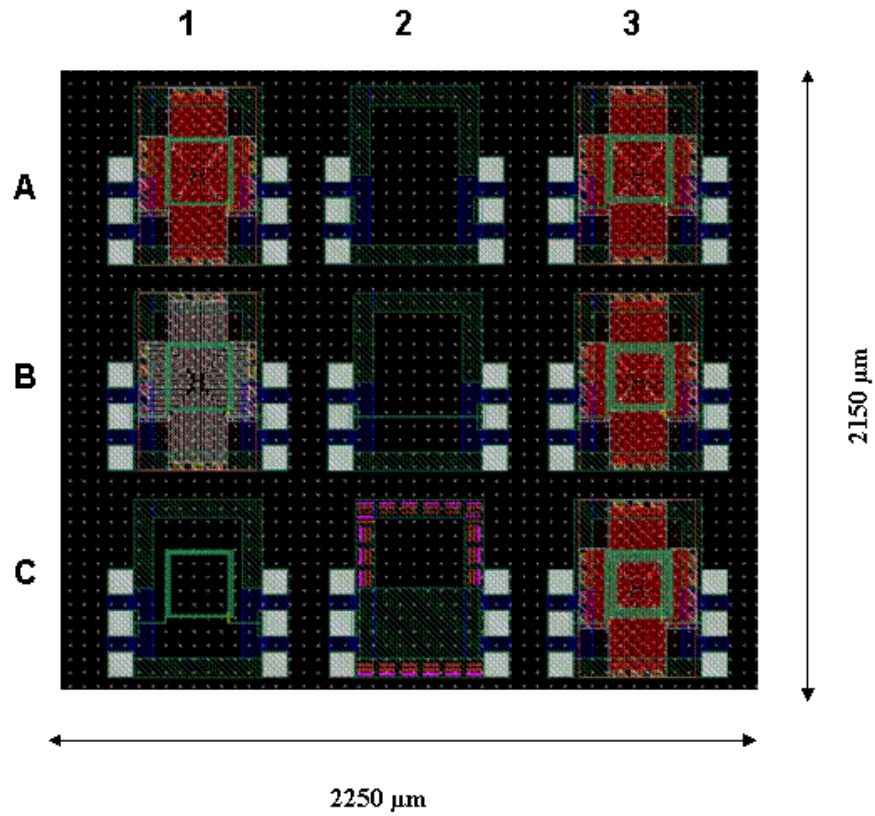


Figura 4.48: *Layout* final para os indutores BiCMOS.

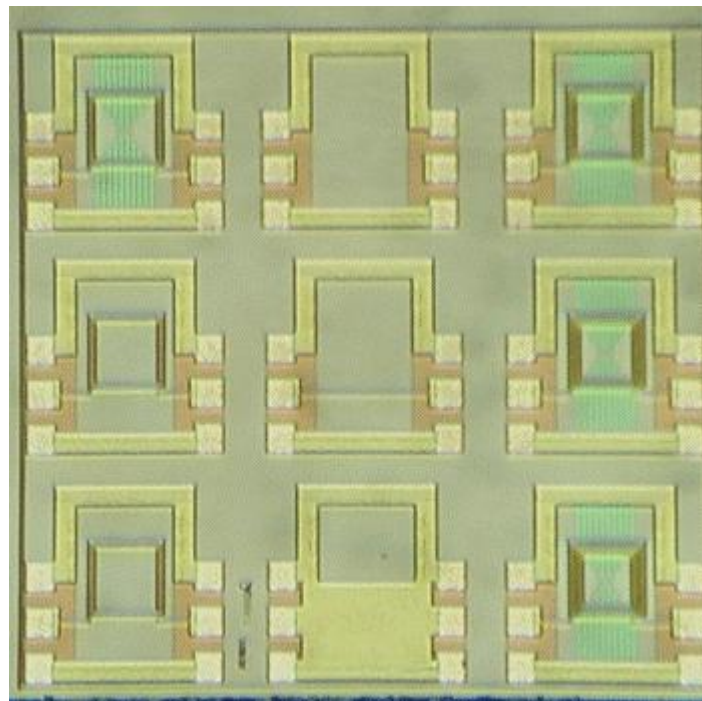
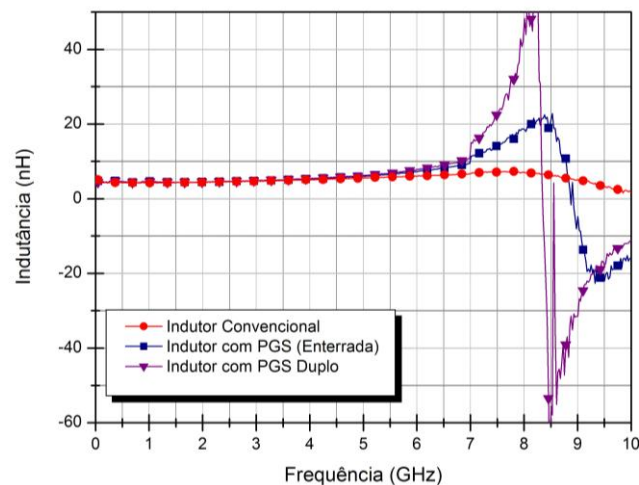


Figura 4.49: *Chip* fabricado com os indutores BiCMOS.

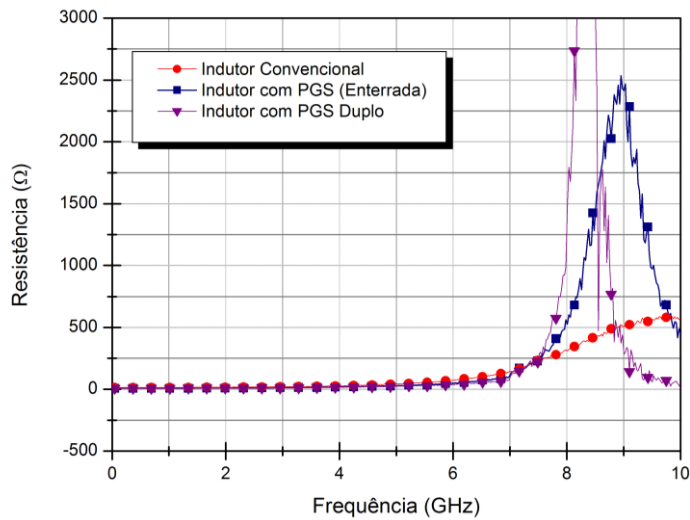
4.7.1 Indutor com duplo PGS, sem PGS e PGS

Como foi visto anteriormente o acoplamento com o substrato pode ser reduzido consideravelmente utilizando a técnica de PGS, entretanto incorporar uma camada condutora como Metal 1 ou Si-Poli, significa aumentar a capacitância parasita formada entre as espiras e o substrato de silício condutivo, o que implica na redução da SRF. Investigou-se neste trabalho a aplicação da técnica de duplo PGS utilizando as duas camadas de Si-Poli no processo CMOS da AMS e observou-se que o desempenho foi muito próximo da técnica de PGS simples. Entretanto o processo BiCMOS da AMS permite o uso da camada enterrada $n+$, com a vantagem desta camada estar localizada a uma distância maior das espiras. Para comparação foram projetados além do indutor com duplo PGS utilizando a camada enterrada $n+$ e Si-Poli 1, um indutor com PGS com camada enterrada $n+$ e um indutor sem PGS.

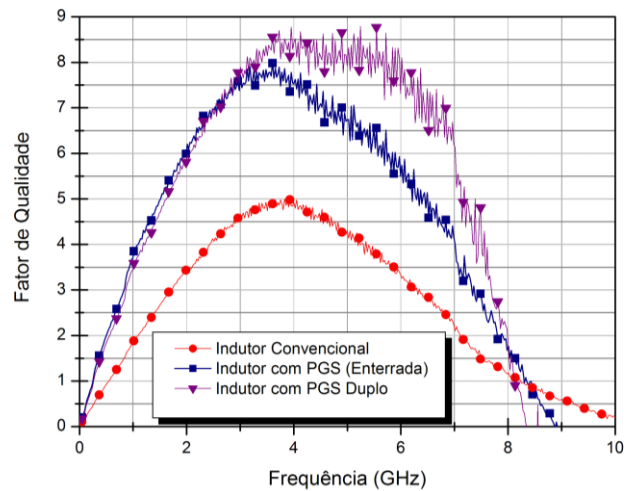
A Figura 4.50 mostra os resultados obtidos para os três indutores, e é possível observar que a indutância não apresentou variação até a frequência de 5,5 GHz, este comportamento é esperado uma vez que os indutores apresentam o mesmo formato, número de voltas, espaçamento e largura dos condutores. A variação a partir da frequência indicada é resultado do uso do PGS e duplo PGS já que apresentam maior capacitância parasita que o indutor sem PGS e por isso a SRF é reduzida. A maior redução de SRF ocorre para o indutor com duplo PGS, pois este apresenta também a camada de Si-Poli 1.



(a) Indutância.



(b) Resistência.



(c) Fator de Qualidade

Figura 4.50: Comparação dos indutores sem PGS, PGS simples e duplo PGS.

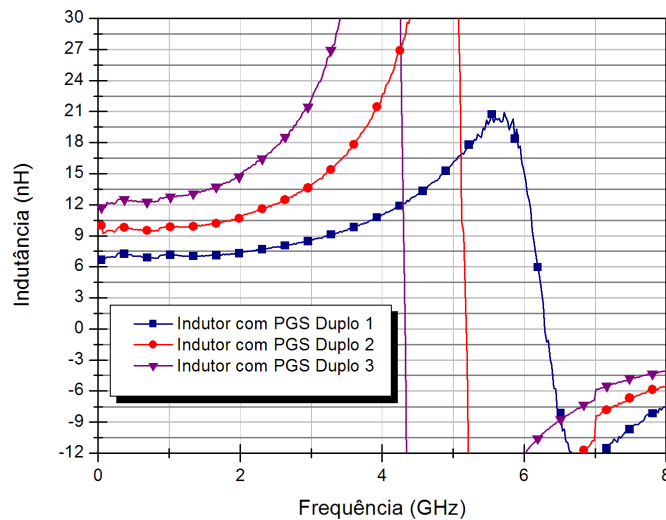
O fator de qualidade obtido para esses dispositivos está ilustrado na Figura 4.50 (c), o indutor planar, sem PGS apresentou fator de qualidade máximo de 4,97 na frequência de 3,92 GHz. O indutor com PGS simples apresentou desempenho 56,5% maior que o indutor sem PGS considerando os valores de Q_{max} . Para o indutor com duplo PGS a melhoria em relação ao indutor com PGS simples foi de 11,18% e em relação ao indutor planar sem PGS o aumento foi de 74%. A Tabela 4.17 compara os valores obtidos para a indutância, resistência e fator de qualidade para os três indutores.

Tabela 4.17: Resultados dos Indutores sem PGS, PGS e Duplo PGS.

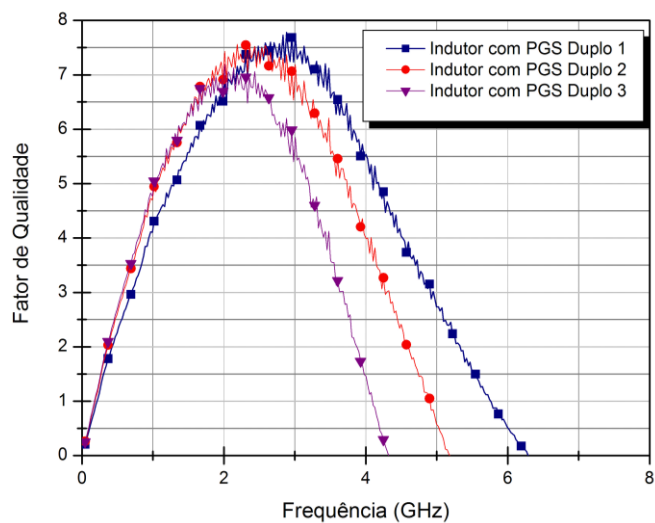
Indutor	Indutância (nH)		Resistência (Ω)		Fator-Q		Qmax @f(GHz)
	3,0	6,0	3,0	6,0	3,0	6,0	
Sem PGS	4,7	5,86	19,13	75,52	4,66	3,25	4,97@3,92
PGS	4,81	7,23	11,79	48,04	7,71	5,74	7,78@3,65
DPGS	4,85	7,83	11,63	36,56	7,88	8,09	8,65@4,89

4.7.2 Indutores com duplo PGS

O projeto incluiu ainda três indutores com duplo PGS que se diferem pelo número de voltas internas. O indutor utilizado para comparação deu origem a três novos indutores, duplo PGS com 1 volta interna a mais (DPGS N1), DPGS N2 com duas voltas internas a mais e DPGS N3 com três voltas internas a mais. O objetivo é mostrar a aplicabilidade da técnica com indutores diferentes, sabendo que aumentar o número de voltas representa aumentar a indutância, alterar a capacitância parasita, a SRF e o fator de qualidade. A Figura 4.51 (a) mostra os valores de indutância para as três estruturas, e a Figura 4.51 (b) exibe o fator de qualidade. O indutor com o maior número de voltas é o que apresenta a maior indutância, entretanto a menor SRF, uma vez que este indutor apresenta a maior área e conseqüentemente a maior capacitância parasita. Logicamente o indutor de menor indutância apresenta a maior SRF e o maior fator de qualidade.



(a) Indutância.



(b) Fator de Qualidade.

Figura 4.51: Comparação dos indutores

Tabela 4.18: Resultados dos Indutores com Duplo PGS.

Indutor	Indutância (nH)		Fator-Q		Qmax
	2,0	3,0	2,0	3,0	@f(GHz)
DPGS N1	7,41	8,57	6,91	7,71	7,71@3,0
DPGS N2	10,90	13,92	7,43	7,18	7,54@2,3
DPGS N3	15,01	22,26	6,63	5,85	7,12@2,13

Alguns valores de indutância e fator de qualidade extraídos dos gráficos da Figura 4.51 são mostrados na Tabela 4.18.

Capítulo 5

Conclusões e Trabalhos Futuros

5.1 Conclusões

Apresentou-se inicialmente neste trabalho a importância dos indutores passivos integrados para as aplicações de rádio frequência. Para demonstrar algumas funções exercidas dentro do sistema de RF e utilizou-se como instrumento o amplificador de baixo ruído. Destacou-se também o esforço para o projeto e implementação de dispositivos alternativos para a substituição dos indutores passivos como indutores ativos e de *bondwire*.

No decorrer do trabalho destacou-se que os indutores passivos integrados fabricados em processos de fabricação baseados em silício apresentam perdas que limitam seu desempenho. As perdas estão basicamente associadas à condutividade finita dos metais e a condutividade do substrato de silício, e dessa forma, atuam efeitos eletromagnéticos que induzem correntes parasitas. A compreensão dos fenômenos que atuam na operação dos indutores passivos levou ao desenvolvimento de técnicas avançadas capazes de reduzir certas perdas, dentre elas destacam-se o empilhamento de espiras, uma técnica capaz de simular um metal espesso e reduzir a resistência efetiva e o PGS, camada condutora com fendas, incorporada entre as espiras e o substrato, esta camada impede a formação de corrente parasita ao redor do eixo das espiras e ainda provê um caminho de menor impedância para a corrente, já que previne a penetração do campo elétrico no substrato, entretanto este método tem como custo a redução da frequência de auto-ressonância devido ao aumento da capacitância formada entre as espiras e camada introduzida.

Os indutores apresentam modelos de circuitos equivalentes e estes modelos têm sua complexidade relacionada a quantidade de fenômenos eletromagnéticos que representam, neste trabalho foram apresentados modelos tradicionais e modelos mais elaborados, assim como equações mais precisas e atuais de indutância, resistência em série, capacitância e resistência do substrato. A estimativa de cada elemento do modelo de circuito equivalente considerado também pode ser extraída diretamente dos resultados de parâmetros S obtidos nas simulações e medidas, convertendo-os em parâmetros Y.

Neste trabalho caracterizou-se indutores em processos CMOS e BiCMOS. Para a tecnologia CMOS projetou-se e caracterizou-se doze indutores, metade com *layout* planar e metade com *layout* simétrico otimizados com as técnicas de multicamada e PGS. Utilizou-se o processo tecnológico 0,35 μm da AMS, este processo apresenta grande variação nos seus parâmetros de processo como espessura de óxido, espessura de metal entre outras e todos esses parâmetros são independentes entre si. Logo, definiu-se uma estratégia para avaliar os efeitos da variação do processo no desempenho dos indutores utilizando a ferramenta de simulação SONNET. A estratégia considerou que o indutor é composto basicamente por três partes; os metais, o óxido e o substrato de silício, assim duas partes foram fixadas nos parâmetros típicos enquanto variou-se apenas a parte restante, dessa forma foi possível avaliar também a aplicabilidade de cada estrutura no processo disponível. Nesta análise o desempenho do indutor planar, sem técnica de otimização, apresentou maior dependência com a variação da resistência de folha dos condutores, e pequena discrepância quanto aos efeitos de espessura de óxido e resistividade do substrato, o indutor empilhado foi projetado com duas camadas de metais. O desempenho do indutor com PGS apresentou dependência mínima com o substrato já que foi incorporada uma camada condutora entre as espiras e o substrato, no entanto a dependência com a espessura do óxido é maior, considerando que essa técnica já degrada naturalmente a SRF.

Todos os indutores foram caracterizados utilizando um sistema de medidas composto basicamente por um analisador de rede e uma estação de *probe*, esta estação apresenta um ACP com micropontas para realizar o contato com os *pads* do dispositivo. Estes introduzem elementos parasitas que degradam totalmente o funcionamento dos indutores, dessa forma, para avaliar com precisão o funcionamento de cada dispositivo faz-se necessário realizar operações de *de-embedding*, para tal foram incluídas nos projetos estruturas auxiliares de aberto, curto e transmissão, por questão de simplicidade prevaleceu o uso do método utilizando apenas a estrutura em aberto que apresenta resultados precisos e sem a necessidade de várias operações e conversões de matrizes.

Para os indutores convencionais os resultados experimentais confirmam os resultados estimados por simulações, dos valores de indutância, resistência e fator de qualidade. O indutor de referência apresentou Q_{max} de 3,4 em 3 GHz, o indutor multicamada apresentou desempenho superior com Q_{max} de 4,2 em 3 GHz. Dos indutores com PGS o indutor com PGS de metal 1 apresentou o resultado mais discreto, enquanto que os indutores com PGS de

Si-Poli apresentam fator de qualidade maiores que 4, como por exemplo os indutores Si-Poli 2 e Si-Poli 1 com fato de qualidade máximo de 5,54 em 2,4 GHz e 5,42 em 2,47 GHz respectivamente.

Os resultados experimentais obtidos para os indutores simétricos mostram que as estruturas com PGS de Si-Poli 1 e 2, Si-Poli 1 apresentam os maiores valores de fator de qualidade; 5,52 em 2,98 GHz e 5,51 em 2,83 GHz respectivamente, entretanto com o custo da redução da frequência de auto-ressonância. O indutor multicamada também melhorou o desempenho do indutor de referência com Q_{max} de 5,04 para a frequência de 3,17 GHz e com SRF maior que dos indutores com PGS.

Neste trabalho também foi realizado o projeto e a caracterização de uma nova estrutura, o indutor com duplo PGS utilizando a camada enterrada $n+$ e camada de Si-Poli 1 no processo BiCMOS. Destaca-se a otimização do indutor planar sem técnica de otimização, alcançando um aumento no fator de qualidade aproximado de 74%. Demonstrou-se também a aplicabilidade da técnica utilizando três indutores com diferentes valores de indutância, ou seja, com diferentes números de espiras. Os indutores apresentam 3,75, 4,75 e 5,75 número de voltas, e para a frequência de 2,0 GHz obteve-se valores de indutância de 7,41 nH, 10,90 nH e 15,01 nH respectivamente.

Esta dissertação demonstrou a viabilidade de implementação de indutores passivos para aplicações em microondas nos processos CMOS e BiCMOS da AMS.

5.2 Trabalhos Futuros

Este trabalho inicia a pesquisa sobre dispositivos passivos integrados no Grupo de Antenas e Microeletrônica e como continuação para este tipo de pesquisa sugere-se:

- A investigação de outras técnicas de otimização como anéis de guarda, variação da largura de trilhas entre outras.
- Projeto e caracterização de transformadores que são estruturas igualmente importantes para aplicações de RF.
- Criação de uma biblioteca de indutores e transformadores com diferentes tipos de indutores otimizados.
- Projeto e caracterização de indutores com duplo PGS em um processo diferente do utilizado neste trabalho.

Publicações

- P. N. Lagoia Fonseca Jr. e L. C. Kretly, “Indutores Integrados Multicamada e PGS,” *MOMAG 2008 – (12 SBMO Brazilian Microwave and Optoelectronics Symposium / 7 CBMAG - Brazilian Congress of Electromagnetism)*, 2008a.
- P. N. Lagoia Fonseca Jr. e L. C. Kretly, “High Q-Factor Monolithic Inductor for RF Devices Using Double Ground Shield,” *7th International Caribbean Conference on Devices, Circuits and Systems (ICCDCS 2008)/IEEE*, 2008b.
- P. N. Lagoia Fonseca Jr. e L. C. Kretly, “RF Integrated Inductor: Improving Q-Factor with Double Ground Shield for BiCMOS Technology,” *International Conference on Microwave and Millimeter Wave Technology (ICMMT 2008)/IEEE*, 2008c.
- P. N. Lagoia Fonseca Jr. e L. C. Kretly, “A Novel Inductor on Slow-Wave Substrate: Single Layer with Periodic Rectangular Compact Coil on Ground Plane,” *SBMO/IEEE MTT-S International Microwave and Optoelectronics Conference organized by the Brazilian Microwave and Optoelectronics Society (SBMO) and the IEEE Microwave Theory and Techniques Society*, 2007.

Referências Bibliográficas

- A. Aktas e M. Ismail, "Pad de-embedding in RF CMOS," *IEEE Circuits Devices Magazine*, vol. 17, no. 3, pp. 8–11, 2001.
- A. Anjos, "Comparação de Ferramentas Para Modelamento de Indutores na Tecnologia CMOS," Dissertação de Mestrado, USP, EPUSP, PSI, 2007.
- A. Goñi, J. Pino, B. González, A. Hernandez, "An Analytical Model of Electric Substrate Losses for Planar Spiral Inductors on Silicon," *IEEE Transactions on Electron Devices*, vol. 54, no. 3 pp. 546-553, 2007.
- A. Goñi, J. Pino, B. González, S. Khemchandani, A. Hernandez, "Accurate Planar Spiral Inductor Simulations with a 2.5-D Electromagnetic Simulator," *International Journal of RF and Microwave Computer-Aided Engineering*, vol. 18, no. 3, pp. 242-249, 2008.
- A. Liscidini, M. Brandoline, D. Sanzogni, R. Castello, "A 0.13 μm CMOS Front-End, for DCS1800/UMTS/802.11b-g With Multiband Positive Feedback Low-Noise Amplifier," *Symposium on VLSI Circuit.*, pp. 406-409, 2005.
- A. Scuderi, T. Biondi, E. Ragonese, G. Palmisano, "A lumped scalable model for silicon integrated spiral inductors," *IEEE Transactions on Circuits and Systems I*, vol. 55, pp. 1203-1209, 2004.
- A. Távora A. S., "Desenvolvimento de tecnologia de dispositivos chaves MEMS – microelectromechanicalsystems – para RF – rádio frequência – e novas topologias para circuitos integrados CMOS de RF em sub-sistemas de entrada de rádio receptores," Tese de Doutorado, UNICAMP, FEEC, DMO, 2008.
- AMS, "0.35 μm HBT BiCMOS Design Rules," *Technical report*, Austria Mikro Systeme, 2004a.
- AMS, "0.35 μm HBT BiCMOS Process Parameters," *Technical report*, Austria Mikro Systeme, 2004b.
- AMS, "0.35 μm HBT BiCMOS RF SPICE Models," *Technical report*, Austria Mikro Systeme, 2004c.

- AMS, “0.35 μ m HBT CMOS Process Parameters,” *Technical report*, Austria Mikro Systeme, 2004d.
- B. A Georgescu, “Spiral Inductor Q-Enhancement Techniques,” Master Thesis, Department of Electrical and Computer Engineering, The University of Calgary, 2003.
- B.-L. Ooi, D.-X. Xu, e P.-S. Kooi, “A comprehensive explanation on the high quality characteristics of symmetrical octagonal spiral inductor,” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 259-262, 2003.
- B.-L. Ooi, D.-X. Xu, P.-S. Kooi, e F.-J. Lin, “An improved prediction of series resistance in spiral inductor modeling with eddy current effect,” *IEEE Transactions Microwave Theory and Techniques*, vol. 50, no. 9, pp. 2203-2206, 2002.
- C. E. Capovilla, “Circuitos Integrados de Rádio-Recepção para a Operação de Multiplexação Espacial de Antenas em Tempo Real,” Tese de Doutorado, UNICAMP, FEEC, DMO, 2008.
- C. E. Capovilla, S. E. Barbin, e L. C. Kretly, “A CMOS Low Noise Amplifier at 2.5 GHz Band with Multiple Switched Inputs for Smile Array Receive Application,” *Asia-Pacific Microwave Conference*, pp. 2007.
- C. P. Yue, C. Ryu, J. Lau, T. H. Lee, e S. S. Wong, “A physical model for planar spiral inductors on silicon,” *Proc. IEEE Int. Electron Devices Meeting*, pp. 155-158, 1996.
- C. P. Yue, e S. S. Wong, “A Study on Substrate Effects of Silicon-Based RF. Passive Components,” *IEEE MTT-S International Microwave Symposium Digest*, pp. 1625–1628, 1999.
- C. P. Yue, e S. S. Wong, “On-Chip Spiral Inductors with Patterned Ground Shields for Si-Based RF IC’s,” *IEEE Journal of Solid-State Circuits*, vol. 33, no. 5, pp. 743-752, 1998.
- D. M. Pozar, “Microwave Engineering”, ed. 3, New York: John Wiley & Sons Inc., 2004.
- E. Ragonese, A. Scuderi, T. e G. Palmisano, “Experimental comparison of substrate structures for inductors and transformers,” *12th IEEE Mediterranean Electrotechnical Conference (MELECON 2004)* pp. 143-146, 2004.
- E. Silva, “Indutores ativos integrados implementados em tecnologia CMOS para aplicações em sistemas de rádio frequência”, Dissertação de Mestrado, UNICAMP, FEEC, DMO, 2007.
- F. Mernyei, F. Darrer, M. Pardoen e A. Sibrai.. Reducing the substrate Losses of RF Integrated Inductors. *IEEE Microwave and Guided Wave Letters*, vol. 8, no. 9, pp. 300-301, 1998.

- H. M. Greenhouse, "Design of Planar Rectangular Microelectronic Inductors," *IEEE Transactions on Parts, Hybrids and Packaging*, vol. 10, no. 2, pp. 101-109, 1974.
- H. M. Hsu, J. Y. Chang, J. G. Su, C. C. Tsai, S. C. Wong, C. W. Chen et al., "A 0.18 μm foundry RF CMOS technology with 70 GHz F_T for single *chip* system solutions," *IEEE Symposium Microwave Theory Tech.* pp. 1869–1872, 2001.
- H. P. Tan, J. G. Ma, K. S. Yeo, e M. A. Do, "High Q Si-Based Inductor Shielded with Double Layer Polysilicon for RF Applications," *Microwave and Optical Technology Letters*, vol. 24, no. 6, pp. 366-367, 2000.
- H.-S. Tsai, J. Lin, R. C. Frye, K. L. Tai, M. Y. Lau, D. Kossives, F. Hrycenko, e Y.-K. Chen, "Investigation of current Crowding effect on spiral inductors," *IEEE MTT-S International Topical Symposium on Technologies for Wireless Application*, pp. 139-142, 1997.
- J. Cabanillas, "Analysis of Integrated Transformers and its Application to RFIC," P.h.D Thesis, Departament d'Electronica, Universitat de Barcelona, 2002.
- J. Carbonero, G. Morin, e B. Cabon, "Comparison between beryllium-copper and Tungsten high frequency air coplanar probes," *IEEE Trans. Microwave Theory Tech.*, vol. 43, pp. 2786-2793, 1995.
- J. Craninckx e M. S. J. Steyaert, "A 1.8-Ghz Low-Phase-Noise CMOS VCO Using Optimized Hollow Spiral Inductors," *IEEE Journal of Solid-Sate Circuits*, vol. 32, no. 5, pp. 736-744, 1997.
- J. Craninckx e M. S. J. Steyaert, "Low-noise voltage controlled oscillators using enhanced LC-tanks," *IEEE Journal of Solid-Sate Circuits*, vol. 42, no. 12 pp. 794-804, 1995.
- J. Lopez-Villegas, J. Samitier, C. Cane, P. Losantos, J. Bausells, "Improvement of the quality factor of RF integrated inductors by layout optimization," *IEEE Transactions on Microwave Theory and Technisques*, vol. 48, no. 1, pp. 76-83, 2000.
- J. N. Burghartz, "Silicon RF Technology - The Two Generic Approaches," *Proc. ESSDERC*, pp. 143-153, 1998.
- J. N. Burghartz, A. E. Ruehli, K. A. Jenkins, M. Soyuer, e D. Nguyen-Ngoc, "Novel substrate contact structure for high-Q silicon-integrated spiral inductors" *Tech. Dig. Int. Electron Devices Meeting (IEDM)*, pp. 55-58, 1997.
- J. N. Burghartz, M. Soyuer, K. A. Jenkins, "Integrated RF and Microwave Components in BiCMOS Technology," *IEEE Trans. Electron Devices*, vol. 43, no. 9, pp. 1559-1570, 1996.

- J. R. Long e M. A. Copeland, "The Modeling, Characterization, and Design of Monolithic Inductors for Silicon RF IC's," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 3, pp. 357-369, 1997.
- J. V. Hese, "Accurate Modeling of spiral inductors on silicon for wireless RF IC designs," *TechOnLine Agilent Technologies*, 2001.
- J. Y.-C. Chang e A. A. Abidi, "Large Suspended Inductors on Silicon and Their Use in a 2- μ m CMOS RF Amplifier," *IEEE Electron Device Letters*, vol. 14, no. 5, pp. 246-247, 1993.
- J. Zhao, W. Dai, S. Kapur, D. Long, "Lossy substrate and resonance analysis of embedded inductors," *Proceeding IEEE Symposium on IC/Package Design Integration*, pp. 109-114, 1998.
- K. O, "Estimation Methods for Quality Factors of Inductors Fabricated in Silicon integrated Circuit Process Technologies," *IEEE Journal of Solid-Sate Circuits*, vol. 33, no. 8, pp. 1249-1252, 1998.
- K. T Christensen, e A. Jorgensen, "Easy Simulation and Design of On-Chip Inductors in Standard CMOS Processes," *Proceedings of IEEE International Symposium on Circuits and Systems*, vol. 4, pp. 360-364, 1998.
- L. C. Moreira, "Estruturas de Indutores Monolíticos para Circuitos RF na Tecnologia CMOS," Tese de Doutorado, USP, EPUSP, PSI, 2001.
- L. H. Dixon Jr., "Eddy Current Losses in Transformer Windings and Circuit Wiring," *Manual SEM600 Unirode Seminar*, 1988.
- M. Danesh, J. R. Long, R. Hadaway e D. Harame, "A Q-Factor Enhancement Technique for MMIC Inductors," *IEEE MTT-S International Microwave Symposium*, pp. 183-186, 1998.
- M. Danesh, Monolithic Inductors for Silicon Radio Frequency Integrated Circuits. (Master Thesis). Department of Electrical and Computer Engineering, The University of Toronto, 1999.
- M. N. O. Sadiku, "Elementos de Eletromagnetismo", Ed. 3, Bookman, 2004.
- M. Soyuer, J. N. Burghartz, K. A. Jenkins, S. Ponnappalli, J. F. Ewen e W. E. Pence, "Multilevel monolithic inductors in silicon technology," *IEEE Electronic Letters*, vol. 31, no. 5, pp. 359-360, 1995.
- M. Wens, K. Cornelisses e M. Steyaert, "A Fully-Integrated 0.18 μ m CMOS DC-DC Step-Up Converter, Using Bondwire Spiral Inductor," *33rd European Solid State Circuits Conference*, pp. 268-271, 2007.

- N. M. Nguyen e R. G. Meyer, "Si IC-compatible inductors and LC passive filters". *IEEE Journal Solid-State Circuits*, vol. 25, no. 4, pp. 1028–1031, 1990.
- P. Arcioni, R. Castello, L. Perregrini, G. De Astis, E. Sacchi, F. Svelto, "Measurement and Modeling of Si Integrated Inductors," *IEEE Transactions on Instrumentation and Measurement*, vol. 47, no. 5, pp. 1372-1378, 1998a.
- P. Arcioni, R. Castello, L. Perregrini, E. Sacchi, F. Svelto, "An improved lumped-element equivalent circuit for on silicon integrated inductors," in *Proc. RAWCON*, pp. 301-304, 1998b.
- P. J. V. Wijnen, H. R. Claessen, e E. A. Wolsheimer, "A new straightforward calibration and correction procedure for on wafer high frequency S-parameters measurements (45 MHz – 18 GHz)," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting Proc.*, pp. 70-73, 1987.
- P. Karjalainen, J. Rapelo e E. Ristolainen, "The Effect of Metal Ground Shield on On-Chip Spiral Inductor," *Physica Scripta*, vol. T114, pp. 113-116, 2004.
- R. E. Amaya, P. Popplewell, M. Cloutier, e C. Plett, "Analysis and Measurements of EM and Substrate Coupling Effects in Common RF Integrated Circuits," *IEEE Custom Integrated Circuit Conference* pp. 363-366, 2004.
- R. Thüringer, "Characterization of Integrated Lumped Inductors and Transformers", Diploma thesis, Technical University Vienna, 2002.
- S. A. Wartenberg, "RF Measurements of Die and Packages," ed. 1, Artech House, 2002.
- S. A. Wartenberg, "Selected topics in RF coplanar probing," *IEEE Trans. Microwave Theory Tech.*, vol. 51, pp. 1413-1421, 2003.
- S. Jenei, B. K. J. C. Nauwelaers, S. Decoutere, "Physics-Based Closed-Form Inductance Expression for Compact Modeling of Integrated Spiral Inductors," *IEEE Journal of Solid-State Circuits*, vol. 37, no. 1, pp. 77-80, 2002.
- S. S. Mohan, M. M. Hershenson, S. P. Boyd, e T. H. Lee, "Simple Accurate Expressions for Planar Spiral Inductance," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 10, pp. 1419-1424, 1999.
- Sonnet, "Sonnet: The way it works," Disponível em: <http://www.sonnetusa.com/products/em/ef_how_em_works.asp>, 2008.
- T. E. Kolding, "Shield-Based Microwave On-Wafer Device Measurements," *IEEE Trans. Microwave Theory and Techniques*, vol. 49, no. 6, pp. 1039-1044, 2001.

- W. B. Kuhn e N. M. Ibrahim, "Approximate Analytical Modeling of Current Crowding Effects in Multi-Turn Spiral Inductors," *IEEE Transactions on Microwave Theory and Techniques*, pp. 31-38, 2001.
- W. Gao e Z. Yu, "Scalable Compact Circuit Model and Synthesis for RF CMOS Spiral Inductors," *IEEE Trans. On Microwave and Techniques*, vol. 54, no. 3, pp. 1055-1064, 2006.
- Y. E. Chen, D. Bien, D. Heo, J. Laskar, "Q-Enhancement of Spiral Inductor with N+ Diffusion Patterned Ground Shields," *IEEE MTT-S International Microwave Symposium*, vol. 2, pp. 1289-1292, 2001.
- Y. Koutsoyannopoulos e Y. Papananos, "Efficient utilization of on-chip inductors in silicon RF IC design using a novel cad tool; The LNA paradigm," *The IEEE International Symposium on Circuits and Systems – ISCAS*, pp. 118-121, 1998.
- Y. Koutsoyannopoulos e Y. Papananos, "SISP: A CAD Tool for Simulating the Performance of Polygonal and Multi-Layer Integrated Inductors on Silicon Substrates," *Proc. Int'l Conf. on VLSI and CAD*, pp. 244-246, 1997.
- Y.-T. Wang e A. A. Abidi, "CMOS Active Filter Design at Very High Frequencies," *IEEE Journal of Solid-Sate Circuits*, vol. 42, pp. 794-802, 1990.