

Universidade Estadual de Campinas
Faculdade de Engenharia Elétrica e de Computação

**Projeto de Amplificadores Operacionais CMOS Classe-AB
Operando em Baixa Tensão de Alimentação**

Autor: Peterson Ribeiro Agostinho

Dissertação submetida à Faculdade de Engenharia Elétrica e de Computação da Universidade Estadual de Campinas, como requisito parcial à obtenção do título de Mestre em Engenharia Elétrica, sob orientação do Prof. Dr. Jacobus W. Swart e co-orientação do Prof. Dr. Jader A. De Lima Filho.

Banca Examinadora

Prof. Dr. Jacobus W. Swart DSIF/FEEC/Unicamp

Prof. Dr. Fabiano Fruett. DSIF/FEEC/Unicamp

Prof. Dr. Furio Damiani. DSIF/FEEC/Unicamp

Prof. Dr. Everson Martins. DEE/FEG/UNESP

Campinas, Maio/2006

FICHA CATALOGRÁFICA ELABORADA PELA
BIBLIOTECA DA ÁREA DE ENGENHARIA E ARQUITETURA - BAE -
UNICAMP

Ag75p Agostinho, Peterson Ribeiro
Projeto de amplificadores CMOS classe-AB operando em
baixa tensão de alimentação / Peterson Ribeiro Agostinho. --
Campinas, SP: [s.n.], 2006.

Orientadores: Jacobus Willibrordus Swart, Jader Alves de
Lima Filho

Dissertação (Mestrado) - Universidade Estadual de
Campinas, Faculdade de Engenharia Elétrica e de
Computação.

1. Semicondutores complementar de oxido e metal. 2.
amplificadores operacionais. 3. Circuitos integrados. I.
Swart, Jacobus Willibrordus. II. Lima Filho, Jader Alves de.
III. Universidade Estadual de Campinas. Faculdade de
Engenharia Elétrica e de Computação. IV. Título.

Título em Inglês: Design of low-voltage CMOS class-AB operational amplifiers

Palavras-chave em Inglês: CMOS, Operational amplifiers

Área de concentração: Eletrônica, Microeletrônica e Optoeletrônica

Titulação: Mestre em Engenharia Elétrica

Banca examinadora: Fabiano Fruett, Furio Damiani e Everson Martins

Data da defesa: 05/05/2006

Programa de Pós-Graduação: Engenharia Elétrica

Resumo

Este trabalho descreve o procedimento de projeto de amplificadores operacionais *rail-to-rail* em tecnologia CMOS. Para isto, foram objetos desse processo quatro configurações distintas. As quatro topologias utilizam estágio de entrada *rail-to-rail* com controle de g_m e estágio de saída classe-AB com controle de corrente quiescente. Como especificação para as três primeiras configurações estão tensão de alimentação de $\pm 0.9V$, ganho de manha aberta em baixas frequências de 60dB e frequência de ganho unitário de 4MHz para uma carga externa de 10k Ω em paralelo com 10pF. A quarta configuração é uma nova topologia adaptada para que os transistores operem na região de inversão fraca, com o objetivo de reduzir o consumo de potência. Como especificação para esta configuração temos tensão de alimentação de $\pm 0.75V$ e minimização do consumo de potência.

Os resultados obtidos a partir dos protótipos fabricados em tecnologia CMOS 0.35 μm foram próximos às especificações. Uma placa de circuito impresso foi implementada para caracterização dos amplificadores e, além disso, foi utilizado nessa placa um amplificador comercial para realizar comparações.

Abstract

This dissertation describes the process of designing rail-to-rail operational amplifiers in CMOS technology. To accomplish this, the author focused on four distinct structures. The four topologies have rail-to-rail input stage with g_m -control circuit and Class-AB output stage with quiescent-current control. The specification of three configurations included the nominal power supply of $\pm 0.9V$, minimum open-loop low-frequency gain of 60dB and unity-gain frequency of 4MHz driving an external load of 10k Ω in parallel with 10pF. The fourth one is a new topology adapted to operate with transistors in weak inversion, in order to decrease the power consumption. The specification included nominal power supply of $\pm 0.75V$ and minimization of power consumption.

Prototypes of the amplifiers were fabricated in 0.35 μm CMOS technology and the results were in good agreements with the specifications. A printed circuit board was implemented to test the amplifiers and, additionally, was inserted a commercial amplifier, to make comparisons.

“Dedico este trabalho aos meus pais, Tadeu e Ligia, por todo amor, dedicação, apoio e incentivo que me deram ao longo dessa minha trajetória”

AGRADECIMENTOS:

Agradeço primeiramente aos meus pais e familiares, pelo apoio que sempre deram. Ao prof. Dr. Jader Alves de Lima, pelo apoio e pelas oportunidades que me concedeu ao longo dessa minha trajetória. Ao prof. Dr. Jacobus Swart, pela oportunidade de realizar esse trabalho junto ao seu grupo de pesquisa. Ao meu amigo Fernando, grande companheiro nas pesquisas na área de microeletrônica. À instituição FAPESP, pelo financiamento do meu trabalho de mestrado. À instituição Cenpra por disponibilizar suas instalações na época do envio do *Chip*. E, finalmente, a todos que de alguma forma contribuíram para que eu concluísse o mestrado.

SUMÁRIO

| | |
|-----------------------------------|-------------|
| Lista de Tabelas e Figuras | viii |
|-----------------------------------|-------------|

| | |
|--------------------------|-----------|
| Lista de Símbolos | xi |
|--------------------------|-----------|

| | |
|---|-----------|
| 1 - Introdução | 1 |
| 1.1 Por que baixa tensão e baixo consumo de potência? | 2 |
| 1.2 Aplicações para circuitos de baixa tensão e baixo consumo de potência | 2 |
| 1.3 Obstáculos em termos de circuito | 3 |
| 1.4 Situação atual do mercado de Amplificadores <i>LPLV</i> | 3 |
| 2 – Estágios de Entrada | 5 |
| 2.1 Estágio de entrada <i>rail-to-rail</i> | 5 |
| 2.2 Estágios de entrada <i>rail-to-rail</i> com muito baixa tensão de alimentação | 8 |
| 2.2.1 Estágio de Entrada com Variação Dinâmica de V_{CM} | 8 |
| 2.2.2 Estágio de entrada <i>Bulk-Driven</i> | 10 |
| 2.2.3 Estágio de Entrada utilizando dois pares diferencias tipo P | 12 |
| 2.3 Análise Comparativa | 13 |
| 3 – Estágios de Saída | 14 |
| 3.1 - Introdução | 14 |
| 3.2 – Classe-AB polarizado com controle direto | 15 |
| 3.3 - Classe-AB polarizado com laço realimentado | 18 |
| 3.3.1 <i>Classe-AB</i> utilizando circuito seletor de mínimos simples | 20 |
| 3.3.2 Classe-AB com circuito de controle preciso de corrente quiescente | 24 |
| 3.3.3 Classe-AB de Baixa Potência | 25 |

| | |
|--|-----------|
| 4 – Projeto dos Amplificadores | 28 |
| 4.1 Introdução | 28 |
| 4.2 Amplificador com estágio de saída Classe-AB CD | 29 |
| 4.3 Amplificador com estágio de saída Classe-AB CSMS | 34 |
| 4.4 Amplificador com estágio de saída Classe-AB CCPC | 36 |
| 4.5 Amplificador com estágio de saída Classe-AB BP | 37 |
| 5 – Simulações | 40 |
| 6 – Layout e Fabricação | 47 |
| 7 – Resultados Experimentais | 52 |
| 7.1 Placa de Circuito Impresso | 52 |
| 7.2 Caracterização | 56 |
| 8 – Conclusões | 66 |
| 9 – Referências | 68 |
| APÊNDICE A – Curva dos Transistores | 71 |
| APÊNDICE B – Análise em Frequência | 72 |

LISTA DE TABELAS E FIGURAS

| | |
|--|----|
| Tabela 1-1: Amplificadores Comerciais LPLV..... | 3 |
| Figura 2-1: Estágio de entrada rail-to-rail..... | 5 |
| Figura 2-2: Estágio de entrada rail-to-rail utilizando chaves de corrente para controle de g_m | 7 |
| Figura 2-3: Esquema do ajuste dinâmico de tensão modo-comum do estagio de entrada..... | 8 |
| Figura 2-4: Circuito utilizando técnica de ajuste dinâmico de V_{CM} | 9 |
| Figura 2-5: Comportamento da tensão modo comum V_{CM} | 10 |
| Figura 2-6: Estágio de entrada utilizando técnica bulk-driven..... | 11 |
| Figura 2-7: Estágio de entrada com dois pares diferenciais tipo P..... | 12 |
| Figura 2-8: Operação do estágio de entrada utilizando configuração buffer..... | 13 |
| Figura 3-1: Esquema simplificado do Estágio de saída Classe-AB rail-to-rail..... | 14 |
| Figura 3-2: Classe-AB convencional..... | 15 |
| Figura 3-3: Classe-AB rail-to-rail polarizado com controle direto..... | 15 |
| Figura 3-4: Estágio de saída Classe-AB rail-to-rail com controle direto..... | 16 |
| Figura 3-5: Esquema do Classe-AB com polarização realimentada..... | 18 |
| Figura 3-6: Esquema elétrico do circuito classe-AB CSMS..... | 20 |
| Figura 3-7: Topologia para equacionamento do circuito seletor de mínimos..... | 20 |
| Figura 3-8: Comportamento da corrente dos transistores de saída do Classe-AB..... | 22 |
| Figura 3-9: Classe-AB CSMS com capacitores de compensação..... | 23 |
| Figura 3-10: Estágio de Saída Classe-AB CCPC..... | 24 |
| Figura 3-11: Circuito classe-AB CSMS..... | 25 |
| Figura 3-12: Circuito classe-AB BP..... | 26 |
| Tabela 4-1: Parâmetros das três primeiras configurações..... | 28 |
| Figura 4-1: Amplificador com entrada / saída rail-to-rail utilizando classe-AB CD..... | 30 |
| Figura 4-2: Estrutura simplificada do Classe-AB CD..... | 30 |
| Figura 4-3: Circuito de polarização..... | 33 |
| Figura 4-4: Amplificador utilizando estágio de saída classe-AB CSMS..... | 36 |

| | |
|--|----|
| Figura 4-5: Amplificador utilizando estágio de saída classe-AB CCPC..... | 37 |
| Figura 4-6: Amplificador rail-to-rail de baixo consumo utilizando classe-AB BP..... | 38 |
| Tabela 4-2: Dimensão dos transistores dos amplificadores (em μm)..... | 39 |
| Tabela 5-1: Consumo de Corrente Quiescente dos Amplificadores..... | 40 |
| Figura 5-1: Esquema utilizado para medir resposta em frequência dos amplificadores..... | 41 |
| Figura 5-2: Diagrama de Bode dos Amplificadores..... | 41 |
| Tabela 5-2: Resultados extraídos da análise AC dos amplificadores..... | 42 |
| Figura 5-3: Esquema utilizado para simular Slew-rate e Settling-time..... | 42 |
| Figura 5-4: Simulação do Slew-rate dos amplificadores..... | 43 |
| Figura 5-5: Simulação do Settling-time dos amplificadores..... | 43 |
| Tabela 5-3: Resultados simulados de Slew-rate e Settling-time@1%..... | 43 |
| Figura 5-6: Simulação da transcondutância do estágio de entrada..... | 44 |
| Figura 5-7: Simulação da do THD das configurações CD, CSMS e CCPC..... | 45 |
| Figura 5-8: Simulação da densidade espectral de ruído dos amplificadores..... | 46 |
| Tabela 5-4: Principais resultados obtidos em simulações..... | 46 |
| Figura 6-1: Layout do Amplificador CD..... | 47 |
| Figura 6-2: Layout do Amplificador CSMS..... | 48 |
| Figura 6-3: Layout do Amplificador CCPC..... | 48 |
| Figura 6-4: Layout do Amplificador BP..... | 49 |
| Figura 6-5: Layout do Estágio de Entrada..... | 49 |
| Figura 6-6: Layout do CHIP..... | 50 |
| Tabela 6-1: Pinagem do encapsulamento..... | 50 |
| Figura 6-7: Foto dos amplificadores do CHIP FAPESP 122..... | 51 |
| Figura 7-1: Esquema elétrico da PCI..... | 53 |
| Figura 7-2: Layout da PCI (12,1cm x 5,7cm)..... | 54 |
| Figura 7-3: Layer TOP (em cima) e layer BOTTON (em baixo)..... | 54 |
| Figura 7-4: Layer SILK..... | 55 |
| Figura 7-5: Foto da PCI..... | 55 |

| | |
|---|----|
| Tabela 7-1: Características do sinal de entrada aplicado na configuração buffer..... | 56 |
| Figura 7-6: Resposta transiente do amplificador CD para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$ | 56 |
| Figura 7-7: Resposta transiente do amplificador CSMS para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$ | 57 |
| Figura 7-8: Resposta transiente do amplificador CCPC para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$ | 57 |
| Figura 7-9: Resposta transiente do amplificador BP para $V_{IN} = 1.4V_{pp}$ e $f = 1kHz$ | 58 |
| Figura 7-10: Resposta transiente do amplificador LM931 para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$ | 58 |
| Figura 7-11: THD versus Amplitude do sinal de entrada para $f = 1kHz$ | 59 |
| Figura 7-12: THD versus frequência do sinal de entrada para $V_{IN} = 1V_{pp}$ | 60 |
| Figura 7-13: SR dos amplificadores CD, CSMS e CCPC..... | 60 |
| Figura 7-14: Slew-rate do amplificador BP..... | 61 |
| Figura 7-15: Slew-rate do amplificador 931..... | 61 |
| Figura 7-16: Settling time dos amplificadores CD, CSMS, CCPC e LM931..... | 62 |
| Tabela 7-2: SR e ST dos amplificadores..... | 62 |
| Tabela 7-3: Resultados experimentais de corrente e potência quiescente..... | 62 |
| Tabela 7-4: Máximo desvio em relação ao consumo de corrente típico..... | 63 |
| Figura 7-17: Resposta em malha aberta dos amplificadores..... | 63 |
| Tabela 7-5: Resumo dos resultados práticos e simulados..... | 64 |

LISTA DE SÍMBOLOS

W = largura de canal do transistor MOS [mm]
 L = comprimento de canal do transistor MOS [mm]
 (W/L) = razão de aspecto do transistor MOS [mm/mm]
 v_{gs} = tensão porta-fonte incremental do transistor MOS [V]
 v_{ds} = tensão dreno-fonte incremental do transistor MOS [V]
 v_{bs} = tensão substrato-fonte incremental do transistor MOS [V]
 i_d = corrente de dreno incremental do transistor MOS [A]
 I_D = corrente de dreno quiescente do transistor MOS [A]
 V_{TN} = tensão de limiar para o transistor MOS canal- n (*threshold voltage*) [V]
 V_{TP} = tensão de limiar para o transistor MOS canal- p (*threshold voltage*) [V]
 μ_N = mobilidade do elétron livre
 μ_P = mobilidade da lacuna
 g_m = transcondutância do transistor MOS [A/V]
 g_{mb} = transcondutância de corpo do transistor MOS [A/V]
 r_o = resistência incremental de saída do transistor MOS [W]
 C_{gs} = capacitância porta-fonte do transistor MOS (*gate-source capacitance*) [F]
 g_m = Transcondutância [A/V]
 V_{CM} = Tensão de modo comum [V/V]
 A_{V0} = Ganho de tensão DC [V/V]
 SR = *slew-rate* [V/ms]
 ST = settling-time [s]
 THD = distorção harmônica total (*Total Harmonic Distortion*) [%]
 $V_{DS(sat)}$ = tensão dreno-fonte de saturação do transistor MOS [V]
 V_{OS} = tensão de *offset* de entrada do amplificador de instrumentação [V]
 b = ganho da malha de realimentação
 GBW = produto Ganho-Banda (*Gain Band Width Product*)
 f_T = frequência de ganho unitário
 Φ_F = potencial de superfície

1 INTRODUÇÃO

Acompanhando a evolução da tecnologia, à medida que as aplicações digitais aumentam, as aplicações analógicas também aumentam, uma vez que os circuitos digitais devem se comunicar com o mundo real analógico. Dessa forma, uma nova geração criada de equipamentos eletrônicos requer novos circuitos analógicos.

Seguindo essa tendência de miniaturização, cada vez mais são utilizados circuitos integrados do tipo *mixed-mode* (i.e., com funções digitais e analógicas). As células digitais beneficiam-se integralmente da miniaturização contínua do processo CMOS (*Complementary Metal-Oxide Semiconductor*), uma vez que topologias menores e mais rápidas são obtidas. O consumo das células digitais é reduzido utilizando-se menor tensão de alimentação.

Por outro lado, as células analógicas são beneficiadas apenas parcialmente, uma vez que não se podem utilizar dimensões mínimas devido a requerimentos de ruído, ganho, *offset* etc. Assim, baixa tensão de alimentação dificulta o projeto, resultando, muitas vezes, em soluções complexas de baixa performance. O único caminho para que as células analógicas sejam compatíveis com os circuitos digitais é utilizar topologias eficientes que combinem baixa tensão de operação com alta eficiência em potência e reduzida área de silício.

Um importante circuito básico analógico é o amplificador operacional (amp-op). Acompanhando esta tendência, este trabalho trata do projeto de amplificadores operacionais CMOS, a tecnologia mais utilizada em circuitos digitais [1, 2]. Dentro da classe de amp-ops, focou-se em estruturas com entrada e saída *rail-to-rail*, baixo consumo e baixa tensão de alimentação (*LPLV – low-power low-voltage*).

1.1 Por que baixa tensão e baixo consumo de potência?

O mais conhecido argumento para baixa tensão e baixo consumo de potência é que os equipamentos eletrônicos tendem cada vez mais a serem portáteis. Dessa forma, para permitir a longa durabilidade da bateria, torna-se necessário diminuir ao máximo o consumo de potência dos circuitos.

O custo também é uma força impulsionadora de equipamentos de baixo consumo, uma vez que baterias de custo reduzido podem ser utilizadas.

Deixando de lado a durabilidade da bateria, há um outro importante aspecto relacionado ao baixo consumo de potência, que é a temperatura de operação. Esta pode alterar significativamente a operação do circuito, ou até mesmo, torná-lo impraticável. Em muitos CI's, a dissipação de potência ou aumento de temperatura, tem se tornado um obstáculo dominante que limita a densidade de integração.

Segurança também é uma outra razão para circuitos operados por bateria.

E finalmente, motivos ambientais também impulsionam esta tendência, uma vez que as baterias contribuem para a poluição.

1.2 Aplicações para circuitos de baixa tensão e baixo consumo de potência

Equipamentos eletrônicos embutidos em bens de consumo formam um grande grupo. Nessa classe, estão incluídos rádios, televisões, telefones, computadores portáteis, equipamentos de comunicação pessoal. Aqui portabilidade, tempo de vida e poluição são os incentivos predominantes.

Equipamentos eletrônicos na área biomédica formam um segundo grupo onde dimensões, acessibilidade e segurança são as motivações primárias. Neste grupo, estão incluídos dispositivos eletrônicos implantáveis como marca-passo, eletrodos ativos.

Um terceiro grupo é de eletrônicos de difícil acessibilidade, em ambientes como satélite, detectores de gás e fumaça. Eletrônicos em

ambientes perigosos requerem baixa dissipação de potência por motivos de segurança.

Outra área de aplicação é nos complexos chips de processadores, onde a dissipação de potência e tensão de operação estão sendo fatores limitantes no progresso da intensidade de integração.

1.3 - Obstáculos em termos de circuito

Primeiramente, a baixa tensão limita o número de dispositivos que podem ser empilhados entre as linhas de alimentação. Adicionalmente, restringe a excursão do sinal, isto é, limita a faixa dinâmica de operação.

1.4 – Situação atual do mercado de Amplificadores *LPLV*

Essa classe de amp-ops encontra-se em fase de pesquisa nas empresas de tecnologia de forma que há poucas opções disponíveis comercialmente. A partir de literatura fornecida por quatro empresas líderes no mercado na fabricação de amplificadores operacionais, obteve-se a tabela 1-1, a qual apresenta as soluções *LPLV* disponíveis, bem como a tensão mínima alimentação, o consumo de corrente quiescente e a data em que o dispositivo entrou no mercado.

| Amplificador | Empresa | VDDmin | Início Fabricação | Tecnologia | IQ [uA] |
|--------------|------------------|--------|-------------------|------------|---------|
| OPA290 | Analog Devices | 1.6V | 2003 | Bipolar | 20 |
| OPA193 | Analog Devices | 1.7V | 2002 | Bipolar | 15 |
| AD8603/07/09 | Analog Devices | 1.8V | 2003 | CMOS | 50 |
| MAX4240/44 | Maxin | 1.5V | 2003 | x | 10 |
| LM142/44 | National | 1.8V | 2000 | Bipolar | 650 |
| LMC6442 | National | 2.2V | 2000 | x | 0.95 |
| LMV931 | Texas / National | 1.8V | 2004 | BiCMOS | 100 |

Tabela 1-1 Amplificadores comerciais *LPLV*

Obs: “x” representa que a tecnologia não foi especificada no *datasheet* do amplificador

Observa-se que o amplificador MAX4240/44 (*Maxim*) apresenta uma tensão de alimentação mínima de 1.5V. Este amplificador é fabricado em tecnologia bipolar e apresenta um consumo de corrente quiescente de 10µA.

Vale ressaltar que o amplificador LM10 (*National*) apresenta uma tensão mínima de alimentação de 1.1V, cujo valor foi o menor encontrado entre todos os fabricantes. Entretanto, o mesmo não apresenta entrada *rail-to-rail* e foi, portanto, excluído da comparação.

Em relação ao consumo de potência, o amplificador LMC6442 (*National*) apresenta o melhor desempenho, com um baixo consumo de corrente quiescente de aproximadamente 0.95 μ A. Entretanto, a mínima tensão de alimentação fica limitada a 2.2V.

Um controle preciso da polarização do classe-AB do amp-op em baixas tensões de alimentação só é possível utilizando polarização realimentada [5,6]. O amplificador LM931 (*Texas / National*) foi o único amplificador encontrado onde o fabricante explicita no *datasheet* a utilização de um controle realimentado de corrente quiescente. Este amplificador é de tecnologia BiCMOS e entrou em fabricação em agosto / 2004.

Sendo o amplificador LM931 o que se encontra de mais moderno comercialmente na classe de amplificadores LPLV, o mesmo será utilizado para realizar comparações de performance com relação aos amp-ops desenvolvidos nesse trabalho.

2 ESTÁGIOS DE ENTRADA

A função do estágio de entrada é processar o sinal presente na entrada do amplificador operacional e, ao mesmo tempo, reduzir não-idealidades. Aqui, entende-se por não-idealidade o ruído intrínseco, *offset* e distorção. Se o amplificador é usado em aplicações onde a tensão de modo-comum varia, como por exemplo em uma configuração não-inversora, uma rejeição de modo-comum finita causa distorção.

Devido à baixa tensão de alimentação em circuitos eletrônicos modernos, a faixa de tensão de entrada de um estágio de entrada convencional (apenas um par diferencial) é relativamente pequena. Especialmente, se a aplicação do amplificador inclui configuração *buffer*, onde a tensão modo-comum de entrada deve ser o maior possível.

Como o foco deste trabalho está voltado a amplificadores operacionais operando com baixa tensão de alimentação, o estudo se restringirá apenas ao estágio de entrada *rail-to-rail*.

2.1 – Estágio de entrada *rail-to-rail*

Em aplicações do amp-op como *buffer*, o estágio de entrada deve ser capaz de processar o sinal por toda a faixa de alimentação. Entre as configurações encontradas em literaturas, a mais utilizada é a configuração formada por um par diferencial tipo P, em paralelo com um par diferencial tipo N, como mostra a figura 2 -1. Assume-se que todos os transistores operam na saturação, em inversão forte.

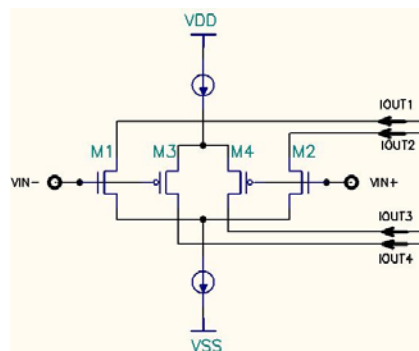


Figura 2-1 Estágio de entrada *rail-to-rail*

Entretanto, nesse circuito a transcondutância g_m varia de um fator 2x dentro da faixa de tensão modo-comum de entrada (V_{CM}). Considere, inicialmente, V_{CM} no meio da faixa de tensão de entrada, ou seja, todos os transistores estão ativos e polarizados com uma corrente $I_Q/2$. A transcondutância do circuito vale:

$$g_{m_eq} = g_{mN} + g_{mP} = 2\sqrt{2\beta I_Q} \quad (2.1)$$

$$\text{Onde } \beta = \mu C_{OX} \frac{W}{L}$$

Para valores de V_{CM} próximos a V_{DD} , os transistores tipo P estão cortados e o valor da transcondutância $g_{mP} \approx 0$. O mesmo para valores de V_{CM} próximos a V_{SS} , onde $g_{mN} \approx 0$. Nessas duas condições limites, a transcondutância equivalente do estágio de entrada vale a metade de 2.1, ou seja:

$$g_{m_eq} = g_{mN} + g_{mP} = \sqrt{2\beta I_Q} \quad (2.2)$$

Essa variação de g_m implica num acréscimo de distorção harmônica. Além disso, a banda passante também varia de um fator 2x. Como os amp-ops devem ser compensados para a pior situação, a corrente de polarização no estágio de saída também deve ser aumentada de um fator 2x. Dessa forma, é fundamental utilizar circuitos de controle para manter a transcondutância do estágio de entrada relativamente constante. Inúmeros circuitos tem sido propostos em literatura. Entre estes, optou-se utilizar um circuito formado por duas chaves de corrente com deslocador de nível [7], conforme apresentado na figura 2 - 2. O deslocador de nível possibilita que os transistores das chaves de corrente (M_5 - M_8) apresentem dimensões reduzidas, introduzindo um ruído pouco significativo ao estágio de entrada.

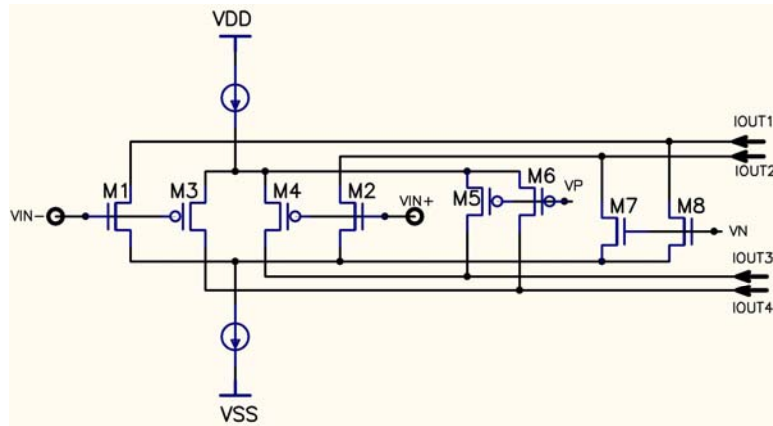


Figura 2–2 Estágio de entrada rail-to-rail utilizando chaves de corrente para controle de g_m

Uma vez que $g_m \propto V_{GS}$ na inversão forte, este circuito de controle se baseia na idéia de manter a somatória das tensões V_{GS} dos pares diferenciais N e P constantes. É de boa pratica [7] utilizar transistores das chaves de controle de g_m com dimensões 6x menores que a dimensão dos transistores do par diferencial de entrada. Assim, o ruído introduzido pelas chaves fica desprezível em relação ao ruído do par diferencial. Para se obter uma transcondutância relativamente constante ao longo da faixa de tensão modo-comum de entrada e considerando o fator 6x citado, deve-se polarizar a chave de corrente da seguinte forma:

$$I_{Q5,6} = 3I_{Q3,4} \text{ e } I_{Q7,8} = 3I_{Q1,2} \quad (2.3)$$

A principal desvantagem desta configuração de estágio de entrada, utilizando um par diferencial P em paralelo com um par diferencial N, é a necessidade de uma tensão de alimentação mínima de $2V_{GS} + 2V_{DSAT}$. Neste trabalho utiliza-se uma tecnologia onde as tensões de limiar dos transistores tipo P e tipo N valem $V_{TP} = -0.6V$ e $V_{TN} = 0.5V$, respectivamente. Dessa forma, para uma tensão de alimentação inferior a um valor de aproximadamente 1.5V, o estágio em questão já não pode ser utilizado.

Os amplificadores implementados neste trabalho utilizam a configuração de estágio de entrada apresentado na Fig.2.2, ou seja, com um estágio par diferencial P em paralelo com um estágio par diferencial N. Na seção 2.2 são

apresentadas algumas configurações alternativas para implementação de estágios de entrada compatíveis com muito baixa tensão de polarização, ou seja, inferiores a $2V_{GS} + 2V_{DSAT}$.

2.2 – Estágios de entrada *rail-to-rail* com muito baixa tensão de alimentação

Neste tópico serão apresentadas algumas configurações de estágios de entrada *rail-to-rail* aptos a operarem com tensões de alimentação aproximadamente $V_{GS} + 2V_{DSAT}$. A análise se restringirá apenas à apresentação das técnicas, de forma que etapas de projeto e simulação não serão consideradas para estes circuitos. Finalizando, uma comparação e uma análise das principais vantagens e desvantagens de cada técnica serão realizadas.

2.2.1 – Estágio de Entrada com Variação Dinâmica de Tensão Modo-Comum

Esta técnica foi introduzida em [8], tendo como princípio um ajuste dinâmico de tensão modo-comum V_{CM} do estágio de entrada, de forma a garantir que ao menos um dos pares diferenciais esteja sempre ativo. A figura 2-3 ilustra o funcionamento desta técnica.

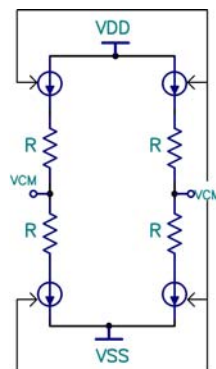


Figura 2-3 – Esquema do ajuste dinâmico de tensão modo-comum do estágio de entrada

Um circuito não linear gera uma corrente “I” que é função da tensão modo comum V_{CM} do sinal de entrada. A corrente alcança seu máximo valor I_{max} no meio da faixa de tensão de entrada, enquanto decresce para zero a medida que V_{CM} se aproxima das tensões de alimentação. A figura 2-4 apresenta o circuito utilizando o princípio mencionado.

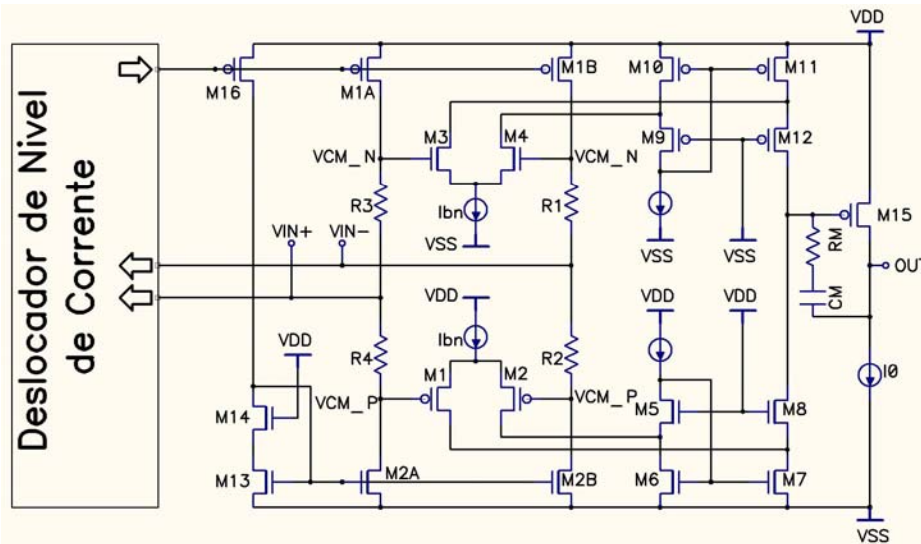


Figura 2-4 – Circuito utilizando técnica de ajuste dinâmico de V_{CM}

Com base na figura 2-4, pode-se observar que as tensões modo-comum na entrada do par diferencial N (M_3 e M_4) e par diferencial P (M_1 e M_2) valem:

$$\begin{aligned} V_{CM_N} &= V_{CM} + IR \\ V_{CM_P} &= V_{CM} - IR \end{aligned} \quad (2.4)$$

onde I é a corrente gerada pelo circuito deslocador de nível (*level-shifter*) e apresenta um valor máximo igual à corrente de polarização dos pares diferenciais ($I_{MAX} = I_{bn} = I_{bp}$). Dessa forma, para V_{CM} próximo a V_{DD} ou V_{SS} , $I = 0$ e apenas um dos pares (N ou P) encontra-se ativo. Para valores de V_{CM} no meio da faixa de tensão de alimentação, $I = I_{max}$ e todos os transistores estão ativos.

O comportamento da tensão modo-comum é apresentado na figura 2-5.

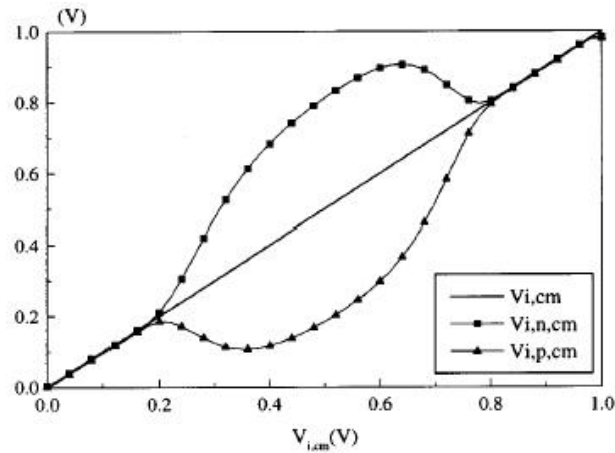


Figura 2-5 – Comportamento da tensão modo-comum [8]

Conforme mencionado anteriormente, a estrutura de estágio de entrada utilizando pares diferenciais complementares limita a tensão de alimentação em $2V_{GS} + 2V_{DSAT}$. Se abaixarmos o valor da tensão de alimentação, teremos uma região de “zona morta” ao redor de $\frac{V_{DD} + V_{SS}}{2}$, onde ambos os pares diferenciais não conduzirão. Esta técnica mencionada desloca, dinamicamente, o nível da tensão modo-comum dos pares N e P, como pode ser observado na figura 2-5. Observe que na região crítica, próximo a $V_{CM} = 0.5V$, a tensão modo comum do par P vale $0.15V$ e a tensão modo comum do par N vale $0.85V$. Isto é, ambos os pares estão conduzindo. Dimensionando corretamente os resistores de deslocamento de nível e as correntes de polarização, pode-se utilizar uma tensão de alimentação de até $V_{GS} + 2V_{DSAT}$.

2.2.2 – Estágio de entrada *Bulk-Driven*

Uma alternativa para implementar estágios de entrada *rail-to-rail* com muito baixa tensão de alimentação é utilizando-se a técnica *bulk-driven*, a qual consiste em injetar o sinal no terminal de corpo do transistor, conforme mostra a figura 2-6.

Normalmente, o valor de g_{mb}/g_m fica entre 0.2 e 0.4. Assim, a resposta em frequência dessa configuração diminui de um fator de 10 a 20 vezes se comparada à configuração convencional, isto é, injetando o sinal no terminal de porta do transistor.

Um outro efeito do baixo valor da transcondutância do estágio de entrada está na redução do ganho do amplificador.

2.3.3 – Estágio de Entrada utilizando dois pares diferenciais tipo P

Uma outra alternativa para se obter um estágio de entrada *rail-to-rail* de muito baixa tensão é utilizar dois estágios diferenciais tipo P [11], sendo um deles com o nível DC deslocado, conforme mostra a figura 2-7. Os transistores M_{1A} - M_{2A} formam um par diferencial de entrada. O segundo par diferencial de entrada é formado por M_1 - M_2 , sendo que M_3 - M_4 atuam como um deslocador de nível DC.

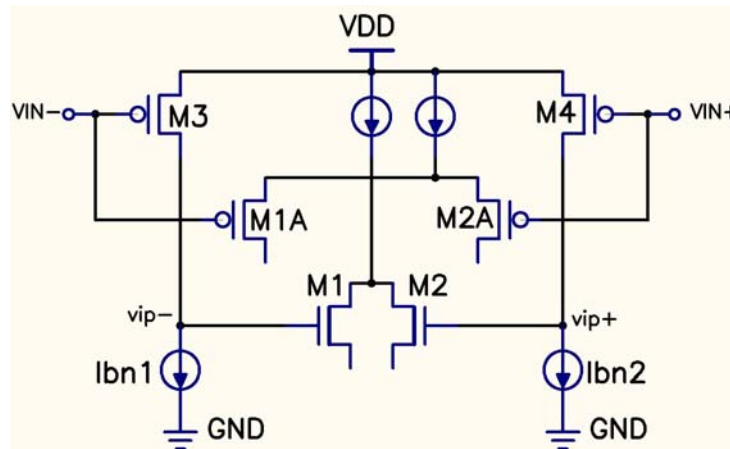


Figura 2-7 – Estágio de entrada com dois pares diferenciais tipo P

Para uma tensão modo comum de entrada V_{CM} baixa, M_3 - M_4 estão desligados e somente o par diferencial M_{1A} - M_{2A} atua. Aumentando V_{CM} para valores próximo a V_{DD} , M_{1A} - M_{2A} entram em corte, M_3 - M_4 ficam ativos e o par diferencial M_1 - M_2 atua. Deve-se dimensionar o estágio de entrada de modo que cada par diferencial atue em metade da faixa de alimentação, estreitando ao máximo a faixa de tensão em que todos os transistores estejam ativos. A figura 2-8 ilustra a operação desse estágio em configuração buffer.

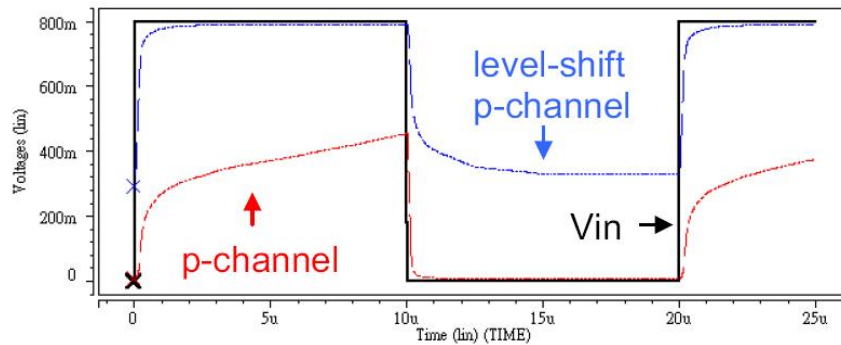


Figura 2-8 Operação do estágio de entrada utilizando configuração buffer[11]

2-3 – Análise comparativa

No geral, considerando-se parâmetros como distorção harmônica, banda passante e ganho DC, a primeira configuração, com ajuste dinâmico de V_{CM} , é a que apresentou melhores resultados. As principais desvantagens dessa configuração é a necessidade de um circuito adicional para ajuste da tensão modo-comum e a utilização de resistores, o que implica num acréscimo de potência e área de Silício.

A segunda configuração, utilizando a técnica *Bulk-Driven*, apresenta resultados de distorção comparáveis à citada anteriormente, com ajuste dinâmico de V_{CM} . Entretanto, a forte dependência de g_m com parâmetros de processo, a diminuição de f_T e o baixo ganho DC tornam essa configuração pouco atrativa.

A terceira configuração, que utiliza dois pares diferenciais tipo P utiliza uma topologia simples e compacta, o que favorece aspectos como consumo e área de silício. A principal desvantagem dessa configuração é uma distorção harmônica relativamente alta, acima de 1% em condições de grande sinal. Isso é resultado de uma topologia não-simétrica.

Resumindo, em aplicações onde a distorção harmônica não é um requisito primário, a configuração que utiliza dois pares diferencias P é recomendada. Para os outros casos, é conveniente utilizar a configuração com ajuste dinâmico de V_{CM} .

3 ESTÁGIOS DE SAÍDA

3.1 – Introdução

A principal função do estágio de saída é entregar o sinal de saída à carga. Para uma boa eficiência em potência, a máxima tensão pico a pico deve ser próxima à tensão de alimentação e, ao mesmo tempo, o estágio deve ser polarizado com uma corrente quiescente muito pequena e ser capaz de prover altas correntes à carga. Para uma carga resistiva pequena, na ordem de 50Ω , os transistores de saída devem ser capazes de entregar pelo menos alguns mA de corrente, exigindo que os transistores de saída sejam grandes. Conseqüentemente, a capacitância parasita associada a estes transistores limita a banda passante. A carga capacitiva, por outro lado, determina a mínima corrente ou corrente quiescente que é necessária para manter uma margem de fase suficiente.

Para satisfazer os requerimentos citados, deve-se estabelecer um compromisso entre eficiência em potência, por um lado, e distorção e estabilidade, pelo outro lado. Este compromisso é obtido de forma satisfatória utilizando o estágio de saída Classe-AB *rail-to-rail*.

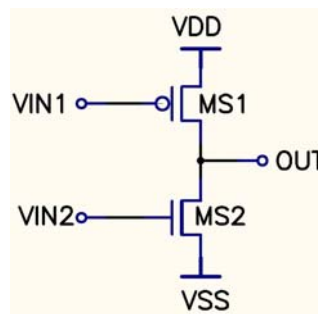


Figura 3-1 Esquema simplificado do Estágio de saída Classe-AB *rail-to-rail*

Basicamente, há dois métodos de se implementar a polarização deste estágio: a primeira técnica utiliza um controle direto (*feedforward control*); a segunda usa um controle realimentado para polarizar o estágio de saída (*feedback control*).

3.2 – Classe-AB polarizado com controle direto

O estágio de saída convencional, utilizando transistores em configuração seguidores de fonte, é mostrado na figura 3-2 e não é utilizado em aplicações de baixa tensão. Isso porque a excursão de saída é limitada a $V_{DD} - 2V_{GS} - 2V_{DSAT}$. Dessa forma, este circuito não será foco de estudo neste trabalho.

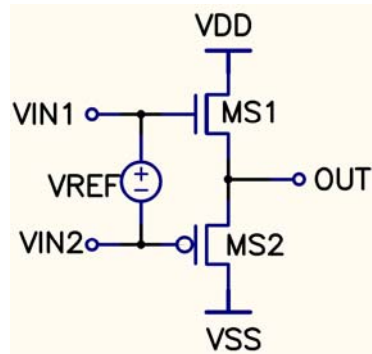


Figura 3–2 Classe-AB convencional

O estágio Classe-AB *rail-to-rail* polarizado com controle direto (Classe-AB CD) é mostrado na figura 3 - 3.

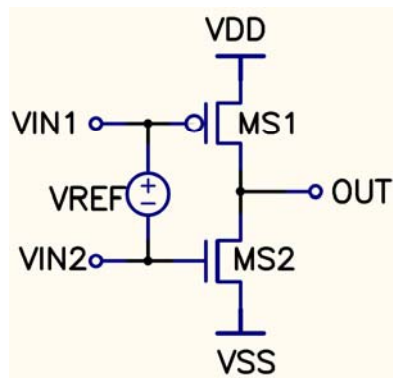


Figura 3–3 Classe-AB *rail-to-rail* polarizado com controle direto

Este estágio consiste em dois transistores complementares conectados em configuração fonte-comum. Utilizando o modelo simplificado apresentado na figura 3-3, a tensão V_{REF} deve ser igual à tensão de alimentação menos as quedas V_{GS} de M_{S1} e M_{S2} .

Existem inúmeras maneiras de se implementar a tensão V_{REF} para controlar a polarização dos transistores de saída. Optou-se por utilizar uma famosa configuração sugerida inicialmente por D. Monticelli [12].

Este circuito opera em Classe-AB utilizando uma realimentação não-linear local que mantém uma mínima corrente em cada um dos transistores de saída, independentemente do sinal de entrada. Modificações desse circuito são usadas em vários amp-ops comerciais [13], como o LMC604x, LM646x etc.

Nessa configuração a tensão V_{REF} entre os terminais de porta dos transistores de saída M_{S1} e M_{S2} é implementada utilizando-se transistores complementares M_{S3} e M_{S4} .

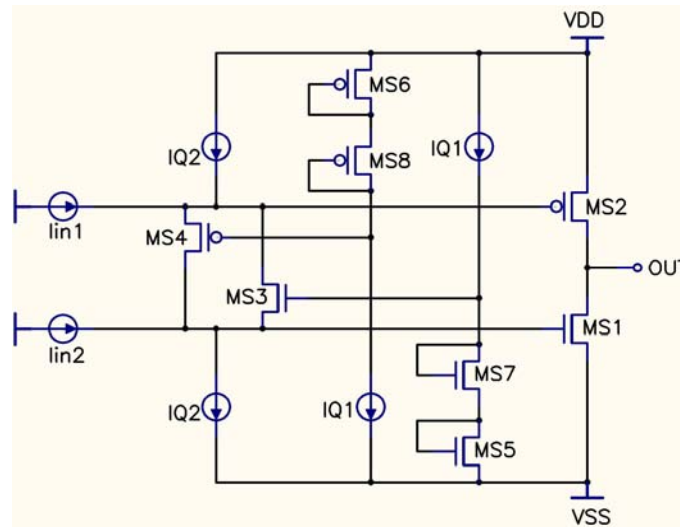


Figura 3-4 Estágio de saída Classe-AB rail-to-rail com controle direto

A polarização dos transistores de saída é fortemente controlada por dois laços translineares: M_{S1} - M_{S3} - M_{S5} - M_{S7} e M_{S2} - M_{S4} - M_{S6} - M_{S8} , fixando uma corrente quiescente nos transistores de saída.

$$V_{GS1} + V_{GS3} = V_{GS5} + V_{GS7} \quad (3-1)$$

$$V_{GS2} + V_{GS4} = V_{GS6} + V_{GS8} \quad (3-2)$$

Para cancelar o efeito de corpo de M_{S3} e M_{S7} deve-se fazer $V_{GS3} = V_{GS7}$. Dessa forma a corrente quiescente I_Q de M_{S1} e M_{S2} valem, a partir de (3-1):

$$V_{GS1} = V_{GS5} \rightarrow I_Q = \frac{\beta_1}{\beta_5} I_{Q1} \quad (3-3)$$

O laço translinear desse estágio de saída também previne o corte de M_{S1} e M_{S2} . Se, por exemplo, M_{S1} estiver drenando uma alta corrente, o valor de V_{GS1} aumentará e levará M_{S3} para a região de sub-condução. Dessa forma, praticamente toda corrente I_{Q2} passa por M_{S4} . Equacionando o laço translinear M_{S2} - M_{S4} - M_{S6} - M_{S8} obtém-se:

$$V_{GS2,\min} = V_{GS6}(I_{Q1}) + V_{GS8}(I_{Q1}) - V_{GS2}(I_{Q2}) \quad (3-4)$$

Analogamente, para o laço M_{S1} - M_{S3} - M_{S5} - M_{S7}

$$V_{GS1,\min} = V_{GS5}(I_{Q1}) + V_{GS7}(I_{Q1}) - V_{GS3}(I_{Q2}) \quad (3-5)$$

A principal desvantagem desse estágio de saída é a mínima tensão de alimentação de $2V_{GS} + V_{DSAT}$.

Uma alternativa para se entender o comportamento do sinal no circuito é calculando-se a impedância da malha, que deve ser baixa o suficiente para manter um forte acoplamento entre os *gates* de M_{S1} e M_{S2} . A impedância pode ser encontrada dividindo a tensão $v_{in1} - v_{in2}$ entre os *gates* de M_{S1} e M_{S2} pela corrente que flui através da malha:

$$z_{in} = \frac{v_{in1} - v_{in2}}{g_{m3}v_{in1} - g_{m4}v_{in2}} \quad (3-6)$$

onde g_{m3} é a transcondutância de M_{S3} , g_{m4} é a transcondutância de M_{S4} .

Na condição quiescente, (3-6) se reduz a:

$$z_{in} = \frac{1}{g_{m3}} \quad (3-7)$$

onde é assumido que $g_{m3} = g_{m4}$.

Uma vez que a impedância da fonte de corrente I_{Q2} é muito alta, os *gates* de M_{S1} e M_{S2} estão praticamente conectados em paralelo na condição quiescente. Por outro lado, se M_{S1} estiver provendo uma alta corrente, M_{S2} será regulado para um valor mínimo de corrente. Nessa condição, M_{S3} está cortado e a transcondutância g_{m3} assume um valor bem pequeno. Como a tensão no *gate* de M_{S2} é praticamente constante, v_{in2} pode ser desprezado em (3-6), fazendo com que a impedância da malha seja bem alta. Dessa forma M_{S1} pode prover uma alta corrente sem ser limitado pelo transistor inativo M_{S2} .

3.3 - Classe-AB polarizado com laço realimentado

Um controle preciso da polarização do classe-AB em baixas tensões de alimentação só é possível utilizando polarização realimentada [14,15]. Uma maneira generalizada do esquema utilizado para polarizar os transistores de saída, utilizando uma polarização realimentada, é mostrado na figura 3-5.

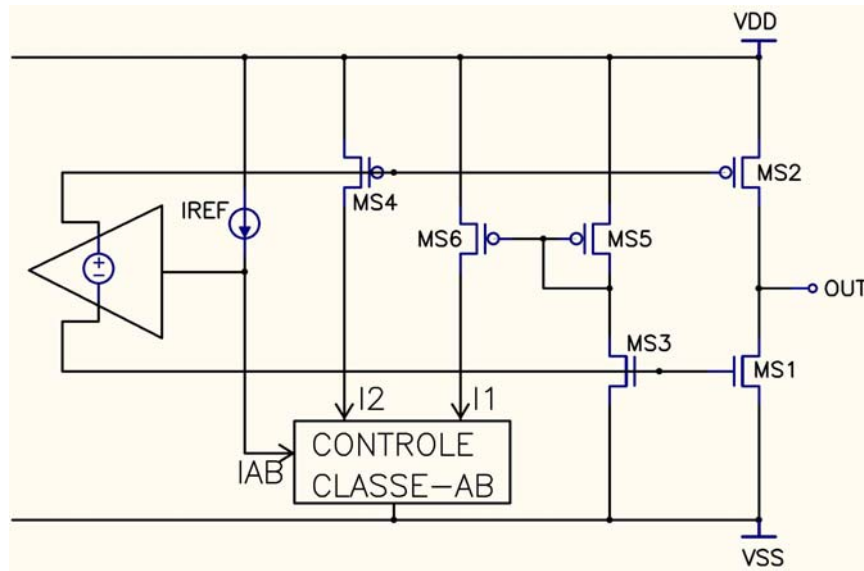


Figura 3-5 Esquema do Classe-AB com polarização realimentada

As correntes dos transistores de saída M_{S1} e M_{S2} são medidas pelos transistores M_{S3} e M_{S4} , de forma que $I_{D3,4} \propto I_{D1,2}$. A corrente de M_{S4} é usada diretamente como entrada I_2 do bloco de controle. A corrente de M_{S3} é espelhada por M_{S5} e M_{S6} e usada como entrada I_1 do bloco de controle. Este bloco contém um circuito que gera uma corrente I_{AB} que depende das correntes I_1 e I_2 . A corrente I_{AB} é comparada com uma corrente de referência I_{REF} e a diferença amplificada por um amplificador que controla as correntes dos transistores de saída e completa a realimentação. Esta realimentação força a condição $I_{AB} = I_{REF}$, onde I_{AB} é a corrente quiescente de M_{S1} e M_{S2} . Este tipo de configuração permite um controle preciso da polarização.

Pelo exposto, pode-se perceber que para implementar o classe-AB é preciso substituir o bloco de controle e o bloco amplificador pelos circuitos desejáveis. Uma boa precisão pode ser obtida criando uma realimentação com um alto ganho DC associado. Entretanto, deve-se atentar às condições de estabilidade de modo a evitar possíveis oscilações.

Depois de realizado o estudo, optou-se por utilizar o *circuito seletor de mínimos*, que é um circuito simples e eficiente na implementação do controle de polarização do *classe-AB*. Uma outra vantagem deste circuito é que ele pode operar com um valor de tensão muito baixo igual a $V_{GS} + V_{DSAT}$. Nessa classe de estágios de saída realimentados, serão analisadas três configurações. A primeira consiste em um estágio *classe-AB* utilizando circuito Seletor de Mínimos Simples (Classe-AB CSMS). O segundo estágio (Classe-AB CCPC – Circuito de Controle Preciso de Corrente) é uma adaptação do primeiro e contém três transistores adicionais, os quais têm como função tornar o controle da corrente quiescente mais preciso. O terceiro e último estágio (Classe-AB BP – Baixa Potência) é uma versão modificada do Classe-AB CSMS e foi desenvolvido para operar com uma potência quiescente muito baixa.

3.3.1 – Classe-AB utilizando circuito seletor de mínimos simples

O esquema elétrico do circuito Classe-AB CSMS [15] é apresentado na figura 3-6.

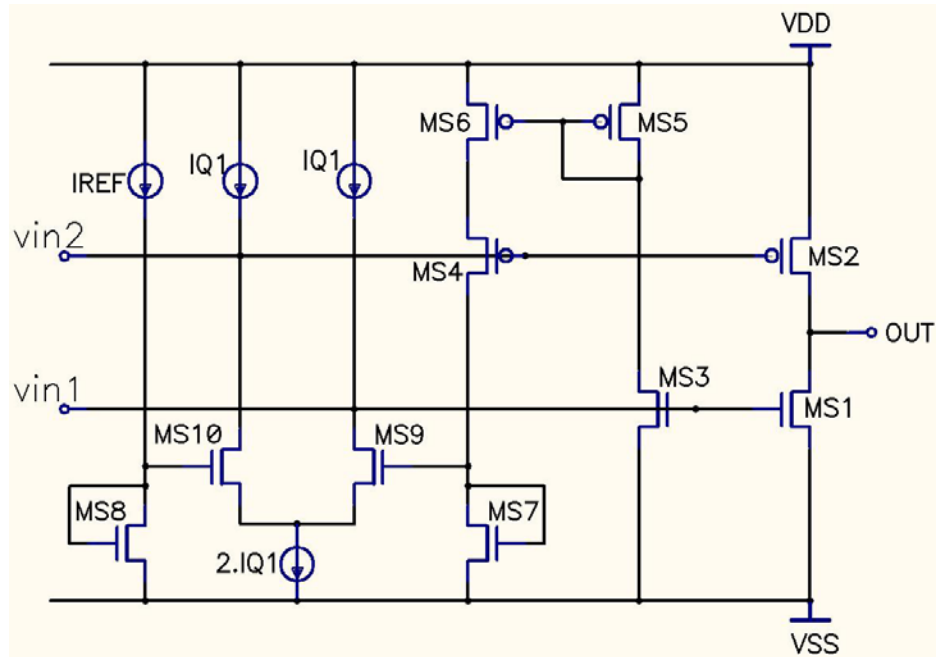


Figura 3-6 Esquema elétrico do circuito classe-AB CSMS

A corrente de dreno de M_{S1} é medida por M_{S3} . Esta corrente I_{DS3} é entregue ao circuito seletor de mínimos, formado por M_{S4} - M_{S6} . Na condição quiescente, M_{S5} opera na região linear. Deve-se projetar o circuito seletor de mínimos de modo que o potencial no gate de M_{S6} seja igual ao potencial no gate de M_{S4} . Assim, tem-se um circuito equivalente ao mostrado na figura 3-7.

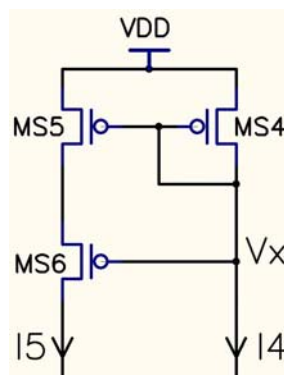


Figura 3-7 Topologia para equacionamento do circuito seletor de mínimos

Sabendo que $V_{GS5} = V_{GS4}$, $V_{DS5} = V_{GS4} - V_{GS6}$ e considerando $\beta_4 = \beta_5 = \beta_6 = \beta$, tem-se:

$$I_5 = \beta \left(V_{GS5} - V_T - \frac{V_{DS5}}{2} \right) V_{DS5} \rightarrow \frac{\beta}{2} (V_{GS4} + V_{GS6} - 2V_T)(V_{GS4} - V_{GS6})$$

Fazendo $V_{GS} = V_T + \sqrt{\frac{2I}{\beta}}$

$$I_5 = \frac{\beta}{2} \left(\sqrt{\frac{2I_4}{\beta}} + \sqrt{\frac{2I_5}{\beta}} \right) \left(\sqrt{\frac{2I_4}{\beta}} - \sqrt{\frac{2I_5}{\beta}} \right) \rightarrow I_5 = I_4 - I_5 \quad (3-8)$$

$$\therefore I_5 = \frac{I_4}{2}$$

Isto é, o espelho formado por M_{S4} - M_{S6} apresenta um fator de espelhamento 2x. A precisão da corrente quiescente depende do quanto próximo de 2x está este fator de espelhamento. Este fator 2x pode ser afetado por algumas não idealidades, tais como efeito de canal curto e descasamento entre os transistores.

Considerando, agora, o funcionamento do estágio de saída como um todo, a corrente de referência I_{REF} gera um potencial de referencial na entrada positiva ($V_{G,MS10}$) do amplificador, formado pelos transistores M_{S9} e M_{S10} . Pela ação da realimentação, o amplificador regula o potencial no *gate* de M_{S9} , fazendo com que circule uma corrente I_{REF} por M_{S7} . Pela ação do circuito seletor de mínimos, a corrente é transferida para M_{S3} com um fator 2x. Sendo n a relação de espelhamento entre M_{S1} e M_{S3} , a corrente quiescente I_Q dos transistores de saída vale:

$$I_Q = 2nI_{REF} \quad (3-9)$$

Quando M_{S2} entrega uma alta corrente, seu valor de V_{GS} será grande e a tensão entre V_{DD} e a fonte de M_{S6} será suficiente para permitir que M_{S5} opere na região de saturação. Nesse caso, M_{S4} - M_{S5} funciona como um espelho de corrente cascode de fator 1x, isto é, a corrente I_{REF} é transferida para M_{S3} . Assim, a corrente mínima que passa pelos transistores de saída vale:

$$I_{MIN} = nI_{REF} = \frac{1}{2}I_Q \quad (3-10)$$

Este valor de corrente mínima também vale para o caso de M_{S1} prover uma alta corrente. Neste caso, a corrente que passa por M_{S3} aumenta, pois é proporcional à corrente de M_{S1} . Como a corrente de M_{S5} é constante, a tensão de dreno de M_{S5} diminui, levando M_{S5} para a região triodo e diminuindo o potencial no gate de M_{S2} .

Uma visualização gráfica do comportamento deste estágio de saída é apresentada na figura 3-8 [15].

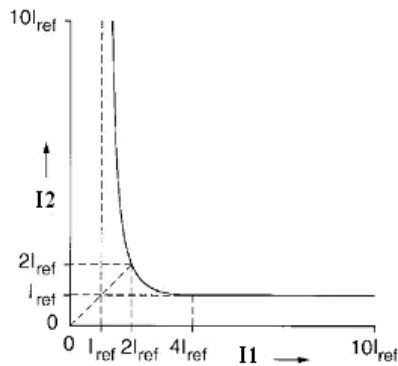


Figura 3-8 Comportamento da corrente dos transistores de saída do Classe-AB [15]

Considere, agora, a resposta em frequência deste estágio de saída. Para tanto, são adicionados capacitores de compensação C_{M1} e C_{M2} , como mostra a figura 3-9.

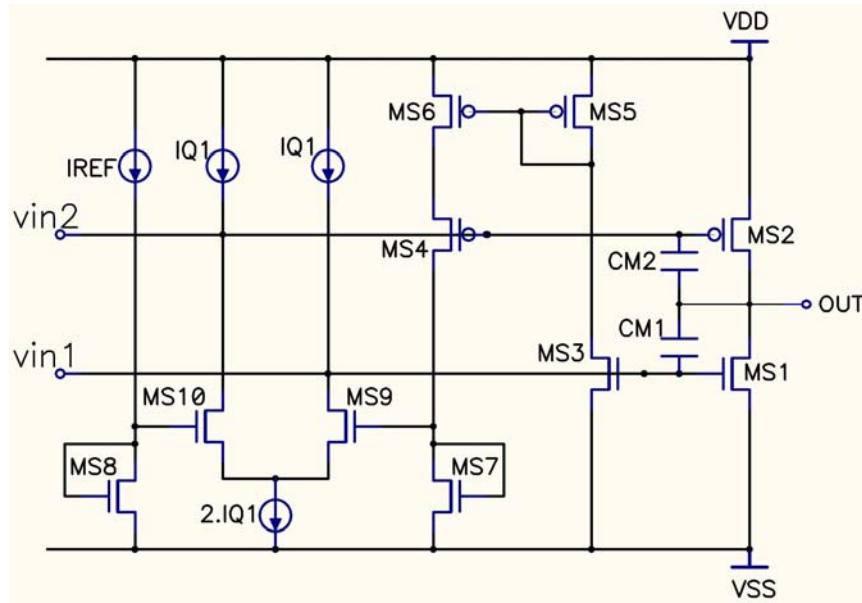


Figura 3-9 Classe-AB CSMS com capacitores de compensação

A frequência de ganho unitário do estágio classe-AB na condição quiescente é dada por:

$$\omega_{0,AB,Q} = \frac{1}{2} \frac{g_{m9,10}}{g_{m7}} \frac{g_{m3}}{C_{GS1} + C_{M1}} \quad (3-11)$$

Por outro lado, quando M_{S1} prove uma grande corrente, a frequência de ganho unitário se desloca para um valor maior, fazendo com que se tenha uma condição de mínima margem de fase:

$$\omega_{0,AB,max} = \frac{g_{m4,6}}{g_{m13}} \frac{g_{m12}}{C_{GS1} + C_{M1}} \quad (3-12)$$

3.3.2 – Classe-AB com circuito de controle preciso de corrente quiescente

O esquema elétrico do classe-AB CCPC [17] é apresentado na figura 3-10.

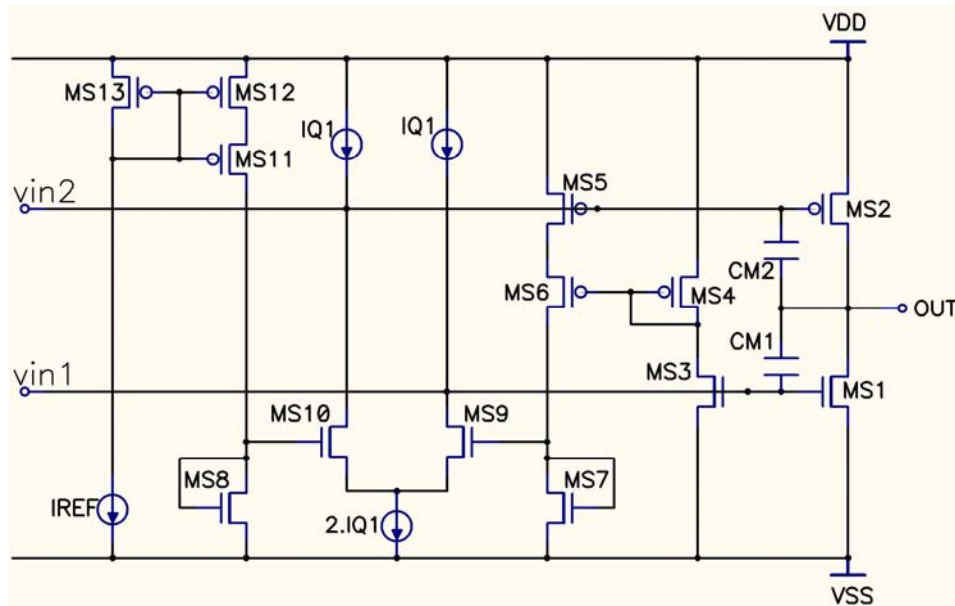


Figura 3-10 Estágio de Saída Classe-AB CCPC

Uma desvantagem do classe-AB CSMS está no fato de que a corrente quiescente depende do quanto próximo 2X está o fator de espelhamento do circuito seletor de mínimos. Este fator de espelhamento pode ser influenciado por efeitos de canal curto e descasamento entre os transistores.

Por outro lado, o circuito classe-AB CCPC apresenta um controle mais preciso da corrente quiescente, uma vez que é utilizado um circuito adicional M_{S11} - M_{S13} para cancelar o erro de espelhamento.

Para explicar o funcionamento dessa técnica, consideremos que o espelhamento entre M_{S13} e M_{S12} seja representado por:

$$I_{12} = \frac{I_{13}}{2} + \Delta = \frac{I_{REF}}{2} + \Delta, \text{ onde } \Delta \text{ é um erro e corresponde às não-idealidades do espelhamento.}$$

Desconsiderando o *offset* entre os *gates* dos transistores M_{S9} e M_{S10} do amplificador, a corrente transferida para M_{S7} é a mesma de M_{S12} e vale

$I_7 = \frac{I_{REF}}{2} + \Delta$. O processo inverso de espelhamento ocorre quando a corrente é transferida para M_{S3} .

Fazendo um layout cuidadoso, pode-se considerar que o erro introduzido no espelhamento do circuito seletor de mínimos é “ $-\Delta$ ”, ou seja, o erro é cancelado.

$$I_3 = I_7 - \Delta = I_{REF} \quad (3-13)$$

3.3.3 – Classe-AB de Baixa Potência

Nesta configuração, objetiva-se implementar um estágio de saída classe-AB com polarização realimentada voltado para aplicações com consumo de potência muito baixo, ideais para dispositivos alimentados por baterias. As topologias apresentadas anteriormente foram desenvolvidas para operar na região de inversão forte.

Foi criada nesse trabalho uma nova topologia, com base no circuito classe-AB CSMS, para permitir que o estágio de saída opere na região de inversão fraca, com controle preciso de corrente quiescente. O circuito classe-AB CSMS é representado na figura 3-11, para facilitar o entendimento de seu funcionamento.

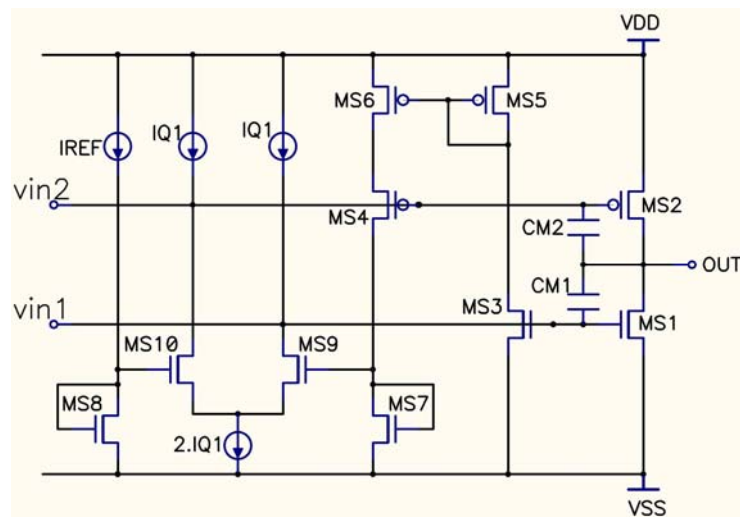


Figura 3-11 Circuito classe-AB CSMS

Ao se diminuir o nível de corrente, de modo que os transistores entrem na região de inversão fraca, esperar-se-ia que o espelhamento M_{S4} - M_{S5} tivesse um fator 1x. Entretanto, isso não ocorre devido ao fato de que M_{S6} eleva a tensão de dreno de M_{S5} , fazendo com que M_{S5} entre numa região de operação em que a corrente de dreno depende do valor de V_{DS} . Costuma-se desprezar o efeito de V_{DS} na corrente do MOS na inversão fraca quando o V_{DS} assume valores superiores a $3V_t$, onde V_t é a tensão térmica do transistor e vale aproximadamente 25mV na temperatura ambiente[4]. No caso do circuito classe-AB CSMS, o valor de V_{DS5} é inferior a $3V_t$ e o espelhamento assume um valor intermediário entre 1 e 2, de complexo modelamento.

Uma solução para este problema é apresentada na figura 3-12.

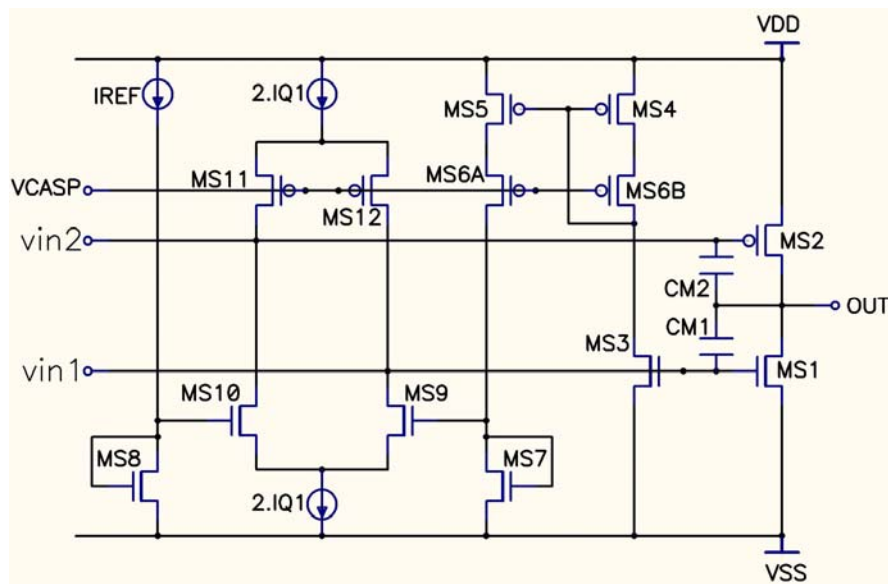


Figura 3-12 Circuito classe-AB BP

Nesta configuração, o circuito seletor de mínimos é substituído por um espelho *cascode wide-swing* e a polarização V_{CASP} do espelho é compartilhado com a polarização do amplificador classe-AB, de modo que nenhuma polarização adicional é necessária. Neste caso, independente da região de operação ser inversão forte ou inversão fraca, o espelhamento é sempre unitário. Dessa forma, a precisão da corrente quiescente está associada à qualidade do espelhamento, que é boa por se tratar de um espelho cascode.

Nas configurações dos circuitos classe-AB CSMS e CCPC tem-se outro inconveniente. Para perfeito funcionamento, deve-se manter as relações:

$$\frac{\beta_1}{\beta_3} = \frac{\beta_2}{\beta_{4,5,6}} = n$$

Em aplicações de baixa potência, o valor de n não pode ser muito grande, pois implica num aumento da corrente quiescente dos transistores de saída, que vale $I_Q=2nI_{REF}$. Como M_{S1} e M_{S2} geralmente apresentam uma área grande, devido às necessidades de corrente impostas pela carga, a área de M_{S3} - M_{S6} também deve ser grande, implicando num aumento da área do amplificador e numa deterioração da resposta em frequência devido às capacitâncias parasitas associadas.

Por outro lado, no classe-AB BP, os transistores tipo P M_{S4} , M_{S5} , M_{S6A} e M_{S6B} podem ser dimensionados com valores pequenos de área e independentes da dimensão dos transistores de saída, diminuindo assim a área do circuito e as capacitâncias parasitas associadas. A desvantagem é que a corrente quiescente é imposta apenas através da realimentação sobre M_{S1} . Observa-se que a corrente de M_{S2} não é medida e entregue ao seletor de mínimos, conforme é utilizado no esquema convencional apresentado na figura 3-4. Nesse caso, o potencial do gate de M_{S2} é ajustado, dinamicamente, pela realimentação, de forma a satisfazer as condições de corrente impostas por M_{S1} . O resultado final é um ajuste preciso da corrente quiescente dos transistores de saída e, como desvantagem, apenas M_{S1} apresenta um controle de corrente mínima.

4 PROJETO DOS AMPLIFICADORES

4.1 – Introdução

Foram projetados quatro estruturas de amplificador utilizando-se os estágios de saída apresentados no Capítulo 3. Consideram-se algumas padronizações na implementação destes amplificadores para se ter uma comparação e verificar as vantagens e desvantagens de cada topologia. As três primeiras configurações, com estágios de saída Classe-AB CD, Classe-AB CSMS e Classe-AB CCPC, foram projetados seguindo os critérios apresentados na tabela 4-1.

| Parâmetro | Valor |
|--------------------------|------------------------|
| Tensão de Alimentação | $\pm 0.9V$ |
| Carga de Saída Nominal | $10k\Omega // 10pF$ |
| Corrente Máxima de Saída | $1.8mA(R_L=500\Omega)$ |
| Ganho DC | $> 80dB$ |
| Margem de Fase | $> 45^\circ$ |
| Banda Passante | 4MHz |

Tabela 4-1 Parâmetros das três primeiras configurações

A quarta configuração, utilizando o Classe-AB BT, foi projetada com uma tensão de alimentação de $\pm 0.75V$ e otimizada em relação a consumo de potência. Utiliza-se a mesma condição de carga nominal ($R_L // C_L = 10k\Omega // 10pF$) e margem de fase ($> 45^\circ$).

Para as quatro configurações serão utilizados estágios de entrada *rail-to-rail* convencional, formado por um par diferencial P, em paralelo com um par diferencial N. Um circuito de controle de transcondutância utilizando chaves de corrente [16] também será considerado.

No projeto dos amplificadores optou-se por utilizar um método gráfico para determinar as relações entre corrente de dreno I_D , tensão V_{GS} , transcondutância g_m e razão W/L dos transistores. Esse procedimento utiliza

quatro parâmetros (I_D , V_{GS} , g_m e W/L), onde se entra com dois parâmetros no gráfico e extrai-se os outros dois desconhecidos. Em comparação à utilização de equações tradicionais, onde se considera apenas efeitos de primeira ordem, este método se mostrou mais rápido e preciso, uma vez que os pontos foram levantados a partir de simulações utilizando-se modelo Bsim3v3. Além disso, tem-se uma visão gráfica da região de operação do MOS (inversão fraca, moderada ou forte).

Dois gráficos são utilizados: um para o transistor N e outro para o transistor P, onde cada gráfico apresenta duas curvas. Os gráficos são apresentados no APÊNDICE A e são únicos para cada tecnologia.

4.2 - Amplificador com estágio de saída Classe-AB CD

A topologia do amplificador implementado utilizando-se o estágio de saída Classe-AB CD é apresentada na figura 4-1. O estágio de entrada utilizado [17] é composto por dois circuitos *folded cascode* que são complementares entre si. O primeiro compreende os transistores M_{E1} , M_{E2} , M_{E15} - M_{E18} e o segundo M_{E3} , M_{E4} , M_{E11} - M_{E14} . Os transistores M_{E5} - M_{E8} são chaves de corrente que realizam o controle de g_m do estágio de entrada, mantendo o valor da transcondutância relativamente constante. M_{E19} e M_{2E0} formam uma fonte de corrente flutuante para polarizar o circuito somador do estágio de entrada.

Inicia-se o projeto pelo estágio de saída, que é apresentado de maneira simplificada na figura 4-2. No momento em que a tensão de saída estiver próxima a V_{DD} ou V_{SS} , tem-se um transistor cortado e outro operando na região triodo. Nesse momento, tem-se a condição de corrente máxima. Na realidade, a tensão máxima de saída chega próximo a 0.9V, antes que o transistor corte. Admitindo uma tensão mínima entre fonte e dreno de 100mV e $V_{GS,S1_max} \cong 1.8V$, tem-se para M_{S1} :

$$I_{MAX} = \frac{1}{2} \mu_n C_{OX} \left(\frac{W}{L} \right)_1 (2(V_{GS,max} - V_T) - V_{DS,min}) V_{DS,min} \quad (4-1)$$

$$\left(\frac{W}{L} \right)_{S1} \approx 158$$

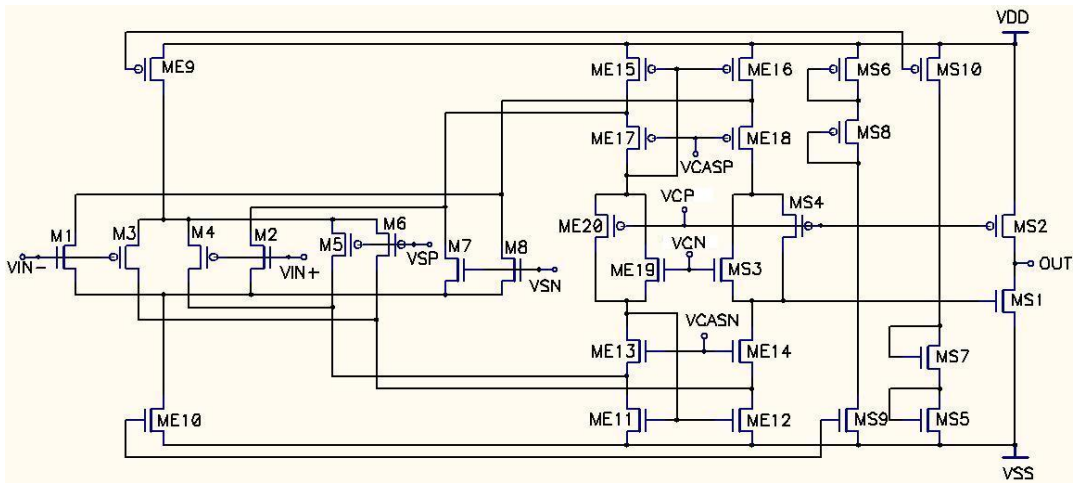


Figura 4-1 Amplificador com entrada / saída rail-to-rail utilizando classe-AB CD

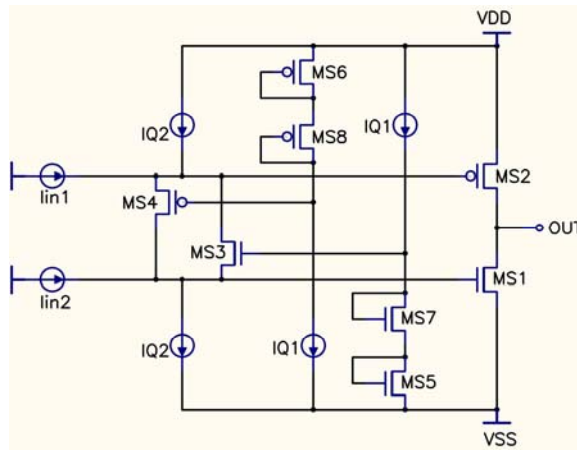


Figura 4-2 Estrutura simplificada do Classe-AB CD

Para se garantir a mesma transcondutância dos transistores de saída, adota-se um fator 3x entre as dimensões de M_{S1} e M_{S2} .

$$\left(\frac{W}{L}\right)_{S2} \approx 474 \quad (4-2)$$

Para dimensionar o par diferencial do estágio de entrada, considera-se que o pólo secundário do nó de saída esteja uma oitava acima da frequência de ganho unitário, ou seja, $\omega_2 = 2\omega_0 = 8MHz$. Isso garante uma margem de fase de aproximadamente 60° .

$$\omega_0 = \frac{1}{C_M} \frac{4g_{mE1}R_L g_{mS1}}{\left(1 + g_{mS1}R_L + \frac{C_{GS,S1}}{C_M}\right)} \quad (4-3)$$

$$\omega_{p2} \approx \frac{1}{R_L C_L} \left(1 + g_{mS1}R_L + \frac{C_{GS,S1}}{C_M}\right) \quad (4-4)$$

As expressões referentes à resposta em frequência encontram-se deduzidas no APÊNDICE B. Considera-se para M_{S1} uma corrente quiescente $I_Q = 60\mu A$ e $(W/L)_{S1} \approx 158$. A transcondutância nessa condição vale $g_{m,S1} \approx 1200\mu A/V$.

Adotando-se uma corrente quiescente $I_{Q,E1} = 5\mu A$ nos transistores do par diferencial de entrada e uma capacitância Miller $C_M = 4pF$, tem-se a partir de 4-3 que transcondutância de M_{E1} vale $g_{m,E1} \approx 25\mu A/V$. Para esta transcondutância, a razão (W/L) de M_{E1} deve ser aproximadamente unitária. É de boa pratica [17] utilizar-se os transistores das chaves de controle de g_m com dimensões 6x menores que as dimensões dos transistores do par diferencial de entrada. Assim, o ruído introduzido pelas chaves de corrente fica desprezível em relação ao ruído do par diferencial de entrada. Por esse motivo adotou-se uma razão W/L de 6x para os transistores de entrada tipo N e W/L de 1x para as chaves tipo N. Possíveis implicações na estabilidade podem ser compensadas aumentando-se o valor de C_M . Sendo 3x o fator entre as dimensões dos transistores tipo P e tipo N, tem-se:

$$\begin{aligned}
 \left(\frac{W}{L}\right)_{E1,2} &= 6 \\
 \left(\frac{W}{L}\right)_{E3,4} &= 18 \\
 \left(\frac{W}{L}\right)_{E5,6} &= 3 \\
 \left(\frac{W}{L}\right)_{E7,8} &= 1
 \end{aligned}
 \tag{4-5}$$

Deve-se utilizar $V_{GS,S1} = V_{GS,S5}$ para cancelar o efeito de corpo de M_{S3} e

$$M_{S7}. \text{ Adotando } I_{DS,S5} = I_{DS,S3} = 5\mu\text{A e } \frac{\left(\frac{W}{L}\right)_{S5}}{\left(\frac{W}{L}\right)_{S7}} = \frac{\left(\frac{W}{L}\right)_{S6}}{\left(\frac{W}{L}\right)_{S8}} = 16, \text{ tem-se}$$

$$V_{GS,S1} = V_{GS,S5} \rightarrow \frac{I_{S1}}{\beta_{S1}} = \frac{I_{S5}}{\beta_{S5}} \therefore \left(\frac{W}{L}\right)_{S5} = \frac{1}{3} \left(\frac{W}{L}\right)_{S1} = 53 \tag{4-6}$$

$$\begin{aligned}
 \left(\frac{W}{L}\right)_{S7,3} &\approx 3 \\
 \left(\frac{W}{L}\right)_{S8,4} &\approx 9
 \end{aligned}
 \tag{4-7}$$

Considera-se, agora, o circuito somador M_{E11} - M_{E18} . Adotando-se $V_{DSAT,E11} = 100\text{mV}$ e uma margem de segurança de 200mV , isto é, $V_{DSQ,E11} = 0.3\text{V}$, tem-se para uma corrente quiescente de $30\mu\text{A}$:

$$\left(\frac{W}{L}\right)_{11,12} \approx 34 \tag{4-8}$$

Sendo $10\mu\text{A}$ a corrente quiescente de M_{E13} e admitindo-se que os transistores tipo N do circuito somador sejam iguais, e um fator 3x entre as dimensões dos transistores tipo P:

$$\left(\frac{W}{L}\right)_{E11-14} = 34$$

$$\left(\frac{W}{L}\right)_{E15-18} = 102$$
(4-9)

Equacionando-se os potenciais ao longo do circuito tem-se que $V_{GS19} = 0.67V$ e $V_{GS20} = 0.65V$. As dimensões correspondentes para uma corrente de $5\mu A$ são:

$$\left(\frac{W}{L}\right)_{E19} = 50$$

$$\left(\frac{W}{L}\right)_{E20} = 71$$
(4-10)

Para finalizar o projeto, falta calcular as dimensões dos transistores do circuito de polarização, que é mostrado na figura 4-3.

A tensão V_{GS} de M_{P9} pode ser encontrada através da análise do laço translinear:

$$V_{SS} + V_{GS,P9} - V_{GS,E8} + V_{GS,E1} = V_{CM} = 0 \rightarrow V_{GS,P9} = V_{GS,E8} - V_{GS,E1} - V_{SS} = 1 - 0.6 + 0.9 = 1.3V$$

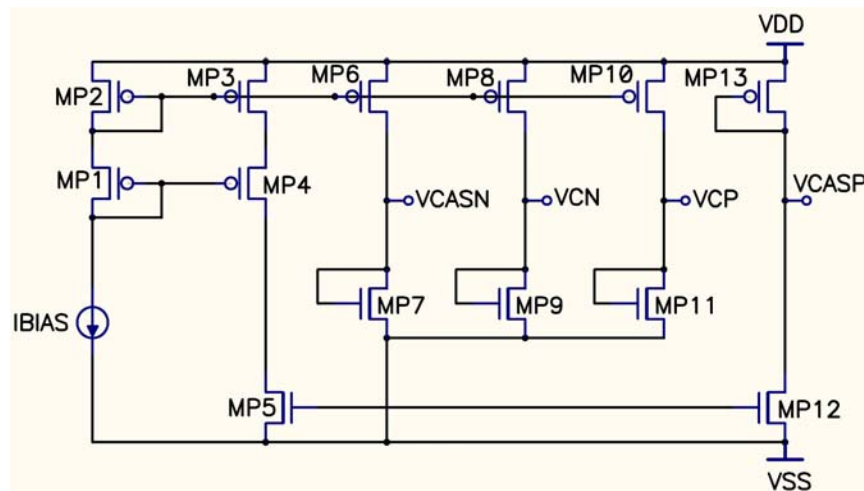


Figura 4-3 Circuito de polarização

Considera-se uma corrente de $20\mu A$ para M_{P9} . Portanto,

$$\left(\frac{W}{L}\right)_{P9} = 0.56 \quad (4-11)$$

Analogamente para M_{P11} tem-se que $\left(\frac{W}{L}\right)_{P11} = 30 \quad (4-12)$

Para o calculo do valor de V_{CASN} , utiliza-se um valor de $V_{DSQ,E11} = 0.3V$.
Dessa forma, tem-se:

$$V_{CSAN} = V_{SS} + V_{DSQ,E11} + V_{GS,E13} = -0.9 + 0.3 + 0.55 + 0.09 = 40mV$$

$$\therefore V_{GS,P7} = 0.94V = \left(\frac{W}{L}\right)_{P7} = 1.5 \quad (4-13)$$

Utilizando-se processo análogo, o valor da razão W/L de M_{P13} é:

$$\left(\frac{W}{L}\right)_{P13} = 2 \quad (4-14)$$

4.3 - Amplificador com estágio de saída Classe-AB CSMS

A topologia completa do amplificador CSMS é apresentada na figura 4-4. Conforme mencionado anteriormente, o estágio de entrada *rail-to-rail* com circuito de controle é padrão para todas as configurações. Dessa forma, está faltando projetar o estágio de saída. Conforme imposições feitas em relação à corrente máxima entregue à carga, as dimensões de M_{S1} e M_{S2} , também, permanecem as mesmas.

$$\left(\frac{W}{L}\right)_1 \approx 158 \text{ e } \left(\frac{W}{L}\right)_2 \approx 474 \quad (4-16)$$

Sendo a corrente de referencia $I_{REF} = 5\mu A$, aquela que passa por M_{S3} vale $2I_{REF} = 10\mu A$. Dessa forma, para se ter uma corrente de saída de $60\mu A$, a seguinte relação deve ser respeitada:

$$\frac{\left(\frac{W}{L}\right)_{S1}}{\left(\frac{W}{L}\right)_{S3}} = \frac{\left(\frac{W}{L}\right)_{S2}}{\left(\frac{W}{L}\right)_{S4-6}} = 6 \quad (4-17)$$

Dessa feita, tem-se:

$$\begin{aligned} \left(\frac{W}{L}\right)_{S3} &= 26.4 \\ \left(\frac{W}{L}\right)_{S4-6} &= 79 \end{aligned} \quad (4-18)$$

Finalizando o projeto, falta definir as dimensões de M_{S9} - M_{S12} . Para permitir que o circuito opere de uma forma mais balanceada, optou-se por utilizar a seguinte relação:

$$\begin{aligned} \left(\frac{W}{L}\right)_{S9,10} &= \frac{1}{2} \left(\frac{W}{L}\right)_{E13} = 17 \\ \left(\frac{W}{L}\right)_{S11-12} &= \frac{1}{2} \left(\frac{W}{L}\right)_{E16} = 51 \end{aligned}$$

Dessa forma, os transistores M_{E11} , M_{E12} , M_{E15} e M_{E16} trabalham com o mesmo valor de V_{DSQ} e, conseqüentemente, o efeito de corpo em M_{E13} , M_{S9} e M_{S10} são os mesmos na condição quiescente.

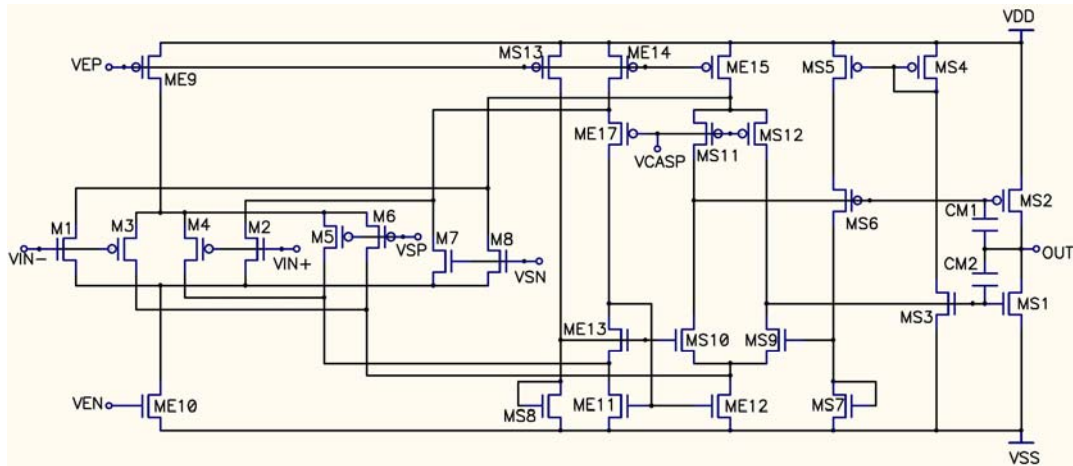


Figura 4-4 Amplificador utilizando estágio de saída classe-AB CSMS

4.4 - Amplificador com estágio de saída Classe-AB CCPC

A topologia do amplificador com estágio de saída Classe-AB CCPC é apresentada na figura 4-5. Neste estágio de saída, com relação ao Classe-AB CSMS, tem-se algumas modificações no circuito seletor de mínimos, composto por M_{S4} - M_{S6} . Adicionalmente, são introduzidos três novos transistores M_{S11} - M_{S13} (cópia de M_{S4} - M_{S6}) que tem por objetivo cancelar o erro de espelhamento introduzido pelo circuito seletor de mínimos.

Para se obter uma comparação mais justa, optou-se por utilizar uma mesma condição de polarização e mesmas dimensões adotadas no classe-AB CSMS. Dessa feita, tem-se:

$$\left(\frac{W}{L}\right)_{S3} = 26.4$$

$$\left(\frac{W}{L}\right)_{S4-6,11-13} = 79$$

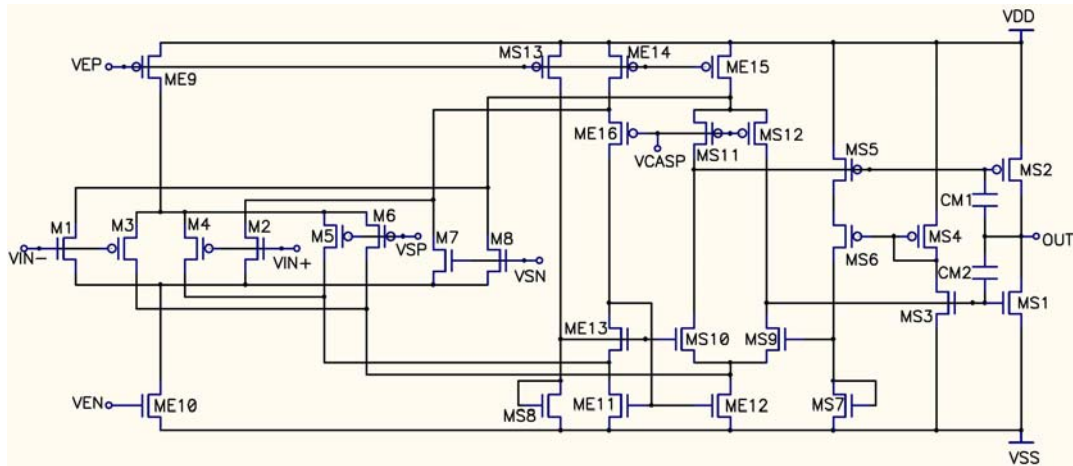


Figura 4-5 Amplificador utilizando estágio de saída classe-AB CCPC

4.5 - Amplificador com estágio de saída Classe-AB BP

O objetivo desse quarto projeto foi diminuir ao máximo a potência dissipada pelo amplificador. Todos os transistores do amplificador foram projetados para operar na região de inversão fraca. O estágio de entrada foi mantido idêntico ao das três configurações anteriores, e os níveis de corrente foram diminuídos de modo a fazer com que o mesmo opere na região de sub-condução.

A tensão de alimentação nominal adotada para este amplificador foi de $V_{DD} = -V_{SS} = 0.75V$. O esquema elétrico do amplificador com classe-AB BP é apresentada na figura 4-6. Optou-se por utilizar o estágio de saída com as mesmas dimensões do classe-AB CSMS e CCPC. Novamente, foi alterada apenas a topologia do estágio de saída. As dimensões dos transistores são:

$$\left(\frac{W}{L}\right)_1 \approx 158 \text{ e } \left(\frac{W}{L}\right)_2 \approx 474$$

$$\left(\frac{W}{L}\right)_{S3} = 26.4$$

$$\left(\frac{W}{L}\right)_{S4,5,6A,6B} = 79$$

$$\left(\frac{W}{L}\right)_{S9,10} = \frac{1}{2} \left(\frac{W}{L}\right)_{E13} = 17$$

$$\left(\frac{W}{L}\right)_{S11-12} = \frac{1}{2} \left(\frac{W}{L}\right)_{E16} = 51$$

Foi necessário redimensionar o circuito de polarização para atender aos novos requisitos de polarização do amplificador. As dimensões de todos os transistores, nas quatro configurações de amplificadores, são apresentadas na tabela 4-2.

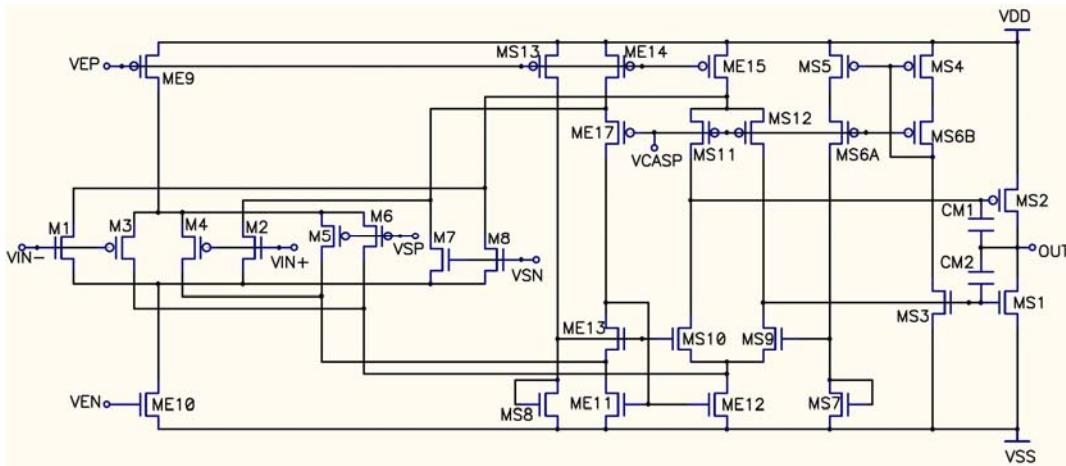


Figura 4-6 Amplificador rail-to-rail de baixo consumo utilizando classe-AB BP

| Transistor | CD | | CSMS | | CCPC | | BP | |
|-------------------|-----|------|------|------|------|------|------|---|
| | W | L | W | L | W | L | W | L |
| ME1, ME2 | 12 | 2 | 12 | 2 | 12 | 2 | 12 | 2 |
| ME3, ME4 | 36 | 2 | 36 | 2 | 36 | 2 | 36 | 2 |
| ME5, ME6 | 6 | 2 | 6 | 2 | 6 | 2 | 6 | 2 |
| ME7, ME8 | 2 | 2 | 2 | 2 | 2 | 2 | 2 | 2 |
| ME9 | 128 | 2 | 128 | 2 | 128 | 2 | 128 | 2 |
| ME10 | 64 | 2 | 64 | 2 | 64 | 2 | 64 | 2 |
| ME11-ME14 | 68 | 2 | 64 | 2 | 64 | 2 | 64 | 2 |
| ME15-ME18 | 204 | 2 | 192 | 2 | 192 | 2 | 192 | 2 |
| ME19 | 72 | 2 | | | | | | |
| ME20 | 110 | 2 | | | | | | |
| MS1 | 316 | 2 | 316 | 2 | 316 | 2 | 316 | 2 |
| MS2 | 948 | 2 | 948 | 2 | 948 | 2 | 948 | 2 |
| MS3 | 6 | 2 | 52,7 | 2 | 52,7 | 2 | 52,7 | 2 |
| MS4 | 18 | 2 | 158 | 2 | 158 | 2 | 158 | 2 |
| MS5 | 106 | 2 | 158 | 2 | 158 | 2 | 158 | 2 |
| MS6 | 316 | 2 | 158 | 2 | 158 | 2 | 158 | 2 |
| MS7 | 6 | 2 | 2 | 5 | 2 | 5 | 2 | 8 |
| MS8 | 18 | 2 | 2 | 5 | 2 | 5 | 2 | 8 |
| MS9-MS10 | | | 32 | 2 | 32 | 2 | 32 | 2 |
| MS11-MS12 | | | 96 | 2 | 96 | 2 | 96 | 2 |
| MS13-MS15 | | | | | 158 | 2 | | |
| MP2,MP3,MP10,MP12 | 24 | 2 | 24 | 2 | 24 | 2 | 16 | 2 |
| MP6 | 96 | 2 | 96 | 2 | 96 | 2 | 24 | 2 |
| MP8 | 96 | 2 | 96 | 2 | 96 | 2 | 40 | 2 |
| MP5, MP15, MP19 | 8 | 2 | 8 | 2 | 8 | 2 | 8 | 2 |
| MP7 | 3 | 2 | | | 3 | 2 | 3 | 2 |
| MP9 | 2 | 3.55 | 2 | 3.55 | 2 | 3.55 | 8 | 2 |
| MP11 | 60 | 2 | 90 | 2 | 90 | 2 | 2 | 2 |
| MP18 | 4 | 2 | 3,4 | 3 | 3,4 | 2 | | |

Tabela 4-2 Dimensão dos transistores dos amplificadores (em μm)

5 SIMULAÇÕES

Após o projeto dos amplificadores, seus desempenhos foram avaliados por meio de simulações utilizando o software PSPICE e modelos Bsim3v3, referentes ao processo de fabricação CMOS 0.35 μ m, fornecidos pela *foun*dry AMS. Os dados das curvas do simulador foram salvos em arquivo *ASCII* e plotados utilizando o *software Matlab*.

A primeira simulação realizada foi para extrair o consumo quiescente dos amplificadores. Para isso, os dispositivos foram ligados em configuração *buffer*, com entrada no terra AC. A tabela 1-1 apresenta o consumo DC dos amplificadores.

| | CD | CSMS | CCPC | BP |
|-----------------------|-----|------|------|----|
| Consumo DC [μ A] | 182 | 228 | 244 | 18 |

Tabela 5-1 – Consumo de Corrente Quiescente dos Amplificadores

O que diferencia o consumo quiescente das configurações CD, CSMS e CCPC é basicamente o circuito de polarização. A corrente de referência utilizada nestas configurações é de 5 μ A e todos os transistores operam na região de inversão forte. Por outro lado, o amplificador com classe-AB BP utiliza uma corrente de referência de 500nA e todos os transistores da configuração operam na região de inversão fraca.

Considera-se, agora, o teste em malha aberta dos amplificadores na condição de carga nominal ($R_L // C_L = 10k\Omega // 10pF$). Para garantir que os transistores de saída dos amplificadores operem na região linear, foi necessário utilizar um esquema em malha fechada, conforme mostrado na figura 5-1. Esse artifício é necessário, principalmente, em estruturas onde a corrente quiescente dos transistores de saída é imposta através de uma realimentação, isto é, para as configurações CSMS, CCPC e BP. Para a configuração CD, esse problema pode ser contornado introduzindo-se um *offset* de tensão DC entre os terminais de entrada, de modo a ajustar o potencial de saída para $V_{OUT,Q} \approx 0V$.

Esse esquema de teste de malha aberta é válido para $f > A_{V0}/RC$, ou seja, é necessário utilizar-se uma grande constante de tempo para garantir que a estrutura seja válida para medir frequências baixas, na ordem de 10Hz, por exemplo.

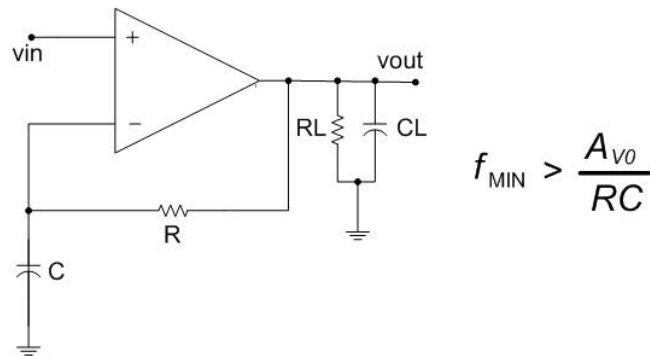


Figura 5-1 Esquema utilizado para medir resposta em frequência dos amplificadores

A figura 5-2 apresenta o diagrama de Bode dos amplificadores projetados e a tabela 5-2 sumariza os resultados extraídos das curvas.

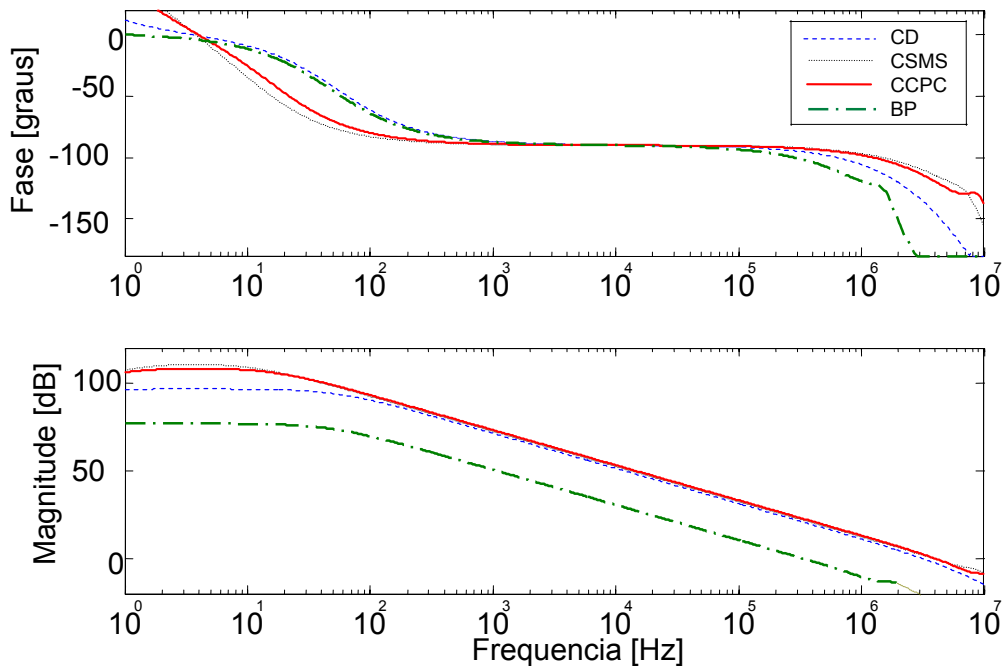


Figura 5-2 Diagrama de Bode dos Amplificadores

| | CD | CSMS | CCPC | BT |
|-----------------------------|-----|------|------|------|
| GANHO DC [dB] | 96 | 110 | 108 | 77 |
| Margem de Fase [°] | 45 | 66 | 60 | 78 |
| GBW [MHz] | 3.1 | 3.9 | 4 | 0.33 |

Tabela 5-2 Resultados extraídos da análise AC dos amplificadores

Apesar de não fazer parte das especificações de projeto, características como tempo de estabilização e *Slew-rate* também foram simuladas, pois estão diretamente relacionadas com a resposta em frequência do amplificador. O *Slew-rate* é determinado, principalmente, pela corrente de polarização do primeiro estágio e pelo capacitor de compensação (o capacitor de carga não influi significativamente). Por outro lado, o *settling-time* é um parâmetro de pequenos sinais e está relacionado com a posição dos pólos do circuito.

A figura 5-3 mostra o esquema utilizado para simular o *Slew-rate* e *Settling-time*. Trata-se de um amplificador realimentado em configuração *buffer* e com uma carga $R_L//C_L = 10k\Omega//10pF$. Para sinal de entrada, considera-se uma onda quadrada com amplitude de $1V_{PP}$ e $100mV_{PP}$ para o teste de *Slew-rate* e *Settling-time*, respectivamente.

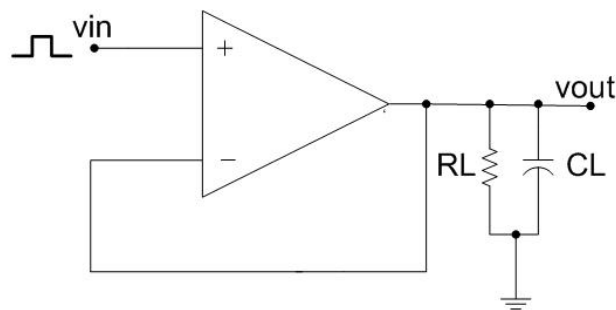


Figura 5-3 Esquema utilizado para simular *Slew-rate* e *Settling-time*

As figuras 5-4 e 5-5 apresentam a resposta ao degrau dos amplificadores, para uma onda quadrada de entrada com amplitudes de $1V_{PP}$ e $100mV_{PP}$, respectivamente.

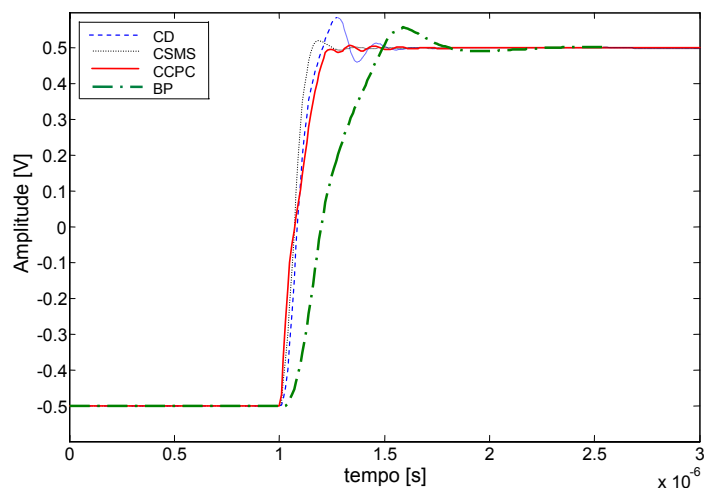


Figura 5-4 Simulação do Slew-rate dos amplificadores

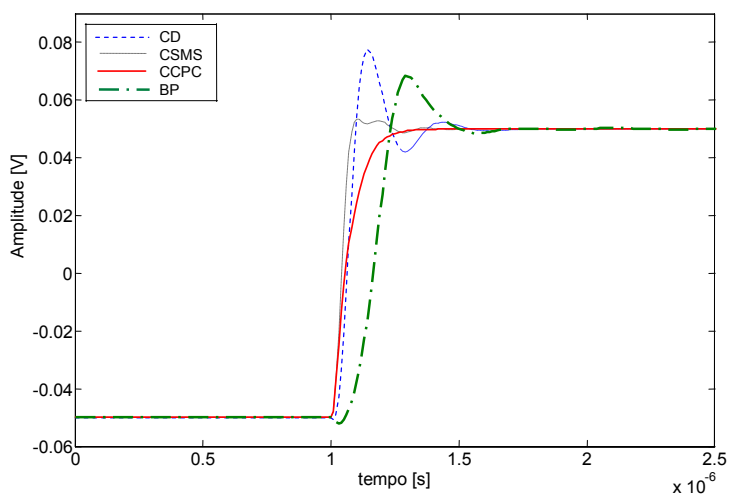


Figura 5-5 Simulação do Settling-time dos amplificadores

A tabela 5-3 sumariza os resultados obtidos.

| | CD | CSMS | CCPC | BT |
|-----------|-----|------|------|-----|
| SR [V/us] | 9,2 | 10,3 | 9,7 | 2,3 |
| ST [ns] | 610 | 470 | 310 | 750 |

Tabela 5-3 Resultados simulados de Slew-rate e Settling-time @1%

Conforme mencionado anteriormente, o estágio de entrada é formado por dois pares diferenciais complementares e um circuito de controle de g_m . A figura 5-6 apresenta o comportamento da transcondutância do par diferencial N e do par diferencial P, bem como a do estágio de entrada como um todo, mediante aplicação de uma tensão DC V_{IN} à entrada do amplificador em configuração *buffer*. Observe que o circuito de controle atua nas correntes dos estágio de entrada de forma a manter a relação $g_{mN} + g_{mP} \approx \text{cte}$. Esse desvio observado na curva de g_m (em torno de 10%) já era esperado teoricamente, uma vez que o MOS na inversão forte apresenta uma relação $g_m \propto \sqrt{I_D}$ e não exponencial.

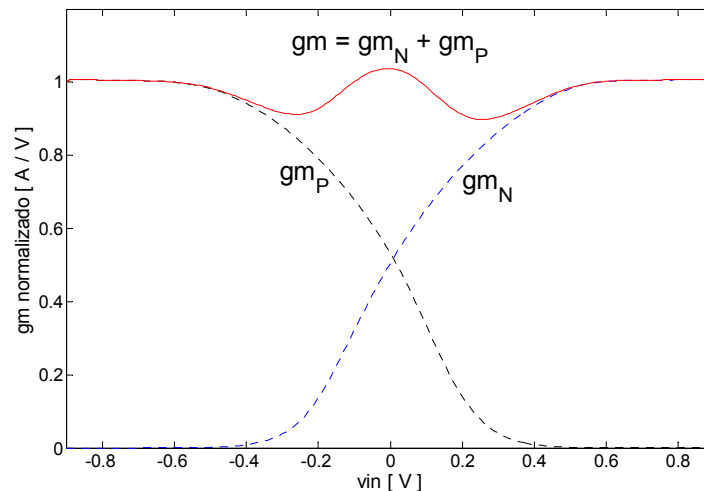


Figura 5-6 Simulação da transcondutância do estágio de entrada

Para quantificar a importância desse circuito de controle de g_m , aplica-se um sinal senoidal $v_{in} = 0.5 \sin(2\pi 10^3 t) [V]$ à entrada do amplificador realimentado em configuração *buffer* na condição de carga nominal. Posteriormente o circuito de controle é retirado do estágio de entrada e aplica-se o mesmo sinal sob as mesmas condições. O valor da distorção harmônica total foi degradado em 12dB, significativamente, conforme mostrado abaixo:

$THD = -75\text{dB}$ (com controle de g_m)

$THD = -63\text{dB}$ (sem controle de g_m)

Considera-se, agora, a simulação da distorção harmônica dos amplificadores. A figura 5-7 apresenta o THD das configurações CD, CSMS e CCPC, mediante variação da amplitude da senóide de entrada, para uma frequência fixa de 1kHz.

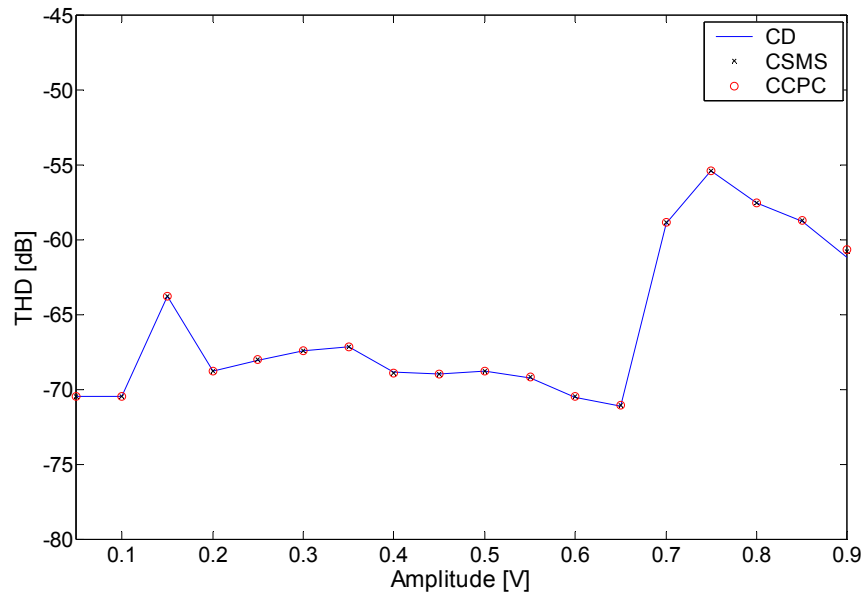


Figura 5-7 Simulação da do THD das configurações CD, CSMS e CCPC

Observa-se que as curvas estão praticamente sobrepostas. Isso pode ser explicado pelo fato dos amplificadores apresentarem os mesmos estágios de entrada e os transistores de saída sob mesmas condições de polarização.

Resultados referentes à distorção harmônica da configuração BP encontram-se na tabela 5-4.

Um outro importante parâmetro a ser considerado é o ruído dos amplificadores. A figura 5-8 apresenta a simulação do ruído total das configurações, referenciada à entrada do circuito. Para efetuar esse teste, considera-se uma análise AC no amplificador realimentado em configuração *buffer*, conforme mostrado na figura 5-3.

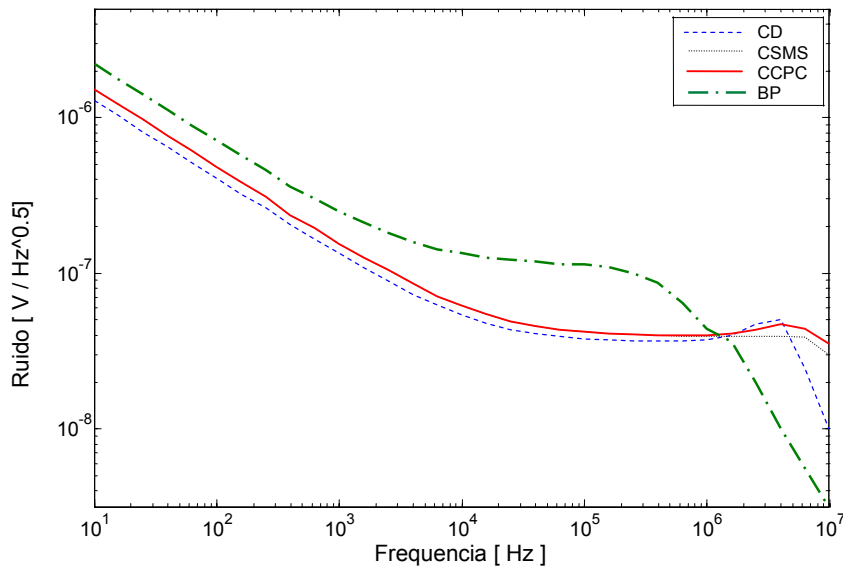


Figura 5-8 Simulação da densidade espectral de ruído dos amplificadores

Observa-se que, as configurações CSMS e CCPC apresentam praticamente o mesmo comportamento de ruído até próximo da frequência de ganho unitário. Em relação às duas configurações mencionadas anteriormente a configuração CD apresenta um ruído ligeiramente menor. Para a configuração BP, devido ao baixo valor da transcondutância do estágio de entrada, os níveis de ruído são relativamente maiores que as configurações precedentes.

A tabela 5-4 sumariza os principais resultados obtidos em simulação para as quatro configurações.

| | CD | CSMS | CCPC | BP |
|---|---------|---------|---------|---------|
| Consumo [μ A] | 182 | 228 | 244 | 18 |
| GANHO DC [dB] | 96 | 110 | 108 | 77 |
| Margem de Fase [°] | 45 | 66 | 60 | 78 |
| GBW [MHz] | 3.1 | 3.9 | 4 | 0.33 |
| Slew-Rate [V/ μ s] | 9.2 | 10.3 | 9.7 | 2,3 |
| Settling-Time [ns] | 610 | 470 | 310 | 750 |
| THD [dB] @ $V_{in} = 1V_{pp}$, 1kHz | -68.8 | -68.8 | -68,8 | -54,4 |
| THD [dB] @ $V_{in} = 100mV_{pp}$, 1kHz | -70.5 | -70.5 | -70.5 | -40.0 |
| Ruído [V/ \sqrt Hz] @ 100Hz (ruído 1/f) | 4.1E-07 | 4.8E-07 | 4.8E-07 | 7.1E-07 |
| Ruído [V/ \sqrt Hz] @ 100kHz (ruído branco) | 3.8E-08 | 4.2E-08 | 4.2E-08 | 1.1E-07 |

Tabela 5-4 Principais resultados obtidos em simulações

6 LAYOUT E FABRICAÇÃO

Em projeto de circuitos analógicos, o *layout* assume uma característica ainda mais destacada no bom funcionamento dos mesmos. Neste caso, o casamento de transistores é importante, como no par diferencial e espelhos de corrente, tornando-se indispensável a utilização de técnicas especiais de *layout* para se diminuir os efeitos de primeira ordem devido ao gradiente de processo.

O *layout* dos amplificadores foi feito utilizando-se tais técnicas de *layout* e sempre visando o melhor casamento entre os transistores, assim como uma melhor simetria no circuito. Foi utilizado o software *Tanner L-edit* para realizar o *layout* dos circuitos. Alguns componentes, como os capacitores e PADS, foram importados do *Mentor Graphics*, utilizando células do *Design kit Industrial* da AMS. Essas células foram disponibilizadas pelo CenPRA.

O *layout* dos amplificadores implementados são apresentados a seguir. Observe que o estágio de entrada, estágio de saída, circuito de polarização e circuito somador são discriminados nas figuras.

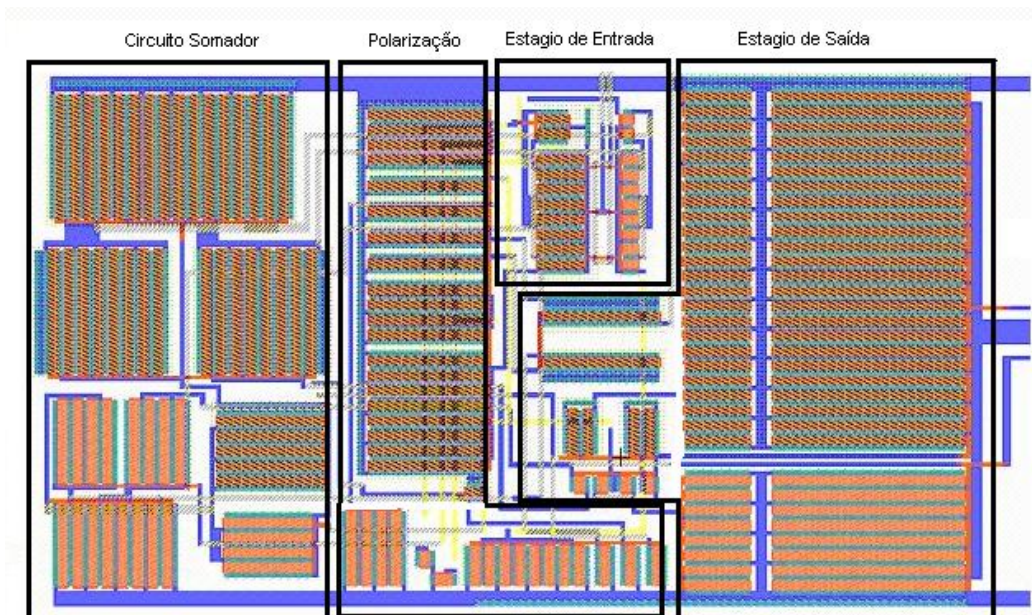


Figura 6-1 *Layout do Amplificador CD*

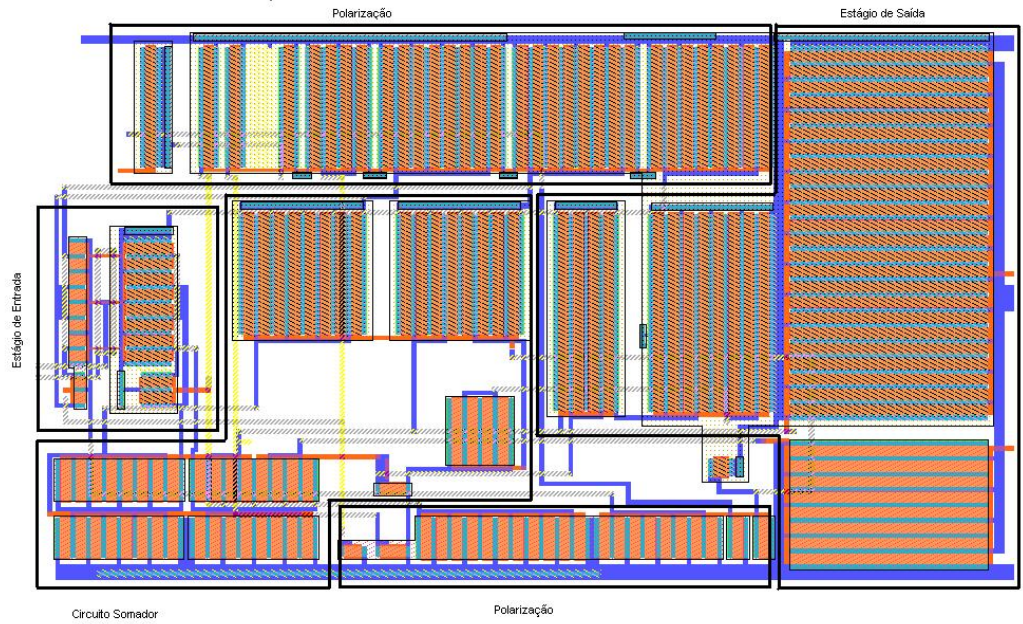


Figura 6-2 Layout do Amplificador CSMS

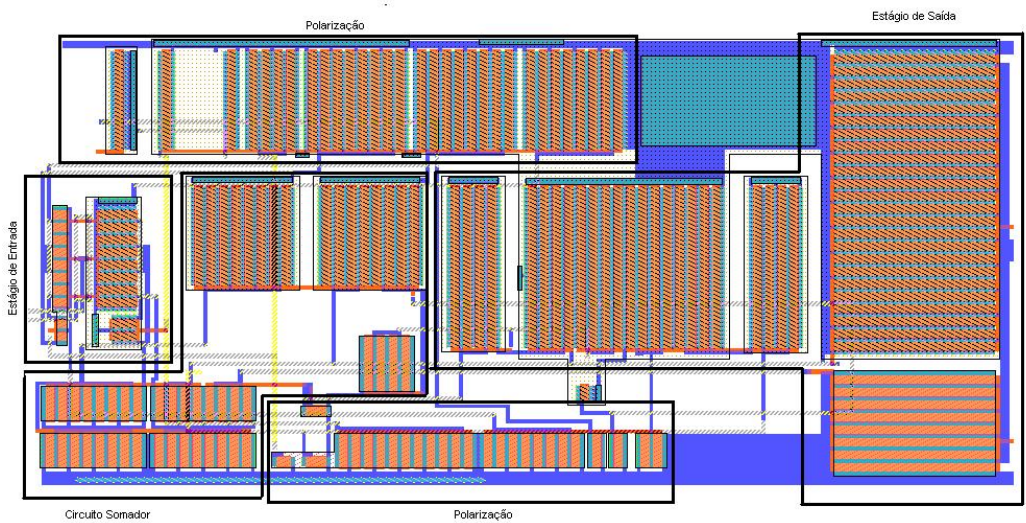


Figura 6-3 Layout do Amplificador CCPC

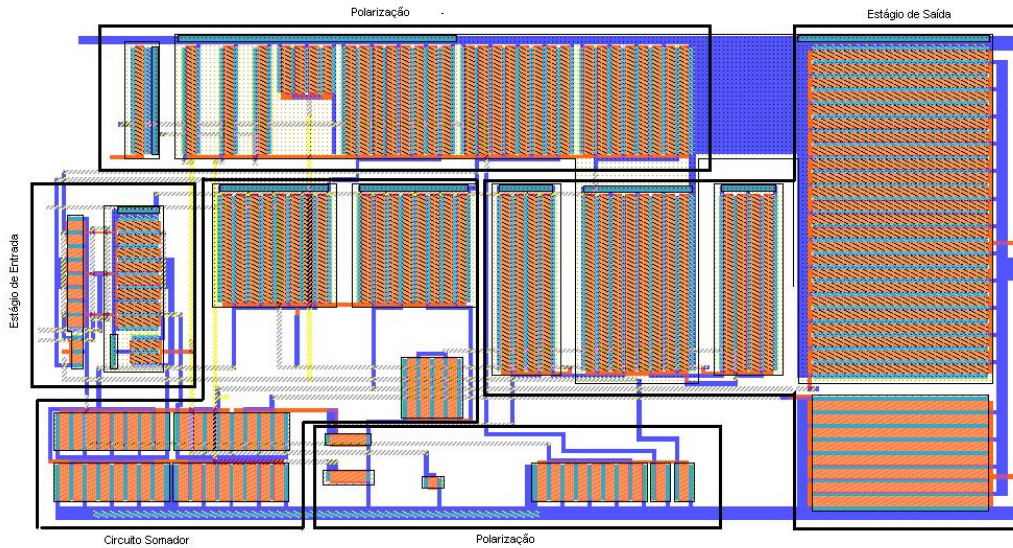


Figura 6-4 *Layout do Amplificador BP*

Uma das partes mais críticas do layout do amplificador, no que diz respeito a casamento, é o estágio de entrada, cujo layout é apresentado na figura 6-5 e é comum para todas as topologias.

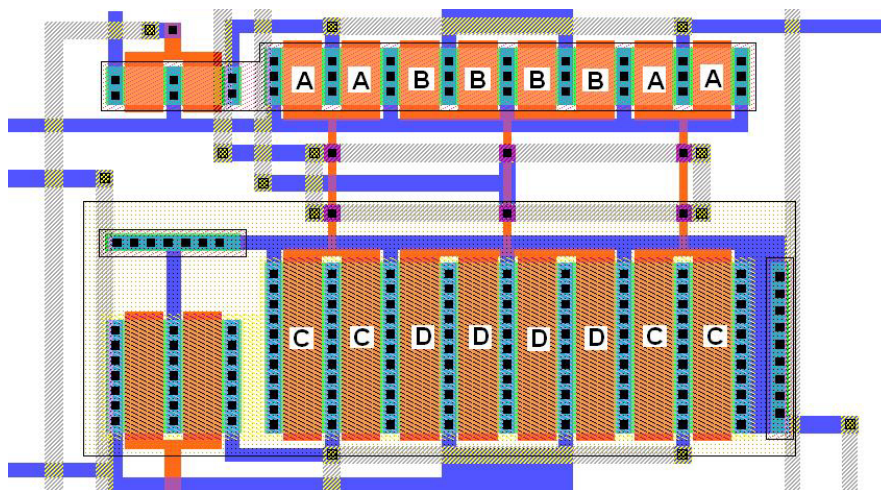


Figura 6-5 *Layout do Estágio de Entrada*

O par diferencial N é formado pelos transistores “A” e “B” e o par diferencial P pelos transistores “C” e “D”, conforme indicado na figura 6-5. Esse tipo de construção, também conhecida como “centróide comum”[20], cancela os efeitos de primeira ordem do gradiente de processo melhorando a performance do amplificador no que diz respeito a *offset* e distorção harmônica.

No chip, foi implementada uma configuração *buffer* e outra em malha aberta, para cada um dos quatro tipos de amplificadores. A figura 6-6 mostra o layout do chip bem como a disposição dos amplificadores.

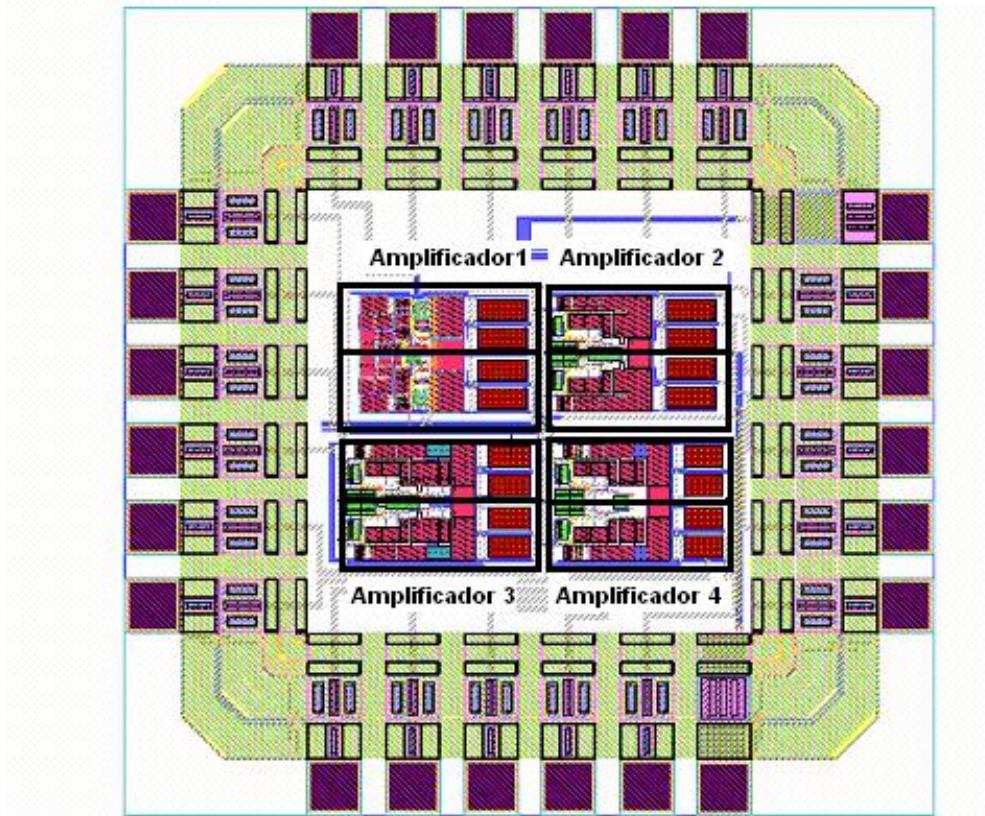


Figura 6-6 Layout do CHIP

O encapsulamento do circuito integrado possui 24 pinos, descritos na Tabela 6-1.

| | | | |
|----|----------------------------|----|--------------------------|
| 1 | VDD do Amplificador CCPC | 13 | VDD do Amplificador CSMS |
| 2 | Saída do Buffer CCPC | 14 | Saída do Buffer CD |
| 3 | Polarização VCASP | 15 | - |
| 4 | VDD do Amplificador BP | 16 | - |
| 5 | Saída do Buffer BP | 17 | - |
| 6 | Saída do Amplificador BP | 18 | - |
| 7 | Saída do Amplificador CCPC | 19 | - |
| 8 | Saída do Amplificador CD | 20 | - |
| 9 | VSS | 21 | VDD do Amplificador CD |
| 10 | Não Conectado | 22 | Corrente de Referência |
| 11 | Saída do Amplificador CSMS | 23 | Entrada Negativa |
| 12 | Saída do Buffer CSMS | 24 | Entrada Positiva |

Tabela 6-1 Pinagem do encapsulamento

As alimentações de cada estrutura foram implementadas separadamente, para permitir a realização de testes independentes, sem qualquer tipo de interferência. A foto dos amplificadores do chip, designado por FAPESP 122, é apresentada na figura 6-7.

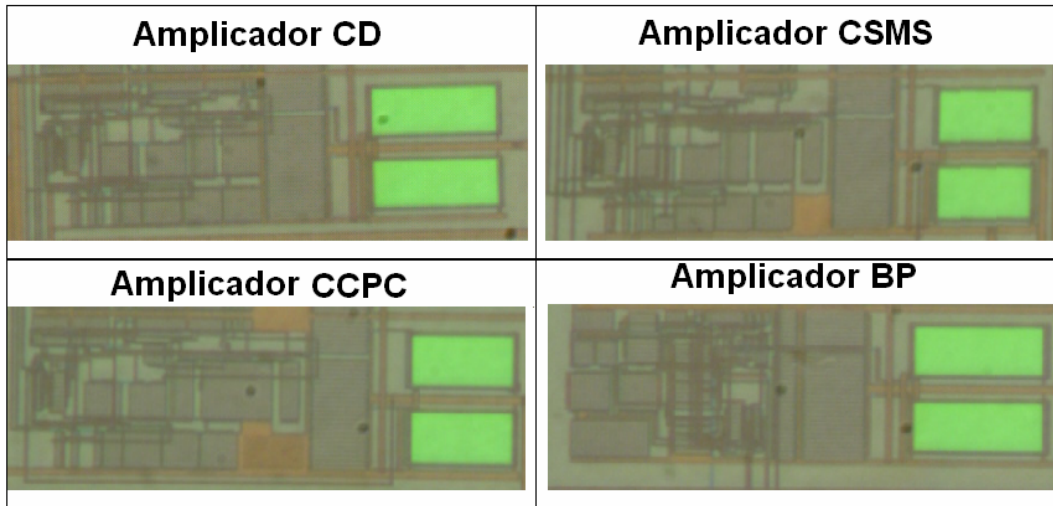


Figura 6-7 Foto dos amplificadores do CHIP FAPESP 122

7 RESULTADOS EXPERIMENTAIS

Foram recebidas cinco amostras do chip FAPESP122. Com o objetivo de minimizar os efeitos do meio externo na caracterização dos amplificadores optou-se por implementar uma placa de circuito impresso (PCI) para realizar a caracterização. Na seção 7.1 tem-se uma descrição da PCI e na seqüência, na seção 7.2 tem-se a caracterização dos amplificadores.

7.1 Placa de Circuito Impresso

Para implementação do *layout* da PCI utiliza-se o *software* PCAD 2002. A PCI foi desenvolvida de modo que é possível selecionar, através de *jumpers*, qual a configuração que será testada. São utilizados 28 *jumpers*, possibilitando uma grande flexibilidade na escolha do teste que será realizado.

Foi utilizado também, para fins comparativos, um amplificador comercial na PCI. Trata-se do amplificador LM931, fabricado pela *Texas Instruments*, o qual apresenta características e estrutura interna semelhantes aos amplificadores desenvolvidos. O esquema elétrico da PCI é apresentado na figura 7-1. Através da configuração dos *jumpers* da PCI é possível:

- Escolher qual dos amplificadores do chip é alimentado com o V_{DD} da PCI;
- Utilizar, ou não, um resistor para medir o consumo dos amplificadores;
- Selecionar se o conector BNC de entrada estará ligado na entrada positiva ou negativa dos amplificadores;
- Definir se o teste realizado será em malha aberta ou fechada. Caso seja em malha fechada, é possível selecionar configuração *buffer* ou *inversora*;
- Selecionar qual dos amplificadores terá sua saída conectada ao conector BNC de saída, que deverá ser ligado ao osciloscópio ou *network analyser*,

A placa também prevê pinos de teste, para facilitar a medição dos sinais na placa.

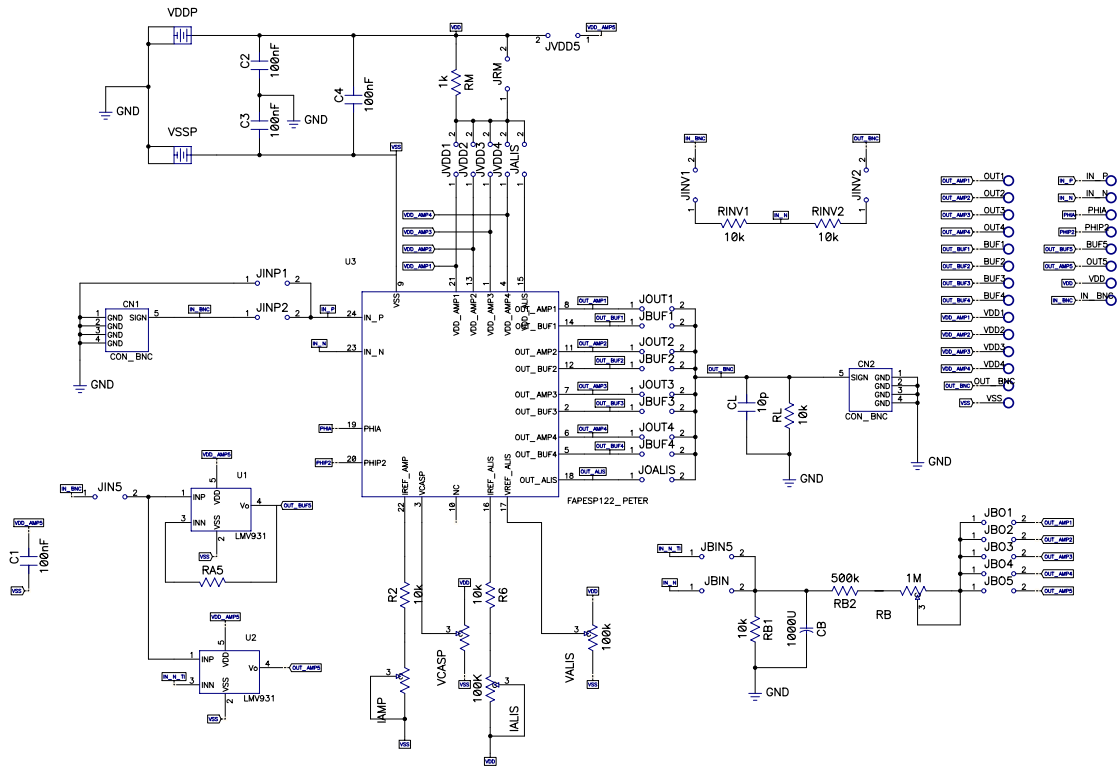


Figura 7-1 Esquema elétrico da PCI

Por motivo de custos, procurou-se minimizar as dimensões da placa ao máximo de forma que se obteve um tamanho de 12,1cm x 5,7cm. O *layout* da placa foi implementado utilizando-se um roteador automático denominado SPECTRA e é apresentado na figura 7-2. Ajustes finos em algumas trilhas foram feitos manualmente após o roteamento. Uma das principais preocupações na confecção do PCI foi a qualidade do plano de terra a fim de minimizar os ruídos e interferências inerentes ao processo. Utilizou-se uma PCI de dupla face. O plano de terra utilizado é gradeado. Para melhor visualização, o *layer* superior (TOP) e o *layer* inferior (BOTTON) são apresentados separadamente na figuras 7-3.

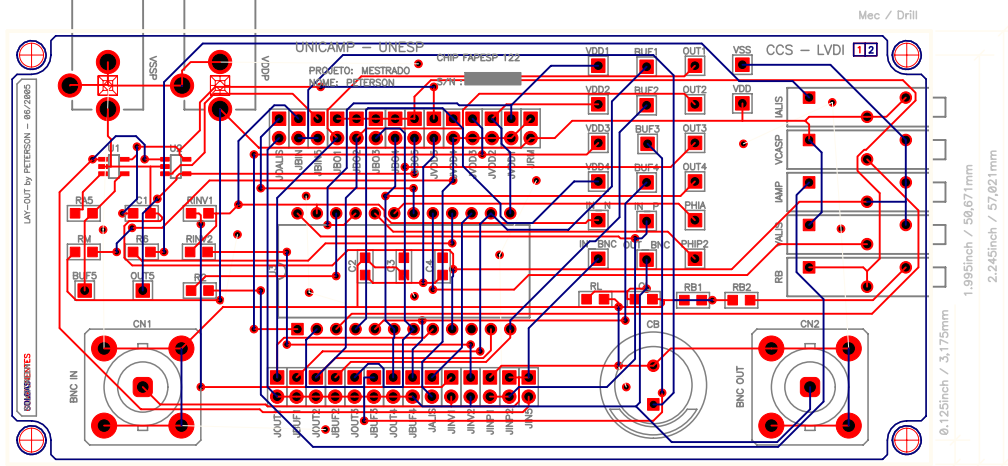


Figura 7-2 Layout da PCI (12,1cm x 5,7cm)

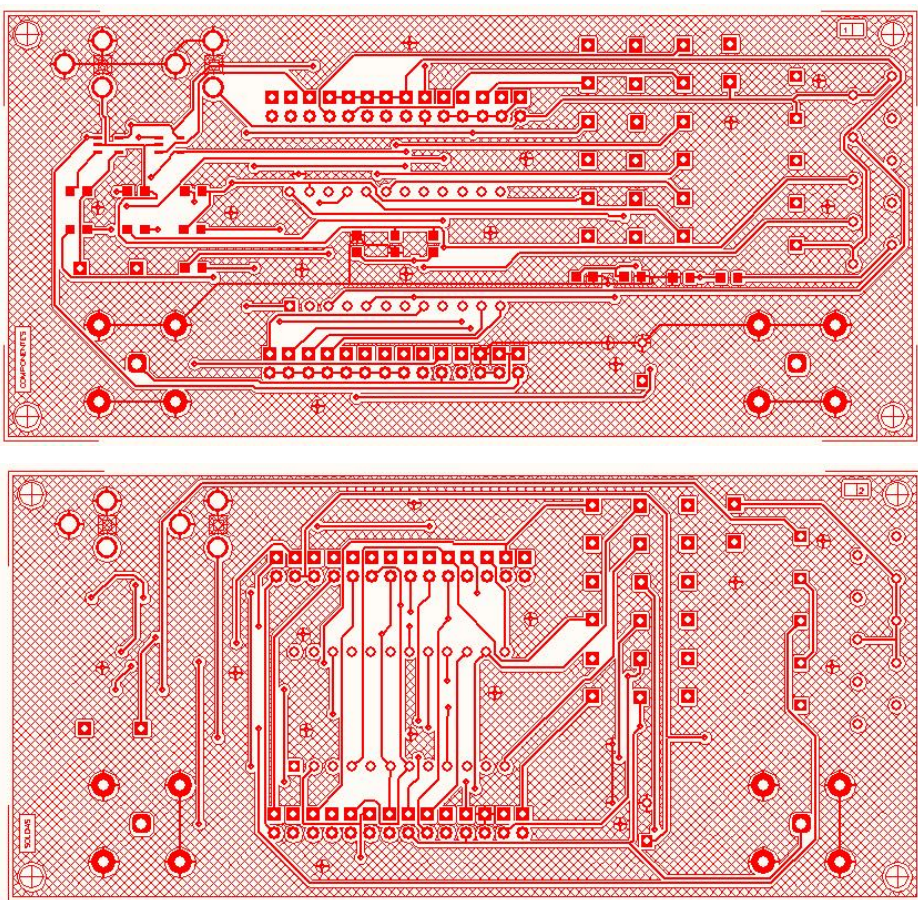


Figura 7-3 Layer TOP (em cima) e layer BOTTOM (em baixo)

A figura 7-4 apresenta o *layer SILK* e a discriminação dos componentes da placa.

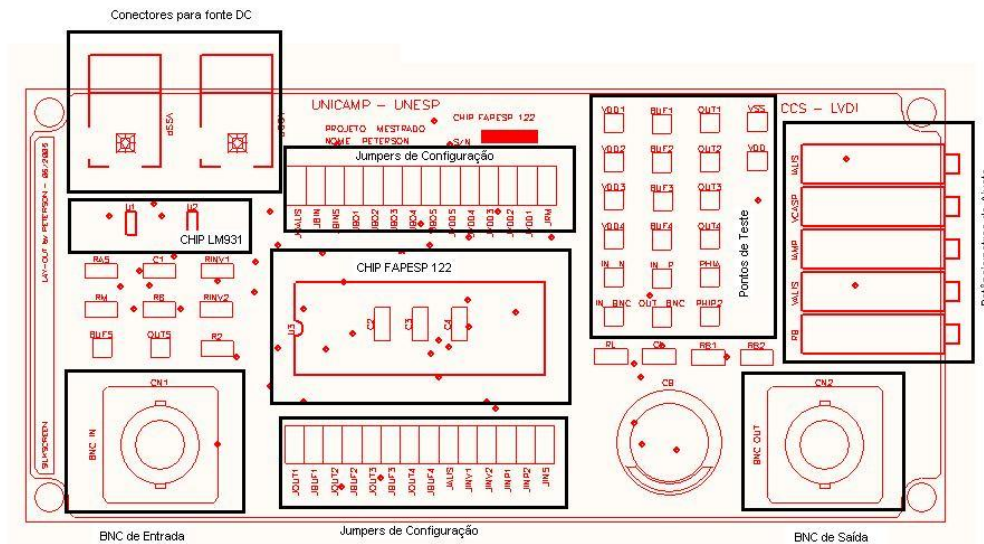


Figura 7-4 Layer SILK

A placa foi feita segundo processo realizado na empresa *Micropress*, com dimensão 12,1cm x 5,7cm, dupla face e espessura do cobre de 0.5Oz. A foto da placa, já com os componentes soldados, é apresentada na figura 7-5.



Figura 7-5 Foto da PCI

7.2 Caracterização

Para caracterização do chip FAPESP 122 foram utilizados instrumentos disponíveis no Laboratório de Projetos VLSI & Instrumentação (LVSI/DEE/FEG/UNESP) e no Centro de Componentes Semicondutores (CCS/UNICAMP).

Nos testes dos amplificadores CD, CSMS e CCPC utiliza-se tensão de alimentação $V_{DD} = -V_{SS} = 0.9V$ e uma corrente de polarização $I_{REF} = 5\mu A$. Para o amplificador comercial LM931 considera-se $V_{DD} = -V_{SS} = 0.9V$ e, para a configuração BP utiliza-se $V_{DD} = -V_{SS} = 0.75V$ e uma corrente de polarização $I_{REF} = 500nA$.

Utiliza-se uma carga nominal $R_L // C_L = 10k\Omega // 10pF$. Nas figuras 7-6 – 7-10 tem-se a resposta transiente dos amplificadores em configuração buffer para um sinal de entrada com características apresentadas na tabela 7-1.

| | CD | CSMS | CCPC | BP | LM931 |
|--------------------------------|------|------|------|------|-------|
| VDD = -VSS [V] | 0.9 | 0.9 | 0.9 | 0.75 | 0.9 |
| Amplitude de Vin [V] | 0.85 | 0.85 | 0.85 | 0.70 | 0.85 |
| Frequencia de Vin [kHz] | 20 | 20 | 20 | 1 | 20 |

Tabela 7-1 Características do sinal de entrada aplicado na configuração buffer

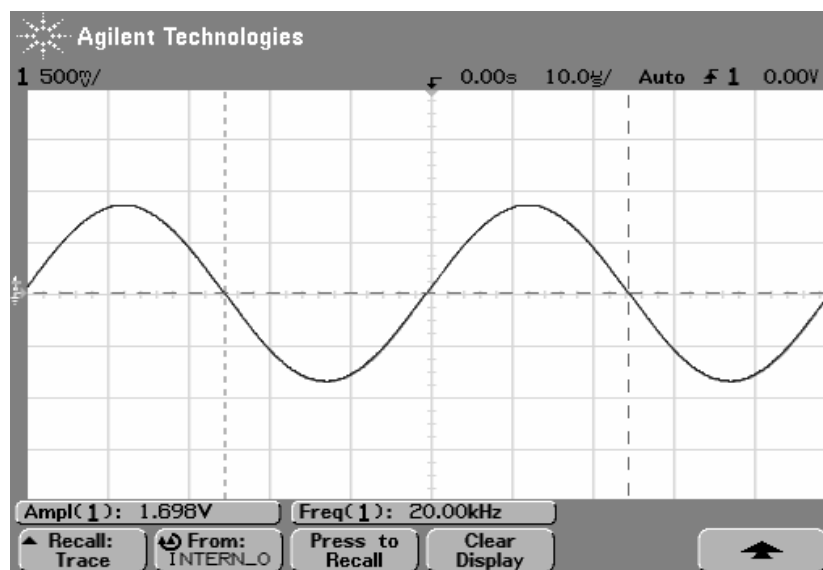


Figura 7-6 Resposta transiente do amplificador CD para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$

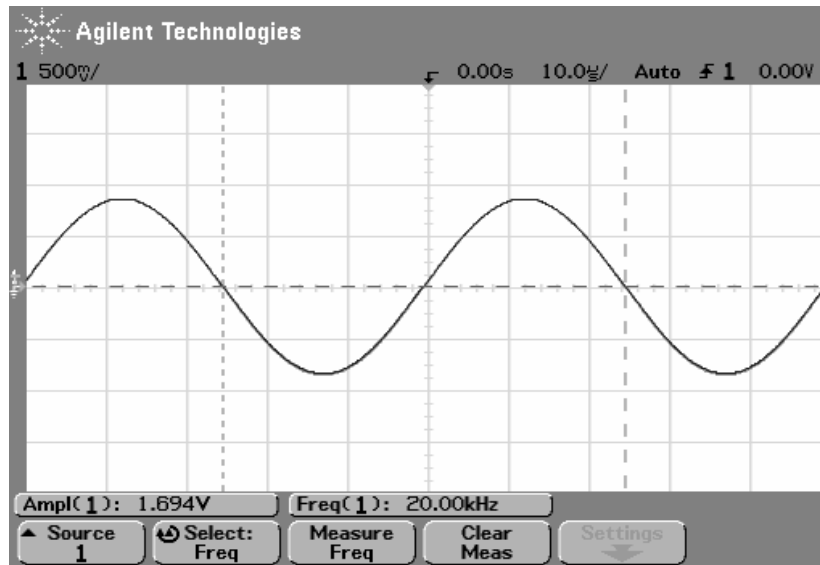


Figura 7-7 Resposta transiente do amplificador CSMS para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$

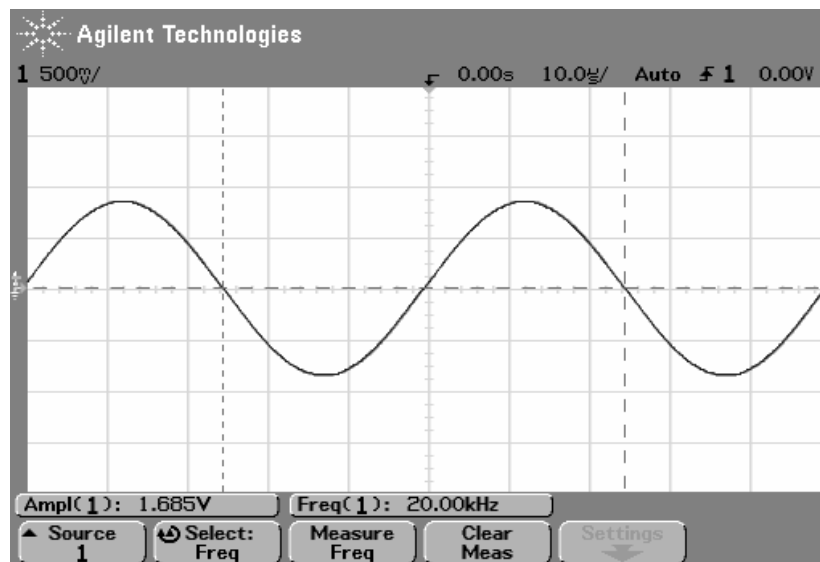


Figura 7-8 Resposta transiente do amplificador CCPC para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$

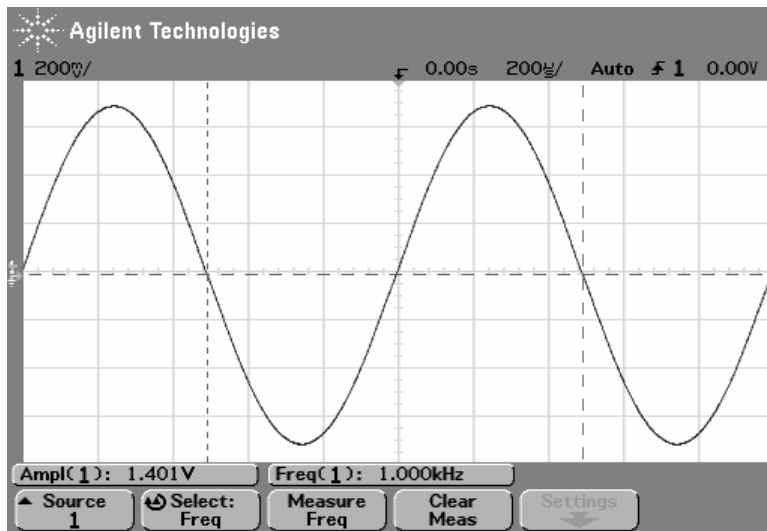


Figura 7-9 Resposta transiente do amplificador BP para $V_{IN} = 1.4V_{pp}$ e $f = 1kHz$

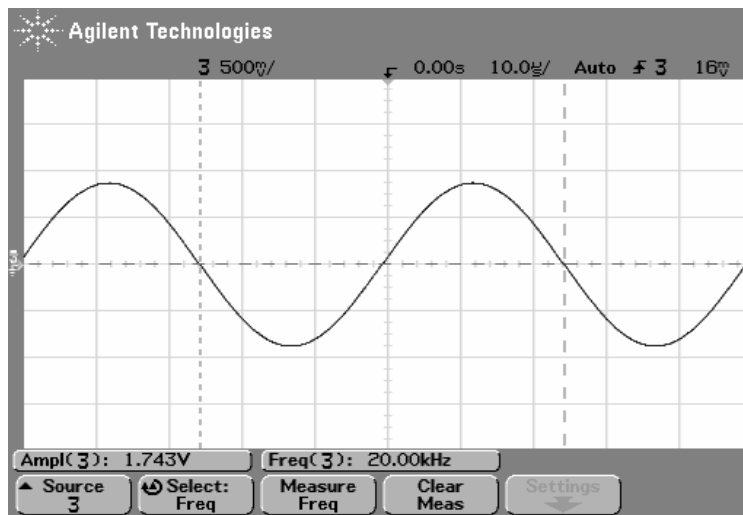


Figura 7-10 Resposta transiente do amplificador LM931 para $V_{IN} = 1.7V_{pp}$ e $f = 20kHz$

Na figura 7-11 tem-se o comportamento da distorção harmônica total (THD) com variação da amplitude do sinal de entrada.

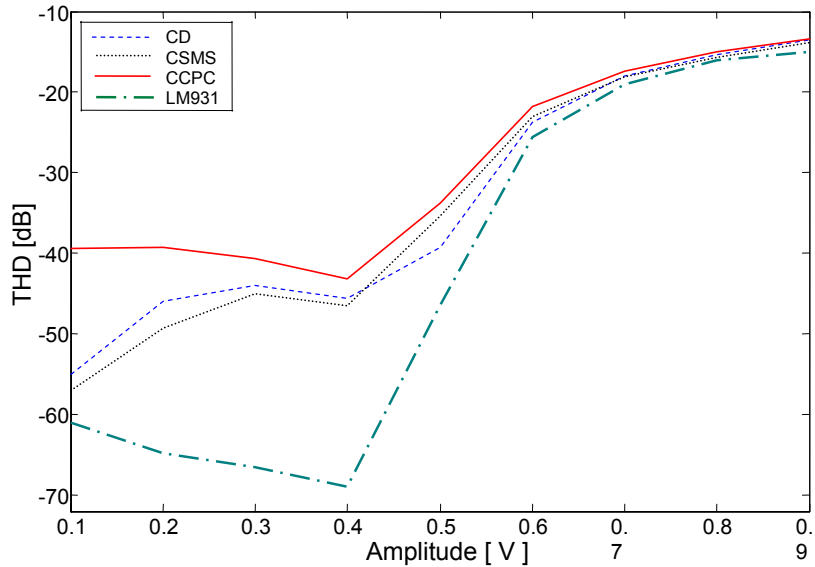


Figura 7-11 THD versus Amplitude do sinal de entrada para $f = 1\text{kHz}$

Observe que, para uma amplitude de sinal de entrada acima de 0.6V, o comportamento das configurações ficam semelhantes. No restante da faixa o amplificador LM931 apresentou um melhor desempenho, principalmente próximo a região de amplitude de 0.4V.

Entre os amplificadores desenvolvidos, o amplificador CSMS apresentou um melhor desempenho na faixa de baixas amplitudes de entrada (<400mV). Na faixa que vai de 400mV até 600mV, o amplificador CD apresentou performance ligeiramente superior.

Na figura 7-12 tem-se a resposta do THD mediante variação da frequência.

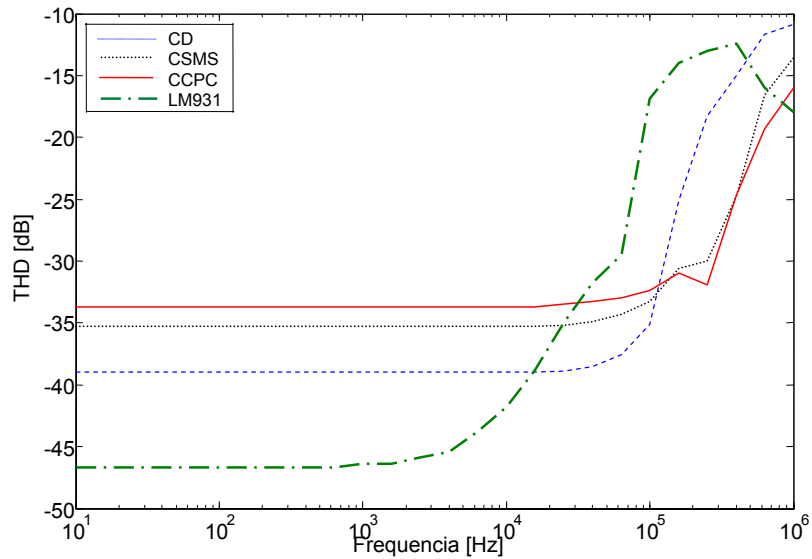


Figura 7-12 THD versus freqüência do sinal de entrada para $V_{IN} = 1V_{pp}$

Observe que o amplificador LM931 apresenta uma menor distorção até uma freqüência de aproximadamente 15kHz. Entre os amplificadores desenvolvidos, o que apresenta melhor desempenho para o nível de amplitude em questão ($1V_{pp}$) é o amplificador CD.

Considere agora a resposta ao degrau dos amplificadores. Aplicando-se uma onda quadrada com amplitude $1V_{pp}$, pode-se determinar o *Slew-rate* (SR) das configurações. Na figura 7-13 tem-se a resposta ao degrau dos amplificadores CD, CSMS e CCPC.

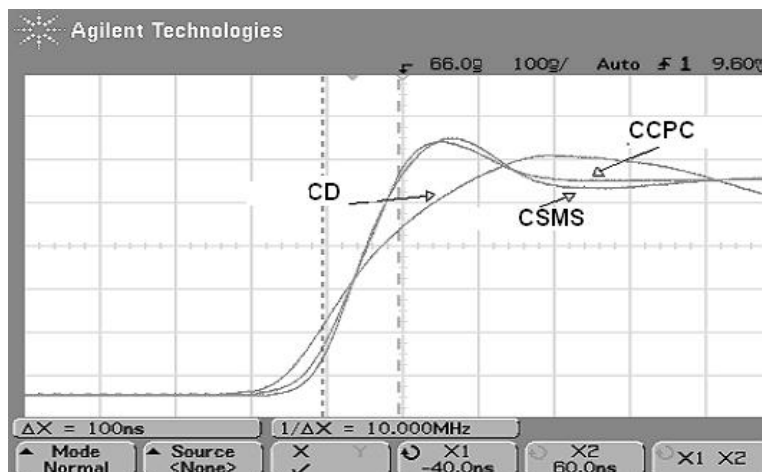


Figura 7-13 SR dos amplificadores CD, CSMS e CCPC

O *slew-rate* do amplificador BP e LM931 é apresentado nas figuras 7-14 e 7-15, respectivamente.

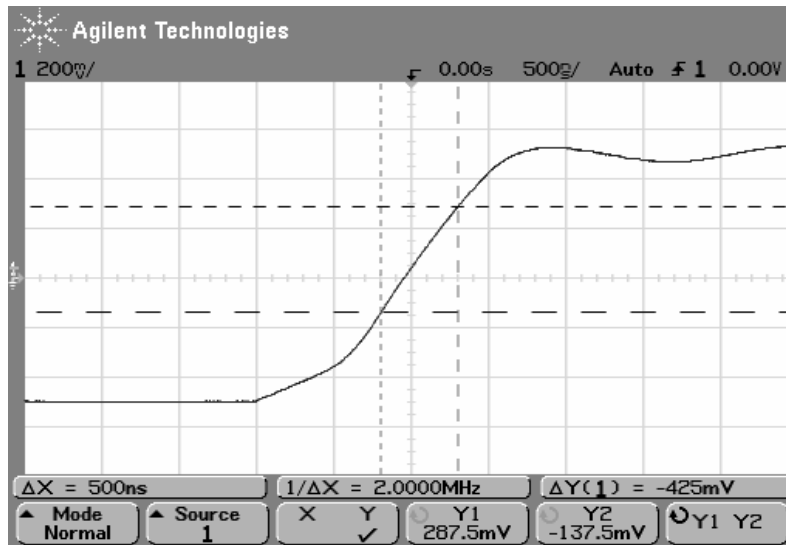


Figura 7-14 – Slew-rate do amplificador BP

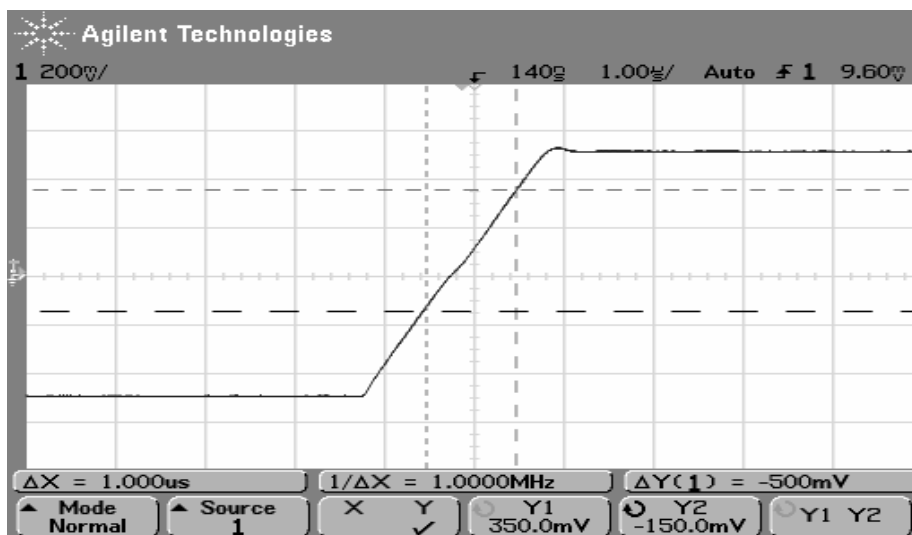


Figura 7-15 – Slew-rate do amplificador LM931

Considere agora, para análise do *settling time* (*ST*), um sinal quadrado de pequena amplitude (100mV pico) à entrada dos amplificadores. Na figura 7-16 tem-se o *ST* dos amplificadores CD, CSMS, CCPC e LM931.

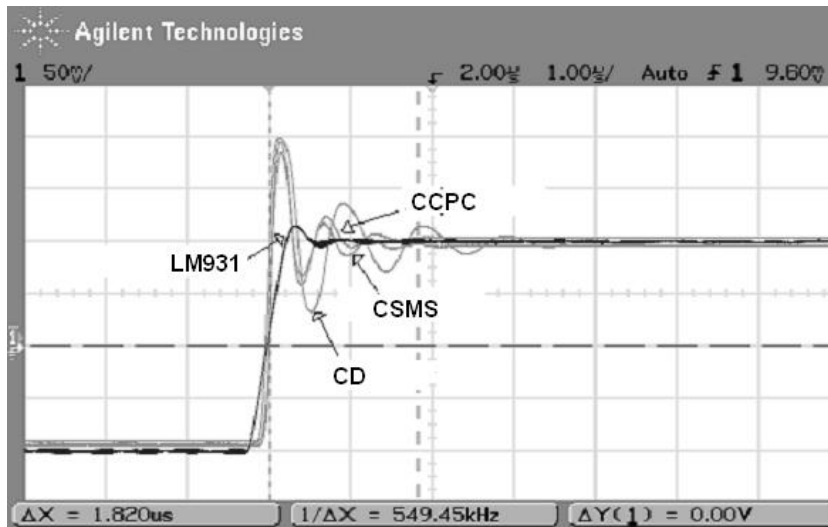


Figura 7-16 – Settling time dos amplificadores CD, CSMS, CCPC e LM931

Pelo overshoot pode-se observar que a margem de fase do amplificador LM931 está melhor que a dos amplificadores CD, CSMS, CCPC.

A tabela 7-2 apresenta os resultados obtidos de *ST* e *SR*.

| | CD | CSMS | CCPC | LM931 |
|-----------|------|------|------|-------|
| SR [V/us] | 4,37 | 8 | 8,37 | 5 |
| ST [us] | 3,96 | 1,62 | 1,82 | 0,9 |

Tabela 7-2 SR e ST dos amplificadores

Considere agora o consumo de corrente e potência quiescente dos amplificadores. Para isso utilizaram-se cinco amostras disponíveis do chip FAPESP 122. Para o amplificador LM931 foi utilizado apenas uma amostra, pois o mesmo apresenta encapsulamento *smd* dificultando a troca de amostras na placa. A tabela 7-3 apresenta os valores mínimos, típicos e máximos da corrente e potência quiescente das configurações testadas.

| | CD | | | CSMS | | | CCPC | | | BP | | | LM931 | | |
|---------|-----|-----|-------|------|-----|-----|------|-----|-----|------|------|------|-------|-----|-----|
| | MIN | TIP | MAX | MIN | TIP | MAX | MIN | TIP | MAX | MIN | TIP | MAX | MIN | TIP | MAX |
| IQ [uA] | 294 | 299 | 307 | 188 | 193 | 195 | 204 | 206 | 210 | 25.4 | 25.8 | 26.1 | x | 71 | x |
| PQ [uW] | 529 | 539 | 552,6 | 338 | 347 | 351 | 367 | 371 | 378 | 38.1 | 38.7 | 39.2 | x | 128 | x |

Tabela 7-3 Resultados experimentais de corrente e potência quiescente

Pode-se observar que a variação do consumo com relação ao valor típico foi muito pequena evidenciando a uniformidade do processo de fabricação. A tabela 7-4 apresenta o máximo desvio em relação ao valor típico para as quatro configurações desenvolvidas.

| | CD | CSMC | CCPC | BP |
|------------|------|------|------|------|
| Desvio [%] | 2,56 | 2,42 | 1,78 | 1,60 |

Tabela 7-4 Máximo desvio em relação ao consumo de corrente típico

A figura 7-17 apresenta a resposta em malha aberta das quatro configurações desenvolvidas.

Com o *network analyser* e o esquema de teste utilizado não foi possível medir a resposta de fase dos amplificadores. Os resultados obtidos foram caóticos e não condizem com a realidade. Um outro modo de se analisar a estabilidade do amplificador é verificando a magnitude do *overshoot* quando se aplica um degrau à entrada. Pelo gráfico 7-16 pode-se concluir que os amplificadores estão estáveis, ou seja, a margem de fase não está degradada a ponto de gerar instabilidade.

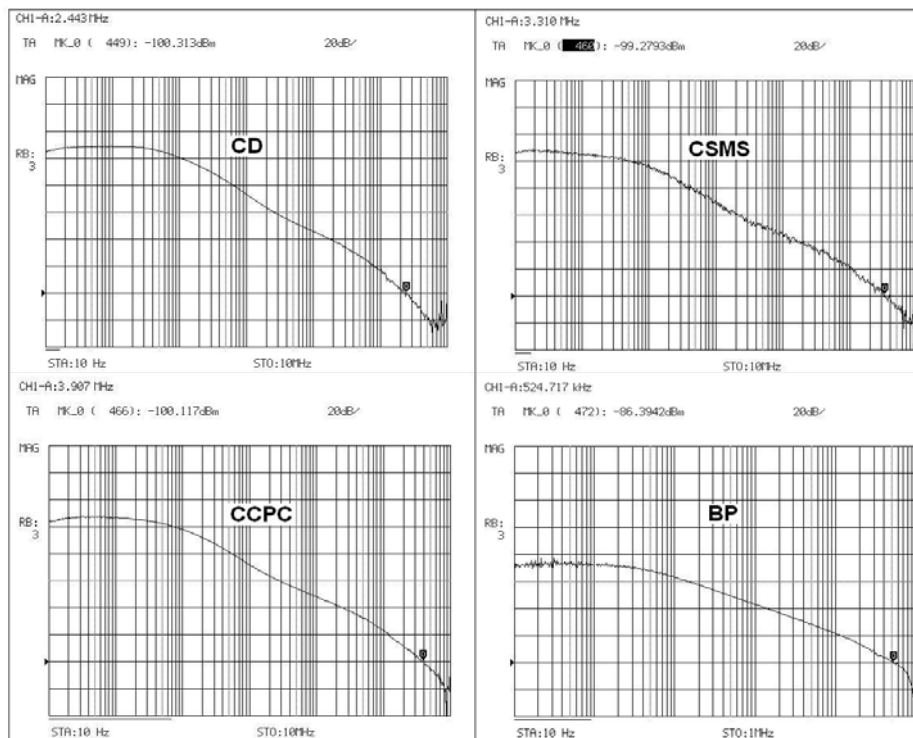


Figura 7-17 Resposta em malha aberta dos amplificadores

Um resumo dos resultados experimentais, bem como os simulados, são apresentados na tabela 7-5.

| | CD | | CSMS | | CCPC | | BT | | LM931 |
|---|-------|--------|-------|-------|-------|-------|-------|-------|-------|
| | sim. | prat. | sim. | prat. | sim. | prat. | sim. | prat. | prat. |
| Consumo [μ A] | 182 | 299 | 228 | 193 | 244 | 206 | 18 | 25.8 | 71 |
| GANHO DC [dB] | 96 | 108 | 110 | 107 | 108 | 104 | 77 | 75 | 105* |
| Margem de Fase [°] | 45 | x | 66 | x | 60 | x | 78 | x | x |
| GBW [MHz] | 3,1 | 2,44 | 3,9 | 3,3 | 4 | 3,9 | 0,33 | 0,52 | 1,4* |
| Slew-Rate [V/ μ s] | 9,2 | 4,37 | 10,3 | 8 | 9,7 | 8,37 | 2,3 | 0,85 | 5 |
| Settling-Time [μ s] | 0,61 | 3,96 | 0,47 | 1,62 | 0,31 | 1,82 | 0,75 | 4,2 | 0,9 |
| THD [dB] @ $V_{in} = 1V_{pp}$, 1kHz | -68,8 | -39,23 | -68,8 | -35,4 | -68,8 | -33,7 | -54,4 | -33 | -46,4 |
| THD [dB] @ $V_{in} = 100mV_{pp}$, 1kHz | -70,5 | -55 | -70,5 | -57 | -70,5 | -39,4 | -40 | -25 | -61 |

Tabela 7-5 Resumo dos resultados práticos e simulados

OBS: * representa os valores extraídos do datasheet do amplificador

Pode-se observar que o maior desvio (39%) de consumo de corrente quiescente ocorreu no amplificador CD, conforme esperado por não utilizar controle realimentado. O menor desvio ocorreu nas configurações CSMS e CCPC, com magnitude de 15%.

Os ganhos DC apresentaram valores próximos aos medidos, com um desvio máximo de 12dB para o amplificador CD. A frequência de ganho unitário apresentou valores relativamente próximos em relação aos valores simulados, com desvios inferiores a 20% para as configurações CD, CSMS e CCPC. A configuração BP apresentou um desvio maior, em torno de 40%. O menor desvio de 3% ocorreu para a configuração CCPC.

Para o *slew-rate*, novamente o menor desvio (13%) ocorreu na configuração CCPC. O maior desvio ocorreu na configuração BP, com valor de 63%.

O desvio no valor de *settling-time* foi grande para todas as configurações desenvolvidas, evidenciando que a margem de fase foi deteriorada em relação aos valores esperados por simulação.

Os valores de distorção obtidos em simulação também ficaram bem melhores que os práticos. A pior performance em relação a distorção é do amplificador BP, que atinge valores de THD de até -25dB. O amplificador LM931 apresentou melhor performance para grandes e pequenos sinais, com THD de -46dB e -61dB para um sinal de amplitude de 1Vpp e 100mVpp, respectivamente, ambos na frequência de 1kHz.

Em resumo, entre as configurações projetadas, a configuração CCPC apresentou menor desvio em relação aos valores simulados. Os maiores desvios estão nas configurações CD e BP.

De uma maneira geral, o amplificador comercial LM931 apresentou uma melhor performance. Vale ressaltar que o mesmo foi feito em tecnologia BicMOS, ou seja, uma tecnologia onde é possível aproveitar as vantagens da tecnologia Bipolar e CMOS.

8 CONCLUSÕES

Durante o trabalho de mestrado pôde-se adquirir um sólido conhecimento na área de amplificadores operacionais e conseqüentemente em circuitos integrados analógicos. Foram realizadas todas as etapas da criação de um circuito integrado, desde a concepção da idéia e estudos de topologias adequadas, passando por projeto, simulações, *layout* e finalizando com os testes dos dispositivos. Os circuitos foram projetados em tecnologia CMOS 0.35 μ m – AMS, as simulações foram realizadas usando modelo Bsim3v3 e software PSPICE e para as etapas de *layout*, DRC e LVS foram utilizadas as facilidades da *Tanner*.

A implementação de uma placa de circuito impresso (PCI) foi muito importante na caracterização dos amplificadores, principalmente no levantamento da curva de ganho em malha aberta, que foi o maior desafio com relação aos resultados práticos. A PCI também possibilitou a utilização de um amplificador comercial, com encapsulamento de superfície (SMD), para efeitos comparativos.

De um modo geral, foi possível concluir que a estrutura de estágio de saída mais recomendada na classe de amplificadores de baixa tensão e baixo consumo de potência é o estágio de saída classe-AB *rail-to-rail* com controle de corrente quiescente. Essa classe de estágios de saída se mostrou a única solução viável quando se deseja um amplificador com uma boa eficiência em potência, um controle preciso do consumo de corrente e, também, um controle preciso da localização dos pólos do circuito.

Pôde-se perceber uma boa uniformidade com relação as cinco amostras testadas. Em todas as configurações, desvios inferiores a 5% foram observados de amostra para amostra, evidenciando a uniformidade do processo de fabricação. E, conforme esperado, o amplificador comercial LM931 apresentou no geral melhor performance. Isso por se tratar de um dispositivo desenvolvido por uma empresa que está consolidada no mercado há décadas, com grande conhecimento agregado na equipe de desenvolvimento. Adicionalmente, o LM931 é implementado em tecnologia BicMOS, que utiliza as vantagens da tecnologia MOS e Bipolar.

Entre as topologias desenvolvidas nesse trabalho a configuração CCPC obteve os melhores resultados e apresentou um menor desvio em relação aos valores simulados.

9 REFERÊNCIAS

- [1] David A. Hodges, Paul R. Gray e Robert W. Brodersen. “*Potential of MOS Technologies for Analog Integrated Circuits*”. IEEE Journal of Solid-State Circuits. 1978. Vol. SC-13, No. 3, p. 285-294.
- [2] Kevin E. Brehmer e James B. Wieser. “*Large Swing CMOS Power Amplifier*”. IEEE Journal of Solid-State Circuits. 1983. Vol. SC-18, No. 6, p. 624-629.
- [3] Huijsing, J. H. – “*Operational Amplifiers: Theory and Design*”, Kluwer Academic Press, 2001.
- [4] Sedra, A. & Smith, K.C. – “*Microelectronic Circuits*”, Oxford University Press, 4th Edition, 1999.
- [5] Huijsing, J. H and Linebarger, D “Low-Voltage Operational Amplifier with rail-to-rail Input and Output Ranges”, IEEE J. of Solid-State and Circuits, Vol SC-20, No 6, pp 1144-1150, Dec 1985
- [6] E. Seevionk, W de Jager, P. Buitendijk, “A Low-Distortion Output Stage with improved Stability for Monolithic power amplifier”, IEEE J. of Solid-State and Circuits, Vol SC-23, pp 794-801, June 1988
- [7] Klaas-Jan de Langen, Johan H. Huijsing, “Compact Low-Voltage Power-Efficient Operational Amplifier Cells for VLSI”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 10, OCTOBER 1998
- [8] J. Francisco Duque-Carrillo, *Member, IEEE*, José L. Ausín, Guido Torelli, *Senior Member, IEEE*, José M. Valverde, and Miguel A. Dominguez, “1-V Rail-to-Rail Operational Amplifiers in Standard CMOS Technology ”, IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 35, NO. 1, JANUARY 2000
- [9] Benjamin J. Blalock, Phillip E. Allen, *Fellow, IEEE*, and Gabriel A. Rincon-Mora, “Designing 1-V Op Amps Using Standard Digital CMOS Technology”, IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—II: ANALOG AND DIGITAL SIGNAL PROCESSING, VOL. 45, NO. 7, JULY 1998
- [10] B. J. Blalock, “A 1-volt CMOS wide dynamic range operational amplifier,” Ph.D. dissertation, School Elect. Comput. Eng., Georgia Inst. Technol., Atlanta, GA, 1996.

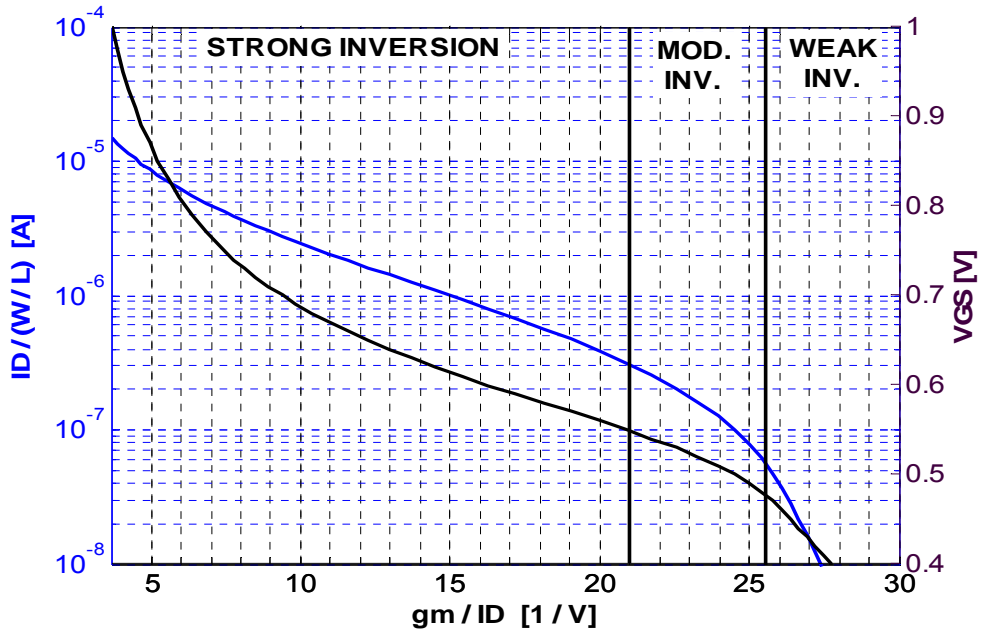
- [11] Chun-Jen Huang and Hong-Yi Huang, "A Low-Voltage CMOS Rail-To-Rail Operational Amplifier Using Double P-Channel Differential Input Pairs", proc. IEEE International Symposium on Circuits and Systems, Vancouver, Canada, May 23--26, 2004
- [12] D. Monticelli, US pat. 4,570,128 "Class AB output stage with large swing."
- [13] Vadin Ianov, "Class AB Output Stages of the Integrated Amplifier", 1999 Kluwer Academic Publishers, Boston
- [14] E. Seevionk, W de Jager, P. Buitendijk, "A Low-Distortion Output Stage with improved Stability for Monolithic power amplifier", IEEE J. of Solid-State and Circuits, Vol SC-23, pp 794-801, June 1988
- [15] Klaas-Jan de Langen, Johan H. Huijsing, "Compact Low-Voltage Power-Efficient Operational Amplifier Cells for VLSI", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 33, NO. 10, OCTOBER 1998
- [16] R. Hogervorst, J. P. Tero, R. G. H. Eschauzier, and J. H. Huijsing, "A compact power-efficient 3 V CMOS rail-to-rail input/output operational amplifier for VLSI cell libraries," *IEEE J. Solid-State Circuits*, vol. 29, pp. 1505–1512, Dec. 1994.
- [17] Klaas-Jan de Langen, Johan H. Huijsing, "Compact Low-voltage and high speed CMOS, BiCMOS and Bipolar operational amplifiers", Kluwer Academic Publishers, 1999
- [18] Terri S. Fiez, Howard C. Yang, John J. Yang, Choung Yu e David J. Allstot. "A Family of High-Swing CMOS Operational Amplifiers". IEEE Journal of Solid-State Circuits. 1989. Vol. SC-24, No. 6, p. 1683-1687.
- [19] Paul R. Gray e Robert G. Meyer. "MOS Operational Amplifier Design – A Tutorial Overview". IEEE Journal of Solid-State Circuits. 1982. Vol. SC-17, No. 7, p. 969-982.
- [20] Paul R. Gray e Robert G. Meyer. "Analysis and Design of Analog Integrated Circuits". John Wiley & Sons. 1993. 3^a ed.
- [21] Phillip E. Allen e Douglas R. Holberg. "CMOS Analog Circuit Design". Oxford University Press. 1987.
- [22] Yannis Tsividis. "Operation and Modeling of The MOS Transistor". McGraw-Hill. 1999. 2^a ed.

- [23] Yannis P. Tsvividis e Paul R. Gray. “*An Integrated NMOS Operational Amplifier with Internal Compensation*”. IEEE Journal of Solid-State Circuits. 1976. Vol-SC11, No. 6, p.748-753.
- [24] M. D. Pardoen e Mark G. Degrauwe. “*A Rail-to-Rail Input/Output CMOS Power Amplifier*”. IEEE Journal of Solid-State Circuits. 1990. Vol. SC-25, No. 2, p. 501-504.
- [25] Wen-Chung S. Wu, Ward J. Helms, Jay A. Kuhn e Bruce E. Byrnett. “*Digital-Compatible High-Performance Operational Amplifier with Rail-to-Rail Input and Output Ranges*”. IEEE Journal of Solid-State Circuits. 1994. Vol. SC-29, No. 1, p. 63-66.
- [26] Laszlo Moldovan e Hua Harry Li. “*A Rail-to-Rail, Constant Gain, Buffered Op-Amp for Real Time Video Applications*”. IEEE Journal of Solid-State Circuits. 1997. Vol. SC-32, No. 2, p. 169-176.
- [27] Giuseppe Ferri e Willy Sansen. “*A Rail-to-Rail Constant-gm Low-Voltage CMOS Operational Transconductance Amplifier*”. IEEE Journal of Solid-State Circuits. 1997. Vol. SC-32, No. 10, p.1563-1567.
- [28] K. Nagaraj. “*Large-Swing CMOS Buffer Amplifier*”. IEEE Journal of Solid-State Circuits. 1989. Vol. SC-24, No. 1, p. 181-183.

APÊNDICE A

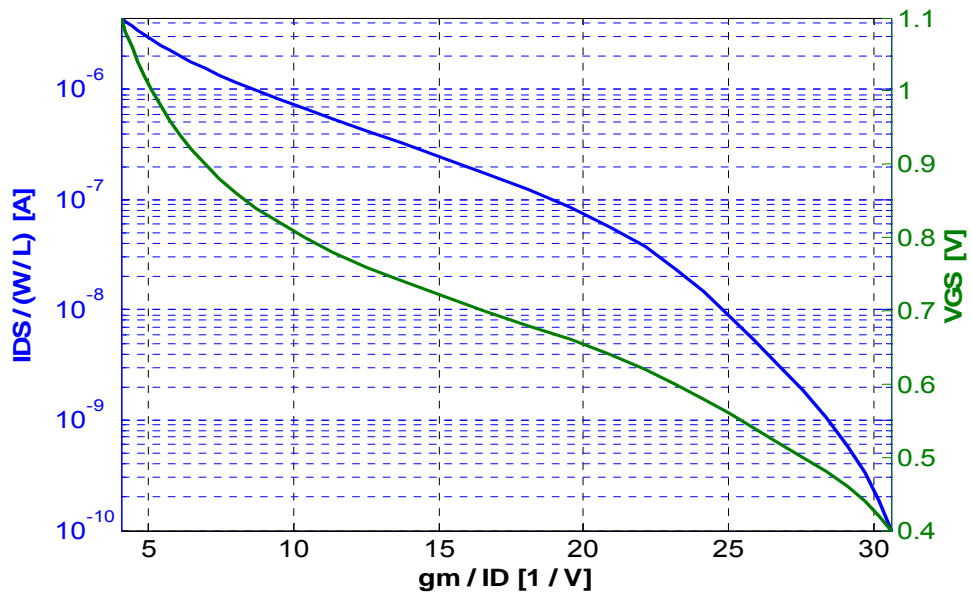
Abaixo estão as curvas para os transistores NMOS e PMOS, obtidas através de simulação utilizando modelo Bsim3v3.

NMOS



PMOS

MPT



APÊNDICE B

Considere o Amplificador 1. Para sinais de pequena amplitude o deslocador de nível DC no estágio de saída pode ser considerado como um curto, simplificando a análise da resposta em frequência. De um modo geral, o circuito apresenta três nós onde os pólos devem ser analisados. O pólo dominante está representado pelo índice “1” e corresponde a um pólo de muito baixa frequência, devido ao alto valor da constante de tempo $R_s C_1$ associada. Para o projeto em questão, o pólo não-dominante principal é o pólo de saída, representado pelo índice “2”. O terceiro pólo será desconsiderado numa primeira análise, visto que se encontra em uma frequência relativamente maior e sua influencia é pequena na resposta em frequência deste projeto, em específico.

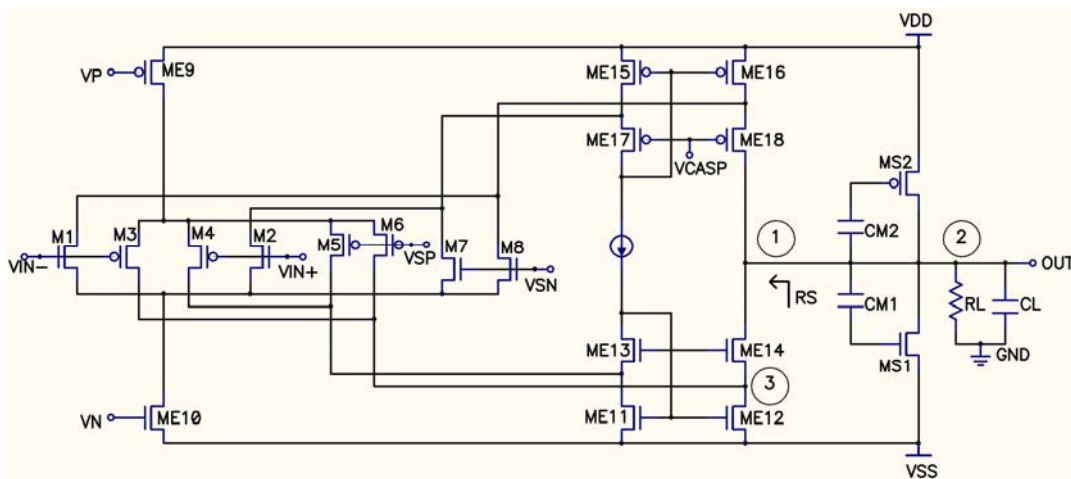


Figura 1- Amplificador 1

Dessa forma, vamos utilizar o circuito da figura 2 para realizar a análise em frequência do amplificador.

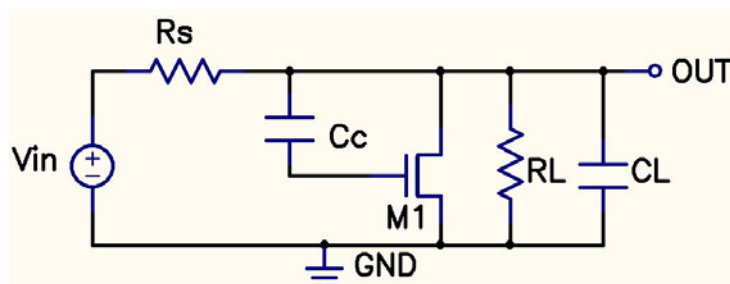


Figura 2 - Esquema simplificado para análise em frequência

Para o amplificador 1, o valor de R_s é:

$$R_s = (g_{mE14} + g_{mbE14})r_{0E14}(r_{0E12} \parallel r_{0E7}) \quad (1)$$

Fazendo uma análise de pequenos sinais e considerando que $\omega_2 \gg \omega_1$ tem-se uma resposta com dois pólos e um zero, onde:

$$\omega_{p1} = \frac{1}{R_s [(1 + g_{mS1} R_L) C_M + C_{GS,S1}] + R_L (C_M + C_L)} \approx \frac{1}{R_s C_M} \frac{1}{\left(1 + g_{mS1} R_L + \frac{C_{GS,S1}}{C_M}\right)} \quad (2)$$

$$\omega_{p2} = \frac{R_s [(1 + g_{mS1} R_L) C_M + C_{GS,S1}] + R_L (C_M + C_L)}{R_s R_L [C_M C_{GS,S1} + C_M C_L + C_L C_{GS,S1}]} \approx \frac{1}{R_L C_L} \left(1 + g_{mS1} R_L + \frac{C_{GS,S1}}{C_M}\right) \quad (3)$$

$$\omega_z = \frac{g_{mS1}}{C_M} \quad (4)$$

Completando a análise, o terceiro pólo vale;

$$\omega_{p3} = \frac{g_{mE14} + g_{mbE14}}{C_{GS,E14}} \quad (5)$$

Concluindo, a frequência de ganho unitário do amplificador vale:

$$\omega_0 = \frac{1}{C_M} \frac{4g_{mE1} R_L g_{mS1}}{\left(1 + g_{mS1} R_L + \frac{C_{GS,S1}}{C_M}\right)} \quad (6)$$

Para valores de carga relativamente alta o segundo termo dentro do parênteses de (6) prevalece e a equação pode ser simplificada para sua forma tradicional, que é a transcondutância do par de entrada sobre a capacitância Miller.