

"CIRCUITO CMOS UNIVERSAL APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES"

Refere-se o presente relatório a uma Patente de Invenção que trata de um circuito CMOS universal aplicável ao processamento de sinais digitais multi-valores: "Gama-Topo".

O presente relatório descreve uma configuração de circuito eletrônico para tratamento de sinais digitais multi-valores. O seu funcionamento está baseado nas propriedades gerais dos componentes transistores de efeito de campo, do tipo complementar (canal de tipo N e P, enriquecimento), caracterizando o processo corrente CMOS, o mais utilizado na confecção de circuitos integrados digitais. Para efeito de esclarecimento, faz-se uma exposição rápida no que se refere à forma clássica de processamento dos sinais digitais multi-valores, incluindo alguns circuitos usuais com vistas à ilustração. Deve ser logo enfatizado que o objeto desta comunicação, e conseqüentemente do pedido de registro de patente, se refere ao bloco de processamento, apresentado no texto, e suas aplicações, por exemplo, a circuitos como o "flip-flop D", figura 1.

A álgebra adotada no tratamento de sinais digitais multi-valores é a de Post (1927), como extensão natural de álgebra de Boole (1790). Esta última adota dois valores básicos ordenados (0 e 1, por exemplo) que podem ser conectados através de duas operações básicas, o mínimo (\cdot) e a negação ($-$). As operações se definem por tabelas, conforme abaixo (tabelas 1 e 2):

A	0	1
A	1	0

Tabela 1: Negação de A

A·B		0	1	B
	0	0	0	
A	1	0	1	

Tabela 2: Mínimo de (A,B).

Qualquer tabela de valores pode ser expressa por uma combinação das operações apresentadas; assim, a operação de máximo (+), definida pela tabela 3, pode ser expressa pela equação 1; assim também o contrário.

$$A+B = \overline{\overline{A} \cdot \overline{B}} \quad A \cdot B = \overline{\overline{A+B}} \quad (1)$$

A+B		0	1	B
	0	0	1	
A	1	1	1	

Tabela 2: Máximo entre A e B (A+B).

A equação 1 exprime o conhecido teorema de De Morgan. Uma propriedade importante das funções digitais governadas por esta álgebra é a lei da absorção, expressa pela equação 2.

$$A+B \cdot A = A \cdot (A+B) = A \quad (2)$$

Outras propriedades, geralmente conhecidas e aplicadas, são a distributividade e comutatividade destas operações de conexão (máximo e mínimo).

Quando são usados múltiplos valores (3, 4, etc.), é necessário uma extensão das propriedades já estabelecidas para os valores binários. A forma de se proceder foi proposta por Post, estabelecendo as seguintes regras: a) o conjunto dos valores digitais é ordenado: $0 < 1 < 2$,

etc.; b) define-se a operação de complementação conforme os valores da tabela 3;

c) define-se uma operação de mínimo entre duas ou mais variáveis (neste texto designada pelo símbolo α), conforme a tabela

5 la 4.

A	0	1	1
A	1	0	0

Tabela 3: Operação deslocamento de Post.

$A\alpha B$		0	1	2	B
	0	0	0	0	
A	1	0	1	1	
	2	0	1	2	

Tabela 4: Operação mínimo entre A e B ($A\alpha B$).

Já foi estabelecido que as duas operações são suficientes para sintetizar qualquer tabela definida para valores digitais, ou seja, que a álgebra de Post (assim como a de Boole) é funcionalmente completa. Identifica-se a compatibilidade desta álgebra (multi-valores) com a anterior (binária) reconstruindo as tabelas 3 e 4 para dois valores (0 e 1).

15 Síntese de funções digitais (clássica).

A síntese de funções digitais multi-valores pelo método clássico é feita através das operações de mínimo (\cdot), máximo ($+$) e funções auxiliares [$f_0(A)$, $f_1(A)$ e $f_2(A)$]; cada uma está definida nas tabelas 5, 6 e 7, respectivamente. A fórmula canônica para se encontrar a expressão de uma função resultante (C), definida por uma tabela

de valores de A e B, é dada pela equação 3. Neste caso usamos como exemplo a síntese de funções ternárias (3 valores, 0, 1 e 2); é fácil estender os conceitos acima para mais de três valores.

C=A·B					
		0	1	2	B
	0	0	0	0	
A	1	0	1	1	
	2	0	1	2	

5 Tabela 5: Operação mínimo entre A e B.

C=A+B					
		0	1	2	B
	0	0	1	2	
A	1	1	1	2	
	2	2	2	2	

Tabela 6: Operação máximo entre A e B.

A	$f_0(A)$	$f_1(A)$	$F_2(A)$
0	2	0	0
1	0	2	0
2	0	0	2

Tabela 7: Funções auxiliares $f_0(A)$, $f_1(A)$ e $f_2(A)$.

Para ilustração da fórmula para síntese da função resultante $C(A,B)$ usaremos uma tabela gené-

10 rica, definida pela Tabela 8.

C(A,B)					
		0	1	2	B
	0	C_{00}	C_{01}	C_{02}	
A	1	C_{10}	C_{11}	C_{12}	
	2	C_{20}	C_{21}	C_{22}	

Tabela 8: Definição de $C(A,B)$.

A fórmula síntese da função $C(A,B)$ dada pela tabela 8 é, na forma canônica:

$$C(A,B) = \sum_{i,j=0}^2 C_{ij} f_i(A) \cdot f_j(B) \quad (3)$$

A expressão pode parecer complicada, à primeira vista, mas sua aplicação é simples. Como exemplo, vejamos uma tabela como definida abaixo (Tabela 9).

$C(A,B)$					
		0	1	2	B
	0	0	1	0	
A	1	0	1	2	
	2	0	1	2	

Tabela 9: Operação exemplo entre A e B.

Aplicada a fórmula (equação 3) aos valores de $C(A,B)$, temos a expressão:

$$C(A,B) = 1 \cdot f_1(B) + f_2(B) \cdot [f_1(A) + f_2(A)]$$

Na simplificação usamos as propriedades das operações ($X \cdot 2 = X$, $X \cdot 0 = 0$, $X + 2 = 2$ e $X + 0 = X$) e a distributividade.

Nossa proposta de síntese: Por simples que seja a síntese clássica, ela "varre para baixo do tapete" o problema da elaboração de circuitos eletrônicos que realizem as operações indicadas. De fato, o requisito básico para montagem de sistemas complexos é de que um único tipo de porta "gate" seja utilizado, de forma a tornar uniformes os tempos de atraso dos sinais, por blocos e portas digitais, valendo as mesmas considerações para os valores de tensões, correntes, fan-in, fan-out, etc.

Em nossa proposta de síntese e montagem de blocos processadores de sinais digitais multivalores um único bloco básico é usado: o que executa simultaneamente as operações de mínimo das entradas (α , ver a tabela 4) e deslocamento ($A, \bar{}$, idem tabela 3). Essa operação, designada doravante como "alfa-topo" pode ser visualizada nos valores da tabela 10.

		0	1	2	B
	0	1	1	1	
A	1	1	2	2	
	2	1	2	0	

Tabela 10: Operação alfa-topo entre A e B.

Lembremos que a álgebra de Post é funcionalmente completa; assim, qualquer tabela de valores pode ser reduzida a uma combinação de blocos que realizem a mesma operação alfa-topo. Como exemplos, vejamos as funções $f_0(A)$, $f_1(A)$ e $f_2(A)$ dos parágrafos anteriores (tabela 7). É fácil verificar que:

$$f_0 = \overline{\overline{A\alpha 1}} \quad f_1 = \overline{\overline{\overline{A\alpha 1}}} \quad f_2 = \overline{\overline{\overline{\overline{A\alpha 1}}}} \quad (4)$$

Apesar desta simplicidade na definição, algumas das funções da síntese tradicional são incômodas de se exprimirem, nas suas formulações, nesta operação simplificada, ou seja, com os operadores básicos de Post. Resolvemos, por essa razão, estabelecer um processo de síntese empregando esses operadores de forma direta, do qual a exposição se desenvolve nos parágrafos que se seguem.

Operadores Auxiliares: Para um

processo de síntese onde as expressões possam ser redutíveis, de forma automática, à porta básica alfa-topo (vide tabela 10) é necessário introduzir operadores (auxiliares) transformáveis naquele. Estes são os operadores β (beta) e γ (gama),
 5 definidos pelas tabelas 11 e 12, respectivamente.

$A\beta B$					
		0	1	2	B
	0	0	1	2	
A	1	1	1	1	
	2	2	1	2	

Tabela 11: Operação beta (β) entre A e B.

$A\gamma B$					
		0	1	2	B
	0	0	0	2	
A	1	0	1	2	
	2	2	2	2	

Tabela 12: Operação gama (γ) entre A e B.

Constata-se por estas definições que a ordem de prioridade para β é $(1,2,0)$, sendo 1 o
 10 valor dominante e 0 o indiferente; em relação a γ , a ordem é $(2,0,1)$, dominante o 2, e 1 como indiferente. Dessas definições decorrem imediatamente as propriedades:

$$A \alpha 0=0 \quad A \beta 1=1 \quad A \gamma 2=0 \quad (5)$$

$$A \alpha 2=A \quad A \beta 0=A \quad A \gamma 1=A \quad (6)$$

Outra propriedade importante dessas operações, verificável através da montagem de tabelas,
 15 é expressa pela equação abaixo:

$$\overline{A \alpha B} = \overline{A} \beta \overline{B} \quad \overline{A \beta B} = \overline{A} \gamma \overline{B} \quad \overline{A \gamma B} = \overline{A} \alpha \overline{B} \quad (7)$$

Vê-se que estas propriedades

formam uma extensão das que foram apresentadas no caso da álgebra de funções binárias (0 e 1), o teorema de De Morgan (equação 1). Também por meio das definições conclui-se que a comutatividade e distributividade são válidas. Para esta
 5 última existe uma restrição: a operação α é distributiva em somente em relação à β , esta em relação à γ e a última outra vez sobre α . Estas propriedades são visualizáveis pelas equações seguintes:

$$A\alpha(B\beta C) = (A\alpha B)\beta(A\alpha C) \quad A\beta(B\gamma C) = (A\beta B)\gamma(A\beta C) \quad A\gamma(B\alpha C) = (A\gamma B)\alpha(A\gamma C)$$

Uma ilustração interessante de
 10 como se podem aplicar estas propriedades é a demonstração de que a lei da absorção (equação 2) também é válida para estas operações com três valores. O procedimento é o seguinte:

$$\begin{aligned} A\alpha A[A\beta(A\gamma B)] &= A\alpha A[(A\beta A)\gamma(A\beta B)] = A\alpha[A\gamma(A\beta B)] = \\ &= A\alpha[(A\beta 0)\gamma(A\beta B)] = A\alpha[A\beta(0\gamma B)] = \\ &= (A\alpha A)\beta[A\alpha(0\gamma B)] = A\beta[A\alpha(0\gamma B)] = \\ &= (A\alpha 2)\beta[A\alpha(0\gamma B)] = A\alpha[2\beta(0\gamma B)] = \\ &= A\alpha[(2\beta 0)\gamma(2\beta B)] = A\alpha[2\gamma(2\beta B)] = A\alpha 2 = A \end{aligned} \quad (8)$$

Na primeira linha usa-se a distributividade de β em α ; na segunda, além desta, também o
 15 fato de que 0 é o valor indiferente na operação β . Na quarta linha, introduz-se 2 como elemento indiferente da operação α ; na quinta, 2 é o elemento principal da operação γ . Finalmente, a distributividade de β em γ , e novamente o fato de que 2 é o elemento principal de γ .

20 Uma nova propriedade de redução de expressões está exposta na equação 9:

$$A\alpha(A\bar{\beta}A) = A \quad (9)$$

Para demonstrar esta relação, basta observar que vale automaticamente para 0 e 1, pelas operações α e β , respectivamente. No caso de A valer 2, $A, \bar{}$ vale 0, que é o elemento indiferente de β . A relação vale para qualquer par de operações, desde que sejam distintas. Assim:

$$A\alpha(A\beta\bar{A})=A\beta(A\alpha\bar{A})=A\gamma(A\beta\bar{A})=A\beta(A\gamma\bar{A})=A\alpha(A\gamma\bar{A})=A\gamma(A\alpha\bar{A})=A \quad (10)$$

Antes de prosseguir, introduziremos a notação base (sublinhado) como abreviação para deslocamento para a esquerda, a qual no caso de três valores tem o significado de uma negação dupla. Assim, em coerência com as definições anteriores, temos:

$$\underline{0} = 2 \quad \underline{1} = 0 \quad \underline{2} = 1$$

$$\underline{A \alpha B} = \underline{A} \gamma \underline{B} \quad \underline{A \beta B} = \underline{A} \alpha \underline{B} \quad \underline{A \gamma B} = \underline{A} \beta \underline{B} \quad (11)$$

No caso de expressões equivalentes às anteriores (10 e 11) com \underline{A} , temos então:

$$A\alpha(A\beta\underline{A}) = A\alpha 1 \quad A\beta(A\gamma\underline{A}) = A\beta 2 \quad A\gamma(A\alpha\underline{A}) = A\gamma 0 \quad (12)$$

Síntese: O processo normal de síntese para uma função $C(A,B)$ começa com a montagem da "tabela da verdade", ou mapa de Veitch-Karnaugh, como, por exemplo, o da tabela 10. É conveniente explicar o procedimento com um exemplo, a tabela 13.

C(A,B)					
		0	1	2	B
	0	0	0	0	
A	1	1	1	2	
	2	1	2	2	

Tabela 13: Função C(A,B) a ser sintetizada.

O primeiro passo é criar uma

função intermediária $C_0(A,B)$, como definida na tabela 14, que tem os 0's de $C(A,B)$ e o restante dos valores 1

$C_0(A,B)$					
		0	1	2	B
	0	0	0	0	
A	1	1	1	1	
	2	1	1	1	

Tabela 14: Função $C_0(A,B)$ a ser sintetizada.

A expressão de C_0 pode ser encontrada através das regras de manipulação das funções ternárias, com o seguinte procedimento:

$$C_0 = (A\beta B)\alpha(A\beta\bar{B})\alpha(A\beta\bar{\bar{B}})\alpha 1$$

Nesta expressão se garante: a) C_0 só é zero quando $A=0$, pois 0 é o elemento indiferente da operação β ; b) C_0 só é zero quando B , ou B^- , ou \underline{B} são 0, pela mesma razão; c) todos os outros valores da tabela são 1, que é o valor intermediário para α .

Como se trata de tabela binária, as operações α e β são mutuamente distributivas, e a expressão de C_0 pode ser simplificada:

$$C_0 = [A\beta(B\alpha B\alpha\bar{B})] \alpha 1 = (A\beta 0) \alpha 1 = A \alpha 1$$

Uma segunda função intermediária $C_1(A,B)$ deve ser definida, como na tabela 15

$C_1(A,B)$					
		0	1	2	B
	0	1	1	1	
A	1	1	1	2	
	2	1	2	2	

Tabela 15: Função $C_1(A,B)$ a ser sintetizada.

Esta função $C_1(A,B)$ tem, como

se vê, os valores 2 de $C(A,B)$ e os restantes iguais a 1. A expressão de $C_1(A,B)$, deduzida de forma semelhante à anterior, é a seguinte:

$$C_1 = \overline{A}\beta\overline{B}\beta(A\gamma B)$$

5 Nesta equação, deduzida e simplificada de forma semelhante a $C_0(A,B)$, vê-se que: a) C_1 é sempre 1 quando $A=0$; b) C_1 é sempre 1 quando $B=0$; c) além disso, C_1 é 1 somente quando $A=B=1$, porque 1 é o valor indiferente da operação γ ; d) todos os outros valores são 2, que é o valor intermediário de β .

10 Finalmente, a expressão de $C(A,B)$ será:

$$C(A,B) = C_0\gamma C_1 = (A\alpha A\alpha\gamma [\overline{A}\beta\overline{B}\beta(A\gamma)])$$

pois 2 (em C_1) será mantido em $C(A,B)$ pela operação γ entre C_0 e C_1 , os 0 de C_0 também (os valores correspondentes em C_1 , são 1, que vale menos do que 0 para a operação γ) e os 1's de C_0 que aparecem igualmente em C_1 são os únicos de $C(A,B)$.

A título de comparação podemos deduzir também uma expressão através do método clássico. O resultado é o seguinte:

$$C(A,B) = I \cdot f_1(A) \cdot f_0(B) + I \cdot f_1(A) \cdot f_1(B) + I \cdot f_2(A) \cdot f_1(B) + f_1(A) \cdot f_2(B) + f_2(A) \cdot f_1(A) + f_2(A) \cdot f_2(A)$$

20 São necessárias 13 operações (incluindo os f_i de A e B). Pelo método proposto, temos somente sete. Por outro lado, a grande vantagem se verifica quando se observa que o bloco alfa-topo pode ser empregado como o único tipo de porta lógica; a expressão pelo novo processo é:

$$C(A,B) = \overline{A\alpha I} \alpha \underline{\underline{A\alpha B}} \alpha \overline{\overline{A\alpha B}}$$

Este novo arranjo contém 9 blocos alfa-topo (a operação alfa-base necessita dois blocos alfa-topo), apresentando duas vantagens evidentes: menor quantidade de portas digitais (neste caso particular) e blocos de um único tipo.

Outro exemplo muito ilustrativo é o da síntese com uma única variável de entrada. Seja a tabela abaixo, para uma função $B(A)$:

A	0	1	2
B(A)	2	1	0

Tabela 16: Exemplo de $B(A)$

Seguindo o método anteriormente exposto, temos inicialmente a solução parcial $B_2(A)$:

$$B_2(A) = \underline{A} \gamma 0 = (2 \ 0 \ 0)$$

Em seguida, a função $B_1(A)$:

$$B_1(A) = A \alpha \bar{A} = (0 \ 1 \ 0)$$

A composição final com β dá a expressão de $B(A)$:

$$B(A) = B_2 \alpha B_1 = (A \gamma 0) \beta (A \alpha \bar{A}) = (2 \ 1 \ 0)$$

A expressão com alfa-topo é a seguinte:

$$B(A) = \overline{A \alpha 1} \alpha \underline{A \alpha \bar{A}}$$

na qual se usam cinco blocos do tipo alfa-topo. A expressão com o método clássico é neste caso mais simples (quatro blocos), sendo a seguinte:

$$B(A) = 1 f_1(A) + f_0(A)$$

O estado da técnica atual compreende a utilização dos circuitos digitais multi-valores tem

se limitado, até o momento, ao processamento numérico de sinais, quais sejam adição e multiplicação aritméticas. Isso se deve, em nossa opinião, exatamente à dificuldade do processamento puramente digital dos sinais multi-valores na
5 forma tradicional. Esse processamento, em forma semi-analógica, já conta com várias alternativas propostas que podem ser criticadas, sob dois pontos de vista: (a) o processamento dos sinais é analógico, não utilizando a grande vantagem dos circuitos digitais, que é a sua imunidade ao ruído e (b) a
10 síntese dos níveis digitais de saída não é feita por meio das portas lógicas, que mesmo as clássicas, proporcionam uma versatilidade superior de combinações e, portanto, de possibilidades de otimização. O artigo publicado foi incluído como uma alternativa atual para este processamento com uma função β .

15 A matéria em questão será descrita com base nos desenhos abaixo relacionados, nos quais:

a figura 1 ilustra uma vista de um circuito "Flip-flop D", sensível à borda positiva do pulso de relógio, para três valores digitais (0,1 e 2);
20

a figura 2 ilustra um circuitito γ -topo com transistores MOS;

a figura 3 ilustra um circuito α -topo com transistores MOS;

25 a figura 4 ilustra um diagrama de sinais para o circuito γ -topo;

a figura 5 ilustra um circuito α -topo adaptado com transistores MOS; e

a figura 6 ilustra um diagrama de sinais de entrada (V1 e V2) e saída (VS) do circuito α -topo adaptado.

A título de exemplo, é apresentado na figura 1 o esquema de um circuito do tipo triestável D, sensível à borda positiva dos pulsos de relógio, montado com portas do tipo γ -topo para três valores digitais. O uso de portas γ -topo facilita a utilização, desde que os valores de relógio são 1 (ativação) e 2 (inibição), dois valores contíguos: não é o caso do α -topo, nos quais temos 2 e 0, respectivamente, o valor de pulso de relógio tendo que passar por 1 (na transição) e dar, eventualmente, ocasião a ambiguidades.

Para análise do diagrama, consideremos inicialmente CK (relógio) com o valor 2: os valores das saídas 4, 5 e 6 estarão com o valor 1, que é o valor indiferente do bloco γ . Portanto, as saídas 1, 2 e 3 serão, respectivamente, os valores D_n , \underline{D}_n e D_n . Os blocos da parte inferior conservam o valor anterior do sinal de entrada; 7, 8 e 9 valem D_{n-1} , \underline{D}_{n-1} e D_n .

Quando o pulso CK passa para o valor 1 as saídas 4, 5 e 6 passam a valer \underline{D}_n , D_n e D_n . É então que ocorrem os acionamentos de 7, 8 e 9, que passam a valer também D_n , \underline{D}_n e D_n . Deve ser notado que os blocos intermediários tem um deslocamento duplo.

Se, após essa transição, o pulso de entrada passa para o valor qualquer X, a saída 3 conserva o valor anterior D_n ; para verificar isto, basta equaci-

onar o valor em 3, aplicando o resultado da equação da absorção (equação 8):

$$(3) = \overline{\overline{\overline{D_n \gamma [D_n \gamma (D_n \gamma X)]}}} = D_n \alpha [D_n \beta (D_n \gamma X)] = D_n$$

Já que o ponto 3 conserva seu valor, as saídas (todas, a partir deste ponto) não mudam e o triestável continua armazenando o valor anterior D_n (saída 9). Só poderá ocorrer mudança do valor armazenado quando CK passar novamente por 2, reciclando 4, 5 e 6 para o valor.

A patente em questão objetiva proteger dois circuitos utilizando montagens de transistores CMOS (transistores de efeito de campo do tipo complementar) para realizar as operações γ -topo e α -topo, apresentados nas figuras 2 e 3, respectivamente.

O circuito da figura 2 tem o seguinte comportamento: os transistores do tipo canal N (M_{N1} e M_{N2}) tem uma tensão de limiar (V_{TN}) com o valor de 1,5V; quando a tensão de entrada (V_{E1} ou V_{E2}) atinge um valor acima deste limiar entram em condução e, sendo baixa a corrente fornecida pelo transistor de carga (canal P, M_{P3}) a tensão de saída V_s será praticamente zero. Alternativamente, quando as entradas estiverem abaixo de 1,5V, o valor de V_s será o menor dos valores na entrada, subtraído de uma parcela muito próxima do valor da tensão de limiar dos transistores canal P (M_{P1} e/ou M_{P2}), cujo valor é de 1V negativo. Essas considerações permitem a montagem da tabela 17, com valores de tensão e os digitais, para lógica positiva.

Na descrição do estado de polarização dos transistores foi usada a convenção usual, desi-

Quando ON o estado de condução e OFF o corte. O resultado final mostra que temos, efetivamente, a operação γ -topo realizada sobre os sinais E_1 e E_2 . É evidente que o número de entradas não se limita a dois, mas pode ser aumentado até o

5 limite que o projeto conserve suas propriedades; isto depende da tecnologia empregada na construção do circuito integrado.

V_{E1}	V_{E2}	M_{N1}	M_{N2}	M_{P1}	M_{P2}	M_{P3}	V_S	E_1	E_2	S
0V	0V	OFF	OFF	ON	ON	ON	1V	0	0	1
0V	1V	OFF	OFF	ON	OFF	ON	1V	0	1	1
0V	2V	OFF	ON	OFF	OFF	ON	0V	0	2	0
1V	0V	OFF	OFF	OFF	ON	ON	1V	1	0	1
1V	1V	OFF	OFF	ON	ON	ON	2V	1	1	2
1V	2V	OFF	ON	OFF	OFF	ON	0V	1	2	0
2V	0V	ON	OFF	OFF	OFF	ON	0V	2	0	0
2V	1V	ON	OFF	OFF	OFF	ON	0V	2	1	0
2V	2V	ON	ON	OFF	OFF	ON	0V	2	2	0

Tabela 17

A análise feita para o circuito γ -topo pode ser imediatamente aplicada ao α -topo, apresentado

10 na figura 3. Usando as mesmas convenções, pode-se montar a tabela 18, justificando agora a designação do circuito.

	V_{E2}	M_{N1}	M_{P1}	M_{P2}	M_{P3}	M_{P4}	M_{P5}	M_{P6}	V_S	V_R	E_1	E_2	S
0V	0V	OFF	ON	ON	ON	ON	ON	ON	1V	1V	0	0	1
0V	1V	OFF	ON	OFF	ON	ON	ON	OFF	1V	1V	0	1	1
0V	2V	OFF	ON	OFF	ON	ON	ON	OFF	1V	1V	0	2	1
1V	0V	OFF	OFF	ON	ON	ON	OFF	ON	1V	1V	1	0	1
1V	1V	OFF	ON	ON	ON	ON	ON	ON	2V	2V	1	1	2
1V	2V	OFF	ON	OFF	ON	ON	ON	OFF	2V	2V	1	2	2
2V	0V	OFF	OFF	ON	ON	ON	OFF	ON	1V	1V	2	0	1
2V	1V	OFF	OFF	ON	ON	ON	OFF	ON	2V	2V	2	1	2
2V	2V	ON	0V	3V	2	2	0						

Tabela 18

A saída V_S representa, portan-

to, a operação α -topo realizada sobre os sinais de entrada E_1 e E_2 , com a convenção de lógica positiva.

Nos gráficos da figura 3 temos os resultados de simulação do circuito γ -topo (figura 2) com 5 transistores padrão de um processo industrial. São todos iguais em dimensões, tendo comprimento e largura de canal com o valor de 2 μm , exceto o transistor canal P de carga, com 10 μm de comprimento. Os transistores tem os valores de tensão de limiar 600 mV (negativos) para o canal P e 900 mV (positi- 10 vo) para o canal N.

Da mesma forma, expõem-se na figura 6 os gráficos de funcionamento, em simulação, de um circuito α -topo com duas entradas, com os mesmos transistores do circuito anterior. Devido às tensões de limiar, o circuito 15 foi modificado para aumentar o valor do limite tensão no acionamento do transistor canal N, conforme o diagrama da figura 5.

Os circuitos apresentados anteriormente (figuras 2 e 3) permitem o processamento de sinais 20 digitais multi-valores com um único tipo de porta digital (qualquer dos dois) de maneira mais simples do que é feito atualmente; isso devido ao processo de síntese apresentado anteriormente descrito, ligado de forma direta à álgebra de Post, em vez do processo clássico que introduz operadores 25 adicionais que exigem circuitos eletrônicos diversificados e não são redutíveis uns aos outros. Como foi mostrado os operadores α , β , e γ podem ser transformados uns nos outros pelas regras do deslocamento à direita (topo) ou à esquerda (base),

resultando em expressões (originárias dos processos de síntese apresentados) que podem, se desejado, conter um único tipo de operação, ou seja, blocos formados por um único tipo de circuito digital. Este processo, repetimos, generaliza para

5 os circuitos digitais multi-valores a propriedade fundamental dos circuitos digitais binários: o fato de se poder concretizar qualquer função digital em uma combinação de blocos NAND ou NOR, prática universal hoje em dia no projeto de sistemas de processamento de sinais digitais binários.

REIVINDICAÇÕES

1. "CIRCUITO CMOS UNIVERSAL APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES", caracterizado pelo fato de prever modalidades para realizar tanto operações α -topo como γ -topo, dito circuito utiliza 5 montagens de transistores CMOS (transistores de efeito de campo do tipo complementar).

2. "CIRCUITO CMOS UNIVERSAL APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES", segundo o reivindicado em 1 e de acordo com o ilustrado na 10 figura 2, caracterizado pelo fato de que os transistores do tipo canal N (M_{N1} e M_{N2}) tem uma tensão de limiar (V_{TN}) com o valor de 1,5V; quando a tensão de entrada (V_{E1} ou V_{E2}) atinge um valor acima deste limiar entram em condução e, sendo baixa 15 a corrente fornecida pelo transistor de carga (canal P, M_{P3}) a tensão de saída V_s será praticamente zero; alternativamente, quando as entradas estiverem abaixo de 1,5V, o valor de V_s será o menor dos valores na entrada, subtraído de uma parcela muito próxima do valor da tensão de limiar dos transistores 20 canal P (M_{P1} e/ou M_{P2}), cujo valor é de 1V negativo.

3. "CIRCUITO CMOS UNIVERSAL APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES", segundo o reivindicado em 1, caracterizado pelo fato de prever um circuito α -topo, do tipo ilustrado na figura 3, e que 25 é produzido com base em transistores MOS, tendo valores de tensão de limiar 600 mV (negativos) para o canal P e 900 mV (positivo) para o canal N.

4. "CIRCUITO CMOS UNIVERSAL

APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES", segundo o reivindicado em 1, caracterizado pelo fato de permitir o processamento de sinais digitais multi-valores com um único tipo de porta digital.

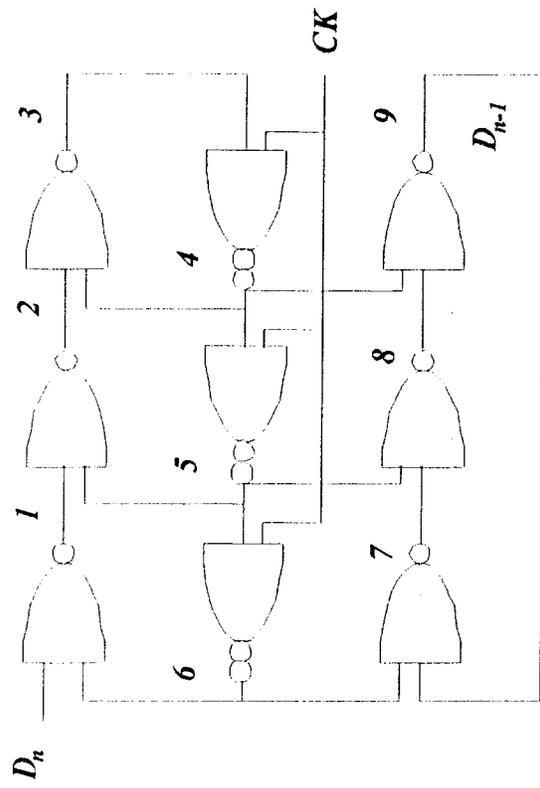


FIG.-1

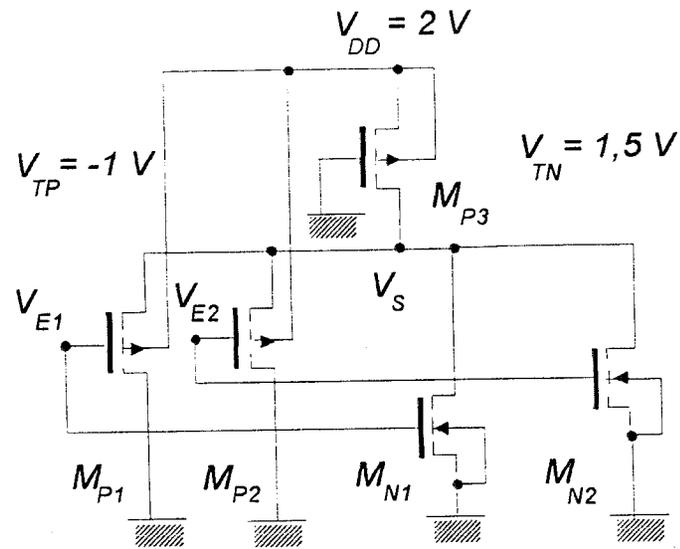


FIG. -2

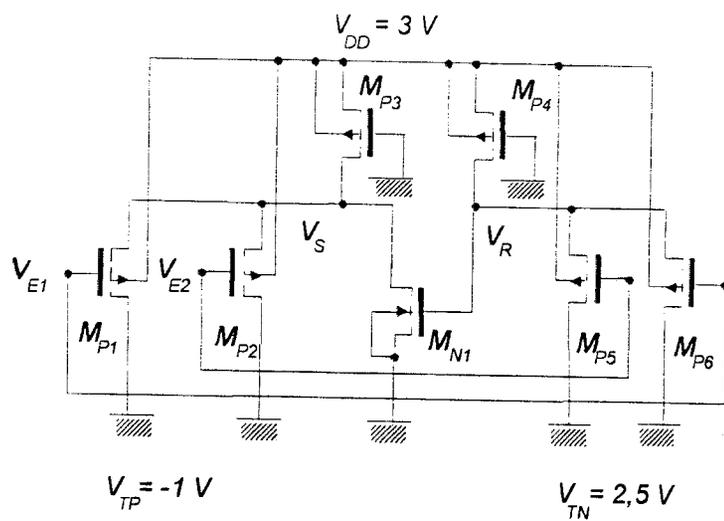


FIG.-3

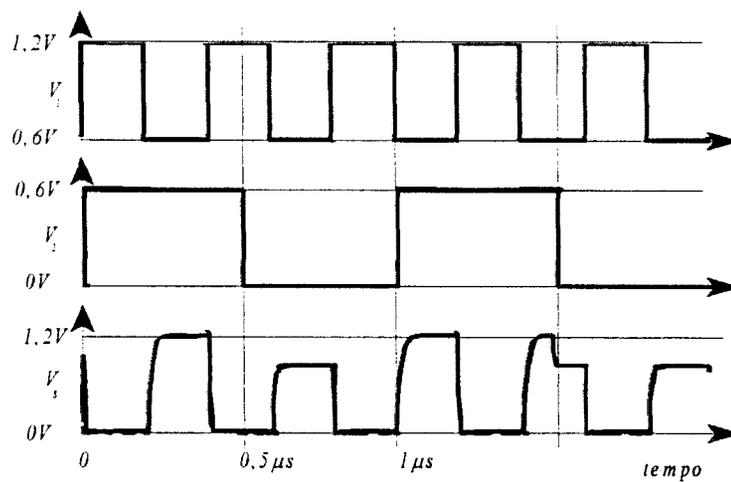


FIG.-4

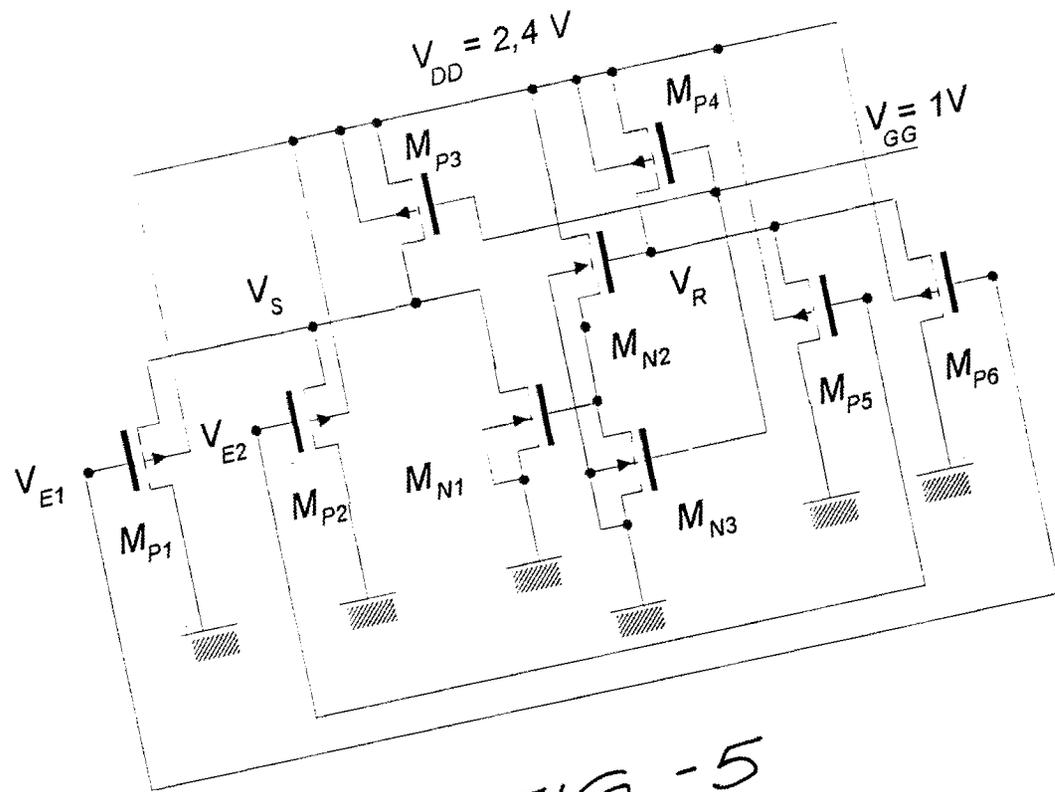


FIG. -5

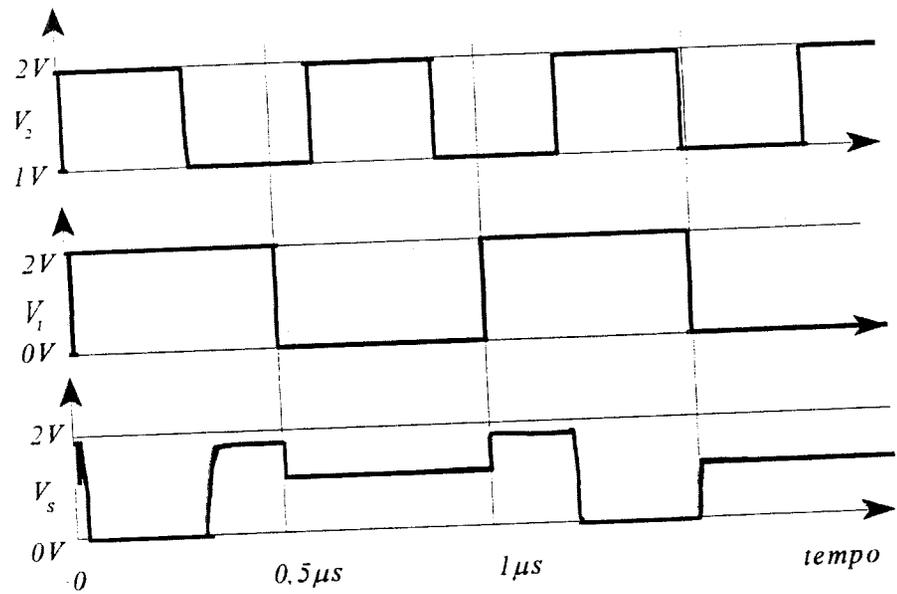


FIG.-6

1/1

RESUMO

"CIRCUITO CMOS UNIVERSAL APLICÁVEL AO PROCESSAMENTO DE SINAIS DIGITAIS MULTI-VALORES",
caracterizado pelo fato de prever modalidades para realizar
5 tanto operações α -topo como γ -topo, dito circuito utiliza
montagens de transistores CMOS (transistores de efeito de
campo do tipo complementar).