



República Federativa do Brasil  
Ministério do Desenvolvimento, Indústria  
e do Comércio Exterior  
Instituto Nacional da Propriedade Industrial

(11) (21) **PI 0400168-0 A**

(22) Data de Depósito: 12/02/2004  
(43) Data de Publicação: 04/10/2005  
(RPI 1813)



(51) Int. Cl.<sup>7</sup>.:  
H04B 1/38  
H04B 1/68

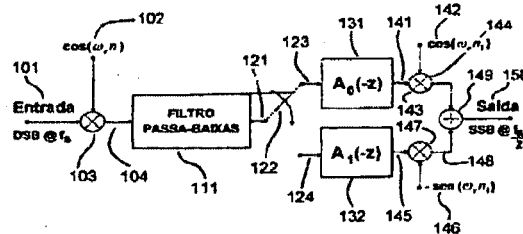
(54) Título: **CONVERSOR DSB/SSB ANALÓGICO COM ELEVADA REJEIÇÃO DE IMAGEM**

(71) Depositante(s): COPPE/UFRJ- Coordenação dos Programas de Pós Graduação de Engenharia da Universidade Federal do Rio de Janeiro (BR/RJ)

(72) Inventor(es): Antônio Petraglia, José Gabriel Rodriguez Carneiro Gomes

(74) Procurador: Joubert Gonçalves de Castro

(57) Resumo: "CONVERSOR DSB/SSB ANALÓGICO COM ELEVADA REJEIÇÃO DE IMAGEM". A presente inovação consiste na implementação completa de um conversor de modulação DSB para SSB a capacitores chaveados. Uma boa faixa dinâmica e sensibilidade baixa aos erros nas razões de capacitâncias são conseguidas, pela implementação do Transformador de Hilbert através de circuitos com funções de transferência recursivas do tipo passa-tudo. A taxa de amostragem do sinal SSB é reduzida por um fator igual a 2 (dois) sem perda de informação por aliasing, reduzindo a complexidade do circuito e o seu consumo de energia. Multiplicadores a capacitores chaveados são usados nos estágios de conversão, e um filtro passa-baixas a capacitores chaveados, também baseado em blocos IIR estruturalmente passa-tudo, é usado no estágio de filtragem em banda-base.



Relatório Descritivo da Patente de Invenção para  
 "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem".

Campo Técnico

5 A inovação ora proposta está relacionada de forma  
 geral ao projeto de *front-ends* em transceptores  
 (transmissores e receptores) heteródinos para sistemas de  
 comunicação modernos. Em particular, ela diz respeito ao  
 projeto de um sistema de conversão DSB/SSB para utilização na  
 seção de frequência intermediária dos transceptores  
 10 mencionados, e conhecimentos técnicos aplicados são  
 processamento de sinais multitaxas, Transformadores de  
 Hilbert e filtros a capacitores chaveados e sua utilização em  
 equipamentos de comunicações.

Descrição da Tecnologia Relacionada

15 Rejeição de Imagem: No estágio de frequência intermediária  
 (*FI*) de transmissores e receptores portáteis modernos, o  
 grande número de canais simultâneos faz com que a segunda  
 frequência intermediária ( $FI_2$ ) seja muito menor do que *FI*. O  
 canal-imagem em  $FI - FI_2$  pode ter uma amplitude até 20 dB  
 20 acima daquela do canal desejado, situado em  $FI + FI_2$ ,  
 causando interferência inaceitável na demodulação, e deve ser  
 portanto rejeitado. Quando um esquema heteródino coerente  
 empregando uma senóide é usado para demodulação de *FI* para  
 $FI_2$ , um filtro passa-banda (FPB) extremamente seletivo  
 25 precisa ser utilizado para o cancelamento do sinal indesejado  
 em  $FI - FI_2$ , e também sua parte negativa em  $-FI + FI_2$ , de modo  
 a reduzir a interferência na demodulação. A implementação  
 integrada do FPB, que possui um fator de qualidade elevado,  
 exige muita área em circuito integrado. Por outro lado, sua

implementação externa aumenta o consumo de potência e os custos de produção.

Eliminação do Canal-imagem em Receptores de Rejeição de Imagem (IR): Um FPB com especificações mais relaxadas pode ser usado em conversores com rejeição de imagem. Neste esquema, duas formas de onda senoidais com  $90^\circ$  de defasagem demodulam o sinal de entrada em componentes  $I$  (em fase) e  $Q$  (em quadratura) que, antes de serem somadas, são filtradas através de uma rede de defasagem (RD) de  $90^\circ$ , para eliminar a imagem em  $\pm FI_2$ , enquanto que o sinal desejado reaparece com o dobro da sua amplitude de entrada. Por isso, o FPB pode ser projetado com especificações mais relaxadas, para uma implementação monolítica. Este esquema pode ser considerado como o *dual* do método de cancelamento seletivo de bandas laterais, aplicado em transmissores SSB. Nestes sistemas, a complexidade de uma FPB suficientemente seletivo para bloquear uma das bandas laterais do sinal, e deixar passar a outra, é evitada pelo uso de uma estrutura mais eficaz, na qual uma RD de  $90^\circ$  com banda larga participa de forma fundamental, ao gerar quadratura em todas as componentes em frequência dos sinais  $I$  e  $Q$ . A eficiência destes sistemas depende fortemente da capacidade da RD em simultaneamente gerar defasagem de  $90^\circ$  e resposta em magnitude constante nas linhas  $I$  e  $Q$ , sobre toda faixa de frequências de interesse.

Redes de defasagem analógicas e redes de defasagem digitais: Uma técnica simples de produção de quadratura, comumente utilizada em receptores de rejeição de imagem, consiste em passar o sinal por um par integrador/diferenciador RC que introduz defasagens de  $+45^\circ$ . Infelizmente, o balanceamento de magnitude entre as linhas  $I$  e  $Q$  depende fortemente da

frequência, já que um dos ramos é a saída de um filtro passa-baixas, enquanto que o outro é a saída do filtro passa-altas. Na prática, imprecisões nos valores reais de  $R$  e de  $C$  causam descasamentos adicionais de fase e de magnitude entre as

5 linhas, reduzindo ainda mais a taxa de rejeição de imagem (IRR). Uma avaliação de implementações recentes mostra que uma IRR superior a 35 dB é ainda difícil de ser atingida com esta técnica. O erro de quadratura pode ser corrigido em

10 parte, porém o custo de alguma forma de compensação, como por exemplo, ajustes diretos (*trimming*) sobre o circuito integrado. Para eliminar estas dificuldades, o modulador SSB

apresentado por Hawley et al., em 1995, propõe a separação  $I/Q$  no domínio digital. O diagrama de blocos básico desta

15 implementação digital aparece na Fig. 12(a). Uma das desvantagens desta solução digital, e de receptores de  $FI$  digitais em geral, é a performance exigente que é requerida do conversor  $A/D$  em termos de faixa dinâmica e consumo de

potência. A implementação da rede de defasagem no domínio analógico, mas em tempo discreto, mostrada na Fig. 12(b), é

20 uma boa alternativa que pode ser realizada em circuitos a capacitores chaveados, sem as desvantagens de precisão, faixa dinâmica e potência que foram mencionadas.

Implementação de uma RD no domínio analógico em tempo discreto: Nós propomos que a modulação SSB seja feita no

25 domínio analógico em tempo discreto, usando uma RD de  $90^\circ$  muito precisa, implementada a capacitores chaveados. A filtragem de uma seqüência de valores reais (sinal mostrado) por uma RD de  $90^\circ$  de banda larga gera um sinal analítico, com valores complexos, cujo espectro, idealmente, é igual a zero

30 para frequências negativas e igual ao espectro do sinal de

entrada para frequências positivas. O sinal analítico pode então ser processado e convertido ao domínio digital na metade da taxa de amostragem da entrada, sem quaisquer efeitos de aliasing, já que todas as componentes negativas foram eliminadas. Conseqüentemente, podem ser obtidas especificações menos exigentes para os circuitos de *FI*, incluindo o conversor A/D, resultando principalmente em menor consumo de potência e maiores níveis de integração. Nós usamos um Transformador de Hilbert para a implementação de uma RD de 90° de banda larga, com casamento preciso de ganho e fase entre as linhas *I* e *Q*, e esta rede tem um grande número de aplicações práticas.

Transformador de Hilbert IIR a capacitores chaveados: Um estudo comparativo mostrou que Transformador de Hilbert discretos recursivos (IIR) têm vantagens, no que diz respeito ao número de operações aritméticas e atraso total, quando comparados aos Transformadores baseados em estruturas FIR. Para aplicações na faixa de *FI*, o Transformador de Hilbert IIR pode ser projetado usando técnicas de capacitores chaveados simples, porém precisas, para uma implementação monolítica de baixo consumo e pequena área. O projeto usando filtros por capacitores chaveados estruturalmente passa-tudo leva à boa faixa dinâmica da RD e reduzida sensibilidade de sua resposta em frequência tanto aos erros nas razões de capacitâncias dos processos de fabricação CMOS como também ao ganho DC finito dos amplificadores operacionais, garantindo melhor casamento *I/Q* do que as redes RC-CR convencionais. O Transformador de Hilbert é considerado como um caso particular de filtro de meia-banda, o que permite (1) que os sinais *I* e *Q* sejam sub-amostrados por 2 já na entrada da rede

de defasagem e (2) que Transformadores de Hilbert IIR com fase aproximadamente linear sejam projetados.

DESCRIÇÃO DETALHADA DA INVENÇÃO

A presente invenção descreve um conversor DSB/SSB (double-sided band para single-sided band) operando sobre sinais analógicos em tempo discreto, usando um Transformador de Hilbert implementados por circuitos estruturalmente passatudo a capacitores chaveados. Multiplicadores a capacitores chaveados foram projetados para os estágios de conversão, e um filtro a capacitores chaveados elíptico de quinta ordem, também baseado em blocos IIR estruturalmente passatudo, foi usado no estágio de filtragem passa-baixas. A taxa de amostragem do sinal SSB é reduzida à metade no domínio analógico por um circuito decimador a capacitores chaveados.

DESCRIÇÃO RESUMIDA DOS DESENHOS

Figura 1: Diagrama de blocos da invenção (conversor DSB/SSB completo), incluindo os seus quatro elementos principais: modulador de entrada, filtro passa-baixas, transformador de Hilbert (rede de defasagem de 90°) e modulador de saída.

Figura 2: Conversor DSB/SSB sem decimação por 2 incorporada, para explicação do seu funcionamento.

Figura 3: Explicação do funcionamento do conversor DSB/SSB.

Figura 4: Eliminação dos decimadores e do atraso unitário. O conjunto de blocos é substituído por uma chave multiplexadora

1:2.

Figura 5: Multiplicador de Entrada.

Figura 6: Esquema de chaveamento (sinais de controle) do conversor DSB/SSB.

Figura 7: Forma de onda (cosseno) implementada pelo multiplicador de entrada.

Figura 8: Filtro passa-baixas de quinta ordem; implementação a capacitores chaveados.

Figura.9: Transformador de Hilbert.

Figura.10: Multiplicador/somador de saída.

5 Figura.11: formas de onda (cosseno e menos-seno) implementadas pelo multiplicador de saída.

Figura.12: Contexto de uso do sistema proposto: (a) implementação do conversor DSB/SSB no domínio digital; (b) nossa invenção consiste em realizar o conversor DSB/SSB em  
10 tempo discreto, usando hardware analógico.

Figura 13: Demonstração experimental do funcionamento do conversor DSB/SSB (Figuras 13 (a)-(d)) e análise de sensibilidade (Figuras 13 (e), (f)). Na Fig. 13 (a), um sinal DSB é aplicado à entrada do conversor DSB/SSB. A saída SSB, em que a banda superior é atenuada em 40 dB, é mostrada na  
15 Fig. 13(b). A Fig. 13(c) mostra a resposta em frequência do filtro passa-baixas elíptico de quinta ordem, e a Fig. 13(d) mostra a defasagem em banda larga gerada pelo Transformador de Hilbert. A variação da resposta em frequência do filtro de  
20 meia-banda associado com o Transformador de Hilbert, causada pela implementação de coeficientes usando razões de números inteiros, é mostrada na Fig. 13(e). A variação causada pelo ganho  $D_{c\text{finito}}$  dos amplificadores operacionais é mostrada na Fig.13(f).

## 25 DESCRIÇÃO DETALHADA DE MODALIDADES PREFERIDAS

O conversor DSB/SSB completo é mostrado na Fig. 1, e a ilustração do seu funcionamento aparece na Fig. 3. Ele é formado por quatro blocos básicos, que são o multiplicador de entrada (101, 102 e 103), o filtro passa-baixas (111), o  
30 Transformador de Hilbert (121 até 132) e o

multiplicador/somador de saída (141 até 150). Cada um destes blocos é explicado em detalhes nas Seções 6.1 até 6.4, e o funcionamento geral do sistema é explicado nos parágrafos seguintes.

5                   O sinal de entrada 101, 301 é uma forma de onda AM/DSB (modulada em amplitude com banda bilateral) com portadora suprimida, representada em tempo discreto no domínio analógico, e localizada na frequência  $\omega_c$ . O conjunto de canais de entrada pode ser grande o suficiente para que o

10 espectro do sinal chegue até frequências próximas de zero, então é necessário que a taxa de Nyquist 302 seja pelo menos igual a  $2\omega_c$ , mas o conversor DSB/SSB usa taxa de Nyquist  $\omega_N = 4\omega_c$  por causa da demodulação AM (102, 103) que acontece antes do filtro passa-baixas discreto 111, 311. A taxa de

15 amostragem é portanto  $\omega_s = 2\omega_N = 8\omega_c$ . A demodulação AM serve para gerar uma versão em banda-base 305 do canal desejado 303. Ela é feita pelo multiplicador de entrada 102, que opera na taxa  $\omega_s$  e realiza a multiplicação, amostra por amostra, entre a

20 forma de onda de entrada 101 e uma função cosseno 103 na frequência  $\omega_c$ , realizada em tempo discreto pelo circuito da Fig. 5. O resultado da multiplicação 104, 304 é processado pelo filtro passa-baixas discreto 111, 311, que separa somente a representação em banda-base dos canais recebidos, e também do canal desejado 305. A seqüência de saída 121, 321

25 do filtro 111, 311 é decimada por dois (ver explicação da decimação por dois no próximo parágrafo) através de um par de chaves 122, 123, 124 a aplicada a uma rede de defasagem de  $90^\circ$ . A rede de defasagem de  $90^\circ$  é um Transformador de Hilbert implementado a partir de filtros passa-tudo discretos 131 e

30 132. O filtro 131 altera a fase da entrada 123 conforme uma



função  $\phi(\omega)$  gerando a saída 141, 331. O filtro 132 altera a fase da entrada 124 conforme a função fase do filtro 131 acrescida de  $90^\circ$ , ou seja,  $\phi(\omega) + (\pi/2)\text{sgn}(\omega)$ , gerando a saída 145, 332. O cancelamento de uma das bandas laterais do sinal 331 pode ser conseguido ao mesmo tempo em que ele é novamente modulado em amplitude, gerando uma forma de onda AM/SSB (modulada em amplitude com banda unilateral) que aparece na saída 150, 371 do sistema. Para conseguir este cancelamento, o sinal 141, 331 é modulado 361 através do multiplicador 143 por uma função cosseno 142, 341 na frequência  $\omega_c$  (amostrada a  $\omega_s/2$ ), e o sinal 145, 332 é modulado 362 por um seno negativo 146, 342 na frequência  $\omega_c$  (também amostrado a  $\omega_s$ ), que completa a defasagem de  $180^\circ$  necessária para o cancelamento de uma das bandas.

Explicação da decimação por dois: A Fig. 2 ilustra um conversor DSB/SSB que implementa a mesma função do sistema proposto na Fig. 1. O processamento do sinal AM/DSB 101 até a representação em banda-base 121 é igual ao que foi descrito antes. Entretanto, o filtro de meia-banda complexo é implementado através da decomposição  $H(z) = A_0(-z^2) + jz^{-1}A_1(-z^2)$ , na qual um atraso 211 é utilizado e os filtros 221 e 222 operam na mesma taxa de amostragem da entrada 101,  $\omega_s$ . Os multiplicadores 251 e 252, e o somador 271 também operam no dobro da taxa dos blocos correspondentes (143, 147 e 149) no sistema proposto. Além disso, todos os sinais processados de 121 em diante (121, 212, 231, 232, 262 e 281), além das formas de onda senoidais fixas 241 e 242, são amostrados no dobro da taxa necessária, que é  $\omega_s/2$  (usada em 123 a 150). A comparação dos espectros 301 e 371 mostra que o sinal SSB 281

tem banda no máximo igual à metade da banda do sinal de entrada DSB 101, e portanto, ele pode ser decimado por dois pelo bloco 291 sem perda de informação, de forma que os sinais 292 e 150 são idênticos. A eliminação de metade da banda do sinal pode também ser interpretada como consequência do uso das redes de defasagem de  $90^\circ$  221, 222 ou 131, 132. A posição do decimador 291 pode ser alterada: ele pode ser colocado antes dos multiplicadores 251 e 252, e também antes dos filtros 221 e 222. Isso faz com que os filtros 221, 222, os multiplicadores 251, 252 e todas as formas de onda envolvidas possam ser representados com a metade da frequência de amostragem. Em particular, somente quatro amostras são necessárias para a representação do cosseno e seno negativo em  $\omega_c$  (Fig. 10, mais explicada na Seção 6.4), e os filtros 221 e 222 são trocados por 131 e 132. Finalmente, como mostrado na Fig. 4, o atraso 42, 211 e os decimadores 43 podem ser substituídos por uma chave multiplexadora 1:2 46, mantendo os sinais 47 e 48 idênticos aos sinais 44 e 45 conforme a Identidade Nobre. Estas modificações levam ao conversor DSB/SSB proposto na Fig. 1.

#### Multiplicador de Entrada

O circuito na Fig. 5 é usado para gerar um sinal demodulado em banda-base 104, 311, a partir do sinal de entrada DSB 101, gerando também imagens 304 em  $\pm 2\omega_c$ . Este multiplicador gera em sua operação uma forma de onda 72 com 8 amostras, mostrada na Fig. 7, que representa um cosseno 71 com frequência  $\omega_c$ . Portanto, a frequência de chaveamento dos sinais de controle do multiplicador de entrada é igual a  $8\omega_c$ . Os esquemas dos sinais de controle (fases) das chaves é determinado por 16 intervalos adjacentes de tempo, como

mostrado na Fig. 6. Os símbolos que aparecem junto às chaves 501, 503, 504, 507, 508 e 510 na Fig. 5 indicam os intervalos de tempo durante os quais a chave está fechada. Os capacitores 506 e 507 têm capacitância normalizada igual a 1,00, e o capacitor 505 tem capacitância normalizada 0,71.

O amostrador sample-and-hold composto pela chave 501, capacitor 502 e buffer 512 amostra o sinal DSB na fase 601 e o mantém constante durante a fase 602, na qual a multiplicação por um dos quatro coeficientes da Fig. 7 é feita. A escolha do valor absoluto do coeficiente (0,71 ou 1,00) é feita pelas chaves 507 e 508 controladas por 612 e 63, e a forma como os capacitores 505, 506 e 509 são carregados define o sinal do coeficiente, o que é definido pelas chaves 503, 504 e 510 sob controle das formas de onda 641, 642 e 601. O amplificador 511 realiza as somas de carga necessárias e mantém o resultado 104 fixo durante a fase 602, na qual o sinal 104 é amostrado pelo filtro passa-baixas 111.

A efetuação de sinais nulos decorrem da multiplicação por amostras senoidais iguais a zero, o que é alcançado através das chaves analógicas acionadas pela seqüência de controle apropriada, com contribuições somadas pelo amplificador operacional presente na saída do circuito e seu capacitor de realimentação.

#### Filtro Passa-Baixas

O filtro passa-baixas 111 é mostrado em detalhes na Fig. 8. Ele é usado para separar o sinal em banda-base 311 dentre todas as componentes 304 geradas pelo multiplicador 103. Ele amostra o sinal de entrada 104 na fase 601 e retorna a saída 121 na fase 602, e todas as suas chaves e componentes operam a  $4\omega_c$ . O projeto de estrutura deste filtro elíptico,

de 5ª ordem, foi mostrado por Petraglia e Monteiro em 1998. Assim como o Transformador de Hilbert 131, 132 ou 211, 221, 222, ele é montado a partir de seções estruturalmente passa-tudo 82, 84 e 85. A magnitude da resposta em frequência destes filtros 82, 84 e 85 permanece igual a 1,00 independentemente de erros na realização das razões de capacitância entre os capacitores 821 e 822; capacitores 841, 842 e 843; e capacitores 851, 852 e 853. Como consequência, baixa sensibilidade em relação às variações nas capacitâncias do circuito e elevada faixa dinâmica entre os pontos 104 e 121 são obtidas. As funções de transferência das seções SC passa-tudo de primeira 82 e segunda 84, 85 ordem são, respectivamente:

$$A_p(z) = z^{-3/2} \frac{z^{-1} - (1-a)}{1 - (1-a)z^{-1}} \quad (1)$$

$$A_s(z) = z^{-1/2} \frac{z^{-2} - z^{-1} - (2-\alpha_1)z^{-1} + 1 - \alpha_2}{1 - (2-\alpha_1)z^{-1} + (1-\alpha_2)z^{-2}} \quad (2)$$

sendo que a realização dos coeficientes  $\alpha$ ,  $\alpha_{1s}$ ,  $\alpha_{2s}$ ,  $\alpha_{1i}$  e  $\alpha_{2i}$  é feita pelos pares de capacitores (821, 822), (841, 843), (842, 843), (851, 853) e (852, 853), mostrados na Fig. 8. O filtro 111 foi projetado para atender às seguintes especificações: faixa de passagem de 0 a 400 Hz ( $0,2\pi$ ) com 0,1 dB de ripple, e faixa de rejeição iniciando em 600 Hz ( $0,3\pi$ ) com atenuação mínima de 40 dB. Com estas especificações, os coeficientes calculados são:  $\alpha=0,3578$ ,  $\alpha_{1s}=0,5221$ ,  $\alpha_{2s}=0,1165$ ,  $\alpha_{1i}=0,6456$  e  $\alpha_{2i}=0,3960$ .

A amostragem do sinal de entrada 104 é feita na fase 601, pelo sample-and-hold 81. Um amostrador sample-and-hold 83 é também colocado entre os blocos 82 e 84, e as

saídas dos blocos 84 e 85 são conectadas através das chaves 871 e 872, ambas operando na fase 602, a um circuito somador 86. O bloco 86 complementa o número de atrasos necessários no caminho inferior, e realiza a soma dos sinais filtrados pelo  
 5 caminho superior 82, 83, 84 e inferior 85, colocando o resultado 121 disponível na fase 601.

Transformador de Hilbert

O Transformador de Hilbert composto pelos elementos 122, 123, 124, 131 e 132 é mostrado em detalhes no diagrama  
 10 esquemático da Fig. 9. Ele é o principal bloco do conversor DSB/SSB proposto. Dois filtros passa-tudo 94, 95 são usados no caminho superior, e um filtro passa-tudo 96 é usado no caminho inferior. O cálculo dos coeficientes dos filtros 94, 95 e 96 foi feito com o objetivo de realizar um Transformador  
 15 de Hilbert entre as saídas passa-tudo 141 e 145. As funções de transferência, incluindo os coeficientes calculados, são as seguintes:

$$A_0(z) = \frac{z^{-1} + 0.1907}{1 + 0.1907z^{-1}} \cdot \frac{z^{-1} + 0.8607}{1 + 0.8607z^{-1}} \quad (3)$$

$$A_1(z) = \frac{z^{-1} + 0.5531}{1 + 0.5531z^{-1}} \quad (4)$$

20 Os coeficientes 0,1907, 0,8607 e 0,5531 são implementados pelos pares de capacitores (942, 941), (952, 951) e (962, 961). A chave multiplexadora 46 é implementada pelos amostradores do tipo sample-end-hold 91,92 e 93. O conjunto 91 amostra o sinal de entrada 41, 121, na fase 611,  
 25 e as chaves 921 e 931 realizam a multiplexação descrita pela representação 41, 46, 47, 48. O sample-end-hold da chave 923 é usado para re-sincronizar as amostras processadas nos caminhos superior e inferior, de forma que as seqüências de

amostras nos nós 123 e 124 são definidas sobre os mesmos intervalos de tempo 611. A função realizada pela seqüência de amostradores 93 é um atraso fracionário,  $z^{-3/2}$ , de forma que as saídas 141, 145 dos dois caminhos passa-tudo estão disponíveis na fase 611, e todas as chaves do Transformador de Hilbert são controlados por 611 e 612, o que significa que esta parte do sistema opera à metade da taxa de amostragem da entrada, ou seja,  $\omega_s/2$ . A conversão de DSB para SSB é realizada na menor taxa de amostragem possível. Um sample-and-hold 97 é também usado para conectar os filtros 94 e 95.

Multiplicador de Saída

O multiplicador de saída 143, 147, 149, que também opera à metade da taxa de amostragem do filtro passa-baixa 111, é mostrado em detalhes no diagrama esquemático da Fig. 10. Ele realiza simultaneamente três operações: (1) a multiplicação 143 da seqüência saída 141 do passa-tudo superior 131 por um cosseno 142 de 4 amostras 1102 (mostrado na Fig. 11), (2) a multiplicação 147 da seqüência de saída 145 do passa-tudo inferior 132 por um seno negativo 146 de 4 amostras 1104, e (3) a soma 149 dos resultados 144 e 148 destas multiplicações, amostra por amostra, colocando o resultado para leitura na saída do sistema 150, na fase 612. As formas de onda de 4 amostras são representações das formas de onda  $\cos(\omega_c n)$  1101 e  $-\sin(\omega_c n)$  1103, também mostradas na Fig. 11, sendo que 4 é o número mínimo de amostras necessário para a representação da diferença de  $90^\circ$  entre as fases de 1101 e 1103. A freqüência destes sinais senoidais é portanto  $\omega_c = \omega_s/8$ , onde  $\omega_s/2$  é a taxa de amostragem do sistema da Fig. 10. Quando estas senóides 1102, 1104 são usadas para modular o sinal em banda-base complexo presente na saída do

Transformador de Hilbert 141, 145, a soma das partes real 361 e imaginária 362 do sinal complexo gera um sinal modulado SSB 371 com centro na frequência  $\omega_c$ , como mostrado na Fig. 3.

A seqüência de saída 150 corresponde à multiplicação/adição  
 5  $x_{SSB}(n) = -\sin(\omega_c n) y_{Re}(n) + \cos(\omega_c n) y_{Im}(n)$ , o que implica em gerar a seqüência  $\{+y_{Re}(n); -y_{Im}(n+1); -y_{Re}(n+2); +y_{Im}(n+3)\}$  na saída 150, em cada período das senóides 1102 e 1104. Isso acontece porque o seno negativo é representado por  $[0; -1; 0; 1]$  e o cosseno é representado por  $[1; 0; -1; 0]$ . A chave 1002,  
 10 controlada pelo sinal 65, copia a amostra  $y_{Re}(n)$  141 diretamente para a saída 150, e a chave 1012, controlada pelo sinal 68, copia a amostra  $y_{Im}(n+3)$  145 diretamente para a saída 150. Para a implementação dos coeficientes  $-1,00$ , as  
 15 chaves 1004, 1006, 1007, 1009 e 1011 (controladas pelos sinais 691 e 692), os capacitores iguais 1003, 1008, e o amplificador 1010 são utilizados - estes elementos fazem a transferência invertida de carga que inverte as amostras  $y_{Im}(n+1)$  e  $y_{Re}(n+2)$ . A amostra  $y_{Im}(n+1)$  é selecionada pela  
 20 chave 1005 na fase 66, e a amostra  $y_{Re}(n+2)$  é selecionada pela chave 1001 na fase 67. Em todos os quatros casos, o resultado correto é escrito na fase 611 na saída 150 do circuito, e pode ser lido na fase 612.

#### Demonstração Experimental

25 Uma montagem experimental do sistema aqui descrito foi feita, usando componentes discretos. As medições realizadas são mostradas nas Fig. 13(a)-(d), e os resultados de duas simulações de sensibilidade aparecem nas Fig. 13(e) e (f).

30 O espectro em frequência do sinal de entrada 101 aplicado ao conversor DSB/SSB nos testes experimentais é

mostrado na Fig. 13(a) e o espectro em frequência do sinal de saída correspondente 150, na Fig. 13(b). Pode-se observar na Fig. 13(b) que a banda superior do sinal de entrada foi atenuada em aproximadamente 40 dB, e pode-se notar também a presença de um sinal espúrio na frequência central, gerada pela modulação de um offset de tensão DC pelo multiplicador/somador de saída. A amplitude do sinal espúrio poderia ser grande, neste exemplo usando componentes discretos, se não fossem usados buffers para desacoplamento de tensão DC entre as saídas do Transformador de Hilbert e as entradas do multiplicador/somador de saída. Esse efeito pode ser consideravelmente reduzido, no caso de uma implementação do conversor DSB/SSB em circuito integrado, através do uso de uma estrutura parcialmente ou integralmente diferencial.

A Fig. 13(c) mostra as respostas em frequência experimental 13032 e teórica 13031, obtidas para o filtro 111 passa-baixas elíptico de quinta ordem apresentado na Fig. 8 com os coeficientes das Eqs. 1 e 2. A diferença de fase obtida entre os caminhos superior 131 e inferior 132 do Transformador de Hilbert 91-961 ou seja, entre 141 e 145, é mostrada na Fig. 13(d), em uma curva obtida por simulação 13041 e outra experimental, 13042. Por causa da redução de taxa de amostragem feita por 122, 123, 124, a frequência de amostragem é  $\omega_c/4$  para o Transformador de Hilbert, 2 kHz no caso desta demonstração.

#### Simulações

Por causa da baixa sensibilidade do Transformador de Hilbert 131, 132 aos erros nas razões entre capacitâncias 941, 942, 951, 952, 961 e 962, os seus coeficientes ideais mostrados nas Eq. 3 e 4 podem ser realizados, em uma



implementação integrada, usando arrays com um pequeno número de capacitores unitários. Apesar da baixa precisão do valor da capacitância unitária, razões de capacitâncias podem ser implementadas com alta precisão, em torno de 0,1%. As razões de capacitâncias inteiras 3/16 (942, 941), 6/7 (952, 951) e 6/11 (962, 961) foram escolhidas para aproximar os coeficientes 0,1907, 0,8607 e 0,5531, o que requer um total de 49 capacitores unitários. O layout dos capacitores em circuito integrado pode ser feito em uma matriz quadrada com 7x7 capacitores unitários, aumentando a precisão por minimizar efeitos de gradiente. As respostas em frequência do filtro de meia-banda associado  $G(z)$ , com coeficientes ideais 13051 e com coeficientes aproximados pelas razões de inteiros mencionadas 13052, são comparadas na Fig. 13(e). Pode-se verificar que o desvio da resposta em frequência é desprezível tanto na faixa de passagem como na de rejeição, o que comprova a baixa sensibilidade do Transformador de Hilbert por capacitores chaveados proposto. O Transformador de Hilbert proposto também apresenta baixa sensibilidade ao ganho DC finito dos amplificadores operacionais. A Fig. 13(f) mostra uma comparação entre as respostas em frequência usando amplificadores operacionais ideais (com ganho DC finito) 13061 e com ganho DC igual a 60 dB, 13062. Estes resultados mostram que projetos de amplificadores operacionais mais simples e mais estáveis podem ser usados, e também que se pode reduzir ganho DC para se aumentar a banda passante em aplicações de alta frequência (de 10 a 100 MHz, como por exemplo no caso do processamento de sinais em frequências intermediárias usando circuitos por capacitores chaveados).

Investigações semelhantes foram feitas para o filtro passa-baixas elíptico de quinta ordem 111.

#### Vantagens da Invenção

Com base na descrição de modalidades preferidas que foi apresentada, a seguir será feita uma descrição de algumas das vantagens da invenção. Embora as modalidades ilustrativas tenham sido aqui descritas com referência aos desenhos anexos, deve-se entender que a presente invenção não delimita a essas modalidades precisas, e que várias outras alterações e modificações podem ser realizadas nela por um técnico habilitado, sem fugir do escopo ou espírito da invenção. Pretende-se que todas essas alterações e modificações fiquem incluídas no escopo da invenção, na forma definida pelas reivindicações anexas.

#### 15 Baixa Sensibilidade

O fato de que a resposta em frequência do filtro de meia-banda apresenta desvios desprezíveis na presença de erros na implementação dos coeficientes 13051, 13052 e ganho DC finito dos amplificadores operacionais 13061, 13062 é a principal razão para as diferenças de fase e de amplitude serem pequenas entre as linhas I 141 e Q 145, isto é, o casamento entre ambas as linhas permanece preciso apesar de aspectos não ideais da implementação. Portanto, as Fig. 13(e) e (f) proporcionam uma indicação alternativa do bom casamento I/Q, o que tem como resultado final a alta IRR observada na Fig. 13(b).

O multiplicador de entrada com 8 amostras (Fig. 5) utiliza duas razões de capacitâncias: uma delas unitária (506, 509) e a outra igual a 0,7071 (505, 509). Verificamos que esta última pode ser aproximada por 7/10 sem qualquer

degradação perceptível na performance do conversor DSB/SSB. O coeficiente 1 do multiplicador/somador da Fig. 10 requer somente uma razão de capacitores iguais (1003,1008).

#### Frequência de Chaveamento

5 O controle de todas as chaves analógicas do conversor DSB/SSB é especificado pelo diagrama de tempo da Fig. 6. As unidades lógicas usadas para a geração destes sinais utilizam um total de 230 transistores CMOS, podendo ser fabricado no mesmo circuito integrado do conversor  
10 DSB/SSB com custo adicional desprezível. Uma parte dos circuitos lógicos tem como função garantir a não superposição das fases. É também importante observar, comparando  $G_1$  e  $G_2$  com  $F_1$  e  $F_2$ , que esse diagrama explora o fato de que o Transformador de Hilbert proposto 131, 132 opera na metade da  
15 taxa de amostragem do sinal de entrada 101.

Uma simulação elétrica do circuito lógico descrito foi feita usando os parâmetros de um processo CMOS 0,35 $\mu$ m. Nesta simulação, foi possível realizar os sinais de controle mais rápidos da Fig. 6 ( $G_1$  601 e  $G_2$  602) à frequência de 40  
20 MHz, obtendo todos os sinais completamente estabilizados ao final de 25 ns. Daí se conclui que a frequência de chaveamento pode ainda ser facilmente estendida a valores próximos de 200 MHz ou mais. Estes resultados aliados aos avanços tecnológicos obtidos nos processos de fabricação de  
25 circuitos integrados, que permitem que circuitos a capacitores chaveados operem em frequências de amostragem acima de 200 MHz, indicam que o processamento de sinais analógicos na faixa de FI (10 a 100 MHz) de transceptores modernos é realizável com a técnica aqui proposta.

30 Faixa Dinâmica

Como o Transformador de Hilbert 131, 132 da Fig. 9 é composto por filtros estruturalmente passa-tudo 94, 95 e 96, os sinais nas saídas dos amp ops 97, 141 e 145 terão amplitudes idênticas, independentemente dos erros nas razões de capacitâncias (941, 942), (951, 952) e (961, 962) que definem os coeficientes das eq. 3 e 4. Como consequência, uma boa faixa dinâmica pode ser conseguida. Pode-se comparar este resultado com outras aplicações práticas, nas quais o Transformador de Hilbert discreto é aproximado por longas linhas de atraso. Nestas aplicações, o espalhamento inevitavelmente alto dos coeficientes faz com que sinais com grande variedade de níveis de amplitude sejam somados para formar a saída, afetando particularmente o casamento  $I/Q$  e portanto reduzindo a IRR alcançável.

#### 15 Consumo

Para lidar com o problema de faixa dinâmica mencionado anteriormente, uma representação interna de 18 bits foi usada no projeto do Transformador de Hilbert digital FIR usado por Hawley et al. em 1995, como ilustrado na Fig. 12, de forma tal que o filtro de meia-banda correspondente seria teoricamente capaz de alcançar uma atenuação de 70 dB na faixa de rejeição. Fabricado em um processo CMOS 1  $\mu\text{m}$ , o protótipo tem uma área ocupada de 25,2  $\text{mm}^2$  e dissipa 1,8 W ao operar a 300 MHz com alimentação de 5 V. Os resultados experimentais anunciados, obtidos a uma taxa de amostragem mais baixa, indicam uma IRR em torno de 45 dB, resultado este que está próximo do obtido neste trabalho (Fig. 13(b)). Considerando um processo CMOS 0,8  $\mu\text{m}$  com alimentação de 5 V, taxa de amostragem igual a 18 MHz, amplificadores operacionais de transcondutância em configuração cascode e

coeficientes realizados em arrays de capacitores unitários, o consumo do Transformador de Hilbert por capacitores chaveados da Fig. 9 seria aproximadamente 51 mW e a área ocupada seria cerca de 1,2 mm<sup>2</sup>. Uma vez que o consumo dinâmico de um circuito digital aumenta linearmente com a frequência, o Transformador de Hilbert digital 1207 acima mencionado dissiparia em torno de 108 mW a 18 MHz. Uma economia substancial tanto na área de silício como no consumo de potência é, portanto conseguida com o método proposto. Além disso, a complexidade do estágio de conversão A/D 1201, 1206, também é reduzida, já que ele pode ser posicionado após a conversão DSB/SSB 1201 e operado, por exemplo, a 18 MHz, ao invés dos 36 MHz que seriam necessários caso um Transformador de Hilbert digital fosse usado 1206.

#### 15 Ruído

Ruído do tipo flicker gerado por filtros e mixers é outro detalhe importante na implementação CMOS de circuitos de comunicação, porque o espectro do sinal demodulado se estende a frequências próximas de zero. No caso de filtros por capacitores chaveados, o ruído térmico (de banda larga) gerado pela resistência de uma chave analógica fechada pode ter um espectro cuja largura de banda excede por diversas ordens de magnitude a frequência de amostragem, fazendo com que a potência do ruído apareça amplificada em banda-base. O efeito de tais fontes de ruído pode ser reduzido por algumas técnicas usadas em conjunto. Especificamente, esquemas de codificação sem nível DC, que funcionam como filtros passa-altas sobre o sinal demodulado, removem parte da potência do ruído. Além disso, a potência do sinal pode ser aumentada nos estágios de RF, por exemplo, pelo uso de mixers ativos ao

invés de passivos. Por outro lado, já que os estágios que se seguem aos mixers operam em frequências mais baixas, dispositivos maiores podem ser usados para reduzir o ruído. Esta técnica pode ser prontamente aplicada aos circuitos por 5 capacitores chaveados conforme apresentado, por causa do pequeno espalhamento de capacitâncias e pequena sensibilidade da estrutura com relação às razões de capacitâncias, estas podem ser aproximadas por razões de pequenos números inteiros, o que permite aumentar o valor da capacitância 10 unitária com o objetivo de reduzir o ruído, sem aumento significativo da área de silício. Um método semelhante foi aplicado por Barúqui et al., 2002. Finalmente, a dupla amostragem correlacionada, uma técnica familiar a projetistas de redes a capacitores chaveados, é também eficiente na 15 redução da potência de ruído em sistemas de comunicação.

A metodologia descrita, assim como os resultados experimentais apresentados, não devem ser considerados como limitativos ao escopo da presente invenção, pois a mesma pode ser aplicada utilizando técnicas de circuitos amostrados no 20 tempo, tais como, corrente chaveada, charge coupled devices, circuitos analógicos com coeficientes dependentes de largura de pulso, mosfet chaveado, dentre outras, em implementações com componentes eletrônicos discretos ou monolíticas em circuito integrado.

REIVINDICAÇÕES

1- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" que consiste de um conversor de banda lateral dupla (DSB) para banda lateral única (SSB),  
5 caracterizado pela utilização de um filtro passa-baixas e de um Transformador de Hilbert implementados a capacitores chaveados com base em filtros passa-tudo IIR para baixa sensibilidade, de um multiplicador de entrada e dois multiplicadores de saída a capacitores chaveados, e pela  
10 decimação do sinal SSB por 2 no domínio analógico também implementada a capacitores chaveados.

2- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 1,  
caracterizado pela montagem do sistema, conforme as etapas:  
15 - Associação entre os componentes multiplicador de entrada, para demodulação, filtro passa-baixas para separação do sinal em banda base, Transformador de Hilbert para defasagem de 90° em banda larga, e multiplicador/somador de saída para modulação SSB. Todos estes componentes são  
20 implementados usando técnicas de capacitores chaveados.

-Simplificação do sistema através da redução da taxa de amostragem do sinal SSB por um fator igual a 2 (dois), com a conseqüente simplificação da estrutura do Transformador de Hilbert e conexão entre o filtro passa-baixa e o  
25 Transformador de Hilbert através de uma chave multiplexadora 1:2.

3- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com as reivindicações 1 e 2,  
caracterizado por descrições a capacitores chaveados  
30 voltadas para a implementação em circuito integrado.

4- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com as reivindicações 1, 2 e

3, com um multiplicador de entrada caracterizado pela  
seguinte forma:

- Utilização de uma forma de onda senoidal com 8(oito) amostras, definidas conforme a taxa de amostragem necessária (portadora com frequência igual a 12,5% da taxa de amostragem) e quaisquer considerações genéricas sobre aliasing obtidas a partir da largura da banda do sinal de entrada.
  - Conjunto de 6(seis) chaves analógicas, 4(quatro) capacitores de baixa precisão e amplificador operacional, todos controlados por 5(cinco) fases de acionamento digitais sem superposição, geradas pelos circuitos lógicos específicos.
- 5- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 4, caracterizado pela utilização das chaves na configuração ilustrada, que permite:
- Implementação dos coeficientes unitários usando somente 2(duas) chaves analógicas e 2(dois) capacitores com valores iguais e suaves requisitos de precisão quanto à implementação dos seus valores absolutos.
  - Implementação dos coeficientes 0.71 usando também 2 chaves analógicas e 2 capacitores. A precisão necessária para implementar os capacitores é baixa, sendo apenas requerido que a razão de capacitâncias seja próxima de 0.71.
  - A realização dos coeficientes conforme descrito acima, com a escolha dos sinais dos coeficientes através do uso de um par de chaves analógicas.
  - A efetuação de sinais nulos decorrentes da multiplicação por amostras senoidais iguais a zero.

6- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 5,



caracterizado pela manutenção de taxa de amostragem constante, de forma que o sinal de saída do multiplicador está amostrado na mesma taxa do sinal de entrada do conversor DSB/SSB.

5                   7- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 6, caracterizado por esquema de controle digital, usando formas de onda sem superposição, de todas as chaves analógicas, permitindo a realização das tarefas  
10 mencionadas.

                  8- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 7, incluindo um esquema de chaveamento digital de controle caracterizado por 17 sinais de controle por formas de onda  
15 digitais em pares complementares sem superposição, utilizados para sincronização e controle dos moduladores, sincronização para amostragem e variação das taxas de amostragem, e efetivação das funções de processamento de sinais realizados pelo filtro passa-baixas e pelo  
20 Transformador de Hilbert.

                  9- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 8, incluindo os sinais de controle mencionados, caracterizados pela implementação tanto em montagem por componentes  
25 discretos quanto em circuito integrado, utilizando para isso cerca de 230 transistores CMOS.

                  10- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 9, incluindo um filtro passa-baixas em tempo discreto  
30 caracterizado por implementação baseada em filtros passa-tudo a capacitores chaveados de primeira ou segunda ordem, implementação das seções passa-tudo mencionadas, usando as técnicas de capacitores chaveados específicas para a

implementação de filtros passa-tudo de primeira e segunda ordem, cinco coeficientes de um filtro passa-baixas de quinta ordem e a sua implementação a capacitores chaveados, caracterizada principalmente pelo uso de razões de capacitâncias.

11- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 10, por prever qualquer generalização para ordens mais elevadas, caracterizado por utilizar seções passa-tudo de ordem 1 ou 2, ou ordens mais elevadas, implementadas a capacitores chaveados.

12- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" incluindo um Transformador de Hilbert em tempo discreto caracterizado por implementação baseada em filtros passa-tudo a capacitores chaveados de primeira ordem, implementação das seções passa-tudo mencionadas usando as técnicas de capacitores chaveados específicas para a implementação de filtros passa-tudo de primeira ordem, três coeficientes do Transformador de Hilbert e sua implementação a capacitores chaveados, caracterizada principalmente pelo uso de razões de capacitâncias, chaveamento do circuito do Transformador de Hilbert à metade da taxa de amostragem usada para o sinal de entrada.

13- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 12, com uso de uma chave multiplexadora para a realização de um atraso unitário e dois decimadores, caracterizado pelo controle de uma bifurcação de um par de chaves através dos sinais de controle  $F_1$  e  $F_2$ .

14- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 13, caracterizado pela utilização de um atraso fracionário  $z^{-3/2}$  no caminho inferior do Transformador de Hilbert, necessária

para a sincronização das seqüências de amostras presentes nos canais  $I$  e  $Q$  da rede de defasagem de  $90^\circ$ .

15- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 14, caracterizado por qualquer generalização para uma ordem mais elevada, usando seções passa-tudo de ordem 1 ou 2, ou ordens mais elevadas, implementadas a capacitores chaveados.

16- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" incluindo um multiplicador/somador de saída em tempo discreto caracterizado por realizar simultaneamente duas formas de onda senoidais representadas por um número mínimo de amostras, especificamente 4 (quatro) amostras iguais a 0, -1 ou +1 para cada forma de onda, por chaves analógicas e um amplificador operacional.

17- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 16, sendo que as chaves analógicas são caracterizadas por uma configuração específica que permite a multiplicação das seqüências em fase  $I$  e em quadratura  $Q$  pelas duas senóides de 4 amostras, e a simultânea demultiplexação (soma) dos resultados, tudo de forma implícita e com utilização de somente um amplificador operacional.

18- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 17, com implementação dos coeficientes unitários usando ligações diretas para a saída do circuito de soma/multiplicação, caracterizadas por chaves analógicas acionadas nas fases  $A$  e  $G$ , inversão de coeficientes unitários usando quatro chaves analógicas internas, acionadas nas fases  $N_1$  e  $N_2$  com o objetivo de implementar o multiplicador  $-1.00$ .

19- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" de acordo com a reivindicação 17, com a

seleção das amostras de entrada no tempo necessário caracterizada pelas chaves analógicas acionadas nas fases de controle *C* e *E*.

20- "Conversor DSB/SSB Analógico com Elevada  
5 Rejeição de Imagem" de acordo com a reivindicação 17, caracterizada pela soma implícita de sinais nulos com a amostra correta, multiplicada em cada fase *A*, *C*, *E* ou *G* por um coeficiente diferente, usando as chaves analógicas mencionadas, e os capacitores idênticos  $C_1$  e um único  
10 amplificador operacional.

21- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" caracterizado pela manutenção da taxa de amostragem constante e em um valor igual à metade da taxa de amostragem do Transformador de Hilbert mencionado.

15 22- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" com o esquema de controle de todas chaves, caracterizado pelo diagrama de fases contendo as formas de onda *A*, *C*, *E*, *G*,  $N_1$ ,  $N_2$ ,  $F_1$ ,  $F_2$ .

20 23- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" caracterizado por permitir o posicionamento do estágio de conversão analógico-digital (A/D) com complexidade reduzida após o conversor DSB/SSB.

24- "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem" caracterizado por permitir a utilização  
25 de técnicas de circuitos amostrados no tempo, tais como corrente chaveada, charge coupled devices, circuitos analógicos com coeficientes dependentes de largura de pulso, mosfet chaveado, dentre outras.

25- "Conversor DSB/SSB Analógico com Elevada  
30 Rejeição de Imagem" caracterizado por permitir implementações com componentes eletrônicos discretos ou monolíticas em circuito integrado.

FIGURAS

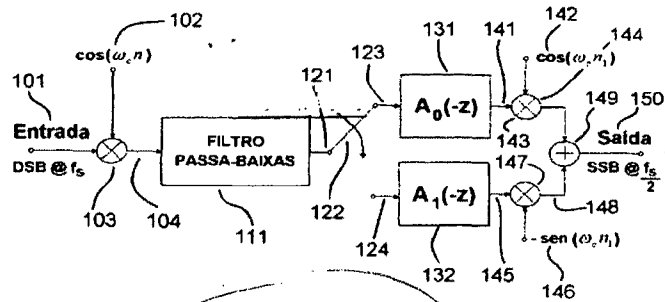


FIG. 1

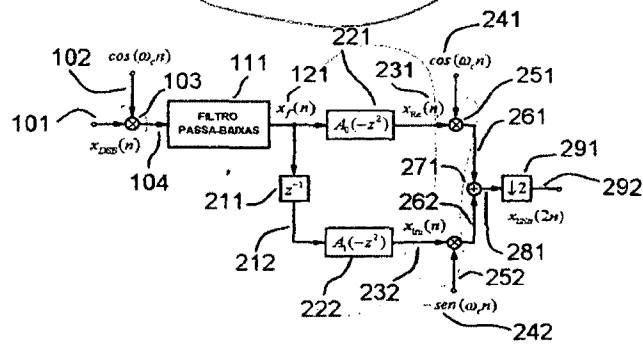


FIG. 2

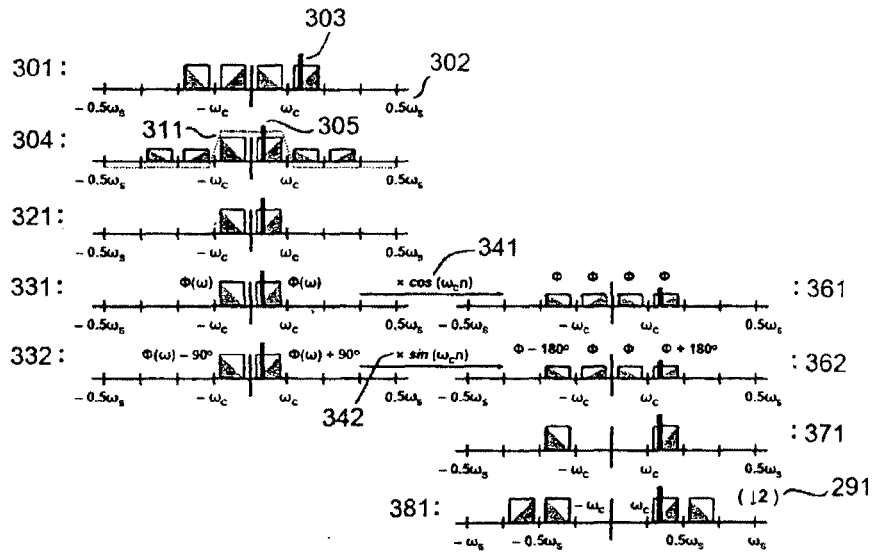


FIG. 3

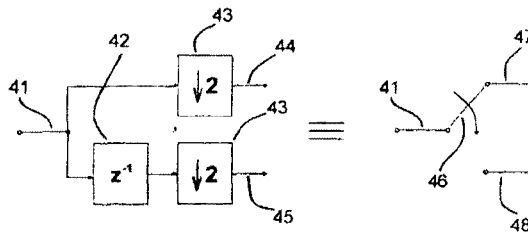


FIG. 4

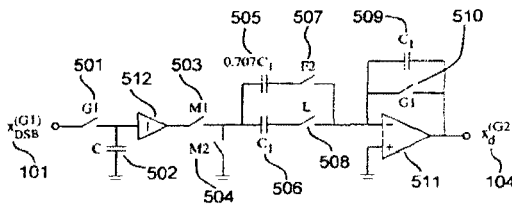


FIG. 5

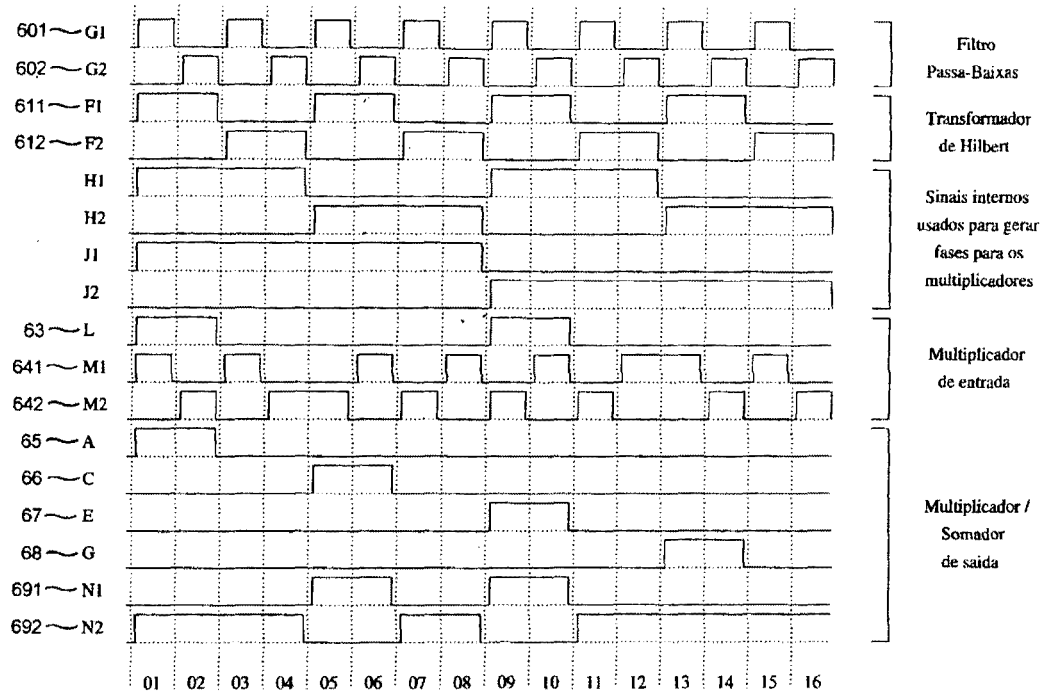


FIG. 6

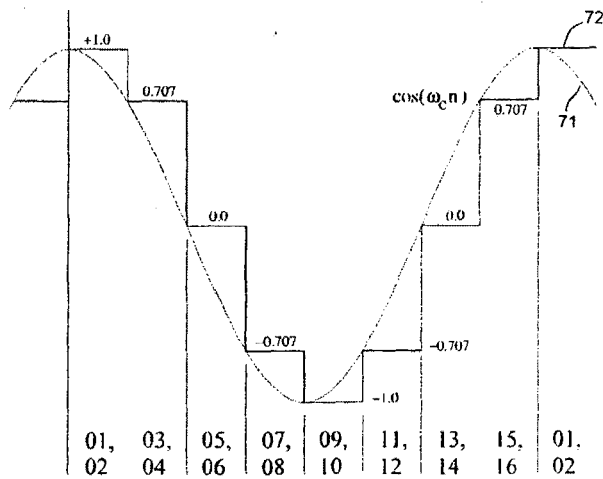


FIG. 7

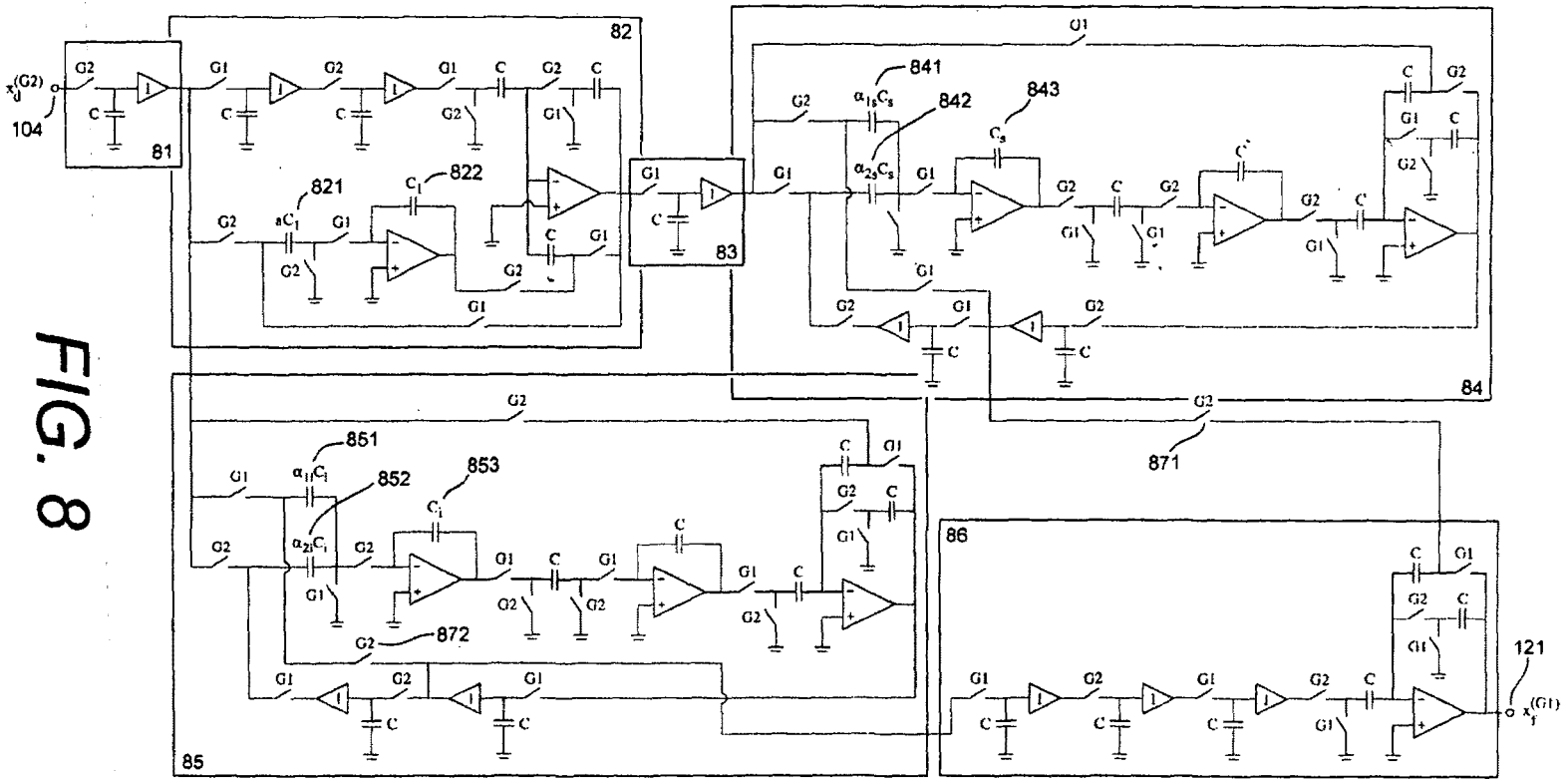
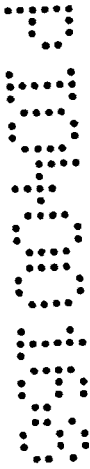


FIG. 8





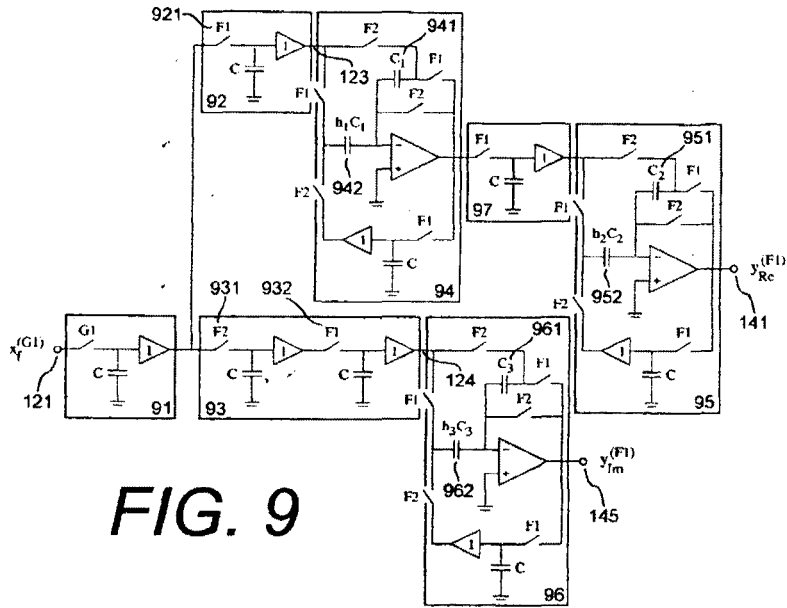


FIG. 9

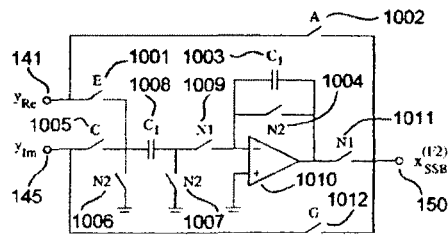


FIG. 10

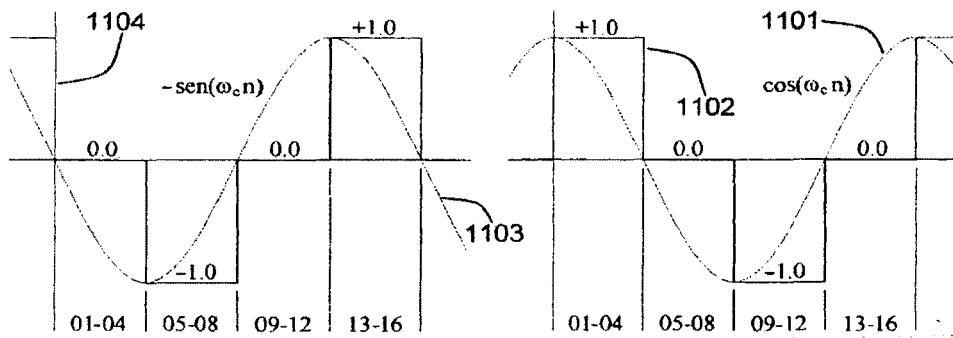
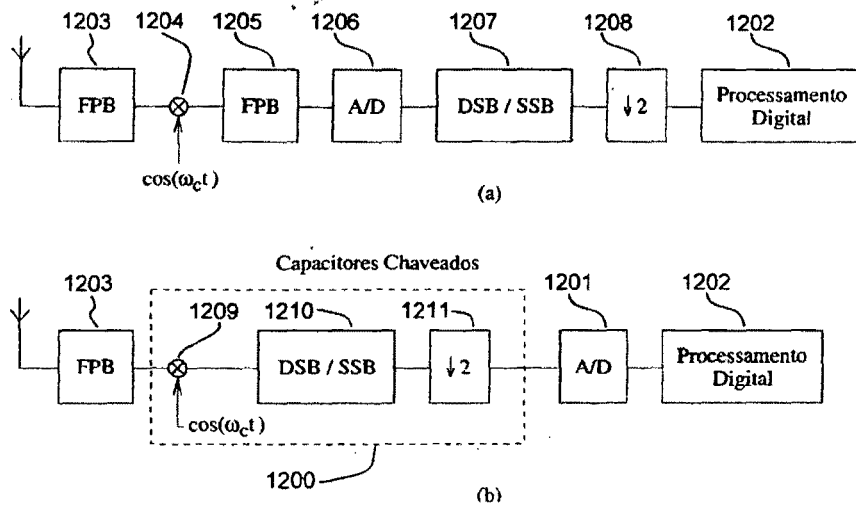


FIG. 11



**FIG. 12**

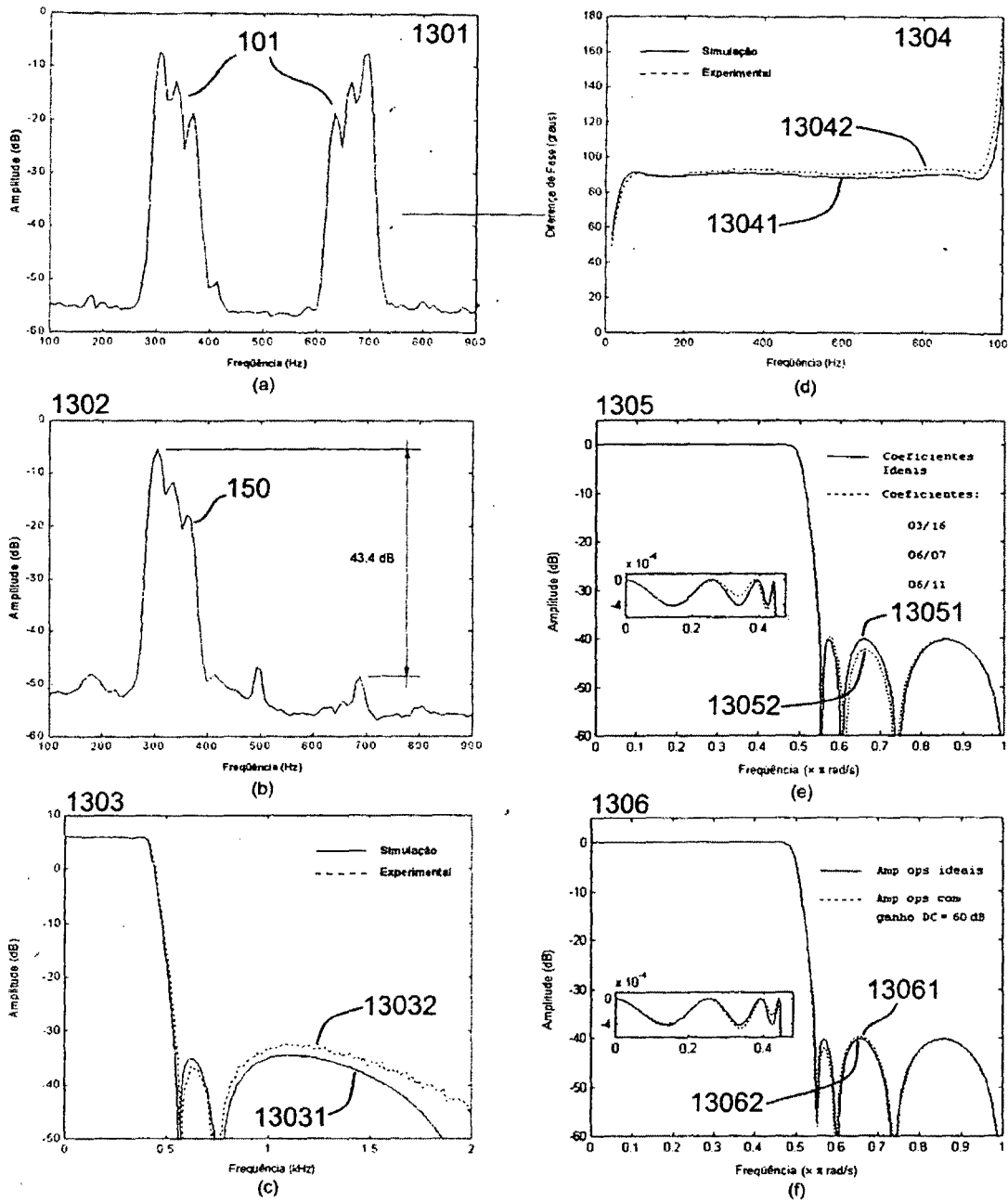


FIG. 13

RESUMO

Patente de Invenção para "Conversor DSB/SSB Analógico com Elevada Rejeição de Imagem".

A presente inovação consiste na implementação  
5 completa de um conversor de modulação DSB para SSB a  
capacitores chaveados. Uma boa faixa dinâmica e sensibilidade  
baixa aos erros nas razões de capacitâncias são conseguidas,  
pela implementação do Transformador de Hilbert através de  
circuitos com funções de transferência recursivas do tipo  
10 passa-tudo. A taxa de amostragem do sinal SSB é reduzida por  
um fator igual a 2 (dois) sem perda de informação por  
aliasing, reduzindo a complexidade do circuito e o seu  
consumo de energia. Multiplicadores a capacitores chaveados  
são usados nos estágios de conversão, e um filtro passa-  
15 baixas a capacitores chaveados, também baseado em blocos IIR  
estruturalmente passa-tudo, é usado no estágio de filtragem  
em banda-base.