

UNIVERSIDAD CARLOS III DE MADRID

ESCUELA POLITÉCNICA SUPERIOR

INGENIERÍA TÉCNICA INDUSTRIAL

ELÉCTRONICA INDUSTRIAL



PROYECTO FIN DE CARRERA

**DISEÑO DE UN CONVERTOR A/D EMPLEANDO UN
MODULADOR PWM Y UN CIRCUITO DE DECODIFICACION
MEDIANTE UNA FPGA**

Autor: *Manuel Martín Ruiz*

Tutor: *Luis Hernández Corporales*

DEPARTAMENTO DE TECNOLOGÍA ELECTRÓNICA

JUNIO 2008



INDICE DE CONTENIDO

1. CAPÍTULO 1 INTRODUCCIÓN.....	10
1.1 Descripción.....	10
1.2 Conversión A/D.....	11
1.2.1 Digitalización.....	11
1.2.2 Tipo de convertidores A/D.....	13
1.2.3 Ventajas e inconvenientes de los convertidores A/D.....	16
1.3 Muestreadores polifásicos.....	16
1.4 Modulación PWM.....	18
1.4.1 Como construir un convertidor A/D con un modulador P.W.M.....	18
2. CAPÍTULO 2 DISEÑO A NIVEL DE SISTEMA.....	22
2.1 Diagrama de bloques general.....	22
2.2 Diagrama de bloques específico.....	25
2.2.1 Modulador PWM.....	25
2.2.2 Retraso de relojes.....	25
2.2.3 Muestreo con TDC.....	26
2.2.4 Captura de Datos.....	27
2.2.5 Reconstrucción de los datos en Ordenador Personal.....	27
2.3 Diseño del filtro del modulador PWM.....	28
2.3.1 Concepto del Modulador PWM.....	28
2.3.2 Funcionamiento de Osciladores y condiciones de.....	30
2.4 Simulación en simulink.....	32
2.4.1 Sumador.....	33
2.4.2 Integrador.....	34
2.4.3 Comparador.....	35
2.4.4 Generador de relojes.....	36
2.4.5 Registro.....	37
2.4.6 Detector de Flanco Positivo-Negativo.....	38
2.4.7 Señal PWM y su Espectro.....	39
2.5 Elección de componentes.....	41
2.5.1 Comparador LT1016.....	41
2.5.2 Inversor 74HC245.....	42
2.5.3 FPGA ALTERA MAX EPM7128SLC84-7.....	42
2.5.4 Amplificador Operacional LM324.....	43
3. CAPÍTULO 3 DISEÑO DEL CIRCUITO.....	45
3.1 Introducción a entornos EDA.....	45
3.2 Esquema global del circuito.....	47



3.2.1	Generador de Relojes	48
3.2.2	Modulador PWM.....	49
3.2.3	Conector JTAG.....	50
3.2.4	Alimentaciones y condensadores de desacoplo.....	51
3.2.5	Salida	51
3.2.6	FPGA.....	52
3.3	Diseño FPGA.....	53
3.3.1	Esquema general jerárquico.....	54
3.3.2	Registro.....	55
3.3.3	Reconstrucción de PWM.....	57
3.3.4	Datos de salida.....	61
3.3.5	Señal de captura de datos.....	62
3.4	Simulación.....	62
3.5	Síntesis.....	65
4.	CAPÍTULO 4 MONTAJE Y PRUEBAS	68
4.1	Diseño del PCB	68
4.1.1	Introducción al circuito impreso.....	68
4.1.2	Esquema del circuito impreso con Layout	69
4.1.3	Montaje de PCB	73
4.2	Prueba y medidas experimentales.....	74
4.2.1	Medidas del correcto funcionamiento	76
4.2.2	Medidas en bucle abierto.....	83
5.	CAPÍTULO 5 CONCLUSIONES	88
6.	CAPÍTULO 6 PRESUPUESTO	90
6.1	Coste de Material.....	90
6.2	Coste de Personal	91
6.3	Coste Total.....	91
7.	CAPÍTULO 7 BIBLIOGRAFÍA Y ARTÍCULOS DE CONSULTA.....	93
8.	ANEXOS	95
8.1	Esquemático de circuito en Orcad	96
8.2	Máscaras PCB	98
8.3	Esquemas FPGA.....	101
8.3.1	Esquema Jerárquico	102
8.3.2	Registro.....	103
8.3.3	Detector de Flancos Positivo	104
8.3.4	Detector de Flancos Negativos	105
8.3.5	Flip Flop R-S	106
8.4	Programas MATLAB	107



8.4.1 Capture.m	108
8.4.2 Esph.m	109
8.4.3 Diseño General de la simulación en MATLAB	110
8.4.4 Etapa de Generación de relojes retrasados	111
8.4.5 Etapa de Registro.....	111
8.4.6 Detector de Flancos	112
8.5 Hojas de características	113



INDICE DE FIGURAS

Figura 1—1 Esquema del sistema	11
Figura 1—2 Esquema de un Convertor A/D.....	12
Figura 1—4 Esquema básico de un convertidor A/D rastreador.....	13
Figura 1—3 Esquema básico de un convertidor A/D Paralelo.....	13
Figura 1—5 Esquema básico de un convertidor A/D de aproximaciones sucesivas para $n=3$	14
Figura 1—6 Esquema básico de un convertidor de doble pendiente	15
Figura 1—7 Convertidor Sigma-Delta de primer orden.....	15
Figura 1—8 Muestreo de una señal.....	17
Figura 1—9 Modulador PWM	18
Figura 1—10 Modulación PWM con generador triangular.....	19
Figura 1—11 Modulación PWM con realimentación	19
Figura 1—12 Muestreo vs Resolución	20
Figura 2—1 1ª Idea del convertidor A/D.....	23
Figura 2—2 2ª Idea Muestreo Polifásico.....	23
Figura 2—3 Diagrama de bloques.....	24
Figura 2—4 Diagrama de bloques general.....	24
Figura 2—5 Interior bloque Modulador PWM.....	25
Figura 2—6 Interior bloque Retraso de relojes	26
Figura 2—7 Interior bloque TDC.....	27
Figura 2—8 Circuito de oscilación.....	28
Figura 2—9 Circuito de oscilación específico	29
Figura 2—10 Criterio de realimentación positiva	30
Figura 2—11 Función de transferencia	30
Figura 2—12 Frecuencia de oscilación en reposo.....	31
Figura 2—13 Programa en MATLAB	31
Figura 2—14 Gráfica en MATLAB	32
Figura 2—15 Esquema general en MATLAB.....	33
Figura 2—16 Señales de entrada y PWM reconstruida.....	33
Figura 2—17 Salida del sumador	34
Figura 2—18 Señal de salida del integrador	35
Figura 2—19 Interior del Generador de Relojes	36
Figura 2—20 Relojes desfasados	36
Figura 2—21 Interior del Registro	37
Figura 2—22 Secuencia de datos del registro	37
Figura 2—23 Detector de Flanco Positivo y Negativo.....	38
Figura 2—24 Flancos Positivo, Negativo y PWM reconstruida	39
Figura 2—25 Sistema de un único reloj.....	39
Figura 2—26 Señales PWM.....	40
Figura 2—27 Espectros de las señales	40
Figura 2—28 Comparador LT1016.....	42
Figura 2—29 Inversor 74HC245	42
Figura 2—30 FPGA de la firma Altera	42



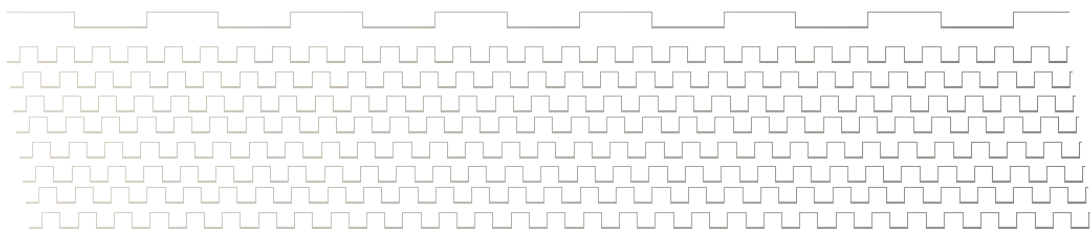
Figura 2—31 Amplificador Operacional LM324.....	43
Figura 3—1 Esquema global del circuito diseñado en ORCAD.....	47
Figura 3—2 Bloque generador de relojes.....	48
Figura 3—3 Bloque Modulador PWM.....	49
Figura 3—4 Conexión open collector.....	50
Figura 3—5 Conector JTAG y sus conexiones.....	50
Figura 3—6 Alimentación y condensadores de desacoplo.....	51
Figura 3—7 Etapa de salida.....	51
Figura 3—8 FPGA.....	52
Figura 3—9 Esquema general de la FPGA.....	54
Figura 3—10 Registro.....	55
Figura 3—11 Interior del Registro.....	56
Figura 3—12 Bloque que reconstruye la PWM.....	58
Figura 3—13 Detector de Flanco Positivo.....	59
Figura 3—14 Detector de Flanco Negativo.....	60
Figura 3—15 Flip-Flop R-S.....	61
Figura 3—16 Bits de Salida.....	61
Figura 3—17 Captura de Datos.....	62
Figura 3—18 Ventana del Compilar de MaxPlus II.....	62
Figura 3—19 Formas de Onda de las Señales.....	63
Figura 3—20 Inicio del Flanco.....	64
Figura 3—21 Final del Flanco.....	65
Figura 3—22 Disposición Final de los pines.....	66
Figura 3—23 Información de los porcentajes de la FPGA.....	66
Figura 4—1 Perfil de una placa monocapa.....	69
Figura 4—2 Perfil de una placa bicapa.....	69
Figura 4—3 Diseño Final de la placa.....	70
Figura 4—4 Cara Top de la PCB.....	71
Figura 4—5 Cara bottom de la PCB.....	72
Figura 4—6 Placa Final cara TOP.....	73
Figura 4—7 Placa Final cara BOTTOM.....	74
Figura 4—8 Toma de medidas.....	75
Figura 4—10 Programa para dibujar la señal reconstruida.....	76
Figura 4—9 Datos obtenidos.....	76
Figura 4—13 CLK1 VS CLK2.....	77
Figura 4—11 FFT de analógica reconstruida.....	77
Figura 4—12 Señal reconstruida analógica.....	77
Figura 4—14 CLK2 VS CLK3.....	78
Figura 4—15 CLK3 VS CLK4.....	78
Figura 4—16 CLK4 VS CLK5.....	79
Figura 4—17 CLK 5 VS 6.....	79
Figura 4—18 CLK 6 VS CLK7.....	80
Figura 4—19 CLK7 VS CLK8.....	80
Figura 4—20 CLK8 VS CLK1.....	81
Figura 4—21 ORIGINAL VS RECONSTRUIDA.....	81
Figura 4—22 ORIGINAL VS RECONSTRUIDA.....	82
Figura 4—23 Integrador RC con entrada senoidal.....	82



Figura 4—24 Integrador RC sin entrada	83
Figura 4—25 Retraso introducido por los comparadores.....	84
Figura 4—26 Retardo RC.....	84
Figura 4—27 Retardo FPGA.....	85
Figura 4—28 Frecuencia de oscilación en reposo.....	85



INTRODUCCIÓN



CAPÍTULO

0 1



1.CAPÍTULO 1

INTRODUCCIÓN

1.1 Descripción

El presente proyecto muestra el diseño de un convertidor A/D (Analógico/Digital), basado en un modulador PWM cuya señal es capturada y decodificada por una FPGA.

El convertidor A/D será implementando en un circuito de prueba analógico mediante componentes discretos (resistencias, condensadores, etc.) y amplificadores operacionales. La captura de la señal digital y su posterior decodificación, se realizará, empleando un dispositivo FPGA (del inglés *Field Programmable Gate Array*), (en castellano *dispositivo de lógica configurable*). Para comprobar el funcionamiento del circuito y su resultado final se analizará los datos digitales resultantes de la modulación mediante un analizador lógico, y gracias a un ordenador personal se mostrará la deriva de lo teórico a lo práctico.

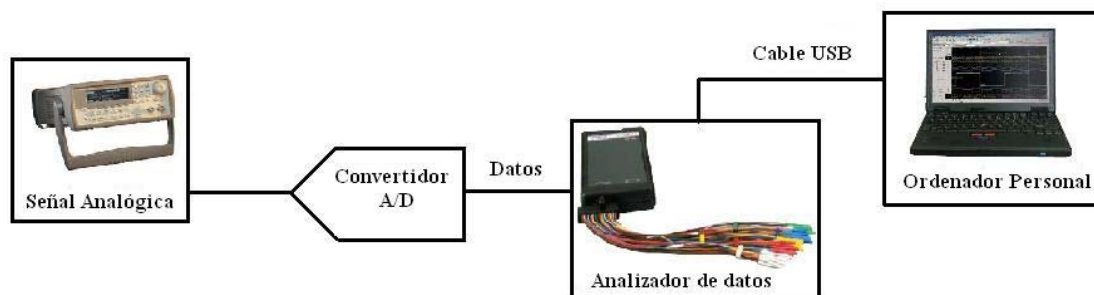


Figura 1—1 Esquema del sistema

En la Figura 1—1 se aprecia el esquema general del sistema construido para el proyecto.

1.2 Conversión A/D

Una conversión analógica-digital (CAD)(ó ADC) consiste en la transcripción de señales analógicas en señales digitales, con el propósito de facilitar su procesamiento (codificación, compresión, etc.) y hacer la señal resultante (la digital) más inmune al ruido y otras interferencias a las que son más sensibles las señales analógicas.

Una señal analógica es aquella que puede tomar una infinidad de valores (frecuencia y amplitud) dentro de un límite superior e inferior. En cambio, una señal digital es aquella cuyas dimensiones (tiempo y amplitud) no son continuas sino discretas, lo que significa que la señal necesariamente ha de tomar unos determinados valores fijos predeterminados en momentos también discretos. Estos valores fijos se toman del sistema binario, lo que significa que la señal va a quedar convertida en una combinación de ceros y unos, que ya no se parece en nada a la señal original.

1.2.1 Digitalización

La digitalización o conversión analógica-digital (conversión A/D) consiste básicamente en realizar de forma periódica medidas de la amplitud de la señal y traducirlas a un lenguaje numérico. La conversión A/D también es conocida por el acrónimo ADC (del inglés *analogic to digital converter*).

En esta definición están patentes los cuatro procesos que intervienen en la conversión analógica-digital, y en la Figura 1—2 se ven representados:

1. **Muestreo:** El muestreo (en inglés, *sampling*) consiste en tomar muestras periódicas de la amplitud de onda. La velocidad con que se toman esta muestra, es decir, el número de muestras por segundo, es lo que se conoce como frecuencia de muestreo.
2. **Retención** (En inglés, *Hold*): Las muestras tomadas han de ser retenidas (retención) por un circuito de retención (Hold), el tiempo suficiente para permitir evaluar su nivel (cuantificación). Desde el punto de vista matemático este proceso no se contempla ya que se trata de un recurso técnico debido a limitaciones prácticas y carece, por tanto, de modelo matemático.
3. **Cuantificación:** En el proceso de cuantificación se mide el nivel de voltaje de cada una de las muestras. Consiste en asignar un margen de valor de una señal analizada a un único nivel de salida. Incluso en su versión ideal, añade, como resultado, una señal indeseada a la señal de entrada: el ruido de cuantificación.
4. **Codificación:** La codificación consiste en traducir los valores obtenidos durante la cuantificación al código binario. Hay que tener presente que el código binario es el más utilizado, pero también existen otros tipos de códigos que también son utilizados.

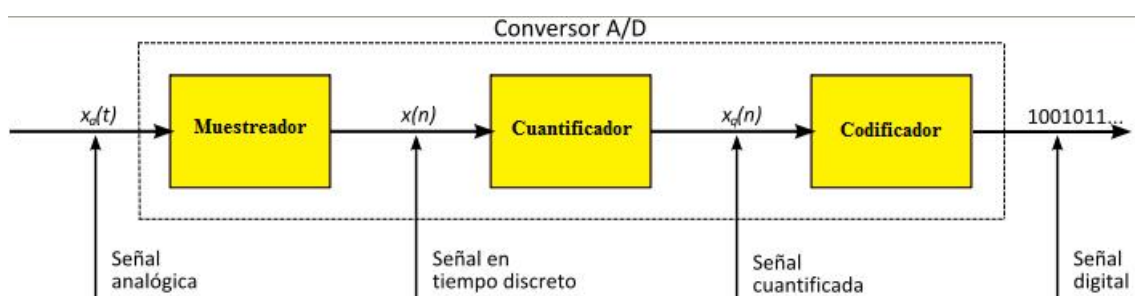


Figura 1—2 Esquema de un Conversor A/D

Durante el muestreo y la retención, la señal aun es analógica puesto que aún puede tomar cualquier valor, no obstante, a partir de la cuantificación, cuando la señal ya toma valores finitos, la señal ya es digital.

1.2.2 Tipo de convertidores A/D

Atendiendo al procedimiento por el cual, a partir de la tensión de entrada, se obtienen el código de salida, los convertidores A/D pueden clasificarse en dos grandes grupos: **directos** e **indirectos**. Los **directos** son los que obtiene directamente el código de salida a partir de la tensión de entrada, mientras que los **indirectos** convierten la tensión de entrada en otra variable (duración de un pulso, frecuencia de un tren de pulsos) y esta es convertida finalmente en un código.

1. CONVERTIDORES DIRECTOS:

1.a) Convertidor paralelo (FLASH):

Son convertidores paralelo, aptos para las aplicaciones donde se necesitan muy altas frecuencias de muestreo. En la práctica, estos convertidores están disponibles como circuitos integrados de 8 bits, con frecuencia de conversión del orden de 500MS/s y anchos de banda de hasta 300 MHz.

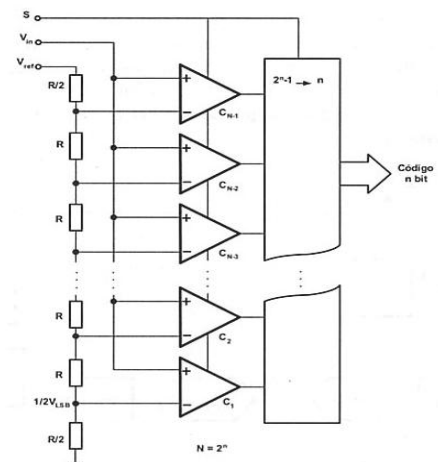


Figura 1—3 Esquema básico de un convertidor A/D Paralelo

1.b) Convertidor rastreador:

Es un circuito que contiene un algoritmo binario de N bits que empieza a contar cuando recibe un '1' en la señal de entrada Enable y que se para cuando recibe un '0' por la misma.

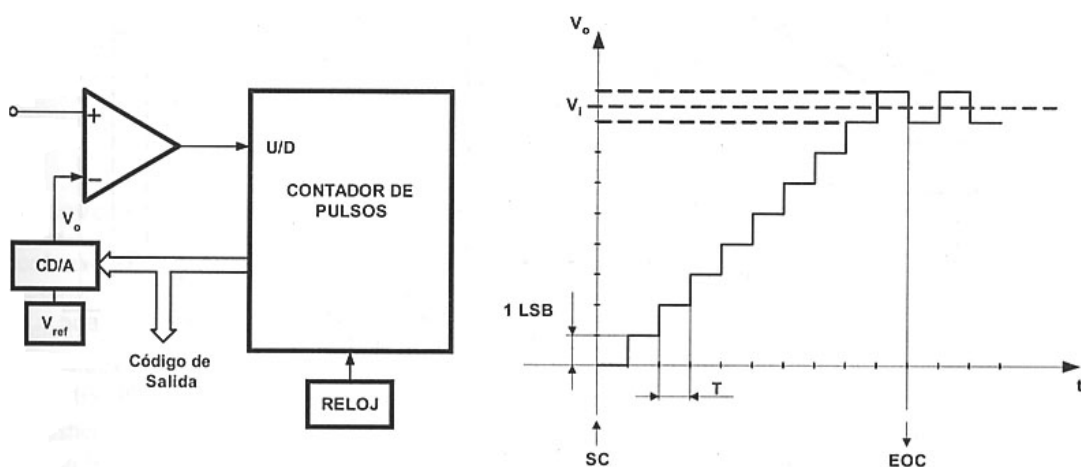


Figura 1—4 Esquema básico de un convertidor A/D rastreador

1.c) Convertidor por aproximaciones sucesivas:

Son circuitos de conversión que utilizan como uno de los módulos un convertidor D/A en una estructura realimentada. Producen una salida de n bits en ciclos, comprando sucesivamente la entrada con la salida de un convertido D/A, dividiendo cada vez el rango por la mitad (variando de bit en bit, del más al menos significativo). Son convertidores relativamente baratos, y generalmente precisos y rápidos. Los tiempos de conversión varían de menos de 1µs a 20µs, con una precisión entre 8 y 12 bits. Son recomendados en el rango de kilociclos a los cientos de kilociclos.

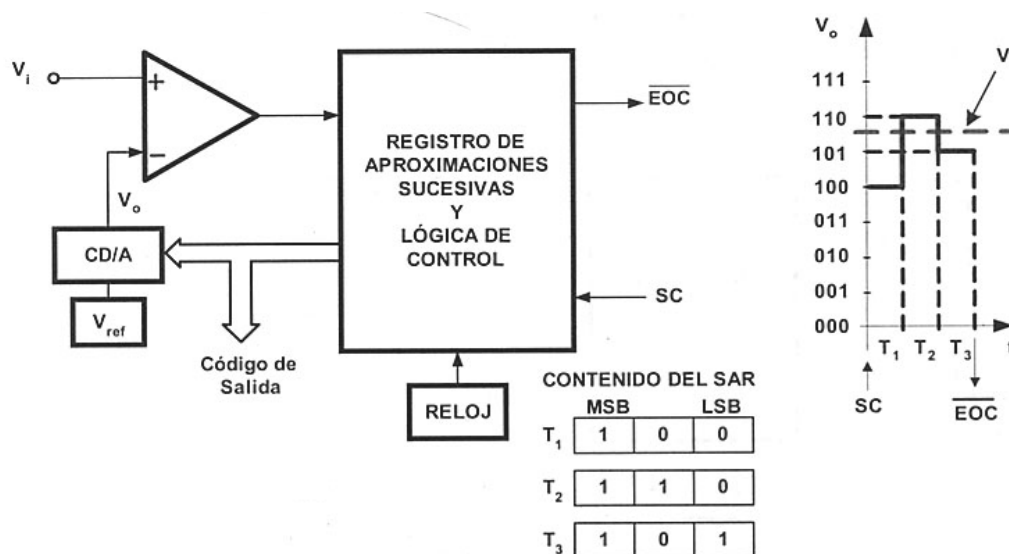


Figura 1—5 Esquema básico de un convertidor A/D de aproximaciones sucesivas para n =3

2. CONVERTIDORES INDIRECTOS:

Entre los convertidores indirectos se encuentran los integradores o de rampas y los de sobremuestreo.

2.a) Convertidor de doble pendiente (pertenece a los integradores):

Las estructuras en doble pendiente solucionan errores que se producen por componentes o por la frecuencia de oscilación a través de una doble integración. En la primera pendiente, la tensión del condensador comienza en cero y se carga durante una cantidad de tiempo fija a una corriente que depende de la tensión de entrada. A partir de ahí, en una segunda fase, se descarga a corriente constante durante un tiempo que es medido por un contador.

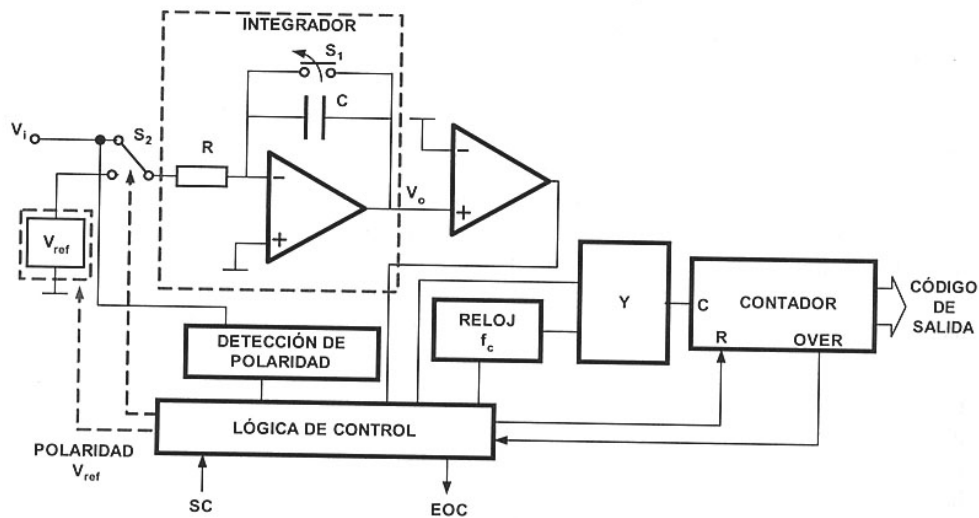


Figura 1—6 Esquema básico de un convertidor de doble pendiente

2.b) Convertidores Sigma-Delta (pertenece a los de sobremuestreo):

Presentan unas buenas características de resolución y rechazo al ruido, con un coste económico bajo. Se basan en un concepto introducido en 1962, la modulación sigma-delta, pero que hasta la llegada del VLSI no fue tecnológicamente posible su implementación en la práctica, y en la actualidad tienen un enorme auge.

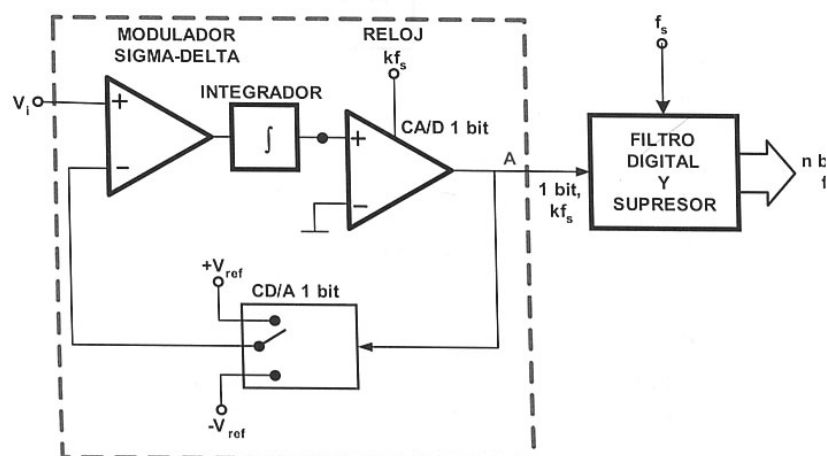


Figura 1—7 Convertidor Sigma-Delta de primer orden



1.2.3 Ventajas e inconvenientes de los convertidores A/D

Ventajas de la señal digital

- ◆ Ante la atenuación, la señal digital puede ser amplificada y al mismo tiempo reconstruida gracias a los sistemas de regeneración de señales.
- ◆ Cuenta con sistemas de detección y corrección de errores que se utilizan cuando la señal llega al receptor, entonces comprueban (uso de redundancia) la señal, primero para detectar algún error, y, algunos sistemas, pueden luego corregir alguno o todos los errores detectados previamente.
- ◆ Facilidad para el procesamiento de la señal. Cualquier operación es fácilmente realizable a través de cualquier software de edición o procesamiento de señal.
- ◆ La señal digital permite la multigeneración infinita sin pérdidas de calidad. Esta ventaja sólo es aplicable a los formatos de disco óptico; la cinta magnética digital, aunque en menor medida que la analógica (que sólo soporta como mucho cuatro o cinco generaciones), también va perdiendo información con la multigeneración.

Inconvenientes de la señal digital

- ◆ La señal digital requiere mayor ancho de banda para ser transmitida que la analógica.
- ◆ Se necesita una conversión analógica-digital previa y una decodificación posterior, en el momento de la recepción.
- ◆ La transmisión de señales digital requiere una sincronización precisa entre los tiempos del reloj de transmisor, con respecto a los del receptor. Un desfase cambia la señal recibida con respecto a la que fue transmitida.

1.3 Muestreadores polifásicos

Para obtener una variable muestreada a partir de una variable analógica se necesita producir una representación discreta temporal de la variable analógica, es decir, tomar muestras o muestrear a la variable analógica.

El **muestreo** es un procedimiento a través del cual, a partir de una variable analógica continua en el tiempo $f(t)$, se obtiene una variable muestreada $g(t) = f(kT)$ en tiempo discreto, donde k es un entero y T es el periodo de la señal de muestreo. Analíticamente, puede expresarse que:

$$g(t) = f(t)|_{t=kT} = f(kT), \text{ donde } k = 0, 1, 2, \dots$$

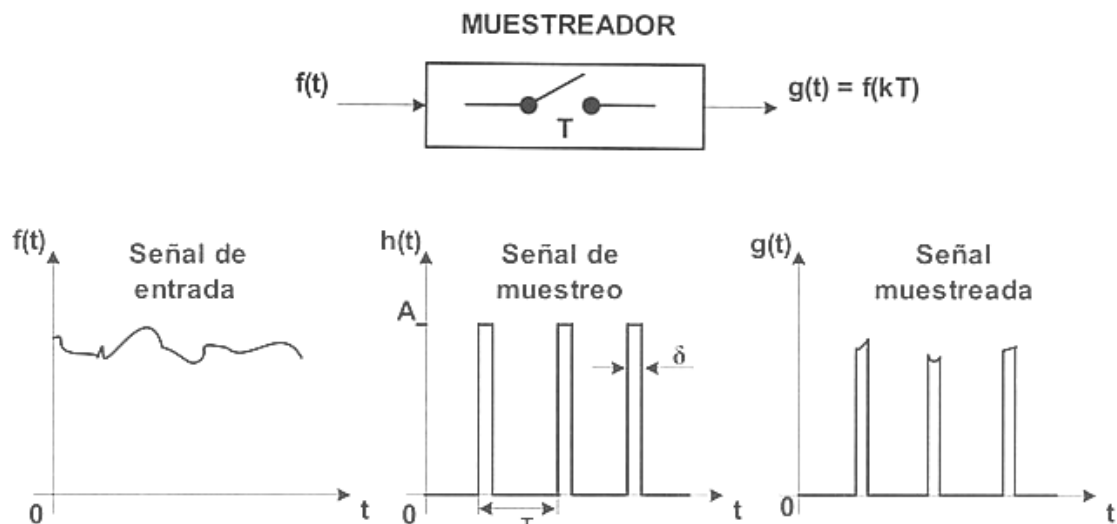


Figura 1—8 Muestreo de una señal

Una parte muy importante del presente proyecto, es el sistema de muestreo de la señal PWM, ya que no es el tradicional S&H (Simple & Hold, o muestreo y retención) basado en único reloj, sino que muestrea la señal de una forma concurrente gracias a tener más de un reloj, a este tipo de muestreadores se les denomina **muestreadores polifásicos**.

Como indica su nombre, está basado en el retraso de fase de los diferentes relojes a la hora de muestrear. Aunque aparentemente parezca fácil, no lo es tanto, ya que hay que intentar que el retraso entre cada reloj sea el mismo, y también que el fin del periodo del último reloj coincida con el inicio del primero. Si hubiera una pequeña diferencia no estaría realizando bien la toma de muestras. Como se ha conseguido el desfase de los diferentes relojes en el circuito se comentará más adelante.

Con este tipo de muestreo se consigue que con unas especificaciones determinadas, se mejore notablemente el rendimiento del mismo, consiguiendo en este caso unas velocidades de muestreo mucho mayores, permitiendo que el convertidor tenga unas prestaciones mayores.

Este tipo de *muestreadores polifásicos* son relativamente modernos y hay líneas de investigación basándose en ellos, por lo que no se dispone de mucha información sobre ellos.

1.4 Modulación PWM

Como se ha explicado en el apartado anterior, los convertidores A/D, establecen una relación entre el valor analógico de entrada y el código de salida digital. Los convertidores **indirectos** convierten la tensión de entrada en otra variable (duración de un pulso, frecuencia de un tren de pulsos) y esta es convertida finalmente en un código. El convertidor A/D de este proyecto es indirecto ya que usa un tipo de modulación que transforma la señal de entrada en pulsos que serán posteriormente codificados, el tipo de modulación en concreto es P.W.M. (Pulse Width Modulation) o M.A.P. (Modulación por Ancho de Pulso). El ancho del pulso varía en función de la tensión de entrada, una forma fácil de conseguir la PWM es introducir a un comparador por una de las entradas una señal senoidal, y por la otra una triangular.

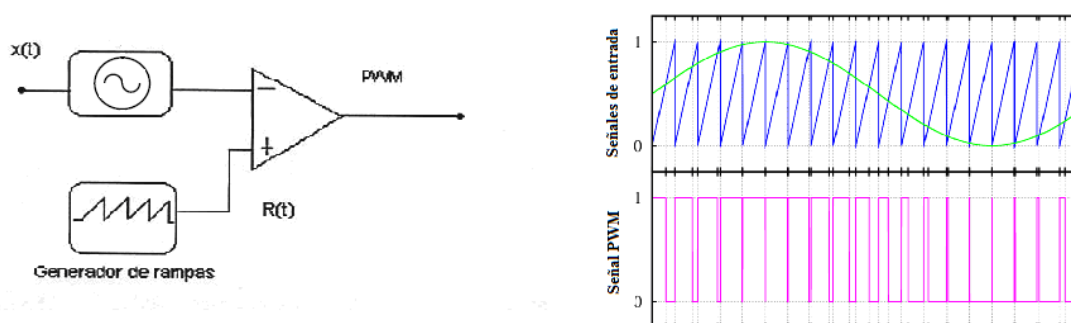


Figura 1—9 Modulador PWM

1.4.1 *Como construir un convertidor A/D con un modulador P.W.M.*

Para construir un convertidor A/D con la ayuda de una PWM se necesitaría por ejemplo un circuito como el descrito anteriormente. En la Figura 1—10 se observa un circuito que podría valer como un convertidor A/D. Consta de un modulador PWM creado por un comparador, cuyas entradas son una señal analógica y una señal triangular creada por un generador. Su salida es una P.W.M. Ahora bien, si

conseguimos mediante un circuito digital medir el ancho de duración del pulso de esa P.W.M, seremos capaces de reconstruir la señal analógica de entrada.

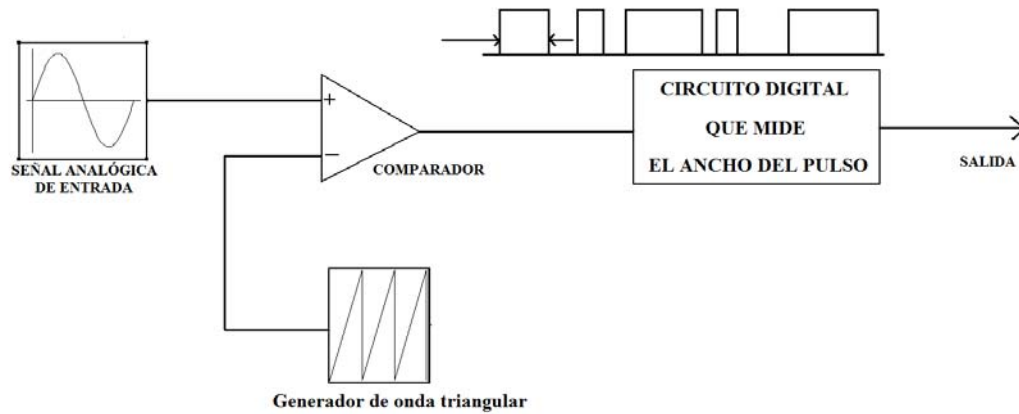


Figura 1—10 Modulación PWM con generador triangular

Otro circuito que valdría como Convertor A/D sería el siguiente:

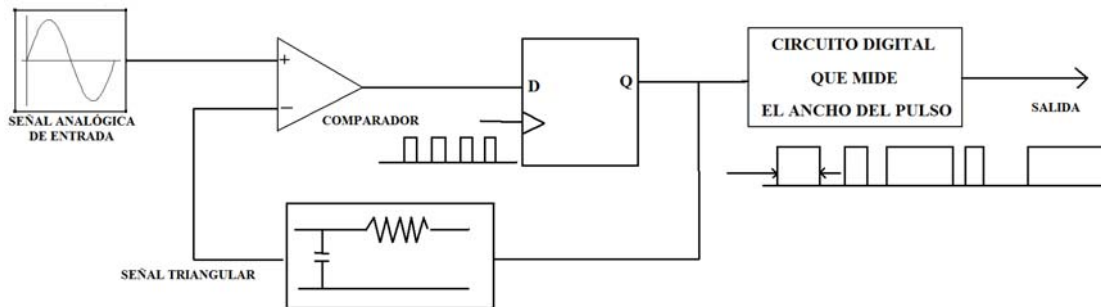


Figura 1—11 Modulación PWM con realimentación

Es similar al anteriormente visto, pero con algunas diferencias. En lugar de tener que recurrir a un generador de onda triangular, se utilizará un bucle de realimentación en torno al comparador que auto oscila. Para ello a la salida del comparador se añadirá un Flip-Flop para registrar el valor de la señal PWM, la toma de datos de en el registro se realizará gracias a un reloj que irá muestreando la señal PWM. La salida de este Flip-Flop será integrada y posteriormente realimentada a la entrada del comparador. Este último lazo hace la función del generador de señal triangular del sistema anterior.

Ambos métodos presentan el mismo problema, la resolución del convertidor A/D resultante depende de la velocidad del reloj que mida el ancho de pulso para que

esta sea manera muy rápida. Este efecto se muestra de forma intuitiva en el dibujo de la Figura 1—12

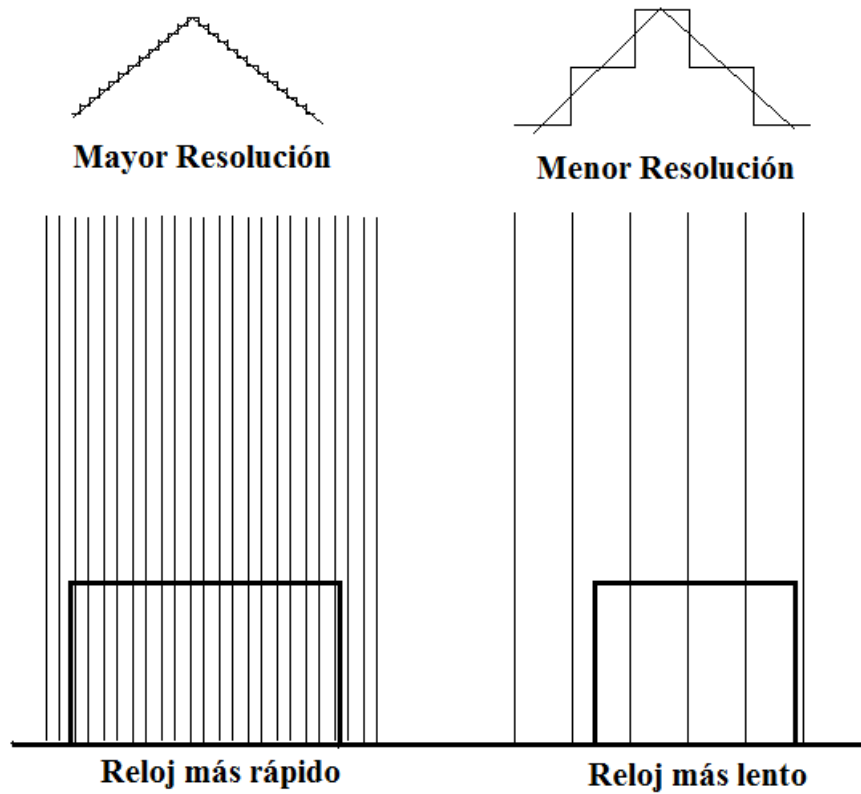
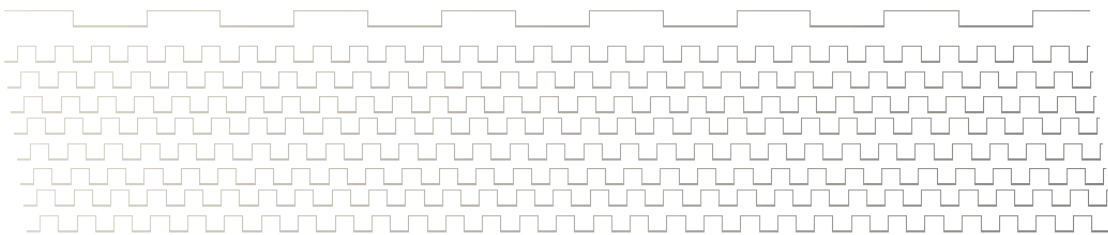


Figura 1—12 Muestreo vs Resolución



DISEÑO A NIVEL DE SISTEMA



CAPÍTULO

1 0



2.CAPÍTULO 2

DISEÑO A NIVEL DE SISTEMA

Este capítulo se describe el sistema realizado en el proyecto a nivel de diagrama de bloques, además de tratar puntos importantes como la elección de componentes, cálculos teóricos, o la simulación del sistema mediante la herramienta *Simulink* de MATLAB

2.1 Diagrama de bloques general

Una vez explicados los conceptos básicos, se procede a explicar el proyecto de una manera un poco más gráfica, para una mayor comprensión del mismo. Se irán explicando una serie de ideas para llegar al bloque final.

La primera idea que se puede explicar es la que se ha visto en la del modulador PWM. Para medir el ancho de pulso necesitamos muestrear muy rápidamente la señal ya que así tendremos una gran resolución. El bloque $H(s)$ representa el integrador y el detector de signo está compuesto por un comparador.

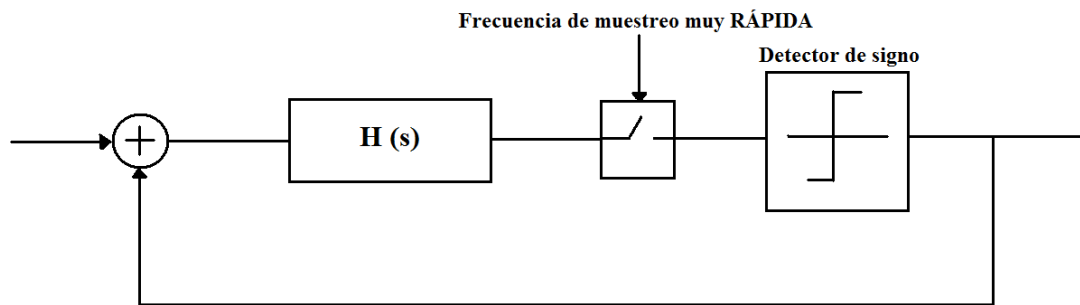


Figura 2—1 1ª Idea del convertidor A/D

Ahora bien, si nos preguntásemos ¿hay una forma de muestrear muy rápidamente con un reloj que no sea tan rápido como el anterior? La respuesta es sí, y se consigue que en vez de un muestreador tengamos n muestreadores, y que la señal de muestreo de estos sea el mismo reloj, pero con un pequeño retraso o desfase entre cada uno de ellos, es decir, que de una forma concurrente aunque más lenta, se consiga la misma rapidez, obteniendo el mismo resultado.

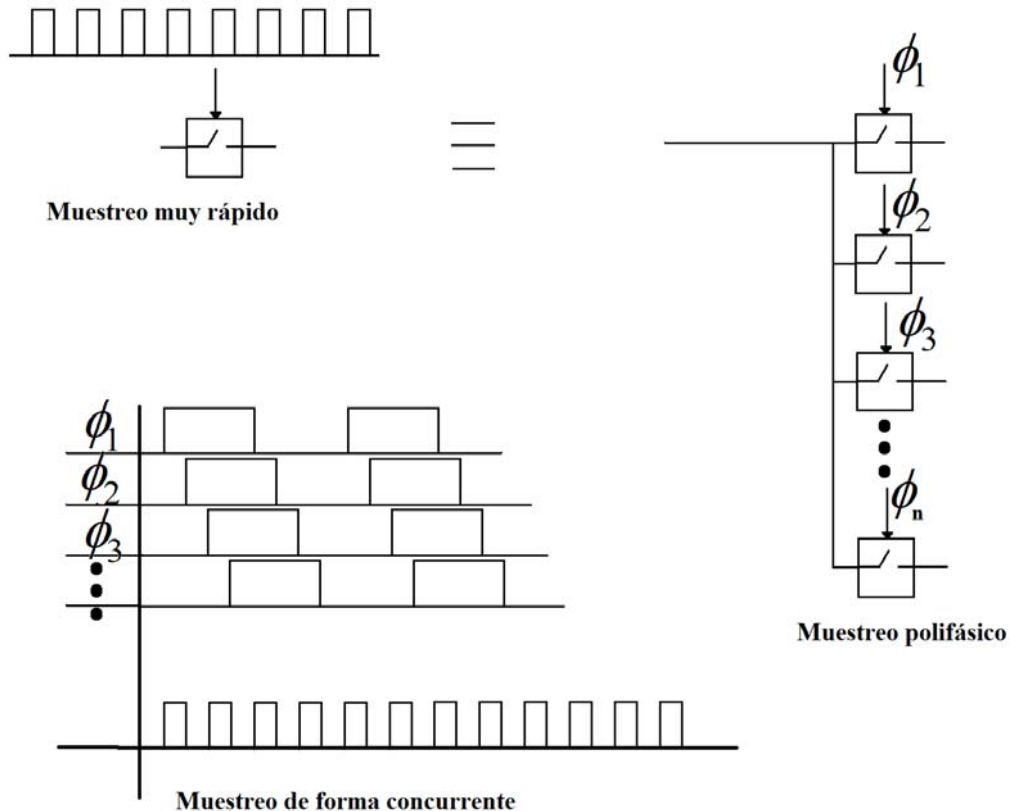


Figura 2—2 2ª Idea Muestreo Polifásico

Si unimos las dos ideas anteriores se conseguiría el diagrama de bloque general. Los únicos bloques que habría que añadir es el de generación de relojes, para conseguir que todos los relojes que dan la orden de muestreo tengan el mismo desfase, y un bloque combinador para unir todos los datos de salida.

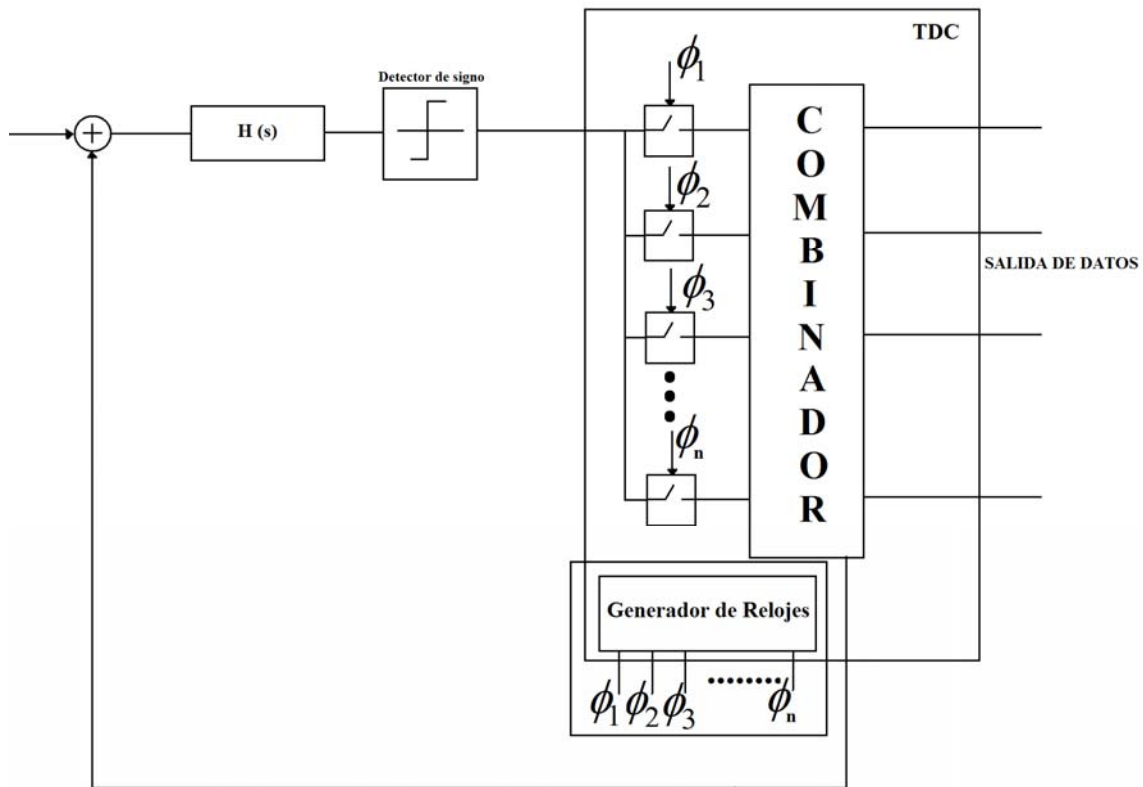


Figura 2—3 Diagrama de bloques

En el siguiente figura se pueden apreciar de forma general el diagrama de bloques de las distintas partes de las que consta el circuito.

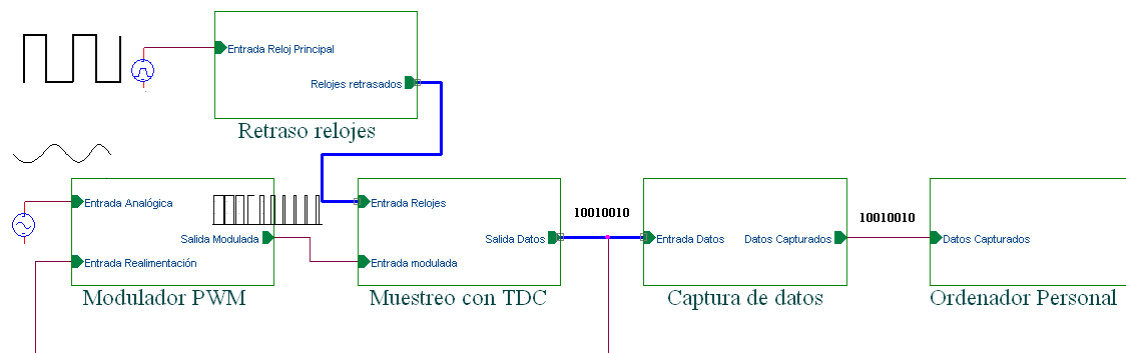
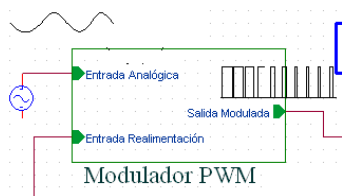


Figura 2—4 Diagrama de bloques general

2.2 Diagrama de bloques específico

En el apartado anterior se mostraba el diagrama de bloques general, ahora se pasará a dar una explicación más detallada de cada uno de los bloques y que elementos se utilizarán para obtener las especificaciones anteriormente vistas.

2.2.1 Modulador PWM



El Bloque del modulador tiene 2 entradas, la primera es la señal analógica de entrada (en las pruebas será una senoidal de 1KHz y 1Vpp de amplitud), la segunda es una señal cuadrada

realimentada, que es la PWM reconstruida en el siguiente bloque, el de muestreo y codificación. Se suman estas dos señales para que el sistema oscile, (se explicará más adelante su funcionamiento), el resultando es una onda cuadrada con oscilación senoidal. En el siguiente bloque se procederá a la **integración** de la señal, para transformarla en una onda triangular con oscilación senoidal. Después se realiza en el último bloque una **comparación** para obtener finalmente la señal PWM (a mayor amplitud, mayor ancho de pulso). La salida de este bloque es una señal PWM unipolar.

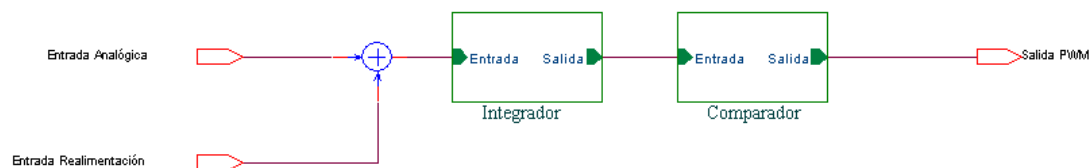
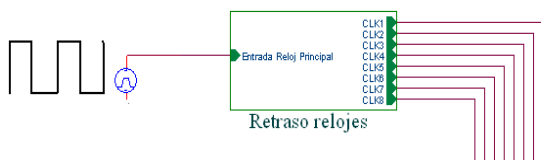


Figura 2—5 Interior bloque Modulador PWM

2.2.2 Retraso de relojes



El bloque del retraso de relojes es simple, ya que dentro de él, solo existen **inversores**. Se ha optado por ellos porque son capaces de generar un desfase estable entre cada una de sus salidas. Estos están conectados entre sí, la salida de uno es la

entrada del siguiente, ya que así irán propagando el retraso debido al latch del propio inversor. Al primero se le alimentará con el reloj principal.

La tarea más complicada es que el conseguir que entre el primero y el último haya un desfase de 180°. Para ello cuando esté el circuito montado se irá controlando la frecuencia hasta conseguir esto.

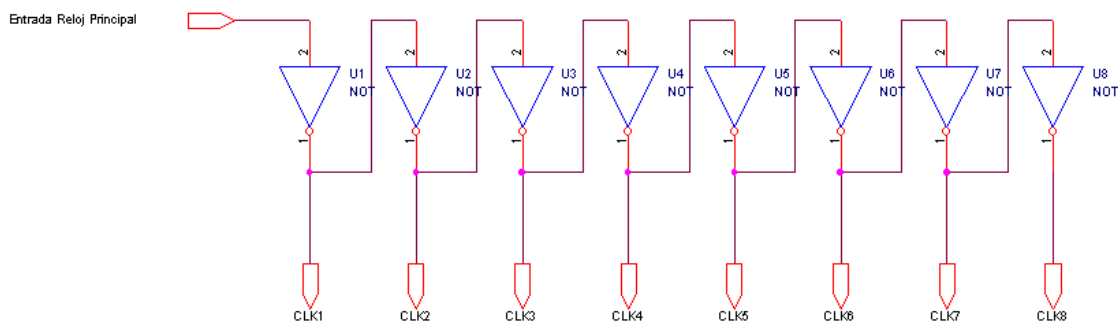


Figura 2—6 Interior bloque Retraso de relojes

2.2.3 Muestreo con TDC

El siguiente bloque es el que representa a la **FPGA** y es el encargado de muestrear la señal PWM y codificarla en datos. TDC proviene de (*Time to Digital Converter*) .Tiene dos entradas, la primera es la señal PWM a muestrear, y la segunda son los relojes que van a ir marcando el periodo de muestreo.



El primer bloque es un **registro** del cual saldrán los datos a medida que se van disparando los flip-flop de su interior cuando los relojes los disparen en su flanco de subida. Los bloques **Detector de Flanco Positivo**, **Detector de Flanco Negativo** y el **Flip-Flop R-S**, se utilizan para reconstruir la señal PWM inicial (corresponden con el bloque “combinador” de la Figura 2—7), mandarla realimentada y sumársela a la entrada para que el sistema pueda oscilar.

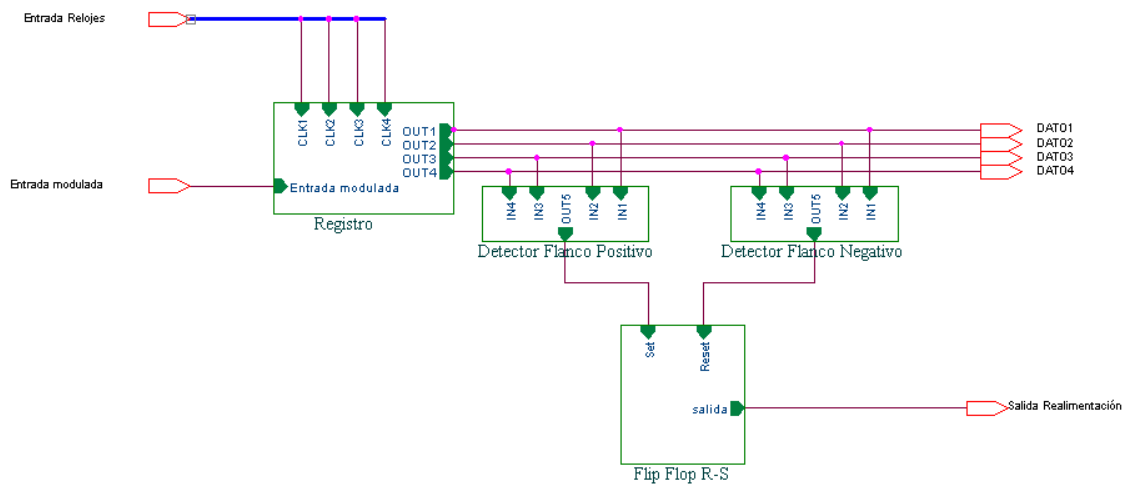


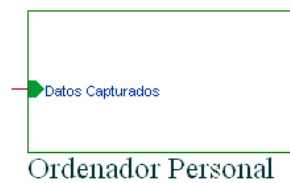
Figura 2—7 Interior bloque TDC

2.2.4 Captura de Datos



El sistema de captura datos simplemente es un bloque, cuya entrada es el bus de los datos codificados mediante la FPGA. Son adquiridos mediante Hardware, pero su configuración se realizará con software y un Pc. Su salida es un archivo que contiene los datos adquiridos.

2.2.5 Reconstruccion de los datos en Ordenador Personal



Con el fichero obtenido del sistema de adquisición de datos lógicos, se creará una función con el programa MATLAB, para convertirlos a una señal analógica, se comprobarán los espectros de la señal analógica original y la obtenida de la conversión y se compararán resultados.

2.3 Diseño del filtro del modulador PWM

2.3.1 *Concepto del Modulador PWM*

Para explicar como hemos hallado algunos de los componentes pasivos, se necesitan saber algunos conceptos preliminares, como por ejemplo el de oscilación.

Para estudiar el modulador PWM son necesarios algunos conceptos de la teoría de osciladores:

En la Figura 2—8 se aprecian dos sistemas. El primero de ellos, **a)** es un oscilador sin entrada, formado por un **bloque amplificador A** y una **red de desfase beta**, cuya salida está dando continuamente una señal senoidal. El sistema **b)** es idéntico al **a)** pero con una entrada, en concreto una rampa. Al sumar la entrada con la salida (lazo de realimentación) vemos como va aumentando la salida. Si tuviésemos un comparador a la salida, veríamos la señal, que resulta modulada en anchura de pulsos (aunque no de forma lineal).

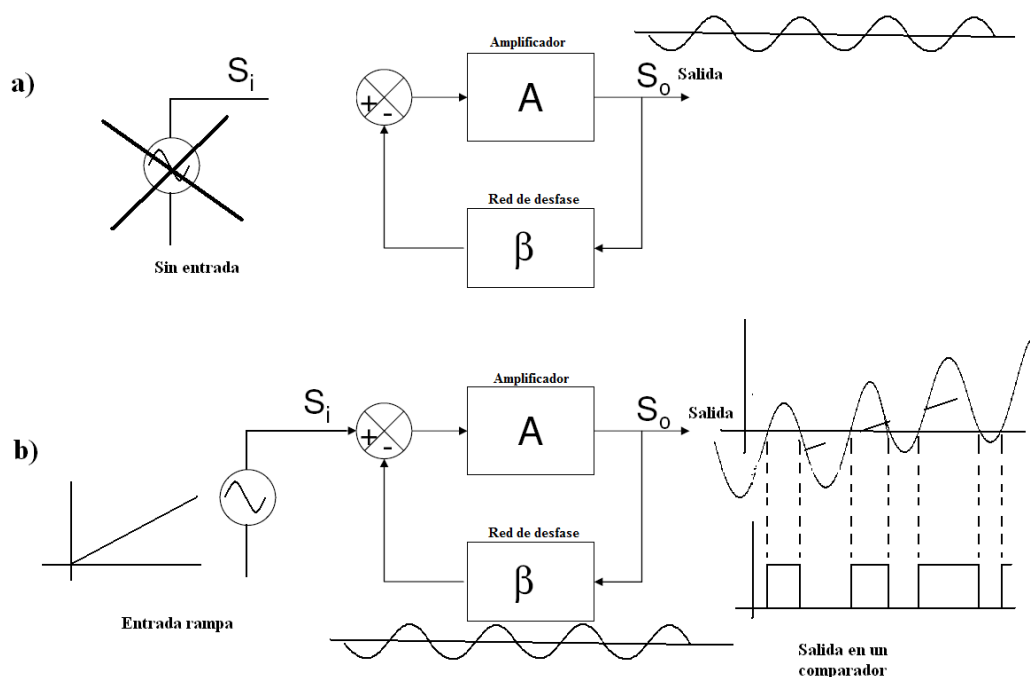


Figura 2—8 Circuito de oscilación

En el sistema que vamos a implementar, el amplificador va a ser sustituido por un comparador que puede asimilarse a un amplificador con ganancia infinita. Para explicar lo que hace exactamente el circuito de nuestro diseño se muestra la siguiente figura:

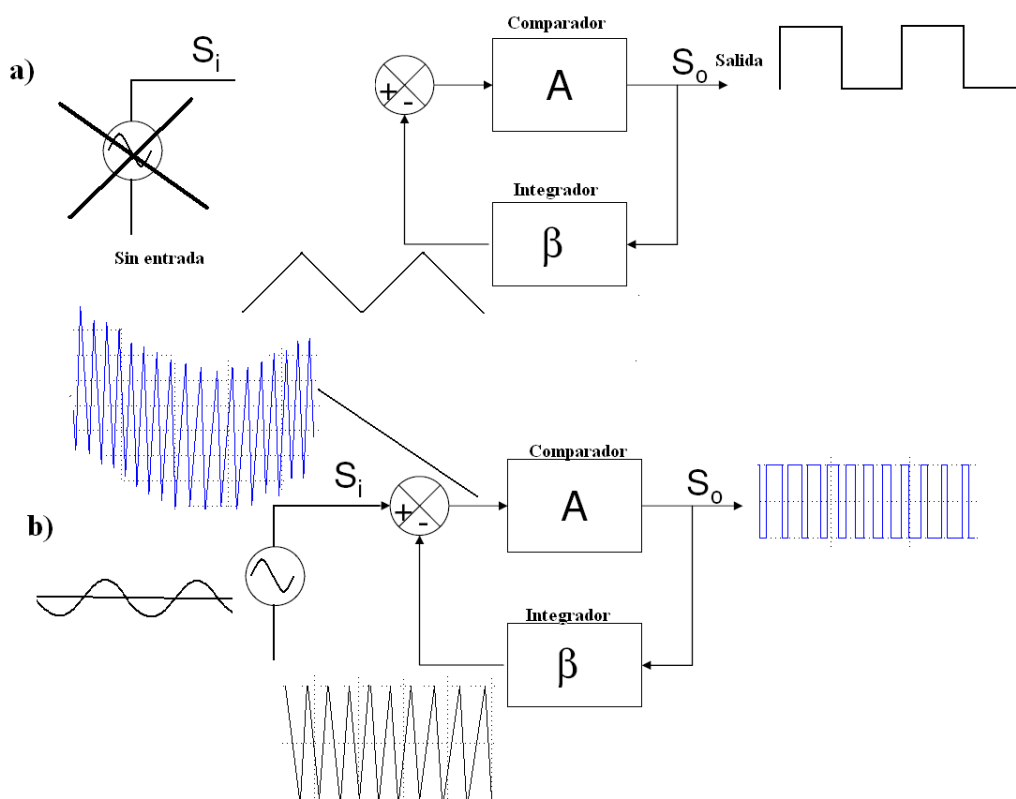


Figura 2—9 Circuito de oscilación específico

El bloque **a)** representa un oscilador que integra al comparador, por lo que su salida es una onda cuadrada, y una red beta que contiene un integrador y un retardo. Después de la *red beta* obtendremos una señal triangular ya que la entrada ya no es senoidal sino cuadrada, gracias al comparador. La figura **b)** representa el mismo sistema cuando se aplica una entrada. En este caso se introduce una señal senoidal, a la que se sumad la triangular generada en el integrador del lazo de realimentación,. Posteriormente se compara, generando a la **salida**, una señal cuadrada que resulta modulada en PWM, mientras la entrada no supere ciertos limites de sobrecarga.

2.3.2 Funcionamiento de Osciladores y condiciones de Barkhausen

Para que un oscilador funcione se debe cumplir las siguientes condiciones:

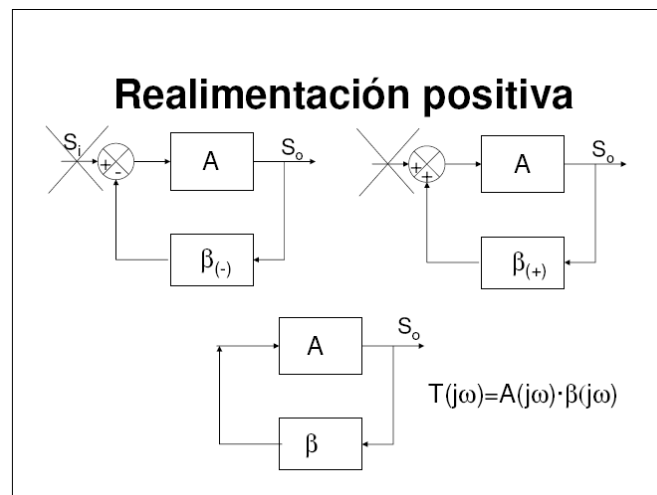


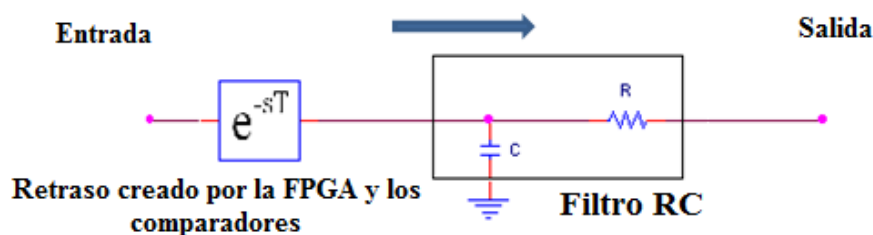
Figura 2—10 Criterio de realimentación positiva

Debe tener realimentación positiva, ya sea sumándole la señal del lazo directamente o restándole dicha señal con un desfase de 180, es decir, la dual.

$$T(j\omega) = A(j\omega) \cdot B(j\omega)$$

Figura 2—11 Función de transferencia

El presente proyecto muestra la siguiente el siguiente lazo de realimentación β . Está formada por el integrador, y un retraso. Puesto que el reloj de muestreo es muy superior a la frecuencia de oscilación del modulador PWM, supondremos que el retraso es en tiempo continuo aunque se deba al retardo introducido por los latches de la FPGA (sincronizados con un reloj) y los comparadores.





Haciendo uso del criterio de Barkhausen, concretamente el balance de fase, se puede obtener el valor de uno de los componentes pasivos, para una frecuencia de oscilación deseada.

$$\beta(\omega) = \frac{\frac{1}{RC} \cdot e^{j\omega T}}{j\omega + \frac{1}{RC}}$$

Función de Transferencia del lazo

Para calcular el valor teórico del condensador, por ejemplo, se da un valor a la resistencia. Hemos fijado como valor para nuestro oscilador una frecuencia cercana a los 5,5Mhz. Se irán dando valores al condensador, hasta en el diagrama de la fase se vea que a -180 grados, está la frecuencia de oscilación especificada (5.5Mhz).

Con un sencillo programa en MATLAB se ha podido representar la fase

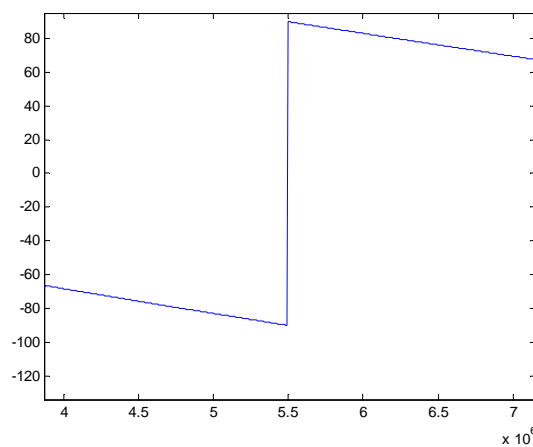


Figura 2—12 Frecuencia de oscilación en reposo

```
w=2*pi*(1:1000:80e6);
s=sqrt(-1)*w;
R=6500;
C=6e-012;
T=64.2e-9;
plot(abs(beta))
beta=1/R/C*exp(-s*T)./(s+1/R/C);
plot(w/2/pi, angle(beta)/4/pi*360)
```

%s=jw
 %Valor de la Resistencia
 %Valor del Condensador
 %Periodo del retardo total introducido
 %Función de transferencia de la realimentación
 %Representa w en X, y la fase en Y

Figura 2—13 Programa en MATLAB

El valor del condensador está alrededor de los **6 picofaradios**. El valor de T es el periodo del retraso aproximado por los comparadores y la FPGA, obtenido de los datos de los fabricantes.

La ganancia necesaria en el amplificador no es relevante, ya que el comparador actúa como amplificador de ganancia infinita.

2.4 Simulación en Simulink

MATLAB es la abreviatura de MATrix LABoratory (laboratorio de matrices). Se trata de un software matemático muy versátil que ofrece un entorno de desarrollo integrado (IDE) con un lenguaje de programación propio (lenguaje M). Está disponible para las plataformas Unix, Windows y Apple Mac OS X.

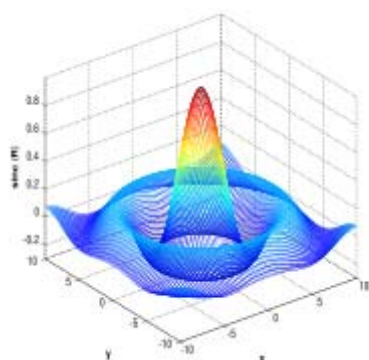


Figura 2—14 Gráfica en MATLAB

Entre sus prestaciones básicas se hallan: la manipulación de matrices, la representación de datos y funciones, la implementación de algoritmos, la creación de interfaces de usuario (GUI) y la comunicación con programas en otros lenguajes y con otros dispositivos hardware. El paquete MATLAB dispone de dos herramientas adicionales que expanden sus prestaciones, a saber, **Simulink** (plataforma de simulación multidominio) y **GUIDE** (editor de interfaces de usuario - GUI). Además, se pueden ampliar las capacidades de MATLAB con las cajas de herramientas (toolboxes); y las de Simulink con los paquetes de bloques (blocksets). Es un software muy usado en universidades y centros de investigación y desarrollo. En los últimos años ha aumentado el número de prestaciones, como la de programar directamente procesadores digitales de señal o crear código VHDL.

En este proyecto se ha diseñado una simulación con **Simulink**, para ver su comportamiento de forma teórica. En la siguiente figura se muestra el esquema general, diferenciando los diferentes bloques mencionados. Se mostrará una serie de gráficas en

las que se puede mostrar de una forma más clara las formas de onda de entrada y salida de cada bloque.

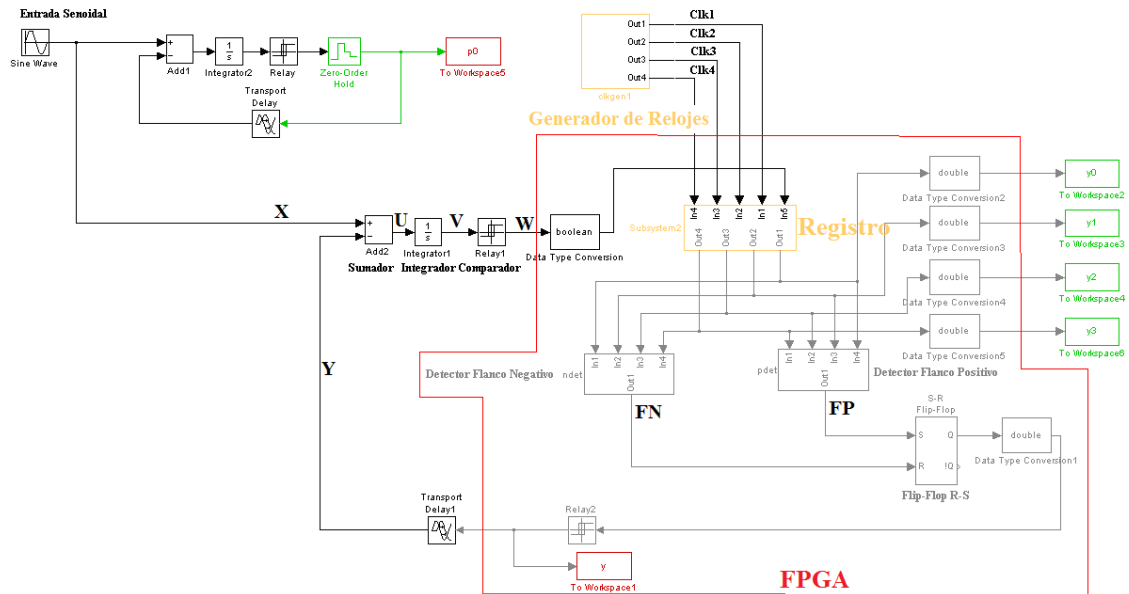


Figura 2—15 Esquema general en MATLAB

2.4.1 Sumador

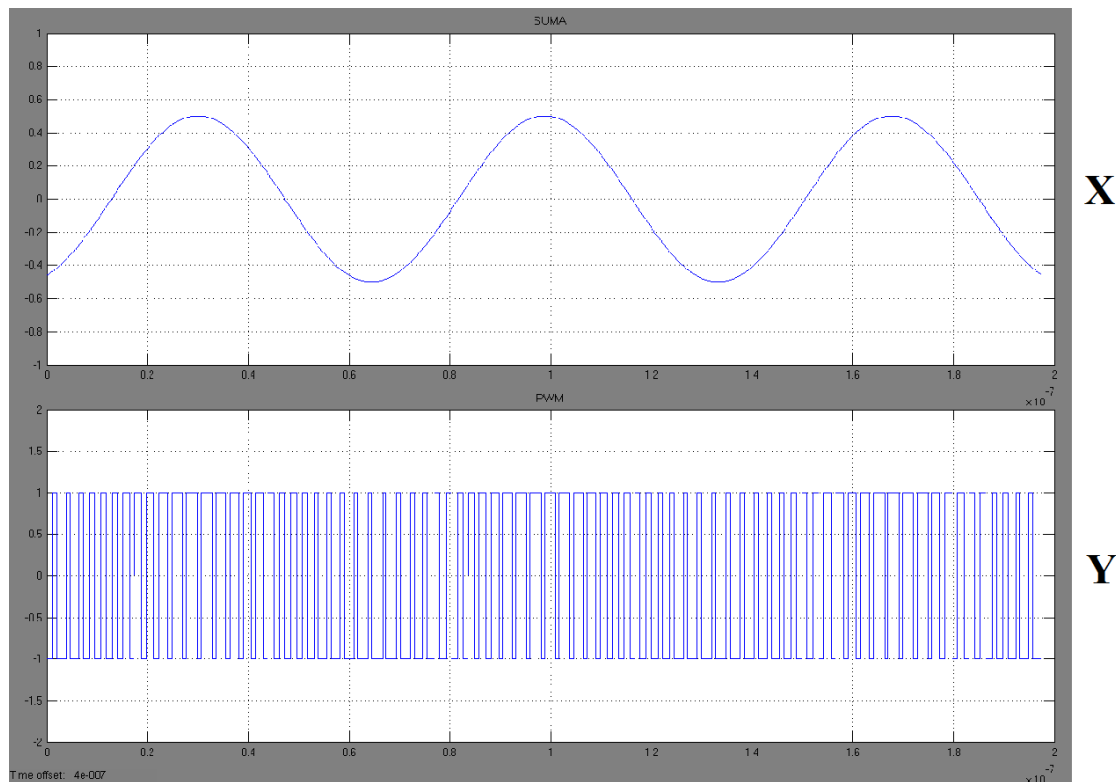


Figura 2—16 Señales de entrada y PWM reconstruida

A la entrada se aprecia una *señal senoidal* de 1Vpp y 1khz de frecuencia (Figura 2—16 **X**), a esta señal se le **sumará** la señal que sale de la FPGA, que es la *PWM reconstruida*, para que el sistema oscile (Figura 2—16, **Y**), el resultado se muestra debajo de las dos figuras anteriores, una onda cuadrada con oscilación senoidal. (Figura 2—17, **U**)

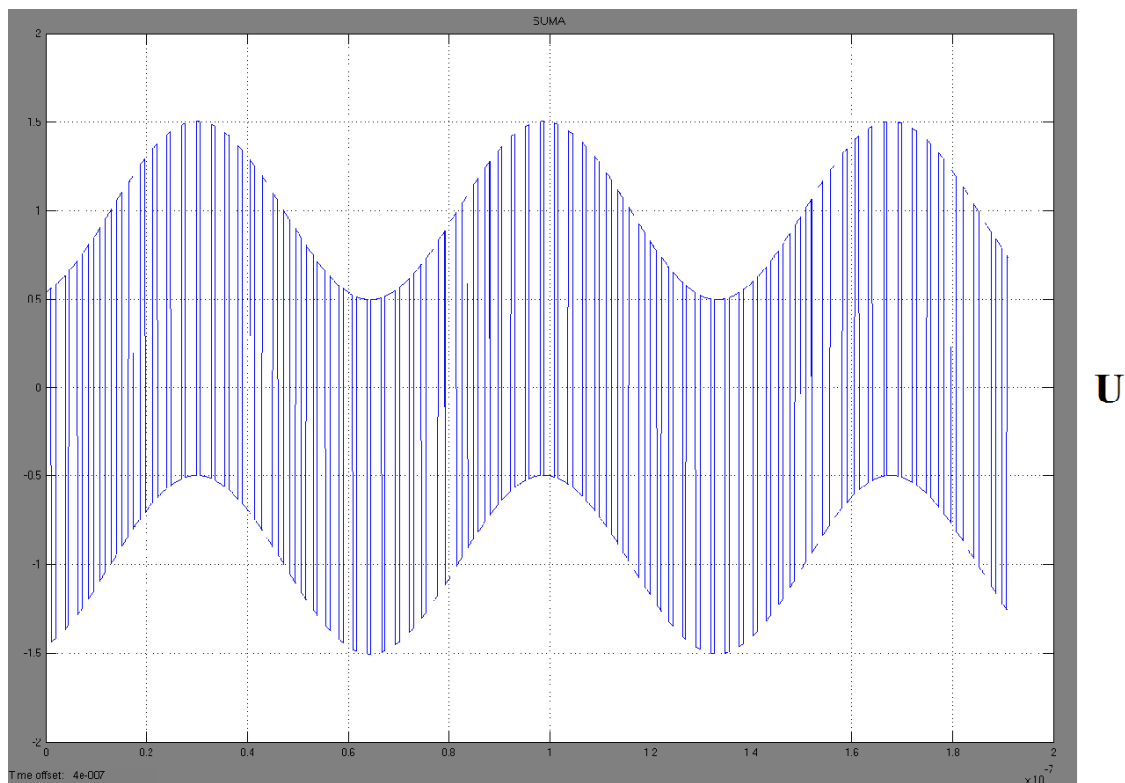


Figura 2—17 Salida del sumador

2.4.2 Integrador

El siguiente paso será la **integración** de la señal anterior, la haremos pasar por el bloque **integrador**, y este será su resultando, en la siguiente figura (Figura 2—18) se ve la salida del integrada.

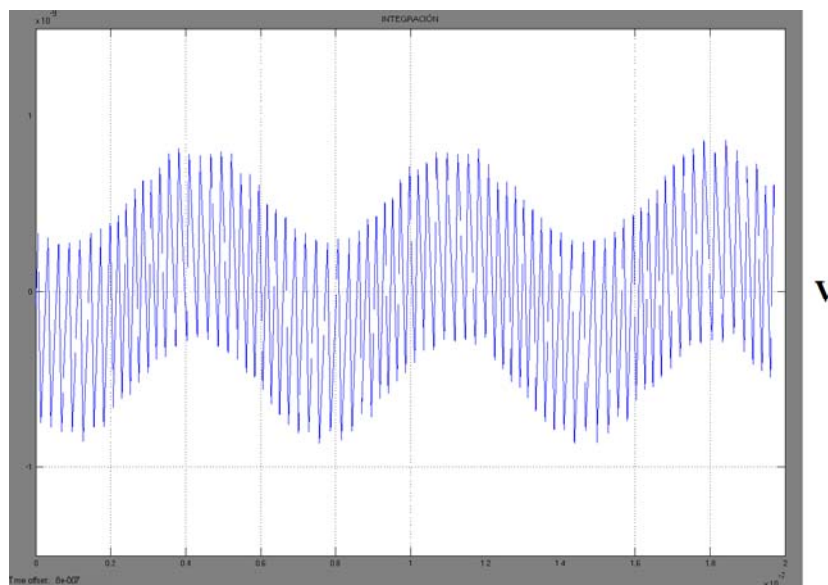
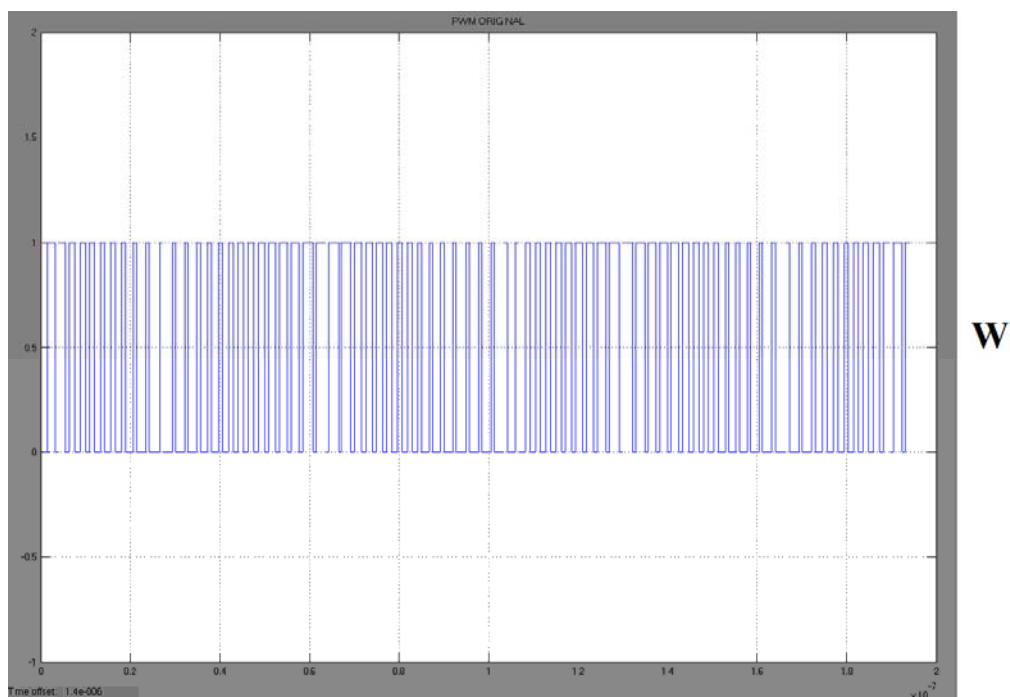


Figura 2—18 Señal de salida del integrador

2.4.3 Comparador

Posteriormente, **comparamos** la salida del integrador y obtenemos la **PWM** deseada, esta es la original, y no la reconstruida que le sumamos a la entrada. Esta señal obtenida a la salida del comparador es la que muestrearemos y codificaremos en el bloque de la FPGA



2.4.4 Generador de relojes

Este es el bloque del **generador de relojes**, en el se puede apreciar como se han generado los retrasos, y en la Figura 2—20 se muestran los relojes que irán muestreando de forma concurrente la PWM

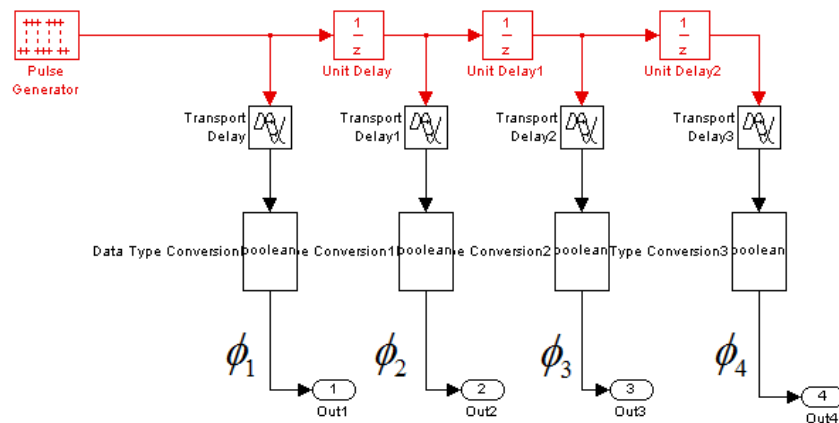


Figura 2—19 Interior del Generador de Relojes

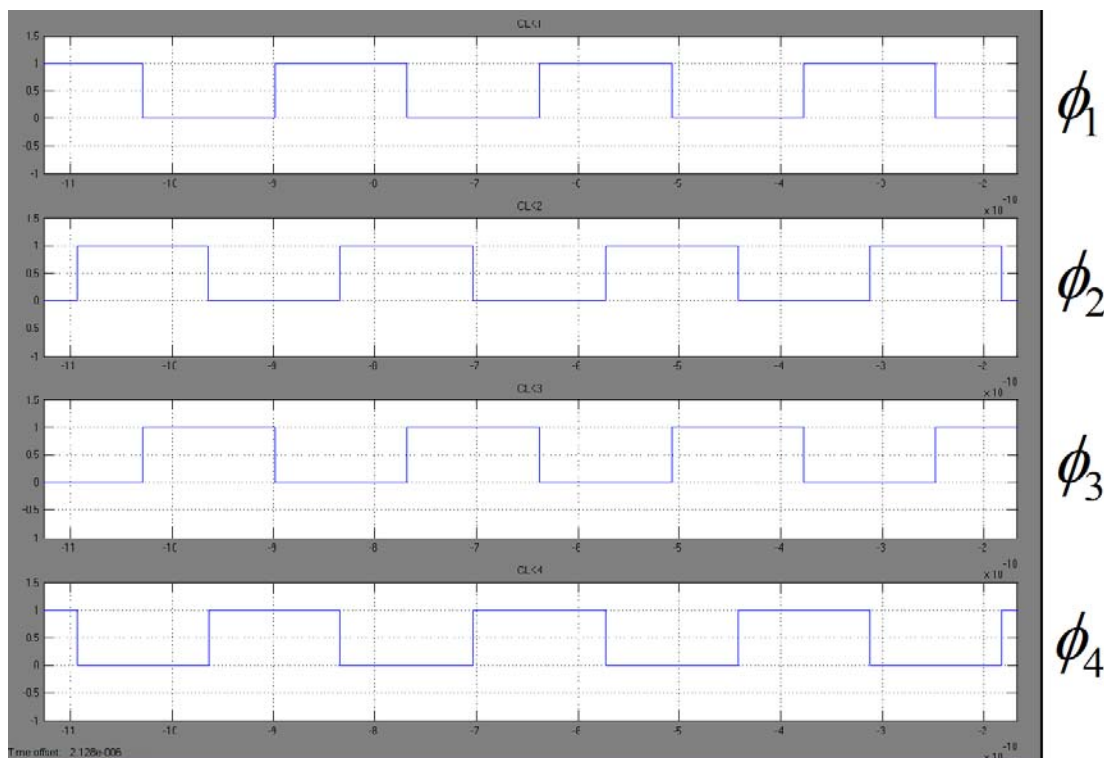


Figura 2—20 Relojes desfasados

2.4.5 Registro

En el bloque del **registro** se irán tomando los datos a medida que los flancos ascendentes disparan los Flip-Flop, los diferentes datos se ven en la Figura 2—22

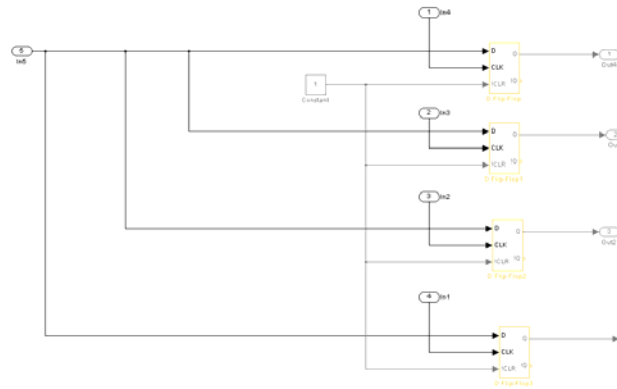


Figura 2—21 Interior del Registro

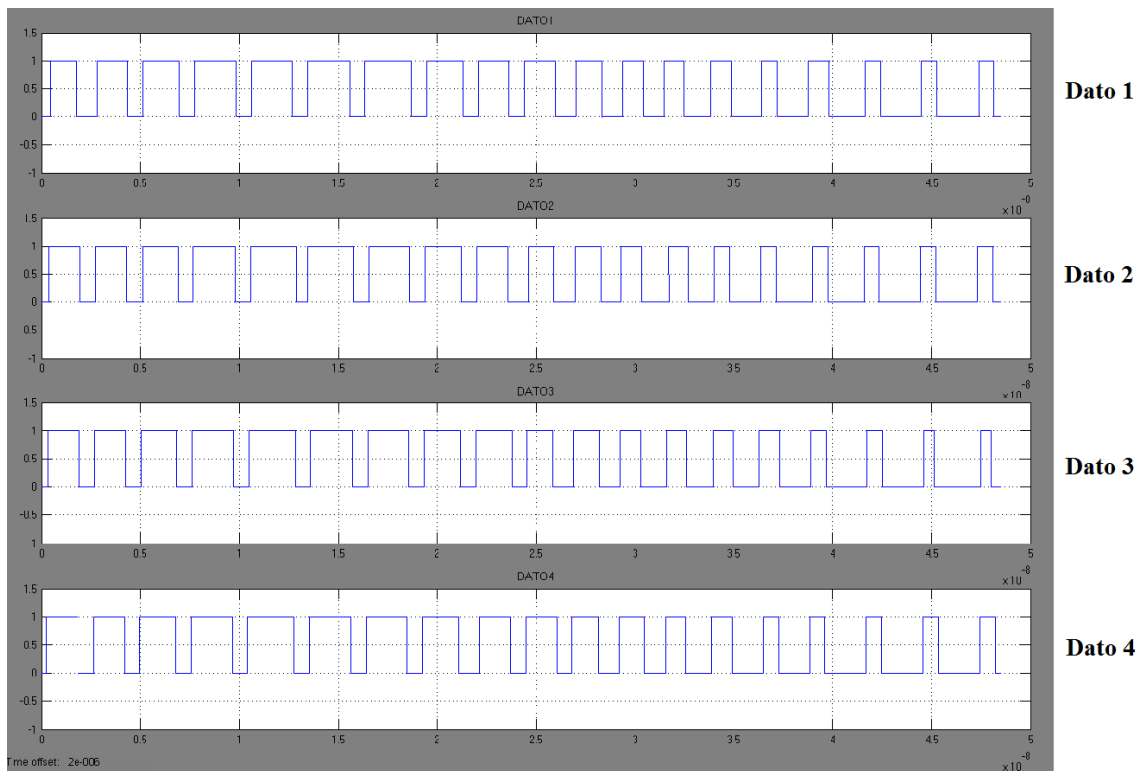


Figura 2—22 Secuencia de datos del registro

2.4.6 Detector de Flanco Positivo-Negativo

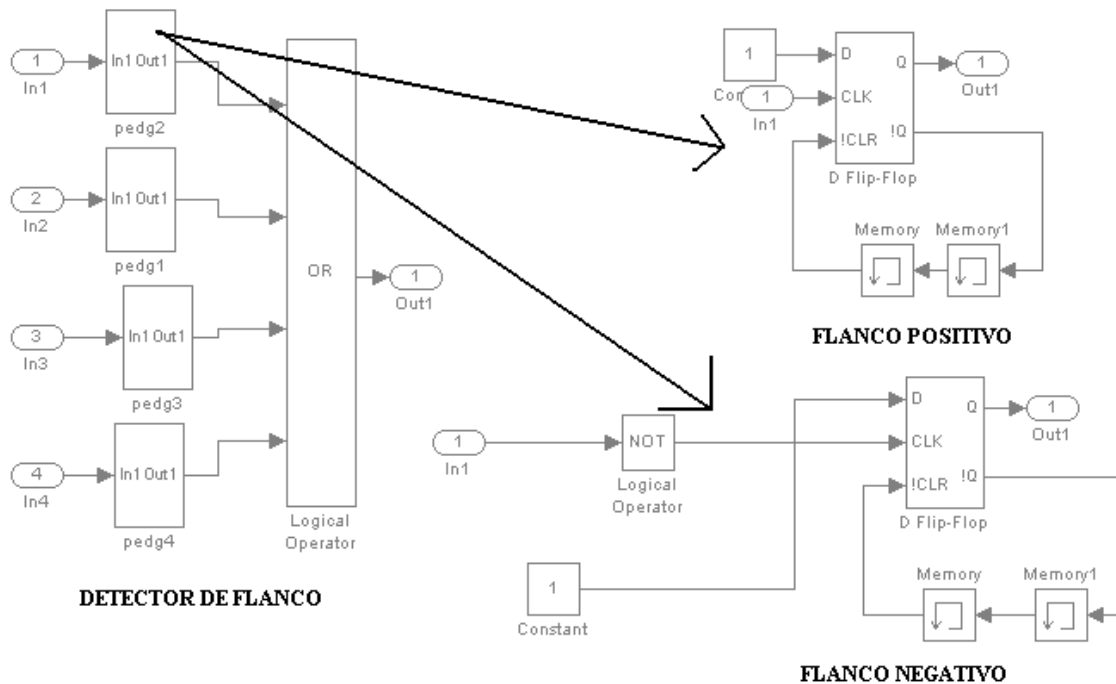


Figura 2—23 Detector de Flanco Positivo y Negativo

Los detectores cuando detectan un flanco, ya sea positivo o negativo en cualquiera de los cuatro datos, actúan sobre un Flip-Flop R-S dando un set o un reset respectivamente, para reconstruir la PWM inicial y sumarla a la entrada inicial para que el sistema oscile. En la siguiente figura se ven los flancos positivos

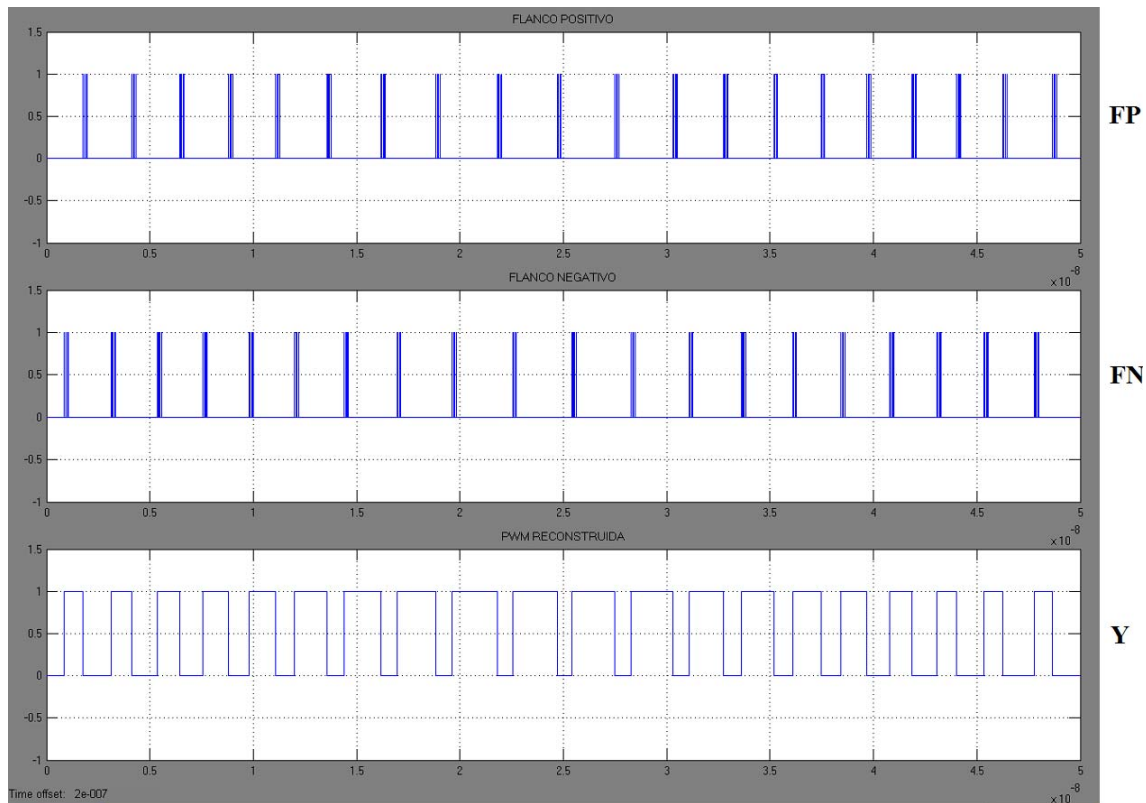


Figura 2—24 Flancos Positivo, Negativo y PWM reconstruida

2.4.7 Señal PWM y su Espectro

En el esquema general de *Simulink*, en el que aparecen todos los bloques (Figura 2—15), se puede ver un sistema de referencia que representa un convertidor A/D como el de proyecto, la única diferencia es que solo muestrea con un único reloj, equivalente a lo que obtendríamos sin incluir el TDC.

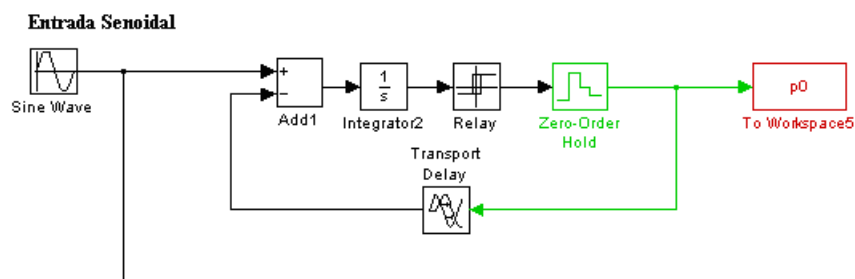


Figura 2—25 Sistema de un único reloj

Dentro de la simulación se han representado algunas de las señales de interés como es por ejemplo la señal (*y*) que es la PWM reconstruida con el Flip-Flop R-S y los



detectores de flancos, o (**p0**) que es la PWM resultante del sistema arriba mencionado, el cual muestrea con un único reloj. De esta gráfica no se puede sacar diferencia alguna.

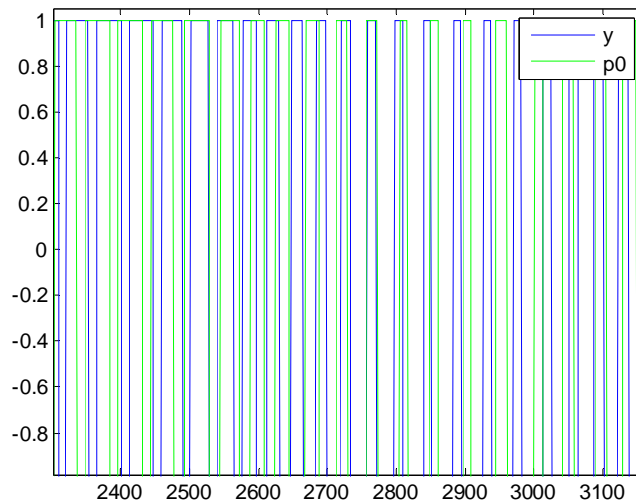


Figura 2—26 Señales PWM

La siguiente figura, representa los espectros de las diferentes señales calculados usando la transformada FFT.

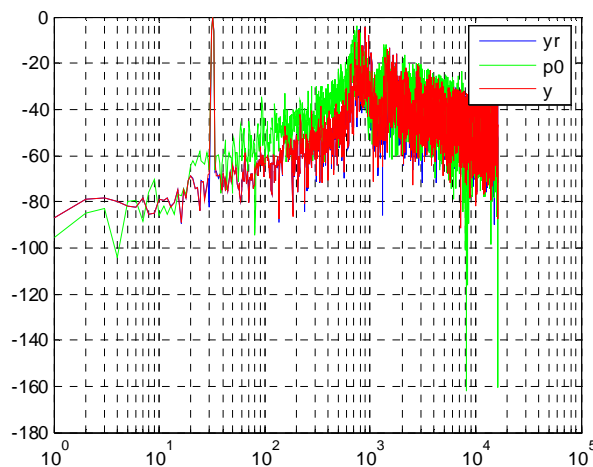


Figura 2—27 Espectros de las señales

(**y**), y (**p0**) son los espectros pertenecientes a las PWM arriba mencionadas, el primero a la reconstruida, y el segundo al sistema de un solo reloj. A estos dos, se le añade uno más, (**yr**) el cual es el espectro de la PWM muestreada por la FPGA y es



creada a partir de los datos (y_0, y_1, y_2, y_3). Como es de esperar (y) e (y_r) son bastante parecidas, mientras que (p_0), la del sistema de la Figura 2—25, tiene mas ruido, ya que proviene de un muestreador mas lento.

2.5 Elección de componentes

La elección de componentes es una parte que tiene gran peso en la realización del circuito, ya que van a condicionan, restringir, o limitar algunos aspectos. Puede ser uno de los puntos más importantes. A continuación se muestra una tabla en la que aparecen los componentes que integran o conforman los diferentes bloques del circuito, además de la justificación del porque se han seleccionado.

NOMBRE DEL COMPONENTE	BLOQUE AL QUE PERTENECE	FUNCIÓN DEL COMPONENTE
LT1016	Modulador PWM	Comparador
74HC245	Generador de Relojes	Generación del retraso
EPM7128SLC84-7	Muestreo con TDC	Registro, Detector de Flanco positivo y negativo y Flip-Flop R-S
LM324	Modulador PWM	Controlar la alimentación de los inversores

2.5.1 Comparador LT1016

Se ha escogido este componente por su gran velocidad, tan solo propaga un retraso de 10ns. Tiene una gran precisión y muchos modos de funcionamiento. Las características anteriores son perfectas, pero además posee otras que se necesitan para el circuito, como son su entrada diferencial, y sobre todo su salida, ya que posee dos, una la salida original, y la otra la dual u opuesta. Añadir que la salida es TTL cosa que solo reporta ventajas en nuestro circuito, por tanto este componente es el indicado para desempeñar la función de comparación. Para terminar, en las características se indica que es ideal para comparadores A/D ultrarrápidos, como es en nuestro caso. El

componente será comprado, ya que en la universidad no se dispone de él, aunque la relación calidad-precio es muy buena.

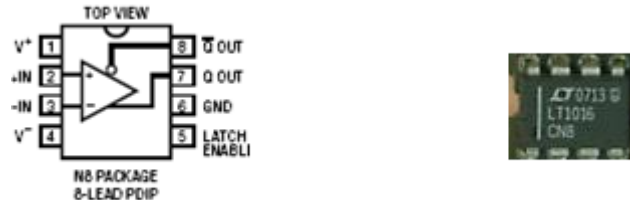


Figura 2—28 Comparador LT1016

2.5.2 Inversor 74HC245

Este integrado está formado por ocho inversores, justo lo que queremos, porque necesitamos crear ocho relojes. El inversor se ha escogido por su gran rapidez, tan sólo 7 nanosegundos.

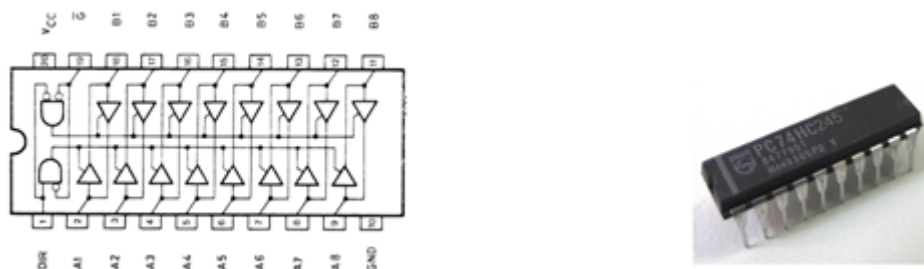


Figura 2—29 Inversor 74HC245

2.5.3 FPGA ALTERA MAX EPM7128SLC84-7

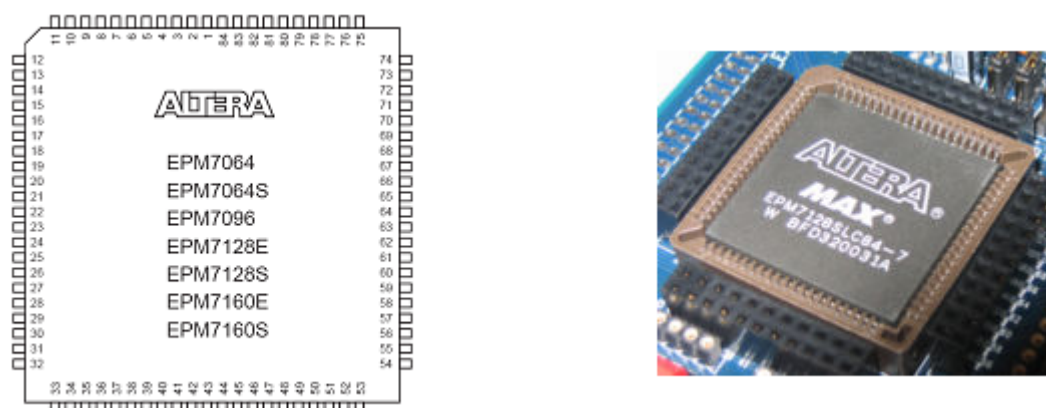


Figura 2—30 FPGA de la firma Altera

La FPGA utilizada en el circuito es de la marca de altera, y los criterios de utilización han sido, posesión de ochenta y cuatro pines, gran rapidez, y sobre todo que

se disponía de ella en la universidad, además de haberse realizado otros proyectos con ella y dar buenos resultados. Añadir también que se disponía de antemano el software necesario para programarla, y los conocimientos para realizar dicha tarea, motivo muy importante de su elección, además de la anteriormente mencionada de abaratar costes.

2.5.4 Amplificador Operacional LM324

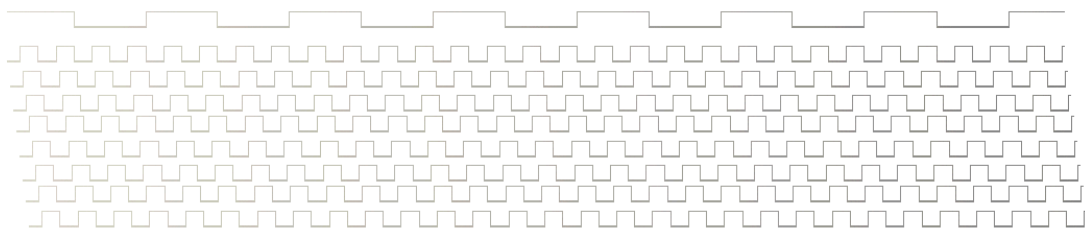
El amplificador operacional se ha introducido para alimentar de forma estable los inversores del 74ACT245 el motivo de la elección es que se disponía de ellos.



Figura 2—31 Amplificador Operacional LM324



DISEÑO DEL CIRCUITO



CAPÍTULO

1 1



3.CAPÍTULO 3

DISEÑO DEL CIRCUITO

3.1 Introducción a entornos EDA

La aparición de los entornos gráficos ha facilitado considerablemente el diseño y simulación de circuitos electrónicos, convirtiéndose en la mayoría de los casos en una herramienta imprescindible, cuya evolución discurre paralelamente a la de los computadores en los que se hallan instalados.

Los llamados entornos **EDA** (*Electronic Design Automation*) son similares a los programas CAD/CAM (*Computer Assistant Design/Computer Assistant Machine*) pero orientados al diseño electrónico. Se controla el diseño y la producción desde el computador, pudiendo realizarse los cambios necesarios mientras discurre el proceso.

Estos paquetes de software están compuestos por una serie de programas que utilizan los datos existentes en las librerías y los procesan para obtener finalmente un conjunto de ficheros que contienen el diseño.

En primer lugar hay que realizar la captura del esquema y a continuación se realiza el diseño de la placa de circuito impreso PCB (*Printed Circuit Board*).

Se ha optado por el software de **OrCAD** por ser uno de los más potentes del mercado y de los más extendidos, así como por su facilidad de manejo.



El capturador de esquemas de OrCAD se denomina **Capture** y con él se crea el esquemático del circuito (analógico, digital o mixto) a diseñar, utilizándose también para modificar diseños ya realizados.

También se utiliza para crear y modificar componentes, hacer chequeos eléctricos del circuito, obtener listados, etc.

En la figura de la hoja siguiente (Figura 3—1), se puede apreciar el esquemático general del circuito; en él, aparecen una serie de bloques que son los que componen el circuito. En este apartado se explicará cada bloque por separado de una forma más detallada. Hay que aclarar un aspecto importante, es que aunque el circuito está simulado para cuatro relojes, se fabricó para que funcionen con ocho, no obstante como ampliación, la placa final es capaz de albergar hasta dieciséis relojes, de ahí que a partir de ahora los esquemáticos se observará una topología para dieciséis relojes.

El procedimiento es sencillo, hay que crear un nuevo proyecto; posteriormente se añaden las librerías donde se encuentran los componentes, y se van uniando entre ellos. Si un componente no se encuentra, como sucedió con la FPGA se tendría que construir dicho componente. El **Capture** tiene una opción en la que se dibuja el componente y se le asigna los pines de manera personalizada, permite numerarlos según proceda.

3.2 Esquema global del circuito

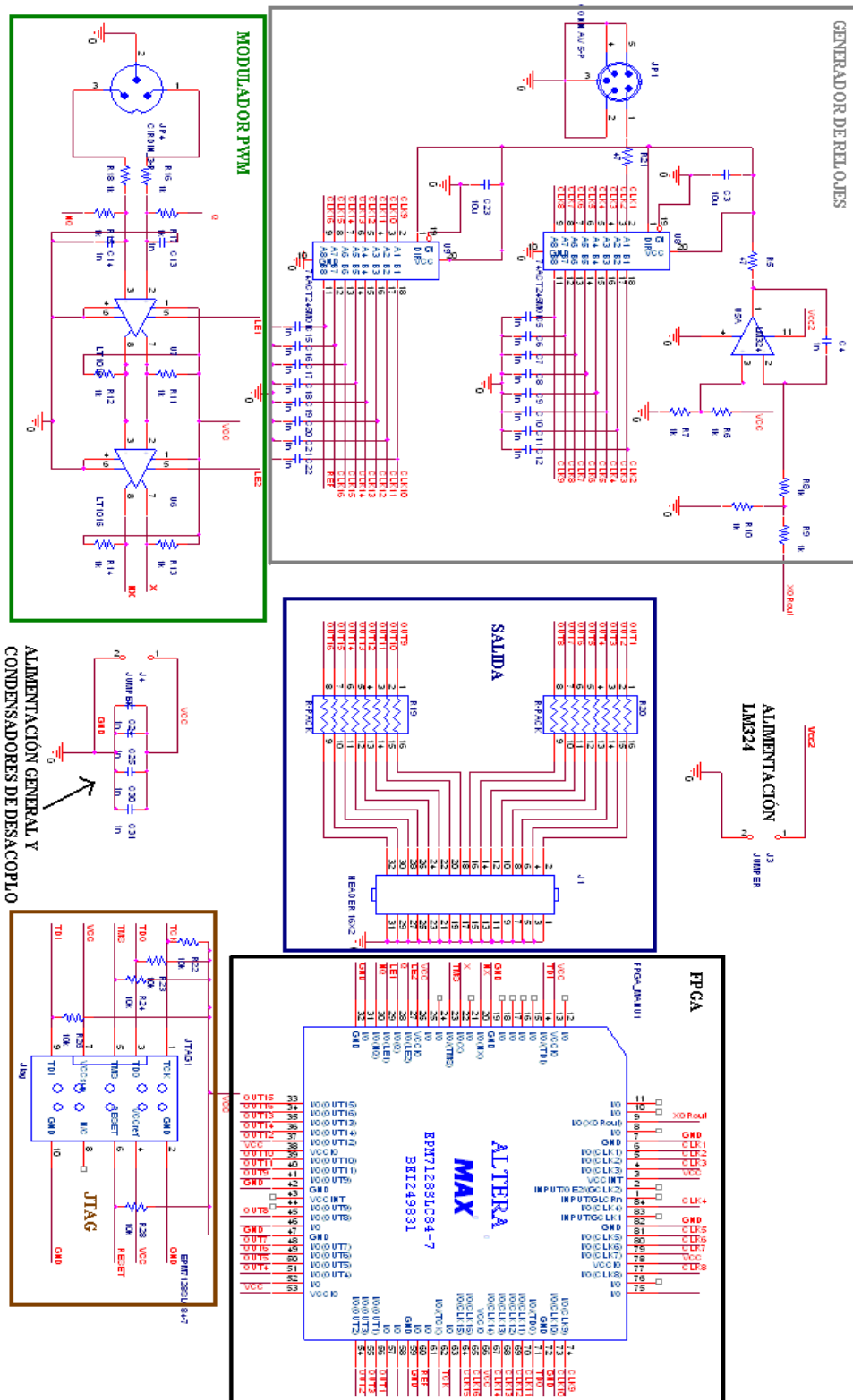


Figura 3—1 Esquema global del circuito diseñado en ORCAD

3.2.1 Generador de Relojes

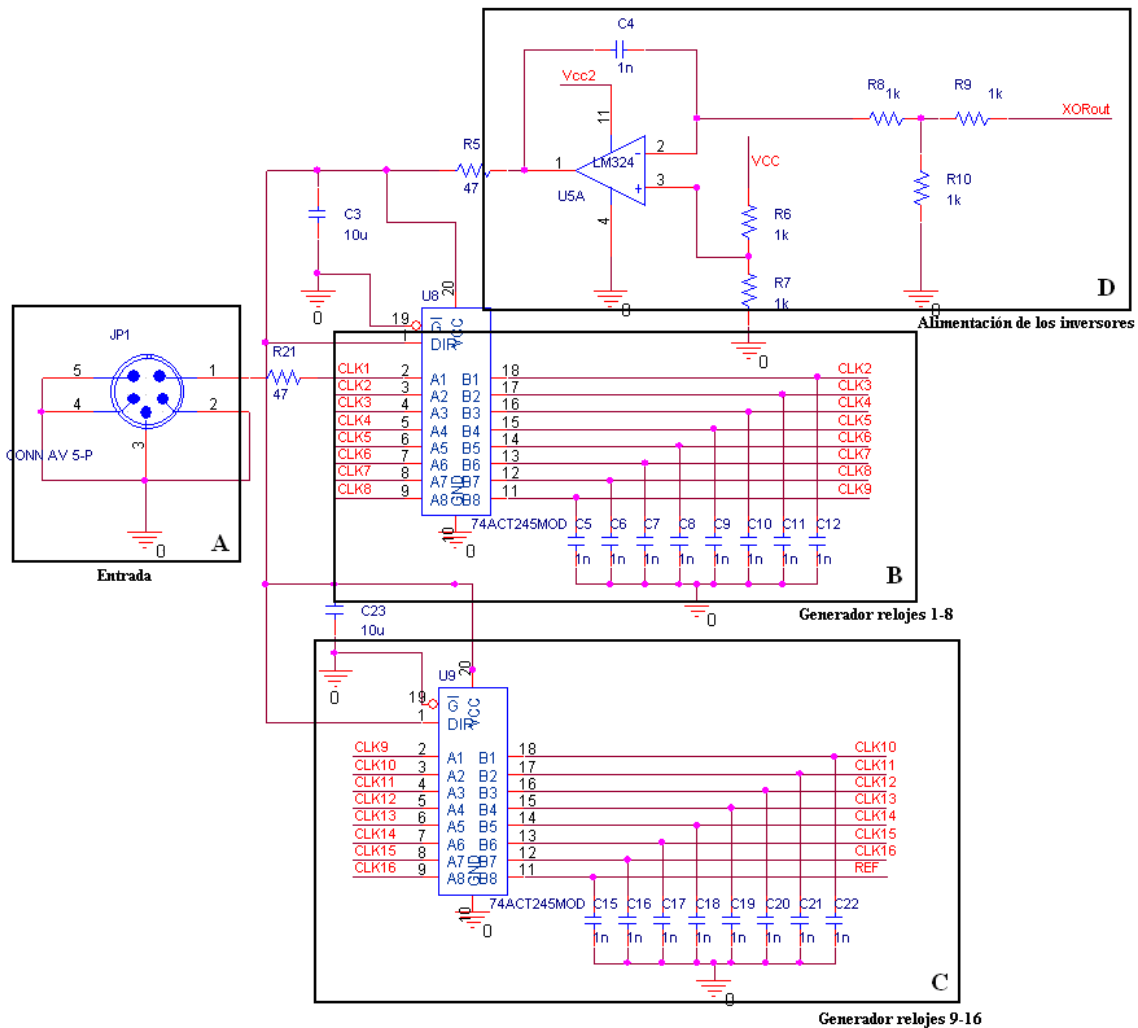


Figura 3—2 Bloque generador de relojes

El primer bloque a comentar es el generador de relojes. Este se podría separar a su vez en cuatro bloques más, el primero el **A**, representa la entrada del reloj principal, el elemento que emplearemos es un conector tipo SMA cuyos cuatros apoyos se conectan a masa.

El bloque **B** muestra un bloque generador de relojes, al primer pin de entradas se le conecta la entrada con una resistencia para evitar ringing en la señal. Una vez el reloj es retrasado, este será la entrada del siguiente inversor y así sucesivamente. Los diferentes relojes (uno hasta el ocho) serán conducidos hasta los pines de la FPGA para ser los relojes de varios biestables. Adicionalmente entre las salidas de los inversores y

masa se conectarán una serie de condensadores (C5-C12) por si acaso el retraso que introducen los inversores no fuera el suficiente, al conectarlos el retraso sería mayor.

El bloque **C** es exactamente igual que el **B**, con la única diferencia de que la entrada de este es el reloj ocho.

Por último el bloque **D**, es el encargado de que se pueda regular el retraso de todos los inversores que depende de la tensión de alimentación. Los condensadores C3 y C23 son de desacoplo de las alimentaciones de los inversores. Este circuito no ha sido necesario en las pruebas experimentales.

3.2.2 Modulador PWM

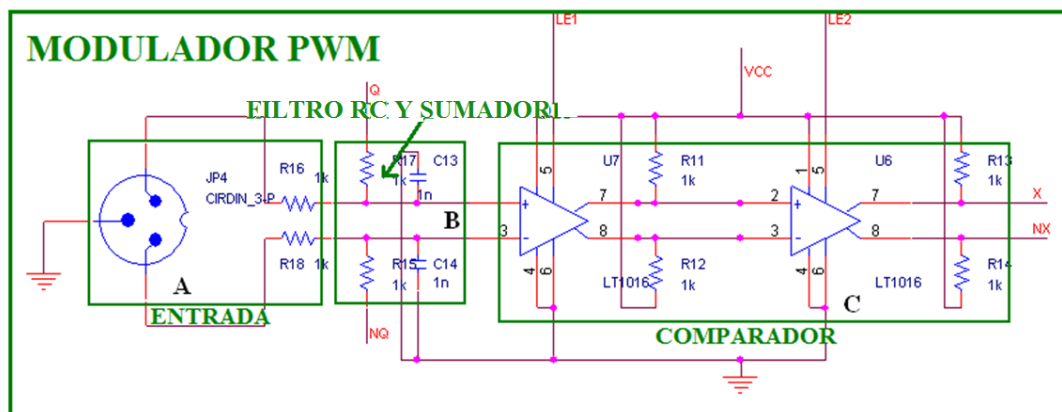


Figura 3—3 Bloque Modulador PWM

El siguiente bloque es el encargado de generar la señal PWM. También está dividido a su vez en diferentes bloques, el **A**, representa la entrada. Se ha puesto un conector de tres pines, el del centro está conectado a masa, y los otros dos son entradas de señales, ya que el sistema lo queremos hacer diferencial. En estas irán dos señales creadas a partir de un generador de ondas dual. Se ha optado por hacerlo diferencial, para que corregir factores, por ejemplo, de esta manera no aparece offset alguno.

El bloque **B** se encarga de dos cosas, la **suma** de la senoidal de entrada con la PWM que viene realimentada de la FPGA y de la **integración** de la misma, está formado por una resistencia y un condensador.

Pasando al siguiente bloque, el **C**, que se encargará de la **comparación** de la señal integrada anterior, dando como salida una PWM que se llamará X, y NX será su dual. Son del tipo TTL, es decir de 0 a 5 V. Las señales LE1 y LE2 (Latch Enable),

sirven para operar el comparador con un reloj, pero no se han empleado en el circuito de prueba. Las salidas de los comparadores LT1016 es de tipo *open collector* y necesitan resistencia a positivo. Mirando en las hojas de características (Figura 3—4) se vio que los pines 4, y 6 deben de ir a masa y la 1 a alimentación.

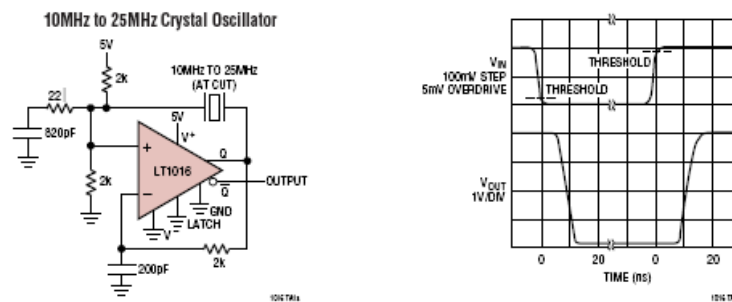


Figura 3—4 Conexión open collector

3.2.3 Conector JTAG

En este bloque aparece el conector JTAG. Para programar la FPGA se necesita conectarla con el ordenador a través de un cable, o llevarla hasta un programador. Se ha optado por la primera opción puesto que si queremos hacer un cambio dentro de la FPGA, se conecta el ordenador en la placa y se realiza dicho cambio de forma rápida y cómoda.

Como el capture no tenía el componente en su librería, se creó en función del esquema general de este tipo de conector.

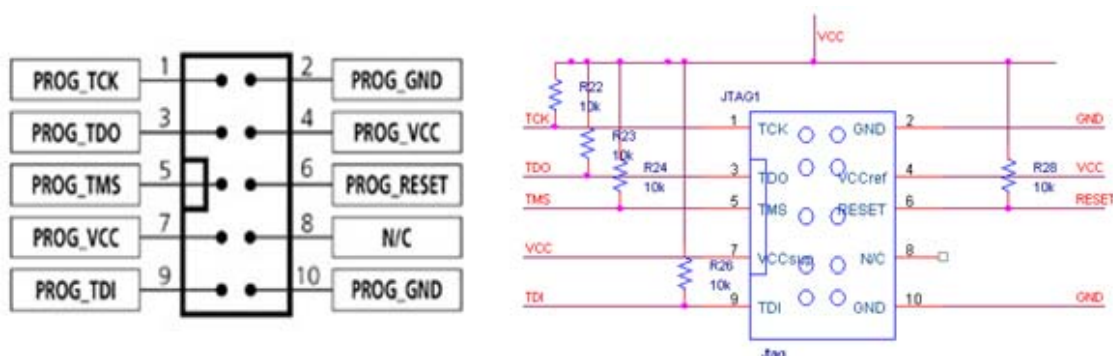


Figura 3—5 Conector JTAG y sus conexiones

Las diferentes resistencias que aparecen, son las de PULL-UP, y se conectan entre alimentación y los diferentes pines. Estos últimos van a ir conectados a los diferentes pines de la FPGA habilitados para su programación.

3.2.4 Alimentaciones y condensadores de desacoplo

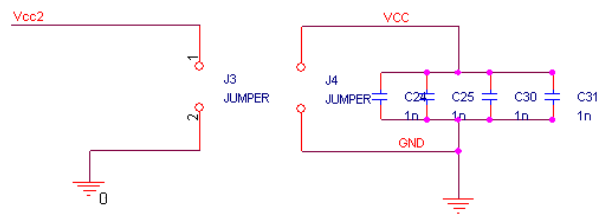


Figura 3—6 Alimentación y condensadores de desacoplo

Existen dos alimentaciones en el circuito, la primera Vcc2 es la encargada de alimentar el LM324 con una tensión de 8V DC (Continua). Por su parte, el resto de componentes (la FPGA, y también los dos comparadores) se alimentan a Vcc con 5V DC.

Los condensadores de desacoplo van a trabajar como elementos dedicados a almacenar energía, de forma si se colocan cerca de los circuitos integrados permitirán suministrar esa demanda de energía (intensidad) requerida en las transiciones, manteniendo estable el circuito de alimentación. Se colocarán 2 para la FPGA, y 2 para lo comparadores LT1016. En el apartado anterior 3.2.1 también podemos ver como los dos integradores llevan uno cada uno.

3.2.5 Salida

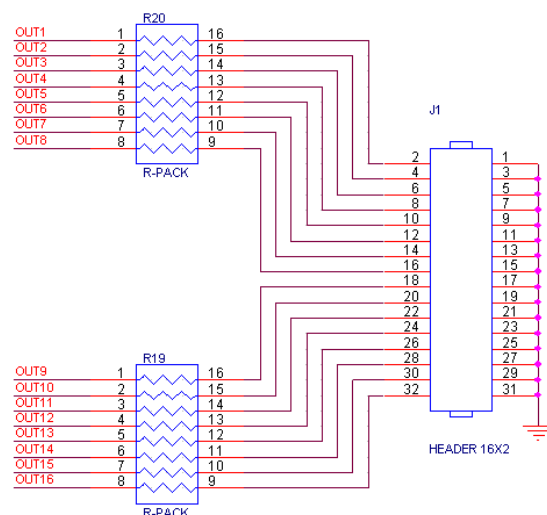


Figura 3—7 Etapa de salida

La etapa de salida está formada por dos bloques, el primero los **arrays de resistencias** de terminación que conectan las salidas de la FPGA (los datos), con el

segundo bloque, un **conector Header 16X2**. Dicho conector tiene dieciséis pines conectados a las resistencias, y los otros 16 están conectados entre sí y a masa. Con este conector podremos sacar los datos conectándolo a un analizador lógico. Las ocho primeras salidas (OUT1-OUT8) corresponden a los ocho primeros datos, es decir, si el convertidor lo utilizáramos solo para ocho relojes, y las ocho restantes, son utilizando los dieciséis relojes.

3.2.6 FPGA

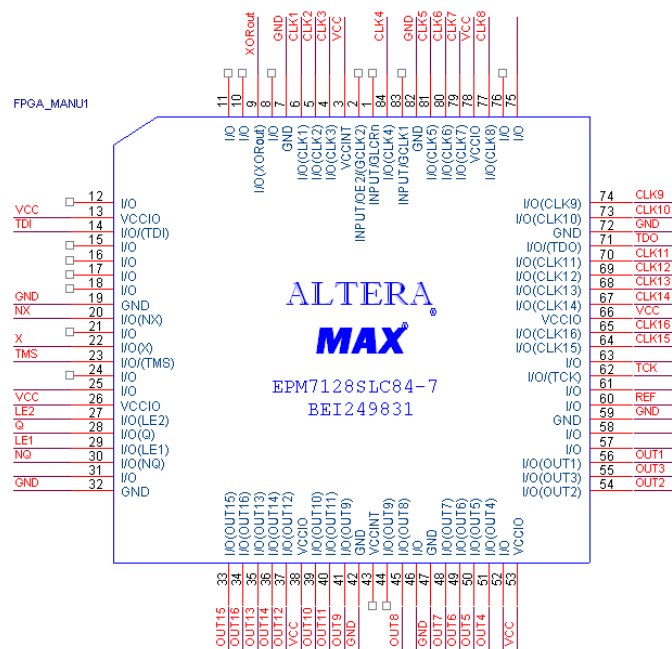


Figura 3—8 FPGA

Los bloques del muestreo TDC explicados en capítulos anteriores (registro, flanco positivo, flanco negativo y Flip-Flop R-S) están integrados conjuntamente dentro de la FPGA. En el siguiente apartado se explicará más detalladamente, puesto que se ha utilizado otro entorno de programación

El bloque de la FPGA no estaba dentro de las bibliotecas del capture por lo que se tuvo que crear. Para ello se vio la disposición en la hoja de características y se copió la situación exacta de cada pin. Una vez creada solo hubo que conectar cada cosa en su lugar correspondiente, las alimentaciones, la masa, los pines para su programación, los diferentes relojes, las entradas y las salidas. Como a la hora de realizar la síntesis de la FPGA se permite cambiar de posición las salidas y las entradas, solo fueron relevantes

los pines que no se podían cambiar (los de programación y los de alimentación), el resto se distribuyó de manera que la placa quedara lo más compacta posible, y que no hubiera cruces de pista.

3.3 Diseño FPGA

Para el diseño de la FPGA se ha utilizado otro programa distinto, aunque la metodología de trabajo es similar a la del capture. En este caso se ha utilizado MAX+plus II, de la firma Altera. Es un paquete integrado de aplicaciones de diseño digital. Se compone de varias utilidades que son capaces de comunicarse entre sí mediante ficheros de formato común.

El proceso normal de uso de la herramienta, desde que se inicia el proyecto hasta que se programa la FPGA sería el siguiente:

- Creación del diseño en la herramienta
- Comprobación de errores
- Diseño jerárquico
- Simulación
- Síntesis
- Programación del dispositivo (FPGA)



3.3.1 Esquema general jerárquico

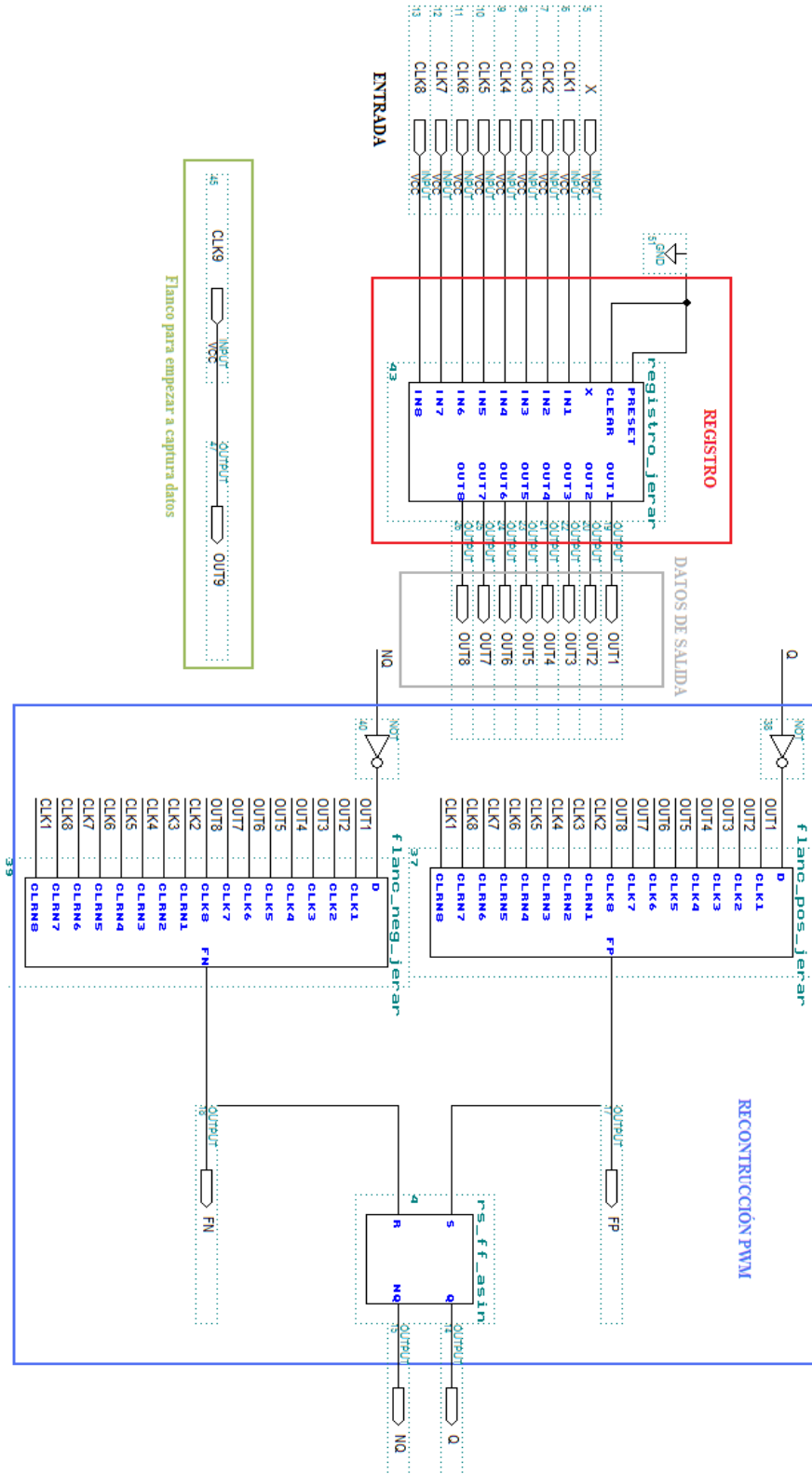


Figura 3—9 Esquema general de la FPGA

En el esquema general se puede apreciar varios bloques de forma jerarquizada, registro, datos de salida, reconstrucción de PWM y flanco para empezar a capturar datos. Se explicará cada uno de ellos de una forma más detallada

3.3.2 Registro

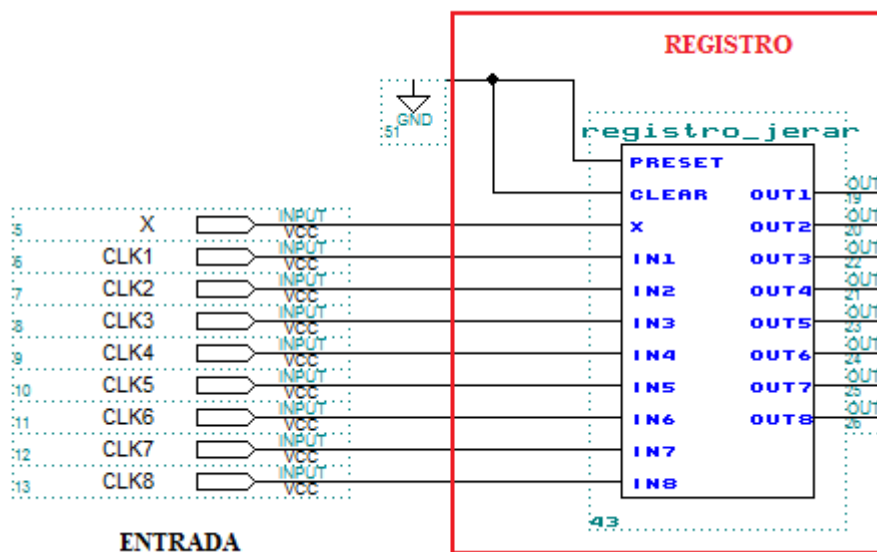


Figura 3—10 Registro

El primer bloque es el registro, se compone de once entradas y ocho salidas. Las nueve primeras entradas son la *señal PWM original* y los *ocho relojes desfasados*, las dos restantes son el *Preset* y el *Clear* que ponen a '1' y '0' respectivamente los *Flip-Flop tipo D* que hay en su interior.

En la siguiente figura se muestra el interior del bloque Figura 3—11. Está compuesto por ocho *Flip-Flop tipo D*. La PWM original es la entrada D de todos los FF, y los relojes se conectan a las correspondientes entradas de los relojes. El reloj 1 se conectará a la entrada de reloj del FF-D número 1, el 2 con la 2, y así sucesivamente. Las salidas de los FF-D son los ocho bits que serán los datos de la conversión A/D.

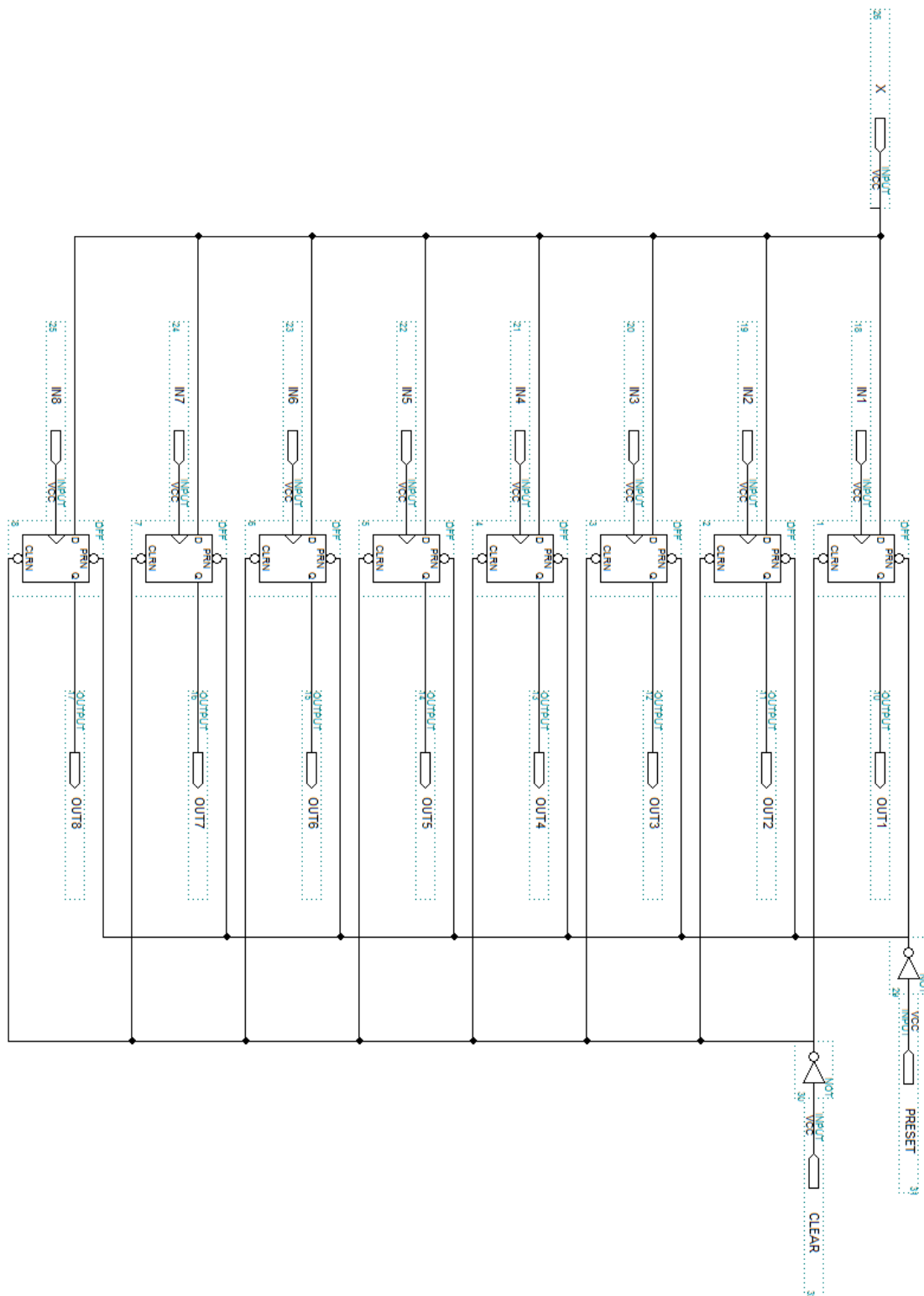


Figura 3—11 Interior del Registro

Su funcionamiento es sencillo, cuando llega un *flanco positivo* al Flip Flop a través del reloj, la salida copia el valor de la entrada en ese instante, es decir, si el reloj



pasa de '0' a '1' (flanco positivo) la salida tomará el valor de la entrada justo en ese flanco, si es un '0' tomará un '0', si es un '1' tomará un '1'. Ese valor se mantendrá hasta el siguiente flanco positivo, que volverá a repetir la operación.

El Preset y el Clear tienen un inversor puesto que los FF-D tiene las conexiones de esos pines en nivel bajo, para que funcionen hay que introducirles un '0'. Como se puede ver fuera del bloque están conectadas a GND un '0', por lo que gracias a los inversores el Preset y Clear no estarán funcionando, que es lo que se quiere en este caso.

3.3.3 *Reconstrucción de PWM*

Este bloque, tiene bastante importancia, ya que se encargará de reconstruir a partir de los datos obtenidos del muestreo de la *PWM original*, es decir los datos de la conversión A/D, en una PWM que se llamará *PWM reconstruida*, y será esta la que se realimente hacia la entrada.

Se aprecian tres bloques bien diferenciados, los dos detectores de flanco, el positivo y el negativo, y el Flip-Flop R-S.

La misión del **detector de flanco positivo o negativo** es señalar la ocurrencia de uno de dichos flancos en los datos capturados por el bloque *registro*. Ambos bloques funcionan de forma similar. Cuentan con un Flip-Flop D (FF) disparado por el flanco a detectar cuyo reloj está conectado al dato correspondiente del bloque *registro*. Cuando un FF-D de dicho registro experimenta una transición de '0' a '1' o de '1' a '0', el FF-D del detector de flanco bascula de forma que si hacemos el *OR* de todos estos FF obtendremos la indicación de flanco.

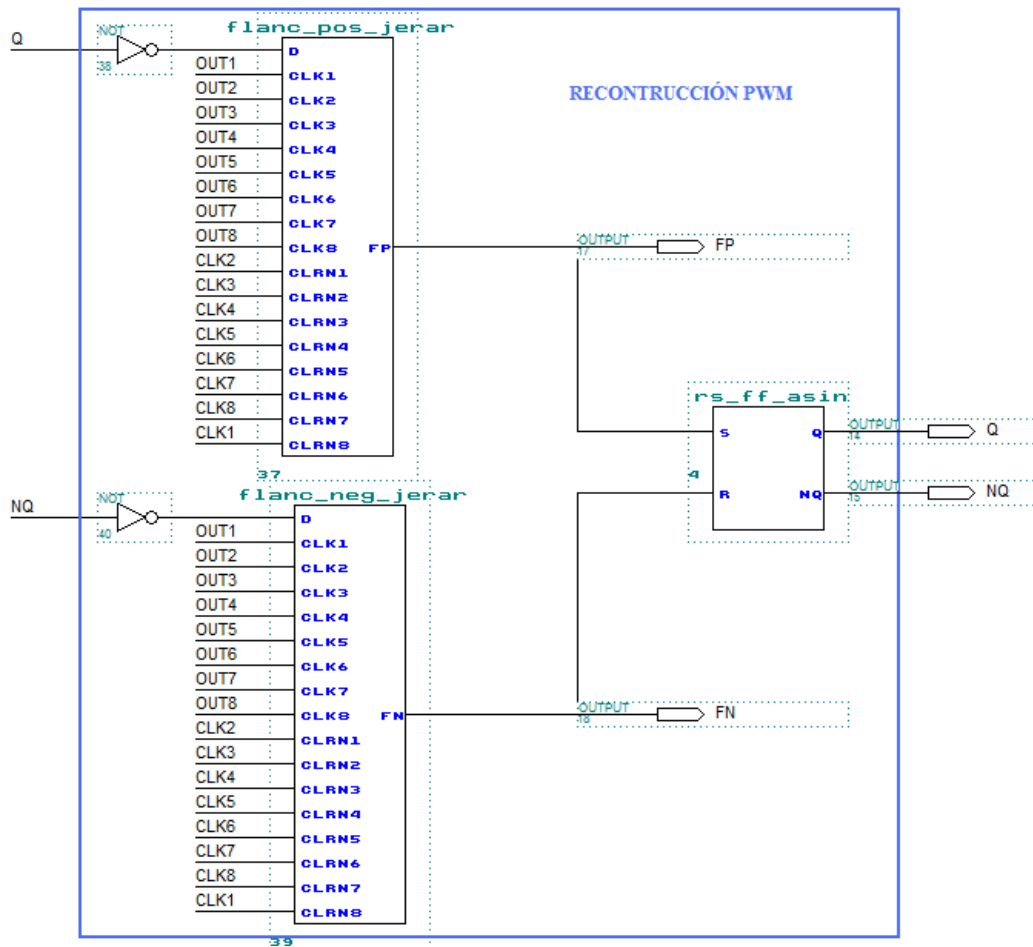


Figura 3—12 Bloque que reconstruye la PWM

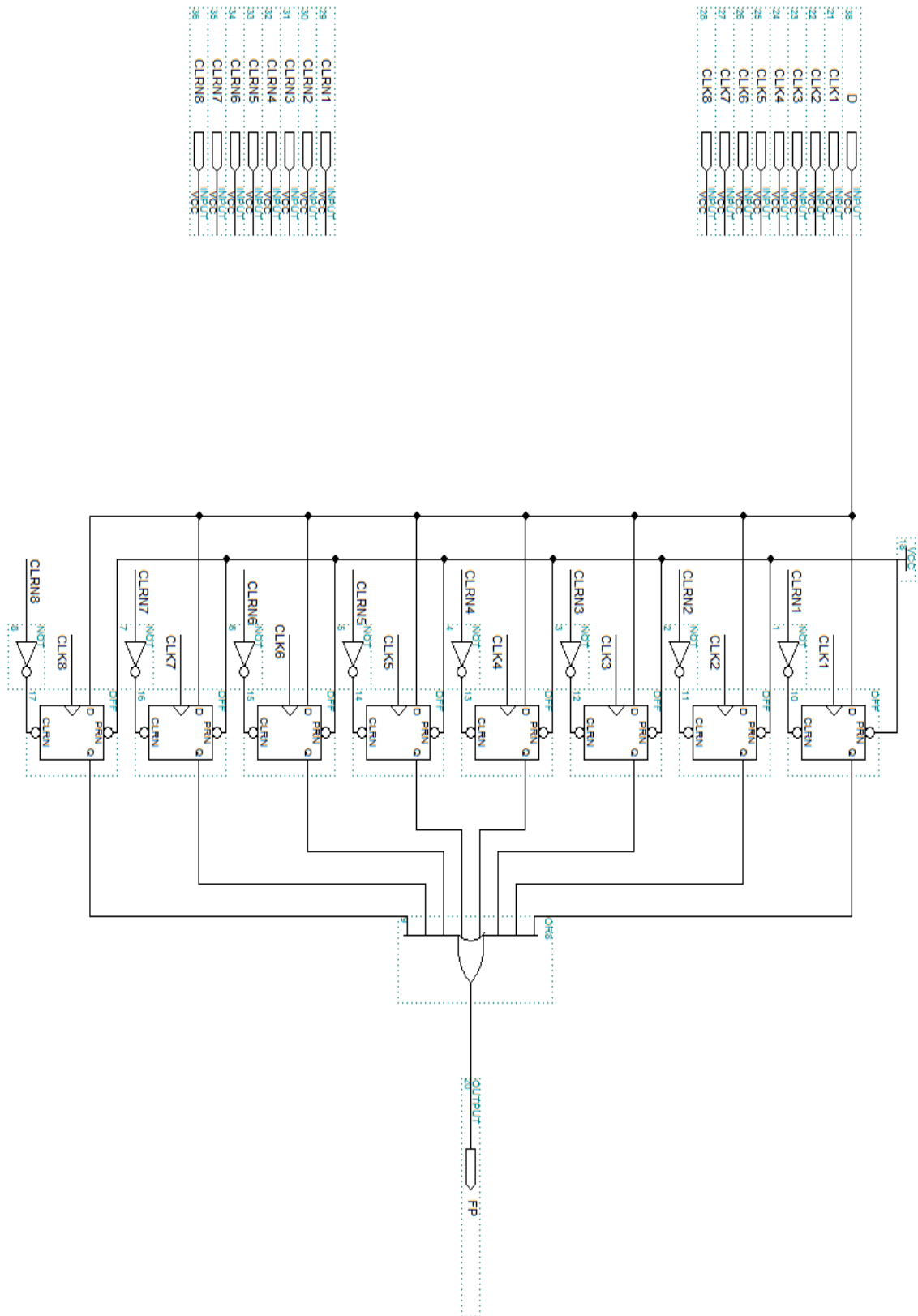


Figura 3—13 Detector de Flanco Positivo

El **detector de flanco negativo** funciona análogamente al positivo, pero en vez la salida del primero será un pequeño pulso, cuando los bits o datos del registro tengan un flanco negativo. Las diferencias en el circuito son que la entrada de los relojes, en este detector va negada, y otra es que la entrada D de los FF es NQ, que es la salida negada Q del FF-RS al que le pasaremos la salida de los detectores de flanco.

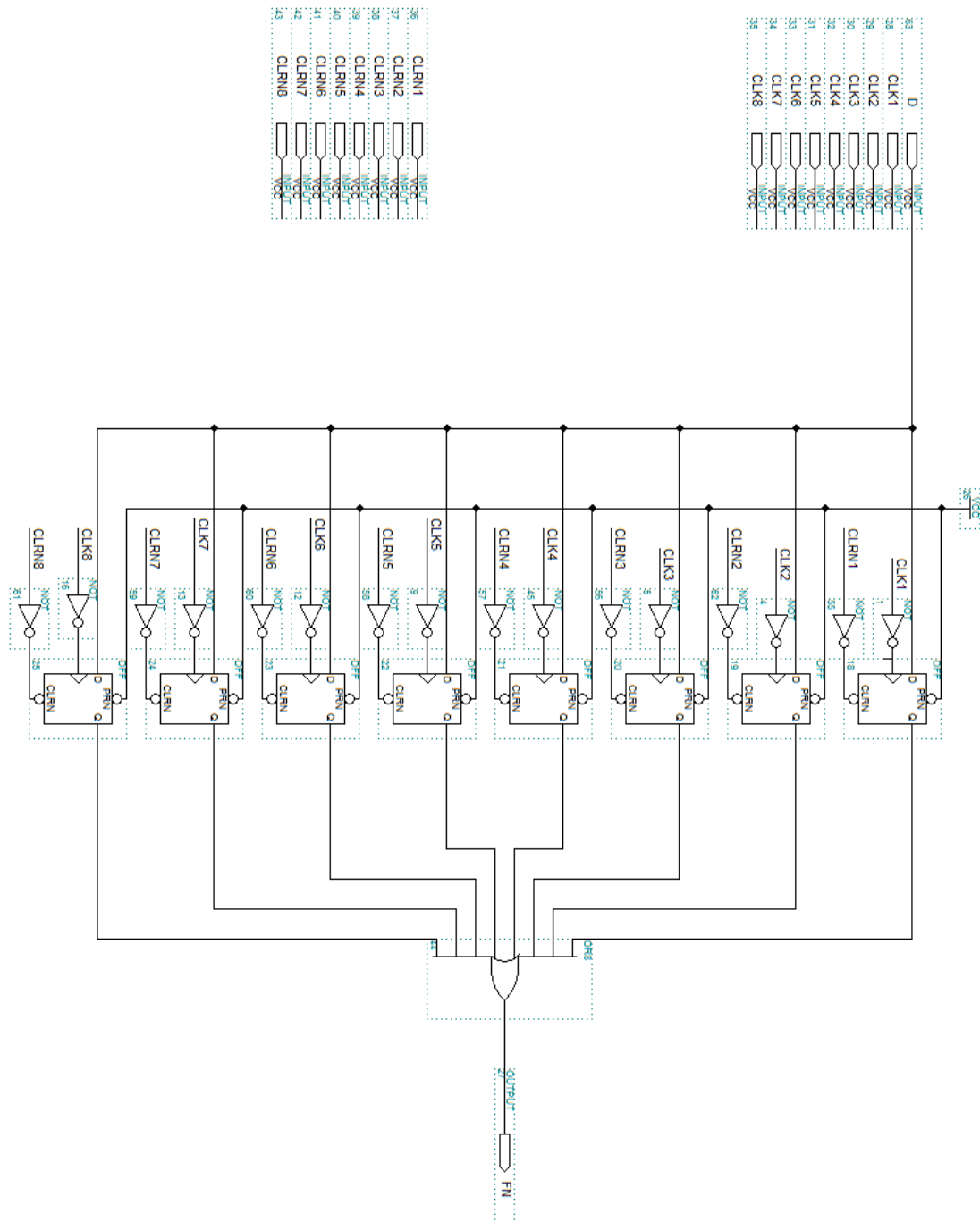


Figura 3—14 Detector de Flanco Negativo

Para finalizar, el **Flip-Flop R-S** tiene como entradas S de (Set) y R (de reset), como salida está Q, que será la PWM reconstruida y NQ su dual o negada, que serán realimentadas hacia la entrada y sumárselas a la entrada para que el sistema oscile.

Su funcionamiento es sencillo, S está conecta a la salida del detector del flanco positivo, y R a la del negativo. La primera controla el Preset de un FF-D y la segunda controla el clear. Las entradas de dicho Flip-Flop están conectadas a masa, por lo que no afectarán en ningún momento. Cuando el Pulso del flanco positivo esté a nivel alto ‘1’ conectará el Preset del FF, (ya que tiene un not y se activa por nivel bajo), por lo que a la salida estará continuamente dando un ‘1’, esto continuará hasta que llegue un flanco negativo y active el clear del FF, dando a la salida ‘0’, con la salida se está haciendo referencia a Q.

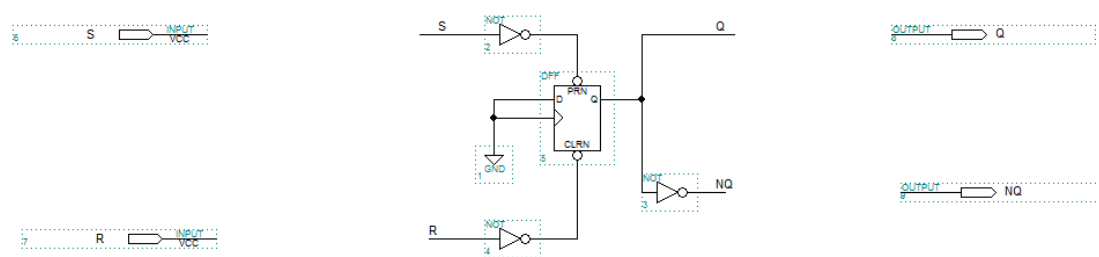


Figura 3—15 Flip-Flop R-S

3.3.4 Datos de salida

Este bloque representa únicamente los datos de salida, que son los obtenidos del registro y que han sido muestreados gracias a los relojes desfasados. Estos son el resultado de la conversión A/D, y con ellos además se hará capaz la reconstrucción de la señal PWM original. Hay que añadir que la FPGA tiene más salidas como son la Q y QN que son la PWM reconstruida que sumaremos a la entrada para que el sistema consiga oscilar.

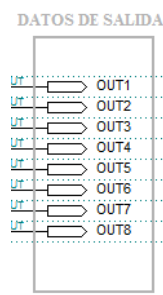
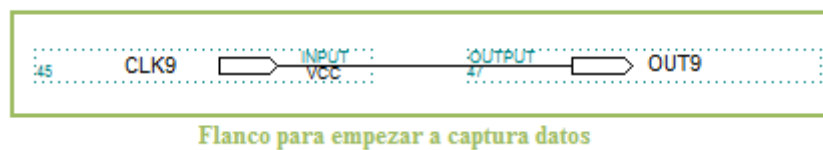


Figura 3—16 Bits de Salida

3.3.5 Señal de captura de datos

Este bloque sirve únicamente para recoger los datos con un analizador lógico de forma sincronizada. Se ha utilizado la salida nueve, puesto que el diseño es para ocho relojes, si lo ampliáramos a dieciséis, se tendría que utilizar otra. (El CLK9 se ha optado por él, ya que en la placa final el CLK8 y él, están unidos, aunque son los mismos se ha puesto el 9 para evitar posibles errores en la programación).



Flanco para empezar a captura datos

Figura 3—17 Captura de Datos

3.4 Simulación

Una vez dispuesto todo en su lugar correspondiente, y conectado todo entre sí, se da un paso hacia el siguiente punto, la **simulación**. Para ello, se compila en busca de errores, y como se aprecia en la Figura 3—18 no se tiene ninguno, únicamente nos da 2 warning, en los cuales nos indican que no hay transición de reloj en el FF-RS. También da una nota de información que explica que hacemos una realimentación y usamos un Clear/Preset asíncrono en el registro. Estas dos informaciones no se tendrán en cuenta puesto que está diseñado de esa forma correctamente, por lo tanto se pasa a la simulación.

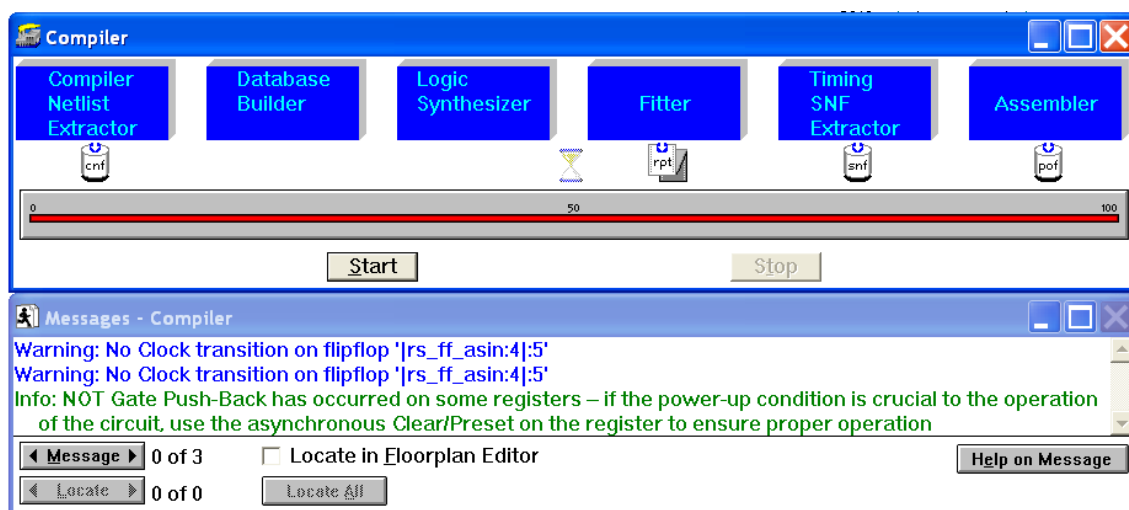


Figura 3—18 Ventana del Compilar de MaxPlus II



El MaxPlus II contiene un editor de formas de onda (**Waveform editor**) en el que se puede introducir una serie de **entradas**, dibujar la forma de onda, e incluso modificarla. Una vez terminado de definir el conjunto de entradas, y el rango de tiempos, el editor nos genera el resultado de las **salidas** que se hayan seleccionado antes.

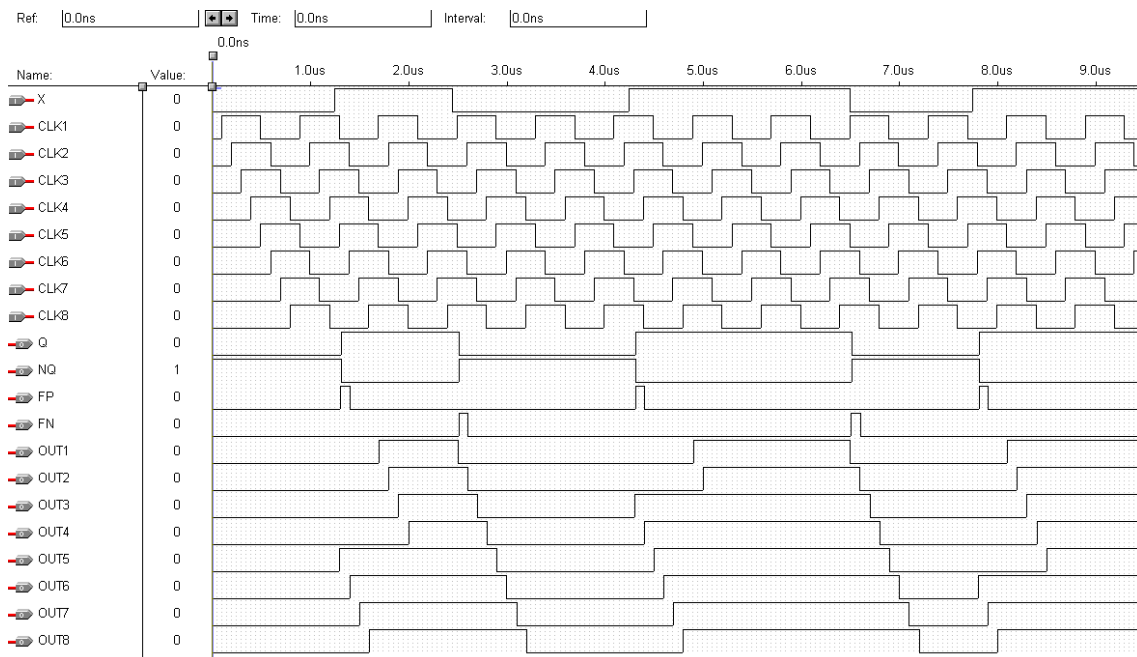


Figura 3—19 Formas de Onda de las Señales

En la figura se pueden apreciar las diferentes entradas: X, CLK1, CLK2, CLK3, CLK4, CLK5, CLK6, CLK7, y CLK8, (por orden de aparición), que son la PWM original y los diferentes relojes desfasados que la muestrearán. También aparecen las diferentes salidas, en este caso son: Q, NQ, FP, FN, OUT1, OUT2, OUT3, OUT4, OUT5, OUT6, OUT7 Y OUT8 (también por orden de aparición). Las dos primeras son la *PWM reconstruida* y su negada, FP y FN son los *flancos positivo y negativo* respectivamente, que se detectan y las ocho OUT, son los datos.

Gracias a un marcador que tiene el **Waveform editor**, se puede observar más en detalle que valore toman cada una de las señales, de este modo se puede analizar más en detalle.

Por ejemplo, cuando en la entrada **X**, se tiene un cambio. Hasta que no haya un flanco positivo en uno de los relojes, no se empezará a muestrear la señal. En este caso es **CLK4**. Como **Q** estaba anteriormente a '0', se detecta un flanco positivo en **FP**, y

ese flanco dura hasta que el reloj siguiente recibe un flanco positivo, **CLK5**, como se vio anteriormente en el funcionamiento de los detectores de pulso. La señal **Q** tiene ahora el valor '1'. Las salidas **OUT**, como se vio en el funcionamiento del registro, copian la entrada una vez le llega el flanco positivo del reloj. Como se ve en la figura, el primer dato que copia el valor de la entrada es el 5, luego el 6, mas tarde el 7, y así sucesivamente.

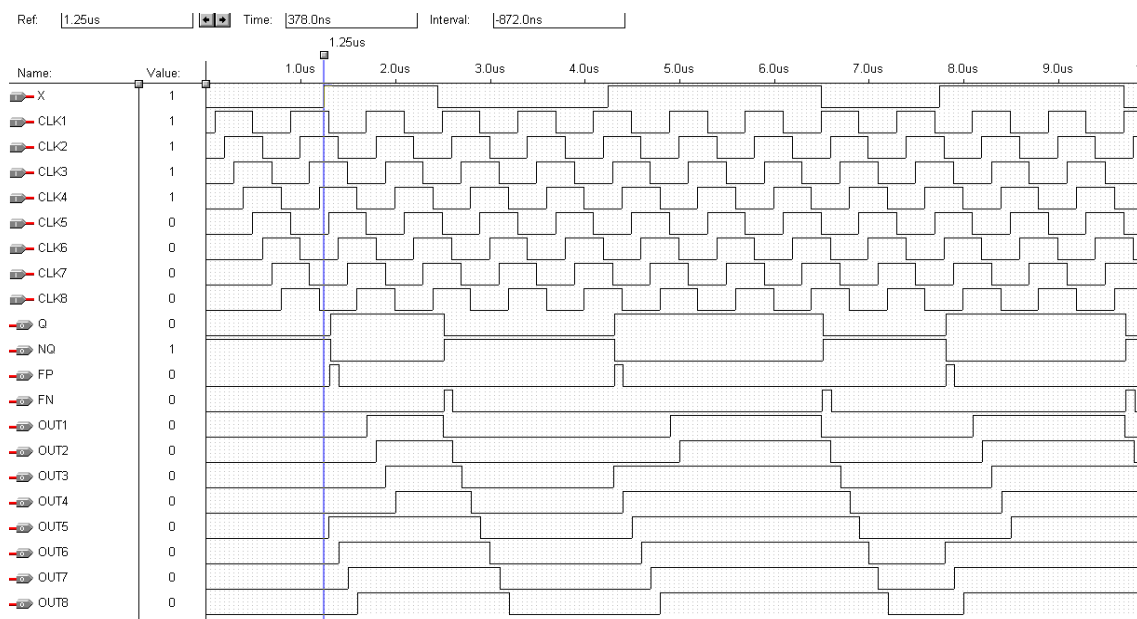


Figura 3—20 Inicio del Flanco

Una vez la señal PWM **X**, cambie su valor de '1' a '0', el primer reloj con un flanco negativo (**CLK5**), hace saltar el **FN**, que dura hasta que el siguiente reloj (**CLK6**) tenga un flanco negativo. Como los FF del registro se activan por flanco de subida, las salidas **OUT** mantendrán el '1' hasta que les llegue el flanco positivo de su correspondiente reloj.

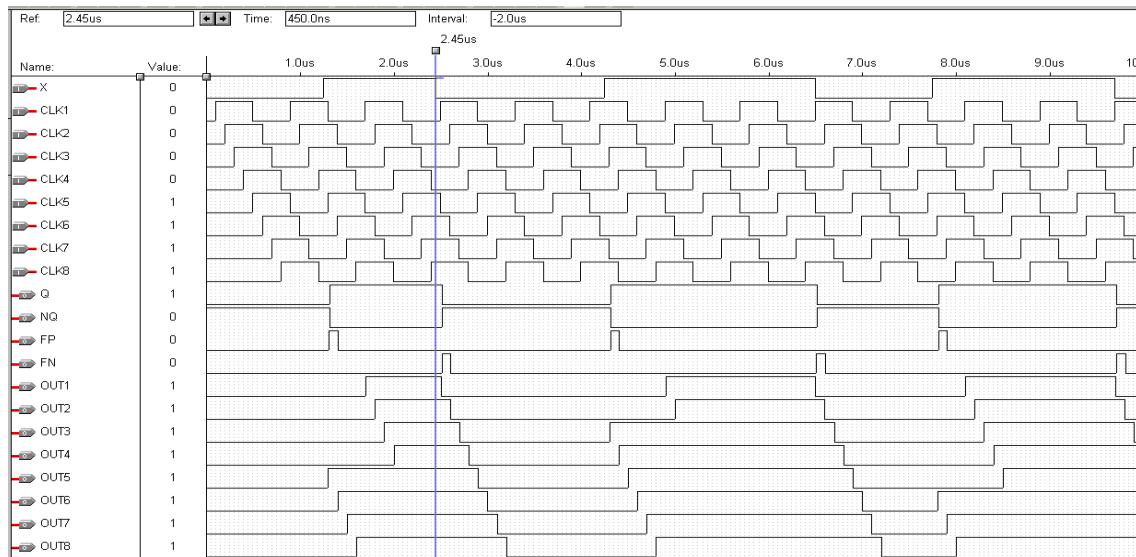


Figura 3—21 Final del Flanco

3.5 Síntesis

Una vez visto en la simulación, que el circuito funciona correctamente, pasamos a sintetizarlas, es decir, a traducirlo del esquema gráfico que se ha realizado a puertas lógicas. Para ello tenemos que seleccionar que salidas y entradas queremos utilizar, además de seleccionar el modelo de FPGA a utilizar. Como se ve en la Figura 3—18 al compilar, se genera un archivo de texto RPT, en el que viene toda la información relacionada con el circuito. De este fichero puede interesar dos cosas, la primera la asignación de pines que tiene la FPGA. Se permite cambiar el orden de los mismos, salvo los de alimentación y programación del dispositivo. La Figura 3—23 muestra la disposición final de todos los pines a utilizar.

Otra de las informaciones útiles son los porcentajes de uso de la FPGA, por ejemplo en la Figura 3—23 aparecen algunas de las siguientes: Total pines usados de dedicados a la entrada, total de pines Input/Output (*Entrada / Salida*) usados, total de celdas lógicas usadas y demás información.

Observando los porcentajes, se puede apreciar que no llegamos a sobrecargarla FPGA.

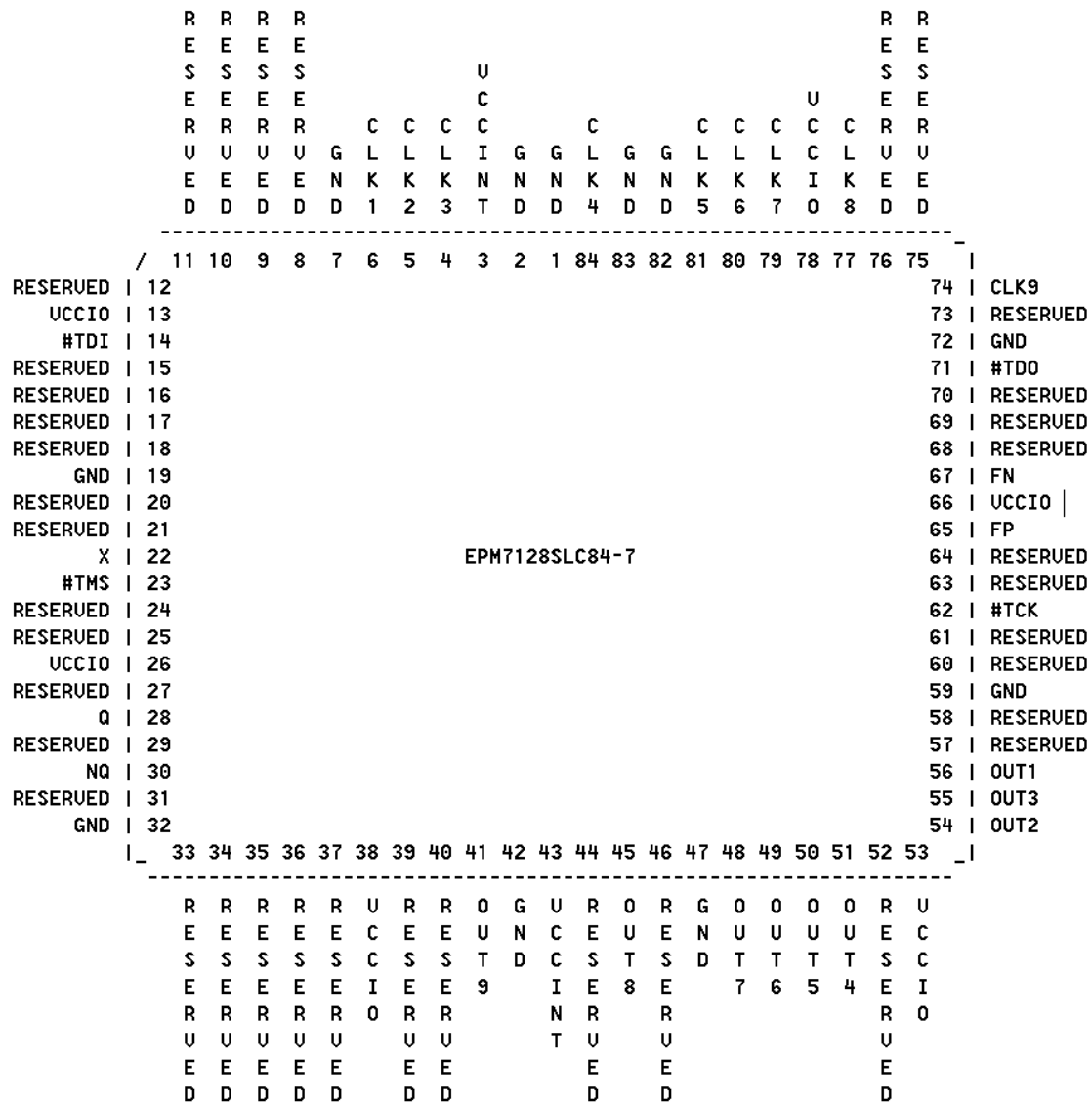


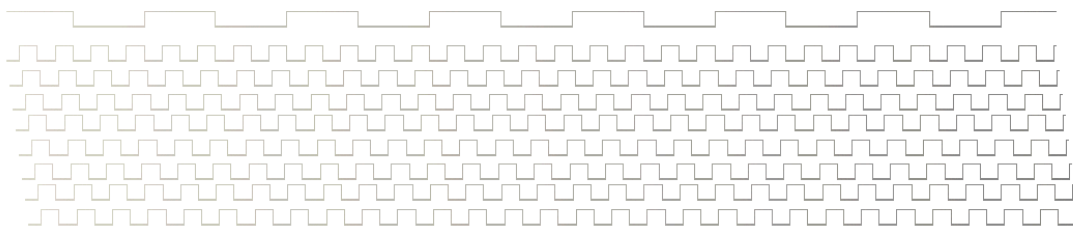
Figura 3—22 Disposición Final de los pines

Total dedicated input pins used:	1/4	(25%)
Total I/O pins used:	26/64	(40%)
Total logic cells used:	29/128	(22%)
Total shareable expanders used:	0/128	(0%)
Total Turbo logic cells used:	29/128	(22%)
Total shareable expanders not available (n/a):	0/128	(0%)
Average fan-in:	2.93	
Total fan-in:	85	

Figura 3—23 Información de los porcentajes de la FPGA



MONTAJE Y PRUEBAS



CAPÍTULO

1 0 0



4.CAPÍTULO 4

MONTAJE Y PRUEBAS

4.1 Diseño del PCB

4.1.1 *Introducción al circuito impreso*

El llamado circuito impreso, placa de circuito impreso o simplemente placa (en inglés : PCB –Printed Circuit Board-) es, básicamente, un soporte para un circuito electrónico. Consta de un material base, aislante, sobre el que se disponen pistas conductoras, generalmente de cobre, que conforman el conexionado entre los distintos componentes.

En general el PCB consta de dos caras en una de ellas, la llamada cara de componentes, se colocan los componentes mediante la inserción de sus patillas en agujeros pasantes, llamados taladros o *drill* (también se pueden colocar sin necesidad de agujeros pasantes: son los llamados componentes de montaje superficial); la otra cara llamada cara de soldadura , incorpora las pistas de cobre que unen las distintas patillas de los componentes; es en esta cara donde se realiza la unión o soldadura de la patilla con la pista de cobre: son los llamados PCB **monocapa**.

Con la incorporación de la tecnología de montaje superficial (SMT: *superficial Mount Technology*) la colocación de componentes no se ciñe a solo a la cara de componentes sino que se colocan también en la soldadura, aumentando así la densidad de componentes en la misma área de placa.

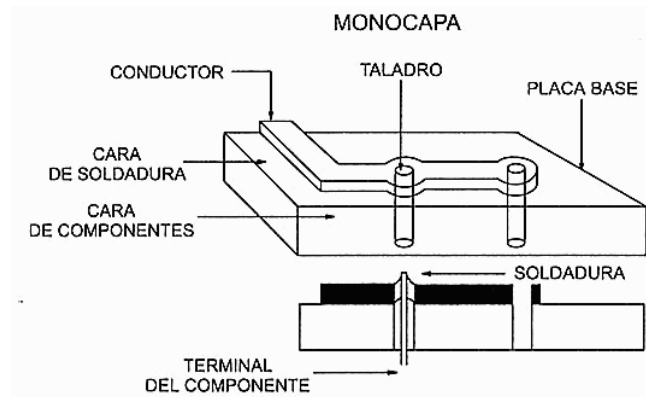


Figura 4—1 Perfil de una placa monocapa

La PCB del circuito que se ha creado en nuestro caso es **monocapa** “doble”, tiene dos caras de soldadura, una arriba (top) y otra abajo (bottom). Aunque se parece mucho a una **bicapa** no lo es, puesto que en esta última, los agujeros pasantes están metalizados, es decir, recubiertos de cobre.

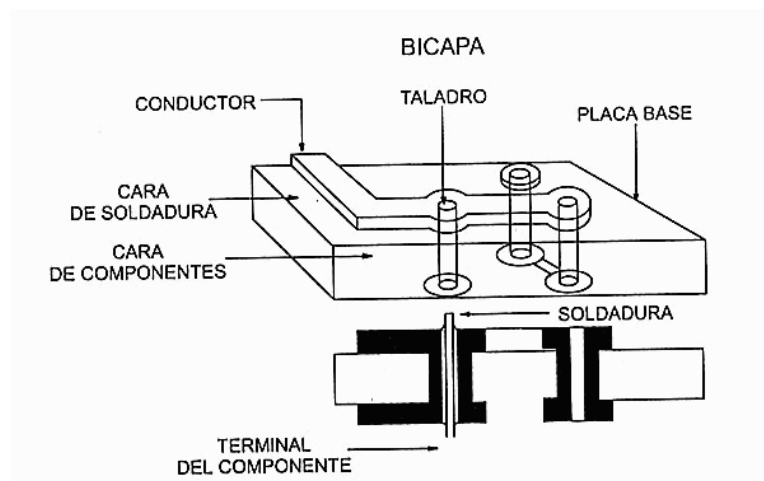


Figura 4—2 Perfil de una placa bicapa

4.1.2 Esquema del circuito impreso con Layout

La herramienta de OrCAD para la realización de circuitos impresos es el **Layout**. Mediante OrCAD Capture dibujamos el plano completo del circuito y generamos un listado de conexiones (*netlist*) cuyo contenido será:

- Nombres de las footprint (huellas)
- Nomenclatura de los componentes en PCB
- Tipo de encapsulado comercial
- Referencia enumerada de componentes de E/S
- Información de pines, conexiones, propiedades del componente, etc.

Este archivo será procesado por el Layout, en el cual se tendrá que definir unos parámetros de diseño, como son por ejemplo el borde o contorno exterior de la tarjeta, posicionamiento de los componentes, definir los tipos de nodos o vías, o el número y orden de las capas para el trazado.

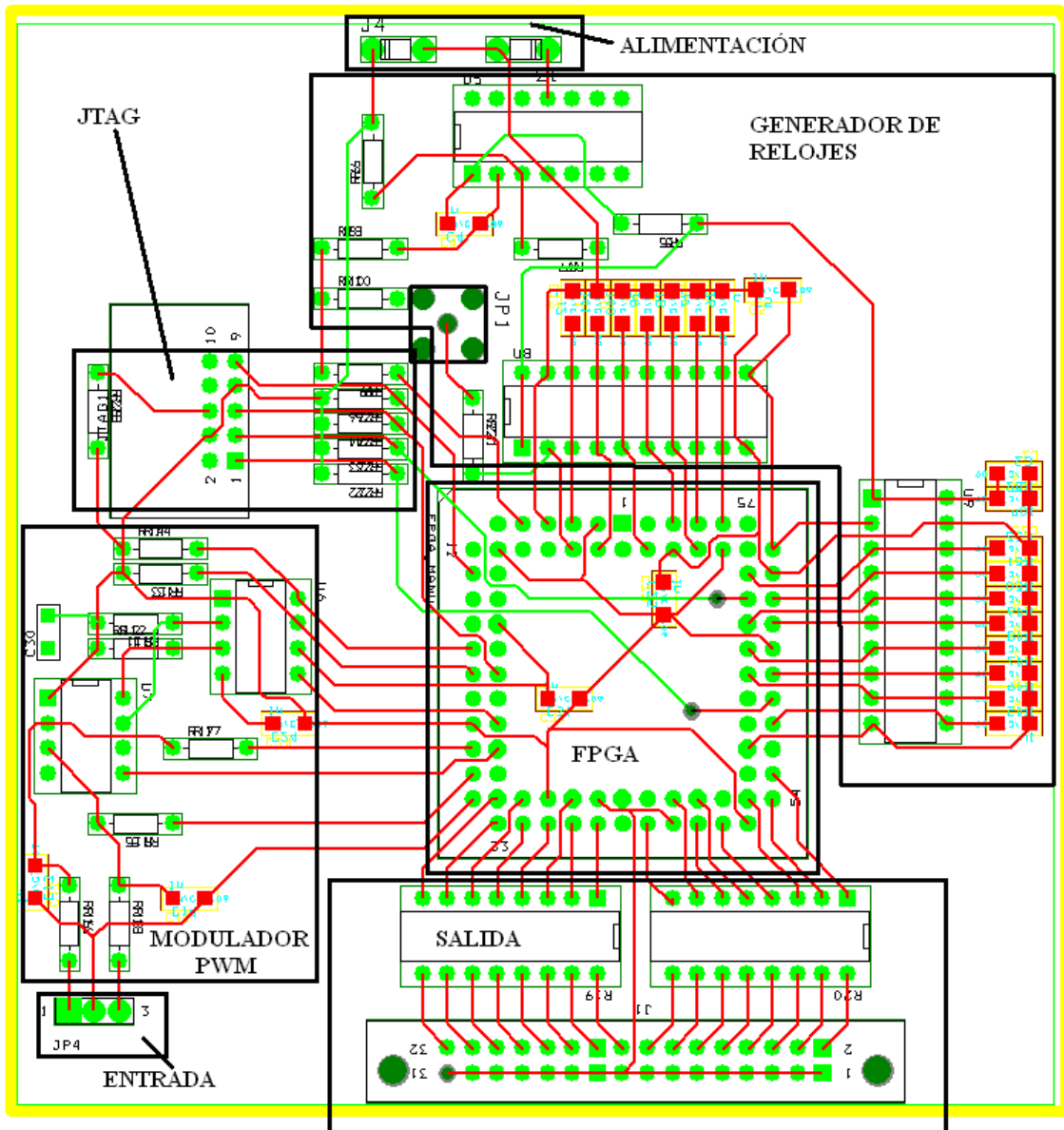


Figura 4—3 Diseño Final de la placa

En la Figura 4—3 se puede apreciar como es el resultado final del diseño de la PCB mediante el capture. El color verde representa la cara *top*, y la roja la cara *bottom*. Se pueden observar los diferentes bloques que conforman el circuito, de arriba hacia abajo: Alimentación, JTAG, Generador de relojes, FPGA, Modulador PWM y por

último la etapa de Salida. Los condensadores de desacoplo están situado lo más cercano posible de los integrados, y debajo de la FPGA

El posicionamiento de los componentes se basa sobre todo en que el tamaño de la PCB sea reducido, también se ha buscado que las vías (unión entre la cara *top* y la *bottom*) sean las menos posibles. Otro factor importante, es que el diseño tuviera coherencia, y los elementos de cada bloque estuvieran lo más agrupados posibles.

La única dificultad que entraño el diseño, fue cuando se decidió crear un plano de masa para evitar crear las pistas de estos componentes, pero introdujo un pequeño problema, y es que los condensadores de desacoplo por ser de montaje superficial, creaban islas, por lo que no llegaba la señal de masa a algunos componentes. Se solucionó poniendo el plano en la cara superior (*top*) en vez de la inferior (*bottom*).

Las siguientes figuras muestran el resultado final de las caras *top* y *bottom* que serían entregadas para su construcción.

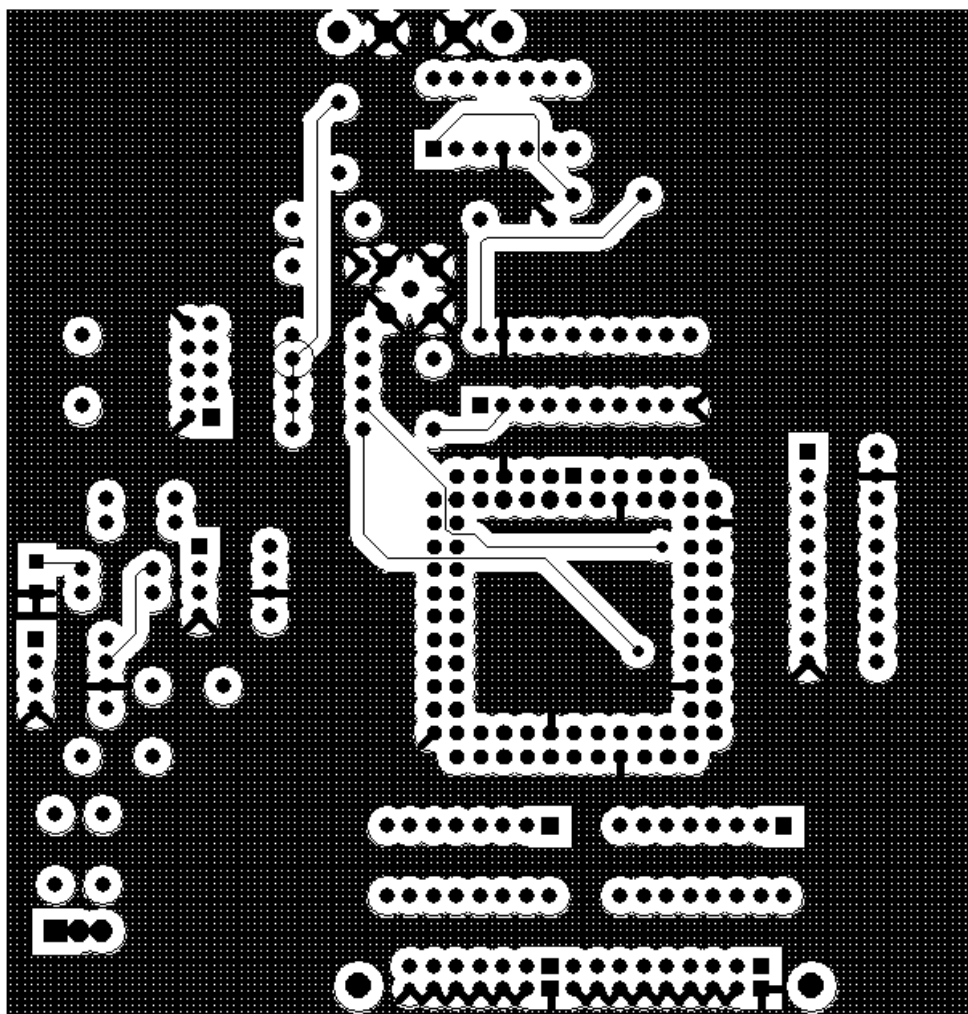


Figura 4—4 Cara Top de la PCB

Las líneas representan las pistas que unen los componentes, y los círculos son los taladros de los componentes. Los pines cuadrados únicamente sirven de referencia, indicando el primer pin del componente.

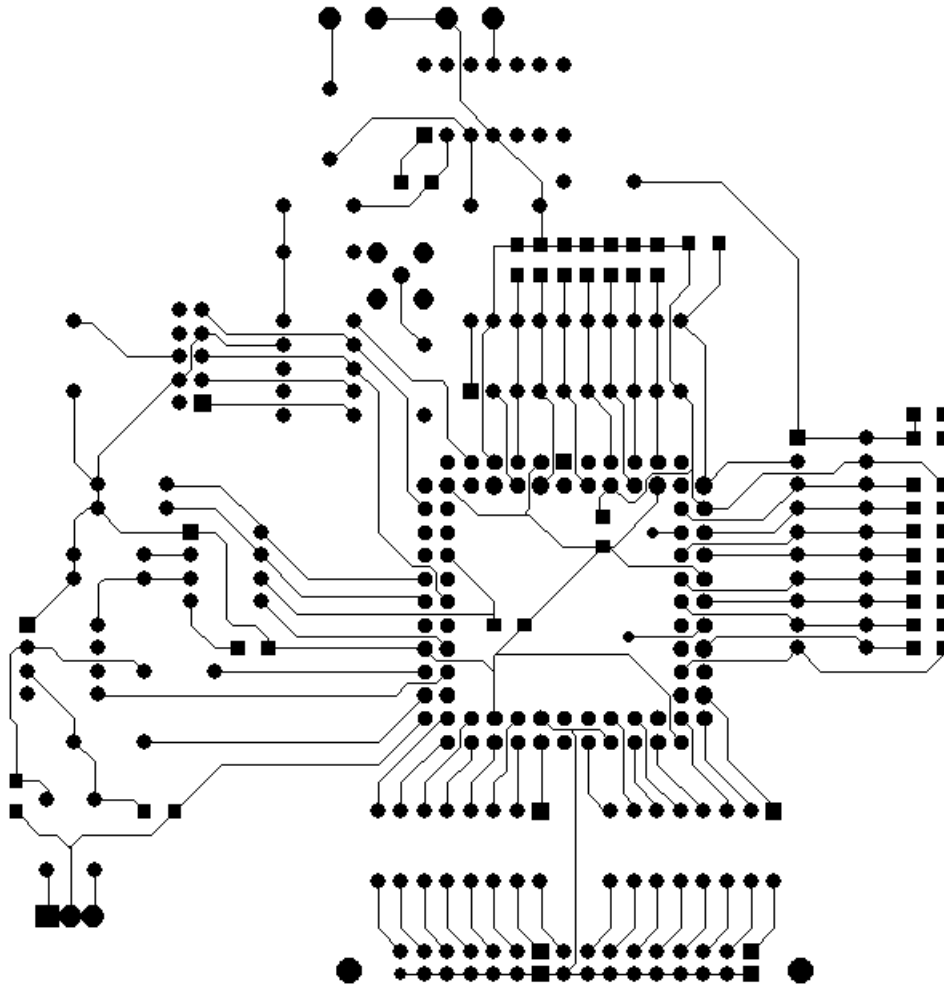


Figura 4—5 Cara bottom de la PCB

4.1.3 Montaje de PCB

Una vez entregada la PCB ya fabricada, el siguiente paso es colocar los componentes, para lo que hay que taladrar con la correspondiente broca cada taladro donde se colocará el componente. Posteriormente a su colocación se soldará cada pin a la pista correspondiente. En este caso no se ha realizado todo el montaje a la vez. Se ha querido comprobar el funcionamiento de cada parte una a una. En primer lugar fue el JTAG y la PFGA, para realizar su programación, una vez comprobado su correcto funcionamiento se paso al bloque de generación de relojes, y el último en comprobar su funcionamiento fue el modulador PWM. El resultado del montaje final de la PCB se puede ver en las dos siguientes figuras:

La primera pertenece a la cara *top o superior*:

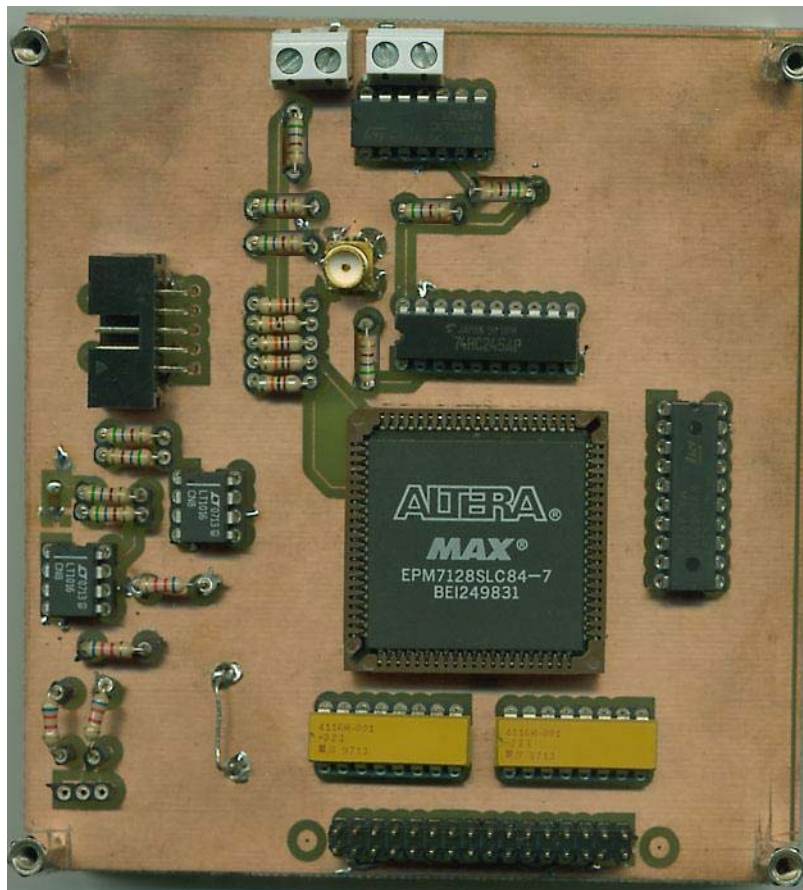


Figura 4—6 Placa Final cara TOP

La segunda muestra la cara *bottom o inferior*:

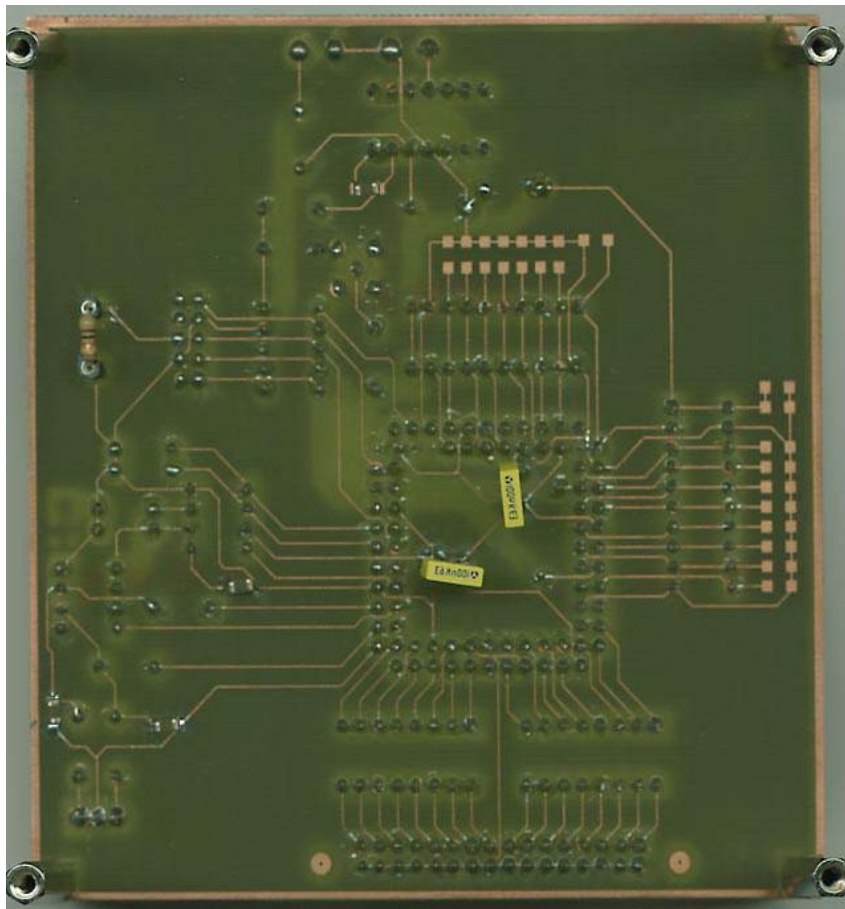


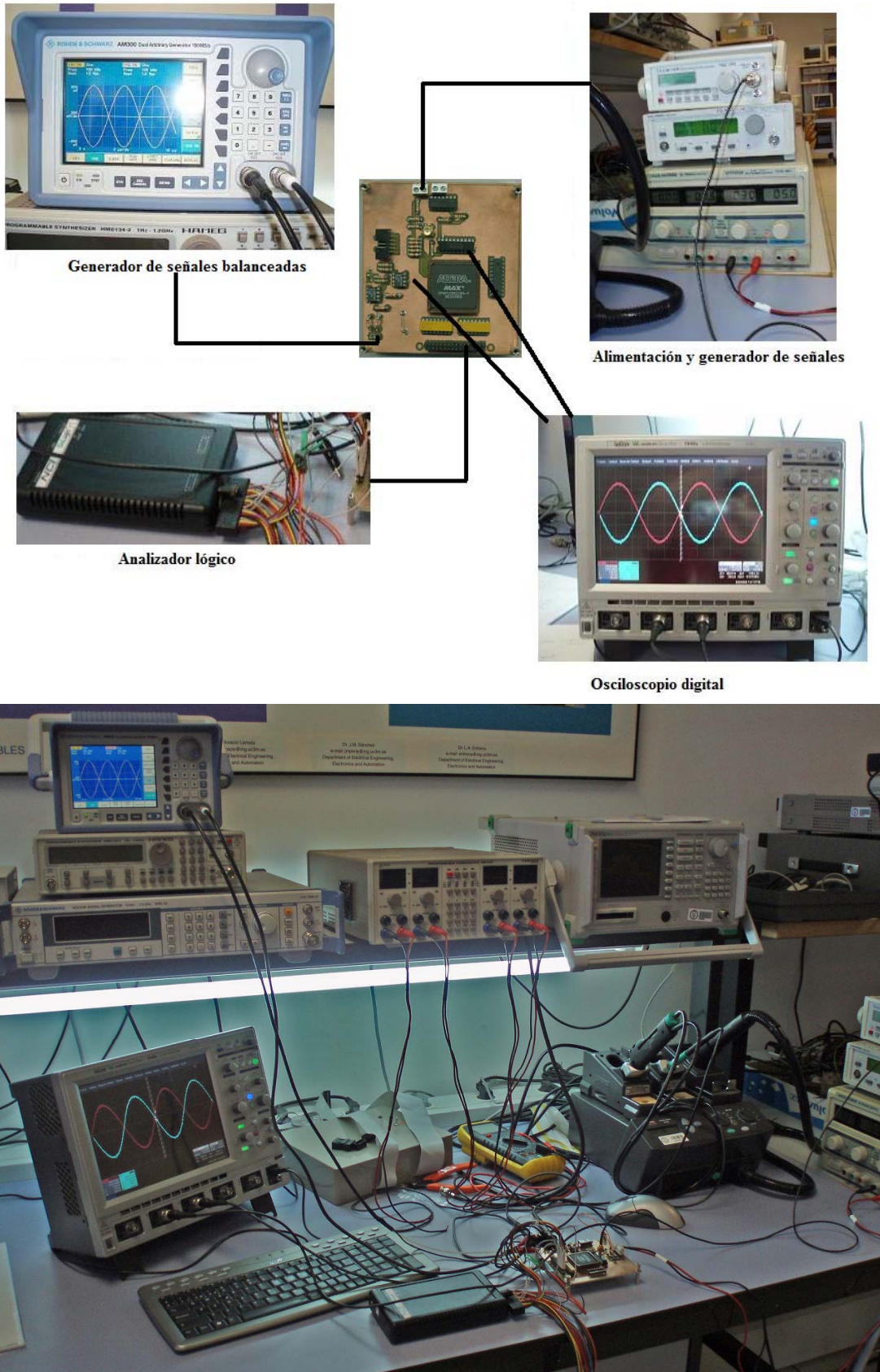
Figura 4—7 Placa Final cara BOTTOM

4.2 Prueba y medidas experimentales

Una vez comprobado el correcto funcionamiento de todos los bloques se procede a la toma de las medidas experimentales, se verificará si el diseño teórico inicial coincide con los resultados de las diferentes medidas que se tomarán.

Se han realizado dos tipos de pruebas, en el primero se busca el **correcto funcionamiento** del circuito con la señal de entrada. En el segundo se comprueba el funcionamiento para medir el **bucle abierto** (oscilador).

Las siguientes medidas han sido tomadas en el laboratorio de microelectrónica, y se han utilizado los siguientes aparatos.



Generador de señales balanceadas

Alimentación y generador de señales

Analizador lógico

Osciloscopio digital

Figura 4—8 Toma de medidas



4.2.1 Medidas del correcto funcionamiento

En la primera parte de medidas se ha introducido una señal senoidal y su dual de frecuencia 1 KHz y amplitud 1.2Vpp, la frecuencia que se introduce por el primer reloj es de 10MHz.

1) FFT (función de transferencia de Fourier) de un tono aplicado a la entrada.

Con esta medida se quiere comprobar que el correcto funcionamiento del convertidor A/D. A Para ello gracias al *analizador lógico* se capturarán los datos, y gracias a una función de MATLAB que simulará un filtro paso bajo, reconstruiremos esos datos en la señal analógica. Se podrá ver también el espectro de la señal con la ayuda de otro programa realizado en MATLAB.

8185 -	01111111	83 ns	El analizador lógico nos genera un fichero.m que MATLAB es capaz de abrir, en el aparecen 8192 muestras de nuestros 8 datos con un periodo de muestreo de 83 nanosegundos.
8186 -	11100000	83 ns	
8187 -	01111111	83 ns	
8188 -	11100000	83 ns	
8189 -	11000000	83 ns	
8190 -	00111111	83 ns	
8191 -	00000000	83 ns	
8192 -	00000000	83 ns	

Figura 4—9 Datos obtenidos

En la Figura 4—10 se muestra el script de MATLAB desarrollado para dibujar las FFT y la senoidal reconstruidas con los datos.

```

1  % programa para procesar fichero captura
2
3  fid=fopen('captura.m')           %abre el fichero generado por el analizador
4  nr=zeros(1,8192*8);
5  for i=1:5 a=fgetl(fid); end;
6  for i=1:8187,
7      n=fgetl(fid);               %estos comandos se ejecutan para eliminar la
8      nn=n(1:8);                 %información, solo nos interesa solo los 8 bits
9      for j=1:8, nr((i-1)*8+j)=(nn(j)=='1'); end;
10 - end;
11
12 - nr=sign(nr-0.5);
13 - nr=nr-mean(nr);
14
15 - figure(1)
16 - semilogx(20*log10(abs(fft(nr'.*hanning(max(size(nr)))))));
17 - grid                          %con la matriz de bits, pintamos su FFT
18
19 - [a b]=butter(6,1/32/8);
20 - yf=filter(a,b,nr);
21
22 - figure(2)
23 - plot(yf)                       %si pinta la senoidal reconstruida
24 - grid
    
```

Figura 4—10 Programa para dibujar la señal reconstruida

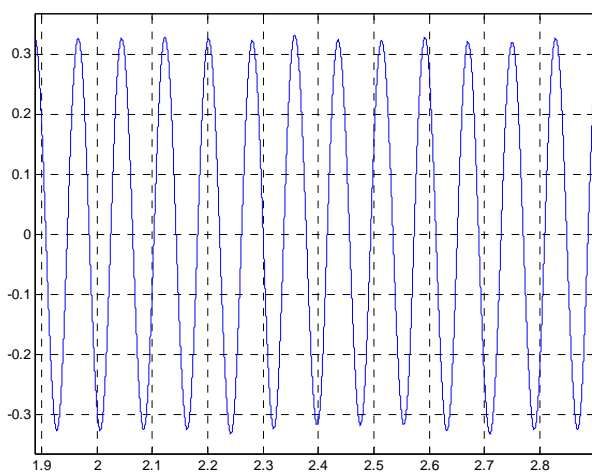


Figura 4—12 Señal reconstruida analógica $\times 10^4$

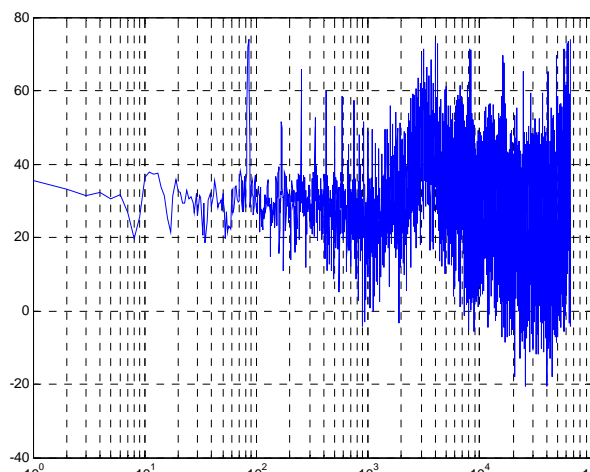


Figura 4—11 FFT de analógica reconstruida

Las figuras Figura 4—12 y Figura 4—11 representan a la señal analógica reconstruida a partir de los datos digitales, y su FFT respectivamente.

2) Desfases entre las señales de reloj producidas por los inversores.

Vamos a comprobar si el retardo teórico que indican las hojas de características del inversor 74HC245 está realmente entre 7 y 10 ns. Para ello medimos un reloj en un canal del osciloscopio, y en el otro canal, el reloj posterior a este. Los canales tienen limitado el ancho de banda, por lo que los relojes no salen del todo cuadrados, se ha utilizado ese acoplo para medir los desfases justamente por el paso por cero de la señal, por tanto es más fácil medirlo. El reloj CLK1 es un poco distinto a los demás porque el generador de señales tiene un ancho de banda de 20MHz, y a la frecuencia que usamos nosotros 10MHz se atenúa un poco la señal, una vez salido del inversor se corrige esa atenuación.

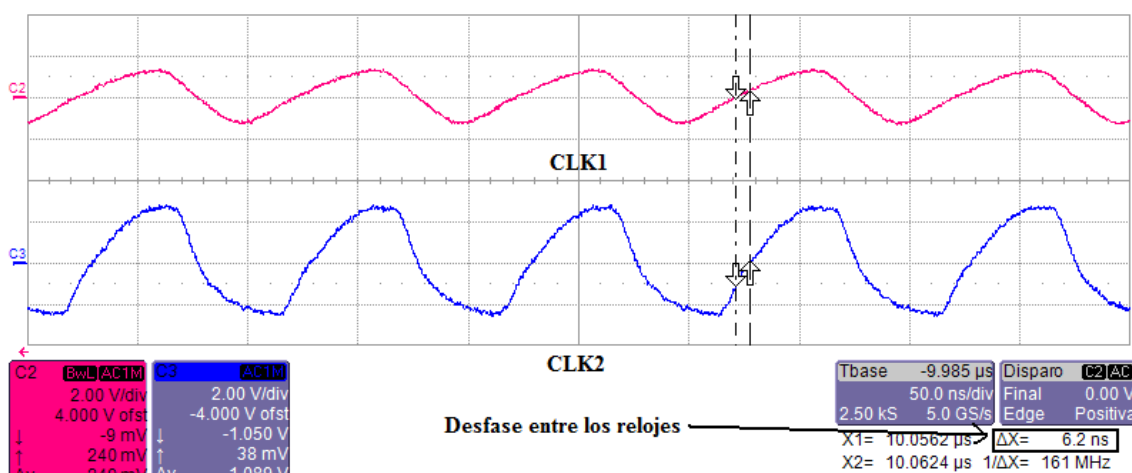


Figura 4—13 CLK1 VS CLK2

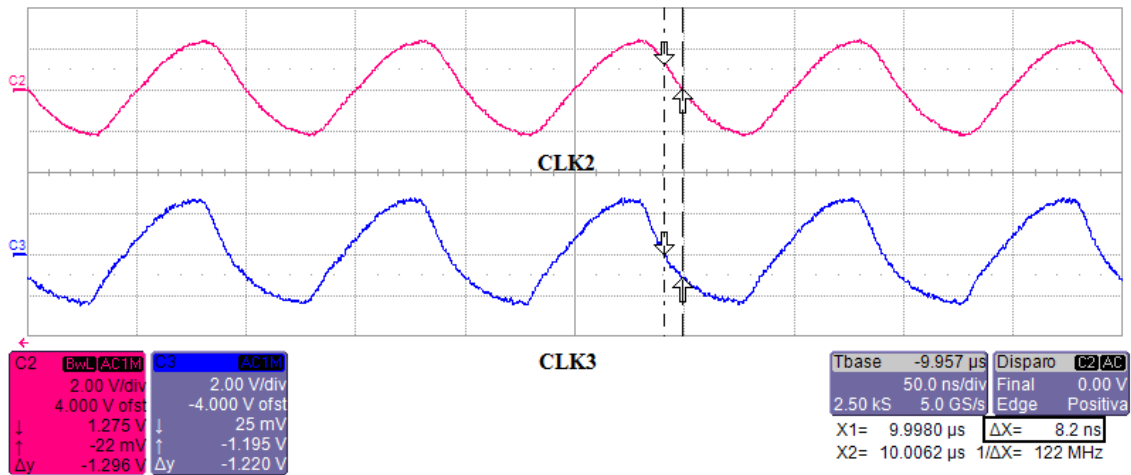


Figura 4—14 CLK2 VS CLK3

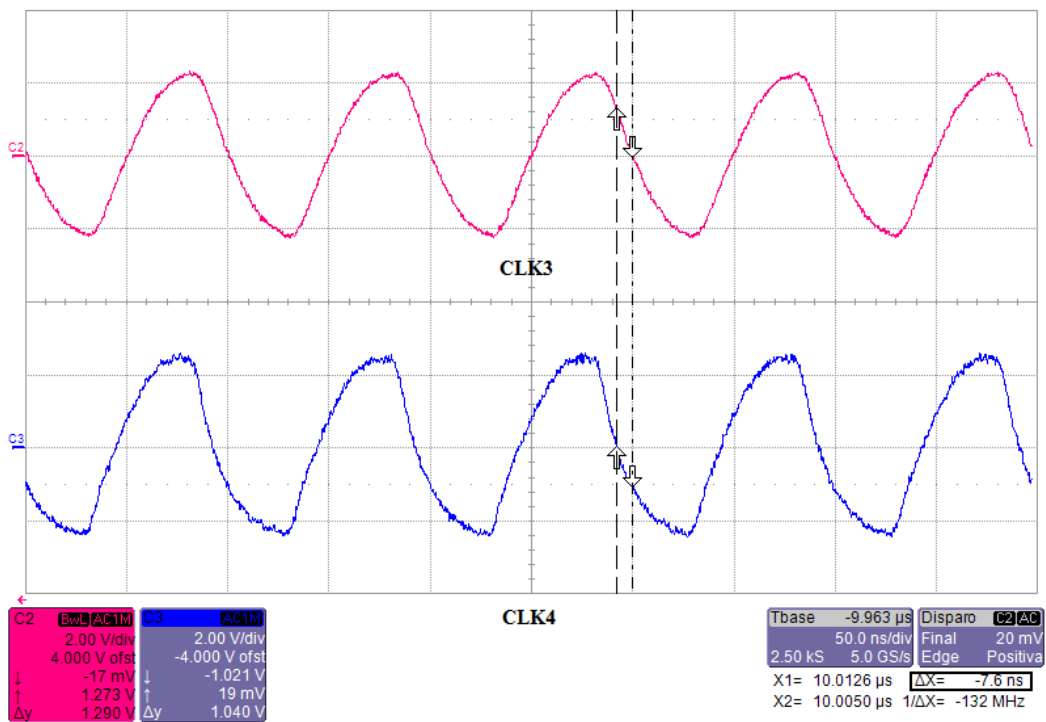


Figura 4—15 CLK3 VS CLK4

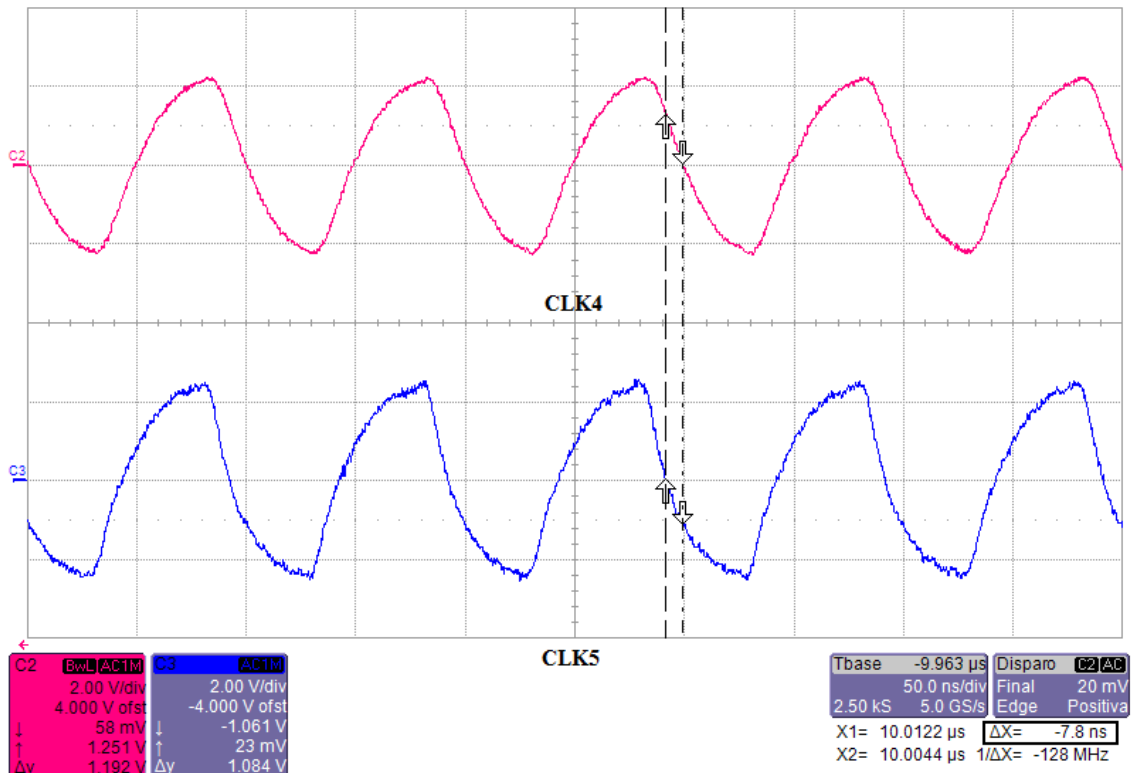


Figura 4—16 CLK4 VS CLK5

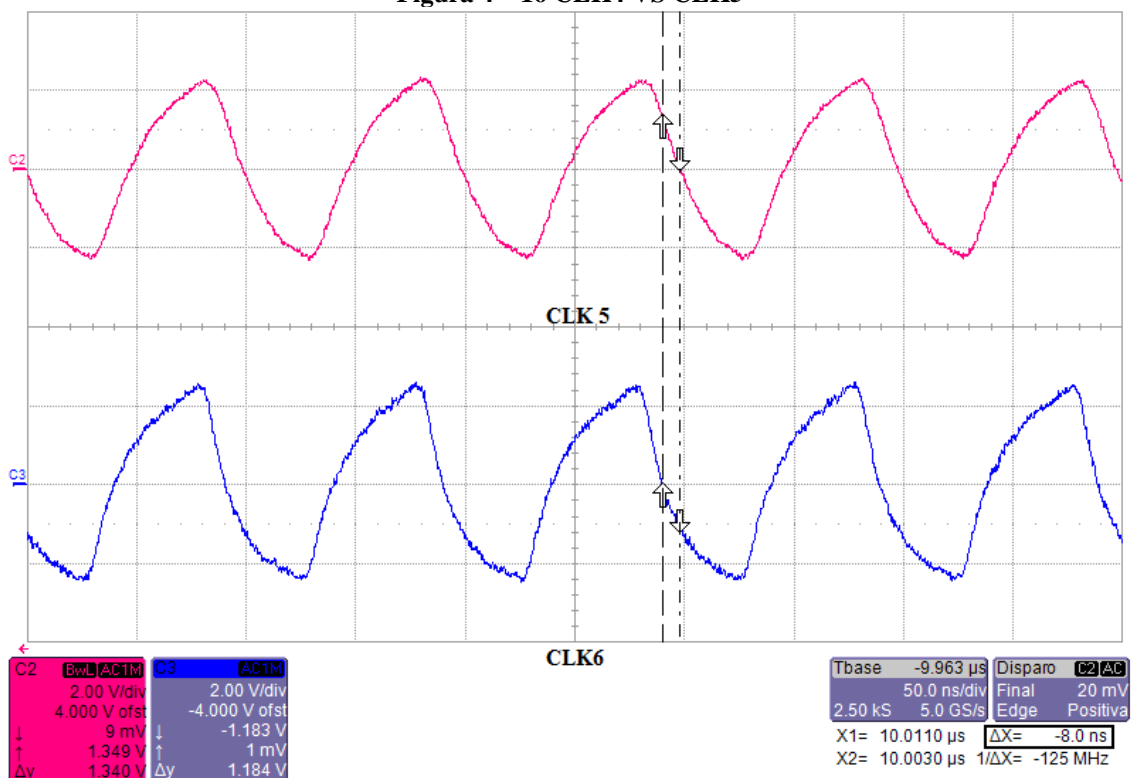


Figura 4—17 CLK 5 VS 6

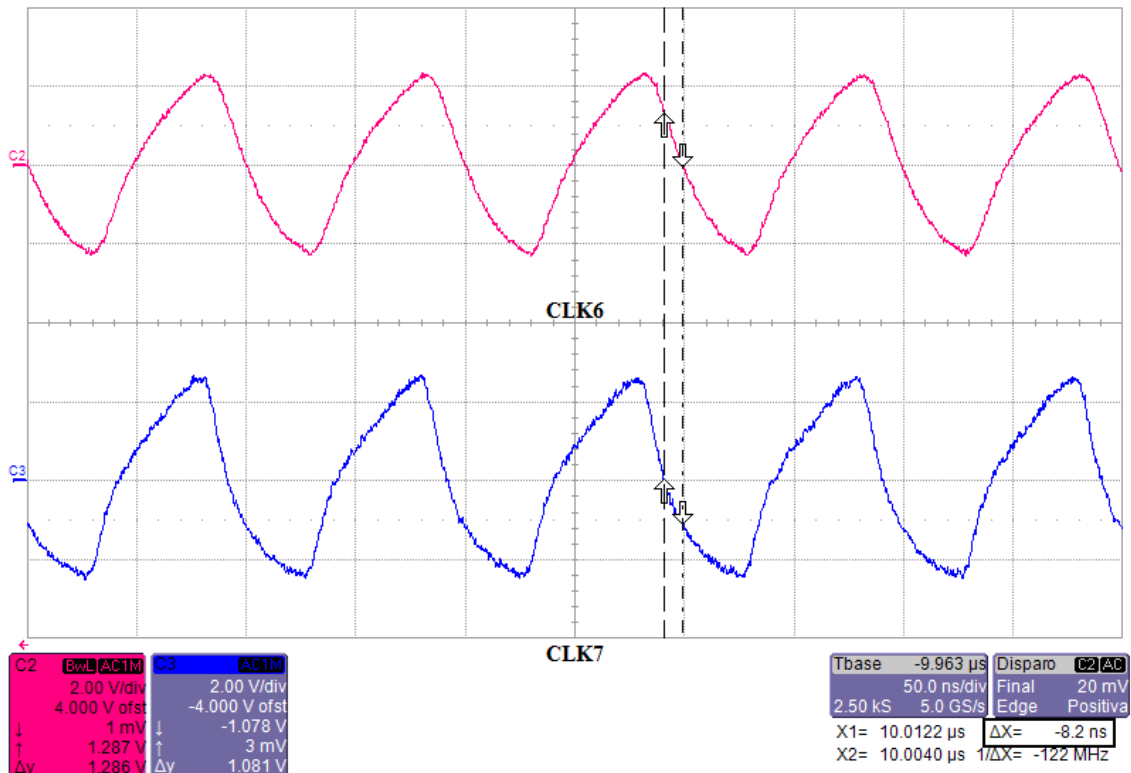


Figura 4—18 CLK 6 VS CLK7

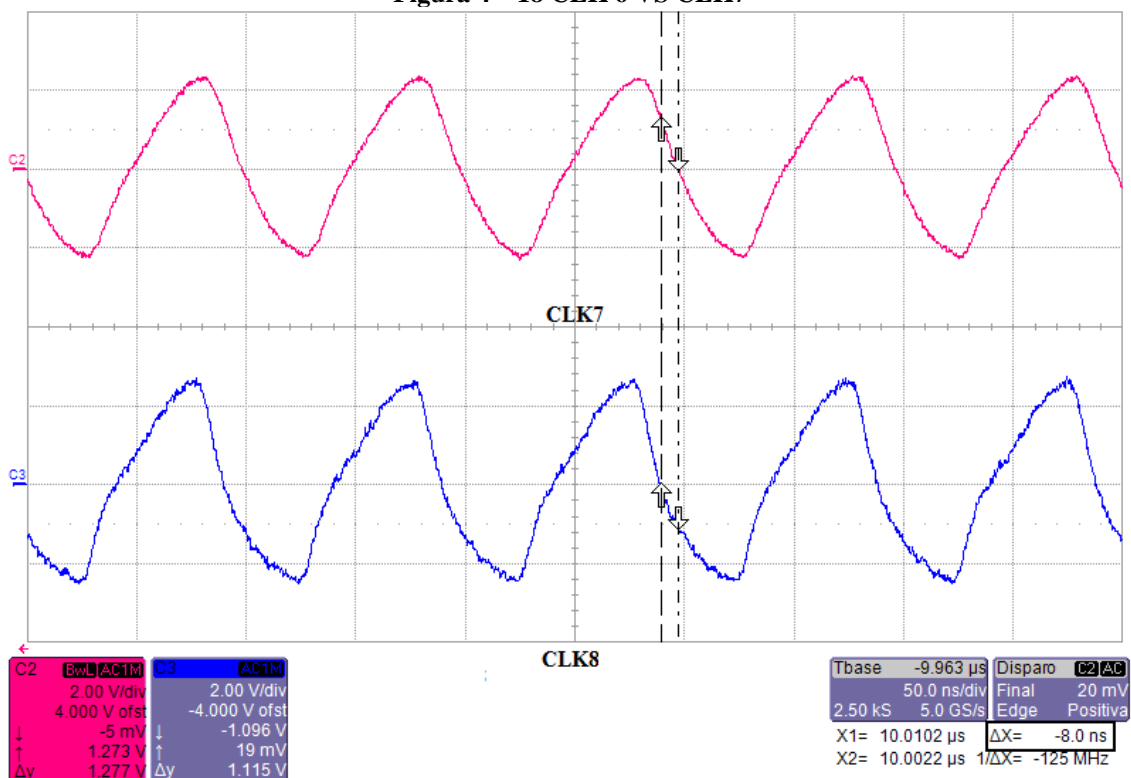


Figura 4—19 CLK7 VS CLK8

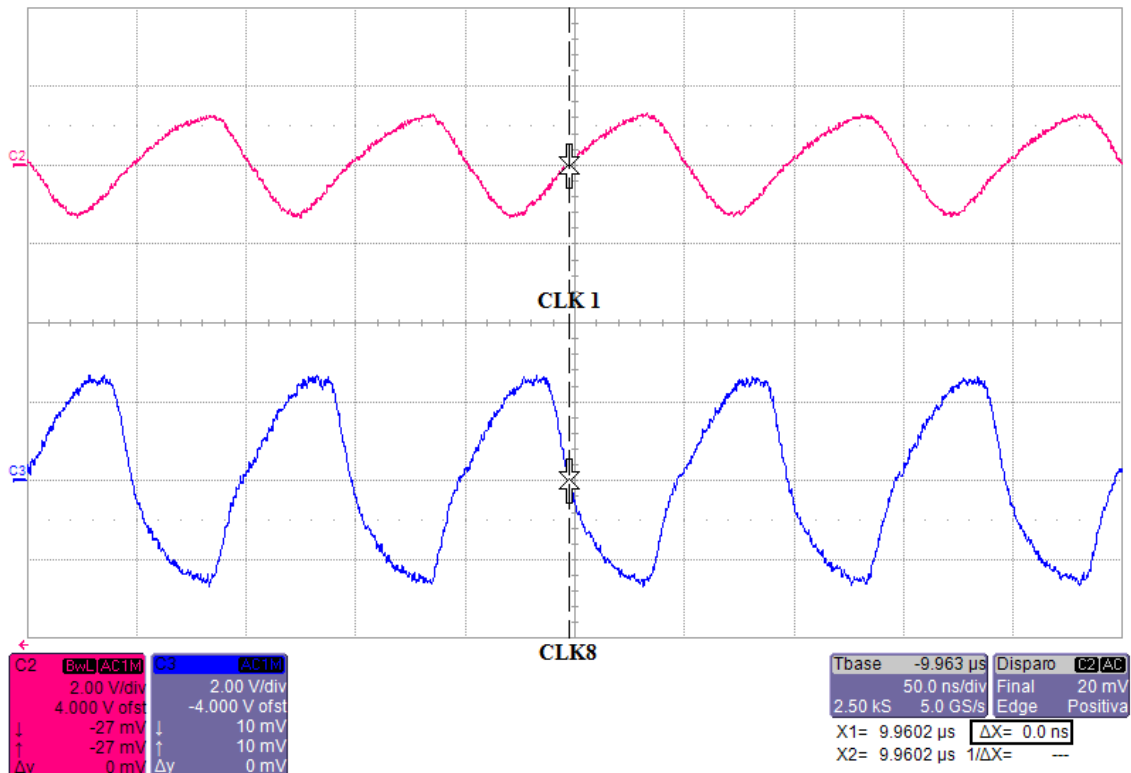


Figura 4—20 CLK8 VS CLK1

En la Figura 4—20 se aprecia que los flancos del reloj 8 y el 1 coinciden, que era lo que se buscaba.

3) PWM original y PWM reconstruida.

En esta medida se realizó la comparación de la señal PWM original, sacada del bloque modulador PWM, y la señal PWM reconstruida por los flancos positivo, negativo y FF-RS dentro de la FPGA.

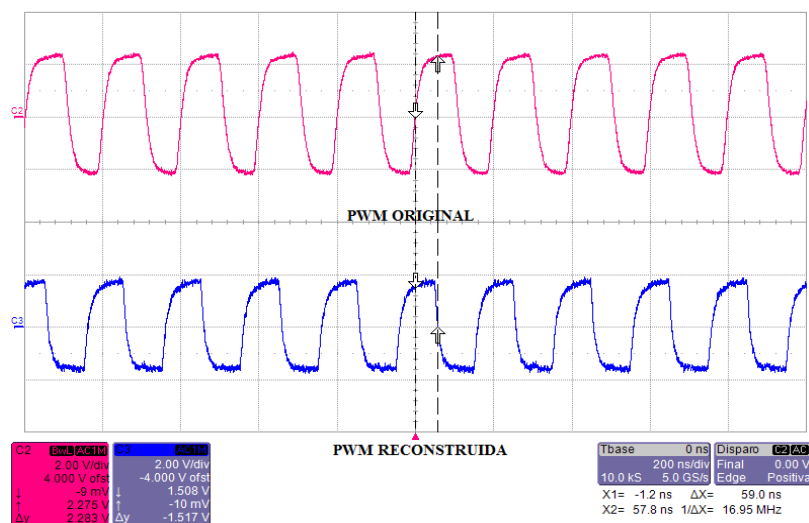


Figura 4—21 ORIGINAL VS RECONSTRUIDA

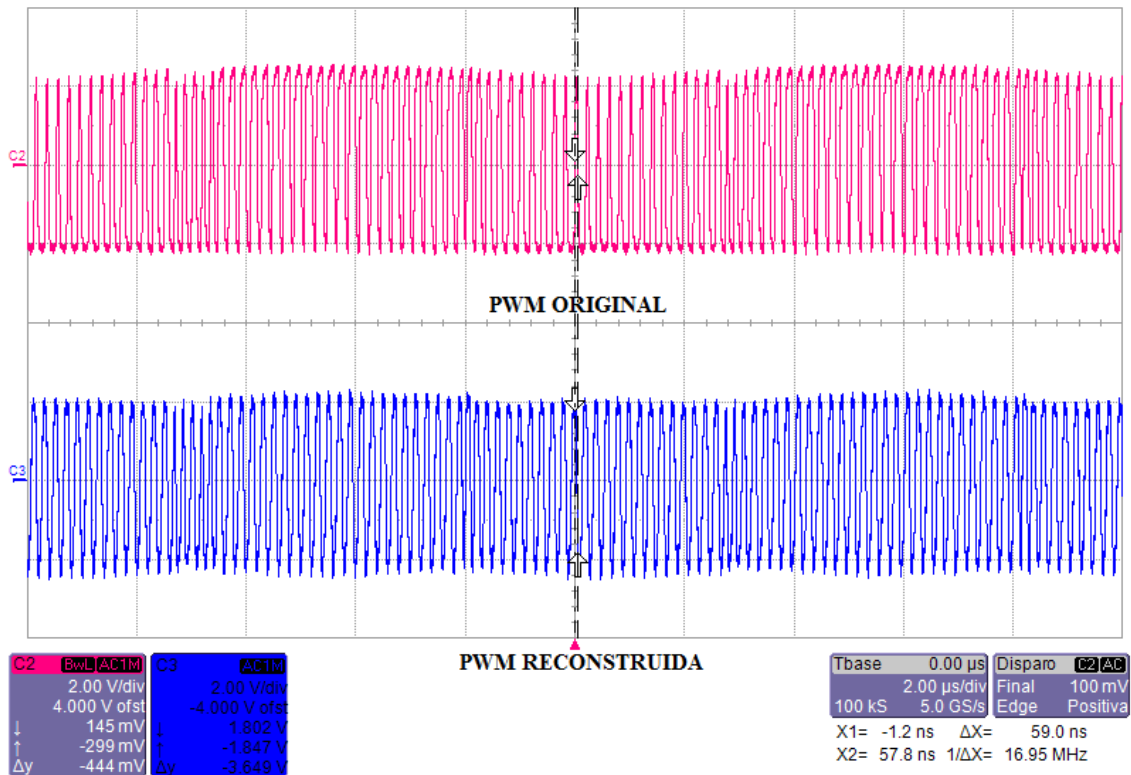


Figura 4—22 ORIGINAL VS RECONSTRUIDA

4) Integrador RC

Se han realizado medidas para ver la fase de integración dentro del circuito. Se muestran dos pruebas, la primera se ve una vez sumada la señal PWM reconstruida a la entrada el efecto de la integración (triangular).

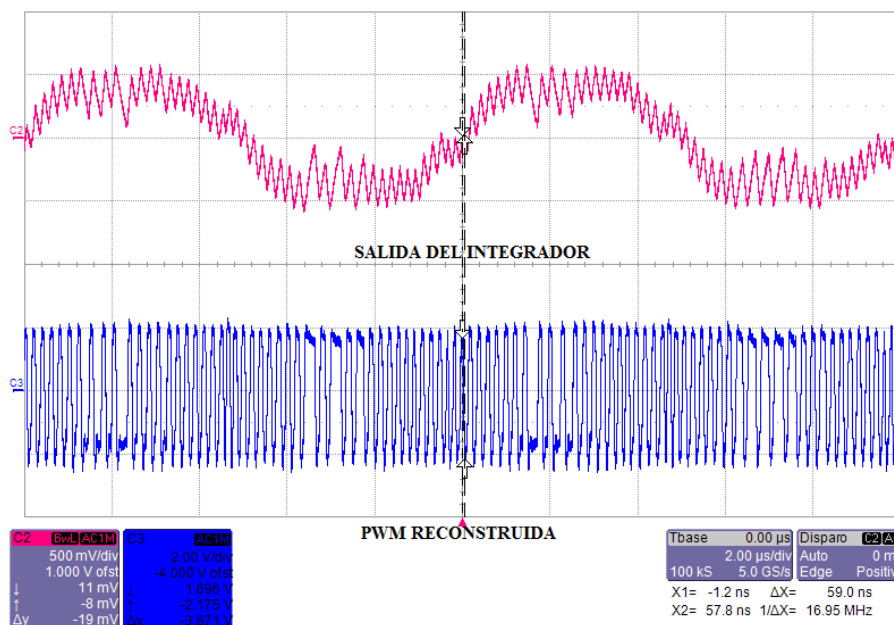


Figura 4—23 Integrador RC con entrada senoidal

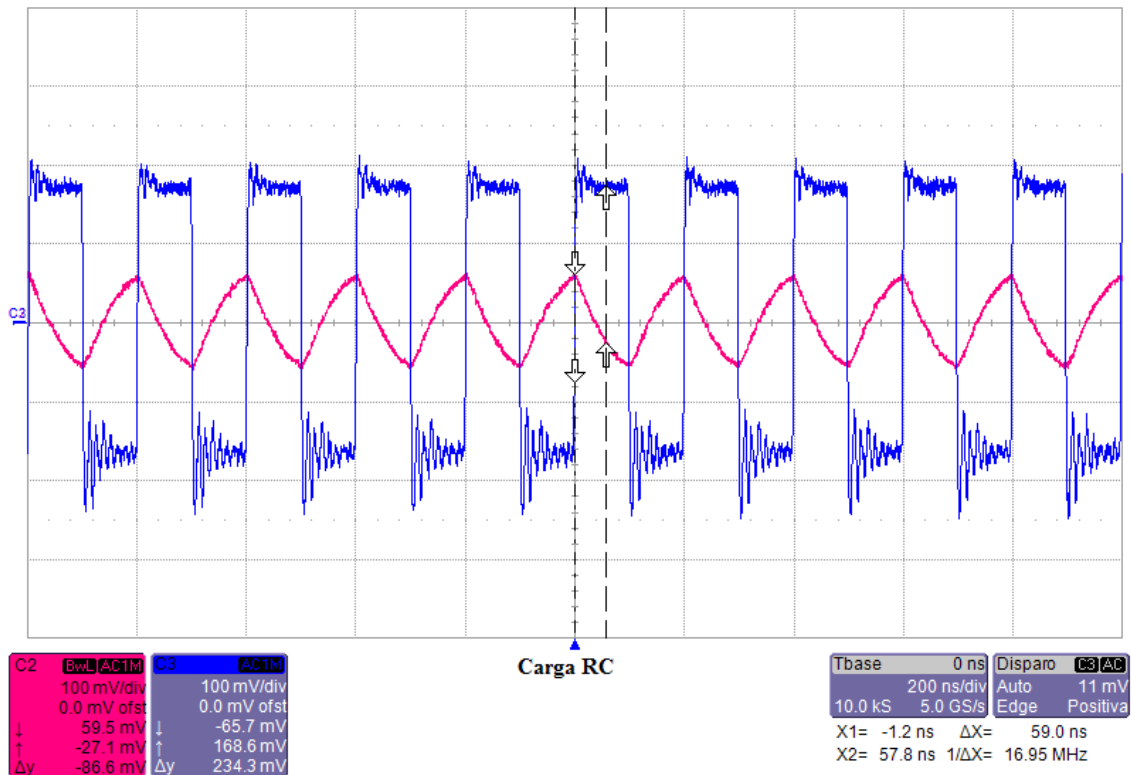


Figura 4—24 Integrador RC sin entrada

En la Figura 4—24 se ve como se carga y se descarga el condensador, cuando a la entrada no se le aplica una senoidal.

4.2.2 Medidas en bucle abierto

Las siguientes medidas han sido tomadas en bucle abierto, es decir, sin señal de entrada, para comprobar el correcto funcionamiento del oscilador. También se han hecho las siguientes pruebas en este modo, para poder medir los diferentes retardos que introducen algunos bloques dentro del circuito.

1) Retardo entre la señal integrada y la PWM original.

Mirando estas dos señales, se puede sacar el retardo que introducen los dos comparadores. La señal de entrada de ellos, es la integrada por el filtro RC, y la salida es la PWM original, obtenida de la comparación. En la hoja de características se indica que son ultrarrápidos y tienen un retraso de 10ns, por lo que será el retraso total de los comparadores de 20ns, ya que se tiene dos. Mirando la Figura 4—25 se puede ver un retraso de 18,8ns, con lo que podemos afirmar que es correcto.

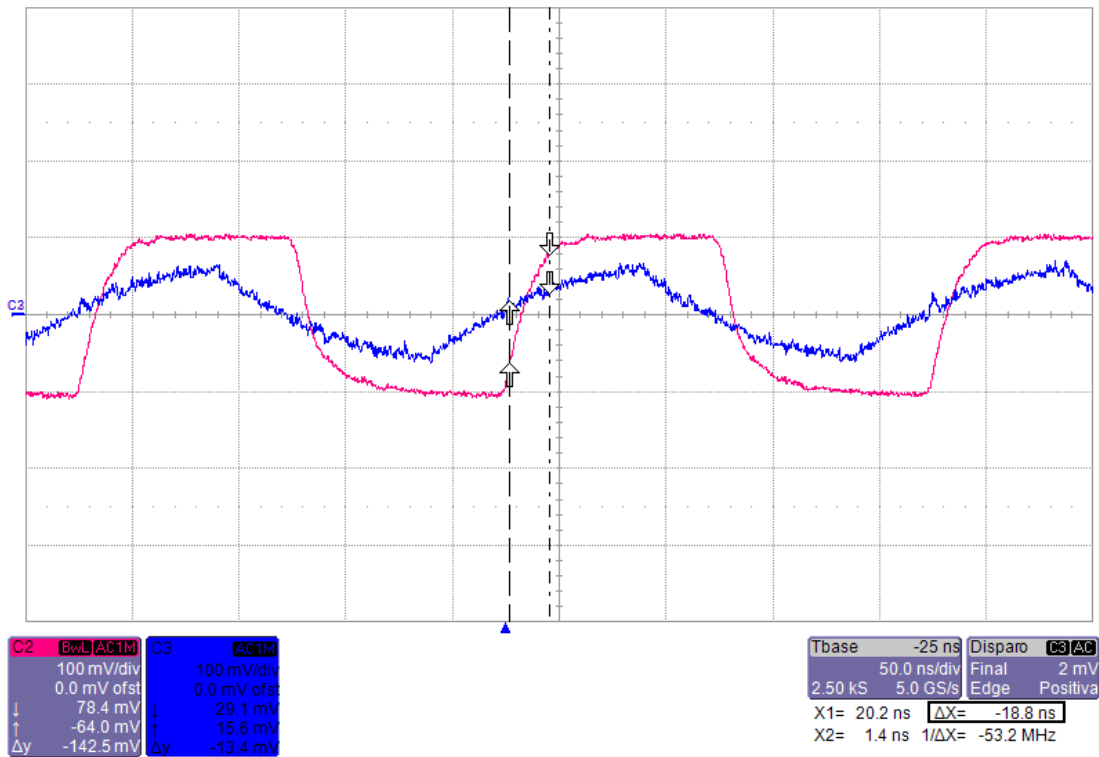


Figura 4—25 Retraso introducido por los comparadores

2) Retardo entre la PWM reconstruida y la señal triangular.

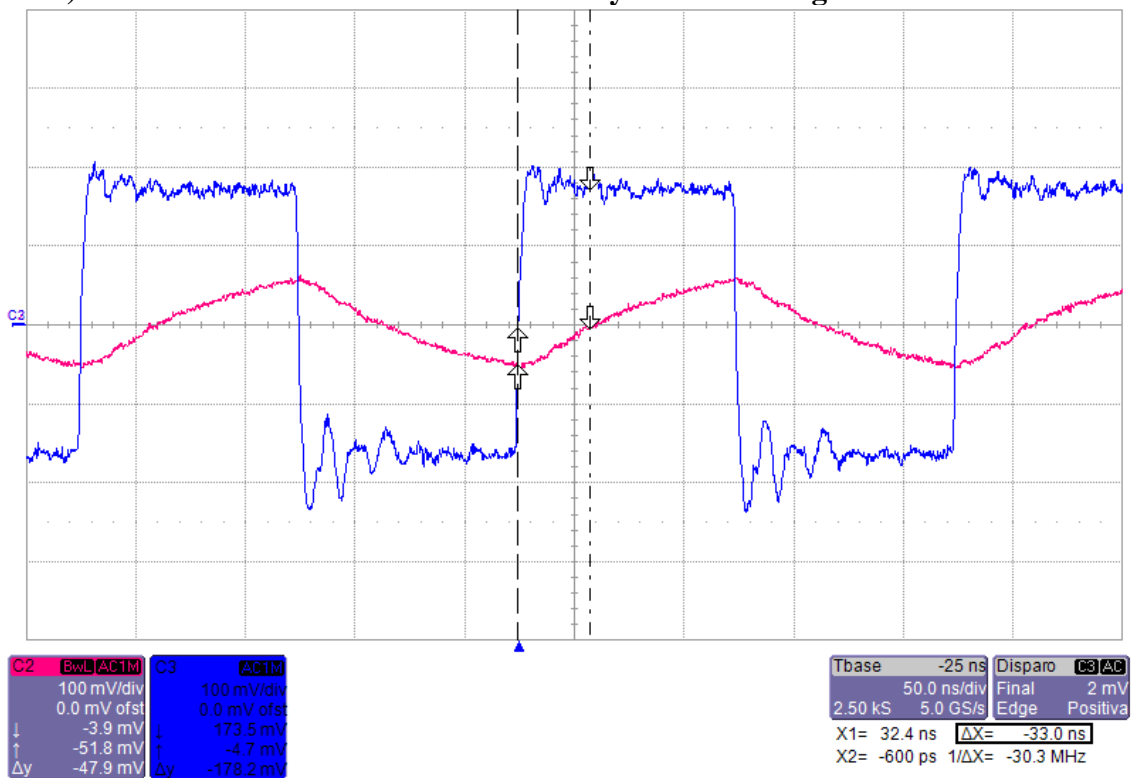


Figura 4—26 Retardo RC



Gracias a esta medida se puede sacar el retardo introducido por el filtro RC, que es de unos 30ns.

3) Retardo entre la PWM original y la reconstruida.

Midiendo estas dos señales, se puede sacar el retardo introducido por la FPGA, que es de alrededor 70ns.



Figura 4—27 Retardo FPGA

4) Frecuencia de oscilación en reposo.

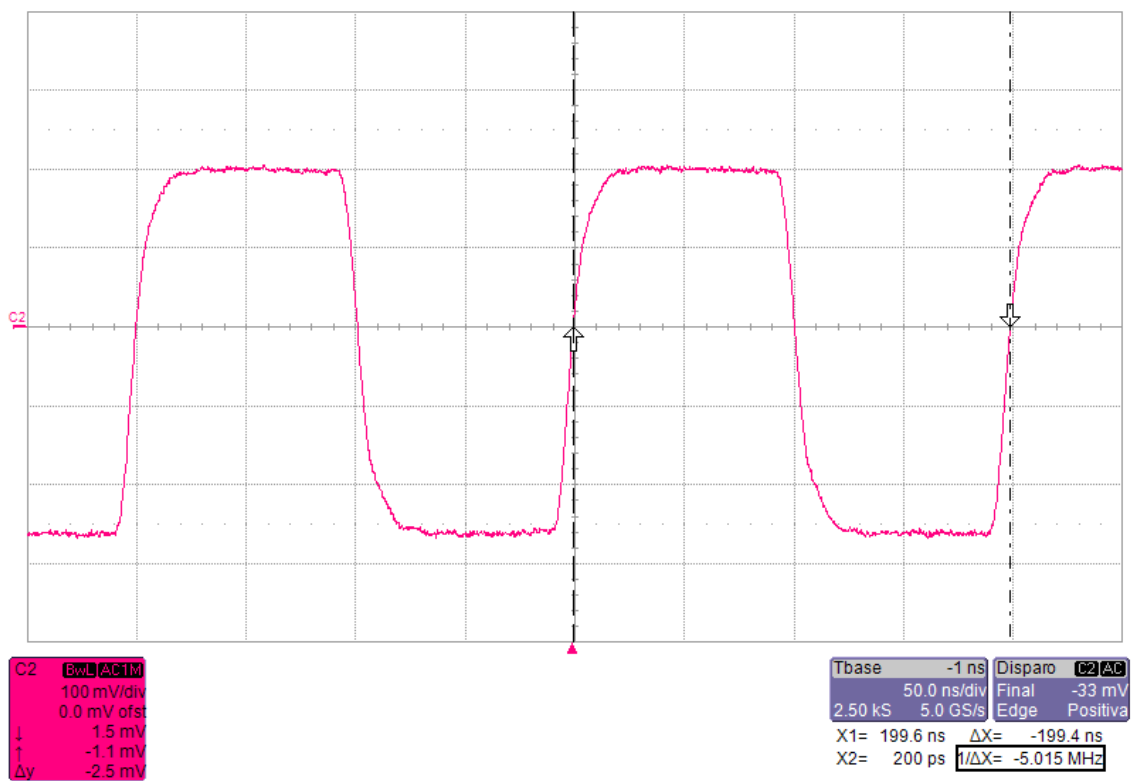
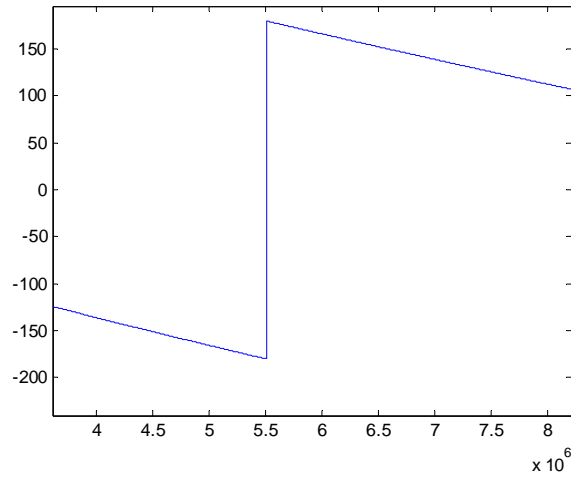


Figura 4—28 Frecuencia de oscilación en reposo

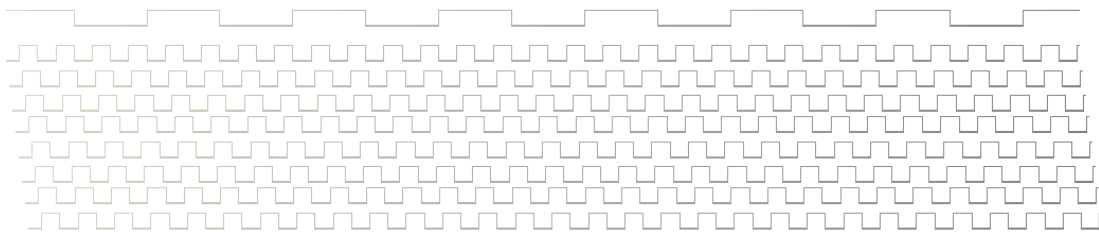


La frecuencia de oscilación en reposo del osciloscopio, es de **5 MHz**. Como se vio en la Figura 2—12 del capítulo 2, es bastante similar a lo estipulado en los cálculos teóricos, ya que en estos último la frecuencia era 5,5 MHz.





CONCLUSIONES



CAPÍTULO

1 0 1



5. CAPÍTULO 5

CONCLUSIONES

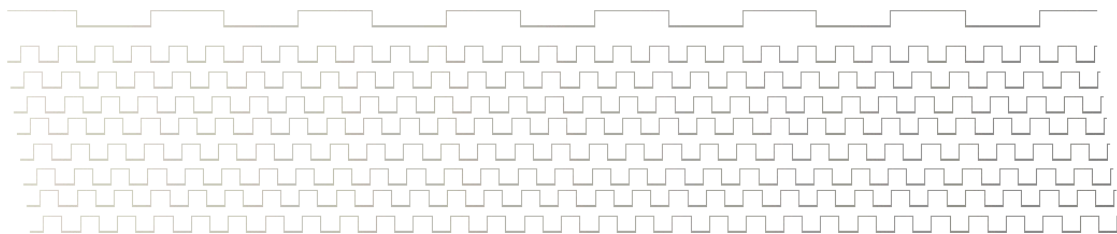
Se ha construido el circuito que se diseñó siendo su funcionamiento similar al descrito por las simulaciones. El funcionamiento ha dado como resultado la adquisición de la señal senoidal aplicada, como se mostró en la Figura 4—11.

El circuito contemplaba el uso de dieciséis elementos de retardo y de un circuito de enganche de fase para regular el retardo de los inversores mediante su alimentación. Este circuito no ha sido necesario ya que el retardo es bastante estable con la temperatura y puede simplemente calibrarse la frecuencia de entrada.

Como mejoras cabría el rediseño del filtro de bucle para emplear un integrador activo con un amplificador operacional y aumentar la resolución en el tiempo añadiendo más fases de reloj. El circuito actual codifica correctamente la señal de entrada pero las componentes de distorsión son elevadas. Pensamos que esta distorsión proviene del desajuste entre los diferentes retardos y el filtro de bucle.



PRESUPUESTO



CAPÍTULO

1 1 0



6.CAPÍTULO 6

PRESUPUESTO

En este capítulo del documento se presenta el presupuesto general relacionado con el proyecto. Se va a separar en dos tipos de gastos o costes, el primero de los materiales, el segundo el gasto en personal.

6.1 Coste de Material

DESCRIPCIÓN	MODELO/ REFERENCIA	COSTE UNITARIO	CANTIDAD	COSTE TOTAL
Comparador diferencial	LT1016	7,74€	2	15,48€
FPGA	7128SLC84	44,24€	1	44,24
Inversor	74HC245	0,60€	2	1,20€
Amplificador operacional	LM324	0,32€	1	0,32€
Resistencias, condensadores, zócalos, conector sma y JTAG, jumpers...	Varios	25€	1	20€
Material para la fabricación de PCB (placa,reactivos...)	Varios	15€	1	15€
TOTAL COSTE MATERIAL				101,24€

El coste del material representa un cálculo estimativo del gasto real en la realización del circuito. Los costes incluye el Impuesto sobre el Valor Añadido (I.V.A.).



6.2 Coste de Personal

TAREA	ENCARGADO	COSTE HORARIO	NÚMERO DE HORAS	COSTE TOTAL
Estudio previo y diseño del modelo	Ingeniero	26€/h	220h	5720€
Diseño físico del circuito y programación de FPGA	Ingeniero	26€/h	280h	7280€
Creación de la PCB	Técnico de laboratorio	14€/h	40h	560€
Preparación del documento técnico	Administrativo	16€/h	80h	1280€
TOTAL COSTE PERSONAL				14840€

El coste de personal es un cálculo aproximado asociado a la mano de obra y recursos humanos necesarios para la implementación y diseño del proyecto. El coste horario está en función del sueldo neto, es decir, con las reducciones del I.R.P.F., seguridad social, etc.

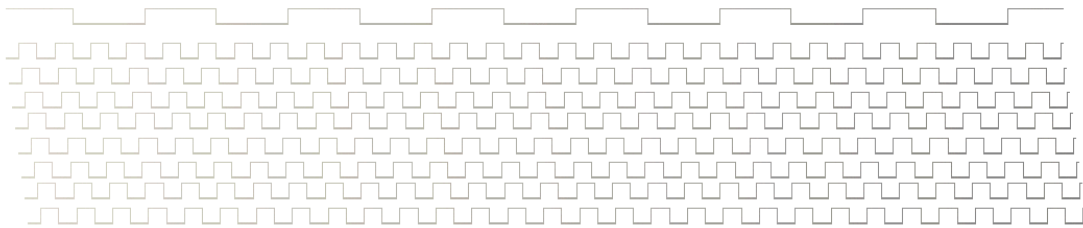
6.3 Coste Total

El coste total, será la suma de los dos costes, el de material, y el de personal.

TIPO DE COSTE	CANTIDAD
TOTAL COSTE MATERIAL	101,24€
TOTAL COSTE PERSONAL	14840€
COSTE TOTAL	14941,24€



BIBLIOGRAFÍA



CAPÍTULO

1 1 1



7.CAPÍTULO 7

BIBLIOGRAFÍA Y ARTÍCULOS DE CONSULTA

1) *“Electrónica de Potencia”*

Autor: Daniel W. Hart

Editor: Prentice Hall [2001]

I.S.B.N.: 8420531790

2) *“Instrumentación Electrónica”*

Autor: Miguel Angel Perez García

Editor: Thomson [2004]

I.S.B.N.: 8497321669

3) *“Analog-digital conversion handbook”*

Autor: The Engineering Staff of Analog Devices, Inv.

Editor: Prentice-Hall [1986]

I.S.B.N.: 0130328480

4) *“Circuitos microelectrónicos”*

Autor: Sedra/Smith

Editor: Oxford University Press [1997]

I.S.B.N.: 9706133798



5) *“High-speed analog-to-digital conversión”*

Autor: Michael J. Demler

Editor: Academic Press [1991]

I.S.B.N.: 0792374924

6) *“Diseño de circuitos impresos con Orcad Capture y Layout V 9.2”*

Autor: María Auxiliadora Recasens Bellver

Editor: Thomson [2002]

I.S.B.N.: 8497320719

7) *“SIMULINK : dynamic system simulation for MATLAB : version 2”*

Autor: Varios autores

Editor: The MathWorks [1996]

I.S.B.N.:-----

8) *“Matlab: una introducción con ejemplos prácticos”*

Autor: Amos Gilat

Editor: Reverté [2006]

I.S.B.N.: 8429150358

9) *“Manual de prácticas de Diseño Electrónico Asistido por Ordenador (D.E.A.O)”*

Autor: Cristina Fernández Herrero, Isabel Pérez Garcilopez, Ricardo Vergaz Benito

Editor: Departamento Tecnología Electrónica, Escuela Politécnica Superior Carlos III

Año: 2006

10) *“Manual de prácticas de Tecnología electrónica II”*

Autor: Celia López, Luis Entrena, Michael García, Luis Menguiabar...

Editor: Departamento Tecnología Electrónica, Escuela Politécnica Superior Carlos III

Año: 2007

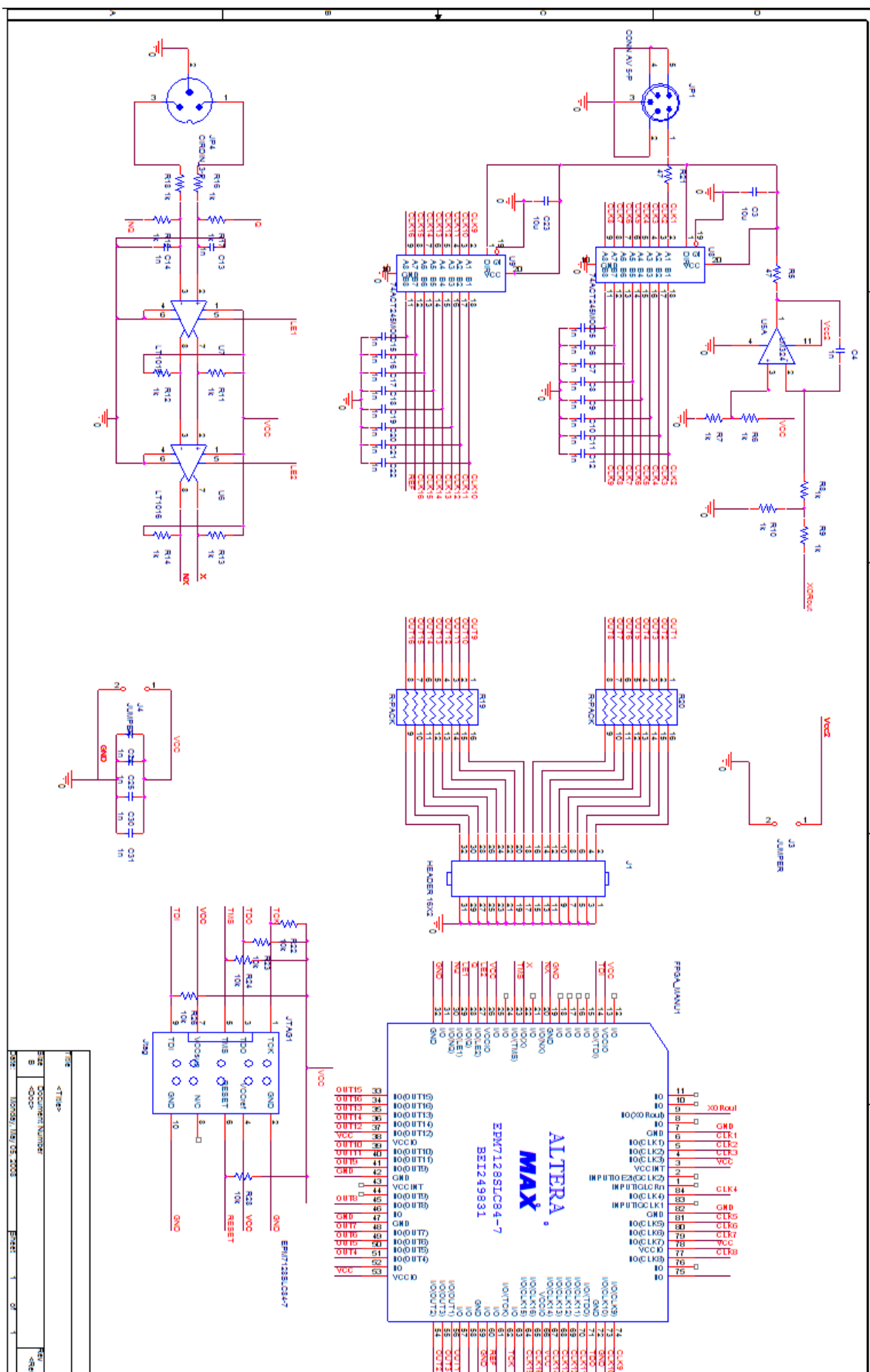
Otras fuentes: www.wikipedia.org ®, http://www.ipes.ethz.ch/ipes/sp_index.html



8.ANEXOS



8.1 Esquemático de circuito en Orcad

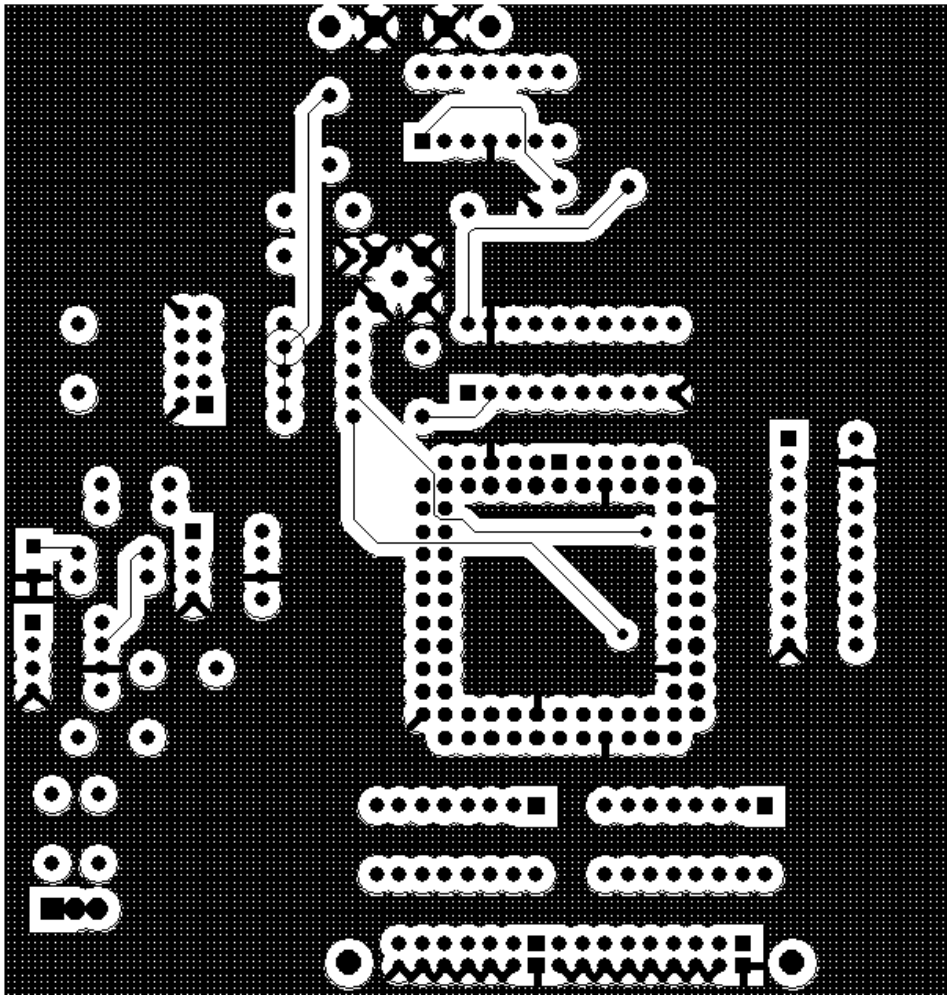




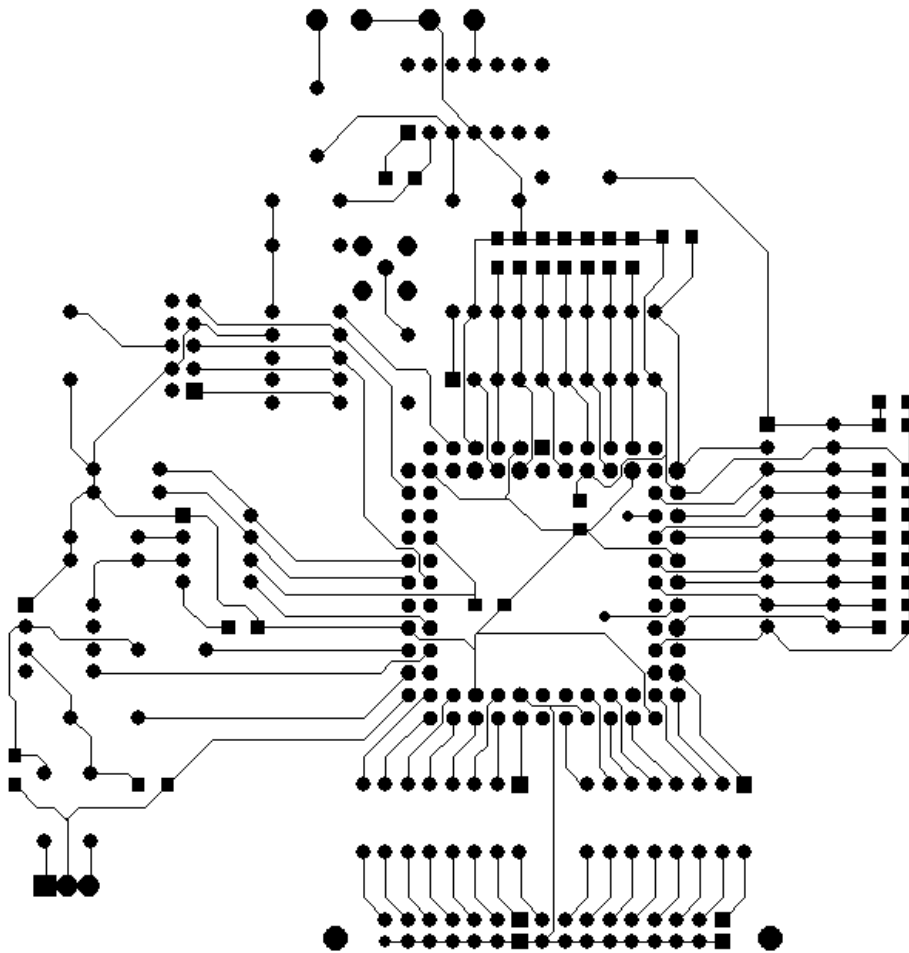
8.2 Máscaras PCB

(Tamaño Real)

TOP



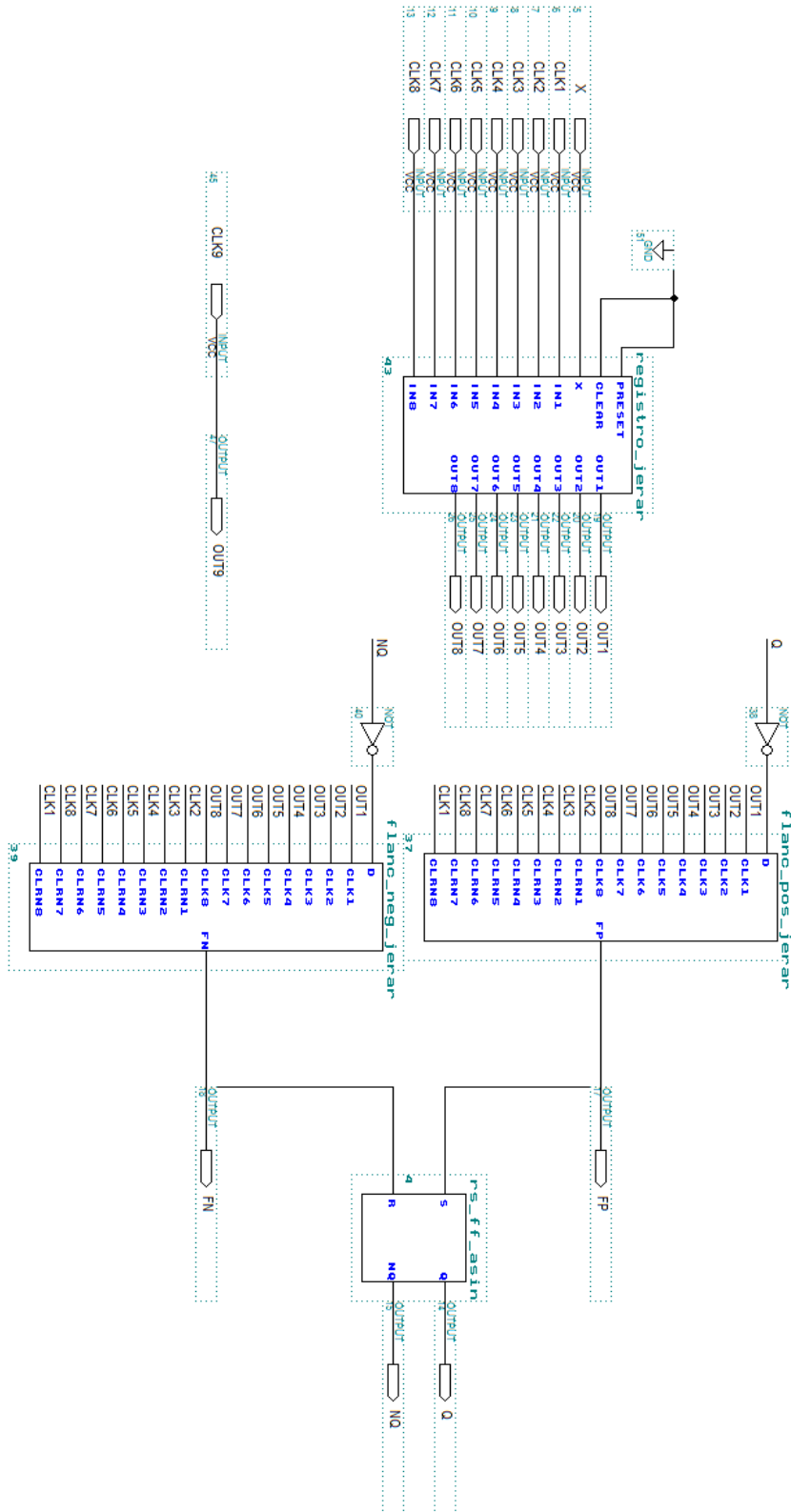
BOTTOM



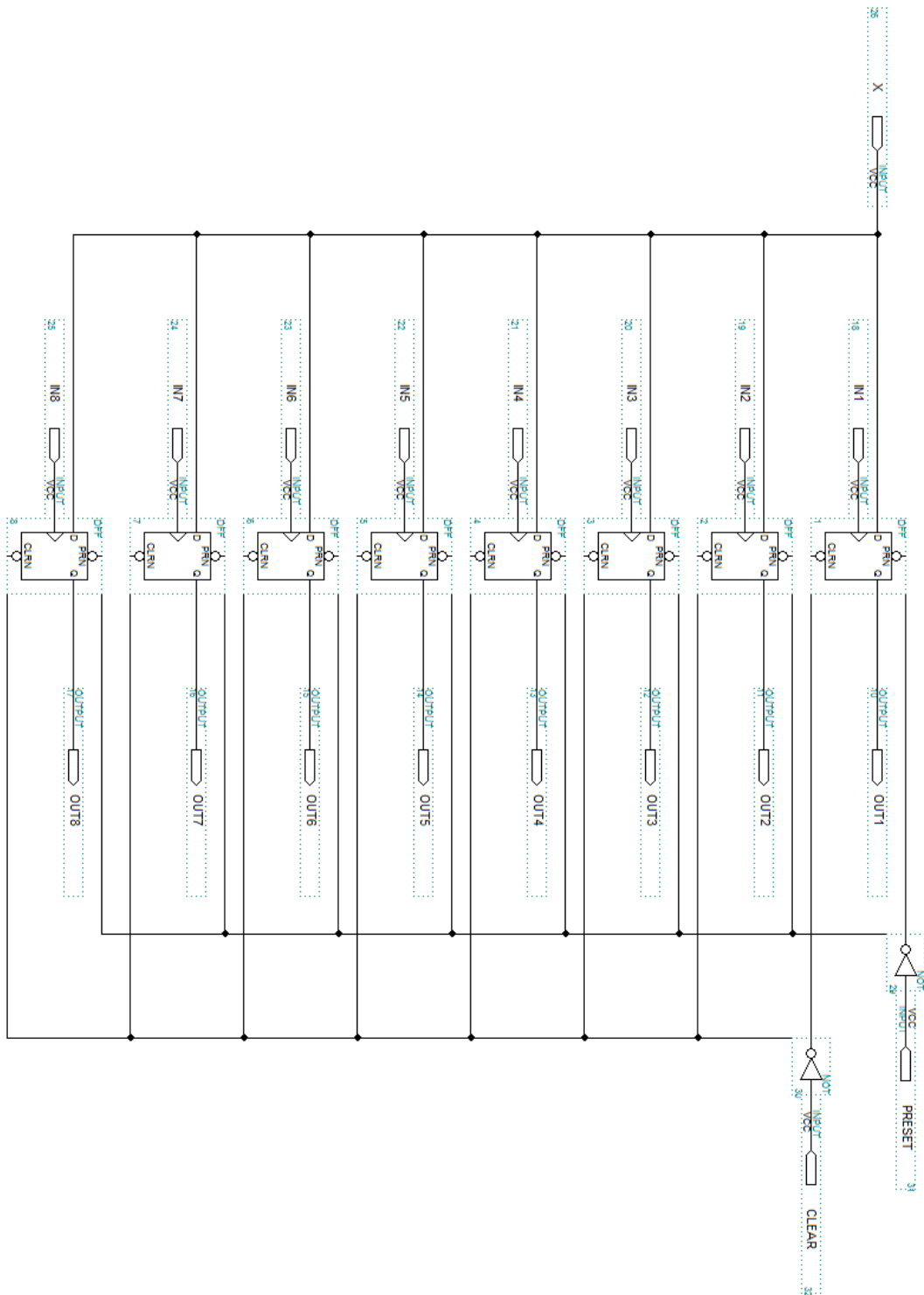


8.3 Esquemas FPGA

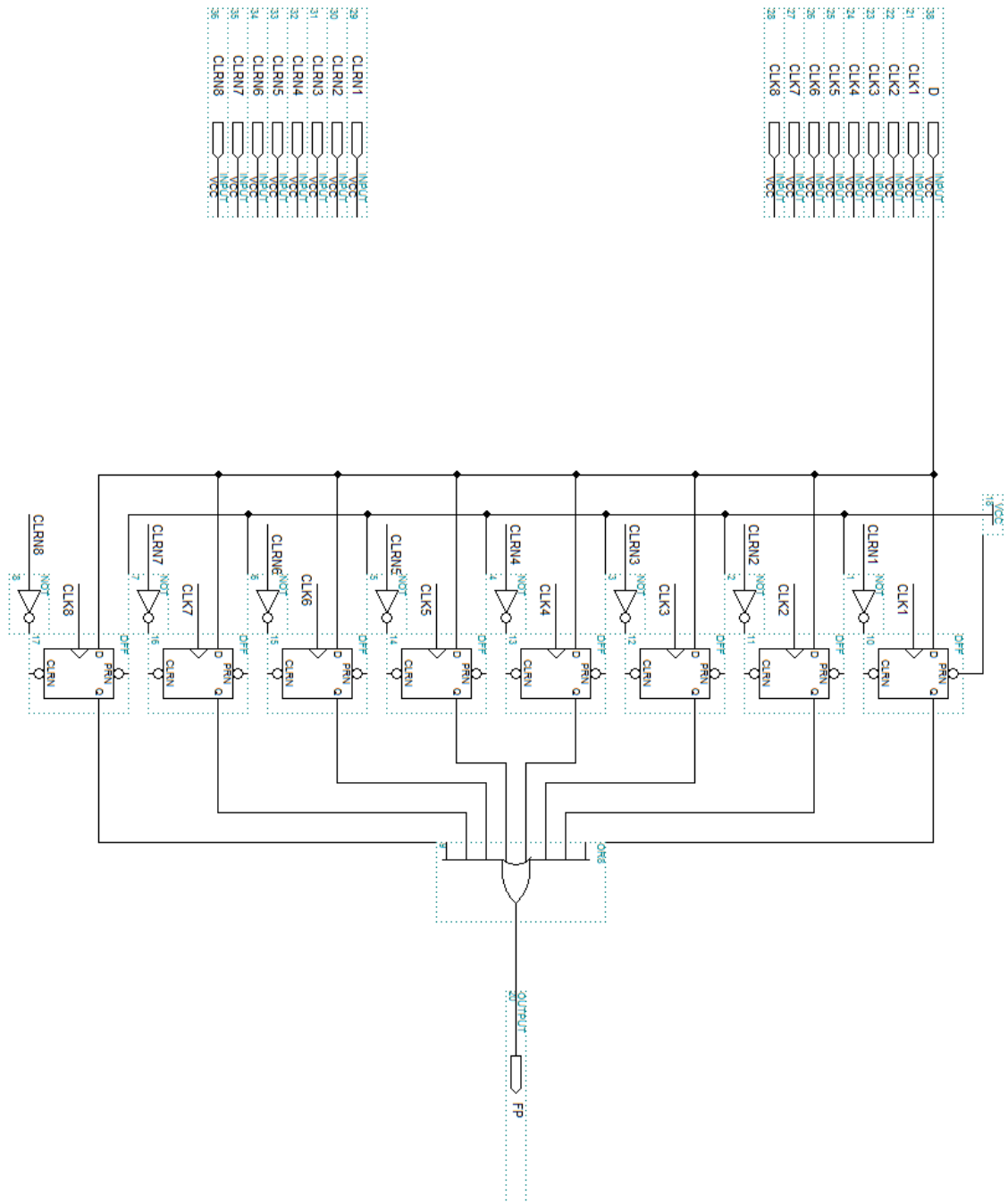
8.3.1 Esquema Jerárquico



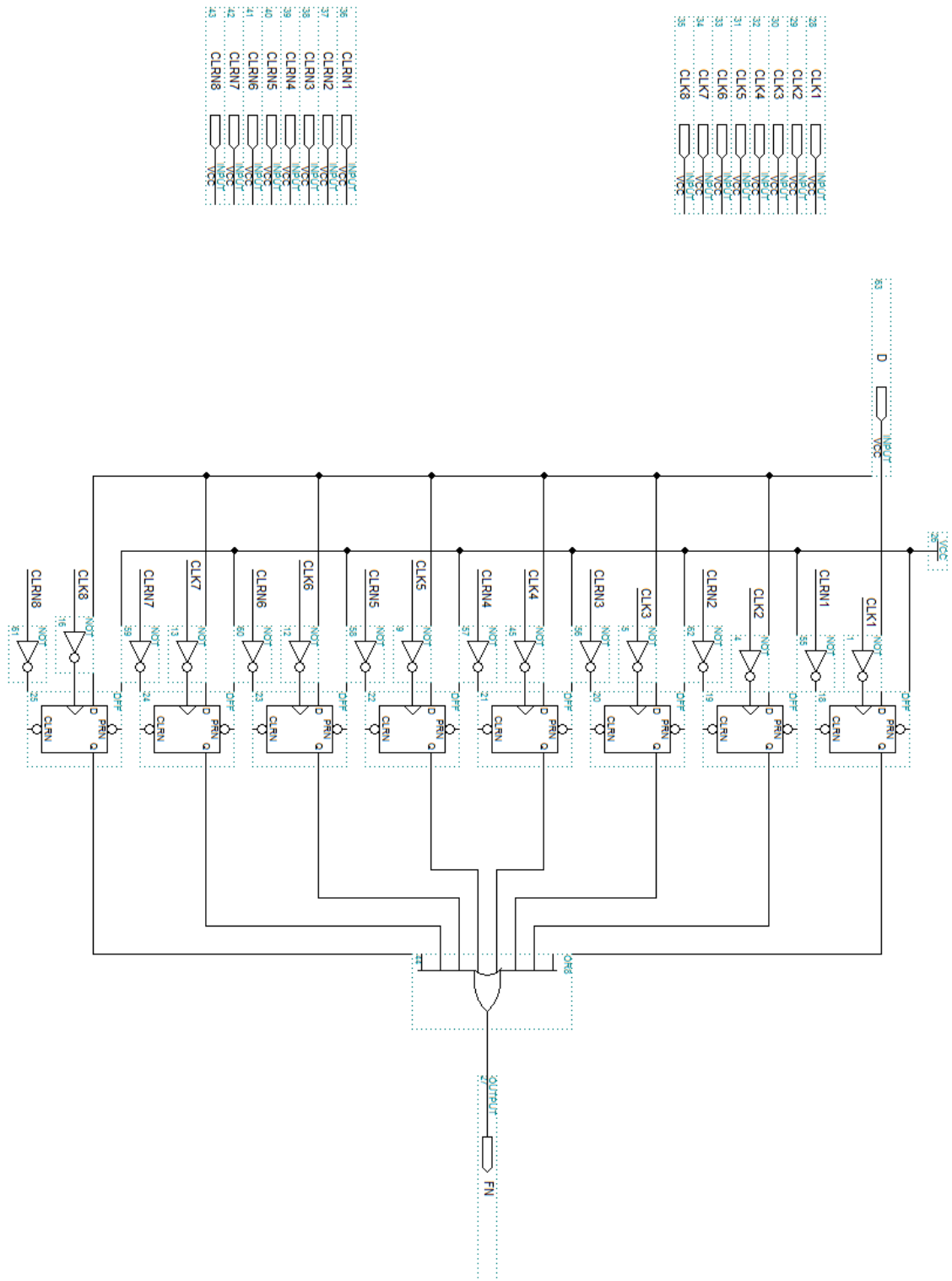
8.3.2 Registro



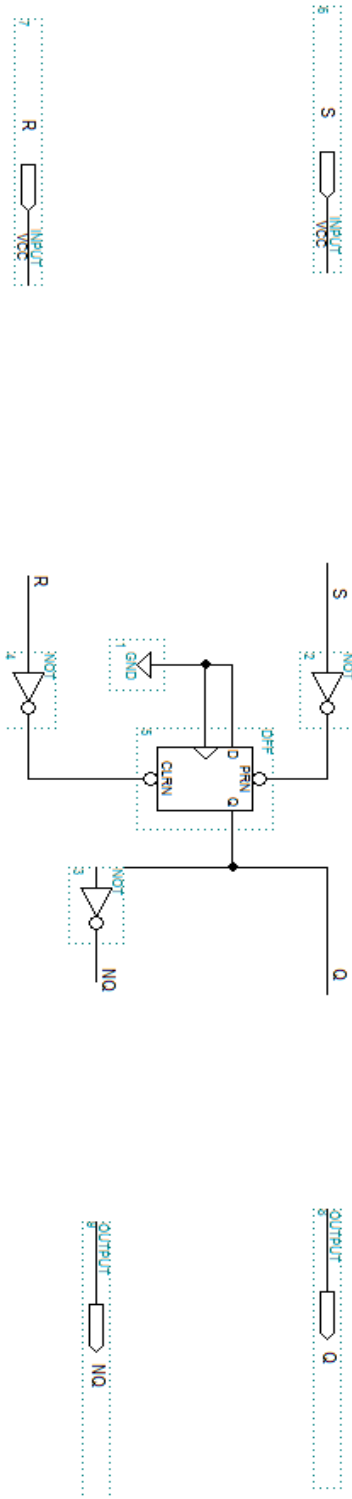
8.3.3 Detector de Flancos Positivo



8.3.4 Detector de Flancos Negativos



8.3.5 Flip Flop R-S





8.4 Programas MATLAB



8.4.1 Capture.m

```

1  % programa para procesar fichero captura
2
3  - fid=fopen('captura.m')           %abre el fichero generado por el analizador
4  - nr=zeros(1,8192*8);
5  - for i=1:5 a=fgetl(fid); end;
6  - for i=1:8187,
7  -     n=fgetl(fid);               %estos comandos se ejecutan para eliminar la
8  -     nn=n(1:8);                 %información, solo nos interesa solo los 8 bits
9  -     for j=1:8, nr((i-1)*8+j)=(nn(j)=='1'); end;
10 - end;
11
12 - nr=sign(nr-0.5);
13 - nr=nr-mean(nr);
14
15 - figure(1)
16 - semilogx(20*log10(abs(fft(nr'.*hanning(max(size(nr)))))));
17 - grid                             %con la matriz de bits, pintamos su FFT
18
19 - [a b]=butter(6,1/32/8);
20 - yf=filter(a,b,nr);
21
22 - figure(2)
23 - plot(yf)                         %si pinta la senoidal reconstuida
24 - grid

```



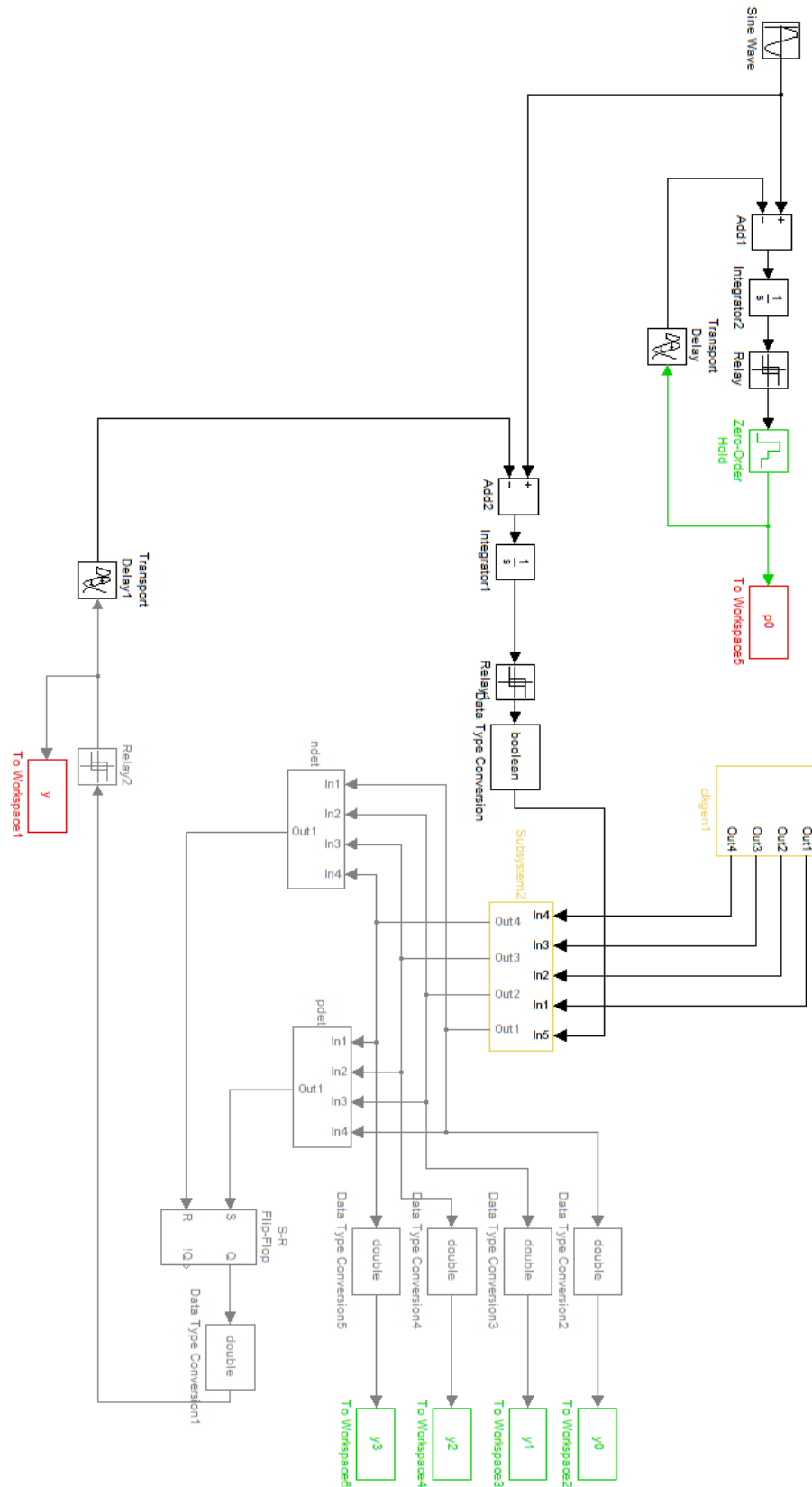
8.4.2 *Esph.m*

```

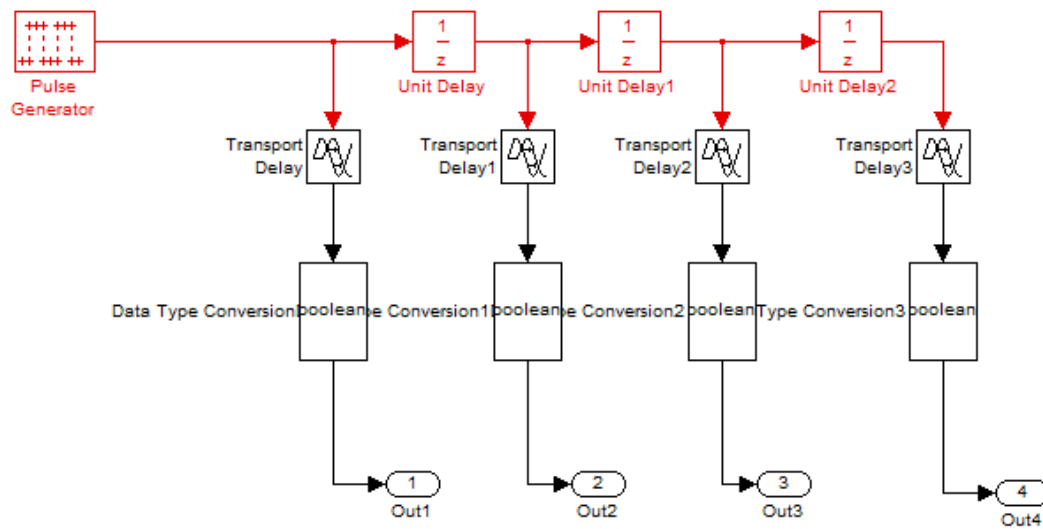
1  function y=esph(x);
2  -  lx=length(x);
3  -  f=fft(x'.*[0 hanning(lx-1)']);
4  -  %f=fft(x'.*hanning(lx));
5  -  ef=20*log10(abs(f(1:lx/2)));
6  -  y=ef-max(ef);
7

```

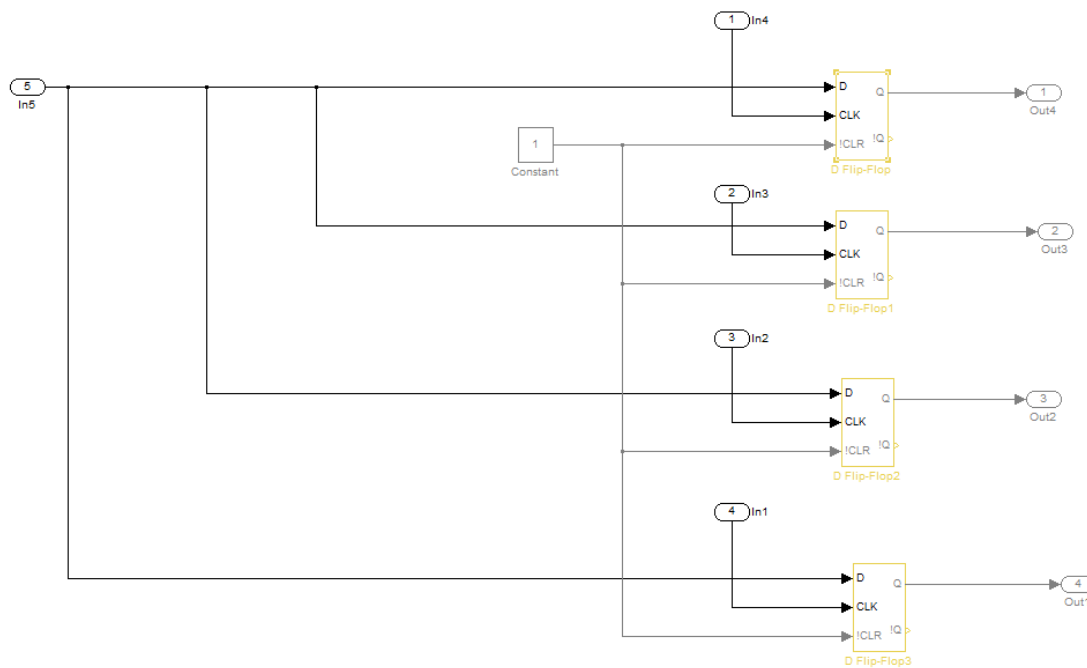
8.4.3 Diseño General de la simulación en MATLAB



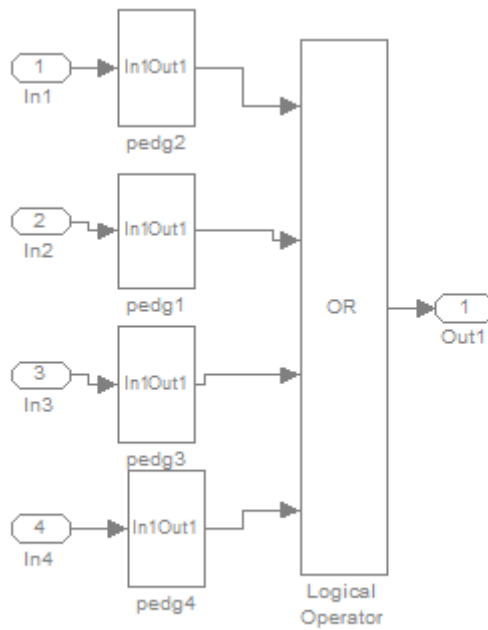
8.4.4 Etapa de Generación de relojes retrasados



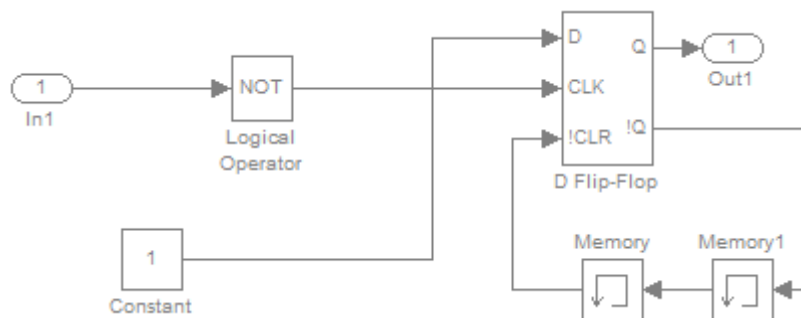
8.4.5 Etapa de Registro



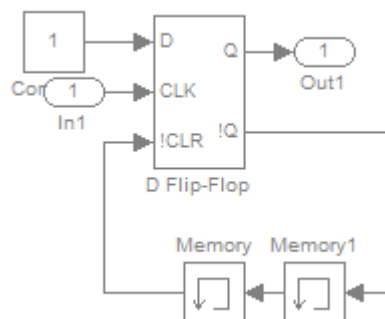
8.4.6 Detector de Flancos



Negativo



Positivo





8.5 Hojas de características



MAX 7000 Programmable Logic Device Family

December 2002, ver. 6.5

Data Sheet

Features...

- High-performance, EEPROM-based programmable logic devices (PLDs) based on second-generation MAX[®] architecture
- 5.0-V in-system programmability (ISP) through the built-in IEEE Std. 1149.1 Joint Test Action Group (JTAG) interface available in MAX 7000S devices
 - ISP circuitry compatible with IEEE Std. 1532
- Includes 5.0-V MAX 7000 devices and 5.0-V ISP-based MAX 7000S devices
- Built-in JTAG boundary-scan test (BST) circuitry in MAX 7000S devices with 128 or more macrocells
- Complete EPLD family with logic densities ranging from 600 to 5,000 usable gates (see [Tables 1 and 2](#))
- 5-ns pin-to-pin logic delays with up to 175.4-MHz counter frequencies (including interconnect)
- PCI-compliant devices available



For information on in-system programmable 3.3-V MAX 7000A or 2.5-V MAX 7000B devices, see the [MAX 7000A Programmable Logic Device Family Data Sheet](#) or the [MAX 7000B Programmable Logic Device Family Data Sheet](#).

Feature	EPM7032	EPM7064	EPM7096	EPM7128E	EPM7160E	EPM7192E	EPM7256E
Usable gates	600	1,250	1,800	2,500	3,200	3,750	5,000
Macrocells	32	64	96	128	160	192	256
Logic array blocks	2	4	6	8	10	12	16
Maximum user I/O pins	36	68	76	100	104	124	164
t_{PD} (ns)	6	6	7.5	7.5	10	12	12
t_{SU} (ns)	5	5	6	6	7	7	7
t_{FSU} (ns)	2.5	2.5	3	3	3	3	3
t_{CO1} (ns)	4	4	4.5	4.5	5	6	6
f_{CNT} (MHz)	151.5	151.5	125.0	125.0	100.0	90.9	90.9



MAX 7000 Programmable Logic Device Family Data Sheet

Table 2. MAX 7000S Device Features

Feature	EPM7032S	EPM7064S	EPM7128S	EPM7160S	EPM7192S	EPM7256S
Usable gates	600	1,250	2,500	3,200	3,750	5,000
Macrocells	32	64	128	160	192	256
Logic array blocks	2	4	8	10	12	16
Maximum user I/O pins	36	68	100	104	124	164
t _{PD} (ns)	5	5	6	6	7.5	7.5
t _{SU} (ns)	2.9	2.9	3.4	3.4	4.1	3.9
t _{FSU} (ns)	2.5	2.5	2.5	2.5	3	3
t _{CO1} (ns)	3.2	3.2	4	3.9	4.7	4.7
f _{CNT} (MHz)	175.4	175.4	147.1	149.3	125.0	128.2

...and More Features

- Open-drain output option in MAX 7000S devices
- Programmable macrocell flipflops with individual clear, preset, clock, and clock enable controls
- Programmable power-saving mode for a reduction of over 50% in each macrocell
- Configurable expander product-term distribution, allowing up to 32 product terms per macrocell
- 44 to 208 pins available in plastic J-lead chip carrier (PLCC), ceramic pin-grid array (PGA), plastic quad flat pack (PQFP), power quad flat pack (RQFP), and 1.0-mm thin quad flat pack (TQFP) packages
- Programmable security bit for protection of proprietary designs
- 3.3-V or 5.0-V operation
 - MultiVolt™ I/O interface operation, allowing devices to interface with 3.3-V or 5.0-V devices (MultiVolt I/O operation is not available in 44-pin packages)
 - Pin compatible with low-voltage MAX 7000A and MAX 7000B devices
- Enhanced features available in MAX 7000E and MAX 7000S devices
 - Six pin- or logic-driven output enable signals
 - Two global clock signals with optional inversion
 - Enhanced interconnect resources for improved routability
 - Fast input setup times provided by a dedicated path from I/O pin to macrocell registers
 - Programmable output slew-rate control
- Software design support and automatic place-and-route provided by Altera's development system for Windows-based PCs and Sun SPARCstation, and HP 9000 Series 700/800 workstations



MAX 7000 Programmable Logic Device Family Data Sheet

Tables 28 and 29 show the EPM7128S AC operating conditions.

Table 28. EPM7128S External Timing Parameters *Note (1)*

Symbol	Parameter	Conditions	Speed Grade								Unit
			-6		-7		-10		-15		
			Min	Max	Min	Max	Min	Max	Min	Max	
t_{PD1}	Input to non-registered output	C1 = 35 pF		6.0		7.5		10.0		15.0	ns
t_{PD2}	I/O input to non-registered output	C1 = 35 pF		6.0		7.5		10.0		15.0	ns
t_{SU}	Global clock setup time		3.4		6.0		7.0		11.0		ns
t_H	Global clock hold time		0.0		0.0		0.0		0.0		ns
t_{FSU}	Global clock setup time of fast input		2.5		3.0		3.0		3.0		ns
t_{FH}	Global clock hold time of fast input		0.0		0.5		0.5		0.0		ns
t_{CO1}	Global clock to output delay	C1 = 35 pF		4.0		4.5		5.0		8.0	ns
t_{CH}	Global clock high time		3.0		3.0		4.0		5.0		ns
t_{CL}	Global clock low time		3.0		3.0		4.0		5.0		ns
t_{ASU}	Array clock setup time		0.9		3.0		2.0		4.0		ns
t_{AH}	Array clock hold time		1.8		2.0		5.0		4.0		ns
t_{ACO1}	Array clock to output delay	C1 = 35 pF		6.5		7.5		10.0		15.0	ns
t_{ACH}	Array clock high time		3.0		3.0		4.0		6.0		ns
t_{ACL}	Array clock low time		3.0		3.0		4.0		6.0		ns
t_{CPPW}	Minimum pulse width for clear and preset	(2)	3.0		3.0		4.0		6.0		ns
t_{ODH}	Output data hold time after clock	C1 = 35 pF (3)	1.0		1.0		1.0		1.0		ns
t_{CNT}	Minimum global clock period			6.8		8.0		10.0		13.0	ns
f_{CNT}	Maximum internal global clock frequency	(4)	147.1		125.0		100.0		76.9		MHz
t_{ACNT}	Minimum array clock period			6.8		8.0		10.0		13.0	ns
f_{ACNT}	Maximum internal array clock frequency	(4)	147.1		125.0		100.0		76.9		MHz
f_{MAX}	Maximum clock frequency	(5)	166.7		166.7		125.0		100.0		MHz



MAX 7000 Programmable Logic Device Family Data Sheet

Tables 28 and 29 show the EPM7128S AC operating conditions.

Table 28. EPM7128S External Timing Parameters *Note (1)*

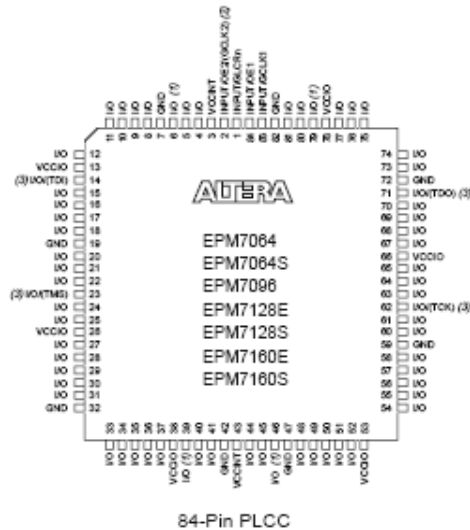
Symbol	Parameter	Conditions	Speed Grade								Unit
			-6		-7		-10		-15		
			Min	Max	Min	Max	Min	Max	Min	Max	
t _{FD1}	Input to non-registered output	C1 = 35 pF		6.0		7.5		10.0		15.0	ns
t _{FD2}	I/O input to non-registered output	C1 = 35 pF		6.0		7.5		10.0		15.0	ns
t _{3U}	Global clock setup time		3.4		6.0		7.0		11.0		ns
t _H	Global clock hold time		0.0		0.0		0.0		0.0		ns
t _{F3U}	Global clock setup time of fast input		2.5		3.0		3.0		3.0		ns
t _{FH}	Global clock hold time of fast input		0.0		0.5		0.5		0.0		ns
t _{CO1}	Global clock to output delay	C1 = 35 pF		4.0		4.5		5.0		8.0	ns
t _{CH}	Global clock high time		3.0		3.0		4.0		5.0		ns
t _{CL}	Global clock low time		3.0		3.0		4.0		5.0		ns
t _{A3U}	Array clock setup time		0.9		3.0		2.0		4.0		ns
t _{AH}	Array clock hold time		1.8		2.0		5.0		4.0		ns
t _{ACO1}	Array clock to output delay	C1 = 35 pF		6.5		7.5		10.0		15.0	ns
t _{A3H}	Array clock high time		3.0		3.0		4.0		6.0		ns
t _{A3L}	Array clock low time		3.0		3.0		4.0		6.0		ns
t _{CPPW}	Minimum pulse width for clear and preset	(2)	3.0		3.0		4.0		6.0		ns
t _{ODH}	Output data hold time after clock	C1 = 35 pF (3)	1.0		1.0		1.0		1.0		ns
t _{CNT}	Minimum global clock period			6.8		8.0		10.0		13.0	ns
f _{CNT}	Maximum internal global clock frequency	(4)	147.1		125.0		100.0		76.9		MHz
t _{ACNT}	Minimum array clock period			6.8		8.0		10.0		13.0	ns
f _{ACNT}	Maximum internal array clock frequency	(4)	147.1		125.0		100.0		76.9		MHz
f _{MAX}	Maximum clock frequency	(5)	166.7		166.7		125.0		100.0		MHz



MAX 7000 Programmable Logic Device Family Data Sheet

Figure 18. 84-Pin Package Pin-Out Diagram

Package outline not drawn to scale.



Notes:

- (1) Pins 6, 39, 46, and 79 are no-connect (N.C.) pins on EPM7096, EPM7160E, and EPM7160S devices.
- (2) The pin functions shown in parenthesis are only available in MAX 7000E and MAX 7000S devices.
- (3) JTAG ports are available in MAX 7000S devices only.



LT1016

UltraFast Precision
10ns Comparator

FEATURES

- UltraFast™ (10ns typ)
- Operates Off Single 5V Supply or ±5V
- Complementary Output to TTL
- Low Offset Voltage
- No Minimum Input Slew Rate Requirement
- No Power Supply Current Spiking
- Output Latch Capability

APPLICATIONS

- High Speed A/D Converters
- High Speed Sampling Circuits
- Line Receivers
- Extended Range V-to-F Converters
- Fast Pulse Height/Width Discriminators
- Zero-Crossing Detectors
- Current Sense for Switching Regulators
- High Speed Triggers
- Crystal Oscillators

DESCRIPTION

The LT[®]1016 is an UltraFast 10ns comparator that interfaces directly to TTL/CMOS logic while operating off either ±5V or single 5V supplies. Tight offset voltage specifications and high gain allow the LT1016 to be used in precision applications. Matched complementary outputs further extend the versatility of this comparator.

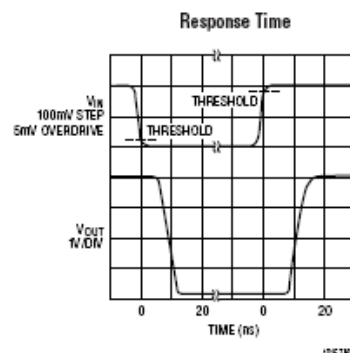
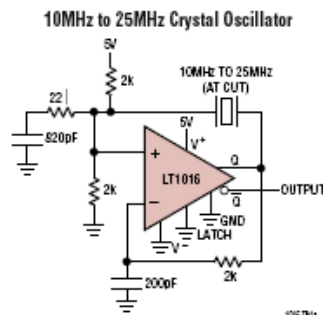
A unique output stage provides active drive in both directions for maximum speed into TTL/CMOS logic or passive loads, yet does not exhibit the large current spikes found in conventional output stages. This allows the LT1016 to remain stable with the outputs in the active region which, greatly reduces the problem of output "glitching" when the input signal is slow moving or is low level.

The LT1016 has a LATCH pin which will retain input data at the outputs, when held high. Quiescent negative power supply current is only 3mA. This allows the negative supply pin to be driven from virtually any supply voltage with a simple resistive divider. Device performance is not affected by variations in negative supply voltage.

Linear Technology offers a wide range of comparators in addition to the LT1016 that address different applications. See the Related Parts section on the back page of the data sheet.

LT, LTC and LT are registered trademarks of Linear Technology Corporation. UltraFast is a trademark of Linear Technology Corporation.

TYPICAL APPLICATION





LT1016

ABSOLUTE MAXIMUM RATINGS (Note 1)

Positive Supply Voltage (Note 5)	7V	Operating Temperature Range	
Negative Supply Voltage	7V	LT1016I	-40°C to 85°C
Differential Input Voltage (Note 7)	±5V	LT1016C	0°C to 70°C
+IN, -IN and LATCH ENABLE Current (Note 7) ..	±10mA	Storage Temperature Range	-65°C to 150°C
Output Current (Continuous) (Note 7)	±20mA	Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION

<p>N8 PACKAGE 8-LEAD PDIP</p> <p>$T_{JMAX} = 100^{\circ}\text{C}$, $\theta_{JA} = 130^{\circ}\text{C/W}$ (N8)</p>	ORDER PART NUMBER	<p>S8 PACKAGE 8-LEAD PLASTIC SO</p> <p>$T_{JMAX} = 110^{\circ}\text{C}$, $\theta_{JA} = 120^{\circ}\text{C/W}$</p>	ORDER PART NUMBER
	LT1016CN8 LT1016IN8		LT1016CS8 LT1016IS8
		S8 PART MARKING	
		1016 1016I	

Consult LTC marketing for parts specified with wider operating temperature ranges.



LT1016

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V^+ = 5\text{V}$, $V^- = 5\text{V}$, $V_{\text{OUT}}(\text{Q}) = 1.4\text{V}$, $V_{\text{LATCH}} = 0\text{V}$, unless otherwise noted.

SYMBOL	PARAMETER	CONDITIONS	LT1016C/I			UNITS
			MIN	TYP	MAX	
V_{OS}	Input Offset Voltage	$R_{\text{S}} \leq 100\Omega$ (Note 2)	●	1.0	± 3 3.5	mV mV
$\frac{\Delta V_{\text{OS}}}{\Delta T}$	Input Offset Voltage Drift		●	4		$\mu\text{V}/^\circ\text{C}$
I_{OS}	Input Offset Current	(Note 2)	●	0.3 0.3	1.0 1.3	μA μA
I_{B}	Input Bias Current	(Note 3)	●	5	10 13	μA μA
	Input Voltage Range	(Note 6) Single 5V Supply	● ●	-3.75 1.25	3.5 3.5	V V
CMRR	Common Mode Rejection	$-3.75\text{V} \leq V_{\text{CM}} \leq 3.5\text{V}$	●	80	96	dB
PSRR	Supply Voltage Rejection	Positive Supply $4.6\text{V} \leq V^+ \leq 5.4\text{V}$ LT1016C	●	60	75	dB
		Positive Supply $4.6\text{V} \leq V^+ \leq 5.4\text{V}$ LT1016I	●	54	75	dB
		Negative Supply $2\text{V} \leq V^- \leq 7\text{V}$	●	80	100	dB
A_V	Small-Signal Voltage Gain	$1\text{V} \leq V_{\text{OUT}} \leq 2\text{V}$		1400	3000	V/V
V_{OH}	Output High Voltage	$V^+ \geq 4.6\text{V}$	● ●	2.7 2.4	3.4 3.0	V V
V_{OL}	Output Low Voltage		●	0.3	0.5	V
			●	0.4		V
I^+	Positive Supply Current		●	25	35	mA
I^-	Negative Supply Current		●	3	5	mA
V_{IH}	LATCH Pin Hi Input Voltage		●	2.0		V
V_{IL}	LATCH Pin Lo Input Voltage		●		0.8	V
I_{L}	LATCH Pin Current	$V_{\text{LATCH}} = 0\text{V}$	●		500	μA
t_{PD}	Propagation Delay (Note 4)	$\Delta V_{\text{IN}} = 100\text{mV}$, $\text{OD} = 5\text{mV}$	●	10	14 16	ns ns
			●	9	12 15	ns ns
			●		3	ns
Δt_{PD}	Differential Propagation Delay	(Note 4) $\Delta V_{\text{IN}} = 100\text{mV}$, $\text{OD} = 5\text{mV}$			3	ns
	Latch Setup Time			2		ns

Note 1: Absolute Maximum Ratings are those values beyond which the life of a device may be impaired.

Note 2: Input offset voltage is defined as the average of the two voltages measured by forcing first one output, then the other to 1.4V. Input offset current is defined in the same way.

Note 3: Input bias current (I_{B}) is defined as the average of the two input currents.

Note 4: t_{PD} and Δt_{PD} cannot be measured in automatic handling equipment with low values of overdrive. The LT1016 is sample tested with a 1V step and 500mV overdrive. Correlation tests have shown that t_{PD} and

Δt_{PD} limits shown can be guaranteed with this test if additional DC tests are performed to guarantee that all internal bias conditions are correct. For low overdrive conditions V_{OS} is added to overdrive. Differential propagation delay is defined as: $\Delta t_{\text{PD}} = t_{\text{PDH}} - t_{\text{PDH}}$.

Note 5: Electrical specifications apply only up to 5.4V.

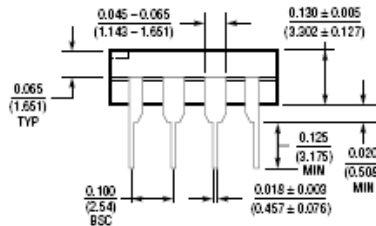
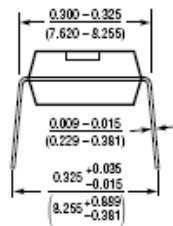
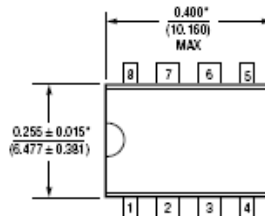
Note 6: Input voltage range is guaranteed in part by CMRR testing and in part by design and characterization. See text for discussion of input voltage range for supplies other than $\pm 5\text{V}$ or 5V.

Note 7: This parameter is guaranteed to meet specified performance through design and characterization. It has not been tested.

LT1016

PACKAGE DESCRIPTION

N8 Package
8-Lead PDIP (Narrow .300 Inch)
 (Reference LTC DWG # 05-08-1510)



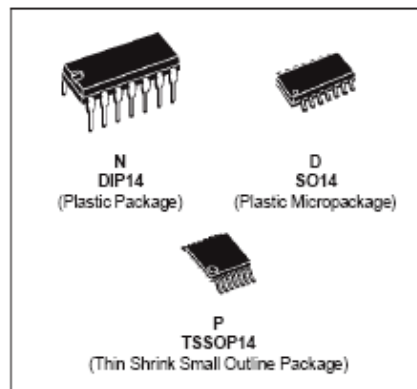
*THESE DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS.
 MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED 0.010 INCH (0.254mm)



**LM124
LM224 - LM324**

LOW POWER QUAD OPERATIONAL AMPLIFIERS

- WIDE GAIN BANDWIDTH : 1.3MHz
- INPUT COMMON-MODE VOLTAGE RANGE INCLUDES GROUND
- LARGE VOLTAGE GAIN : 100dB
- VERY LOW SUPPLY CURRENT/AMPLI : 375µA
- LOW INPUT BIAS CURRENT : 20nA
- LOW INPUT OFFSET VOLTAGE : 5mV max.
(for more accurate applications, use the equivalent parts LM124A-LM224A-LM324A which feature 3mV max)
- LOW INPUT OFFSET CURRENT : 2nA
- WIDE POWER SUPPLY RANGE :
SINGLE SUPPLY : +3V TO +30V
DUAL SUPPLIES : ±1.5V TO ±15V



DESCRIPTION

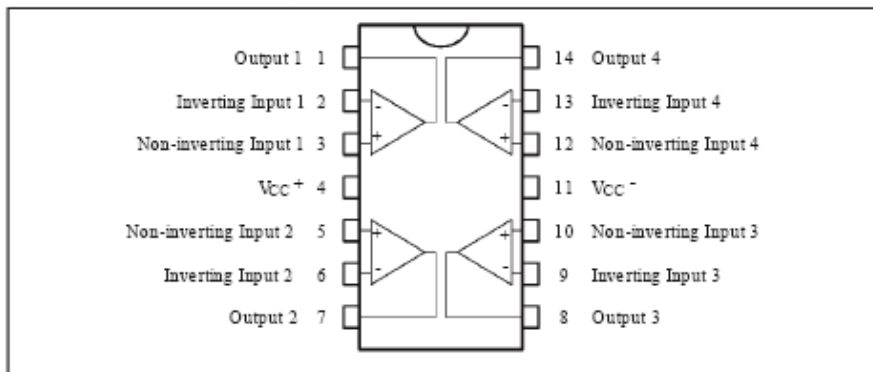
These circuits consist of four independent, high gain, internally frequency compensated operational amplifiers. They operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage.

ORDER CODES

Part Number	Temperature Range	Package		
		N	D	P
LM124	-55°C, +125°C	•	•	•
LM224	-40°C, +105°C	•	•	•
LM324	0°C, +70°C	•	•	•

Example : LM224N

PIN CONNECTIONS (top view)



June 1990

1/14

LM124 - LM224 - LM324

ELECTRICAL CHARACTERISTICS

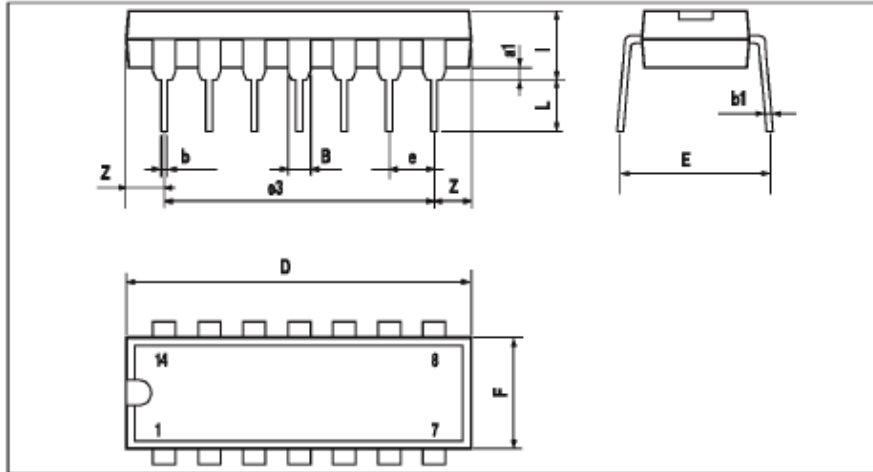
$V_{CC}^+ = +5V$, $V_{CC}^- = \text{Ground}$, $V_O = 1.4V$, $T_{amb} = +25^\circ C$ (unless otherwise specified)

Symbol	Parameter	LM124 - LM224 - LM324			Unit
		Min.	Typ.	Max.	
V_{io}	Input Offset Voltage (note 3) $T_{amb} = +25^\circ C$ LM324 $T_{min} \leq T_{amb} \leq T_{max}$ LM324		2	5 7 9	mV
I_{io}	Input Offset Current $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$		2	30 100	nA
I_{ib}	Input Bias Current (note 2) $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$		20	150 300	nA
A_{vd}	Large Signal Voltage Gain ($V_{CC}^+ = +15V$, $R_L = 2k\Omega$, $V_O = 1.4V$ to $11.4V$) $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$	50 25	100		V/mV
SVR	Supply Voltage Rejection Ratio ($R_S \leq 10k\Omega$) ($V_{CC}^+ = 5V$ to $30V$) $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$	65 65	110		dB
I_{CC}	Supply Current, all Amp, no load $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$ $V_{CC} = +5V$ $V_{CC} = +30V$ $V_{CC} = +5V$ $V_{CC} = +30V$		0.7 1.5 0.8 1.5	1.2 3 1.2 3	mA
V_{icm}	Input Common Mode Voltage Range ($V_{CC} = +30V$) - (note 4) $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$	0 0		$V_{CC} - 1.5$ $V_{CC} - 2$	V
CMR	Common-mode Rejection Ratio ($R_S \leq 10k\Omega$) $T_{amb} = +25^\circ C$ $T_{min} \leq T_{amb} \leq T_{max}$	70 60	80		dB
I_{source}	Output Current Source ($V_{il} = +1V$) $V_{CC} = +15V$, $V_o = +2V$	20	40	70	mA
I_{sink}	Output Sink Current ($V_{il} = -1V$) $V_{CC} = +15V$, $V_o = +2V$ $V_{CC} = +15V$, $V_o = +0.2V$	10 12	20 50		mA μA



LM124 - LM224 - LM324

PACKAGE MECHANICAL DATA
14 PINS - PLASTIC DIP



Dimensions	Millimeters			Inches		
	Min.	Typ.	Max.	Min.	Typ.	Max.
a1	0.51			0.020		
B	1.39		1.65	0.055		0.065
b		0.5			0.020	
b1		0.25			0.010	
D			20			0.787
E		8.5			0.335	
e		2.54			0.100	
e3		15.24			0.600	
F			7.1			0.280
i			5.1			0.201
L		3.3			0.130	
Z	1.27		2.54	0.050		0.100





Octal bus transceiver; 3-state

74HC/HCT245

FEATURES

- Octal bidirectional bus interface
- Non-inverting 3-state outputs
- Output capability: bus driver
- Icc category: MSI

GENERAL DESCRIPTIONS

The 74HC/HCT245 are high-speed Si-gate CMOS devices and are pin compatible with low power Schottky TTL (LSTTL). They are specified in compliance with JEDEC standard no. 7A.

The 74HC/HCT245 are octal transceivers featuring non-inverting 3-state bus compatible outputs in both send and receive directions. The "245" features an output enable (\overline{OE}) input for easy cascading and a send/receive (DIR) for direction control. OE controls the outputs so that the buses are effectively isolated. The "245" is similar to the "840" but has true (non-inverting) outputs.

QUICK REFERENCE DATA

GND = 0 V; T_{amb} = 25 °C; t_r = t_f = 6 ns

SYMBOL	PARAMETER	CONDITIONS	TYPICAL		UNIT
			HC	HCT	
t _{PHL} / t _{PLH}	propagation delay A _n to B _n ; B _n to A _n	C _L = 15 pF; V _{CC} = 5 V	7	10	ns
C _I	input capacitance		3.5	3.5	pF
C _{I/O}	input/output capacitance		10	10	pF
C _{PD}	power dissipation capacitance per transceiver	notes 1 and 2	30	30	pF

Notes

1. C_{PD} is used to determine the dynamic power dissipation (P_D in μW):

$$P_D = C_{PD} \times V_{CC}^2 \times f_i + \sum (C_L \times V_{CC}^2 \times f_o)$$
 where:
 f_i = input frequency in MHz
 f_o = output frequency in MHz
 $\sum (C_L \times V_{CC}^2 \times f_o)$ = sum of outputs
 C_L = output load capacitance in pF
 V_{CC} = supply voltage in V
2. For HC the condition is V_I = GND to V_{CC}
 For HCT the condition is V_I = GND to V_{CC} - 1.5 V

ORDERING INFORMATION

See "74HC/HCT/HCU/HCMOS Logic Package Information".

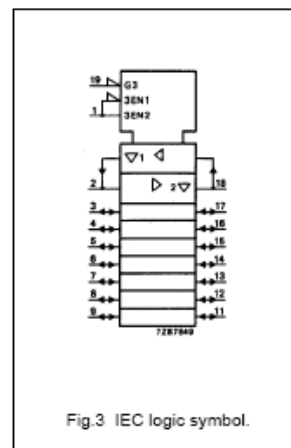
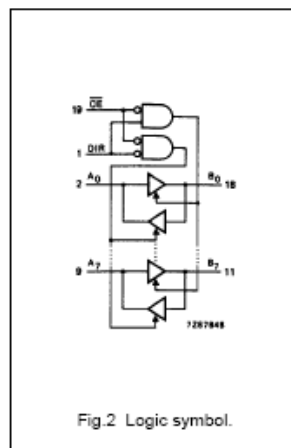
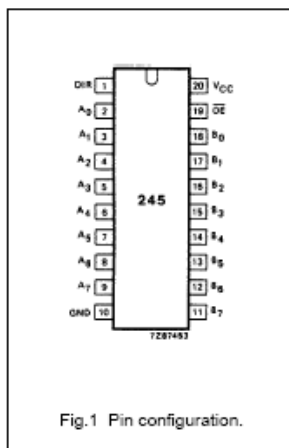


Octal bus transceiver; 3-state

74HC/HCT245

PIN DESCRIPTION

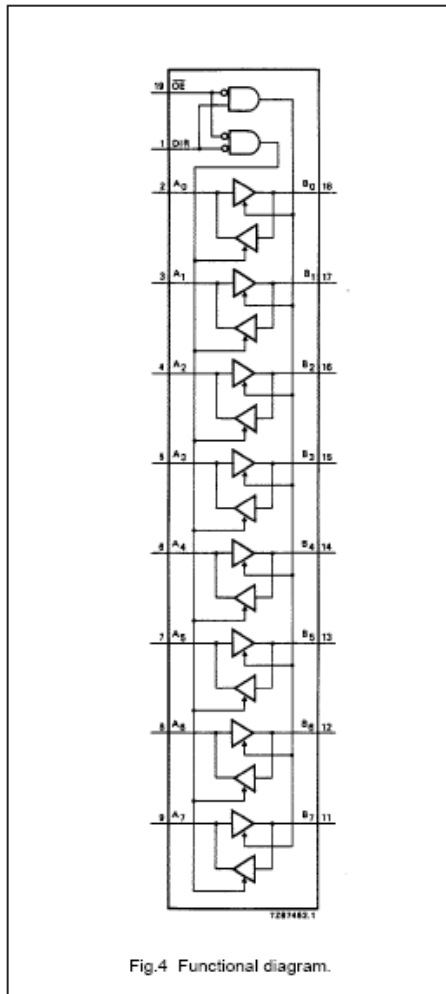
PIN NO.	SYMBOL	NAME AND FUNCTION
1	DIR	direction control
2, 3, 4, 5, 6, 7, 8, 9	A ₀ to A ₇	data inputs/outputs
10	GND	ground (0 V)
18, 17, 16, 15, 14, 13, 12, 11	B ₀ to B ₇	data inputs/outputs
19	\overline{OE}	output enable input (active LOW)
20	V _{CC}	positive supply voltage





Octal bus transceiver; 3-state

74HC/HCT245

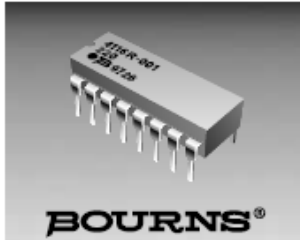


FUNCTION TABLE

INPUTS		INPUTS/OUTPUTS	
\overline{OE}	DIR	A_n	B_n
L	L	A = B	inputs
L	H	inputs	B = A
H	X	Z	Z

Notes

1. H = HIGH voltage level
 L = LOW voltage level
 X = don't care
 Z = high impedance OFF-state



Features

- Compatible with automatic insertion equipment
- Superior package integrity
- Marking on contrasting background for permanent identification

For information on specific applications, download Bourns' application notes:
 DRAM Applications
 Dual Terminator Resistor Networks
 R/2R Ladder Networks
 SCSI Applications

4100R Series - Thick Film Molded DIPs

Product Characteristics

Resistance Range10 ohms to 10 megohms
 Maximum Operating Voltage100V
 Temperature Coefficient of Resistance
 50Ω to 2.2 MΩ.....±100ppm/°C
 below 50Ω.....±250ppm/°C
 above 2.2 MΩ.....±250ppm/°C
 TCR Tracking50ppm/°C
 maximum; equal values
 Resistor ToleranceSee circuits
 Operating Temperature
-55°C to +125°C
 Insulation Resistance
10,000 megohms minimum
 Dielectric Withstanding Voltage
200 VRMS
 Lead Solderability
Meet requirements of MIL-STD-202
 Method 208

Environmental Characteristics

TESTS PER MIL-STD-202.....ΔR MAX.
 Short Time Overload.....±0.25%
 Load Life.....±1.00%
 Moisture Resistance.....±0.50%
 Resistance to Soldering Heat
±0.25%
 Terminal Strength.....±0.25%
 Thermal Shock.....±0.25%

Physical Characteristics

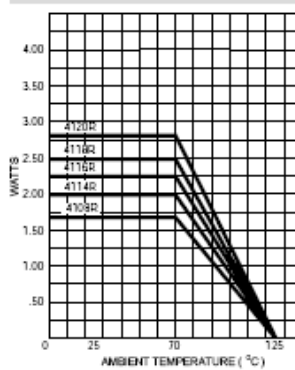
FlammabilityConforms to UL94V-0
 Lead Frame Material
Copper, solder coated
 Body MaterialNovolac epoxy

How To Order

41 14 R - 1 - 152

Model (41 - Molded DIP)
 Number of Pins
 Physical Configuration (R - Thick Film Low Profile)
 Electrical Configuration
 • 1 = Isolated
 • 2 = Bussed
 • 3 = Dual Terminator
 Resistance Code
 • First 2 digits are significant
 • Third digit represents the number of zeros to follow.
 Consult factory for other available options.

Package Power Temp. Derating Curve

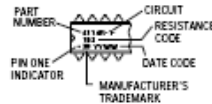


Package Power Rating at 70°C

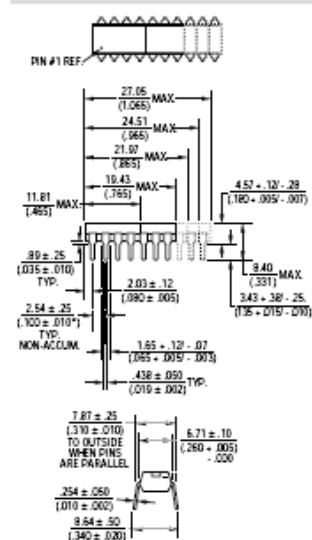
4108R.....	1.69 watts
4114R.....	2.00 watts
4116R.....	2.25 watts
4118R.....	2.50 watts
4120R.....	2.80 watts

Typical Part Marking

Represents total content. Layout may vary.



Product Dimensions



Governing dimensions are in metric. Dimensions in parentheses are inches and are approximate.
 * Terminal centerline to centerline measurements made at point of emergence of the lead from the body.

Specifications are subject to change without notice.

