

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

OTTO AURELIANO ROLLOFF

**PROJETO E AVALIAÇÃO DE CÉLULAS PADRÃO PARA A
CONCEPÇÃO DE CIRCUITOS INTEGRADOS
ASSÍNCRONOS EM NANOTECNOLOGIA DE BAIXO
CONSUMO**

Porto Alegre

2014

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

**PROJETO E AVALIAÇÃO DE CÉLULAS PADRÃO PARA A
CONCEPÇÃO DE CIRCUITOS INTEGRADOS
ASSÍNCRONOS EM NANOTECNOLOGIA DE BAIXO
CONSUMO**

Projeto de Diplomação apresentado ao Departamento de Engenharia Elétrica da Universidade Federal do Rio Grande do Sul, como parte dos requisitos para Graduação em Engenharia Elétrica. Este trabalho foi desenvolvido no Laboratório TIMA (Grenoble, França) no contexto de estágio de fim de estudos durante intercâmbio acadêmico na escola de engenharia Télécom Bretagne (Brest, França).

Orientador UFRGS: Prof. Dr. Tiago R. Balen

Orientador TIMA: Prof. Dr. Rodrigo Possamai Bastos

Porto Alegre

2014

UNIVERSIDADE FEDERAL DO RIO GRANDE DO SUL
ESCOLA DE ENGENHARIA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA

OTTO AURELIANO ROLLOFF

**PROJETO E AVALIAÇÃO DE CÉLULAS PADRÃO PARA A
CONCEPÇÃO DE CIRCUITOS INTEGRADOS ASSÍCRONOS
EM NANOTECNOLOGIA DE BAIXO CONSUMO**

Este projeto foi julgado adequado para fazer jus aos créditos da Disciplina de “Projeto de Diplomação”, do Departamento de Engenharia Elétrica e aprovado em sua forma final pelo Orientador e pela Banca Examinadora.

Orientador: _____

Prof. Dr. Tiago Roberto Balen, UFRGS

Doutor pela UFRGS – Porto Alegre, Brasil

Banca Examinadora:

Prof. Dr. Rodrigo Possamai Bastos, Lab. TIMA / Université Grenoble Alpes
Doutor pela UFRGS e Grenoble INP – Grenoble, França

Prof. Dr. Hamilton Duarte Klimach, UFRGS
Doutor pela UFSC – Florianópolis, Brasil

Porto Alegre, dezembro de 2014

DEDICATÓRIA

Aos meus pais, Otto e Sloane.

AGRADECIMENTOS

Aos meus pais, Otto e Sloane, pelo amor incondicional, por terem percorrido todo esse caminho comigo de mãos dadas. Vocês sempre foram minha inspiração

Às minhas irmãs Bianca, Sharlise, Shymene e Sophia; pelo amor, pela admiração e pelo apoio.

À Roberta, por tudo, não haveria linhas suficientes aqui para agradecer.

Aos colegas, agora amigos íntimos, pela horas memoráveis. Entre eles, e em especial, à minha pequena família da elétrica: Charlez; Douglas; Renan; Rodrigo; Silvio e Taís.

Ao Brasil, por me permitir e me dar condições para desenvolver meus estudos no meu país e no país por mim escolhido para intercâmbio.

Ao TIMA, pelo ambiente esplêndido de trabalho, me permitindo de fazer o que eu mais gosto.

Aos meus colegas e professores do LAPROT e LAPSI pelo companheirismo, colaboração e amizade.

Aos meus colegas e professores do Laboratório de Sedimentos (UFRGS) e IPH pelo verdadeiro ensino e inspiração para que eu me tornasse pesquisador.

À Universidade, UFRGS, mãe para todos os meus momentos.

À Télécom Bretagne, pelo convite, acolhimento e pelos ótimos momentos de aprendizado com as diferenças.

Aos funcionários de ambas as instituições, pela atenção, auxílio e boas conversas.

Aos professores, meus mestres, mas também amigos e conselheiros.

Por último, mas não menos importantes, aos meus orientadores Gustavo H. Merten, Jean P. G. Minella, Luis A. Segovia Gonzalles, Gilson I. Wirth, Tiago R. Balen, Laurent Fesquet e Rodrigo P. Bastos.

“It is not in the stars to hold our destiny but in ourselves”

William Shakespeare

RESUMO

A indústria de semicondutores inova sistematicamente com a criação de nanotecnologias de fabricação de circuitos integrados voltadas ao projeto de sistemas eletrônicos de baixo consumo. Este trabalho avalia a nova nanotecnologia 28 nm *Fully-Depleted Silicon On Insulator* (FD-SOI) aplicada na concepção de células padrão de sistemas assíncronos. Diferente das tecnologias convencionais, a tensão do substrato de um transistor FD-SOI é variável, permitindo através de mecanismos de polarização a gestão do consumo local de células do sistema. Complementarmente, os circuitos assíncronos apresentam-se como uma solução sólida para a redução do consumo dinâmico. Um estudo sobre a polarização de células básicas em tecnologia FD-SOI foi realizado neste trabalho visando sua aplicação na concepção de sistemas assíncronos de baixo consumo. Foi visto que o consumo pode ser reduzido em até 25 % unicamente com a polarização do circuito. A partir de opções de transistor em uma biblioteca standard-cell, obtem-se circuitos até duas vezes mais rápidos e um consumo de energia até 2,5 vezes menor. Foram analisadas duas arquiteturas para célula de polarização, possuindo uma diferença de 30 % em relação ao atraso. Para circuitos assíncronos C-Elements a diferença pode chegar a 29 % em velocidade e de 8,5 vezes em consumo de energia. Essas variações de performance e consumo demonstram a amplitude que se pode alcançar quando no emprego de técnicas de controle de performance automáticos com uso de lógica de concepção assíncrona.

Palavras-chaves: sistemas de baixo consumo, circuitos assíncronos, tecnologia FD-SOI.

ABSTRACT

The focus of this work is on the static power reduction for microelectronics systems. In one hand, the FD-SOI technology (*Fully-Depleted Silicon on Insulator*) allows the reduction of the static power consumption by biasing control. Complementarily, asynchronous circuits are known as an interesting solution for dynamic power saving. Both circuit design methodologies permits not just a gain on static and dynamic power consumption, but also open new prospects for devices layout and arrangement. This, in turn, provides new power saving techniques. Therefore, this work presents a study about the biasing effects on power saving using FD-SOI 28nm technology. Simulation results showed the possibility to reduce power consumption in 25 % thanks to the biasing scheme. A standard cell library offers a viriaty of transistors giving circuits 2 times faster and a range of approximatly 2.5 times in power consumption. Two architectures for automatic biasing circuits are presented, showing a difference of 30 % in delay and 2 times in power consumption. For the asynchronous C-Elements, 4 architectures were compared showing a difference of 29 % in delay and nearly 8.5 in power consumption. Those ranges of performances and power consumptions justifiys the use of automatic performance control using asynchronous circuits desing.

Keywords: Low-power systems. Asynchronous Circuits. FD-SOI.

SUMÁRIO

1	INTRODUÇÃO	1
2	TECNOLOGIA <i>FULLY-DEPLETED SILICON ON INSULATOR (FD-SOI)</i>	5
2.1	Da tecnologia SOI à tecnologia FD-SOI.....	6
2.2	Fabricação de Wafers para a Tecnologia FD-SOI	8
2.3	Óxido Enterrado	9
2.4	Tensão de Limiar	11
2.5	Polybiasing	15
2.6	Conclusões	17
3	CIRCUITOS ASSÍNCRONOS.....	19
3.1	Quasi Insensíveis ao Atraso	21
3.2	Protocolo de 4 Fases	23
3.3	C-Element.....	25
3.4	Conclusões	27
4	CONTROLE DE POLARIZAÇÃO DE SUBSTRATO.....	28
4.1	Células de Aceleração.....	28
4.1.1	Tipos de Desviadores de Nível	31
4.1.2	Conventional Level Shifter	33
4.1.3	Contention Mitigated Level Shifter.....	34
4.2	Conclusões	35

5	AVALIAÇÃO DE CÉLULAS LÓGICAS PARA A CONCEPÇÃO DE CIRCUITOS ASSÍNCRONOS DE BAIXO CONSUMO	36
5.1	Método de cálculo para a normalização	37
5.2	Biblioteca Standard-Cell FD-SOI 28nm.....	39
5.3	Inversores Lógicos	40
5.3.1	Funcionamento do circuito em baixas tensões de alimentação.....	41
5.3.2	Avaliação dos 3 diferentes corners de simulação	42
5.3.3	Efeito da polarização do substrato dos transistores	47
5.3.4	Efeito do Polybiasing e do Tamanho da Célula na performance dos inversores	49
5.3.4.1	Polybiasing com inversor como carga	50
5.3.4.2	Polybiasing com Capacitor como carga	51
5.3.4.3	Diferença de consumo com cargas idênticas e distintas	51
5.4	C-Elements	53
5.5	Boost cells	56
6	CONCLUSÕES E TRABALHOS FUTUROS.....	59
	REFERÊNCIAS BIBLIOGRÁFICAS	62

LISTA DE ILUSTRAÇÕES

Figura 1 Evolução histórica da computação por consumo [kWh] os anos de 1940 à 2010 (KOOMEY et al., 2011). A amostra do gráfico consiste de 80 dentre os principais computadores e microprocessadores já desenvolvidos. Uma curva de regressão é também apresentada. O coeficiente de determinação (R2) da curva é igual à 98,3%.....	2
Figura 2. Representação em corte transversal de transistores em tecnologia convencional (Bulk) e em FD-SOI (ST MICROELECTRONICS, 2014a).....	3
Figura 3 – Ilustração de um transistor FinFET. [Adaptado de PAYNE, 2012]	6
Figura 4 – Representação comparativa dos cortes transversais de transistores feitos em tecnologias com canais Parcialmente (a) e Completamente Depletados (b), ambos utilizando wafer SOI. (MENTOR GRAPHICS, 2008)	7
Figura 4 – Etapas do processo SmartCut para a fabricação de wafers da tecnologia FD-SOI (HARS, 2012).....	9
Figura 6 – Transistores FD-SOI com BOX de 10 nm (a) e de 25 nm (b). (LIU et al., 2011) ..	12
Figura 7 - Configurações de poço convencional (Conventional Well) e poço invertido (Flip-Well) em tecnologia FD-SOI juntamente com suas respectivas margens de tensão de polarização de substrato (FLATRESSE, 2013).....	14
Figura 8 – Apresentação do comprimento do polisilício (a) em um corte transversal de um transistore FD-SOI. Ilustração da variação do comprimento do canal entre mínimo/original (b) e aumentado/alargado (c). (FLATRESSE, 2013).....	15
Figura 9 – Exemplo de uma confluência isocrônica: a variação dos sinais C e D são resultado da variação de um mesmo sinal (sinal B) e devem chegar na porta OR com uma diferença temporal não significativa.	22
Figura 10 - Estrutura de um circuito QDI em analogia à um circuito síncrono. (BASTOS, 2010).....	23
Figura 11 - Comunicação entre dois estágios através de 4-Phase Protocol. (BASTOS, 2010)	24
Figura 12 - Esquemáticos dos 4 tipos básicos de C-Elements: Dynamic (A), Conventional (B), Symmetric (C) e Weak Feedback (D). (BASTOS, 2010)	26
Figura 13 – Entrada (em verde) e saída (em vermelho) de um circuito <i>Level Shifter</i> típico.	30
Figura 14 – Entrada (em verde) e saídas positiva (em vermelho) e negativa (em azul) para um circuito <i>Level Shifter</i> adaptado para funcionar como uma <i>Boost Cell</i>	31
Figura 15 - Esquemático elétrico de um <i>Conventional Level Shifter</i> incluindo sua parte complementar para tensões negativas.....	33
Figura 16 - Esquemático elétrico de um <i>Conventional Level Shifter</i>	34
Figura 17 – Resposta à uma onda quadrada de um inversor lógico LL P0 com corner SS. A tensão máxima da onda e da tensão é a mesma da tensão de alimentação, variando de 0,10 V à 0,40 V com passo de 0,05 V.....	41
Figura 18 – Comparativo do consumo de energia de células inversoras lógicas com transistores Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,10 V à 3,00 V com passo de 0,05 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação ao consumo de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	43

Figura 19 – Comparativo do consumo de energia de células inversoras lógicas com transistores Regular-Vt e Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 2,00 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação ao consumo de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	44
Figura 20 – Tempos de subida normalizados para células inversoras lógicas com transistores Regular-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 2,50 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	45
Figura 21 – Média entre os atrasos de subida e de descida para células inversoras lógicas com transistores Regular-Vt e Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 1,50 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	46
Figura 22 – Média dos valores normalizados de Tempos de subida e de descida; e dos Atrasos de subida e de descida para células inversoras lógicas com transistores Regular-Vt e Low-Vt para diferentes condições de polarização. A comparação é feita: para diferentes valores de tensão polarização (de -2,00 V à 2,00 V com passo de 1,00 V); e para corners P e N típicos (TT). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	48
Figura 23 – Consumo médio normalizado para células inversoras lógicas com transistores Regular-Vt e Low-Vt para diferentes condições de polarização. O eixo do consumo normalizado está em escala logarítmica. A comparação é feita: para diferentes valores de tensão polarização (de -2,00 V à 2,00 V com passo de 1,00 V); e para corners P e N típicos (TT). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	49
Figura 24 – Atrasos normalizados para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. O mesmo tipo de célula foi utilizado como carga. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação à 1,00 V.	50
Figura 25 – Tempos e Atrasos normalizados para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos, todos usando carga capacitiva de 14 pF. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação à 1,00 V.	51
Figura 26 – Consumo médio normalizado para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. Em vermelho, foi utilizado o mesmo tipo de célula como carga e em azul uma carga capacitiva de 14 pF. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.	52
Figura 27 – Tempos e atrasos de subida e descida normalizados de um circuito C-Element Conventional com tensão de alimentação à 1,00 V em corner típico. As normalizações foram feitas em relação aos tempos e atrasos do C-Element Conventional com transistor LR P0 TT.	54
Figura 28 – Média entre os atrasos de subida e descida normalizados de um circuito C-Element Conventional com tensão de alimentação à 1,00 V em corners P e N típicos (TT). As	

normalizações foram feitas em relação aos tempos e atrasos do C-Element Conventional com transistor LR P0 TT à mesma tensão.....	54
Figura 29 – Consumo normalizado de um circuito C-Element Conventional com tensão de alimentação de 1,00 V em corners P e N típicos (TT). As normalizações foram feitas em relação ao consumo do C-Element Conventional com transistor LR P0 TT à mesma tensão.	55
Figura 30 – Consumo por número de transistores para 4 arquiteturas básicas de C-Elements em corners P e N típicos (TT) e com tensão de alimentação de 1,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito C-Element Conventional com transistor LR P0 TT à mesma tensão.....	56
Figura 31 – Média entre o atraso de subida e de descida para circuitos CLS e CMLS em em corners P e N típicos (TT) e com tensão de alimentação básica à 1,00 V e com fontes Vhigh e Vlow à 2,00 V e à -2,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito CLS com transistor LR P0 TT nas mesmas tensões.	57
Figura 32 – Comparativo entre a potência média de circuitos CLS e CMLS em em corners P e N típicos (TT) e com tensão de alimentação básica à 1,00 V e com fontes Vhigh e Vlow à 2,00 V e à -2,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito CLS com transistor LR P0 TT nas mesmas tensões.....	58

LISTA DE TABELAS

Tabela 1 Opções de Polybiasing disponíveis para biblioteca standard cell e seus respectivos comprimentos de projeto e comprimentos efetivos.....	16
Tabela 2 Tabela verdade de uma porta C-Element de duas entradas.....	25
Tabela 3 Gama de valores de tensão polarização para os diferentes tipos de transistores disponíveis na tecnologia.	29
Tabela 4 Tipos de célula e seus equivalentes em termos de poço, altura de célula e comprimento adicional de polybiasing.....	39
Tabela 5 Configurações de Polarização de substrato para diferentes tipos de transistores.....	47

LISTA DE ABREVIATURAS

BOX: Buried Oxide

BP: Back Plane

CAD: Computer Aided Design

CLS: Conventional Level Shifter

CMLS: Contention Mitigated Level Shifter

CMOS: Complementary Metal-Oxide-Semiconductor

DIBL: Drain-Induced Barrier Lowering

DIMS: Delay Insensitive Min-terms Synthesis

FB: Function Blocks

FBB: Forward Body Biasing

FD-SOI: Fully Depleted SOI

GO: Gate Oxide

HB: Half-Buffers

HDL: Hardware Description Language

LS: Level Shifter

MOS: Metal-Oxide-Semiconductor

MOSFET: MOS Field-effect transistor

NMOS: N-channel MOS

PMOS: P-channel MOS

PD: Pull-Down

PD-SOI: Partially Depleted SOI

PU: Pull-Up

QDI: Quasi Delay Insensitive

RBB: Reverse Body Biasing

RDF: Random-Dopant Fluctuations

SCE: Short Channel Effects

SOI: Silicon On Insulator

UTBB: Ultra-Thin-Body and Buried Oxide

VHDL: VHSIC HDL

VHSIC: Very High Speed Integrated Circuit

WCHB: Weak Conditioned Half-Buffer

1 INTRODUÇÃO

Os microprocessadores fabricados atualmente cabem na ponta de nossos dedos, algo que seria inimaginável no começo do desenvolvimento desta área. Toda essa evolução da indústria microeletrônica deu origem a um universo de inventos que nos rodeiam, facilitam e fazem parte de diversas atividades da nossa vida cotidiana. Depois desta tão rápida evolução, os dispositivos tornaram-se, e continuam a se tornar, cada vez menores e mais rápidos. Esta redução de tamanho deu origem ao termo microeletrônica por conta das distâncias envolvidas nos circuitos fabricados e hoje chegamos ao ponto de denominá-la nanoeletrônica. A portabilidade dos equipamentos eletrônicos é algo decorrente disso, bem como o aumento da complexidade e da diversidade de funções lógicas implementadas, permitindo-nos empregá-los nas mais variadas aplicações.

Gordon Moore, em seu clássico artigo “*Cramming More Components onto Integrated Circuits*” de 1965, previu, com base no histórico da época, que o número de transistores dos chips duplicaria a cada 18 meses (MOORE, 1965). Esta previsão é conhecida como Lei de Moore e comprova-se, desde então, como uma real tendência para a evolução da microeletrônica. Já se sabe que, para dar continuidade à esta lei, deve-se procurar inovar nos diversos níveis de projeto que compreendem a concepção de sistemas microeletrônicos; algo que já vem sendo feito desde os primórdios desta indústria.

Complementarmente à ideia de G. Moore, porém não tão difundida, há uma outra proposta de análise, feita por Koomey et al. (2011), para a evolução da indústria eletrônica. Esta proposição, denominada de Lei de Koomey, apresenta a evolução do número de computações pelo consumo em kWh entre os anos de 1940 à 2010 e é apresentada graficamente na figura 1. A Lei de Koomey está, portanto, relacionada à eficiência energética dos dispositivos. A recentidade da análise de Koomey para um histórico de algumas décadas é concomitante com o atual interesse na busca por sistemas com menor

consumo de energia. E o consumo de energia é, por sua vez, um fator-chave para a portabilidade de sistemas microeletrônicos.

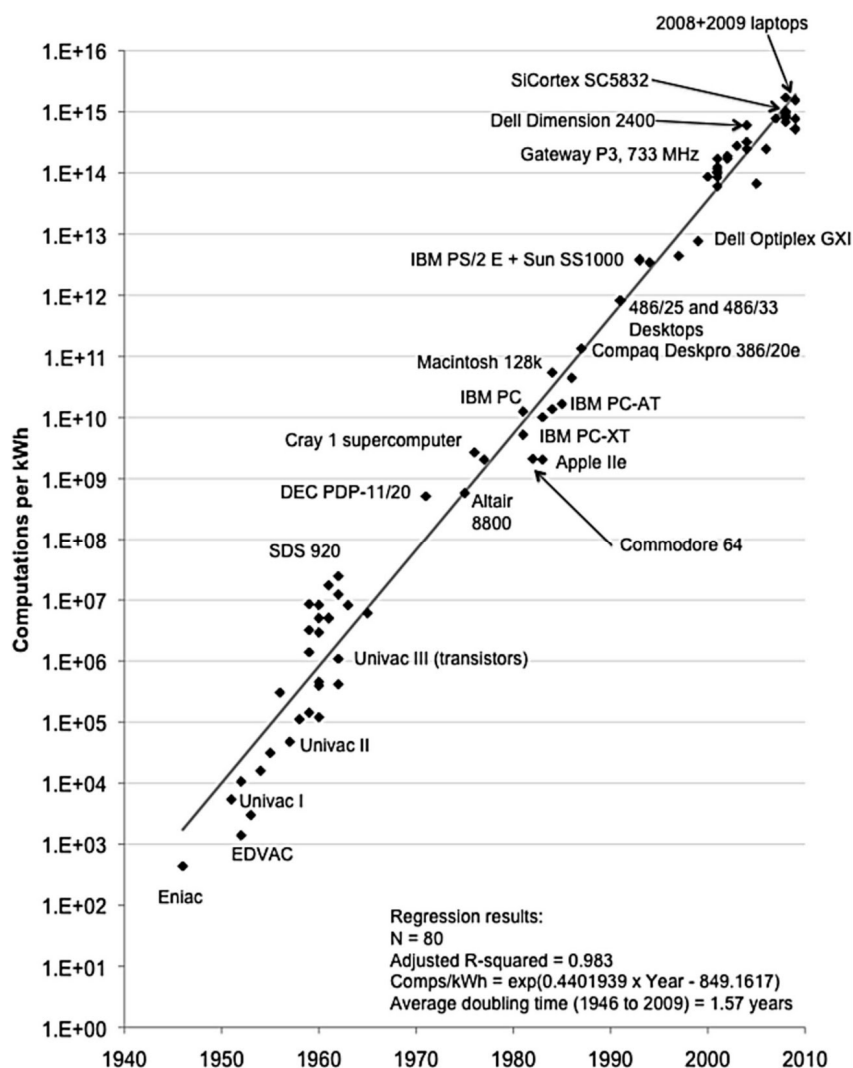


Figura 1 Evolução histórica da computação por consumo [kWh] os anos de 1940 à 2010 (KOOMEY et al., 2011). A amostra do gráfico consiste de 80 dentre os principais computadores e microprocessadores já desenvolvidos. Uma curva de regressão é também apresentada. O coeficiente de determinação (R^2) da curva é igual à 98,3%.

Verifica-se a partir da figura que houve um crescimento considerado do número de dados computados pelo consumo de energia dos circuitos para os principais microprocessadores, resultante dos diversos avanços da área. Todavia, com o recente surgimento de novas tecnologias de transistores com dimensões próximas às dos átomos, evidenciou-se os efeitos físicos que antes eram pouco ou mesmo não influentes.. O impacto destes fatores no desempenho dos transistores tem aumentado cada vez mais, contribuindo

para o aumento das perdas elétricas por corrente de fuga, na aceleração do processo de envelhecimento dos circuitos e na variabilidade do processo de fabricação.

Uma solução atual para a redução dos impactos negativos da miniaturização é a tecnologia *Ultra Thin Body & Buried Fully-Depleted Silicon On Insulator* (UTBB FD-SOI). Esta tecnologia é proveniente da obtenção de *Silicon On Insulator* (SOI). SOI nada mais é do que a criação de uma camada de silício monocristalino sobre uma óxido isolante. O que se produz atualmente com esta tecnologia são wafers que contém esta camada de óxido. A camada de Silício sobre Isolante pode ser produzida atualmente em escala industrial com uma espessura de cerca de 7 nm (ST MICROELECTRONICS, 2014a).

Field Effect Transistors (FET) feitos com estes wafers conseguem gerar um campo elétrico suficientemente forte para que o canal do transistor fique Completamente Depletado. Isso significa que a , quando na ativação do transistor, ocorre a inversão dos portadores desde o óxido de porta até o óxido enterrado. FETs desse tipo são chamados de *Fully-Depleted* (FD), ou Completamente Depletados. Na figura a seguir, é apresentado um comparativo entre as tecnologias convencional (também chamada de tipo *bulk*) e de um transistor do tipo Completamente Depletado em substrato SOI.

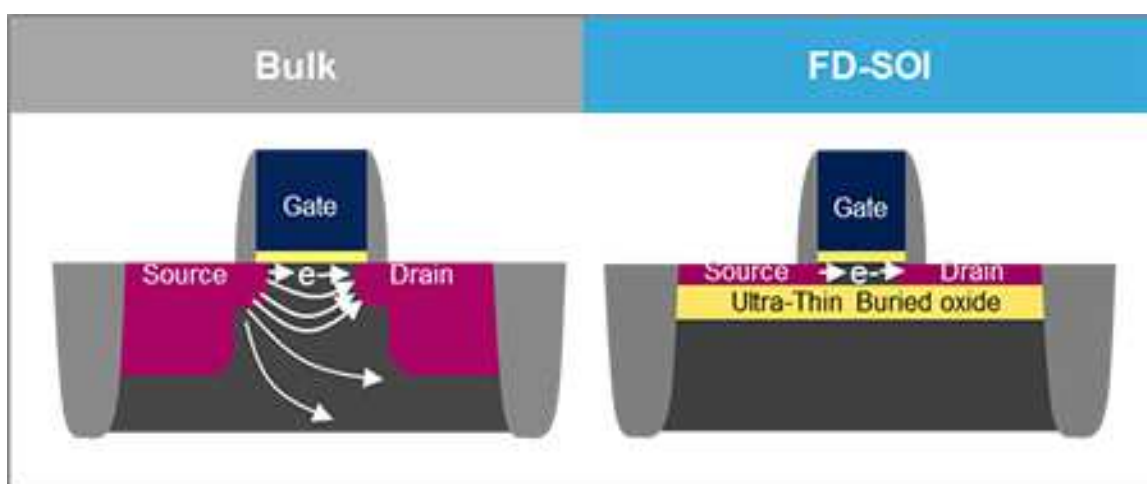


Figura 2. Representação em corte transversal de transistores em tecnologia convencional (Bulk) e em FD-SOI (ST MICROELECTRONICS, 2014a)

Os inconvenientes da diminuição dos transistores também podem, e devem, ser mitigadas em níveis superiores de abstração do projeto de um circuito integrado. Uma emergente solução é o uso do paradigma de projeto da lógica assíncrona (SPARSØ, 2006). Diferentemente dos circuitos síncronos, que seguem o ritmo do sinal de relógio para a ativação das funções de envio, processamento e registro de informações, os circuitos assíncronos funcionam em função do fluxo de eventos do seus dados através de um protocolo de transferência de informação entre blocos do sistema (BASTOS, 2010; BEREEL, 2010; RENAUDIN, 2000; SPARSØ, 2006).

Uma fusão do uso de dispositivos feitos em tecnologia UTBB FD-SOI, juntamente com a aplicação de uma lógica de concepção assíncrona seria duplamente vantajosa do ponto de vista de redução do consumo de energia. Novas arquiteturas podem ser exploradas a partir das novas possibilidades provenientes da tecnologia FD-SOI e com uso de lógica de concepção assíncrona, permitindo assim novos métodos de redução de consumo.

Este trabalho consiste, portanto, no levantamento do estado da arte e na análise dessas tecnologias para o seu emprego em conjunto no desenvolvimento de sistemas eletrônicos de baixo consumo.

No capítulo 2, a tecnologia FD-SOI será apresentada, da mesma forma que as principais diferenças em relação as tecnologias já maduras. Uma introdução aos circuitos assíncronos é feita no capítulo 3. O capítulo 4 explorará o controle automático e independente da polarização de partes do circuito visando a redução do consumo conforme uso. O capítulo 5 apresenta avaliações de desempenho das células padrão fundamentais dos circuitos assíncronos tirando proveito das vantagens da tecnologia FD-SOI. Por fim, no capítulo 6 serão apresentadas as conclusões e contribuições desta pesquisa, bem como proposições para a continuidade da mesma.

2 TECNOLOGIA *FULLY-DEPLETED SILICON ON INSULATOR (FD-SOI)*

A tecnologia *Silicon On Insulator (SOI)* consiste na implementação de uma camada isolante de óxido de silício entre duas redes monocristalinas de átomos de silício. Existem diversos métodos para a obtenção desta camada de óxido (CELLER; CRISTOLOVENEANU, 2003). Por sua vez, *Fully-Depleted Silicon On Insulator (FD-SOI)* é uma nova tecnologia que faz uso de aperfeiçoados wafers SOI que possibilitam transistores de efeito de campo (FETs) com canais completamente depletados. Ser completamente depletado significa que a espessura da camada de silício sobre isolante é igual à profundidade da região de depleção (SINGH; SAXENA; RASTOGI, 2011).

As perspectivas desta tecnologia não se limitam apenas às características de design, mas passam também pelo aspecto econômico da fabricação de transistores. A fabricante ST Microelectronics (2014a, 2014b) utiliza a vantagem do preço competitivo para justificar a FD-SOI como uma possibilidade de dar-se continuidade à tendência de evolução da Lei de Moore, já que tecnologias concorrentes para os mais recentes nodos possuem custo de fabricação maiores (JONES, 2012).

Em concorrência com a FD-SOI, a tecnologia FinFET também é feita em substrato SOI. FinFETs é um novo método de design para transistor de efeito de campo. A figura 3 ilustra a forma de um transistor FinFET. Os FinFETs também possuem vantagens na busca pela continuidade do processo de miniaturização dos circuitos eletrônicos. Contudo, o processo de fabricação de FinFETs necessita de etapas adicionais específicas que resultam em um aumento de custos. Já a FD-SOI reaproveita boa parte do processo produtivo das tecnologias convencionais, acrescentando poucas etapas suplementares (ST Microelectronics 2014^a, 2014b; SKOTNICKI, 2011. FALTRESSE, 2013).

Este capítulo faz uma apresentação da tecnologia FD-SOI. Na sequência serão vistos o porquê da busca de um substrato SOI e os transistores que podem nele ser feitos. Após, é

visto o processo de fabricação do wafer SOI. Depois, serão tratados questões relacionadas ao óxido enterrado e também à tensão de limiar. Na última parte desta introdução à tecnologia, será visto o processo de variação de consumo e resposta temporal a partir do aumento da largura do canal, denominado de Polybiasing.

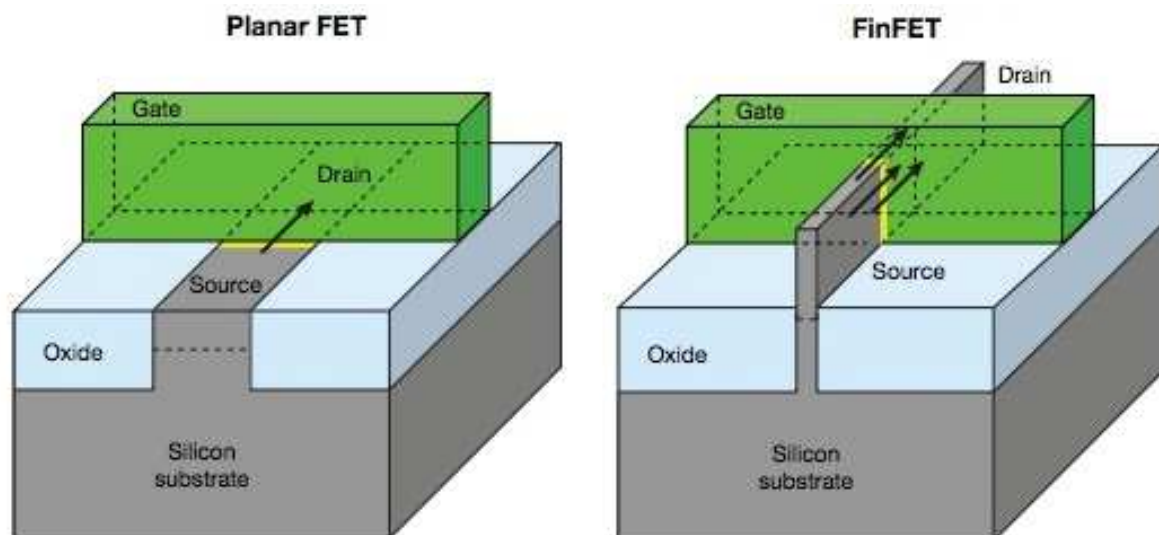


Figura 3 – Ilustração de um transistor FinFET. [Adaptado de PAYNE, 2012]

2.1 DA TECNOLOGIA SOI À TECNOLOGIA FD-SOI

A tradicional tecnologia SOI, industrializada desde o final do século XX, usa um substrato silício-isolante-silício ao invés do histórico substrato de silício dos circuitos integrados convencionais, denominadas de tipo bulk para criar uma distinção entre ambas. A parte a da figura 4 apresenta um corte transversal de dois tipos de depleção de canal que podem ser obtidas em substrato SOI, no qual é possível identificar o dreno (“*drain*”), porta (“*gate*”) e fonte (“*source*”). O canal de um transistor formado em um substrato SOI se encontra na camada superior de silício – regiões de azul mais escuro que ficam entre fonte e dreno. É nessa camada que ocorre a formação do canal do transistor. Esta região pode ser

parcialmente ou completamente depletada e isso dependerá da intensidade do campo elétrico produzido pela terminal de porta.

Na parte (a) da figura é apresentado um transistor com canal **parcialmente depletado**, onde ocorre uma abertura parcial da região que compreende desde o óxido de porta (camada em branco na figura, abaixo do “gate”) até o óxido enterrado (camada em cinza). A geração de um campo elétrico na região do canal não é, portanto, suficientemente forte para que haja uma inversão completa do tipo de portador majoritário nesta área. Em outras palavras, o canal do transistor é apenas parcialmente depletado. Isso ocorre devido ao processo de fabricação do substrato SOI.

Para as primeiras tecnologias SOI, não era possível de se obter espessuras do cristal de silício e de óxido enterrado suficientemente finas para a formação de uma região de depleção completa (*Fully Depleteded*, FD) como mostra a figura 4b. Na parte (b) da figura, observa-se uma inversão completa dos portadores na região entre óxido, ou seja, obtém-se uma depleção completa do canal do transistor.

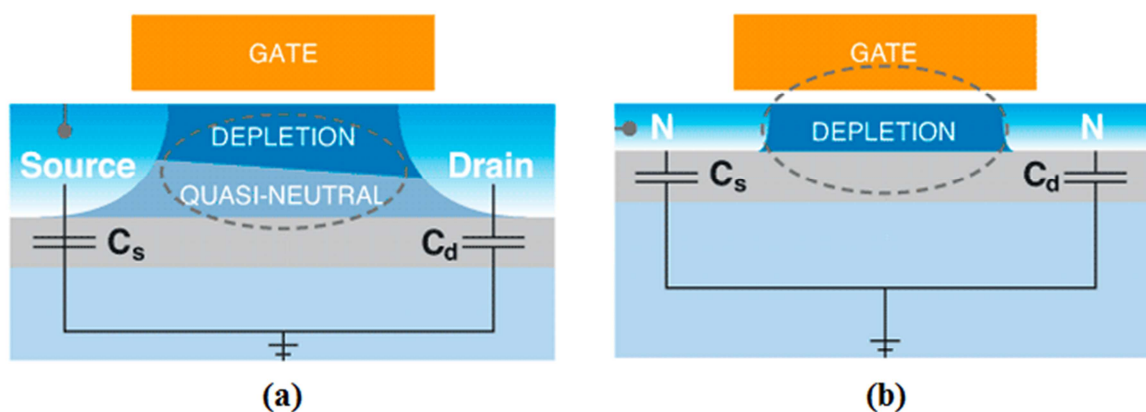


Figura 4 – Representação comparativa dos cortes transversais de transistores feitos em tecnologias com canais Parcialmente (a) e Completamente Depletados (b), ambos utilizando wafer SOI. (MENTOR GRAPHICS, 2008)

Com o desenvolvimento recente de um novo processo de fabricação, chamado de SmartCut, finas espessuras de silício do canal (entre 5 e 50 nm) são factíveis (HARS, 2012). Isso permite que o campo elétrico mais forte em toda a região entre-óxidos; o que, por sua

vez, permite a obtenção de canais de transistor completamente depletados e dando origem a tecnologia FD-SOI.

2.2 FABRICAÇÃO DE WAFERS PARA A TECNOLOGIA FD-SOI

O interesse pela obtenção de substratos SOI remonta à décadas atrás. A grande dificuldade para a sua obtenção está ligada à obtenção do crescimento de uma camada monocristalina de silício sobre o óxido de silício isolante. Quando isso é feito, obtém-se um silício policristalino, algo como pequenas ilhas de silício cristalino que se tocam. Para que isso fosse possível, alguns processos foram desenvolvidos, tais como o SIMOX e o processo de SmartCut, entre outros (CELLER; CRISTOLOVENEANU, 2003; SINGH; SAXENA; RASTOGI, 2011).

O SmartCut é processo industrial de colagem de wafers para a formação de uma fina camada de silício monocristalino. Este é o processo de fabricação de wafers que permitiu o surgimento da tecnologia FD-SOI, já que a fina camada de silício sobre isolante permitiu a existência de uma intensidade de campo elétrico suficiente para que se faça a inversão completa dos portadores na região entre os óxidos de porta e enterrado. A Figura 5 apresenta o passo-a-passo para a obtenção de um wafer SOI a partir desta tecnologia.

Portanto, podemos dividir o processo SmartCut da seguinte forma:

1. Inicia-se o processo de fabricação com dois wafers de silício convencionais (A e B);
2. O wafer A passa por um processo de oxidação;
3. Depois de oxidado, o wafer A passa pela implantação iônica;
4. E, em seguida, o mesmo wafer A passa por um processo de limpeza necessário para colá-lo com o wafer B;
5. Depois de colados, é feito um corte em um plano paralelo ao do wafer;

6. Um dos wafers obtidos do corte resulta no wafer SOI, que dá origem à tecnologia FD-SOI, constituído de uma fina camada de silício monocristalino na ordem de 7 nm sobre uma camada de óxido enterrado com espessura na ordem de 25 nm (podendo ser ainda menor) que, por sua vez, repousa sobre o segundo wafer (B);
7. O outro wafer resultante do corte torna-se um novo wafer (A) que pode ser reaproveitado na fabricação de novos substratos.

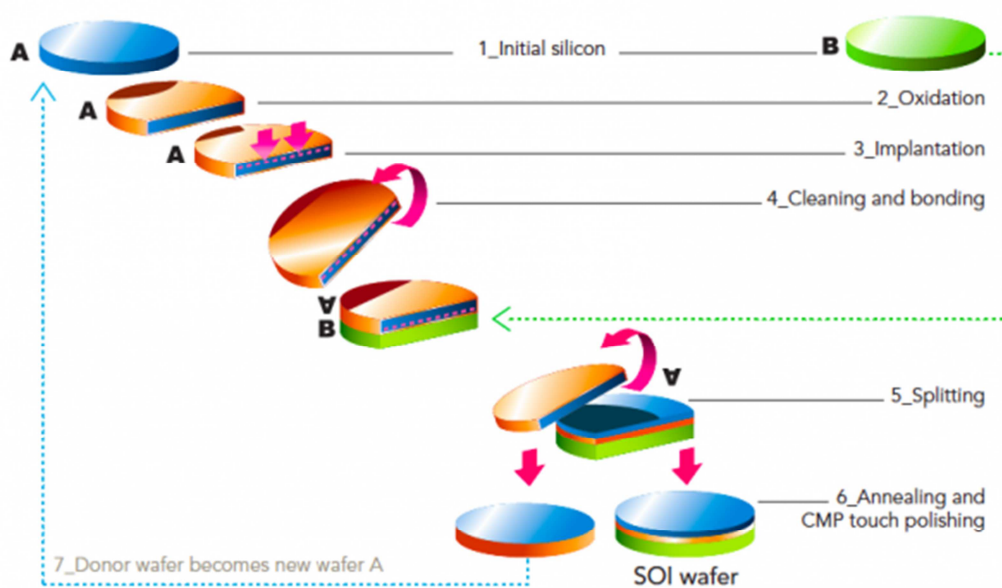


Figura 5 – Etapas do processo SmartCut para a fabricação de wafers da tecnologia FD-SOI (HARS, 2012)

2.3 ÓXIDO ENTERRADO

Na tecnologia FD-SOI 28nm, um transistor possui um canal de espessura máxima de aproximadamente 7 nm. O canal do transistor e o substrato são separados por uma pequena camada de óxido enterrado (*Buried Oxide*, BOX) (~ 25 nm), denominada *Ultra Thin Body & Buried* (UTBB).

Em alguns trabalhos da literatura especializada, o substrato na tecnologia FD-SOI (região abaixo da camada de óxido enterrado) é também chamado de *Back-Plane* (BP) (HAMON, BEIGNE, 2003). Desta forma, é possível de diferenciá-lo do substrato normal,

onde o mesmo é denominado de *Body* (corpo). *Back-Plane* pode ser traduzido como Plano de Fundo. A isolamento entre o canal e o plano de fundo nos permite fazer 3 diferentes constatações:

- a) Existe uma isolamento que dificulta o surgimento de uma corrente entre o plano de fundo e a Fonte/Dreno (CRISTOLOVENEANU, LI, 1995; CELLER, CRISTOLOVENEANU, 2003.);
- b) O canal do transistor é não-dopado, a não dopagem elimina as variações relativas à dopagem de canal, denominada de Random Dopant Fluctuation (RDF) (HAMON, BEIGNE, 2013; ST MICROELECTRONICS 2013; NAZAROV et al., 2011), enquanto que o ajuste da tensão de limiar é feito pelo metal da porta (NAZAROV et al., 2011); e
- c) A dopagem de fundo não precisa ser mais obrigatoriamente oposta à dopagem de canal, fonte e dreno; realizando-se, portanto, uma inversão do estilo de dopagem usado até hoje em FETs do tipo *bulk*. (HAMON, BEIGNE, 2003; JACQUET 2013).

Diretamente observa-se que a camada de óxido isolante existente entre o BP e o canal impede/dificulta o surgimento de correntes de fuga entre estes dois planos. Desta maneira, é possível dizer que o consumo do dispositivo é menor, devido à menor quantidade de perdas por correntes de fuga entre substrato, canal, Fonte e Dreno.

Random-Dopant Fluctuations (RDF) são as variações na concentração de impurezas implantadas. Quando isso ocorre no canal do transistor, características como a tensão de limiar variam de um transistor para outro. Como a quantidade total de átomos que constituem o canal do transistor é cada vez menor para as novas tecnologias, uma diferença pequena na quantidade de impurezas, como um átomo a mais ou a menos em relação a quantidade total, tem um impacto mais significativo na performance do dispositivo. RDF é reconhecido como

um dos efeitos de variabilidade do processo que tem se tornado cada vez mais influente para os últimos nós de tecnologia. Como o canal do transistor é não dopado, efeitos de RDF no canal do transistor são eliminados (HAMON, BEIGNE, 2003).

A inversão do tipo de dopante do plano de fundo abre possibilidades relacionadas à amplitude de tensão que pode ser aplicada sobre ele. Esta tensão influencia a Tensão de Limiar, a qual será tratada a seguir.

2.4 TENSÃO DE LIMIAR

A Tensão de Limiar (*Threshold Voltage*) nada mais é do que a menor diferença de potencial elétrico entre fonte e dreno necessária para a formação do canal de condução. O fator de substrato (*body-effect coefficient*) é, por sua vez, uma medida do grau de influência da polarização do substrato do transistor (*Body Biasing*, BB) na sua Tensão de Limiar (RABAEY, 2003). Para compreender melhor como essa influência e a relação com outras variáveis, pode-se observar a equação que define a Tensão de Limiar, obtida a partir do modelo de Shichman-Hodges:

$$V_T = V_{T0} + \gamma(\sqrt{|-2\phi_F + V_{SB}|} - \sqrt{|-2\phi_F|}) \quad (1)$$

Onde:

V_T é a Tensão de Limiar;

V_{SB} é a Diferença de Potencial entre o Contato de Substrato (*Body Contact*) e o Contato da Fonte (*Source Contact*);

V_{T0} é Tensão de Limiar para $V_{SB} = 0$, normalmente dependente do processo de fabricação;

ϕ_F (ϕ_i) é o Potencial de Fermi; e

γ (gamma) é o chamado coeficiente de corpo, fator de substrato ou *body-effect coefficient*.

Vale observar que, para um FET convencional, a Tensão de limiar é positiva para transistores MOS do tipo N (NMOS) e negativas para transistores do tipo P (PMOS) (RABAEY, 2003). Observa-se também que quanto maior for o fator de substrato (γ), maior será a influência da tensão de substrato, ou plano de fundo para a tecnologia FD-SOI, na Tensão de Limiar.

Um estudo de Cattaneo (2009) sobre o comportamento de transistores em tecnologia SOI mostrou que o efeito de corpo das tecnologias SOI é menor do que em outras tecnologias devido principalmente à espessura do óxido enterrado. Porém, transistores em tecnologia SOI com óxido ultra-fino enterrado possuem efeito de corpo mais expressivo do que outros tipos de transistores dessas tecnologias SOI precedentes (HAMON; BEIGNE, 2003; OHTOU; SARAYA; HIRAMOTO, 2008; NOEL et al., 2011).

O impacto da espessura do óxido fica evidente a partir do estudo comparativo entre o efeito de corpo de BOX com 10 e 25 nm feito por Liu et al. (2011), figuras 6 (a) e 6 (b), respectivamente. As modulações da Tensão de Limiar obtidas neste estudo foram:

- a) de 120 mV/V, para um BOX de 10 nm; e
- b) de 60 mV/V, para um BOX de 25 nm.

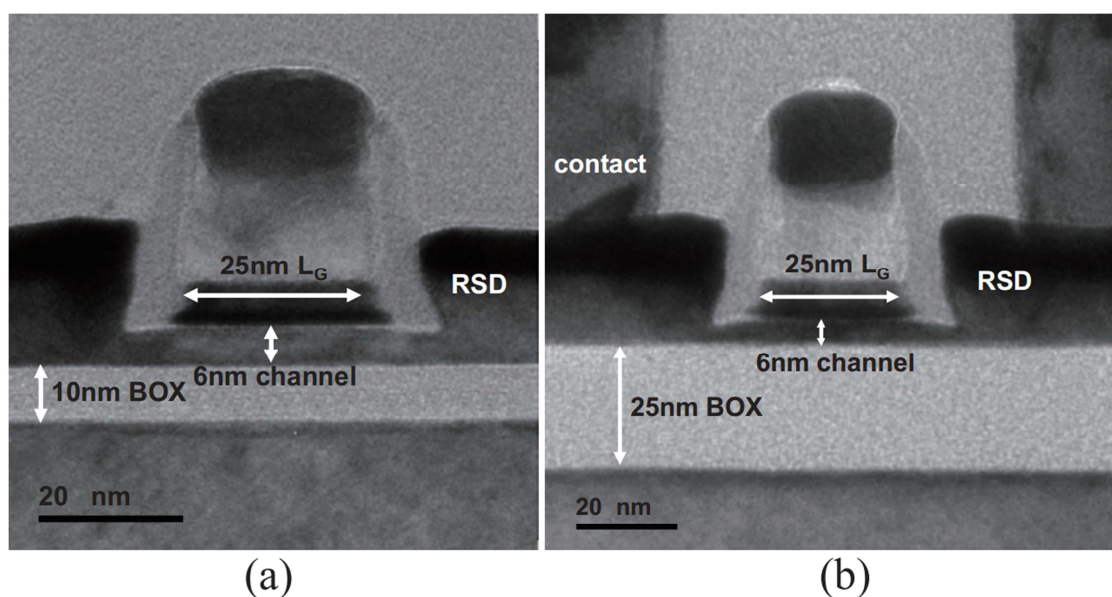


Figura 6 – Transistores FD-SOI com BOX de 10 nm (a) e de 25 nm (b). (LIU et al., 2011)

Um melhor efeito de corpo influencia diretamente no comportamento do transistor – suas velocidades de transição e suas correntes de fuga – quando na aplicação de uma polarização do BP. Quanto menor for a magnitude da Tensão de Limiar, por exemplo, mais fácil será a sua ativação, visto que é ativado por tensões de porta menores. Pode-se dizer igualmente que, para uma tensão menor, mais facilmente ocorrerá a passagem de corrente entre os terminais de Fonte e Dreno. Porém, o mesmo resulta em uma maior corrente de de subthreshold, decorrente da redução da energia necessária para que os elétrons atravessem a barreira de potencial existente entre Dreno e Fonte.

Opostamente à uma redução da Tensão de Limiar, o seu aumento também apresenta as suas vantagens e desvantagens. Com uma magnitude de Tensão de Limiar maior, maior será a barreira de potencial para a passagem dos elétrons. Portanto, será mais difícil que ocorra a condução do transistor, diminuindo assim as perdas por corrente de fuga. Contudo, o mesmo resulta em transistores mais lentos.

Quanto à inversão do BP, a mesma permite uma configuração a qual seria impossível para tecnologias MOS anteriores. Um canal com mesmo tipo de dopantes que a Fonte e o Dreno seria um curto circuito e não um transistor. Essa inversão do BP é chamada de *Flip-Well* (FW), ou Poço Invertido, e um comparativo entre os dois tipos de substrato (invertido e convencional) é apresentado na figura 7.

Para distinguir um tipo de poço do outro, o tipo tradicional/convencional é chamado de Poço Convencional (*Conventional Well*, CW). Existe ainda um terceiro tipo de poço, o *Single-Well*. Este terceiro tipo, como seu nome o descreve, apresenta um poço único. No entanto, este tipo de poço não é utilizado neste trabalho. Com um poço único, aumentar a tensão de limiar para um tipo de transistor, reduziria a tensão de limiar para o seu complementar.

Observa-se na figura 7 que a inversão do poço inverte também as conexões da junção PN entre os dois poços. As amplitudes de tensão, as quais são limitadas pela corrente de polarização direta e reversa da junção, são invertidas. No caso de um poço invertido, e considerando-se as novas amplitudes de tensão, os transistores podem ser mais rápidos quando polarizados com uma tensão adequada. A direita na imagem da figura 7 são apresentadas as amplitudes de tensão possíveis nas duas configurações de poço para a tecnologia FD-SOI 28nm.

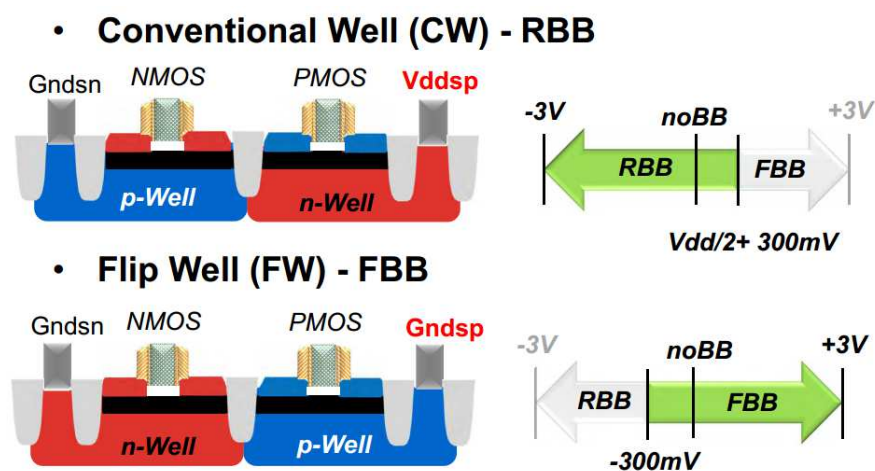


Figura 7 - Configurações de poço convencional (Conventional Well) e poço invertido (Flip-Well) em tecnologia FD-SOI juntamente com suas respectivas margens de tensão de polarização de substrato (FLATRESSE, 2013).

Em uma configuração de substrato convencional, procura-se aplicar tensões de polarização que não causem a condução direta da junção PN existente entre os dois poços. Com um poço convencional, a polarização pró-condução (para a redução de V_{th}) podem chegar a, no máximo, cerca de 300 mV.(FLATRESSE, 2013; JACQUET, 2013), conforme ilustrado na figura 7. Esta configuração de alimentação pró-condução é chamada de *Forward Body Biasing* (FBB). No modo FBB há uma redução da Tensão de Limiar devido ao fator de substrato e com isso o transistor se torna mais rápido. Em uma configuração do tipo *Flip-Well*, esta polarização pode variar até o valor da própria alimentação ou até mesmo valores maiores (HAMON; BEIGNE, 2013; FLATRESSE, 2013; JACQUET, 2013).

Por outro lado, há um aumento da corrente de fuga entre Fonte e Dreno devido a uma tensão de threshold (HAMON; BEIGNE, 2013). Este tipo de configuração é interessante para certas aplicações, ou mesmo para partes do circuito onde transistores mais rápidos são necessários. Nesta configuração (*Flip Well*), e juntamente com a inserção de um controle de polarização, é possível de obter-se o modo FBB quando necessário ou até mesmo o seu oposto RBB (*Reverse Body-Biasing*).

O processo de ativação/desativação permite, portanto, uma redução do consumo estático em períodos de desuso. O mesmo é sugerido pela ST Microelectronics em introduções e migração de tecnologias *bulk* para FD-SOI. Sinais de ativação/desativação são abundantes em alguns tipos de lógica de concepção de circuitos assíncronos (HAMON, BEIGNE, 2003), que será apresentada com mais detalhes no capítulo 3.

2.5 POLYBIASING

Polybiasing nada mais é do que a variação, em tempo de projeto, do comprimento do canal do transistor, ou seja, do polisilício de porta. A figura 8 serve para elucidar o que é o polybiasing e como o mesmo é feito em projeto.

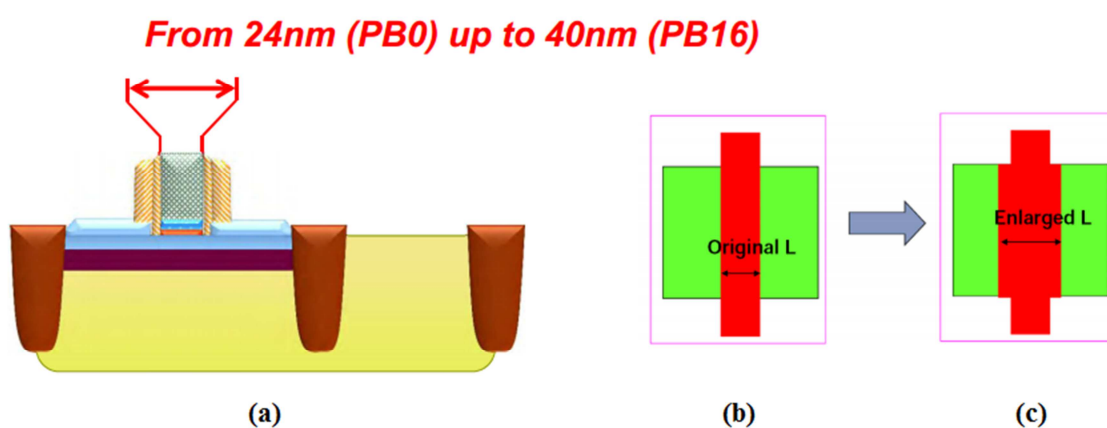


Figura 8 – Apresentação do comprimento do polisilício (a) em um corte transversal de um transistore FD-SOI. Ilustração da variação do comprimento do canal entre mínimo/original (b) e aumentado/alargado (c). (FLATRESSE, 2013)

Na parte (a) da imagem, pode-se ver a dimensão do comprimento do canal do transistor com um exemplo de seção transversal de um transistor feito em tecnologia FD-SOI. Na parte (b) é mostrado um exemplo de como seria uma vista de uma ferramenta de *Computer Aided Design* (CAD) com o transistor desenhado com o comprimento mínimo de canal. As regiões em verde são a Fonte e Dreno e a parte em vermelho é o polisilício de porta. Na parte (c) da imagem, é mostrado como é feita a variação do comprimento do canal do transistor em relação à parte (b) para que se obtenha o efeito de polybiasing. Observa-se que o desenho do comprimento de porta maior é feito apenas na região do canal do transistor.

A variação do comprimento do canal resulta na alteração da Tensão de Limiar. Isso se faz da seguinte forma: quanto maior for o comprimento do canal, maior é o valor desta tensão. O emprego de comprimentos de canal de transistor simula uma resposta de tecnologias com comprimentos de canal maiores. Porém, a tecnologia de fabricação com nodos menores possuem vantagens quando comparadas à qualidade de fabricação de transistores de nodos maiores. A variação dos valores de V_{th} com o uso dos desenhos permite a fabricação de circuitos compatíveis com arquiteturas multi-Vt. Além disso, conforme escolhas de projeto, pode-se usar diferentes valores de polybiasing para obter-se desempenhos e consumos diferentes.

O design kit da tecnologia FD-SOI 28nm da ST Microelectronics apresenta uma biblioteca *standard cell* com 4 opções de comprimento de canal, conforme apresentado na tabela 1. Cada um representando, portanto, uma opção de polybiasing que varia de 0 à 16 nm (P0 à P16). Seus comprimentos efetivos variam, neste caso, de 24 (mínimo) à 40 nm (máximo).

Nota-se que, para a tecnologia de 28nm, o canal do transistor possui um comprimento mínimo de desenho de 30 nm. Para esse comprimento de projeto, o comprimento efetivo – que é a distância real entre os terminais de Fonte e Dreno - será de 24 nm. A diferença entre as duas distâncias deve-se à difusão dos dopantes por baixo do óxido de porta.

Tabela 1 Opções de Polybiasing disponíveis para biblioteca *standard cell* e seus respectivos comprimentos de projeto e comprimentos efetivos.

Opção de Polybiasing	Comprimento de projeto [nm]	Comprimento Efetiva [nm]
P0	30	24
P4	34	28
P10	40	34
P16	46	40

As diferenças entre a nomenclatura entre desenho (30 nm mínimo), a distância de referência da tecnologia (28 nm) e a distância efetiva (24 nm) são resultantes de decisões comerciais.

2.6 CONCLUSÕES

Neste capítulo foram vistos o processo de fabricação de um substrato SOI, como se obter um transistor FD-SOI. Uma atenção foi também dada aos diferenciais de um transistor em FD-SOI em termos de fabricação, consumo de energia, perspectivas de continuidade da mesma devido ao menor custo e perspectivas de novos nodos.

Na busca por circuitos mais econômicos, as isolações adicionais viabilizadas pelo óxido enterrado ganham destaque na busca pela redução de perdas de energia. Mas resta também a busca pela economia em outros níveis da concepção.

Observa-se também uma possibilidade do uso do bom efeito de corpo que é destacado para a tecnologia FD-SOI. O melhor efeito de corpo vai de encontro com a procura por técnicas que possam ser integradas na variação de características elétricas do circuitos, viabilizando escolhas de comportamento elétrico conforme necessidade. A referida variação de características elétricas pode muito bem ser dependente do estado no qual um circuito se encontra. Seria interessante variar-se a velocidade do sistema conforme a necessidade. Regiões não utilizadas podem muito bem ser colocadas em um modo de operação mais econômico; e isso é possível através da variação da tensão de limiar.

Porém, é necessário que se identifique o uso ou não do circuito ou de regiões dele. Circuitos Assíncronos fazem uso de sinais através de protocolos de comunicação para descrever a execução ou o fim da execução de processamento. Sinais esses que podem muito bem ser utilizados para identificar a necessidade de variar-se a polarização dos transistores. No capítulo seguinte, tratar-se-á dos circuitos assíncronos, seu funcionamento e estrutura.

3 CIRCUITOS ASSÍNCRONOS

Circuitos assíncronos são também denominados de self-timed circuits (circuitos de tempo próprio ou auto-temporizados). A lógica de concepção assíncrona não é uma idéia nova e pode-se dizer ainda que os primeiros circuitos lógicos possuíam esta lógica de concepção, já que os mesmos não faziam uso de sinal de relógio (*clock*). Sua lógica de funcionamento se baseia em sinais que indicam a conclusão de instruções (*handshake protocol*). Esses sinais são usados através de protocolos de transferência de dados que ativam ou não a alteração de registradores (RENAUDIN; RIGAUD, 2000; BEEREL ;OZDAG ; FERRETTI, 2010; SPARSØ, 2006).

Como os sinais de relógio não são necessários em circuitos assíncronos, as perdas na difusão desta informação no circuito são eliminadas. Concomitantemente, a não existência de sinal de relógio resulta em uma menor Interferência Eletromagnética (EMI, do inglês: *Electromagnetic Interference*) entre linhas de relógio e outras (BEEREL ;OZDAG ; FERRETTI, 2010; SPARSØ, 2006). Conforme demonstrado por Berkel et al. (1994), circuitos assíncronos podem ser substancialmente mais econômicos em termos de consumo de energia. A economia de energia, em relação à um circuito síncrono, pode chegar a 80% conforme demonstrado por (BERKEL et al. 1994) em um circuito corretor de erros de um *Digital Compact Cassete*.

Sabendo-se que algumas funções lógicas necessitam de tempos de execução menores do que seria um ciclo de relógio para serem concluídas, um circuito assíncrono é capaz de ser mais rápido que circuitos síncronos de mesmas ou similares funções. Estes circuitos são limitados, portanto, apenas pelo atraso de propagação da informação (BEEREL ;OZDAG ; FERRETTI, 2010.). Há também uma menor dependência da variabilidade de características elétricas (Tensão de Limiar, velocidade etc) decorrentes do processo de fabricação ou mesmo

por condições de temperatura, algo que é cada vez mais significativo nas tecnologias mais atuais (BEEREL ;OZDAG ; FERRETTI, 2010.).

Entretanto, circuitos assíncronos podem necessitar mais área para a concepção de sua lógica. Isso se deve principalmente à necessidade dos circuitos de controle (BEEREL; OZDAG; FERRETTI, 2010.). Sendo maior a área, maiores serão as superfícies de contato por onde circulam as correntes de fuga. Deste modo, uma maior área pode resultar em um aumento do consumo por perdas, principalmente as estáticas (SPARSØ, 2006). Sabendo-se que a grande maioria dos circuitos eletrônicos produzidos segue uma lógica de concepção síncrona, as ferramentas de auxílio à concepção são majoritariamente feitas para este fim. A ausência de ferramentas de teste e vetores de testes também é, pelo mesmo motivo, uma problemática clássica da concepção assíncrona (SPARSØ, 2006).

Por terem princípios de funcionamento diferentes das lógicas de concepção síncrona, as etapas de concepção de circuitos assíncronos são necessariamente também diferentes. Sendo assim, a concepção de um circuito assíncrono passa por 3 etapas: definição do modelo de atrasos do circuito, definição do protocolo de *handshake* com 2 ou 4 fases (ver item 3.2) e a escolha dos componentes básicos (MOREIRA; GUAZZELLI; CALAZANS, 2012).

O atraso significa a definição do tempo de propagação da informação no circuito, necessário para as definições das condições de funcionamento dos circuitos. O modelo mais simples, e também o mais otimista, é o de atraso fixo, onde se conhece o tempo de propagação. Um segundo é um atraso entre valores mínimo e máximo (*min-max delay*); com atraso desconhecido mas limitado entre $t_{\min} < t_{\text{atraso}} < t_{\text{máximo}}$. O modelo mais pessimista analisa o circuito sem prever tempos de atraso que variam entre $0 < t_{\text{atraso}} < \infty$; e, portanto, este modelo é possui atraso ilimitado (*unbounded delay*) (SPARSØ, 2006).

O modelo de atraso está intimamente ligado à classe de circuito assíncrono a qual o circuito pertence. Diversas literaturas exploram com mais profundidade as classes de

assíncronos, como Renaudin e Rigaud (2000), SparsØ (2006), Beerel, Osdag e Ferretti (2010) entre tantos outros. A seguir serão descritos resumidamente os 5 tipos de classes de circuitos assíncronos existentes conforme as literaturas mencionadas anteriormente.

Huffman ou máquinas sequenciais assíncronas. Esta classe é a origem dos circuitos assíncronos. Estes circuitos são concebidos a partir de portas lógicas, onde são gerados os sinais para os próximos estados e possuem um modelo de atraso limitado (*bounded-delay*).

Micropipeline são circuitos onde há um sequenciamento local da informação. Sua execução baseia-se em sinais de verificação, ao invés do uso de sinal de relógio. Por conta dos sinais de verificação, o modelo de atraso é ilimitado nas partes onde são executadas as funções lógicas. Porém, no caminho dos dados, é utilizado um modelo de tempo limitado.

Speed Independent são circuitos que utilizam um modelo de atraso ilimitado em todas as suas portas. Em seu modelo, os atrasos na parte de transmissão são considerados insignificantes ou menores em relação aos das portas. Porém, as linhas de transmissão se tornam cada vez maiores e mais complexas e a afirmação de que os atrasos sejam insignificantes ou menores do que as portas não pode ser garantida.

Delay Insensitive (DI) são similares aos circuitos Speed Independent; porém, o fator de atraso ilimitado é estendido também às linhas de transmissão. Conforme descrito por Martin (1990), a implementação deste tipo de lógica é limitada e não prática.

Quasi Delay Insensitive (QDI) é a solução assíncrona mais robusta e factível, e trata-se do tipo de implementação estudado neste trabalho e apresentado a seguir.

3.1 QUASI INSENSÍVEIS AO ATRASO

Quasi Delay Insensitive – Quasi-Insensíveis aos Atrasos – é uma das diferentes classes de circuitos assíncronos e lembra a implementação de uma classe Delay Insensitive. Porém, diferentemente de um circuito DI, em um circuito QDI existe um caso no qual o

atraso não é ilimitado. É necessário que alguns pontos críticos do circuito sejam isocrônicos (MARTIN, 1990), ou seja, precisam ter tempos de atraso parecidos para a execução em conjunto das instruções lógicas. Para tanto, um circuito QDI utiliza um modelo de atraso ilimitado para todas as suas portas e para **quase** todas as linhas de transmissão. Com isso, um dado tratado por duas ou mais partes lógicas do circuito apresentará tempos de propagação semelhantes. Caso estes sinais se reencontrem em um ponto mais a diante do circuito, chegarão aproximadamente ao mesmo tempo. A Figura 9, a seguir, ilustra o que acontece com um sinal, originalmente igual no **ponto B**, quando se propaga por dois caminhos diferentes e chega à dois pontos isocrônicos do circuito lógico, **ponto C** e **ponto D**.

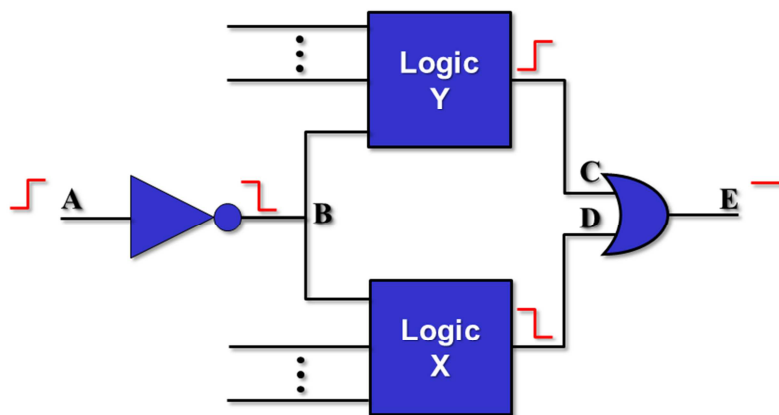


Figura 9 – Exemplo de uma confluência isocrônica: a variação dos sinais C e D são resultado da variação de um mesmo sinal (sinal B) e devem chegar na porta OR com uma diferença temporal não significativa.

Conforme a Figura 9, o sinal gerado chega em um ponto de divisão (**sinal B**) após passar pelo primeiro inversor lógico. Este sinal passa por dois caminhos diferentes: Supõe-se para esse exemplo que ambos os circuitos X e Y tenham as demais entradas constantes. A variação do **sinal B**, na condição do exemplo, resulta em uma mesma variação idêntica para a **entrada D** da porta OR de duas entradas (também saída do circuito X). Já o **sinal B** que passa pelo circuito Y resulta no **sinal C**, que chega na outra entrada da referida porta OR.

Sendo o circuito da figura 9 isocrônico, a porta OR não deverá apresentar alteração perceptível para as portas adjacentes à sua saída (**signal E**).

Circuitos QDIs são compostos basicamente de portas C-Elements (ver subção 3.3 C-Element, específica para este elemento de circuito) (BASTOS, 2010). Os mesmos permitem a propriedade característica do nome desta classe e, também, a sincronização entre diferentes estágios do circuito. Para que esse processo de sincronização seja realizado, se faz necessário o uso de um protocolo de comunicação (apresentado na subseção 4-phase protocol) para ativar e desativar a execução de operações lógicas.

Existem diferentes estilos de projeto de circuitos QDI: *Weak Conditioned Half Buffer* (WCHB), *Pre-Charged Half-Buffer* (PCHB), *Null-Convention Logic*, *Delay Insensitive Min-term Synthesis* (DIMS), entre outros (BEEREL; OSDAG; FERRETTI, 2010; SPARSØ, 2006). Uma análise mais aprofundada destes estilos fugiria do escopo deste trabalho. Porém, um exemplo demonstra mais claramente como um circuito QDI funciona e como é sua arquitetura. Na figura a seguir, é apresentada a estrutura lógica de um estágio para um circuito QDI.

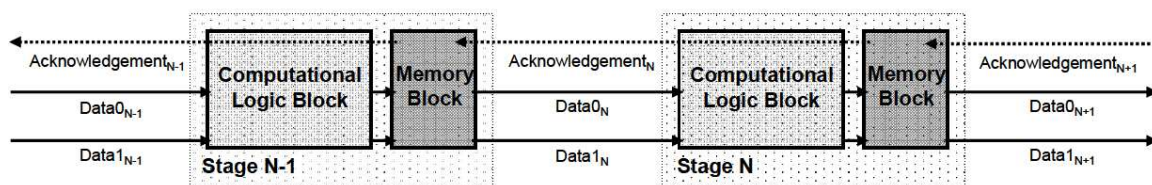


Figura 10 - Estrutura de um circuito QDI em analogia à um circuito síncrono. (BASTOS, 2010)

Na figura 10, as ligas de dados **Data0** e **Data1** carregam a informação. O sinal de confirmação é enviado no sentido inverso, para informar que a ação foi terminada ou não. Cada estágio é composto por um bloco lógico computacional e elementos de memória.

3.2 PROTOCOLO DE 4 FASES

Existem duas formas básicas de protocolos para circuitos assíncronos: com 2 ou 4 fases. Um protocolo tradicional de comunicação utiliza 2 fases para realizar um ciclo computacional. As transições que definem em qual das duas fases o circuito se encontra.

Um protocolo de 4 fases (*4-Phase Protocol*) consiste no uso de pelo menos três sinais: demanda/pedido (*request*), confirmação (*acknowledge*) e um ou mais sinais de dados (*data*). A implementação em protocolo de 4 fases é mais simples do que uma implementação em protocolo de 2 fases. A implementação mais simples se dá em decorrência da distinção entre fases ser feita em nível lógico (FRAGOSO, 2005). Porém, isso resulta em um circuito mais lento do que a execução em protocolo de comunicação em 2 fases (MOREIRA; GUAZZELLI; CALAZANS, 2012). Mesmo assim, as vantagens do protocolo de 4 fases se sobressaem, fazendo com que o mesmo seja o mais utilizado (MOREIRA; GUAZZELLI; CALAZANS, 2012; GREAVES, 2013).

Na figura 11 são apresentadas as 4 fases deste protocolo. A primeira linha apresenta as entradas neste estágio do circuito; a segunda, a saída; e a terceira, o sinal de confirmação do mesmo estágio. Na primeira fase, os dados válidos são detectados e processados; o sinal de confirmação passa para 0 após a detecção do início da saída de dados válidos. A segunda fase consiste na continuação desta até que a entrada de dados válidos esteja concluída. Na terceira fase, conclue-se o tratamento dos dados. Por último, o sinal de confirmação passa para 1 na quarta fase, indicando que o processo foi concluído.

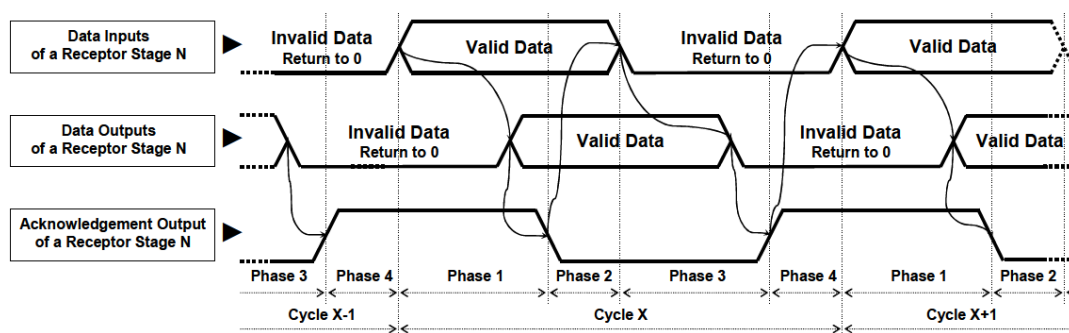


Figura 11 - Comunicação entre dois estágios através de 4-Phase Protocol. (BASTOS, 2010)

Este tipo de protocolo apresenta sinais de conclusão de processamento, ou seja, possui sinais que indicam quando aquele estágio não é mais necessário. Este tipo de sinal é interessante para a detecção do fim da necessidade de ativação de um ou mais estágios. Sinais que indicam atividade podem muito bem ser utilizados no controle de consumo, por meio da ativação das células requisitadas.

3.3 C-ELEMENT

Células C-Element, ou também denominado Muller C-Gate é um elemento de memória normalmente usado em circuitos assíncronos. O princípio de funcionamento de um C-Element de duas entradas é representado na tabela 2 através de uma tabela verdade.

Tabela 2 Tabela verdade de uma porta C-Element de duas entradas.

A(n)	B(n)	Y(n)
0	0	0
0	1	Y(n-1)
1	0	Y(n-1)
1	1	1

Esta tabela exemplifica as duas possíveis funções lógicas deste tipo de circuito:

- a) A de Buffer, quando suas entradas A e B são idênticas; e
- b) A de memória, preservando o valor anterior no caso de suas entradas A e B serem distintas;

Nota-se aqui que o funcionamento de uma porta C-Element é equivalente ao de um Latch SR. Porém, portas SR não garantem o atraso ilimitado, já que não se pode assegurar que suas duas entradas serão igual à 1 simultaneamente (WUU; VRUDHULA, 1993). O mesmo não ocorre com circuitos C-Elements, já que a alteração de estado só ocorre depois que as duas entradas passam a ter o mesmo valor. Devido ao seu funcionamento, portas Muller podem ser também usadas na sincronização de diversos sinais. Existem diversas arquiteturas para circuitos C-Elements, dentre estas, as quatro mais básicas são:

- a) C-Element Conventional (Convencional);

- b) C-Element Dynamic (Dinâmica);
- c) C-Element Symmetric (Simétrica); e
- d) C-Element Weak Feedback (de Realimentação Fraca).

As quatro arquiteturas fundamentais formam uma boa base para interpretação das funcionalidades e de suas possíveis aplicações. Cada uma possui suas vantagens e desvantagens. Para compreender e comparar cada uma delas, seus esquemáticos elétricos são apresentados na figura 12.

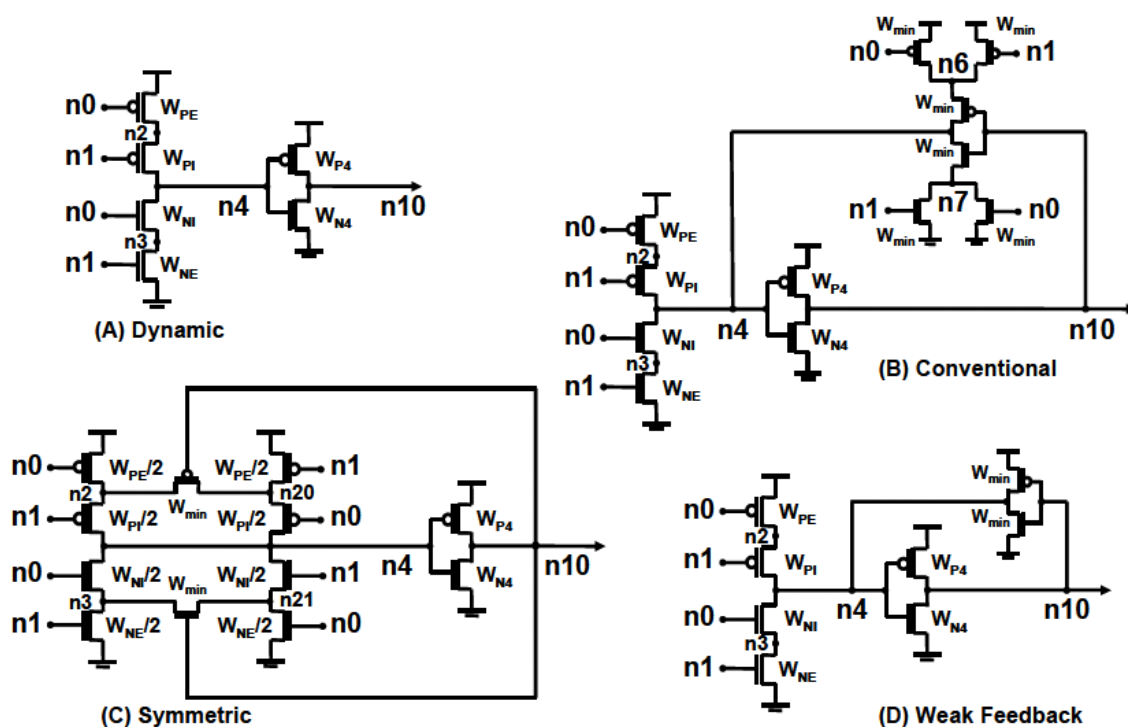


Figura 12 - Esquemáticos dos 4 tipos básicos de C-Elements: Dynamic (A), Conventional (B), Symmetric (C) e Weak Feedback (D). (BASTOS, 2010)

Observa-se que a única arquitetura de C-Element que não faz uso de realimentação é a do tipo Dynamic. Esta realimentação, conforme apresentado na figura acima, liga os pontos **n10** e **n4** do circuito. A arquitetura do tipo conventional possui realimentação que depende também de suas entradas. A do tipo *Symmetric* possui um processo de redundância, com a repetição das entradas com transistores em ordem inversa. Por último, a arquitetura do tipo

Week Feedback, possui uma realimentação feita apenas com um inversor lógico que possui as dimensões mínimas da tecnologia.

3.4 CONCLUSÕES

Este capítulo tratou das características básicas de circuitos assíncronos. Foram vistos os princípios de funcionamento e projeto de circuitos assíncronos; as suas principais classes; o funcionamento do processamento de dados juntamente com um protocolo de comunicação; e as células de registro C-Elements.

Foi mostrado que a classe QDI apresenta diversas vantagens quando comparadas às outras. Além disso, um protocolo de comunicação com 4 fases possui uma implementação mais simples. Os 4 tipos básicos de C-Elements apresentam diferentes vantagens e a escolha da arquitetura depende da aplicação do circuito. Por fim, dentre algumas outras vantagens deste tipo de lógica de concepção, pode-se citar

- a) A possibilidade de ser mais econômicos em termos de consumo de energia;
- b) Uma menor interferência eletromagnética e problemas de distribuição do sinal de relógio, ambos devido à inexistência e não necessidade deste sinal (SPARSØ, 2006);
- c) A possibilidade de serem ainda mais rápidos do que seus respectivos circuitos síncronos de mesmas funções (SPARSØ, 2006); e
- d) Uma maior robustez contra variações de alimentação, temperatura e outras devidas ao processo de fabricação (SPARSØ, 2006).

4 CONTROLE DE POLARIZAÇÃO DE SUBSTRATO

O controle de polarização de substrato é uma forma de controle do consumo de energia de sistemas eletrônicos. O mesmo consiste no uso de diferentes tensões de polarização de FETs para reduzir automaticamente o consumo do circuito em períodos de não-uso.

Beigne & Hamon (2013) propuseram um esquema para sistemas assíncronos que utiliza os sinais do fluxo de dados para criar um controle de consumo automático em tecnologia FD-SOI. Para fazê-lo, criaram mecanismos de identificação dos eventos nos blocos lógicos dos sistemas assíncronos. Esta identificação resulta em um sinal de controle que, por sua vez, ativa a polarização do substrato através de células de aceleração diminuindo o V_{th} quando há uma atividade no caminho de dados do sistema. Quando o circuito termina de ser utilizado, gera-se um sinal de controle para inverter a polarização dos transistores, aumentando seu V_{th} e diminuindo seu consumo e sua velocidade.

Nas próximas sessões, o conceito de célula de aceleração será apresentado; bem como o uso de células Level Shifter de tensão para exercer essa funcionalidade. Na sequência, serão apresentados os tipos de Desviadores de Nível. O Desviador de Nível Convencional é apresentado na sequência, seguido do desviador com contenção mitigada.

4.1 CÉLULAS DE ACELERAÇÃO

Para realizar a tarefa de converter os sinais de controle em ativação/desativação da polarização, criou-se o conceito de *Boost Cells*. As *Boost Cells* podem ser consideradas como Células de Aceleração para o circuito o qual promovem alimentação para a polarização de substrato. O conceito de acelerar células vem do fato de que o uso de Células de Aceleração resulta na possibilidade de se obter, para um mesmo circuito, transistores mais rápidos ou

mais lentos conforme a tensão de polarização fornecida. Em outros termos transistores mais rápidos ou mais lentos possuem, respectivamente, maior ou menor consumo de energia.

Os sinais de controle para uma Célula de Aceleração variam entre os valores 0 e 1 lógicos, ou, respectivamente, entre os valores de terra (*Ground*, **GND**) e de alimentação positiva (**Vdd**). Sua saídas, porém, variam:

- a) de 0 V (**GND**) à um segundo valor de tensão **Vhigh** (normalmente igual ou maior que **Vdd**) para a parte do circuito que é polarizada com tensões positivas; e
- b) de 0 V à **Vlow** (valor igual ou menor que **GND**) para a parte que possui polarização com tensões negativas.

Os valores de tensão de saída são, portanto, diferentes daqueles provenientes dos sinais de controle. Em suma, uma Célula de Aceleração deve converter valores de tensão: trabalhando com dois valores de entrada (**GND** e **Vdd**) e três de saída (**Vlow**, **GND** e **Vhigh**). Na tabela a seguir são apresentadas as gamas de tensão de polarização referentes a cada um dos tipos de transistores.

Tabela 3 Gama de valores de tensão polarização para os diferentes tipos de transistores disponíveis na tecnologia.

Tipo de tensão de limiar	Tipo de Transistor	Gama de tensões de polarização
LVT	PMOS	$-2\text{ V} < V_{bp} < 0\text{ V}$
	NMOS	$0\text{ V} < V_{bp} < 2\text{ V}$
RVT	PMOS	$1\text{ V} < V_{bp} < 3\text{ V}$
	NMOS	$-2\text{ V} < V_{bp} < 0\text{ V}$

Pensando nesta conversão de níveis de tensão, Hamon e Beigne (2013) propuseram o uso de uma célula *Level Shifter* (LS) para realizar esta operação. O nome *Level Shifters* pode ser traduzido como Desviadores de Nível (de Tensão). LS são células empregadas na mudança da amplitude de tensão entre partes do circuito que operam com níveis de tensão

diferentes como, por exemplo., em células I/O (*Input/Output*). Na figura 13 são apresentadas a entrada e saída de um *Level Shifter* típico.

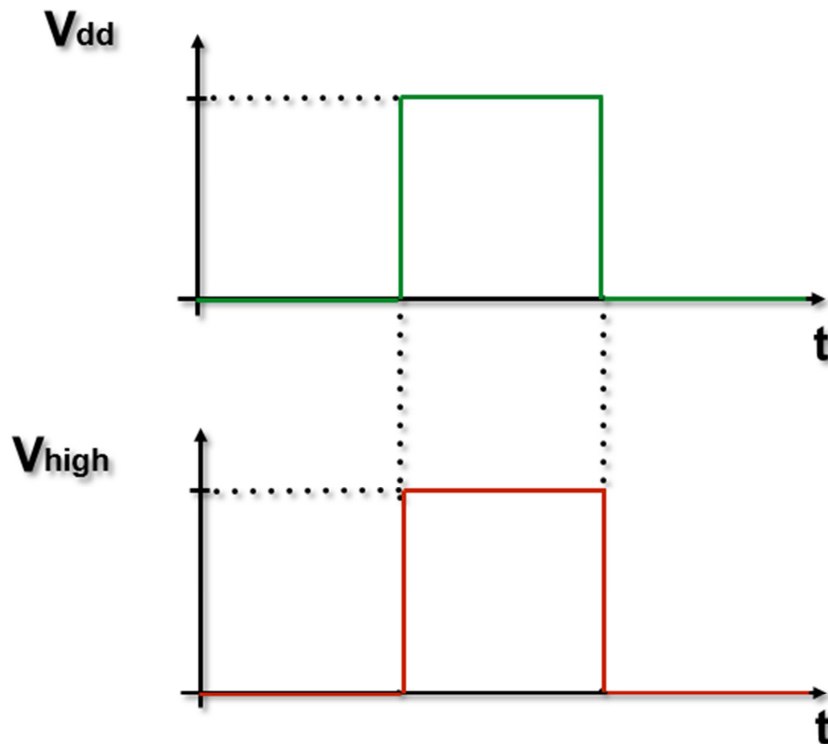


Figura 13 – Entrada (em verde) e saída (em vermelho) de um circuito *Level Shifter* típico.

Mesmo assim, para que este tipo de circuito possa ser usado como circuito de polarização dos transistores, ainda se faz necessária a obtenção de um valor negativo de tensão de saída parte complementar dos transistores a serem polarizados. O resultado em termos de sinais da inclusão da parte complementar do circuito *Level Shifter* para a obtenção de ambas as tensões de polarização resulta em uma resposta similar àquela apresentada na figura 13, porém com sinal a mais de saída conforme apresentado na figura 14.

A célula escolhida para o referido trabalho foi a *Contention Mitigated Level Shifter* (CMLS), que pode ser traduzida como Desviador de Nível (de Tensão) com Contenção Mitigada. Porém, existem outras arquiteturas de células LS que podem ser exploradas. E, também, uma melhor compreensão de como o controle é feito torna-se importante para um melhor desenvolvimento de circuitos que empreguem esta técnica.

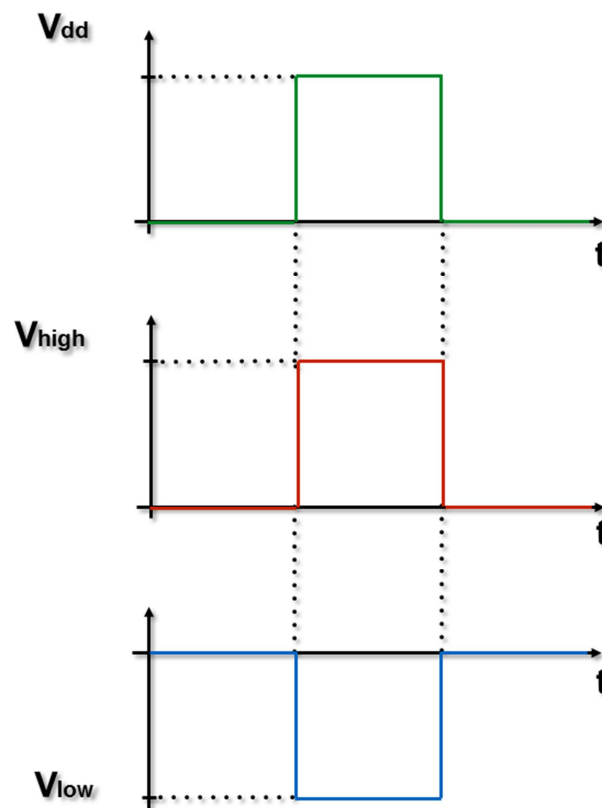


Figura 14 – Entrada (em verde) e saídas positiva (em vermelho) e negativa (em azul) para um circuito Level Shifter adaptado para funcionar como uma Boost Cell.

4.1.1 Tipos de Desviadores de Nível

Células que realizam a mudança de nível de tensão são diversas e suas arquiteturas dependem diretamente da função que exercerão. Existem células que trabalham com múltiplas tensões de saída e têm seu circuito adaptado para melhor executar estas funções. Outras utilizam apenas uma fonte de alimentação, para minimizar a quantidade de linhas de transmissão na região da célula, podendo ser até mais econômicas.

Para a aplicação de controle a partir de ativação e desativação, apenas duas tensões são necessárias: uma tensão na qual a Tensão de Limiar é elevada (transistor inativo/mais lento); e outra na qual ele será menor (transistor ativo/mais rápido). Esta operação pode ser

facilmente implementada com LS mais simples, possuindo dois níveis de tensão de sinal de entrada (*Ground* ou **GND** e **Vdd**) e dois de saída (**GND** e **Vhigh** > **Vdd**).

Estes tipos de circuito de conversão de tensão podem ser divididos em duas partes essenciais:

- a) uma parte na qual é realizada a transferência de nível de uma tensão de alimentação normal para uma outra com tensão mais elevada; e
- b) uma segunda parte na qual se inclui um inversor de saída, exercendo a função de buffer e sendo capaz de suprir a necessidade de carga (Fan-Out).

Dentro da linha de mudança de nível de tensão, existem circuitos que utilizam duas (**GND** e **Vhigh**) ou três (**GND**, **Vdd** e **Vhigh**) tensões de alimentação positivas. Para que se realize o circuito de *Boost* complementar, necessário para os transistores com dopagem de canal inversa; é preciso criar um segundo circuito de comportamento semelhante, porém para tensões de saída negativas (**Vlow** < **GND**).

Mesmo que apresentando uma menor quantidade de transistores, os circuitos com apenas duas tensões possuem uma limitação quando na elaboração de seu complementar para tensões negativas. É necessário que a parte negativa identifique a variação da entrada para um nível baixo (**GND**) e com isso altere sua saída de **GND** para a tensão de *Boost* negativa (**Vlow** < **GND**). É por isso que selecionou-se apenas circuitos com 3 alimentações, os quais serão vistos a seguir.

Dois células básicas, dentre as que possuem duas fontes de alimentação, foram aqui selecionadas. A primeira é o *Conventional Level Shifter* (CLS) e a segunda é a *Contention Mitigated Level Shifter* (CMLS). Uma arquitetura para operação em tensões negativas já foi proposta para o CMLS, porém o mesmo ainda não foi feito para o CLS. Nas sessões a seguir serão discutidas as operações de cada uma dessas arquiteturas e também serão propostas arquiteturas para saída em ambas as tensões necessárias para a polarização.

4.1.2 Conventional Level Shifter

O primeiro circuito de desvio de nível de tensão é o *Conventional Level Shifter* (CLS), ou LS Convencional. Na figura 15, é apresentado o esquemático elétrico de um CLS que inclui a sua parte complementar com tensões negativas. Um circuito CLS aplicado ao desvio de tensão máxima de circuito possuiria apenas o desviador positivo (*Positive Level Shifter*), o inversor central (feito com os transistores M5 e M6) e seu buffer de saída (*Positive Buffer*).

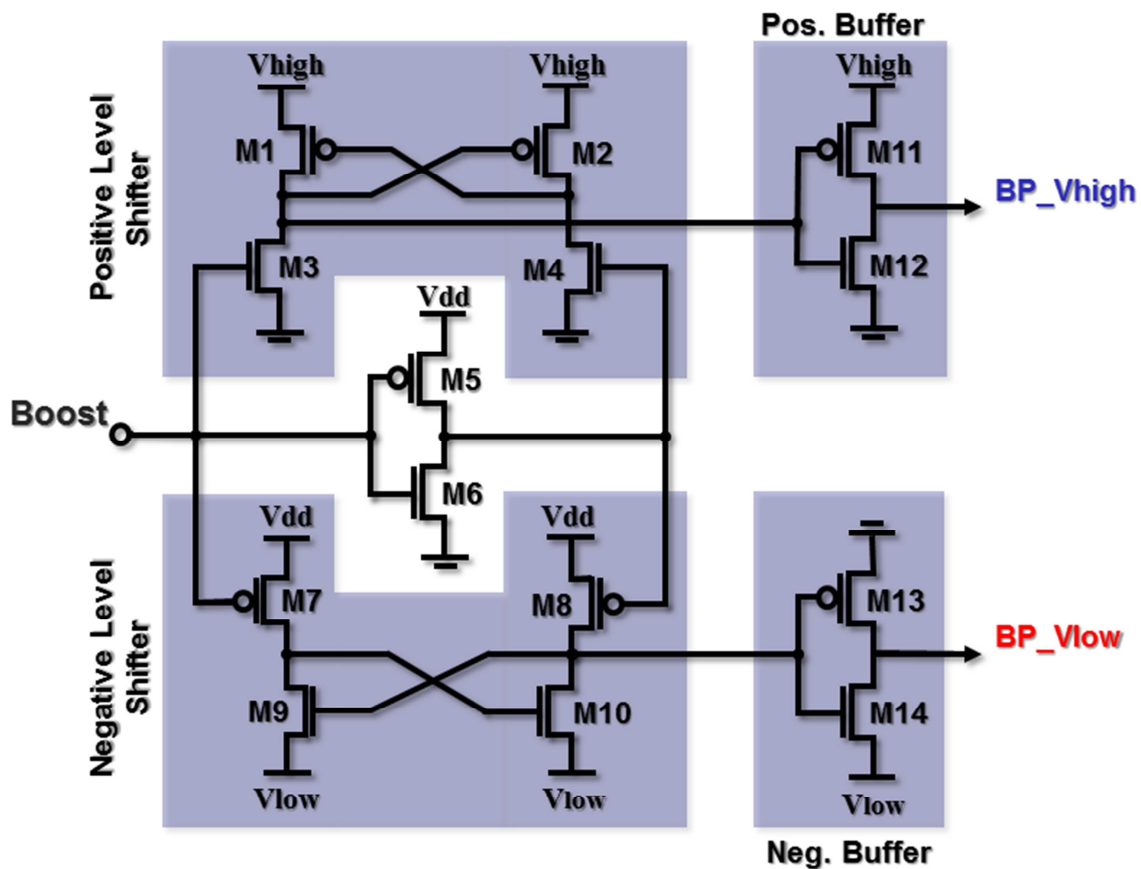


Figura 15 - Esquemático elétrico de um Conventional Level Shifter incluindo sua parte complementar para tensões negativas.

O CLS pode ser visto como a arquitetura mais básica de *Level Shifter*. Porém, este circuito apresenta um problema de contenção entre os transistores MN1 e MN2 para a parte Pull-Down; e MP1 e MP2 para a parte Pull-Up. Diversos trabalhos põem esta célula como a base para comparativo, tais como Tran, Kawaguchie e Sakurai (2005); e D. Dwivedi, S. Dwivedi e Potladhurthi (2012); entre outros. Nos referidos trabalhos, foram propostas

arquitecturas visando a minimização do problema de contenção. Uma destas novas arquiteturas, a CMLS, é apresentada a seguir.

4.1.3 Contention Mitigated Level Shifter

Algumas sugestões foram feitas procurando-se minimizar o problema de contenção do *Conventional Level Shifter*. O *Contention Mitigated Level Shifter*, apresentado na figura a seguir, é uma delas (TRAN, KAWAGUCHI, SAKURAI, 2005). Hamon e Beigne (2013), fizeram uso desta célula como célula aceleradora. Para a parte da alimentação negativa, foi feita a inclusão de seu complementar, partes *Negative Level Shifter* e seu Buffer de saída (*Negative Buffer*).

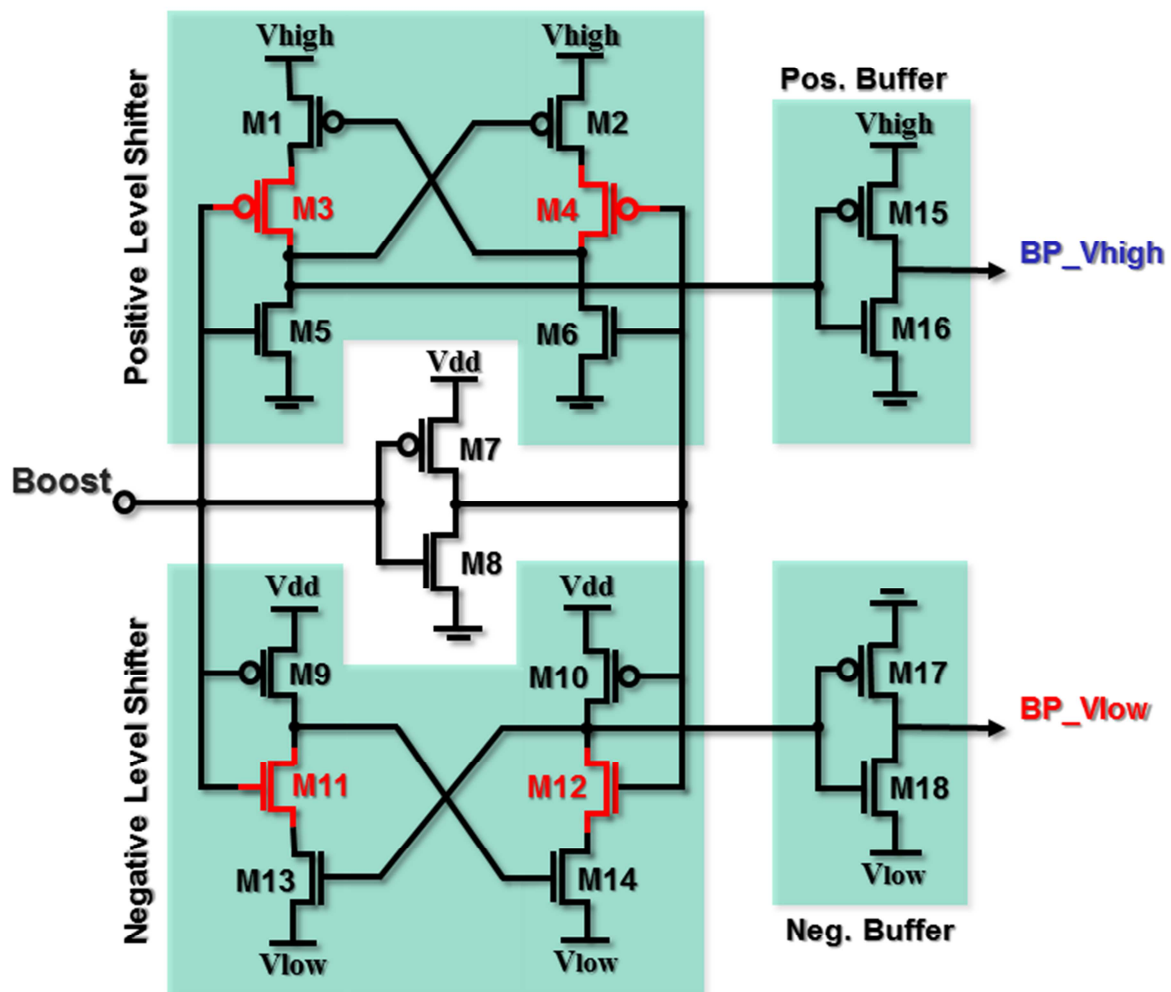


Figura 16 - Esquemático elétrico de um Conventional Level Shifter.

No circuito da figura 16, pode-se ver que dois transistores (M3 e M4) são incluídos nesta arquitetura em relação ao desviador de tensão convencional. Cada um destes transistores, juntamente com suas partes *Pull-Down* (M11 e M12, respectivamente), funcionam como quasi-inversores, acelerando o processo de inversão e reduzindo o problema de contenção.

4.2 CONCLUSÕES

No presente capítulo foi introduzido o conceito de Célula de Aceleração. A aceleração consiste, portanto, no atuador que varia a tensão de limiar para o conseqüente aumento das velocidades de subida e descida. A variação da tensão de limiar é obtida, por sua vez, a partir do efeito de corpo dos transistores, ou seja, a partir da mudança da tensão de polarização.

Células de desvio de nível de tensão foram apresentadas como uma possibilidade para realizar a polarização dos transistores do circuito conforme sinais de controle. Dois tipos básicos de desviadores de nível foram apresentados: o *Conventional Level Shifter* e o *Contention Mitigated Level Shifter*. O segundo é uma arquitetura baseada no primeiro. O CMLS possui transistores a mais que reduzem a contenção quando na inversão dos estágios intermediários do circuito. Para o CMLS foi utilizada uma arquitetura que inclui a parte complementar para tensões negativas; enquanto que para o CLS foi feita a proposta a sua arquitetura complementar.

5 AVALIAÇÃO DE CÉLULAS LÓGICAS PARA A CONCEPÇÃO DE CIRCUITOS ASSÍNCRONOS DE BAIXO CONSUMO

Para a concepção de um circuito de baixo consumo é necessária a avaliação das diferentes células que o compõem. É necessário saber as características de funcionamento e o comportamento dos circuitos em dada tecnologia para fazer-se um melhor uso da mesma. No caso de circuitos QDI, células C-Elements fazem-se também necessárias. E, para um circuito de polarização controlada, as células aceleradoras também estarão presentes.

O comportamento aqui analisado está relacionado a duas características do circuito: o seu consumo de energia e as suas velocidades. O consumo está diretamente relacionado com a procura pelas células mais econômicas em termos de energia. Enquanto que as velocidades são importantes para se precisar os tempos de propagação das informações e para a definição das células do circuito. Todas as células analisadas foram concebidas em tecnologia FD-SOI 28nm. As células escolhidas para esta análise foram:

- a) Inversores Lógicos: para realizar um comparativo entre os diferentes tipos de transistores disponíveis na biblioteca standard-cell da tecnologia FD-SOI;
- b) 4 arquiteturas de C-Elements: para realizar um comparativo entre as arquitetura mais básicas deste tipo de célula; e
- c) 2 arquiteturas de *Level Shifter*: para realizar um comparativo entre duas das arquiteturas mais simples deste tipo de célula.

Para o contexto de análise da velocidade dos componentes e análise do consumo, realizaram-se as medidas de:

- a) Tempo de subida de sinal (*Rise Time*);
- b) Tempo de descida de sinal (*Fall Time*);
- c) Tempo de atraso de subida de sinal (*Rise Delay*);
- d) Tempo de atraso de descida de sinal (*Fall Delay*); e

e) Potência média (*Average Power Consumption*).

A descrição para simulação dos circuitos inversores estão disponíveis na biblioteca *standard cell*, enquanto que os outros foram analisados a partir da inclusão de descrições para simulação elétrica. Dentre os circuitos elaborados, com exceção do **CLS**, os demais circuitos foram definidos com distâncias mínimas e respeitando a proporção de tamanho para circuitos P e N do inversor **LR P0** (transistor típico sem polybiasing).

Para as simulações, as descrições dos circuitos inversores usada foi obtida com extração do circuito a partir do leiaute. Para as demais células (C-Elements e Boost Cells) foram usadas descrições do circuito apenas com os transistores.

Na sequência, serão vistos o método de cálculo para a normalização dos resultados, a descrição de uma biblioteca Standard-Cell FD-SOI de 28nm; os comparativos feitos entre células inversoras da mesma biblioteca; as análises realizadas entre os 4 tipos mais básicos de arquiteturas de C-Elements; e, também o comparativo entre duas arquiteturas de Células de Aceleração.

5.1 MÉTODO DE CÁLCULO PARA A NORMALIZAÇÃO

A escolha pela normalização dos resultados se deve a dois fatores principais: simplificar a interpretação dos dados e confiabilidade. As análises aqui realizadas consistem em simulações elétricas de circuitos. As descrições dos circuitos são feitas em arquivo SPICE para tamanhos mínimos de transistores ou menores capacidades de carga para cada tipo de célula. As medidas executadas para realizar-se um comparativo de resposta temporal foram os tempos de subida e de descida e os atrasos de subida e de descida. O consumo é comparado a partir da medida de potência.

Todos os circuitos de referência utilizam transistores **Regular-Vt** com tensão de alimentação de **1,00 V**. Para circuitos inversores o referencial usado foi um circuito da

biblioteca standart-cell com de maior alturas de célula, a única opção com transistor com tensão de limiar regular. O circuito **Conventional C-Element** foi usado como referência para as outras arquiteturas. Para a última análise, o circuito **Conventional Level Shifter** foi utilizado como circuito de referência para as células aceleradoras.

A potência normalizada ($P_{Normalized}$) é definida pela equação (2), feita em relação ao circuito de referência de cada célula.

$$P_{Normalized} = \frac{P_{circuit}}{P_{Reference\ Circuit}} \quad (2)$$

Para a normalização do delay e do atraso, duas etapas são necessárias. A primeira é o cálculo da média entre o atraso de subida (*Rise Delay*) e de descida (*Fall Delay*), como definido na equação (3).

$$Delay_{AVG} = \frac{Rise\ Delay_{Circuit} + Fall\ Delay_{Circuit}}{2} \quad (3)$$

A normalização é feita com a média do atraso da referência, conforme a equação (4).

$$Delay_{Normalized\ AVG} = \frac{Delay_{AVG\ from\ the\ Circuit}}{Delay_{AVG\ from\ the\ Reference\ Circuit}} \quad (4)$$

Para a normalização tempo foram realizados os mesmos cálculos que para o atraso, conforme as equações (5) e (6) apresentam na sequência.

$$Time_{AVG} = \frac{Rise\ Time_{Circuit} + Fall\ Time_{Circuit}}{2} \quad (5)$$

$$Time_{Normalized\ AVG} = \frac{Time_{AVG\ from\ the\ Circuit}}{Time_{AVG\ from\ the\ Reference\ Circuit}} \quad (6)$$

As comparações foram feitas no formato de gráfico e serão apresentadas na sequência da seção 5.2.

5.2 BIBLIOTECA STANDARD-CELL FD-SOI 28NM

Existe uma variedade de células básicas disponíveis para projeto *standard cell*. Seus layouts estão disponíveis, para a tecnologia em questão, em duas alturas de células: **8** e **12 Tracks** (T) (FLATRESSE, 2013). Um track equivale a 100 nm de distância entre o centro da alimentação e de terra de uma célula. Esta medida é utilizada como uma definição padrão para a geração de células para uma biblioteca *standard cell*. As células com **8T**, por serem menores, são aplicadas em circuitos mais densos em termos de quantidade de células por área. Já as células com altura de **12T**, são indicadas para circuitos de alta performance.

Existem células com os dois 2 tipos de poço da tecnologia FD-SOI: Convencional (*Conventional*) e Invertido (*Flip*). Porém, apenas os transistores com poço invertido apresentam as 2 variações de altura de célula. Transistores de poço convencional possuem apenas a altura de **12 Tracks** e apenas a opção sem comprimento adicional de canal, o polybiasing. No caso dos transistores feitos sobre poço invertido, para cada uma dessas alturas (**8** e **12 Traks**) existem 4 opções de polybiasing: **P0** (0 nm); **P4** (4 nm); **P10** (10 nm); **P16** (16 nm) (FLATRESSE, 2013). Na tabela 4 são apresentadas as definições de nomenclatura da biblioteca para os diferentes tipos de portas lógicas.

Tabela 4 Tipos de célula e seus equivalentes em termos de poço, altura de célula e comprimento adicional de polybiasing.

Tipo de célula	Tipo de poço	Altura da célula [Track]	Tamanho do Polybiasing [nm]
RVT 12T P0	Convencional	12 T	0
LVT 12T P0	Invertido	12 T	0
LVT 12T P4			4
LVT 12T P10			10
LVT 12T P16			16
LVT 8T P0		8 T	0
LVT 8T P4			4
LVT 8T P10			10
LVT 8T P16			16

Na tabela:

- a) RVT (*Regular-Vt*, ou ainda RL) designa transistores de poço convencional com Tensão de Limiar Regular;
- b) LVT (*Low-Vt*, ou ainda LL) designa transistores de poço invertido com Baixa Tensão de Limiar;
- c) **8T** e **12T** são as duas alturas de células disponíveis; e
- d) O polybiasing é definido conforme aumento total do comprimento do canal em nm.

As partes de circuitos as quais estão disponíveis na biblioteca *standard cell* são diversas. Existem desde elementos de contatos e interconexão; passando por desenho de elementos básicos como capacitores, indutores, resistores e as diversas portas lógicas, tais como inversores, portas ANDs, ORs, bem como elementos de memória. Dentre as simulações realizadas, apenas as células inversoras estão disponíveis na biblioteca.

5.3 INVERSORES LÓGICOS

O inversor lógico por ser considerado como a célula lógica mais básica, constitui-se de um exemplar do funcionamento da tecnologia. Muitas análises de tecnologia são feitas com base em arquiteturas com inversores como os osciladores e cadeias de inversores. No caso desta análise, as células estudadas constituem-se uma amostra de células com as menores cargas disponíveis e descrição do modelo de simulação SPICE obtido a partir dos elementos extraídos com base no leiaute da célula. Por serem células extraídas, suas aproximações em termos de elementos parasitas são mais próximas da realidade quando comparadas aos descritivos de circuitos lógicos que incluem apenas os transistores.

Com as células inversoras, foram realizadas 4 diferentes análises através de simulação elétrica. Em um primeiro momento, observa-se o comportamento de uma célula inversora quando no funcionamento em baixas tensões de alimentação. Em seguida, analisa-se a variabilidade da tecnologia a partir da simulação de seus corners extremos de simulação com

transistores Low-Vt e Regular-Vt: *Typical-Typical* (TT), *Slow-Slow* (SS) e *Fast Fast* (FF). Após, é feita uma análise do efeito da polarização sobre a performance do circuito. Depois, compara-se as células com diferentes alturas (compactas e rápidas) e também com diferentes comprimentos de canal (polybiasing).

5.3.1 Funcionamento do circuito em baixas tensões de alimentação

Primeiramente, procurou-se uma das características elementares para a projeto de circuitos integrados, o funcionamento do mesmo em baixas tensões de alimentação. Sabe-se que circuitos com menores tensões apresentam consumo de energia menor, porém em detrimento da velocidade de funcionamento do mesmo. Na figura a seguir, é apresentada a resposta de um circuito inversor em corner SS (**OLogic** no gráfico) para uma estímulo do tipo onda quadrada (ondas **LogicStimuli** no gráfico).

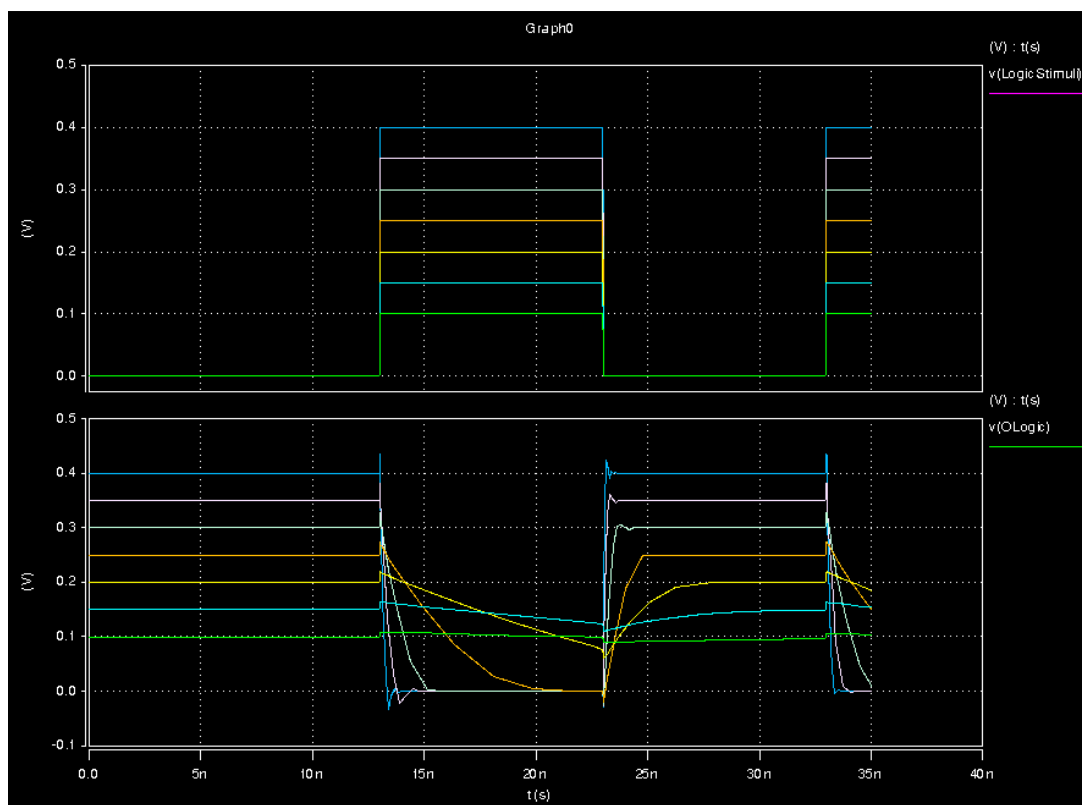


Figura 17 – Resposta à uma onda quadrada de um inversor lógico LL P0 com corner SS. A tensão máxima da onda e da tensão é a mesma da tensão de alimentação, variando de 0,10 V à 0,40 V com passo de 0,05 V.

Para esta simulação, a variação da alimentação acompanha também a variação da tensão máxima da onda, que varia de 0,10 V à 0,40 V com passo de 0,05 V. Como foco deste trabalho não é o uso da tecnologia em baixas tensões, verificou-se apenas variação da resposta do circuito para baixas tensões. É interessante de se observar aqui o que acontece com a resposta para valores pequenos de alimentação. O Atraso aumenta consideravelmente chegando ao ponto de não ocorrer mais a inversão da saída em relação à entrada, em outras palavras, o não funcionamento do circuito. No caso de um circuito QDI, o atraso não resulta no não funcionamento do circuito, apenas no tempo maior de processamento da informação. Portanto aplicações em baixas tensões justificam o uso de circuitos QDI, sendo também mais robustos quanto à variações na alimentação. Respostas de outros corners estão presentes em anexo.

5.3.2 Avaliação dos 3 diferentes corners de simulação

Corners, no contexto de circuitos eletrônicos, representam um conjunto de parâmetros que descrevem as variações extremas no processo de fabricação – pior, típico e melhor caso. As variações de parâmetros incluem: variação de velocidade, variação do consumo, variação de tensões e variação de temperaturas em uma dada condição de operação.

As características de variação são divididas em três tipos de velocidade: *Slow* (lento), *Typical* (típico) e *Fast* (rápido). Cada uma dessas classificações se refere à cada um dos corners. Para o caso de um inversor lógico, que contém apenas dois transistores, o pior caso de descasamento dos mesmo poderia ser analisado colocando-se um deles em uma condição enquanto o outro ficaria em uma condição oposta, i.e., o transistor tipo P considerado como *Slow* enquanto que o N é considerado *Fast*. Todavia, casos como o descasamento e o uso de corners SF ou FS não fazem parte do escopo deste trabalho.

A partir desses valores de variabilidade, pode-se realizar análises de probabilidade dos circuitos concebidos. Isso serve, por exemplo, para verificar se o comportamento do circuito

continua dentro dos valores esperados para diferentes condições de fabricação. Dessa forma, dentro da sequência do processo de concepção, é possível reduzir-se custos de desenvolvimento de circuito verificando-se se qual a tendência de comportamento do circuito, ou mesmo se o circuito apresenta um comportamento adequado mesmo nos limites da fabricação.

Nas análises realizadas, utilizaram-se os corners SS, TT e FF para os circuitos inversores LL e LR com 12 Tracks de altura e sem variação de polibiasing. O comparativo aqui se faz interessantes por conta das similaridades entre ambos, possuindo as mesmas dimensões, porém mudando-se as camadas que consituem o plano de fundo. Foi realizada a variação da tensão de alimentação de 0,1 V até 3 V com passo de 0,05 V. No gráfico a seguir, são apresentados os consumos resultates para um circuito Inversor com transistor de poço invertido (LL) com seus diferentes corners.

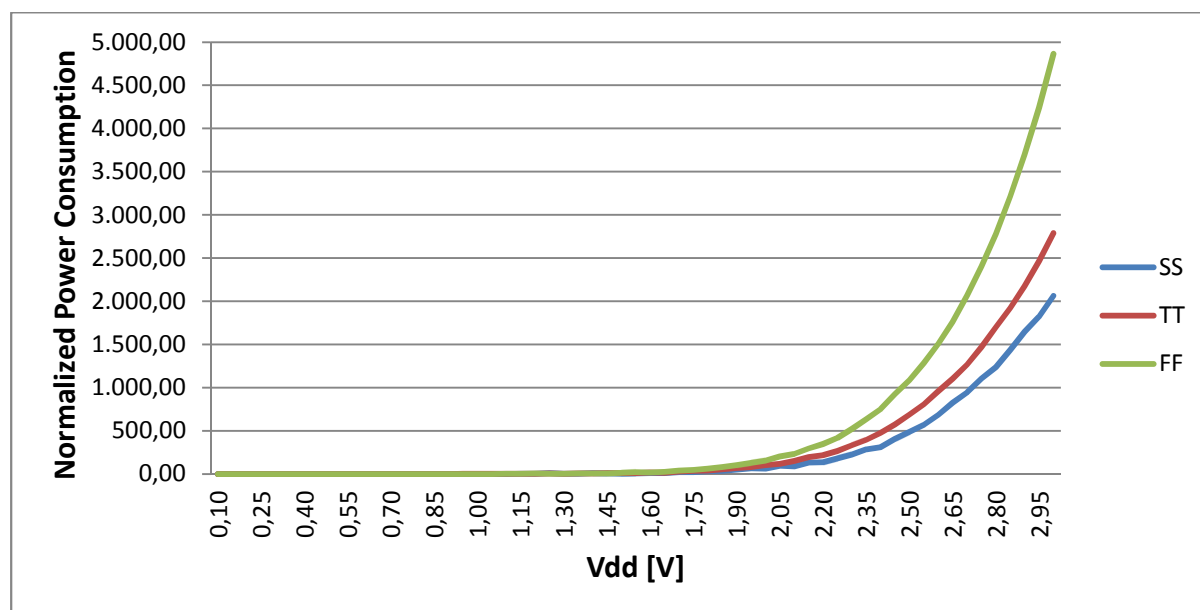


Figura 18 – Comparativo do consumo de energia de células inversoras lógicas com transistores Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,10 V à 3,00 V com passo de 0,05 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação ao consumo de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Primeiramente, observa-se o aumento exponencial do consumo do circuito com o aumento da tensão de alimentação. Nota-se também que o consumo de circuitos mais rápidos (curva em verde) são superiores aos valores típicos para as mesmas tensões (curva em vermelho) que, por sua vez, são superiores ao consumo de circuitos lentos. Estes resultados ficam dentro do esperado. Isso confirma que o consumo e velocidades aumentam; obtendo-se uma velocidade maior quando a sua tensão de limiar é menor, mas também sua corrente de subthreshold entre fonte e dreno. Vale lembrar que os valores maiores são das condições de uso do circuito e demonstram apenas como aumenta o consumo dentro do modelo utilizado. Valores tão superiores resultariam em danos para o circuito.

Buscando-se obter valores mais próximos das tensões de alimentação usuais, foram realizadas outras simulações com variação da tensão de alimentação com passo de 0,5 V variando de 0,5 V à 2 V. No gráfico abaixo são apresentados o consumo normalizado dos inversores com transistores LL e LR, sem polybiasing e com altura de 12 Tracks em relação ao inversor LR com tensão de alimentação de 1,00 V.

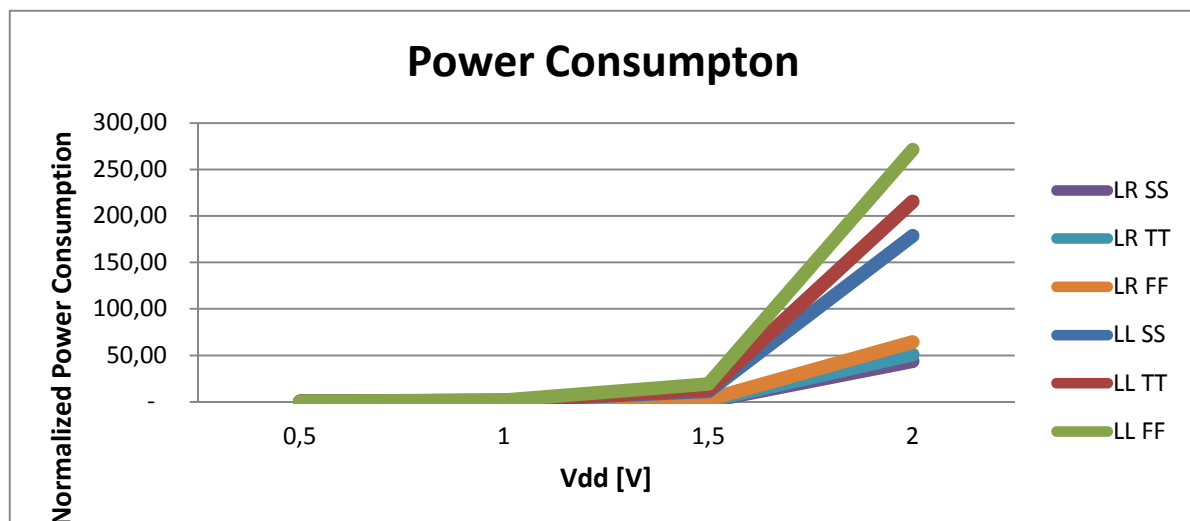


Figura 19 – Comparativo do consumo de energia de células inversoras lógicas com transistores Regular-Vt e Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 2,00 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação ao consumo de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Complementarmente às análises de consumo, analisou-se também os tempos e atrasos de subida e descida. Na figura 20, são apresentados os valores normalizados de tempo de subida para um inversor com transistor LR comparando os diferentes corners citados.

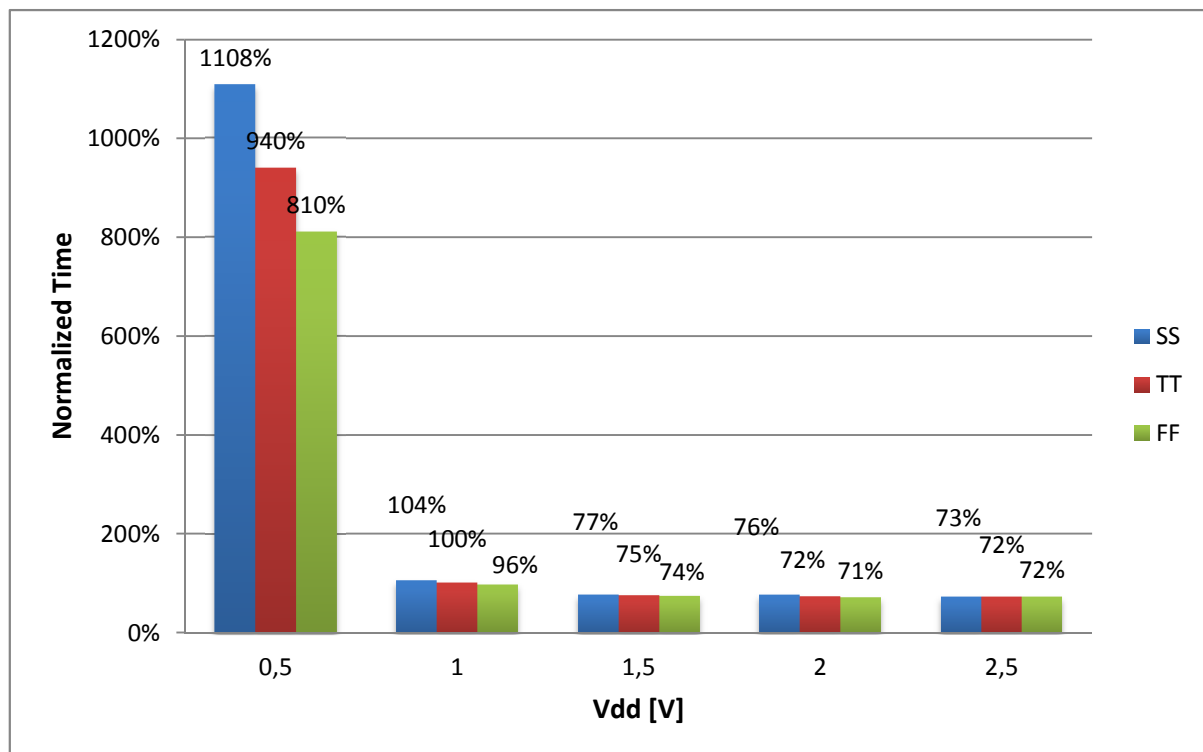


Figura 20 – Tempos de subida normalizados para células inversoras lógicas com transistores Regular-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 2,50 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Primeiramente, é possível observar o aumento de aproximadamente 10 vezes entre os tempos de subida para a redução da tensão de alimentação de 1,00 V para 0,50 V. Observa-se também um ganho de aproximadamente 25 % no tempo de subida do sinal, isso ao custo de um aumento de 20 % para um transistor RVT. O funcionamento do circuito em tensões de alimentação superiores à 1 V fazem crescer drasticamente o consumo. Tal crescimento não se justifica quando os ganhos de velocidade não são superiores à pouco mais de 30 %.

Outro cálculo também realizado foi o da média normalizada entre atrasos de subida e de descida. O resultado desta análise é apresentada no gráfico a seguir, que inclui os 3 tipos de corners analisados para os dois tipos de transistores (RVT e LVT).

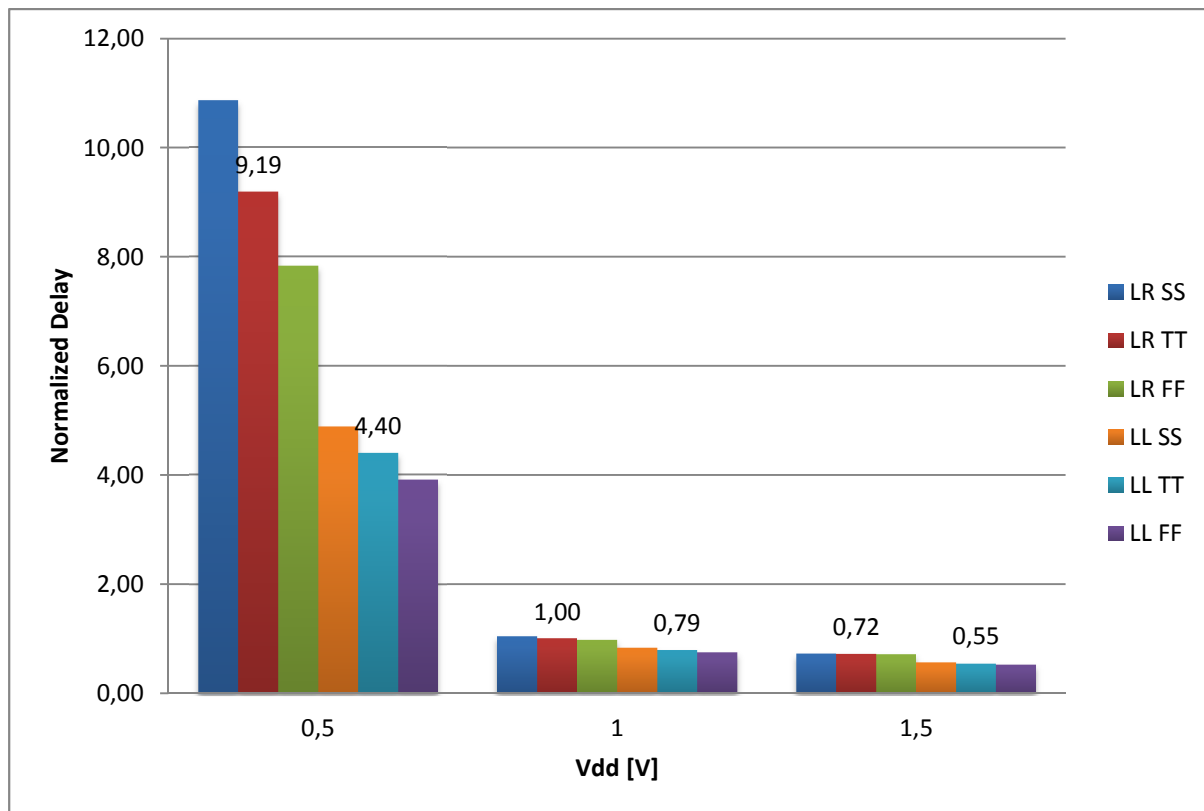


Figura 21 – Média entre os atrasos de subida e de descida para células inversoras lógicas com transistores Regular-Vt e Low-Vt. A comparação é feita: para diferentes valores de tensão de alimentação (de 0,50 V à 1,50 V com passo de 0,5 V); e para os 3 tipos de corners analisados (SS, TT e FF). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Tomando-se em conta da variação dos valores típicos entre 1,00 V e 1,50 V, constata-se uma variação média nos tempos e nos atrasos de 24 % e 25 % para transistores RVT e LVT respectivamente. Contudo, o aumento do consumo são significativamente diferentes. Enquanto que para um transistor RVT o aumento se dá com um consumo 1,2 vezes maior, para transistores LVT esse aumento é de cerca de 13 vezes.

Para valores superiores de tensão de alimentação, o aumento do consumo é significativamente maior ao passo de que não se tem uma variação percentual das

velocidades. Analisando-se em números, observa-se que para uma redução de cerca de 7 % para ambos os tipos de transistores com o aumento de 1,50 V para 2,00 V de Vdd, ao custo de um aumento de 24 vezes e de 16 vezes no consumo para transistores RVT e LVT respectivamente. O consumo com Vdd à 2,00 V é de 215 vezes superior ao valor de referência (transistor RVT com Vdd à 1,00 V).

5.3.3 Efeito da polarização do substrato dos transistores

As polarizações pró- e contra-condução revelam-se fatores-chave quando na busca pela redução do consumo de energia. Faz-se necessário, portanto, avaliar-se comparativamente qual é o resultado prático da polarização no consumo e na velocidade do circuito.

Para realizar-se este comparativo, utilizou-se dois tipos de transistores com tipos de poços opostos – o RVT e o LVT. A opção de canal analisada foi a sem polybiasing (P0). Efetuou-se a polarização a partir de um valor de variação (Delta) em relação à polarização de base. Uma simulação com variação da tensão de polarização do plano de fundo (Delta-Vbp) nula consiste em manter-se as conexões padrões para a polarização dos transistores. No caso de uma polarização pró-condução para um transistor RVT (poço típico), aumentar-se-ia a tensão do transistor PMOS enquanto baixar-se-ia a tensão de polarização dos transistores NMOS. Na tabela 5, são apresentadas as faixas de tensão de polarização para cada transistorer em cada tipo polarização.

Tabela 5 Configurações de Polarização de substrato para diferentes tipos de transistores.

Tipo de transistor		RBB	Typical	FBB
Delta		Vdelta < 0 V	0 V	Vdelta > 0 V
RVT	PMOS	Vbp < 1 V	Vbp = 1 V	Vbp > 1 V
	NMOS	Vbp > 0 V	Vbp = 0 V	Vbp < 0 V
LVT	PMOS	Vbp < 0 V	Vbp = 0 V	Vbp < 0 V
	NMOS	Vbp < 0 V	Vbp = 0 V	Vbp > 0 V

Na figura a seguir, são apresentadas as médias entre tempos e atrasos normalizados para os transistores LL e LR com célula de 12 T de altura para as diferentes condições de polarização.

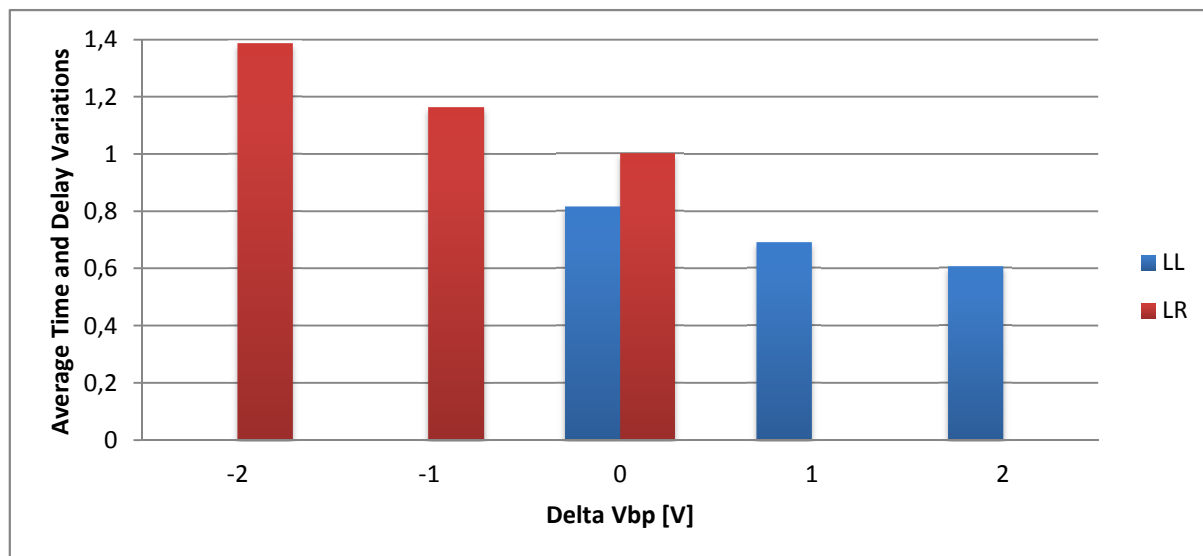


Figura 22 – Média dos valores normalizados de Tempos de subida e de descida; e dos Atrados de subida e de descida para células inversoras lógicas com transistores Regular-Vt e Low-Vt para diferentes condições de polarização. A comparação é feita: para diferentes valores de tensão polarização (de -2,00 V à 2,00 V com passo de 1,00 V); e para corners P e N típicos (TT). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Observa-se um ganho de velocidade conforme aumenta-se a tensão de polarização no sentido de pró-condução. Além disso, é possível ver que não há uma variação significativa de velocidade variando-se a tensão Vbp de -1 V para -2 V para o transistor LL. O mesmo é válido para a variação de 1 V para 2 V para o transistor LR. Na figura a seguir, são apresentados os consumo nas mesmas condições de polarização, o que ajuda à explicar esse efeito.

Para valores negativos da tensão de Back-Plane no caso dos transistores Low-Vt foge do condições de funcionamento do circuito pois ocorreria uma polarização direta da junção PN existente entre os planos de fundo com dopagens opostas. O contrário, valores positivos, também é válido para transistores Regulat-Vt. Isso vai de encontro ao que foi comentado

sobre as possibilidades diferenciadas de polarização dos transistores. Em outras palavras, é possível, com a tecnologia FD-SOI, escolher qual o tipo de transistor conforme a aplicação.

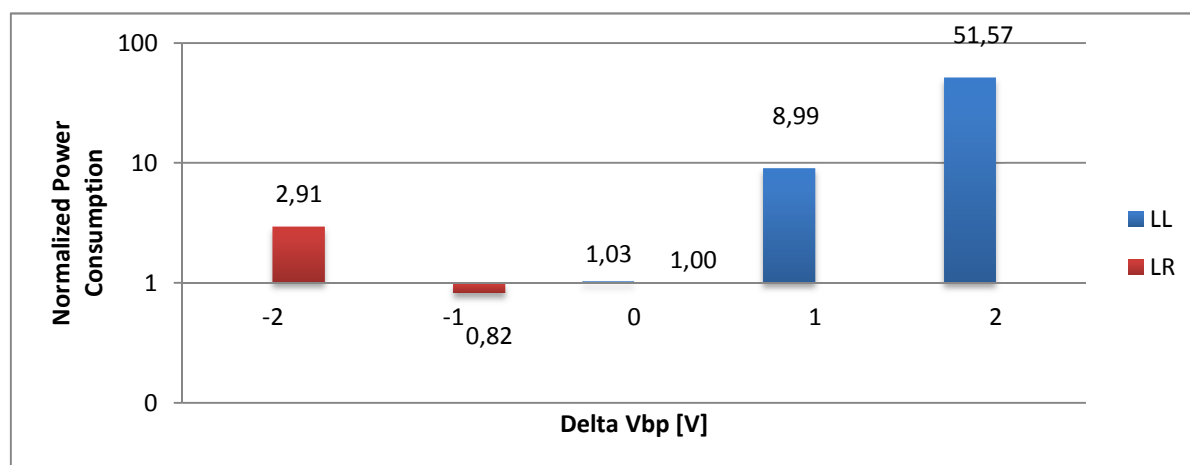


Figura 23 – Consumo médio normalizado para células inversoras lógicas com transistores Regular-Vt e Low-Vt para diferentes condições de polarização. O eixo do consumo normalizado está em escala logarítmica. A comparação é feita: para diferentes valores de tensão polarização (de -2,00 V à 2,00 V com passo de 1,00 V); e para corners P e N típicos (TT). As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Para deixar um transistor reversamente polarizado, seria preferível o uso de poço normal; enquanto que o oposto seria também válido quando se busca velocidades maiores. Portanto, é possível de se obter circuitos LL até 25 % mais rápidos do que o modo normal de operação apenas aplicando-se essa amplitude maior de tensão de polarização.

Vale ressaltar aqui que as potências muitas vezes superior à referência representam condições de funcionamento fora dos padrões. O que o gráfico visa demonstrar são o aumento do consumo para condições de polarização pró-condução dos planos de fundo. Nestas condições há um aumento considerado do consumo e resultaria na queima do circuito.

5.3.4 Efeito do Polybiasing e do Tamanho da Célula na performance dos inversores

O uso de Polybiasing e tamanhos diferentes de células para tipos diferentes de circuito consistem em algumas dentre as diversas possibilidades da tecnologia FD-SOI. Em busca de

compreender melhor efeitos destas escolhas, analisou-se os diferentes tipos de circuitos inversores nas capacidades mínimas de carga. Em uma primeira análise, utilizaram-se inversores de mesmo tipo que os analisados como carga e na segunda utilizou-se a mesma carga para todos, um capacitor com carga de 14 pF. Esta capacitância é considerada como a carga base (x1) para uma tecnologia 65 nm (biblioteca ST CORE65LPSVT) em virtude da não obtenção do valor de carga base para a biblioteca 28nm FD-SOI analisada.

5.3.4.1 Polybiasing com inversor como carga

Como os diferentes circuitos são feitos para serem usados em diferentes aplicações, optou-se aqui por usar o mesmo tipo de célula analisada como carga. Na figura abaixo são apresentados os atrasos normalizados para cada tipo de transistor, altura de célula e polybiasing.

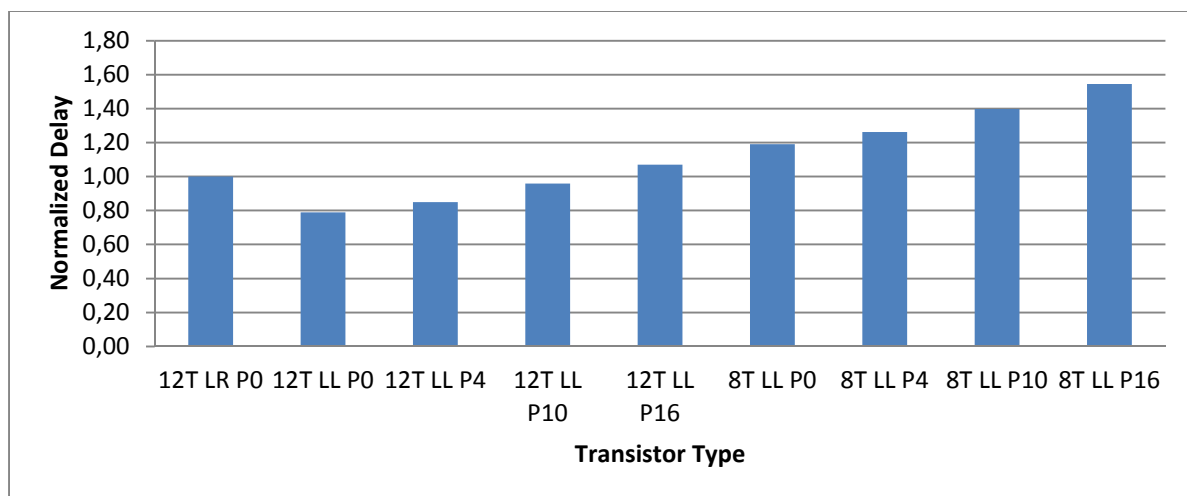


Figura 24 – Atrasos normalizados para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. O mesmo tipo de célula foi utilizado como carga. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação à 1,00 V.

Observa-se aqui que as células maiores são as mais rápidas e que transistor LL é mais rápido do que o seu equivalente em tamanho LR. Além disso, quanto maior o polybiasing, maior é o tempo que o circuito leva para realizar a inversão.

5.3.4.2 Polybiasing com Capacitor como carga

Repetindo-se a análise precedente, compara-se aqui os mesmos circuitos porém com a mesma carga capacitiva. Na figura a seguir são apresentadas as variações de tempo e atraso para cada tipo de transistor.

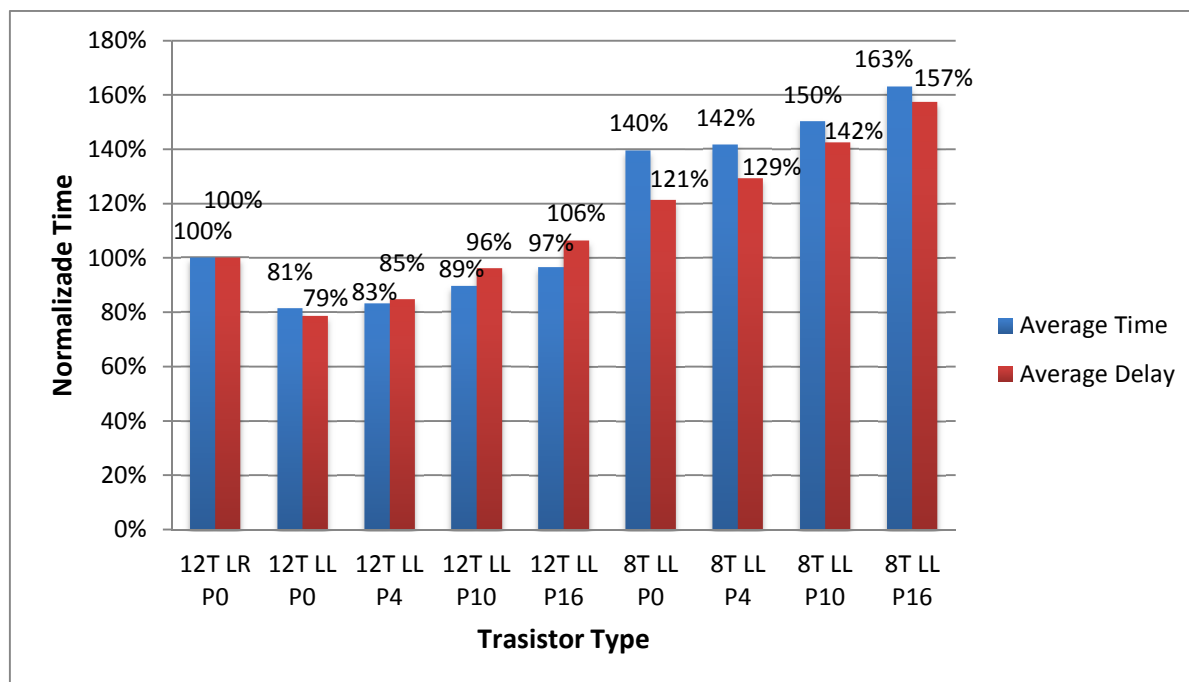


Figura 25 – Tempos e Atrasos normalizados para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos, todos usando carga capacitiva de 14 pF. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação à 1,00 V.

Observa-se aqui a mesma tendência de tempos e atrasos que na análise com inversor como carga. Nota-se que circuitos com 12 T são um pouco mais rápidos do que os de 8 T quando a carga é a mesma.

5.3.4.3 Diferença de consumo com cargas idênticas e distintas

Complementarmente, analisa-se a diferença de consumo do circuito entre o uso de cargas idênticas (capacitância) e para cargas de mesma mesma natureza que o circuito

analisado. A figura abaixo apresenta os valores normalizados de consumo para ambos os casos.

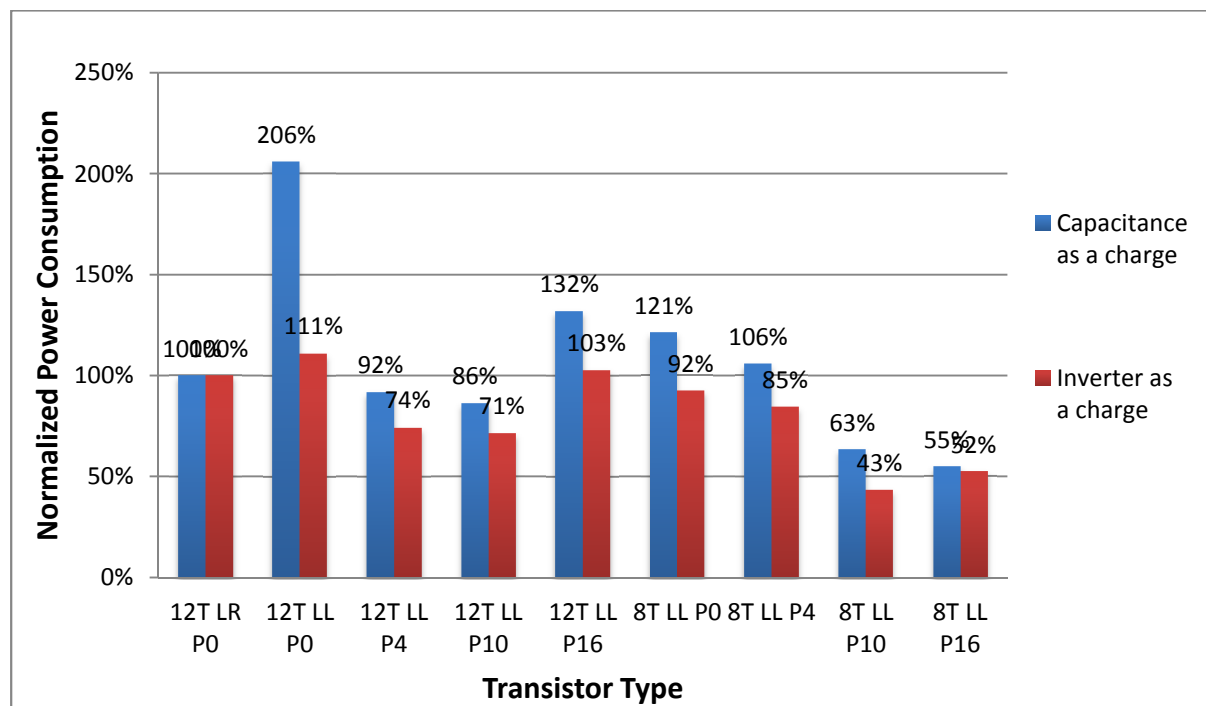


Figura 26 – Consumo médio normalizado para células inversoras lógicas com transistores Regular-Vt e Low-Vt com os diferentes tamanhos polybiasing e de altura de célula. Em vermelho, foi utilizado o mesmo tipo de célula como carga e em azul uma carga capacitiva de 14 pF. A tensão de alimentação é de 1,00 V usando-se polarização típica nos corners P e N típicos. As normalizações foram feitas em relação aos tempos e atrasos de um Inversor com transistor LR P0 TT com tensão de alimentação de 1,00 V.

Nota-se aqui que as células menores possuem menor consumo, verificando-se a influência do tamanho do circuito no seu consumo. O circuito LR 12T possui um consumo menor em relação ao seu equivalente LL, porém para uma carga capacitiva a diferença entre ambos é quase o dobro em relação ao consumo com um inversor como carga. Nota-se que essa diferença de consumo não é tão grande para outros comprimentos de polybiasing e de altura de célula. Observa-se também que células com maior polybiasing possuem consumo menor, porém o mesmo não é válido para o polybiasing de 16 nm, o qual possui consumo maior que os circuitos 10 nm para ambos os tamanhos de célula e também maior que o polybiasing com 4 nm para as células de 12 T.

5.4 C-ELEMENTS

Circuitos C-Elements possuem um funcionamento mais complexo do que os circuitos inversores. Seu uso quando na concepção de circuitos assíncronos justifica uma análise mais detalhada do seu funcionamento nas tecnologias nas quais se procura utilizá-los. Por outro lado, circuitos C-Elements não são amplamente utilizados, devido ao menor uso de lógica assíncrona na concepção de circuitos digitais. Por conta disso, estes circuitos não fazem parte de bibliotecas standart-cell como a apresentada no item 5.2. Optou-se, portanto, por comparar-se quatro diferentes arquiteturas entre as mais básicas usadas para circuitos C-Elements.

Quatro arquiteturas básicas de circuitos C-Element foram apresentadas no subcapítulo 3.3, sendo elas: a Conventional, a Dynamic, a Symmetric e a Weak-Feedback. As quadros foram simuladas em Hspice usando-se descritivo básico de circuito. Como a descrição do circuito para a simulação não foi feita baseada na extração a partir do leiaute, o circuito não contém os elementos parasitas (resistores e capacitores) e não é possível de se analisar o impacto de sua implementação com células compactas (8 T) ou de alta performance (12 T). As análises aqui foram, por conseguinte, feitas também visando-se comparar os diferentes tipos de transistor (RVT e LVT) e também o efeito a variação de polybiasing (P0, P4, P10 e P16).

Apresenta-se inicialmente na figura 27 os tempos de subida e de descida; e os atrasos de subida e de descida normalizados para um circuito C-Element Conventional. Este comparativo visa observar a influência do tipo de transistor utilizado para a concepção do circuito. Deste comparativo é possível observar que os transistores LVT são mais rápidos do que os RVT para um mesmo polybiasing. Apenas para transistores com polybiasing de 10 e de 16 nm que os tempos e atrasos acabam por serem média maiores do que para um transistor RVT.

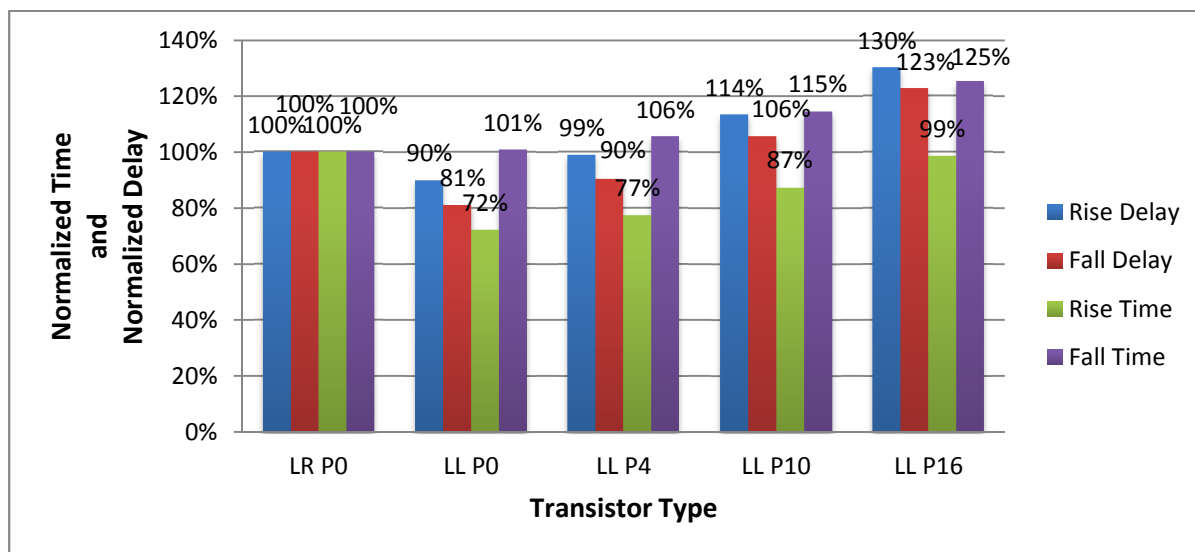


Figura 27 – Tempos e atrasos de subida e descida normalizados de um circuito C-Element Conventional com tensão de alimentação à 1,00 V em corner típico. As normalizações foram feitas em relação aos tempos e atrasos do C-Element Conventional com transistor LR P0 TT.

Para a comparação seguinte, analisa-se o consumo, e as médias entre os atrasos de subida e de descida para as diferentes arquiteturas de C-Elements. O comparativo foi feito em relação ao circuito C-Element Conventional com transistor RVT. Na figura a seguir, é apresentado o comparativo de tempos e atrasos.

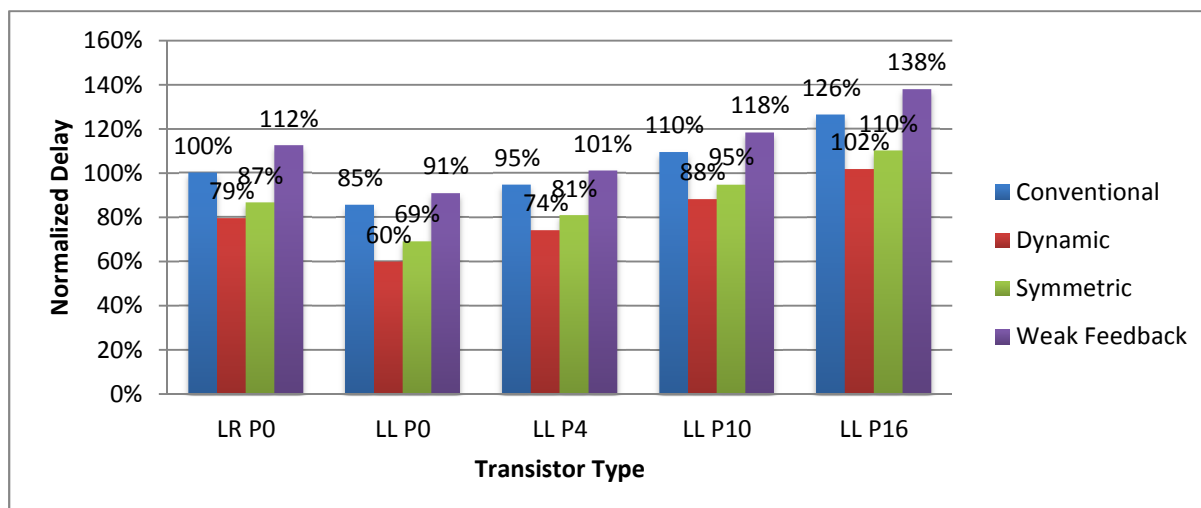


Figura 28 – Média entre os atrasos de subida e descida normalizados de um circuito C-Element Conventional com tensão de alimentação à 1,00 V em corners P e N típicos (TT). As

normalizações foram feitas em relação aos tempos e atrasos do C-Element Conventional com transistor LR P0 TT à mesma tensão.

Nota-se a diferença de velocidade entre as diferentes arquiteturas permanece a mesma para todos os tipos de transistores, algo já esperado. Observa-se também que o circuito mais rápido é o do tipo Dynamic, seguido pelo Symmetric, pelo Conventional e por último pelo Weak-Feedback.

As diferentes arquiteturas de C-Elements possuem o mesmo princípio de funcionamento, porém algumas possuem maior quantidade de transistores que outras. Nos dois gráficos a seguir (figuras 29 e 30), são apresentados, respectivamente, o consumo e o consumo dividido pelo número de transistores para cada circuito C-Element.

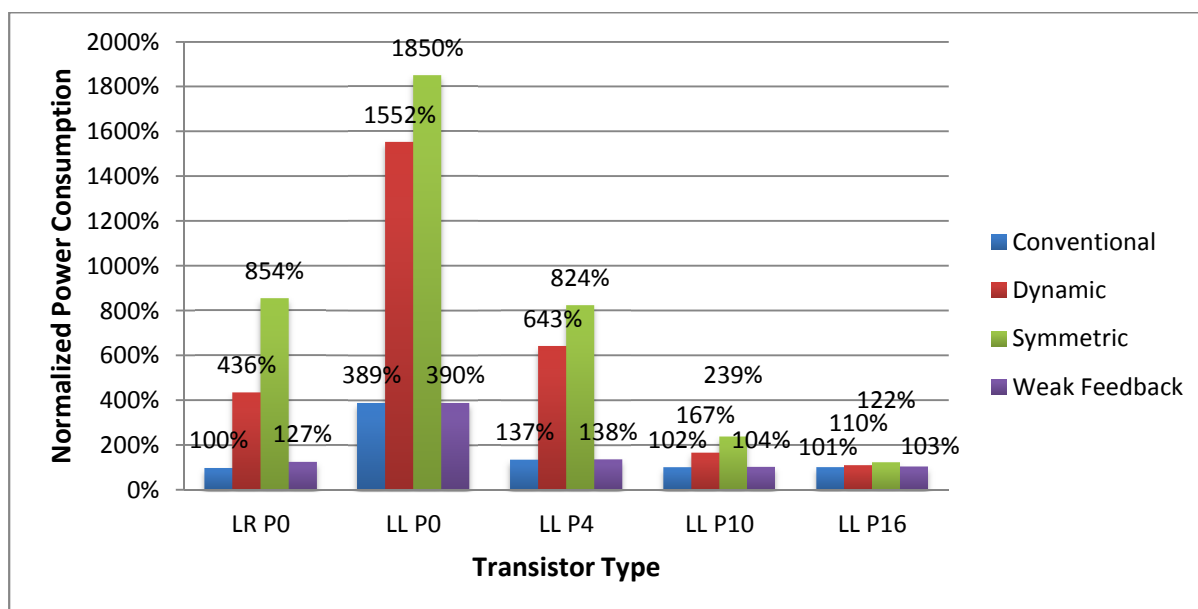


Figura 29 – Consumo normalizado de um circuito C-Element Conventional com tensão de alimentação de 1,00 V em corners P e N típicos (TT). As normalizações foram feitas em relação ao consumo do C-Element Conventional com transistor LR P0 TT à mesma tensão.

Para ambos os comparativos, as arquiteturas Conventional e Weak-Feedback apresentam um menor consumo quando comparadas às demais. Por outro lado, o consumo por transistor da arquitetura Symmetric é menor do que a Dynamic, ao passo que o consumo total de uma arquitetura Symmetric é maior. O mesmo não é válido para a análise de

consumo por transistor quando o tamanho do polybiasing passa a ser mais significativo, ao ponto de que –com polybiasing de 16 nm – a arquitetura Symmetric se torna mais econômica que a Weak-Feedback.

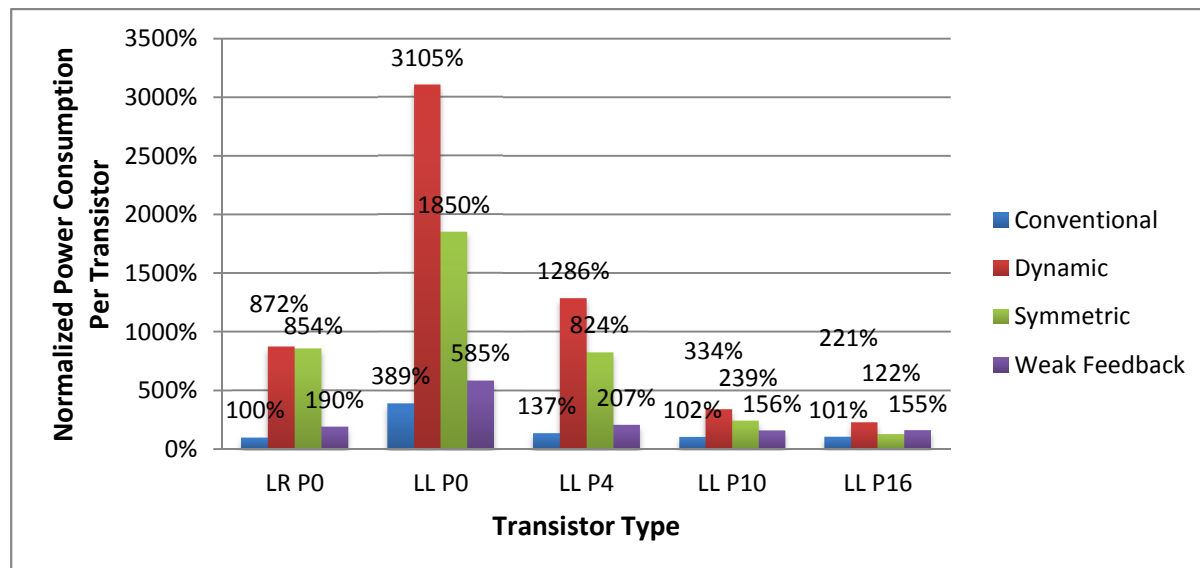


Figura 30 – Consumo por número de transistores para 4 arquiteturas básicas de C-Elements em corners P e N típicos (TT) e com tensão de alimentação de 1,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito C-Element Conventional com transistor LR P0 TT à mesma tensão.

Com base nesses comparativos, fica clara a vantagem relativa do uso de uma arquitetura Convencional quando se compara apenas os trade-offs entre velocidades e consumo. Porém, dependendo da aplicação, outros fatores devem ser levados em conta.

5.5 BOOST CELLS

As Células de Aceleração escolhidas são usadas como Células Desviadoras de Nível de Tensão para circuitos digitais. As Células Desviadoras de Nível de Tensão são normalmente empregadas na variação da tensão de saída de partes do circuito ou mesmo na saída de um chip. Por conta disso, suas amplitudes da tensão de saída são maiores que as de entrada, mudando o valor máximo de tensão do valor da alimentação **V_{dd}** para um valor superior (**V_{high}**).

Para o uso de Células Desviadoras de Nível como células de aceleração, é necessário o projeto de células para fazer a polarização com tensões negativas. Hamon e Beigne (2013) propuseram uma arquitetura para o circuito *Contention Mitigated Level Shifter* reutilizando o circuito inversor para alimentar transistores de ambas as partes. Se fez necessária a proposição de uma adaptação de mesmo estilo para a células *Conventional Level Shifter*.

Comparam-se aqui a performance dos dois circuitos em termos de suas velocidades e consumo. Na figura 31 são apresentadas: a média entre os tempos de subida e descida; bem como a média entre os atrasos de subida e de descida para ambas as partes positiva e negativa.

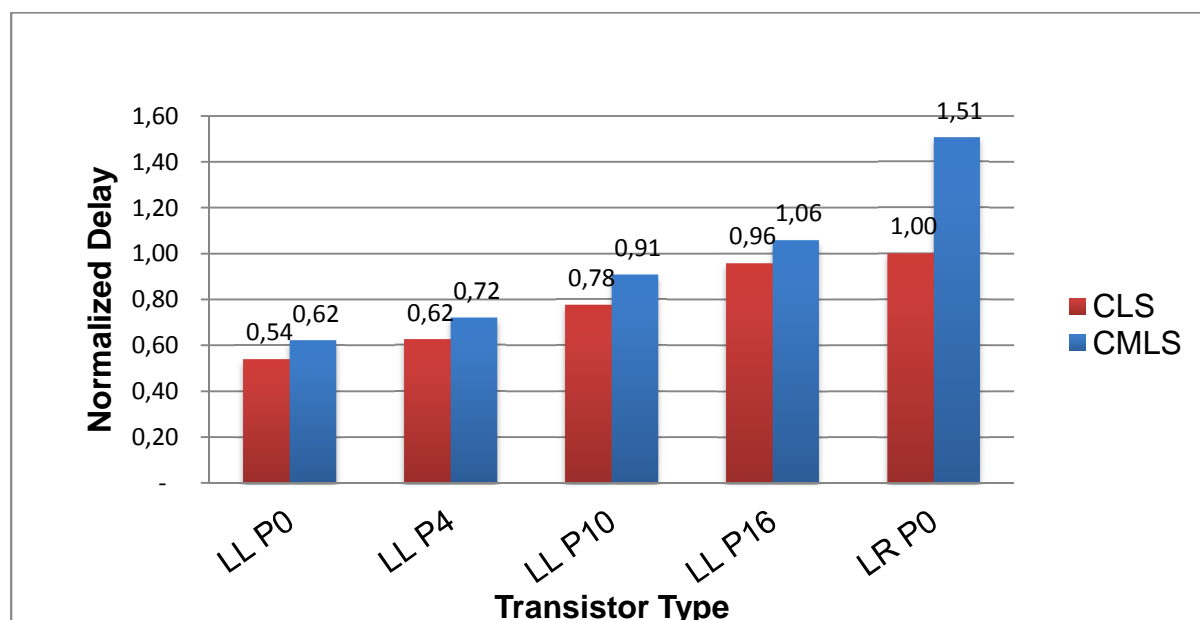


Figura 31 – Média entre o atraso de subida e de descida para circuitos CLS e CMLS em em corners P e N típicos (TT) e com tensão de alimentação básica à 1,00 V e com fontes Vhigh e Vlow à 2,00 V e à -2,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito CLS com transistor LR P0 TT nas mesmas tensões.

Primeiramente, observa-se uma variação dos atrasos conforme a variação do comprimento do polybiasing. Quanto maior o polybiasing, mais lento é o circuito. Além disso nota-se uma superioridade em termos de velocidade de resposta do circuito CLS em relação ao CMLS.

A seguir, na figura 32, é apresentado o comparativo entre o consumo de ambas as arquiteturas de células de aceleração. O consumo de ambas foi também normalizado em relação ao consumo de um circuito CLS com transistor LR P0.

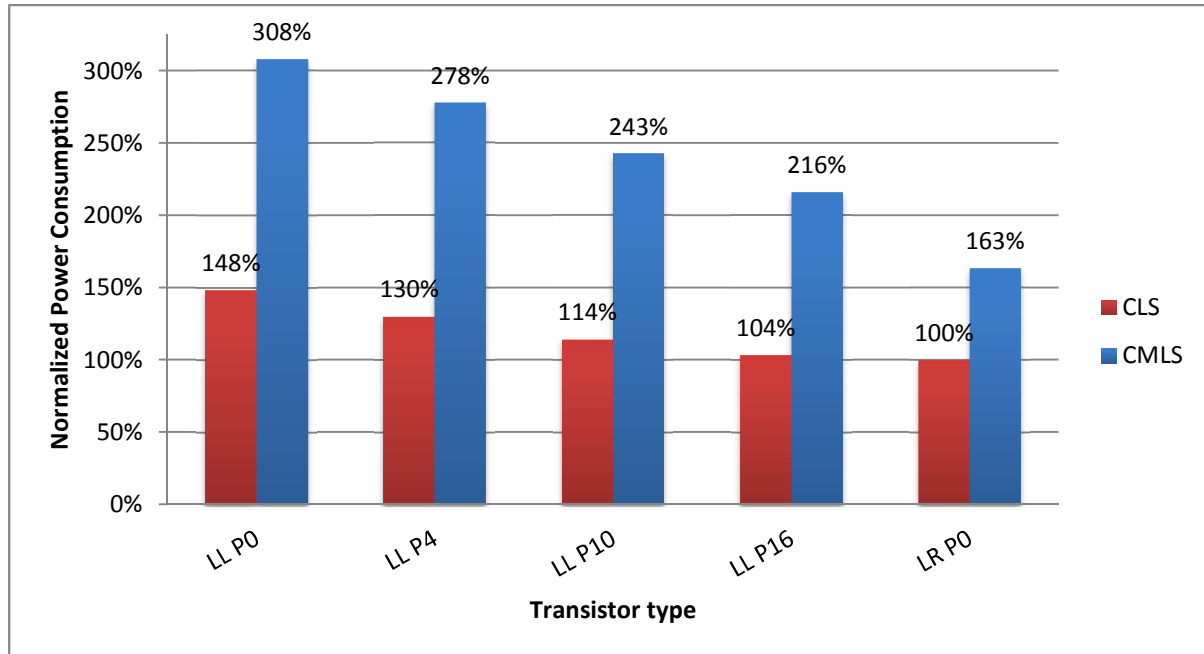


Figura 32 – Comparativo entre a potência média de circuitos CLS e CMLS em em corners P e N típicos (TT) e com tensão de alimentação básica à 1,00 V e com fontes V_{high} e V_{low} à 2,00 V e à -2,00 V. As normalizações foram feitas em relação ao consumo normalizado por número de transistores do circuito CLS com transistor LR P0 TT nas mesmas tensões.

Primeiramente observa-se a influência do polybiasing do circuito na redução do consumo do mesmo. Além disso, nota-se que o consumo de um circuito com transistor LR é mais econômico do que os circuitos com transistores LL, até mesmo com o maior polybiasing disponível. Por último, é possível observar que o circuito CLS é mais econômico do que o circuito CMLS; diferença que varia de 60 % para um transistor LR P0 até um pouco mais do que 2 vezes para um circuito LL P0.

6 CONCLUSÕES E TRABALHOS FUTUROS

Neste trabalho foram apresentadas a tecnologia FD-SOI 28 nm; uma visão geral sobre a lógica de concepção assíncrona e sobre boost cells que permitem a escolha de performance a partir da variação polarização dos transistores.

Tecnologia analisada está entre as mais cotadas para se dar continuidade à redução do tamanho dos circuitos e possibilitando a implementação de circuitos cada vez mais rápidos. Se faz notar que, para espessuras de óxido enterrado tão finas, observa-se um bom efeito de corpo dos transistores. Esse efeito de corpo mais expressivo é a motivação para a investigação de técnicas de redução de consumo com base na variação automática das tensões de polarização conforme uso.

Para a lógica assíncrona, foram vistas as suas principais vantagens no que diz respeito à consumo, velocidade e interferência eletromagnética. Como foi visto por alguns trabalhos, esta lógica pode ser mais econômica em termos de consumo de energia. Mesmo assim, e por não ser tão amplamente empregada, esta lógica de concepção carece de um maior desenvolvimento de ferramentas para a sua concepção.

No que diz respeito às células de aceleração, foram vistos o uso de circuitos desviadores de nível de tensão adaptado para possibilitar a polarização com tensões positivas e com tensões negativas. Utilizou-se a adaptação de um circuito CMLS como base para a adaptação do circuito CLS para a mesma função.

Foi mostrada a possibilidade de unir-se estes três pontos diferentes em busca de uma concepção de circuito mais econômica em termos de consumo energia. E, de forma a entender melhor como funcionam a tecnologia FD-SOI, células básicas de concepção assíncronas e desviadores de tensão, realizou-se uma análise a partir de simulação elétrica de elementos que representam estes tópicos.

A partir das simulações, observou-se de forma qualitativa e quantitativa as possibilidades da tecnologia em diferentes dispositivos eletrônicos. Os transistores Regular-Vt são mais lentos e mais econômicos em relação à transistores Low-Vt, foi visto também que essa diferença muda conforme a complexidade do circuito. Observou-se também que células com alturas menores (com 8T de altura) são mais lentas, porém mais compactas, permitindo um ganho de área do circuito. Foi possível observar a diferença de tempos e de consumo entre as arquiteturas CLS e CMLS adaptadas para uso como células aceleradoras.

Algumas possibilidades de sequência para este trabalho foram observadas ao longo do desenvolvimento do mesmo. A parte de concepção é a primeira delas. A segunda é compreender melhor o efeito de carga do plano de fundo para um melhor dimensionamento dos circuitos de polarização. E por último, explorar ou propor outras arquiteturas de células de aceleração.

Uma pesquisa mais aprofundada em relação à concepção do leiaute do circuito e o uso de células extraídas a partir do leiaute darão uma aproximação mais realística das perdas e variações. Além disso, seria interessante o uso ou o desenvolvimento de uma ferramenta de concepção automatizada de leiaute, principalmente para células assíncronas que não são normalmente encontradas em bibliotecas standard cell.

Para a segunda parte, é necessário avaliar-se como é vista a polarização do substrato para uma célula de aceleração. Isso pode ser feito, buscando-se traçar um modelo similar ao de carga, porém relacionando-a com a área.

Finalmente, outras arquiteturas de level shifters – para serem usadas como células de aceleração – foram vistas ao longo do desenvolvimento do projeto. Algumas possuíam vantagens que não úteis quando para esta aplicação. Porém, outras apresentavam consumo e velocidades menores. Deve-se portanto explorar isso, através da criação da arquitetura

complementar para tensões negativas; o que pode vir a representar um ganho em economia de energia e/ou velocidade.

REFERÊNCIAS BIBLIOGRÁFICAS

- BASTOS; R. P.. Transient-Fault Robust Systems Exploting Quasi-Delay Insensitive Asynchronous Circuits. Programa de Pós-Graduação em Microeletrônicas, Universidade Federal do Rio Grande do Sul, Porto Alegre,2010.
- BEEREL, P. A. ;OZDAG, R. O.; FERRETTI, M.. A Designer's Guide to Asynchronous VLSI. Cambridge University Press, [S. l.],2010.
- BERKEL, K. V; BURGESS, R.; KESSELS, J.; RONCKEN, M.; SCHAW, F. Asynchronous Circuits for Low Power: A DCC Error Corrector. IEEE Design & Test of Computers, 1994.
- CATTANEO, M. Efeito de Corpo em transistores SOI de porta dupla vertical. Dissertação de Mestrado. Centro Universitário da FEI, São Bernardo do Campo, 2009.
- CELLER, G. K.; CRISTOLOVENEANU, S. . Frontiers of silicon-on-insulator. Journal of Applied Physics Volume 93, p. 4955 à 4978. American Institute of Physics, [S. l.], 2003.
- CRISTOLOVEANU, S.; BALESTRA, F. Technologie silicium sur isolant (SOI). Les Sélections : Dossier Techniques de l'ingénieur e2380. Éditions T. I., 2013.
- CRISTOLOVENEANU, S.; LI, S. S.. Electrical characterization of silicon-on-insulator materials and devices. Springer, Norwell, 1995
- DEMONE, P. The Stuff Dream Are Made Of [Part 2]. [S. l.], 2002. Disponível em: <<http://www.realworldtech.com/cmos-logic/>>. Acessada em: 07/07/2014.
- DWIVEDI, D.; DWIVEDI, S.; POTLADHURTHI, E.. Voltage up level shifter with improved performance and reduced power. 25th IEEE Canadian Conference on Electrical and Computer Engineering (CCECE), [S. l.], 2012.
- FAYNOT, O.; VANDOOREN, A.; RITZENTHALER, R.; POIROUX, T.; LOLIVIER, J.; JAHAN, C.; BARRAUD, S.; ERNST, T.; ADRIEU, F.; CASSE, M.; GIFFARD, B; DELEONIBUS, S.. Advanced SOI MOSFETs: structures and devices physics. Silicon-on-Insulator Technology and Devices XII, p.: 1 a 10. The Electrochemical Society, Inc, [S. l.], 2005.
- FLATRESSE, F. UTBB-FDSOI Design & Migration Methodology. ST Microelectronics. [S. l.], 2013. Disponível em: <http://cmp.imag.fr/documents/doc/UTBB-FDSOI%20Design%20and%20Migration%20Methodology_.pdf>. Acessado em: 07/07/2014 14:04. 2013.
- GREAVES, D. J.. Four-Phase Handshake in Synchronous, Asynchronous and Behavioural Forms – Revision Notes. University of Cambridge, Cambridge, 2013. Disponível em: <<https://c.cam.ac.uk/~djg11/www/pr/fourphase/fourphase.html>>. Acessado em: 25/06/2014, 10:32:00.
- HAMON; J., BEIGNE; E.. Automatic Leakage Control for Wide Range Performance QDI Assynchronous Circuits in FD-SOI technology. IEEE Computer Society: International Symposium on Asynchronous Circuits and Systems, [S. l.], 2013.

HARS, A.. Wafer leaders extend basis for global SOI supply. [S. 1.], 2012. Disponível em: <<http://www.advancedsubstratenews.com/2012/10/wafer-leaders-extend-basis-for-global-soi-supply/>>. Acessado em: 09/07/2014 15:05.

JACQUET, D.. Architectural choices & design-implementation methodologies for exploiting extended FD-SOI DVFS & body-bias capabilities. SOI technologie Summit, VLSI Symposium, Shanghai, 2013

JONES, H. Economic impact of the technology choices at 28nm/20nm. International Business Strategies. Los Gatos, 2012. Disponível em: http://www.soiconsortium.org/pdf/Economic_Impact_of_the_Technology_Choices_at_28nm_20nm.pdf . Acessado em 03/12/2014 11:32.

KOOMEY, J.G. ; BERARD, S. ; SANCHEZ, M.; WONG, H..Implications of Historical Trends in the Electrical Efficiency of Computing. Annals of the History of Computing, IEEE, [S. 1.], 2011.

LIU, Q.; et al. Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices. in Proc. Symp. VLSIT, [S. 1.], 2011, pp. 160–161.

MARTIN, A. J. The Limitations to Delay-Insensitive in Asynchronous Circuits. Para aparecer em: The 6th MIT Conference on Advantage Research in VLSI. Proceedings MIT Press, 1990.

MENTOR GRAPHICS. Fully Depleted (FD) vs Partially Depleted (PD) SOI. Advanced Substrate News. SOITEC, [S. 1.], 2008. Disponível em: <<http://www.advancedsubstratenews.com/2008/05/fully-depleted-fd-vs-partially-depleted-pd-soi>>. Acessado em: 02/07/2014. 17:12:00.

MOORE, G. E. Cramming More Components onto Integrated Circuits. Proceedings of the IEEE, vol. 86, n 1. IEEE, [S. 1.], 1998.

MOREIRA, M. T.; GUAZZELLI, R. A; CALAZANS, N. L. V.. Return-to-One DIMS Logic on 4-phase m-of-n Asynchronous Circuits. Publicado em: Electronics, Circuits and Systems (ICECS), 19th IEEE International Conference on. IEEE, [S. 1.], 2012 p. 669-672.

NAZAROV et al. Semiconductor-On-Insulator Materials for Nanoelectronics Applications. Springer Science & Business Media, 2011 - 409 páginas

NOEL J.; THOMAS, O; JAUD, M.; WEBER, O.; POIROUX, T; FENOUILLET-BERANGER, C.; RIVALLIN, P.; SCHEIBLIN, P; ANDRIEU, F.; VINET, M.; ROZEAU, O.; BOEUF, F.; FAYNOT, O.; AMARA, A.. Multi-VT UTBB FDSOI Device Architectures for Low-Power CMOS Circuit. IEEE Transactions on Electron Devices, 2011.

OHTOU, T.; SARAYA, T.; HIRAMOTO, T.. Variable-Body-Factor SOI MOSFET With Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control. IEEE Transactions on Electron Devices [S. 1.], 2008.

PAYNE , D.. Designing with FinFETs. 2012 disponível em: <https://www.semiwiki.com/forum/content/1709-designing-finjets.html> acessado em: 19/12/2014 às 09:11.

RABAEY, J. M.; CHANDRAKASAN, A.; NIKOLIC, B. Digital Integrated Circuits, A design Perspective 2nd Ed. Prentice Hall, 2003.

SINGH, R. K.; SAXENA, A.; RASTOGI, M.. Silicon on Insulator Technology Review. International Journal of Engineering Sciences & Emerging Technologies, 2011. Volume 1, Issue 1, pp: 1-16

SKOTNICKI, T. Competitive SOC with UTBB SOI. SOI Conf. , Phoenix A., 2011

SPARSØ, J. Asynchronous Circuit Design, A Tutorial. Technical University of Denmark, 2006.

ST MICROELECTRONICS. Learn more about FD-SOI. [S. 1.], 2014 Disponível em: <http://www.st.com/web/en/about_st/learn_fd-soi.html>. Acesso em: 02/07/2014 às 17:10:00. [2014a]

ST MICROELECTRONICS. An introduction to FD-SOI. St Online Media, [S. 1.], 2013 Disponível em: <<http://www.youtube.com/watch?v=uvV7jcpQ7UY>> Acesso em: 02/07/2014, 17:00:00.

ST MICROELECTRONICS. Continuing Moore's law. [S. 1.], 2014. Disponível em: <http://www.st.com/web/en/about_st/moore_law.html> . Acesso em: 02/07/2014, 17:05:00. [2014b]

TRAN, C. Q.; KAWAGUCHI, H.; SAKURAI, T. Low-power High-speed Level Shifter Design for Block-level Dynamic Voltage Scaling Environment. IEEE International Conference on Integrated Circuit and Technology, 2005.