

225

VERIFICAÇÃO E ELIMINAÇÃO DE REDUNDÂNCIAS EM EXPRESSÕES LÓGICAS. *Tiago P. Camargo, André I. Reis, Ricardo R. A. L. Reis* (Departamento de Informática Aplicada, Instituto de Informática, UFRGS)

Expressões lógicas representadas em álgebra Booleana podem conter redundâncias de escritura. Por exemplo, a função $a+a'$ é sempre verdadeira para todo e qualquer valor da variável a . Expressões que são sempre verdadeiras independentemente dos valores assumidos por suas variáveis são conhecidas como tautologias. Este estudo visa identificar e remover as redundâncias de uma expressão lógica multi-nível. A motivação para este processo é que a diminuição do “tamanho” das equações lógicas necessárias para representar uma função lógica vai resultar em circuitos menores para a mesma funcionalidade. O método utilizado parte de uma representação lógica sob a forma de um grafo de decisão binária (*BDD – Binary Decision Diagram*, em inglês). Os caminhos deste grafo são avaliados de modo a verificar se todas as arestas do grafo podem ser atingidas, considerando-se os valores das variáveis ao longo do caminho. As arestas que não podem ser visitadas não contribuem para a funcionalidade da equação representada no grafo e portanto podem ser removidas. Uma particularidade do grafo utilizado é que existe uma correspondência direta entre as arestas do grafo e os transistores do circuito final. A remoção de arestas do grafo representa então a remoção de transistores do circuito que será implementado. Esta redução do número de arestas leva a uma minimização do número de transistores necessários à implementação de um dado circuito. Os resultados obtidos demonstram uma redução significativa do número de transistores devido à eliminação de redundâncias na funcionalidade do circuito. O método proposto está sendo implementado em linguagem C++ (CNPq/UFRGS).