



Universidad
Zaragoza

Trabajo Fin de Grado

Diseño CMOS de celdas RFIC para aplicaciones
de radio sobre fibra RoF

CMOS design of RFIC cells for radio over fiber
applications

Autor

Jorge Morte Palacios

Directores

Santiago Celma Pueyo

Francisco Aznar Tabuena

Ponente

Javier Mateo Gascón

Escuela de Ingeniería y Arquitectura, Universidad de Zaragoza

2017



DECLARACIÓN DE AUTORÍA Y ORIGINALIDAD

(Este documento debe acompañar al Trabajo Fin de Grado (TFG)/Trabajo Fin de Máster (TFM) cuando sea depositado para su evaluación).

TRABAJOS DE FIN DE GRADO / FIN DE MÁSTER

D./D^{ña}. Jorge Morte Palacios

con nº de DNI 73024191L en aplicación de lo dispuesto en el art.

14 (Derechos de autor) del Acuerdo de 11 de septiembre de 2014, del Consejo

de Gobierno, por el que se aprueba el Reglamento de los TFG y TFM de la

Universidad de Zaragoza,

Declaro que el presente Trabajo de Fin de (Grado/Máster)

Grado _____, (Título del Trabajo)

Diseño CMOS de celdas RFIC para aplicaciones de radio sobre fibra RoF

es de mi autoría y es original, no habiéndose utilizado fuente sin ser citada debidamente.

Zaragoza, 20 de Junio de 2017

Fdo: Jorge Morte Palacios

RESUMEN

Diseño CMOS de celdas RFIC para aplicaciones de radio sobre fibra RoF

Este trabajo de fin de grado ha consistido principalmente en el diseño y caracterización de mezcladores pasivos en una tecnología CMOS para aplicaciones de radio sobre fibra (RoF) en redes de área doméstica (HAN).

El proyecto ha constado de distintas fases. La primera de ellas ha sido el estudio teórico y revisión bibliográfica de los mezcladores pasivos y filtros polifase como elementos principales en transceptores integrados de radio frecuencia (RF), para ello ha sido necesario comprender el procesamiento de la señal en toda la cadena del *front-end*.

Una vez elegidas las topologías de los mezcladores, se ha realizado un análisis exhaustivo del comportamiento en cuanto a sus parámetros más importantes, con las limitaciones propias de la tecnología de fabricación escogida (CMOS 65 nm 1.2V), y a partir de ellos elegir la topología óptima para el diseño del bloque mínimo que forma el mezclador.

La siguiente fase se centra en el desarrollo de mezcladores I-Q, caracterizando completamente la topología escogida y las alternativas que mejoran en algún aspecto a la propuesta, centrándose principalmente en el *Image Rejection Ratio* (IRR) como uno de los parámetros más importantes de estas estructuras y una de las especificaciones más difíciles de cumplir. Para ello se realizan análisis de *mismatch* y de variaciones de proceso mediante el análisis de Montecarlo.

La última fase ha consistido en realizar el diseño físico o *layout*, aplicando las técnicas de diseño apropiadas en función de los resultados previos, y obteniendo los resultados extraídos del *post layout* para realizar una comparativa entre el diseño ideal y el obtenido.

Mediante estas actividades se ha conseguido la adquisición de competencias y habilidades en el uso de herramientas específicas de diseño y simulación de circuitos integrados de radiofrecuencia (RFIC) en tecnologías CMOS nanométricas.

Palabras clave: Mezcladores pasivos, Mezcladores I-Q, filtros polifase analógicos (PPF), complementary metal-oxide-semiconductor (CMOS), unidad de antena remota (RAU), Image Rejection Ratio (IRR), Home Access Network (HAN), Radio Frequency Integrated Circuit (RFIC)

Índice

1.	Introducción	1
1.1	Arquitectura de la RAU.....	2
1.2	Descripción del proyecto y metodologías	3
1.3	Objetivos	3
1.4	Estructura de la memoria.....	4
2.	Tipos de mezcladores, especificaciones y análisis previos.....	5
2.1	Tipos de mezcladores	5
2.1.1	Activos - Pasivos	5
2.1.2	Up – Down conversion	6
2.1.3	Balanceados – No balanceados.....	6
2.2	Parámetros de los mezcladores	6
2.3	Mezcladores pasivos. Análisis de soluciones	8
2.3.1	Mezclador en anillo NMOS.....	8
2.3.2	Mezclador en anillo CMOS	11
2.3.3	Mezclador H-Bridge.....	13
2.4	Elección de topología	14
2.5	Análisis de ruido	14
2.5.1	Análisis de ruido blanco	15
3.	Mezcladores I-Q	17
3.1	Teoría mezcla I-Q.....	17
3.1.1	Up conversion en cuadratura	17
3.1.2	Down conversion en cuadratura	19
3.1.3	Mezclador en doble cuadratura	21
3.2	Caracterización del mezclador I-Q	22
3.2.1	Pérdidas de conversión	22
3.2.2	Linealidad	23
3.2.3	Aislamiento entre puertos	26
3.2.4	Ruido	28
4.	Impacto del mezclador en el IRR.....	29
4.1	Definición del IRR	29
4.1.1	Down conversion.....	29
4.1.2	Up conversion.....	30
4.2	Análisis del impacto del mezclador I-Q	30

4.3	Análisis del IRR en up conversion.....	32
4.3.1	Alternativa de oscilador local.....	35
4.3.2	Efectos de las no idealidades en el oscilador local.....	36
4.4	Análisis del IRR en down conversion.....	39
4.4.1	Efectos de las no idealidades en el oscilador local.....	40
5.	Layout físico.....	43
5.1	Técnicas de layout.....	43
5.1.1	Anillo de guarda.....	43
5.1.2	Centroide común.....	43
5.1.3	Componentes dummy.....	44
5.2	Layout.....	44
5.3	Caracterización post-layout.....	46
6.	Conclusiones.....	47
6.1	Conclusiones generales.....	47
6.2	Líneas futuras de trabajo.....	48
7.	Referencias.....	49
I.	Transistor MOS y análisis como interruptor.....	i
II.	Análisis de Montecarlo.....	v
III.	Simulaciones no lineales en Cadence.....	vi
IV.	Filtros polifase analógicos.....	vii
V.	Referencia de tensión.....	ix

Lista de figuras

Figura 1. Ejemplo de una distribución de unidades de antenas remotas [3].....	1
Figura 2. Diagrama de bloques de la distribución de señal hasta la RAU	1
Figura 3. Diagrama de bloques de la arquitectura de la RAU.	2
Figura 4. Símbolo del mezclador.....	5
Figura 5. Mezclador pasivo en anillo NMOS.....	9
Figura 6. Relación entrada (IF) – salida (RF) de potencias del mezclador NMOS	10
Figura 7. Curvas IP3 del mezclador NMOS	10
Figura 8. Figura de ruido del mezclador NMOS en función de la frecuencia relativa de la banda lateral..	10
Figura 9. Mezclador pasivo en anillo CMOS	11
Figura 10. Relación entrada (IF) – salida (RF) de potencias del mezclador CMOS.....	12
Figura 11. Curvas IP3 del mezclador CMOS.	12
Figura 12. Figura de ruido del mezclador CMOS en función de la frecuencia relativa de la banda lateral.	13
Figura 13. Mezclador pasivo H-Bridge.....	13
Figura 14. Densidad de potencia de ruido de salida en un circuito con ruido flicker.....	15
Figura 15. Diagrama de bloques simplificado de up conversion	17
Figura 16. (a) Descomposición de una secuencia con desbalance de amplitud. (b) Descomposición de una secuencia con desbalance de fase	18
Figura 17. (a) Diagrama de bloques simplificado de un transmisor heterodino simple. (b) Diagrama de bloques simplificado de un transmisor heterodino en cuadratura.	19
Figura 18. Descripción gráfica del proceso de mezcla en cuadratura en up conversion	19
Figura 19. Diagrama de bloques simplificado de down conversion	20
Figura 20. Descripción gráfica del proceso de mezcla en cuadratura en down conversion	20
Figura 21. (a) Diagrama de bloques simplificado de un receptor heterodino simple. (b) Diagrama de bloques simplificado de un receptor heterodino en cuadratura.....	21
Figura 22. Mezclador en doble cuadratura	22
Figura 23. (a) Pérdidas de conversión en función de las dimensiones W/L. (b) Pérdidas de conversión en función de las impedancias terminales. Up conversion.....	23
Figura 24. (a) Pérdidas de conversión en función de las dimensiones W/L. (b) Pérdidas de conversión en función de las impedancias terminales. Down conversion	23
Figura 25. IIP3 del mezclador en cuadratura en función de las dimensiones de los transistores en up conversion.	24
Figura 26. P1dB del mezclador en cuadratura en función de las dimensiones de los transistores en up conversion.	25
Figura 27. IIP3 mezclador en cuadratura en función de las dimensiones de los transistores en down conversion.	25
Figura 28. P1dB mezclador en cuadratura en función de las dimensiones de los transistores en down conversion.	26
Figura 29. Aislamiento LO-Salida mezclador I-Q 48 μm / 100 nm.....	27
Figura 30. (a) Aislamiento IF-RF en up conversion W/L = 48 μm / 100 nm mezclador I-Q. (b) Aislamiento RF-IF en down conversion W/L = 48 μm / 100 nm mezclador I-Q.....	27
Figura 31. (a) Figura de ruido en up conversion en función de las dimensiones de los transistores. (b) Figura de ruido en down conversion en función de las dimensiones de los transistores.....	28
Figura 32. Descripción del IRR en down conversion.	29
Figura 33. Descripción de IRR en up conversion.	30
Figura 34. Descripción de la influencia de desbalances en el IRR.	31
Figura 35. Histogramas IRR en up conversion. De izquierda a derecha, 96 μm / 200 nm, 40 μm / 200 nm y 40 μm / 60 nm.	32

Figura 36. IRR en función del mismatch en transistores equivalentes I-Q con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en up conversion.....	33
Figura 37. IRR en función de la diferencia entre las impedancias de fuente con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en up conversion.	34
Figura 38. Señal de oscilador local con duty cycle del 25 %.	35
Figura 39. Histogramas IRR en up conversion con una señal de oscilador local de duty cycle del 25 %. De izquierda a derecha, $96 \mu\text{m} / 200 \text{ nm}$, $40 \mu\text{m} / 200 \text{ nm}$ y $40 \mu\text{m} / 60 \text{ nm}$	35
Figura 40. IRR con un error del oscilador local del 1 % en up conversion con $48 \mu\text{m} / 60 \text{ nm}$	37
Figura 41. IRR del mezclador simple en función de los errores de amplitud y fase del oscilador local en up conversion.	38
Figura 42. Pérdidas de conversión en función de la amplitud pico a pico del LO en up conversion.	38
Figura 43. IRR en función de la diferencia entre transistores equivalentes I-Q en down conversion. Con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en down conversion.	39
Figura 44. IRR en función de la diferencia entre las impedancias de carga con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en down conversion.	40
Figura 45. Histograma IRR con un error de fase en el oscilador local del 1 % en down conversion con $96 \mu\text{m} / 200 \text{ nm}$	41
Figura 46. IRR del mezclador simple I-Q en función de los errores de amplitud y fase del oscilador local en down conversion.....	42
Figura 47. Pérdidas de conversión en función de la amplitud pico a pico del LO en down conversion.	42
Figura 48. (a) Vista transversal del anillo de guarda (b) Vista desde arriba del anillo de guarda [12].	43
Figura 49. Ejemplo de centroide común 2D.....	44
Figura 50. Centroides común aplicado al diseño final.....	45
Figura 51. Layout físico del mezclador en cuadratura.	45
Figura 52. Transistor NMOS como interruptor	i
Figura 53. Ganancia de conversión de un interruptor NMOS en up conversion. $IF = 0 - 2.5 \text{ GHz}$, $RF = 2.5 - 5 \text{ GHz}$	ii
Figura 54. Ganancia de conversión de un interruptor NMOS en down conversion. $IF = 0 - 2.5 \text{ GHz}$, $RF = 2.5 - 5 \text{ GHz}$	iii
Figura 55. Filtro polifase analógico de una etapa [10].	vii
Figura 56. Principio de funcionamiento del filtro polifase [10].	viii
Figura 57. Divisor de tensión CMOS	ix
Figura 58. Tensión de referencia en función de la temperatura.....	x
Figura 59. Histograma de la tensión de referencia a 27°C	xi

Lista de tablas

<i>Tabla 1. Parámetros principales mezclador NMOS</i>	9
<i>Tabla 2. Parámetros principales mezclador CMOS</i>	11
<i>Tabla 3. Comparativa de los parámetros principales de los mezcladores NMOS y CMOS</i>	14
<i>Tabla 4. Valores del aislamiento entre IF-RF en up conversion.</i>	27
<i>Tabla 5. Valores del aislamiento entre RF-IF en down conversion.</i>	27
<i>Tabla 6. Valores de aislamiento entre el oscilador local y la salida</i>	28
<i>Tabla 7. Comparación del IRR en función de las dimensiones de los transistores en up conversion.</i>	32
<i>Tabla 8. Conexiones de los transistores del mezclador I-Q</i>	34
<i>Tabla 9. Comparación del IRR en función de las dimensiones de los transistores en up conversion utilizando un oscilador local con un duty cycle del 25 %.</i>	35
<i>Tabla 10. IRR con solape de mismatch y no idealidades en el oscilador local en up conversion</i>	37
<i>Tabla 11. Errores de amplitud y fase en el oscilador local barridos con el mezclador en doble cuadratura en up conversion.</i>	38
<i>Tabla 12. Comparación del IRR en función de las dimensiones de los transistores en down. conversion.</i> .	39
<i>Tabla 13. Errores de amplitud y fase del oscilador local barridos con el mezclador en doble cuadratura en down conversion.</i>	41
<i>Tabla 14. Dimensiones del diseño físico final.</i>	46
<i>Tabla 15. Comparativa entre los resultados del post-layout y del esquemático</i>	46
<i>Tabla 16. Capacidades parásitas transistor NMOS en función de sus dimensiones</i>	iii
<i>Tabla 17. Dimensiones transistores PMOS y NMOS del divisor resistivo</i>	ix

Lista de acrónimos

DAS	<i>Sistemas de antenas distribuidas</i>
g_{DS}	<i>Conductancia MOS</i>
HAN	<i>Home Access Network</i>
IF	<i>Frecuencia intermedia</i>
IIP3	<i>Input intercept point third order intermodulation products</i>
IRR	<i>Image rejection ratio</i>
L	<i>Longitud del canal de un transistor MOS</i>
LNA	<i>Amplificador de bajo ruido</i>
LO	<i>Oscilador local</i>
LPTV	<i>Lineal periódicamente variante temporal</i>
LTI	<i>Lineal invariante temporal</i>
LTV	<i>Lineal variante temporal</i>
NF	<i>Figura de ruido</i>
NMOS	<i>N-channel metal oxide semiconductor</i>
P1dB	<i>Punto de compresión a 1 dB</i>
PMOS	<i>P-channel metal oxide semiconductor</i>
PPF	<i>Filtro polifase</i>
R_{DS}	<i>Resistencia entre drenador y fuente</i>
RAU	<i>Unidad de antena remota</i>
RF	<i>Radio frecuencia</i>
RoF	<i>Radio sobre fibra</i>
TIA	<i>Amplificador de transimpedancia</i>
V_{DS}	<i>Tensión entre drenador y fuente</i>
V_{GS}	<i>Tensión entre puerta y fuente</i>
V_{TH}	<i>Tensión umbral de transistores MOS</i>
VCSEL	<i>Vertical cavity surface emitting laser</i>
W	<i>Anchura del canal de un transistor MOS</i>

1. Introducción

El proyecto de fin de grado se contextualiza dentro de un proyecto de investigación del Grupo de Diseño Electrónico (GDE), que consiste en el desarrollo de unidades de antenas remotas (RAU) completamente integradas, diseñadas para la distribución por fibra óptica de sistemas de múltiple entrada y múltiple salida (MIMO). El propósito es aplicar este sistema a una red WLAN de corto alcance, cumpliendo el estándar 802.11n a frecuencias de portadora en la banda de los 5 GHz.

Se utiliza un sistema de antenas distribuidas (DAS) con el objetivo de abordar todas las zonas sin cobertura dentro de edificios. Este sistema también ofrece una mayor flexibilidad con un buen compromiso entre el coste y rendimiento [1].

En sistemas DAS, múltiples RAUs se distribuyen en un área, conectando éstas a una central de procesado en banda base (CBPU), la cual es capaz de procesar grandes cantidades de datos utilizando técnicas avanzadas de procesamiento de señal, sirviendo además de puerta de enlace con otras redes. En la Figura 1 se muestra un ejemplo de cómo sería la distribución de las RAUs en redes domésticas (HAN) [2].

Los sistemas MIMO alcanzan un alto nivel de diversidad espacial por el hecho de distribuir las antenas, reduciendo además el problema de la interferencia entre usuarios utilizando técnicas de coordinación entre RAUs.

La distribución de los datos desde la CBPU hasta las RAUs puede realizarse mediante cable coaxial o un enlace de fibra óptica. Los sistemas DAS conectados por fibra son la opción preferente debido al gran ancho de banda, las bajas pérdidas y la transmisión libre de interferencias ofrecidas por la fibra óptica.

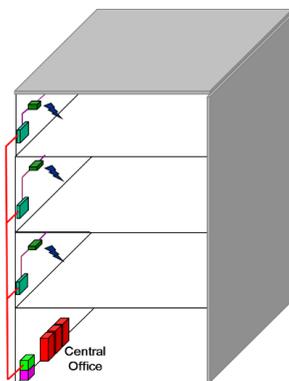


Figura 1. Ejemplo de una distribución de unidades de antenas remotas [3].

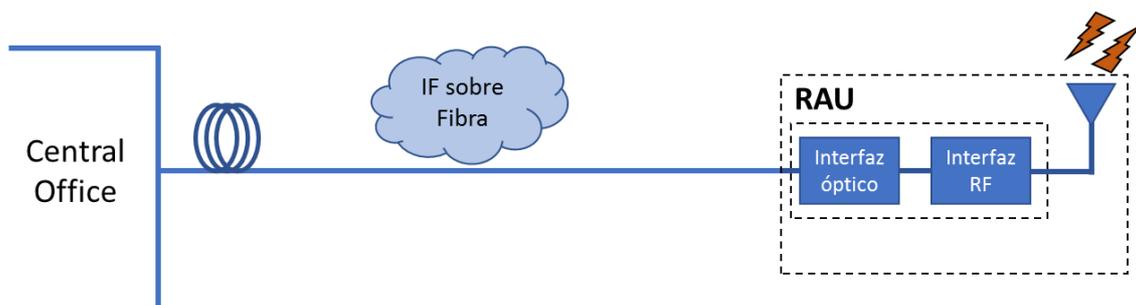


Figura 2. Diagrama de bloques de la distribución de señal hasta la RAU

Existen tres alternativas para distribuir la señal a través de la fibra óptica hasta las RAU, enviar la señal directamente en banda base, en frecuencia intermedia o a radio frecuencia. La aplicación propuesta envía la información modulada en frecuencia intermedia a través del enlace, tratándose de *IF over fiber* como se muestra en la Figura 2, en el siguiente apartado se argumentan las razones de esta elección.

1.1 Arquitectura de la RAU

En la Figura 3 se muestra el diagrama de bloques de la RAU, se incluye la cadena del enlace de subida o *uplink* y la del enlace de bajada o *downlink*. Los bloques enmarcados son susceptibles de fabricación monolítica en una tecnología RFCMOS de 65 nm con 1.2 V [4].

Para relajar requerimientos en los dispositivos ópticos se elige una arquitectura de IF sobre fibra, la cual facilita la integración del fotodiodo en el mismo circuito integrado, aprovechando que estos componentes se comportan mejor a frecuencias más bajas. Se realiza la conversión de frecuencia en la propia RAU, aunque esto incremente la complejidad de la RAU proporciona muchas ventajas frente a la distribución de la señal directamente sobre RF, principalmente la sensibilidad del receptor óptico es mayor y las pérdidas de distribución menores.

La cadena del *downlink* consiste en un receptor óptico, un ecualizador, un filtro paso bajo (LPF), amplificadores de IF, un filtro polifase (PPF) pasivo, un mezclador I-Q pasivo y un preamplificador de potencia (PPA). La señal óptica de la CBPU se convierte en una señal eléctrica de corriente mediante un fotodiodo integrado, la corriente de salida se acopla en AC al amplificador de transimpedancia (TIA), el cual amplifica y convierte la señal en corriente en una señal en tensión balanceada. Posteriormente, la señal de salida del TIA es ecualizada para compensar los efectos de limitación frecuencial del canal y del fotodiodo de silicio, eliminando a su vez la componente piloto mediante un filtro paso bajo.

Se incluyen drivers de IF para desacoplar las etapas y compensar las pérdidas de los bloques pasivos. El filtro polifase obtiene la señal en cuadratura y balanceada para entregársela a los mezcladores pasivos. Los mezcladores actúan en cuadratura produciendo una conversión de banda lateral única y entregan su salida directamente al preamplificador de potencia, ésta es la

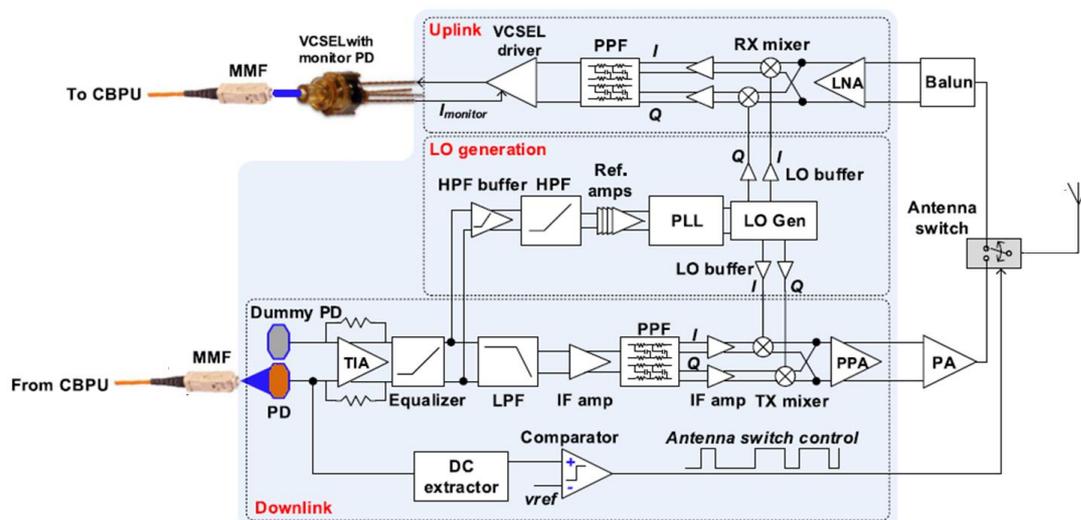


Figura 3. Diagrama de bloques de la arquitectura de la RAU.

última etapa de la cadena del *downlink* en el integrado, por último, el amplificador de potencia (PA), generalmente fuera del circuito integrado, entrega la señal a la antena.

La cadena del *uplink* consiste en un amplificador de bajo ruido (LNA), un mezclador pasivo I-Q, amplificadores de IF, un filtro polifase pasivo y un driver de *vertical-cavity surface-emitting laser* (VCSEL). En esta cadena se sigue el proceso inverso a la anterior, la señal llega desde la antena y atraviesa un *balun* para introducir la señal balanceada en el circuito integrado, una vez dentro del integrado se amplifica la señal con un LNA para posteriormente bajar a frecuencia intermedia a través de un mezclador I-Q, la salida del mezclador se desacopla del filtro pasivo polifase mediante un amplificador de IF. La salida del filtro polifase se conecta directamente al driver del VCSEL, el cual modula la potencia emitida por el láser que se inyecta a la fibra óptica.

1.2 Descripción del proyecto y metodologías

En este trabajo se pretende abordar el flujo de diseño de mezcladores en tecnología CMOS nanométrica para su integración en *front-ends* de comunicaciones.

En primer lugar, se ha llevado a cabo una revisión bibliográfica y un estudio teórico del estado del arte de las arquitecturas de los *front-ends* analógicos de RF en tecnologías CMOS submicrónicas, centrándose en soluciones de bajo consumo de potencia y reducido coste de silicio. El siguiente paso ha consistido en valorar las alternativas de mezcladores con las limitaciones impuestas por la tecnología de fabricación escogida, las especificaciones y los requerimientos propios del estándar utilizado (IEEE 802.11n).

Una vez elegida la topología que conformará el bloque mínimo del mezclador se aborda la teoría de la mezcla en cuadratura y se caracteriza el funcionamiento del bloque que corresponde a un mezclador I-Q. Se ha dedicado una atención especial al impacto de los mezcladores pasivos I-Q en el rechazo a frecuencia imagen, ya que es un tema poco tratado en la literatura y del que se han sacado algunas conclusiones interesantes de cara al diseño de estos bloques.

Finalmente se ha realizado un diseño físico del mezclador I-Q para su fabricación, completando el proceso de diseño *full custom* de circuitos integrados. Una posterior caracterización de la celda utilizando el circuito extraído del *layout* físico compara los resultados de simulación del esquemático con los obtenidos de la simulación *post-layout*.

Herramientas software utilizadas

- *Cadence*: Esta herramienta es un entorno de diseño electrónico automatizado (EDA) que engloba diferentes aplicaciones y herramientas, aportando una solución completa para el diseño de IC analógicos, digitales, mixtos o de RF.
- *Matlab*: Software matemático, utilizado en este trabajo como herramienta matemática, de simulación y representación.

1.3 Objetivos

El objetivo principal de este trabajo es diseñar, simular y caracterizar completamente un mezclador para su fabricación monolítica en tecnología CMOS nanométrica. A partir de este punto se desglosan distintos objetivos secundarios necesarios para cumplir el objetivo principal.

Aprendizaje del manejo de la herramienta Cadence. Mediante estas actividades se busca la adquisición de competencias y habilidades en el uso de herramientas específicas de diseño y simulación de circuitos integrados de radiofrecuencia (RFIC) en tecnologías CMOS nanométricas utilizando la herramienta *Cadence*.

Estudio, caracterización y elección de mezcladores. Análisis de las alternativas para implementar mezcladores en tecnología CMOS, descripción de sus parámetros más relevantes como pérdidas de conversión, linealidad, figura de ruido, aislamiento, y la elección de la topología más adecuada.

Estudio de los mezcladores en cuadratura I-Q. Profundizar en los conceptos de teoría de señal en los que se basa la mezcla en cuadratura y las posibilidades para la integración de mezcladores I-Q, además de estudiar el funcionamiento de los filtros polifase, bloque ampliamente utilizado en transceptores RFIC.

Caracterización paramétrica del mezclador I-Q. Se prepara el entorno en función a las condiciones finales para caracterizar el funcionamiento y poder diseñar y dimensionar adecuadamente en función de los resultados.

Diseño físico de celdas *full custom*. Por último, se realiza el *layout* físico de la celda del mezclador I-Q con las pertinentes simulaciones *post-layout* utilizando el circuito extraído.

1.4 Estructura de la memoria

Además de este primer capítulo introductorio, este trabajo está formado por otros 5 capítulos y 5 anexos. A continuación, se describen brevemente.

Capítulo 2 – Tipos de mezcladores, especificaciones y análisis previos. En este capítulo se incluye una breve revisión teórica de los mezcladores, incluyendo una descripción de las métricas que se utilizan a lo largo de este trabajo. Por último, se hace una comparativa entre las alternativas de mezcladores pasivos CMOS, justificando la elección del mezclador.

Capítulo 3 – Mezcladores I-Q. Este capítulo incluye una introducción a los conceptos de teoría de mezcla en cuadratura, para posteriormente caracterizar completamente el mezclador I-Q tanto en *up* como en *down conversion*.

Capítulo 4 – Impacto del mezclador en el IRR. Se presenta el concepto de frecuencia imagen y la problemática que supone tanto para los transmisores como en los receptores. Posteriormente se caracteriza como las no idealidades en los mezcladores influyen en este parámetro.

Capítulo 5 – Layout físico. En este capítulo se detallan las técnicas de diseño físico utilizadas, el dimensionado final utilizado y los resultados *post-layout* obtenidos, así como una comparativa con las simulaciones sobre esquemático.

Capítulo 6 – Conclusiones. Se recogen las conclusiones extraídas y las futuras líneas de trabajo.

2. Tipos de mezcladores, especificaciones y análisis previos

El mezclador se suele representar mediante un multiplicador como se muestra en la Figura 4, se trata de un circuito de tres puertos, el del oscilador local (LO), el de entrada y el de salida.

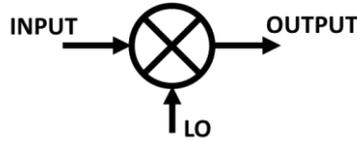


Figura 4. Símbolo del mezclador

Un mezclador es un sistema que toma una señal de entrada a una frecuencia f_{In} , y la mezcla con una señal de oscilador local a una frecuencia f_{LO} , produciendo una salida que consiste en la suma y diferencia de frecuencias, $f_{In} \pm f_{LO}$. Posteriormente es necesario un filtrado para elegir la frecuencia deseada.

Un mezclador ideal consiste en un circuito multiplicador entre la señal de entrada y la del oscilador local. Un sistema lineal invariante temporal (LTI) es incapaz de realizar una traslación frecuencial, por ello los mezcladores se implementan mediante circuitos no lineales o lineales variantes temporales (LTV). Este trabajo se centra en el estudio de mezcladores conmutados, que son sistemas lineales periódicamente variantes temporales (LPTV).

2.1 Tipos de mezcladores

Hay varias formas de clasificar a los mezcladores atendiendo a diferentes criterios [5], en este apartado se describen las más importantes.

2.1.1 Activos - Pasivos

Pasivos. Los mezcladores pasivos tratados en este trabajo son también llamados mezcladores conmutados y son muy sencillos de implementar. No tienen ningún consumo en continua, pero en contra tienen unas pérdidas de conversión. Su funcionamiento consiste en conseguir el producto de la señal de entrada con una señal cuadrada que oscila entre +1 y -1 a la frecuencia del oscilador local.

Los mezcladores pasivos necesitan transistores que actúen como buenos interruptores con una resistencia en conducción mínima y una resistencia en corte muy elevada. Como desventaja necesitan señales de oscilador local con tensiones bastante elevadas para conmutar apropiadamente los transistores.

Los transistores MOS actúan como buenos interruptores para muchas aplicaciones de alta frecuencia, operando en zona óhmica cuando están en conducción y en zona de corte cuando no están en conducción, ofreciendo una alta linealidad por trabajar en zonas lineales.

Una de las ventajas de los mezcladores pasivos es que, al no tener una corriente de polarización en continua, no existe ruido flicker tal y como se explica más adelante en el análisis de ruido. Por contra la figura de ruido en los mezcladores pasivos es muy pobre debido al ruido térmico.

Activos. Los mezcladores activos se construyen en dos etapas, una de conmutación y otra de transconductancia provocando un consumo estático de potencia.

El mezclador activo más común es la celda de Gilbert. La ventaja de estos mezcladores es su ganancia de conversión y una figura de ruido menor que en los pasivos, por contra suponen un consumo y una peor linealidad, además de la presencia de ruido flicker lo cual no los convierte en buenos candidatos para receptores de RF con frecuencias de conversión bajas.

2.1.2 Up – Down conversion

Los mezcladores producen a su salida señales con dos frecuencias útiles, la suma y la diferencia. La principal diferencia entre los mezcladores de up/down conversion es la frecuencia de la señal de salida.

En los mezcladores de *up conversion* la frecuencia de salida suele denominarse RF, y la de entrada IF, siendo la de IF menor que la de RF. Éstos son utilizados en etapas de transmisión.

El mezclador de *down conversion* convierte la señal de entrada de alta frecuencia en una señal de baja frecuencia para ser procesada por la etapa de IF en la cadena de recepción. En este caso la entrada es RF y la salida IF.

2.1.3 Balanceados – No balanceados

No balanceados. Los mezcladores no balanceados son los mezcladores más simples y con la figura de ruido más baja, ya que utilizan pocos dispositivos. Se definen como no balanceados debido a que sus entradas y salidas no son diferenciales.

Balanceados. Un mezclador balanceado consiste en la unión de dos mezcladores no balanceados, obteniendo la tensión de salida como la diferencia entre ambos. Al tener la salida balanceada se compensan los efectos no lineales de orden par y además se obtiene un aislamiento entre puertos mayor.

Se puede realizar una distinción entre mezcladores balanceados y doblemente balanceados. Los mezcladores balanceados tienen la salida y una única entrada en modo diferencial, normalmente la que corresponde al oscilador local, mientras que la entrada restante no es diferencial. Duplicando de nuevo esta arquitectura, se obtienen los mezcladores doblemente balanceados, en los cuales todos los puertos de entrada y salida son diferenciales. El desacoplamiento entre puertos en los mezcladores doblemente balanceados es superior a los balanceados.

2.2 Parámetros de los mezcladores

Los parámetros más importantes en un receptor RF son la selectividad y la sensibilidad. La selectividad incluye factores como el rechazo a frecuencia imagen, la selectividad de canal y el rechazo fuera de banda, dependiendo principalmente del rechazo a frecuencia imagen y de los productos de intermodulación de tercer orden en el *front-end* de recepción. Mientras que la sensibilidad está estrechamente ligada con la figura de ruido y la linealidad. La figura total de ruido NF_{total} y el punto de intercepción de tercer orden total $IIP3_{total}$ se pueden calcular utilizando (1) y (2) respectivamente

$$NF_{total} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 G_2} + \dots \quad (1)$$

$$IIP3_{total} = \left[\frac{1}{IIP3_1} + \frac{G_1^2}{IIP3_2} + \frac{G_1^2 G_2^2}{IIP3_3} + \dots \right]^{-1} \quad (2)$$

donde G_n es la ganancia del bloque n-ésimo y F_n la figura de ruido del bloque n-ésimo.

De las ecuaciones anteriores es evidente que la etapa más crítica que determina el rendimiento en cuanto a estos parámetros es la primera. En receptores heterodinos la primera etapa suele ser un LNA seguido de un mezclador de *down conversion*.

A continuación, se detallan las métricas que se van a utilizar en este trabajo.

Ganancia de conversión. La ganancia de conversión puede ser definida como la ganancia en potencia o tensión y se representa como G_C . Cuando la impedancia de fuente y carga coinciden, la ganancia en potencia es equivalente a la ganancia en tensión en dB. En este trabajo se realiza una caracterización en tensión de los mezcladores, por lo tanto, siempre que se hable de ganancia o pérdidas de conversión se referirá a la ganancia de conversión en tensión. Se define mediante (3)

$$G_C = \frac{V_{IF,rms}}{V_{RF,rms}} \quad (3)$$

Figura de ruido. La figura de ruido se define como el ratio entre la relación señal a ruido a la entrada y a la salida mediante (4)

$$NF = 10 \log \left(\frac{SNR_{input}}{SNR_{output}} \right) \quad (4)$$

La figura de ruido en un mezclador se puede especificar como de banda lateral única (SSB) o como doble banda lateral (DSB). Se utiliza la figura de ruido SSB cuando la señal está contenida en una banda lateral y la otra banda es eliminada por un filtro de rechazo a imagen. En caso de que la señal se encuentre en ambas bandas laterales se aplica la figura de ruido DSB, siendo una modulación muy habitual en mezcladores de zero IF o de conversión directa. La relación entre ambas es muy sencilla mediante (5). En este trabajo se utilizará la figura de ruido SSB a no ser que se indique lo contrario

$$NF_{SSB} = NF_{DSB} + 3 \text{ dB} \quad (5)$$

Aislamiento puerto a puerto. El aislamiento puerto a puerto en los mezcladores depende principalmente de la arquitectura y topología elegida. Los mezcladores no balanceados son los que peor aislamiento consiguen y los mezcladores doblemente balanceados los que mejor resultado alcanzan, ya que compensan las fugas de otros puertos en la salida siempre que el balanceo en las señales sea óptimo.

Linealidad. Una especificación muy importante en los mezcladores es su linealidad. Los mezcladores consiguen la traslación frecuencial utilizando circuitos no lineales, como por ejemplo diodos, o variantes temporales, como por ejemplo circuitos conmutados con transistores, en ambos casos se utilizan dispositivos no lineales, por lo tanto, siempre deben considerarse como estructuras no LTI ya que incluyen no linealidades no deseadas. A pesar de

ello es deseable que actúen de la forma más lineal posible, es decir, manteniendo sus características de amplitud y fase intactas.

En los análisis se caracterizará la linealidad del mezclador basándose en dos parámetros principalmente. El punto de compresión a 1 dB (P1dB), que indica cuando la salida está 1 dB por debajo de lo que debería idealmente, y el punto de intercepción de tercer orden, definido como el punto extrapolado donde los productos de intermodulación de tercer orden cruzan con el armónico fundamental.

2.3 Mezcladores pasivos. Análisis de soluciones

Como escenario para el análisis comparativo de los distintos mezcladores pasivos se ha elegido el proceso de *up conversion* de la RAU. Este escenario es más exigente que el de *down conversion* en cuanto al rendimiento del mezclador. En particular, una señal de frecuencia intermedia a 100 MHz se sube hasta la banda de los 5 GHz, concretamente a 4.9 GHz, utilizando una frecuencia de oscilador local de 5 GHz.

2.3.1 Mezclador en anillo NMOS

La topología más común a la hora de implementar un mezclador pasivo en tecnología CMOS es la mostrada en la Figura 5 utilizando cuatro transistores NMOS.

Se trata de un mezclador lineal periódicamente variante temporal (LPTV), donde cuatro transistores de tipo N se distribuyen formando un puente inversor. Estos transistores van emparejados de forma que cada pareja tiene en su puerta la señal de oscilador local o su versión retrasada 180°, así conseguimos una función multiplicativa entre la señal de entrada IF y la del oscilador LO.

El mezclador pasivo en anillo es un mezclador doblemente balanceado, opera modulando la resistencia de canal del transistor con una señal de oscilador local fuerte. El transistor conmuta entre dos zonas de operación, cuando el transistor está en zona óhmica ofrece una resistencia muy baja determinada por las dimensiones del transistor, mientras que cuando el transistor está en zona de corte ofrece una resistencia muy alta.

Al utilizar los transistores en zona lineal se obtienen unos productos de intermodulación muy bajos. Para mantener las pérdidas de conversión bajas y mejorar la linealidad es necesario utilizar señales de oscilador local grandes y así garantizar la operación del transistor en zona óhmica.

Para un correcto funcionamiento, es necesario polarizar adecuadamente las señales de entrada al mezclador. En esta simulación, la señal de oscilador local tiene un nivel de continua de 900 mV, mientras que la señal de entrada al mezclador se polariza con 600 mV. De esta forma se obtiene una diferencia de tensión entre puerta y fuente V_{GS} de aproximadamente la tensión umbral del transistor $V_{TH} \approx 300$ mV.

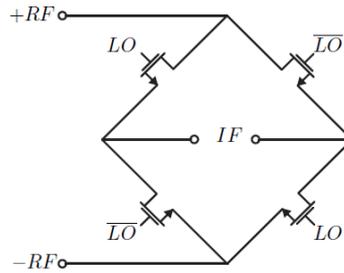


Figura 5. Mezclador pasivo en anillo NMOS

Transistores con una relación entre el ancho y el largo de canal muy grande tienen resistencias de conducción, R_{ds} , muy bajas y por ello unas pérdidas de conversión menores, pero a cambio aumenta las capacidades parásitas, aumentando la distorsión armónica ya que esas capacidades presentan un comportamiento no lineal. Véase Anexo I para una descripción más detallada del dispositivo NMOS.

El dimensionado elegido de los transistores para la simulación es de un ancho de canal equivalente de $40\ \mu\text{m}$, y una longitud de canal de $200\ \text{nm}$.

En estas condiciones se ha obtenido un punto de compresión a $1\ \text{dB}$ de $-8\ \text{dBm}$ con unas pérdidas de conversión de $4.5\ \text{dB}$, mientras que el punto de intercepción en la entrada de los productos de intermodulación de tercer orden (IIP3) es de $7\ \text{dBm}$. En cuanto a la figura de ruido, se obtienen $20\ \text{dB}$. En la Tabla 1 se muestran los resultados de este trabajo comparados con una implementación similar.

En las Figuras 6, 7 y 8 se muestran las curvas de relación entrada-salida, de los IP3 y de la figura de ruido obtenidas para este escenario.

Tabla 1. Parámetros principales mezclador NMOS

Parámetros	Este trabajo	[6]
Pérdidas de conversión	$4.5\ \text{dB}$	$6.9\ \text{dB}$
P1dB	$-8\ \text{dBm}$	$0\ \text{dBm}$
IIP3	$7\ \text{dBm}$	$10\ \text{dBm}$
NF	$20\ \text{dB}$	$7.6\ \text{dB}$
Tecnología	$65\ \text{nm}$	$130\ \text{nm}$
Frecuencia de trabajo	$5\ \text{GHz}$	$5\ \text{GHz}$

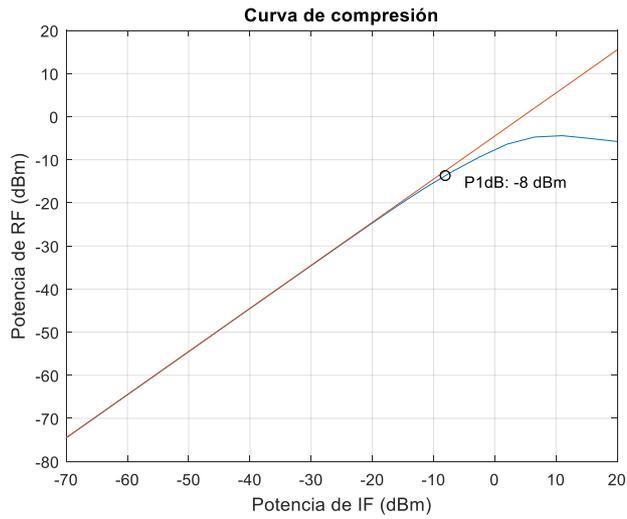


Figura 6. Relación entrada (IF) – salida (RF) de potencias del mezclador NMOS

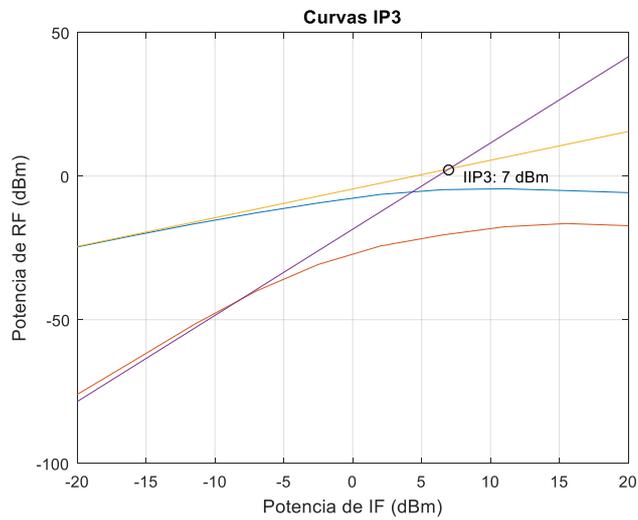


Figura 7. Curvas IP3 del mezclador NMOS

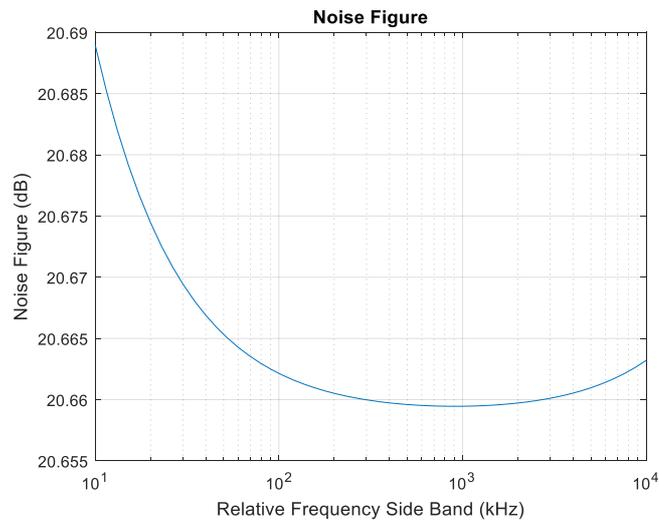


Figura 8. Figura de ruido del mezclador NMOS en función de la frecuencia relativa de la banda lateral.

2.3.2 Mezclador en anillo CMOS

Una alternativa de diseño al clásico mezclador en anillo que utiliza únicamente NMOS es la siguiente topología, donde a cada transistor de tipo N se le apareja un transistor de tipo P en paralelo. En la Figura 9 se muestra el esquema básico del mezclador.

La característica más importante que se consigue mejorar con esta modificación respecto al mezclador NMOS es el punto a 1 dB de compresión, y por ello el rango dinámico y su linealidad, así como una notable mejora de la figura de ruido.

Utilizando transistores únicamente de tipo N como interruptores, cuando la entrada aumenta su amplitud la salida sufre una compresión debido al descenso de la tensión efectiva de puerta, $V_{GS} - V_{TH}$. Por el contrario, el mezclador CMOS no sufre ese decaimiento debido a la presencia de los transistores PMOS, que operan en sentido contrario, lo que provoca una mejoría del punto de compresión a 1 dB y por lo mismo del rango dinámico de entrada.

Hay algunos cambios respecto a la polarización de las señales del oscilador local, en este caso, la señal en la puerta de los transistores tipo P tiene una tensión media de 300 mV mientras que la de los de tipo N mantiene los 900 mV, por correspondencia con las respectivas tensiones umbrales de -300 mV y 300mV. La entrada al mezclador mantiene la misma tensión media de 600 mV.

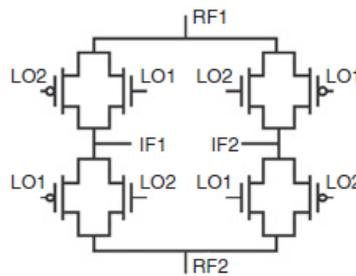


Figura 9. Mezclador pasivo en anillo CMOS

Tabla 2. Parámetros principales mezclador CMOS

Parámetros	Este trabajo	[7]
Pérdidas de conversión	5 dB	0.17 dB
P1dB	-2 dBm	-0.4 dBm
IIP3	8 dBm	12.5 dBm
NF	14 dB	-
Tecnología	65 nm	0.25 μ m
Frecuencia de trabajo	5 GHz	2.4 GHz
Tensión LO	0.3 Vp	0.495 Vpp

Tipos de mezcladores, especificaciones y análisis previos

Se ha elegido la misma anchura de canal para evaluarlos en las mismas condiciones respecto al mezclador NMOS, tanto para los transistores NMOS como para los PMOS, con una anchura de $40\ \mu\text{m}$ y una longitud de $200\ \text{nm}$.

Repitiendo los mismos análisis que en el mezclador NMOS obtenemos un punto de compresión a $1\ \text{dB}$ de $2\ \text{dBm}$ con unas pérdidas de conversión de $5\ \text{dB}$. El IIP3 se mantiene similar en $8\ \text{dBm}$, esto se debe a que la mayor responsabilidad sobre los productos de intermodulación recae en la forma de onda del oscilador local y las dimensiones de los transistores. Por último, la figura de ruido se reduce $6\ \text{dB}$ respecto al NMOS obteniendo un resultado de $14\ \text{dB}$. En la Tabla 2 se incluyen los resultados con una comparativa con un diseño de referencia.

La principal desventaja de esta topología es que precisa utilizar el doble de área que en el caso de NMOS, además hay que tener cuidado con los problemas de *mismatch* entre más dispositivos que en el caso del mezclador NMOS, ya que se dobla el número de dispositivos.

En las Figuras 10, 11 y 12 se muestran las curvas de relación entrada-salida, de los IP3 y de la figura de ruido obtenidas para este escenario.

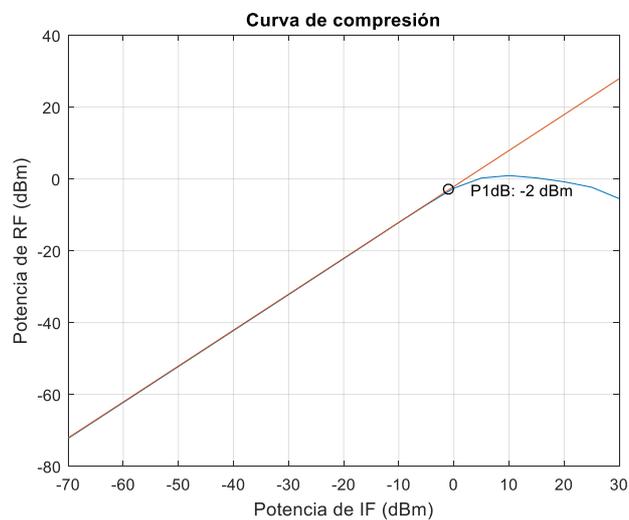


Figura 10. Relación entrada (IF) – salida (RF) de potencias del mezclador CMOS

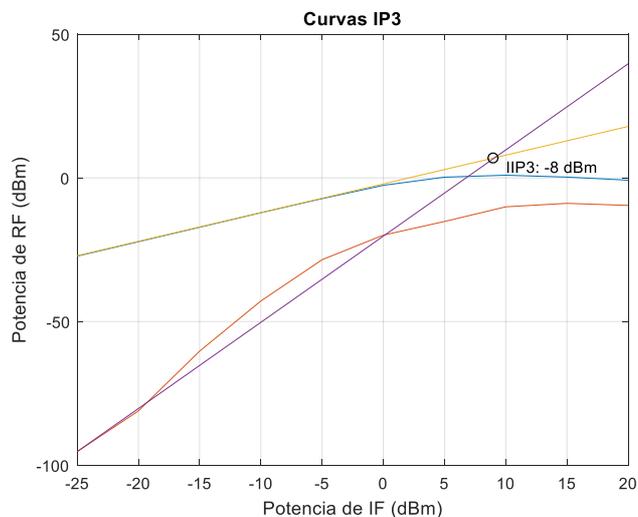


Figura 11. Curvas IP3 del mezclador CMOS.

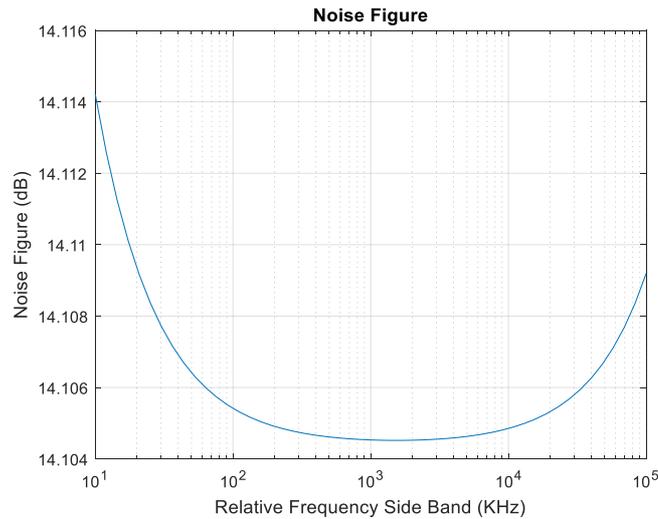


Figura 12. Figura de ruido del mezclador CMOS en función de la frecuencia relativa de la banda lateral.

2.3.3 Mezclador H-Bridge

Por último, se describe un mezclador compuesto por dos inversores, que actuando como interruptores producen la mezcla, en la Figura 13 se muestra el esquema de la topología.

En estas condiciones, para un correcto funcionamiento los transistores tienen que actuar totalmente como interruptores, al contrario que en topologías como el mezclador en anillo donde se puede utilizar una señal de oscilador local sinusoidal para producir la mezcla.

Con esta premisa se tienen unas condiciones muy restrictivas. La señal del oscilador local debe ser una onda cuadrada cuyo rango dinámico varíe desde la tensión máxima de alimentación hasta la tensión mínima del circuito. En el caso concreto de la simulación se trata de una señal cuadrada con una tensión media de 600 mV y una amplitud de 600 mV.

La señal de entrada debe estar polarizada sobre un nivel de continua de igual valor que la tensión media de la señal del oscilador local. Además, hay que asegurar que la señal de entrada al mezclador sea lo suficientemente pequeña como para que no afecte demasiado a la tensión V_{GS} permitiendo que el transistor alcance una buena conducción.

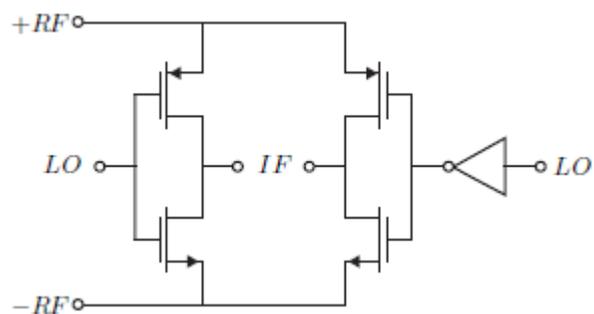


Figura 13. Mezclador pasivo H-Bridge

Tabla 3. Comparativa de los parámetros principales de los mezcladores NMOS y CMOS

	Mezclador NMOS	Mezclador CMOS
Pérdidas de conversión	4.5 dB	5 dB
P1dB	-8 dBm	-2 dBm
IIP3	7 dBm	8 dBm
Figura de ruido	20 dB	14 dB

Utilizando una tecnología CMOS de 65 nm no se puede utilizar esta topología a frecuencias elevadas, teniendo el límite en torno a los 400-500 MHz, muy lejos del interés de esta aplicación. Para poder utilizar los inversores a frecuencias de interés para la aplicación, habría que apostar por nodos tecnológicos de coste mucho más elevado, por ello se descarta.

2.4 Elección de topología

La topología elegida para implementar finalmente los mezcladores en este trabajo ha sido el mezclador pasivo en anillo con transistores NMOS. A priori la alternativa utilizando un par complementario ofrece mejores resultados tanto en linealidad como en figura de ruido, pero el hecho de introducir dispositivos adicionales influye mucho en el área ocupada, y vuelve mucho más complejo el análisis de *mismatch*.

En la Tabla 3 aparece una comparativa de los principales parámetros entre las dos alternativas viables.

2.5 Análisis de ruido

El ruido en los mezcladores, particularmente el ruido *flicker* ($1/f$) en mezcladores CMOS, puede ser muy problemático a la hora de recibir señales de banda estrecha.

Es sabido que el ruido *flicker* que aparece a la salida de mezcladores activos, es proporcional a la corriente de polarización a través de los transistores de la etapa de conmutación [8]. Un punto de vista ampliamente aceptado es que el ruido *flicker* tiende a cero cuando no existe esa corriente de polarización como es en el caso de los mezcladores pasivos.

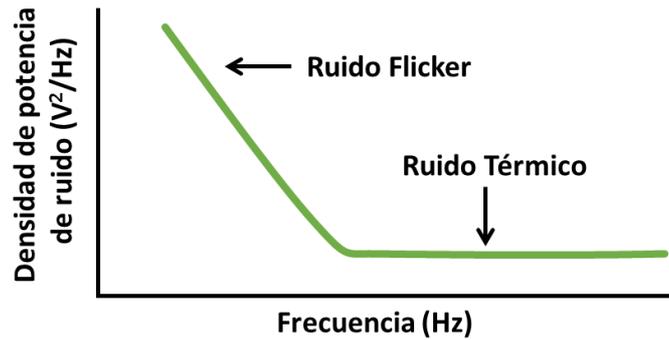


Figura 14. Densidad de potencia de ruido de salida en un circuito con ruido flicker

Esta es una de las muchas razones por la cual los mezcladores pasivos son muy comunes en los *front-ends* de transceptores RFIC.

2.5.1 Análisis de ruido blanco

En un mezclador pasivo, el ruido blanco se origina por el ruido térmico debido a la conductancia g_{ds} del canal del transistor MOS.

En el caso de utilizar una señal de oscilador local cuadrada ideal, con unas transiciones instantáneas, podríamos suponer que en todo momento tenemos una conductancia g_{ds} conectada a una salida del mezclador. Suponiendo además que todos los transistores son idénticos, tendremos continuamente a la salida la conductancia mostrada en (6)

$$g_{ds} = \mu C_{ox} \frac{W}{L} (V_{LO} - V_S - V_{TH}) \quad (6)$$

donde V_{LO} es la tensión del oscilador local en la puerta del transistor en estado de conducción, V_S es la tensión en la fuente y V_{TH} la tensión umbral del transistor.

Lo cual nos generará una densidad espectral de ruido en tensión como la mostrada en (7)

$$v_n^2 = \frac{8kT}{g_{ds}} = \frac{8kT}{\mu C_{ox} \frac{W}{L} A_{LO}} \quad (7)$$

donde A_{LO} es la amplitud del oscilador local y las demás variables tienen su significado habitual.

Sin embargo, es muy habitual utilizar como oscilador local una señal cuasi-sinusoidal. Por lo tanto, el ruido térmico generado cambia ligeramente.

Para este análisis suponemos que no hay un solape entre estados de conducción por lo que la tensión de polarización entre puerta y fuente es la tensión umbral del transistor. En caso de que no sea así y existan solapes; los cálculos teóricos se complican bastante, aunque se pueden encontrar en [9].

La conductancia del canal es dada esta vez por (8), donde se aprecia que está modulada en torno a un periodo de excitación, que es la mitad del periodo del oscilador local. El promedio temporal de la densidad espectral de ruido, debido a una fuente de ruido blanco modulada periódicamente, se obtiene mediante el promediado temporal de un periodo de la excitación

$$g_{ds} = \mu C_{ox} \frac{W}{L} (V_G + |A_{LO} \sin(\omega_{LO} t)| - V_S - V_{TH}) \quad (8)$$

$$v_n^2 = \frac{8kT}{\int_0^{T_{LO}/2} g_{ds} dt} = \frac{8kT}{\frac{2}{\pi} \mu C_{ox} \frac{W}{L} A_{LO}} \quad (9)$$

A la vista de los resultados teóricos el ruido térmico generado por una señal sinusoidal es mayor que el generado por una señal cuadrada, debido a que la conductancia es menor.

Utilizar un oscilador local que genere señales cuadradas a 5 GHz penaliza gravemente el consumo del sistema, ya que requiere drivers binarizadores de la señal. El incremento de la figura de ruido es admisible y se mantienen las señales cuasi-sinusoidales.

3. Mezcladores I-Q

3.1 Teoría mezcla I-Q

Los mezcladores en cuadratura se utilizan para conversiones de banda lateral única (SSB). En este apartado se describe el funcionamiento y topologías utilizadas para la supresión de las bandas laterales no deseadas [10].

3.1.1 Up conversion en cuadratura

Mediante la Figura 15 contextualizamos el proceso de *up conversion*, en el cual tenemos una señal en cuadratura en frecuencia intermedia obtenida mediante un filtro polifase y la convertimos a RF utilizando dos mezcladores en cuadratura. En el anexo IV se detalla el funcionamiento de los filtros polifase utilizados.

Para este proceso de *up conversion* son necesarios dos mezcladores. La mezcla se implementa mediante la siguiente relación $I_{RF} = I_{LO} * I_{In} + Q_{LO} * Q_{In}$. En el caso de que las señales de IF y las del oscilador local estén en perfecta cuadratura y los mezcladores sean idénticos, solo una de las bandas laterales aparecería en la salida. Utilizando la relación anterior que es la implementada, tendríamos la banda lateral inferior (LSB)

$$\cos(\omega_{LO}t) * \cos(\omega_{In}t) + \sin(\omega_{LO}t) * \sin(\omega_{In}t) = \cos((\omega_{LO} - \omega_{In})t) \quad (10)$$

Como trabajamos con señales diferenciales, el hecho de cambiar la polaridad a la entrada del mezclador a la señal del LO o a la señal de IF, implica multiplicar ambas señales por -1, obteniendo así la relación $I_{RF} = I_{LO} * I_{In} - Q_{LO} * Q_{In}$. Con lo cual es la banda lateral superior (USB) la que aparece en la salida

$$\cos(\omega_{LO}t) * \cos(\omega_{In}t) - \sin(\omega_{LO}t) * \sin(\omega_{In}t) = \cos((\omega_{LO} + \omega_{In})t) \quad (11)$$

Cualquier señal puede representarse en un espacio vectorial formado por las componentes en fase y cuadratura de su frecuencia de oscilación. Al tratarse de una señal compleja tenemos dos señales (I y Q) que proyectamos sobre ese espacio, por convenio se define el sentido de giro de una secuencia en cuadratura como el sentido obtenido al rotar la señal I hacia Q. Se dice que si una secuencia gira en sentido antihorario corresponde con una frecuencia positiva y si gira en sentido horario corresponde con una frecuencia negativa.

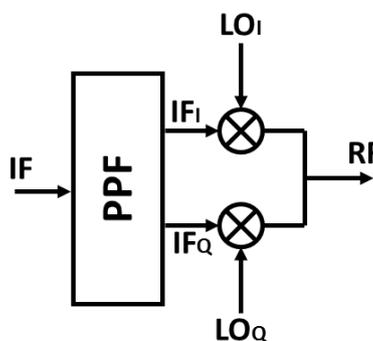


Figura 15. Diagrama de bloques simplificado de up conversion

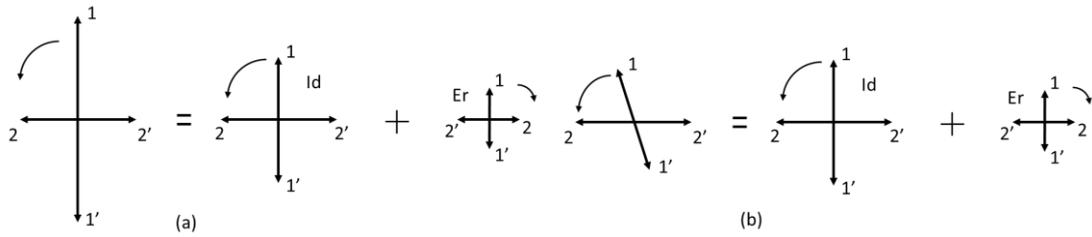


Figura 16. (a) Descomposición de una secuencia con desbalance de amplitud. (b) Descomposición de una secuencia con desbalance de fase

Una secuencia que tenga un desbalance de amplitud o fase como las de la Figura 16, puede descomponerse en la suma de secuencias balanceadas ideales que giran en sentidos opuestos, una de ellas correspondiendo a la banda lateral deseada y la otra a la banda lateral no deseada.

La presencia relativa de la banda lateral no deseada cuando tenemos un error de fase o amplitud, ya bien en la señal de frecuencia intermedia o en la señal de oscilador local, va a estar condicionada por la siguiente relación

$$\left| \frac{LO_{er}}{LO_{id}} - \frac{In_{er}}{In_{id}} \right| \leq \frac{\text{Banda no deseada}}{\text{Banda deseada}} \leq \left| \frac{LO_{er}}{LO_{id}} + \frac{In_{er}}{In_{id}} \right| \quad (12)$$

donde LO_{er} es la magnitud de la secuencia del oscilador local no deseada, LO_{id} es la magnitud de la secuencia del oscilador local deseada, In_{er} es la magnitud de la secuencia de la señal de entrada no deseada y In_{id} es la magnitud de la secuencia de la señal de entrada deseada.

El mezclador I-Q en *up conversion* necesita tener sus entradas de frecuencia intermedia y de oscilador local en cuadratura. Para obtener la señal de frecuencia intermedia en cuadratura, se utiliza un filtro polifase ajustando la frecuencia y el ancho de banda a la señal de entrada. La componente Q debe corresponder con la transformada de Hilbert de la componente I, tal y como se define la señal analítica

$$x_+(t) = x(t) + j\hat{x}(t) \quad (13)$$

donde $x_+(t)$ corresponde con la parte positiva del espectro de una señal dada, formada por la propia señal, $x(t)$, y su transformada de Hilbert, $\hat{x}(t)$.

El motivo de utilizar una mezcla en I-Q es debido a que se necesita trasladar una única banda lateral, mientras que si se utiliza un mezclador convencional se trasladarían las dos bandas laterales a la frecuencia de RF, necesitando un filtrado posterior a alta frecuencia para eliminar la que no se desea. En la Figura 17 se aprecia gráficamente las diferencias comentadas entre la mezcla convencional y la mezcla en cuadratura.

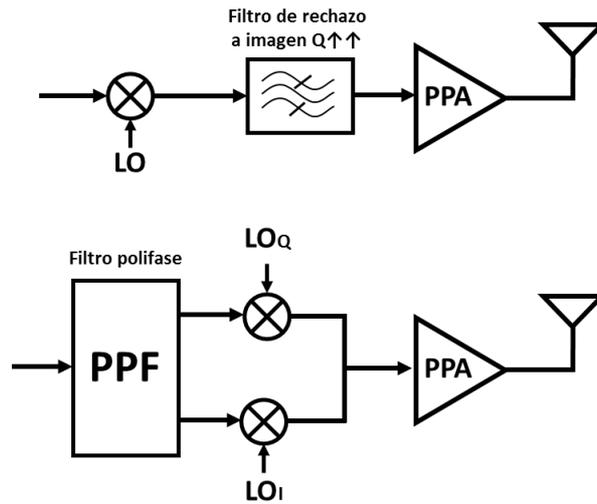


Figura 17. (a) Diagrama de bloques simplificado de un transmisor heterodino simple. (b) Diagrama de bloques simplificado de un transmisor heterodino en cuadratura.

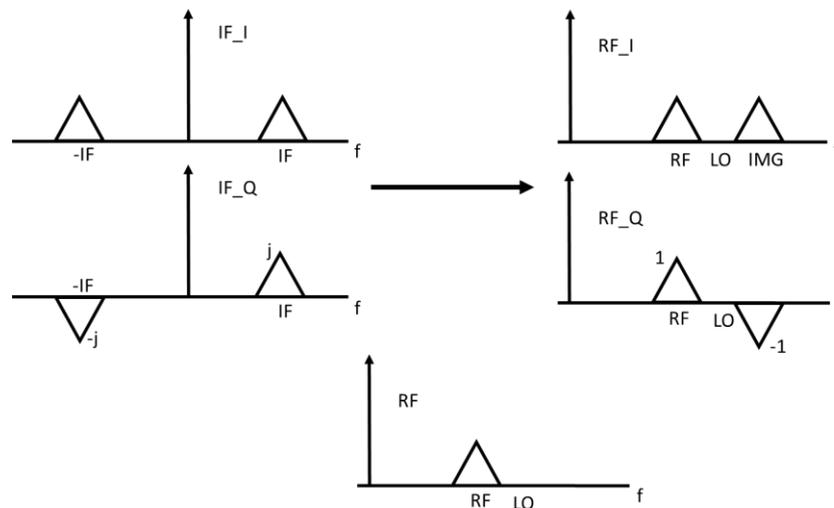


Figura 18. Descripción gráfica del proceso de mezcla en cuadratura en up conversion

El proceso de la mezcla queda más detallado de una forma gráfica en la Figura 18, la componente en fase de IF se multiplica por la componente en fase del LO y la componente en cuadratura de IF con la componente en cuadratura del LO, sumando las salidas del mezclador se consigue preservar únicamente la banda deseada.

3.1.2 Down conversion en cuadratura

En la Figura 19 se muestra el diagrama de bloques simplificado de la *down conversion* en cuadratura. Particularizando al contexto del proyecto, operamos en la banda de los 5 GHz donde se encuentran varios canales con un ancho de banda de 20 MHz cada uno, por lo tanto, nuestra frecuencia imagen en la mezcla será un canal adyacente. Por ejemplo, si nuestro canal estuviera en los 5.6 GHz tendríamos que tener nuestro oscilador local en 5.5 GHz, encontrándose la frecuencia imagen en 5.4 GHz donde podemos tener otro canal.

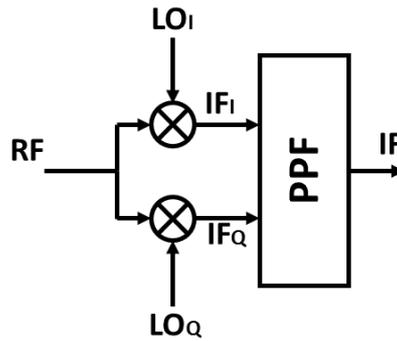


Figura 19. Diagrama de bloques simplificado de down conversion

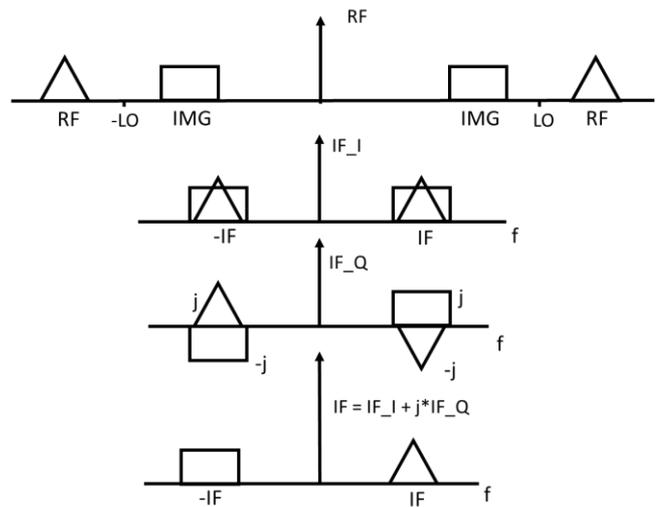


Figura 20. Descripción gráfica del proceso de mezcla en cuadratura en down conversion

Contamos con dos mezcladores, a cada mezclador entra la misma señal de RF, lo que cambia es que las señales de los osciladores locales se encuentran en cuadratura. Así pues, a la salida del mezclador tendremos la señal de IF en cuadratura, es decir, cada salida desfasada 90° respecto a la otra. En la salida de los mezcladores tendremos las dos bandas laterales presentes en IF, la banda lateral inferior correspondiente a la frecuencia imagen que gira en sentido horario, mientras que la banda lateral superior que corresponde con nuestra señal deseada gira en sentido antihorario. El proceso se explica gráficamente en la Figura 20.

La salida del mezclador I-Q se introduce en el filtro polifase, donde la señal será filtrada según su sentido de giro, dejando pasar solo la señal que rota en sentido antihorario, que corresponde con la señal deseada. El sentido de giro no deja de ser otra forma de entender como las frecuencias positivas y negativas se filtran de forma distinta.

En la Figura 21 se comparan las alternativas de la mezcla en cuadratura y sin ella, constatando como se evita un filtro muy selectivo en RF.

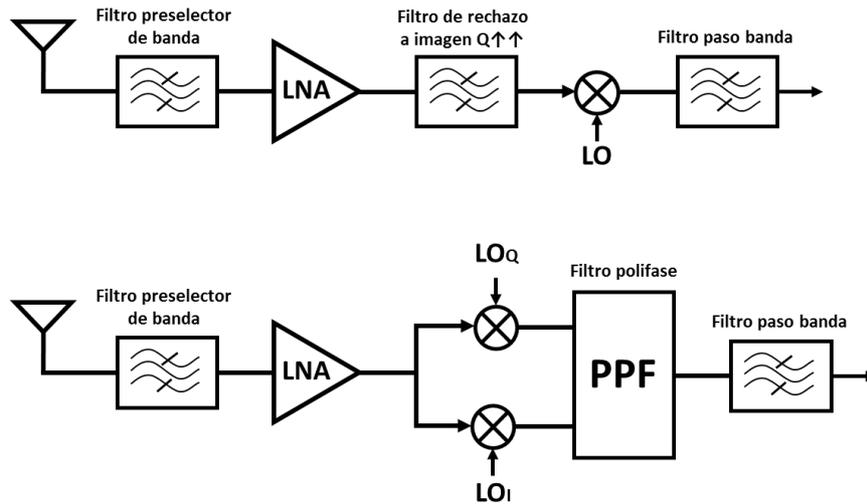


Figura 21. (a) Diagrama de bloques simplificado de un receptor heterodino simple. (b) Diagrama de bloques simplificado de un receptor heterodino en cuadratura.

3.1.3 Mezclador en doble cuadratura

La topología en doble cuadratura consiste en la combinación de dos mezcladores en cuadratura, utilizando tanto en el proceso de *up conversion* como en el de *down conversion*, la siguiente relación

$$I_{out} = I_{LO} * I_{in} + Q_{LO} * Q_{in}, \quad Q_{out} = I_{LO} * Q_{in} + Q_{LO} * I_{in} \quad (14)$$

Las señales de entrada a ambos mezcladores son las mismas, pero la salida de cada mezclador está en cuadratura con la salida del otro. La estructura toma una señal en cuadratura a la entrada y a la salida produce otra señal en cuadratura [10].

En este caso la presencia de la banda lateral no deseada depende únicamente del error en la entrada de frecuencia intermedia y no del oscilador local, como se expresa en

$$\frac{\text{Banda no deseada}}{\text{Banda deseada}} \leq \left| \frac{In_{er}}{In_{id}} \right| \quad (15)$$

En ambos casos, ya sea *up* o *down conversion*, el hecho de utilizar esta topología obliga a incluir un filtro polifase extra a frecuencia de RF, a esas frecuencias hacer un buen diseño frente al *mismatch* es muy complejo, además se precisan otros dos mezcladores, teniendo que tener que garantizar un buen mismatch entre el doble de dispositivos. La ventaja teórica se ve penalizada por un diseño físico mucho más complejo.

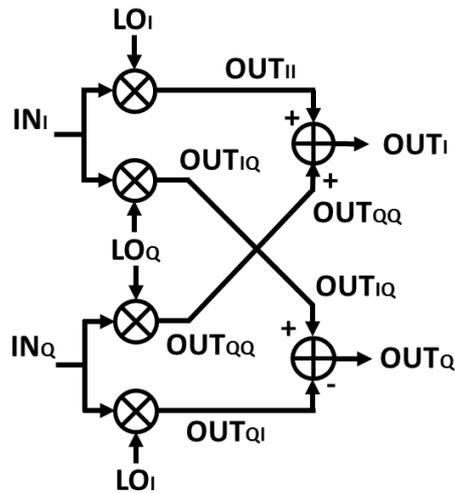


Figura 22. Mezclador en doble cuadratura

3.2 Caracterización del mezclador I-Q

Una vez elegido el mezclador NMOS como el que formará el mezclador I-Q. Se realizan las primeras simulaciones en el contexto de la aplicación y utilizando las topologías finales.

En estas simulaciones se tratará de imitar lo máximo posible las condiciones finales del bloque. Como es sabido, el bloque previo al mezclador en *up conversion* es un filtro polifase, sin embargo, para un correcto funcionamiento es necesario desacoplar ambas etapas mediante un driver, cuya entrada ofrezca idéntica impedancia de entrada a los cuatro nodos de salida del filtro polifase previo, y a la salida ofrezca una impedancia de salida baja que minimice las pérdidas de conversión del mezclador. El driver consiste en una serie de etapas de amplificación seguida de una última etapa en drenador común con una impedancia de salida baja. La impedancia de salida del driver es aproximadamente 100 Ω , valor nominal obtenido mediante la simulación de la impedancia de salida de etapas en drenador común.

Mientras que la salida del mezclador se conecta directamente a un amplificador, es decir, la salida del mezclador se conecta directamente a la entrada de una etapa de fuente común, lo cual significa que la impedancia de carga será puramente capacitiva, estimando un valor realista de la capacidad, de 200 fF.

En el caso de *down conversion* la etapa previa al mezclador también es un driver y a la salida se desacopla del filtro polifase mediante otro driver por lo tanto las impedancias de entrada y salida serán las mismas que en *up conversion*.

3.2.1 Pérdidas de conversión

Las pérdidas de conversión son calculadas en tensión, observando una fuerte dependencia con las dimensiones de los transistores y con las impedancias terminales.

En la Figura 23.a se muestran las pérdidas de conversión en el proceso de *up conversion*, a la vista de los resultados se aprecia que las pérdidas son inversamente proporcionales a la relación W/L , es decir, a la resistencia de conducción. En el caso de las impedancias terminales se realiza

un análisis mostrado en la Figura 23.b, en la cual se demuestra que cuanto mayor sea la impedancia de carga y menor la de fuente menores pérdidas en tensión se producen.

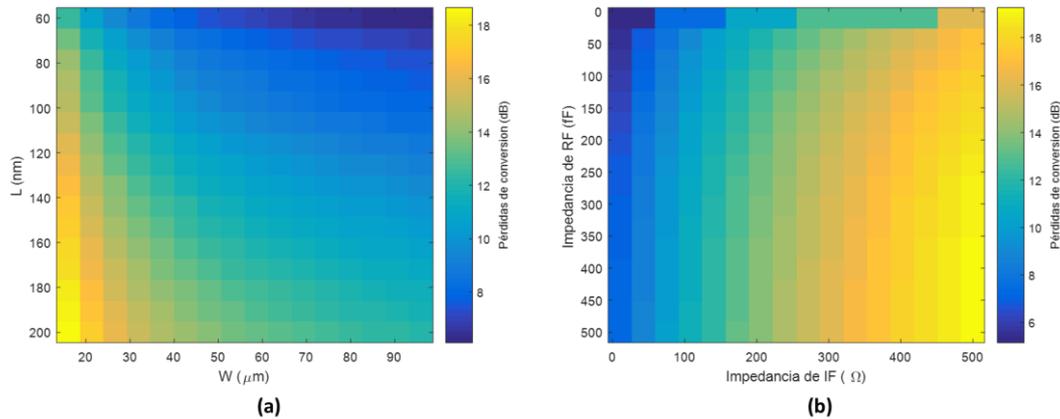


Figura 23. (a) Pérdidas de conversión en función de las dimensiones W/L. (b) Pérdidas de conversión en función de las impedancias terminales. Up conversion

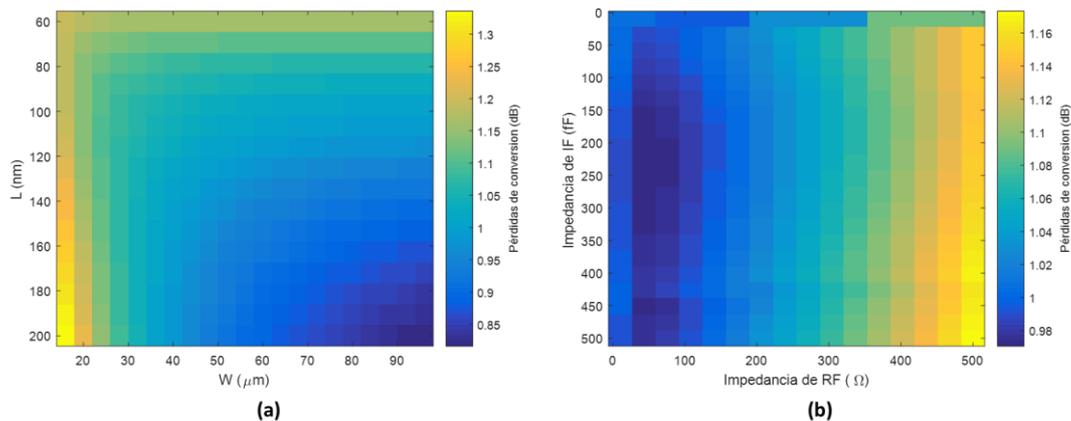


Figura 24. (a) Pérdidas de conversión en función de las dimensiones W/L. (b) Pérdidas de conversión en función de las impedancias terminales. Down conversion

En el proceso de *down conversion* mostrado en la Figura 24.a, no sigue la misma relación que en el caso anterior, ofreciendo el mínimo en cuanto a pérdidas en las mayores dimensiones tanto de W como de L . La diferencia entre las pérdidas máximas y mínimas es casi despreciable, por lo tanto, no es un efecto muy notable. En la Figura 24.b se aprecia que el mínimo de las pérdidas de conversión se encuentra cuando la impedancia de fuente se aproxima a 100 Ω , hecho que beneficia a esta aplicación ya que se aproxima a la impedancia de salida del driver.

Remarcar que las pérdidas de conversión tienen una variación mucho menor cuando la frecuencia de salida en baja, *down conversion*, en comparación con *up conversion*. En la Figura 24 se ve cómo apenas varían 1 dB mientras que en la Figura 23 la variación alcanza los 10 dB.

3.2.2 Linealidad

Se ha caracterizado la linealidad del sistema utilizando los dos mezcladores I-Q, buscando comprobar si existe alguna desviación respecto a los resultados de la caracterización con un único mezclador. Como resultado los valores en cuanto a IIP3 son inferiores al uso de un único

mezclador, debido a que las no linealidades introducidas por el incremento de componentes aumentan la potencia de los productos de intermodulación de tercer orden.

En la Figura 25 se hace un barrido paramétrico del IIP3 para *up conversion*, reducir la longitud del canal produce una mejora en la linealidad, mientras que variar la anchura apenas altera la linealidad en comparación con las variaciones en la longitud. En el caso del P1dB en *up conversion* mostrado en la Figura 26, ocurre al contrario que con el IIP3, el hecho de aumentar la longitud del canal incrementa el P1dB, mientras que las variaciones de la anchura apenas afectan en comparación. Como conclusión podemos extraer que la linealidad en los mezcladores pasivos tiene una fuerte dependencia con la longitud de los transistores y no tanto con su anchura.

En la Figura 27 y en la Figura 28 se muestra el IIP3 y el P1dB respectivamente en *down conversion*, en el caso del IIP3 continúa siendo inversamente proporcional a la longitud del canal como pasaba en *up conversion* con una variación similar, en el caso del P1dB la variación es mucho menor que en *up conversion*, además es inversamente proporcional a la longitud de canal.

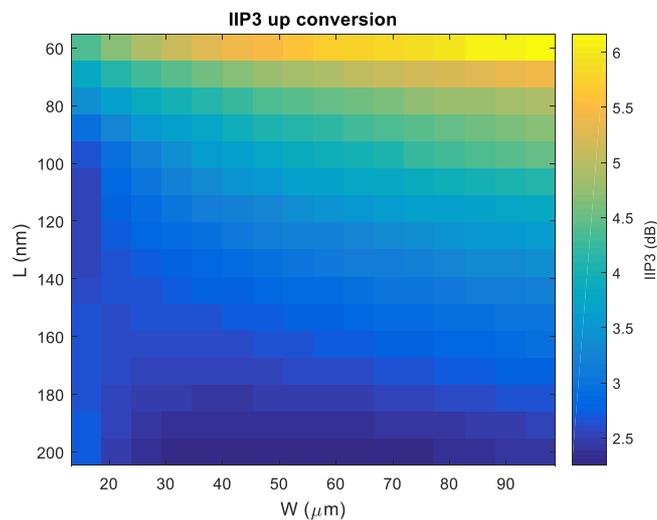


Figura 25. IIP3 del mezclador en cuadratura en función de las dimensiones de los transistores en *up conversion*.

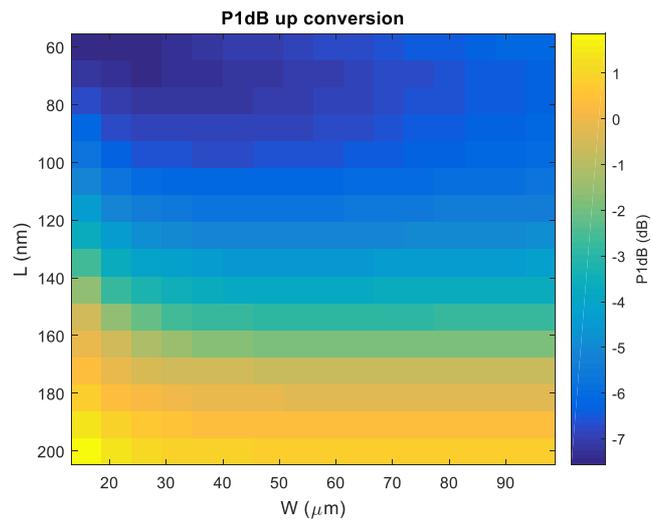


Figura 26. P1dB del mezclador en cuadratura en función de las dimensiones de los transistores en up conversion.

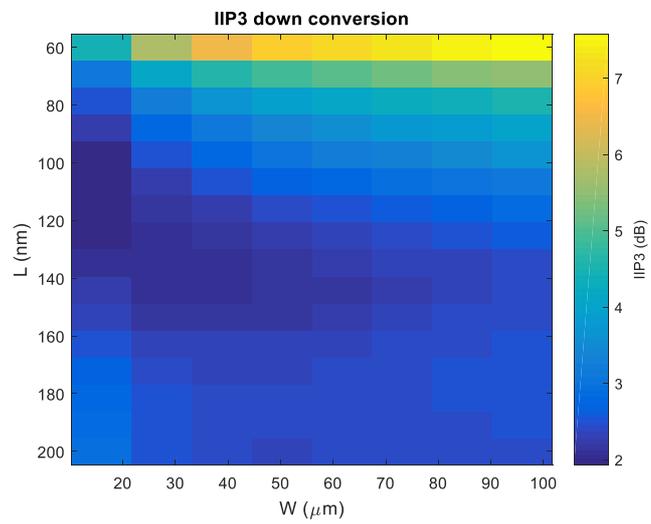


Figura 27. IIP3 mezclador en cuadratura en función de las dimensiones de los transistores en down conversion.

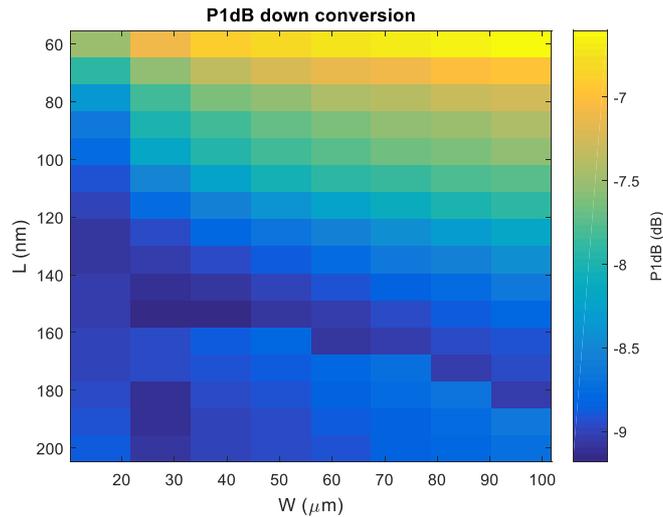


Figura 28. P1dB mezclador en cuadratura en función de las dimensiones de los transistores en down conversion.

3.2.3 Aislamiento entre puertos

El mezclador en anillo consiste en un mezclador doblemente balanceado, por lo cual cuando existe un balance perfecto entre las ramas positiva y negativa se cancelan las componentes de la entrada o del oscilador local en la salida.

Sin embargo, debido al mismatch entre los transistores de la rama positiva y negativa, las interferencias dejarán de compensarse, por lo tanto, para evaluar el comportamiento del mezclador hay que utilizar análisis de Montecarlo.

Se han tomado para este análisis unas dimensiones que caben dentro de lo esperable en un mezclador de esta tecnología.

El aislamiento entre puertos va a estar condicionado principalmente por la relación entre la anchura y la longitud, W/L , de los transistores. La capacidad que se genera entre drenador y fuente es directamente proporcional a esta relación, por lo tanto, a una mayor capacidad más señal es capaz de atravesar el mezclador, sin embargo, cuanto mayores son las dimensiones, menores son las variaciones en relación a estas, y por lo tanto más se compensan las fugas en la salida diferencial.

El aislamiento entre el oscilador local y la salida no parece tan dependiente con las dimensiones de los transistores, obteniendo unos resultados mostrados en la

Tabla 6. Nótese que es indiferente que se trate de *up* o *down conversion* para calcular la presencia del oscilador local en la salida.

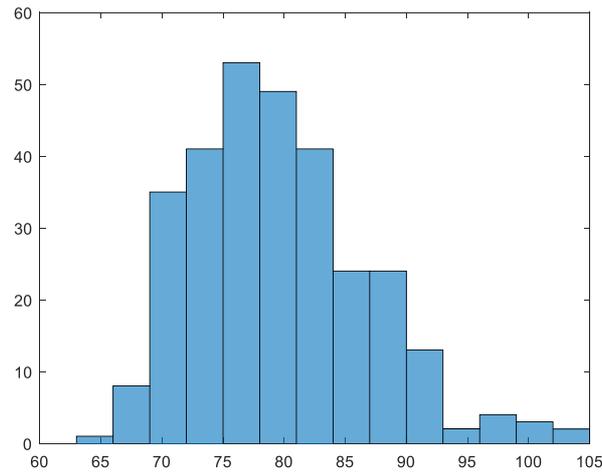


Figura 29. Aislamiento LO-Salida mezclador I-Q 48 μm / 100 nm.

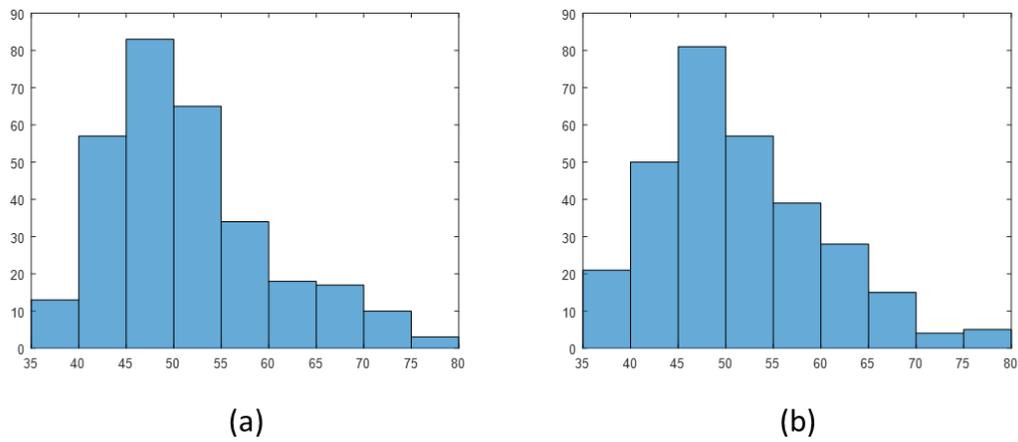


Figura 30. (a) Aislamiento IF-RF en up conversion $W/L = 48 \mu\text{m}$ / 100 nm mezclador I-Q. (b) Aislamiento RF-IF en down conversion $W/L = 48 \mu\text{m}$ / 100 nm mezclador I-Q.

Tabla 4. Valores del aislamiento entre IF-RF en up conversion.

W / L	Media	Máximo	Mínimo
48u / 100n	50 dB	74 dB	38 dB
80u / 100n	56 dB	79 dB	44 dB

Tabla 5. Valores del aislamiento entre RF-IF en down conversion.

W / L	Media	Máximo	Mínimo
48u / 100n	50 dB	74 dB	38 dB
80u / 100n	56 dB	79 dB	44 dB

Tabla 6. Valores de aislamiento entre el oscilador local y la salida.

W / L	Media	Máximo	Mínimo
48u / 100n	78 dB	100 dB	68 dB
80u / 100n	78 dB	90 dB	67 dB

3.2.4 Ruido

En la Sección 2.5 se realiza un análisis de ruido del mezclador NMOS, como conclusión extraemos que se trata de ruido blanco, y que su potencia espectral depende principalmente del proceso y de las dimensiones de los transistores, ya que una menor resistencia de conducción conlleva que la estructura genere menos ruido térmico. En la Figura 31 se muestra un barrido paramétrico en función de las dimensiones, mediante estas simulaciones validamos lo esperado teóricamente. El incremento en la relación W/L produce una reducción de la figura de ruido. Nótese que la figura de ruido es menor en el escenario de *down conversion*, esto es debido a que las pérdidas de conversión son menores en este caso.

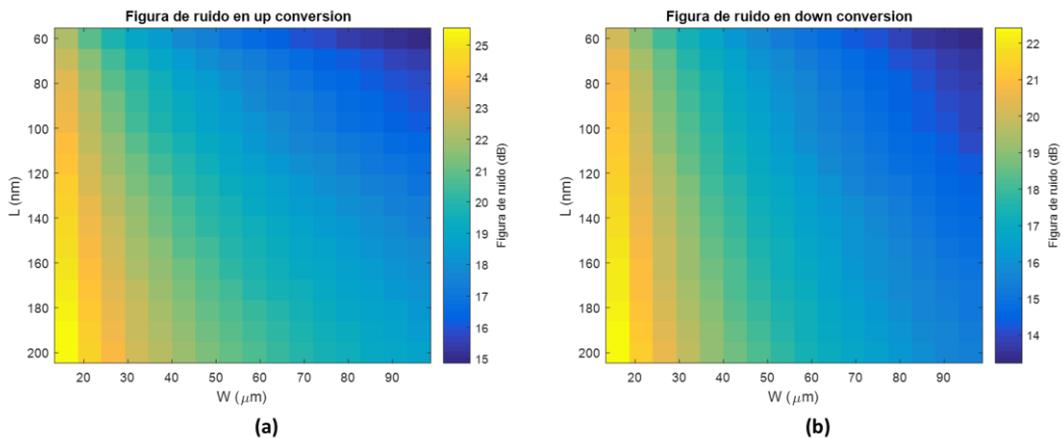


Figura 31. (a) Figura de ruido en up conversion en función de las dimensiones de los transistores. (b) Figura de ruido en down conversion en función de las dimensiones de los transistores.

4. Impacto del mezclador en el IRR

4.1 Definición del IRR

Una figura de mérito (FoM) comúnmente utilizada en este tipo de transceptores es el ratio de rechazo a frecuencia imagen (IRR), este ratio da información sobre cuánto está presente la frecuencia imagen en relación con la frecuencia deseada, dada por la expresión

$$IRR = \frac{S_{Desired}}{S_{Image}} \quad (16)$$

donde $S_{Desired}$ y S_{Image} denotan la potencia de la banda deseada y la banda imagen respectivamente. Valores muy altos de IRR son necesarios cuando se requieren modulaciones de banda lateral única (SSB), o para eliminar interferencias debidas a canales adyacentes sin la necesidad de filtrar a frecuencias de RF.

Para explicar de la mejor forma posible el IRR debemos separar el problema en dos situaciones, *up conversion* y *down conversion*, ya que a pesar de que la definición inicial de la ecuación (16) es válida para ambos casos, puede ser confuso si no se explica de forma separada.

4.1.1 Down conversion

Primero nos centraremos en el caso de *down conversion*. En esta situación denotamos a la frecuencia imagen como la frecuencia que al pasar a través de un mezclador termina en la misma frecuencia intermedia que nuestra señal deseada

$$f_{img} = |f_{deseada} - 2 * f_{LO}| \quad (17)$$

Si no se utilizara un mezclador I-Q sería necesario filtrar esa frecuencia imagen previamente a pasar por el mezclador, siendo una tarea imposible de integrar ya que la selectividad que requiere un filtro que trabaja a frecuencias tan elevadas no es viable para la integración, y requeriría de elementos externos al circuito integrado que conllevan un coste añadido tanto en área como en precio.

Es muy habitual que en la banda de trabajo coexistan varios canales y debamos ir eligiendo uno de ellos en función de la aplicación.

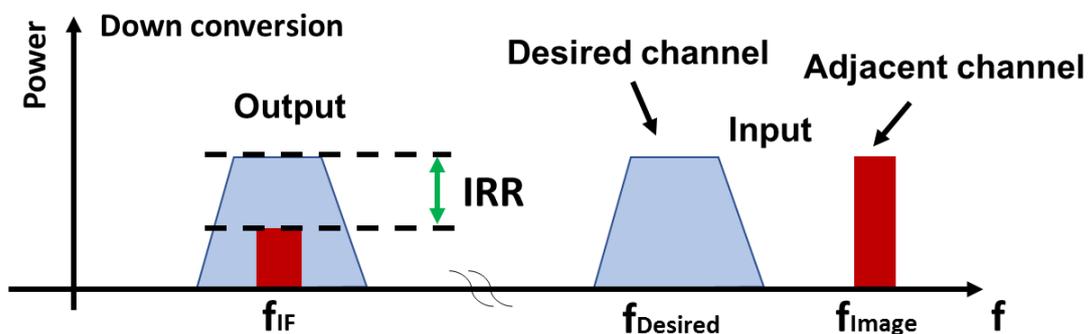


Figura 32. Descripción del IRR en down conversion.

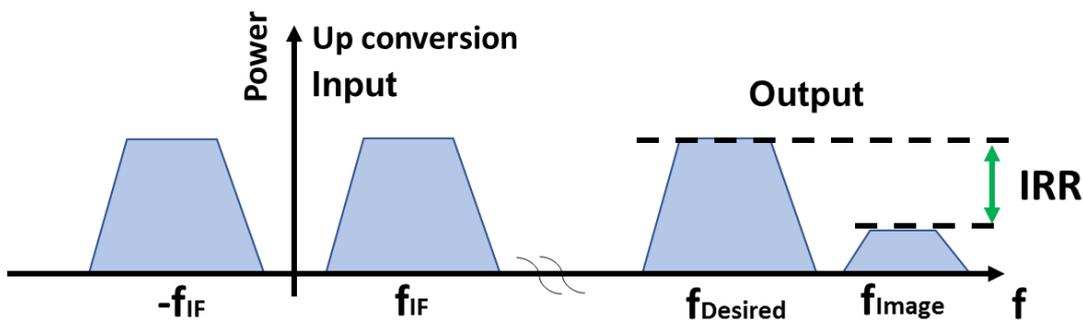


Figura 33. Descripción de IRR en up conversion.

La frecuencia imagen suele corresponder a un canal adyacente como se muestra en la Figura 32, y utilizando mezcladores I-Q se busca minimizar lo máximo posible la presencia de esa señal no deseada en nuestra frecuencia intermedia.

4.1.2 Up conversion

En el caso de *up conversion* la definición de frecuencia imagen cambia ligeramente. Ahora se denota como frecuencia imagen a una de las bandas laterales que no se quiere trasladar en frecuencia.

En situaciones donde conversiones de banda lateral única (SSB) son necesarias, como por ejemplo para nuestra aplicación, el problema de filtrado es el mismo que en el caso anterior de *down conversion*, eliminar esa banda no deseada en RF, en una tarea inviable para la integración. En la Figura 33 se describe gráficamente el IRR en *up conversion*.

Nuestra aplicación debe cumplir con el estándar 802.11n, el cual obliga a mantener un nivel de emisión por debajo de los 40 dB respecto a la señal emitida. Por este motivo es necesario obtener un IRR mayor a 40 dB en el proceso de *up conversion* y será una de las especificaciones más difíciles de cumplir.

4.2 Análisis del impacto del mezclador I-Q

Durante los análisis del impacto del mezclador I-Q en el IRR; se asume que las etapas correspondientes a los filtros polifase que generan la cuadratura son ideales, generando unas señales en perfecta cuadratura, y que las señales del LO también están en una perfecta cuadratura, evaluando únicamente los efectos del mezclador.

El mezclador I-Q no rechaza la frecuencia imagen por sí mismo; es necesario un filtro polifase para filtrar la frecuencia imagen. Sin embargo, imperfecciones en estos mezcladores implican un empeoramiento en el IRR. Solo en el caso de utilizar mezcladores ideales su contribución al IRR es nula, en caso de que exista algún tipo de mismatch que produzca diferentes caminos para las señales de las distintas componentes en fase y cuadratura, empeorará el IRR. Este comportamiento puede modelarse como una imperfección en la amplitud o fase de las señales de entrada asumiendo los mezcladores ideales.

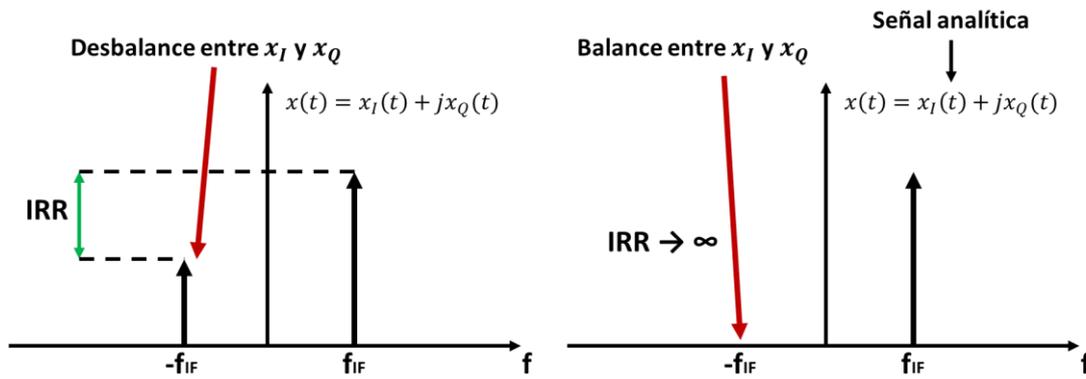


Figura 34. Descripción de la influencia de desbalances en el IRR.

Para comprender como el mezclador puede empeorar el IRR hay que estudiar la dependencia del IRR con la señal en cuadratura.

Para que el IRR sea infinito, es decir, no exista la frecuencia imagen, tiene que haber un balance perfecto entre las amplitudes de las ramas I-Q ($A_{Bal} = 1$) y un desfase exacto de 90° entre ellas ($\Delta\theta = 0$). En (18) se modela matemáticamente la dependencia del IRR con estos dos parámetros.

Cuando descomponemos una señal en fase y cuadratura se está haciendo una representación compleja de la señal, ya que para que no exista una simetría en el espectro de la señal, ésta no puede ser real. Por tanto, la señal estará formada por la señal en fase como parte real y la señal en cuadratura como parte imaginaria.

En el momento en que existe un balance ideal entre las amplitudes de ambas señales y un desfase exacto de 90° , lo que tenemos es la señal analítica, únicamente la parte positiva del espectro. Es por ello que un desbalance provoca la aparición de la frecuencia imagen al ser una mala estimación de la señal analítica

$$IRR = \frac{1 + 2A_{Bal} \cos(\Delta\theta) + A_{Bal}^2}{1 - 2A_{Bal} \cos(\Delta\theta) + A_{Bal}^2} \quad (18)$$

donde A_{Bal} es el cociente de amplitudes de las ramas I-Q y $\Delta\theta$ la desviación de 90° de los desfases relativos de ambas ramas, se puede observar como diferencias en las amplitudes o desfases introducidos al pasar por el mezclador producirán un empeoramiento en el IRR [11].

Para reflejar los efectos negativos en el IRR por parte del mezclador es necesario aplicar análisis de mismatch mientras se introducen señales perfectamente balanceadas, donde quedan patentes las diferencias entre transistores que deberían ser idénticos y no lo son, observando que variaciones en los parámetros de los transistores son más perjudiciales y en cuales hay que tener un especial cuidado a la hora de realizar el layout físico para minimizar los efectos nocivos.

Las variaciones *process-voltage-temperature* (PVT) no se analizan en este apartado porque no afectan de ninguna forma al IRR, cualquier variación aplicada de la misma forma a todos los transistores no reducirá el IRR porque no afectará de forma distinta a las ramas I-Q.

Impacto del mezclador en el IRR

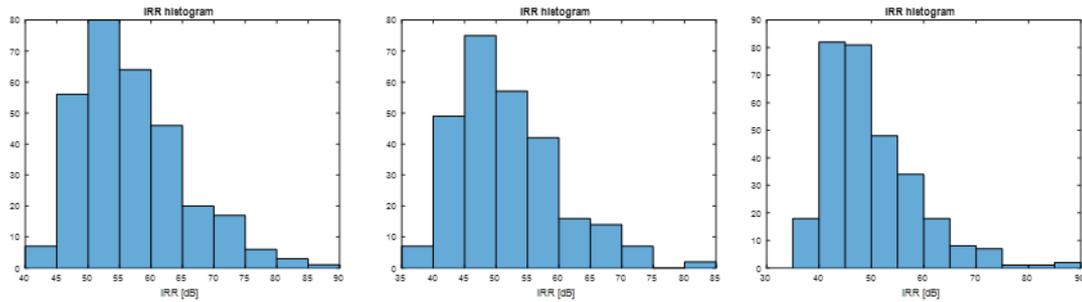


Figura 35. Histogramas IRR en up conversion. De izquierda a derecha, 96 μm / 200 nm, 40 μm / 200 nm y 40 μm / 60 nm.

4.3 Análisis del IRR en up conversion

Para analizar el comportamiento del mezclador IQ en *up conversion* se utiliza el esquema mostrado en la Figura 15, la entrada es una señal de frecuencia intermedia a 100 MHz en cuadratura. Normalmente esa señal de entrada se obtiene de la salida de un filtro polifase, el cual produce la cuadratura, pero en estas simulaciones, se generan de forma ideal con un balance perfecto en amplitud y fase.

En este esquema, el IRR se puede medir de forma muy sencilla mediante (16), calculando la potencia a la frecuencia deseada y a la imagen y haciendo el cociente de ambas. La frecuencia deseada corresponde a 4.9 GHz y la imagen a 5.1 GHz, con una frecuencia de oscilador local de 5 GHz.

El primer aspecto que debe ser analizado es la dependencia del IRR con las dimensiones de los transistores cuando aplicamos análisis de *mismatch*. Para este propósito, se utilizan análisis de Montecarlo con distintos tamaños de transistores utilizando la librería que incluye los efectos estadísticos de *mismatch*. Observando la variación de la media del IRR por iteración se determina que con 500 realizaciones se alcanza una buena convergencia.

Se utilizan tres tamaños distintos para evaluar las distintas posibilidades, aumentar W manteniendo L igual, aumentar L manteniendo W y aumentar la relación W/L. De esta manera se comprueba qué dimensiones o relaciones son críticas de cara al IRR.

Como se observa en la Tabla 7, cuanto mayores son las dimensiones de los transistores mejores son los resultados en cuanto al IRR, es un resultado esperable ya que cuanto mayor es una dimensión del transistor más pequeñas son las variaciones en relación a ésta y lo que empeora el IRR son las relaciones relativas entre los transistores de los mezcladores de las ramas I-Q.

Tabla 7. Comparación del IRR en función de las dimensiones de los transistores en up conversion.

W / L	Media	Desviación típica	Mínimo	Yield (>40 dB)
96 μm / 200 nm	56.9 dB	8.2 dB	42.9 dB	100 %
40 μm / 200 nm	51.8 dB	8.18 dB	38 dB	97 %
40 μm / 60 nm	50.4 dB	9.4 dB	34.4 dB	92 %

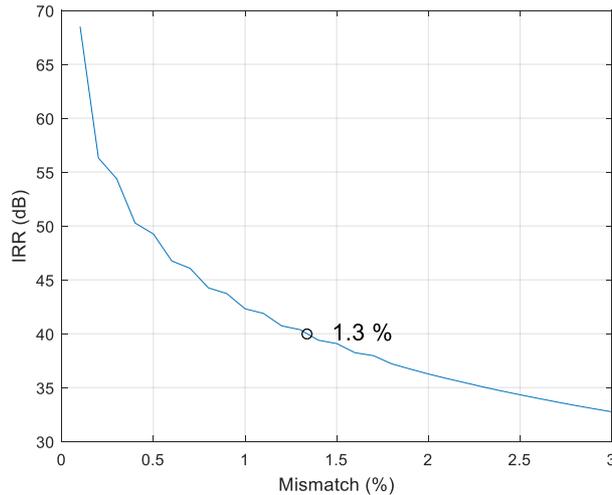


Figura 36. IRR en función del mismatch en transistores equivalentes I-Q con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en up conversion.

Si diseñamos la etapa previa del filtro polifase y el oscilador local para cumplir con un determinado IRR, pero el mezclador no se dimensiona adecuadamente, nos encontraríamos ante el caso de que no se podrían garantizar las especificaciones en un porcentaje adecuado.

Mediante este análisis, se puede obtener que dimensiones mínimas deben tener los transistores para asegurar que en todo momento vamos a poder asegurar un IRR por encima de 40 dB, pero es muy importante saber exactamente cuáles son los peores *mismatch* que puede haber para poner especial atención en el matching de esos transistores al realizar el *layout*, y reducir al máximo los efectos sobre el IRR.

Para este propósito se varían las dimensiones de los 8 transistores que forman los dos mezcladores. Se utilizan 7 combinaciones ortogonales entre sí, que modifican las anchuras de los 8 transistores, sin modificar el valor promedio de las anchuras de los 8 transistores y manteniendo la longitud de los transistores. Las anchuras seguirían las relaciones de (19)

$$\begin{aligned}
 W_1 &= W(1 + m_1 + m_2 + m_3 + m_4 + m_5 + m_6 + m_7) \\
 W_2 &= W(1 + m_1 + m_2 + m_3 - m_4 - m_5 - m_6 - m_7) \\
 W_3 &= W(1 - m_1 - m_2 + m_3 + m_4 + m_5 - m_6 - m_7) \\
 W_4 &= W(1 - m_1 - m_2 + m_3 - m_4 - m_5 + m_6 + m_7) \\
 W_5 &= W(1 + m_1 - m_2 - m_3 + m_4 - m_5 - m_6 + m_7) \\
 W_6 &= W(1 + m_1 - m_2 - m_3 - m_4 + m_5 + m_6 - m_7) \\
 W_7 &= W(1 - m_1 + m_2 - m_3 + m_4 - m_5 + m_6 - m_7) \\
 W_8 &= W(1 - m_1 + m_2 - m_3 - m_4 + m_5 - m_6 + m_7)
 \end{aligned} \tag{ 19 }$$

siendo W_i la anchura del transistor M_i , W la anchura promedio y m_i las variables que provocan los cambios ortogonales entre sí en las anchuras de los transistores. El conexionado de los transistores se detalla en la Tabla 8. Nótese que los transistores impares M_1 , M_3 , M_5 y M_7 forman el mezclador que utiliza la componente en fase, mientras que los pares forman el mezclador que utiliza la componente en cuadratura.

A continuación, se hace un estudio paramétrico en función de las variables $m_1 \dots m_7$, para observar cuales son las más perjudiciales. De los resultados obtenidos podemos concluir que el mismatch más dañino es el que afecta de forma distinta al mezclador I y al Q, es decir, la variable m_4 .

Tabla 8. Conexiones de los transistores del mezclador I-Q.

	M ₁	M ₃	M ₅	M ₇	M ₂	M ₄	M ₆	M ₈
Fuente	IF_I+	IF_I+	IF_I-	IF_I-	IF_Q+	IF_Q+	IF_Q-	IF_Q-
Drenador	RF+	RF-	RF-	RF+	RF+	RF-	RF-	RF+
Puerta	LO_I+	LO_I-	LO_I+	LO_I-	LO_Q+	LO_Q-	LO_Q+	LO_Q-

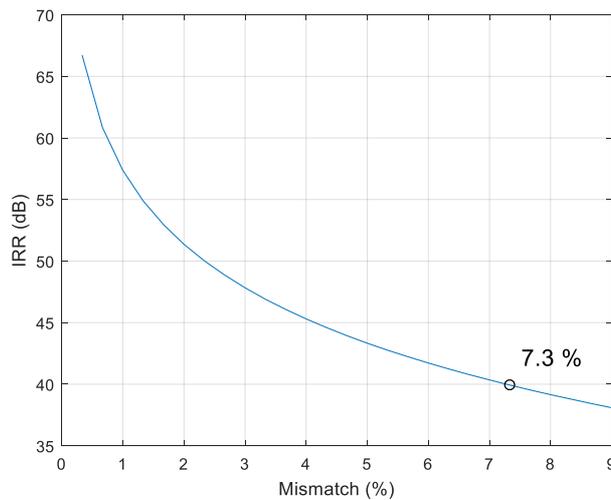


Figura 37. IRR en función de la diferencia entre las impedancias de fuente con una relación W/L de 96 μm / 200 nm en up conversion.

Siendo M₁ y M₂ de la Tabla 8 transistores equivalentes en ambos mezcladores, si existe alguna diferencia entre ellos el IRR disminuirá rápidamente. Esto es extrapolable a los demás pares de transistores: M₃-M₄, M₅-M₆ y M₇-M₈.

Esto se debe principalmente a que las pérdidas de conversión en este caso de *up conversion* tienen una dependencia muy fuerte con las dimensiones de los transistores tal y como se muestra en la Sección 3.2.1, así pues, si existen diferencias en las dimensiones de los transistores de los dos mezcladores y por ello cada mezclador tiene unas pérdidas de conversión distintas, se traduce en un desbalance de la amplitud de la cuadratura y por tanto una mayor presencia de la señal no deseada como se puede predecir con (18).

A la vista de estos resultados es muy evidente que habrá que recurrir a técnicas de centroide común entre los transistores equivalentes de los mezcladores para minimizar la diferencia de caminos entre las ramas I y Q.

De la misma forma es importante garantizar que no exista un desbalance entre las impedancias de fuente a la entrada de los mezcladores, ya que causarían diferencias en las amplitudes de las dos ramas, en la Figura 37 se analiza que diferencia entre las impedancias de fuente podemos tolerar, resultando en un 7.3 % si queremos garantizar la especificación del IRR, lo cual no es muy preocupante. Estas impedancias corresponden con las impedancias de salida de los amplificadores de IF de cada rama I-Q.

4.3.1 Alternativa de oscilador local

En este trabajo se ha utilizado una señal de oscilador local sinusoidal, pero es muy común en estas topologías utilizar señales cuadradas con un *duty cycle* del 25 %. Para obtener una señal de este tipo primero es necesario generar una señal cuadrada del doble de frecuencia, para después pasarla por divisores de frecuencia.

La forma de onda del oscilador tiene un impacto importante sobre el IRR, repitiendo análisis anteriores y utilizando las formas de onda de la Figura 38, se obtienen los resultados de la Tabla 9. A simple vista se aprecia como los efectos negativos del mismatch se reducen drásticamente, no aumentando la media del IRR, pero sí reduciendo significativamente el número de casos que no exceden los 40 dB.

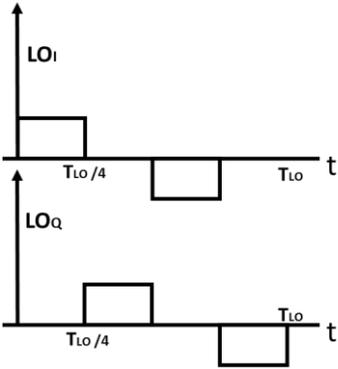


Figura 38. Señal de oscilador local con duty cycle del 25 %.

Tabla 9. Comparación del IRR en función de las dimensiones de los transistores en up conversion utilizando un oscilador local con un duty cycle del 25 %.

W / L	Media	Desviación típica	Mínimo	Yield (>40 dB)
96 μm / 200 nm	56.9 dB	8.1 dB	42.4 dB	100 %
40 μm / 200 nm	52.6 dB	7.6 dB	39.1 dB	98.7 %
40 μm / 60 nm	51.4 dB	8.1 dB	36.4 dB	97.3 %

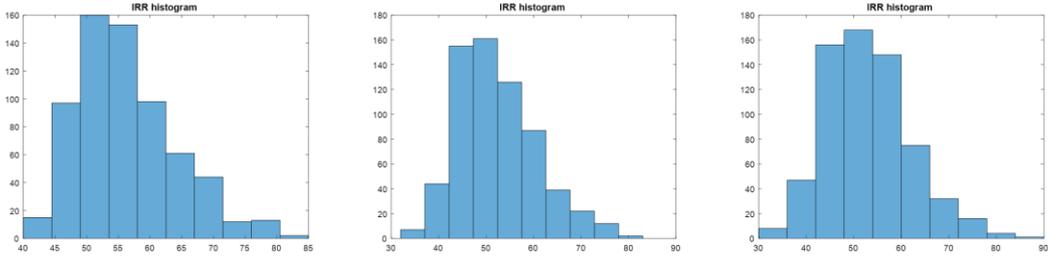


Figura 39. Histogramas IRR en up conversion con una señal de oscilador local de duty cycle del 25 %. De izquierda a derecha, 96 μm / 200 nm, 40 μm / 200 nm y 40 μm / 60 nm.

Por motivos de complejidad a la hora de generar una señal de oscilador local cuadrada a 10 GHz y por conllevar un consumo adicional respecto a la señal sinusoidal, no se opta por esta alternativa.

El diseño de un oscilador local que cumpla con estas especificaciones no es viable dentro del proyecto y hay que utilizar una señal sinusoidal, pero es interesante caracterizar también el comportamiento del mezclador en función de la forma de onda del oscilador local para comprobar las posibles ventajas o desventajas.

4.3.2 Efectos de las no idealidades en el oscilador local

La señal del oscilador local no es perfecta y tiene un error de fase y amplitud, esto provoca que la mezcla se vea fuertemente condicionada por esos desbalances como se muestra en la Sección 3.1.1.

En la Figura 41 se muestra la dependencia del IRR con los errores en el oscilador local, de esa figura comprobamos que en cuanto a el error de fase sigue (18), mientras que el error en el balance de amplitudes no sigue dicha ecuación debido a que la relación de las pérdidas de conversión con la amplitud del oscilador local no es una relación lineal como se muestra en la Figura 42.

Para compensar esta fuerte dependencia con el oscilador local, la cual puede ser muy perjudicial si no se diseña cuidadosamente el bloque del oscilador, existen alternativas como el mezclador en doble cuadratura presentado y explicado en la Sección 3.1.3.

Como se muestra en la

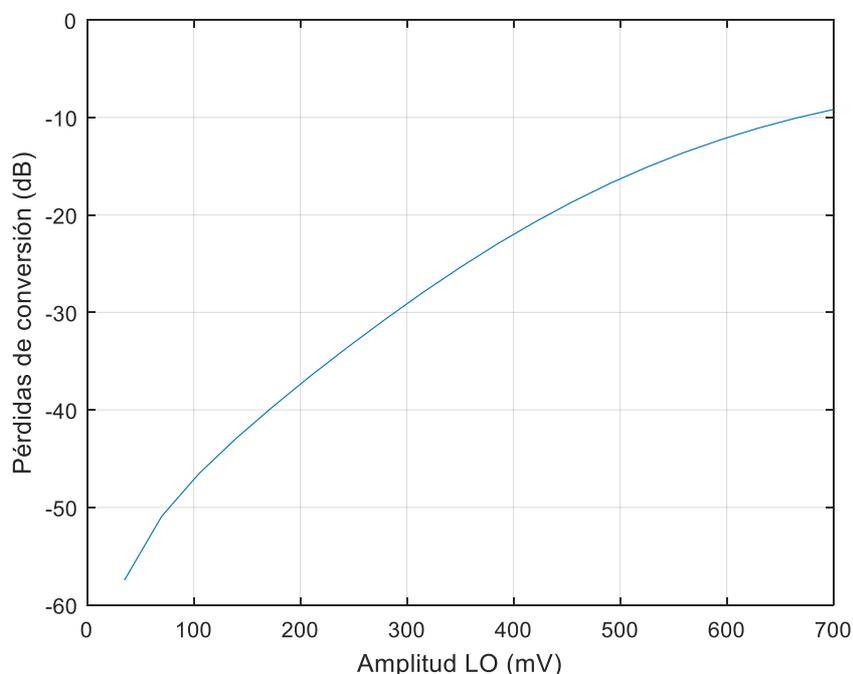


Figura 42. Pérdidas de conversión en función de la amplitud pico a pico del LO en up conversion.

Tabla 11, conseguimos eliminar la dependencia del parámetro del IRR con la precisión del oscilador local.

Cuando se solapa el efecto del *mismatch* y de las no idealidades en el oscilador local predomina el efecto que menor IRR produzca. En el caso de tener un error en la fase de un 1 % y aplicar análisis de *mismatch* la desviación típica se reduce drásticamente dominando el efecto del error de fase, en la Tabla 10 aparecen los datos de la simulación, en este caso donde la desviación típica es ahora de 0.7 dB mientras que en el caso que no incluye errores de fase es de 8.2 dB.

La Figura 40 se trata del histograma obtenido mediante análisis de Montecarlo, en la cual se aprecia que el efecto dominante es el error de fase del oscilador local ya que es el que marca el IRR máximo, mientras que las variaciones de *mismatch* reducen el IRR hasta valores similares al caso en el que no se aplica un error de fase.

Mediante las simulaciones previas del VCO que genera las señales del LO en cuadratura, se obtiene que en el peor caso se encontrará con un error de fase del 1 %, eso implica que en un porcentaje muy alto el IRR será superior a 40 dB.

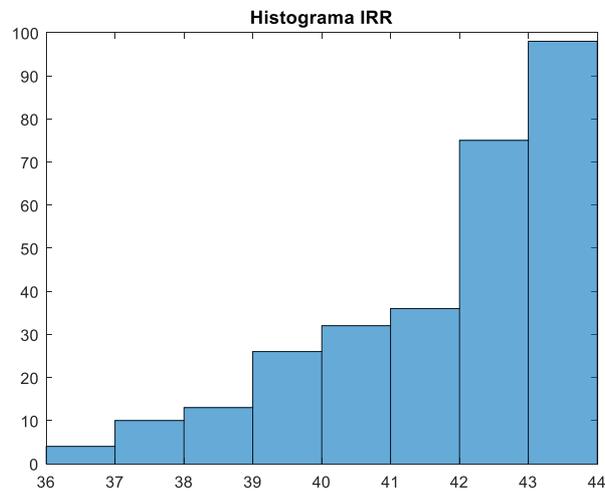


Figura 40. IRR con un error del oscilador local del 1 % en up conversion con 48 μm / 60 nm.

Tabla 10. IRR con solape de mismatch y no idealidades en el oscilador local en up conversion

W / L	Media	Desviación típica	Mínimo	Yield (>40 dB)
96 μm / 200 nm	41.2 dB	0.7 dB	39 dB	92 %
48 μm / 60 nm	41.5 dB	1.7 dB	36 dB	82 %

Impacto del mezclador en el IRR

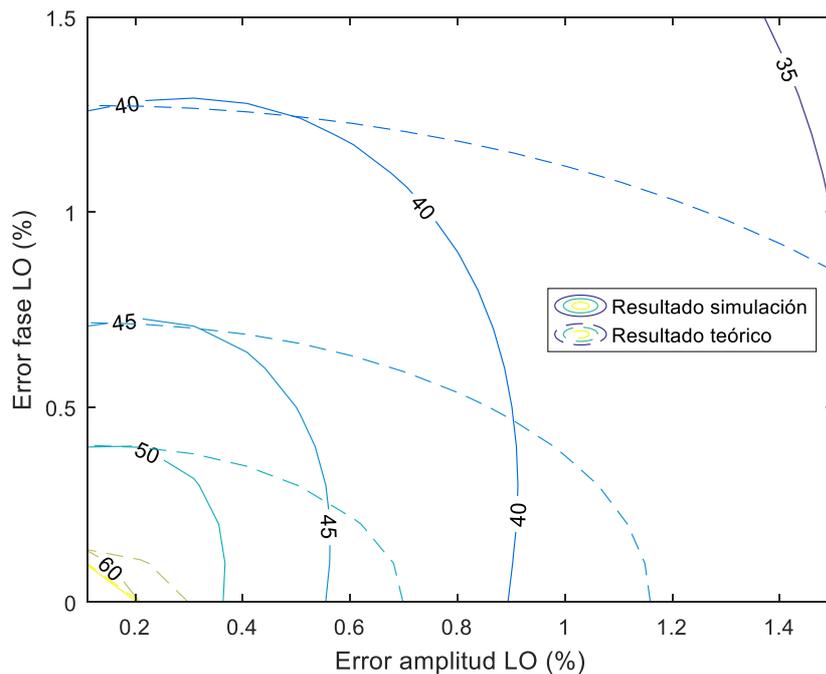


Figura 41. IRR del mezclador simple en función de los errores de amplitud y fase del oscilador local en up conversion.

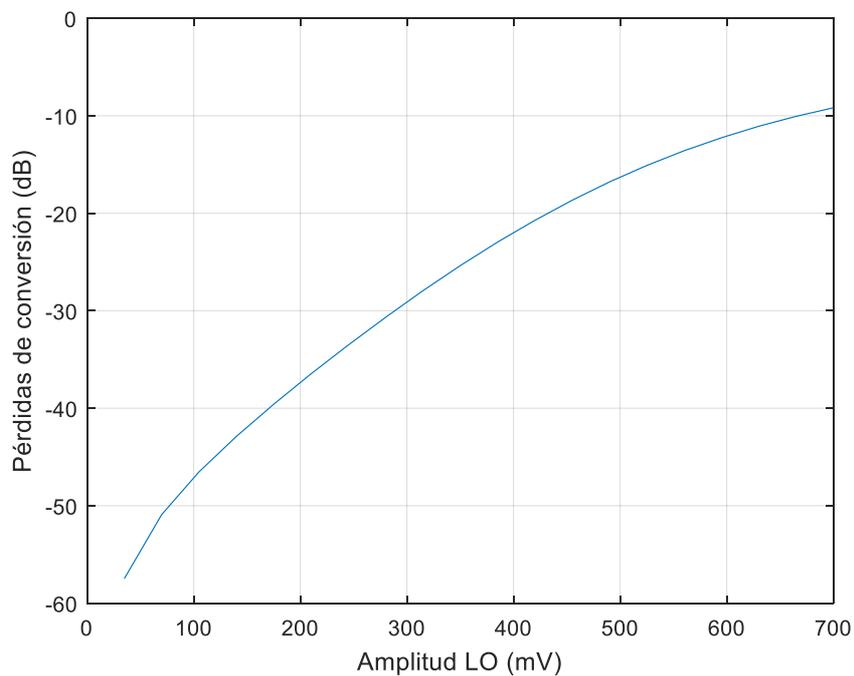


Figura 42. Pérdidas de conversión en función de la amplitud pico a pico del LO en up conversion.

Tabla 11. Errores de amplitud y fase en el oscilador local barridos con el mezclador en doble cuadratura en up conversion.

Error de fase barrido	Error de amplitud barrido	IRR mínimo
0-7 %	0-7 %	70 dB

4.4 Análisis del IRR en down conversion

Medir el IRR en un proceso de down conversion es mucho más problemático que en *up conversion*, si introducimos la señal deseada y la imagen, a la salida no es posible distinguir que parte de la señal de IF corresponde con la señal deseada y cual, con la imagen, véase la Figura 20.

El esquema utilizado se muestra en la Figura 19 donde el PPF se supone ideal, lo cual implica que todas las señales que rotan en sentido horario que entren al filtro polifase serán eliminadas. De esta forma el IRR se calcula utilizando (18) sin necesidad de incluir ningún filtro polifase en el *testbench*.

Como se muestra en el Anexo IV y en la Sección 3.1, es posible descomponer una señal con un desbalance en la suma de dos secuencias que giran en sentidos contrarios.

Si introducimos la frecuencia imagen a la entrada del mezclador, a la salida debería haber una señal que únicamente rota en sentido horario. Un mezclador no ideal producirá a su salida una señal con un desbalance en fase y/o amplitud, lo que significa que parte de la señal rotará en sentido antihorario y podrá pasar a través del filtro polifase, proviniendo en realidad de la señal de la banda no deseada.

Mediante análisis con la herramienta obtenemos el balance entre las amplitudes y el desfase relativo de las ramas I-Q para aplicar (18). En la Tabla 12 se muestran los resultados de estas simulaciones.

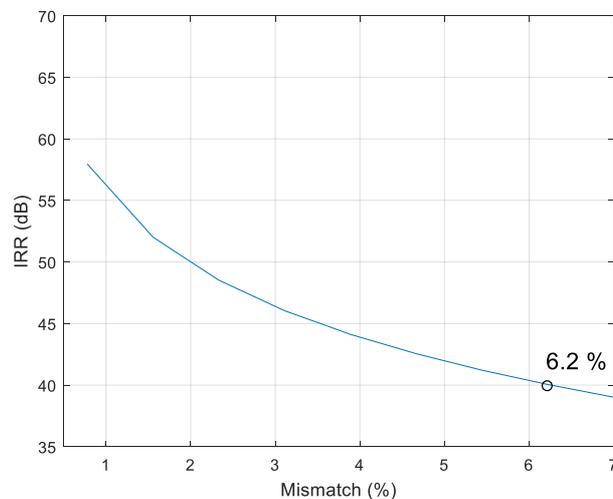


Figura 43. IRR en función de la diferencia entre transistores equivalentes I-Q en down conversion. Con una relación W/L de 96 μm / 200 nm en down conversion.

Tabla 12. Comparación del IRR en función de las dimensiones de los transistores en down. conversion.

W / L	Media	Desviación típica	Mínimo	Yield (>40 dB)
96 μm / 200 nm	78 dB	8.2 dB	63 dB	100 %
40 μm / 200 nm	80 dB	8.18 dB	67 dB	100 %
40 μm / 60 nm	71 dB	7.6 dB	57 dB	100 %

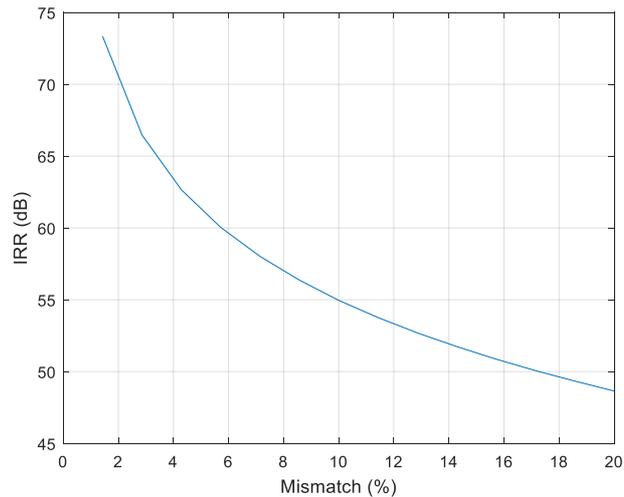


Figura 44. IRR en función de la diferencia entre las impedancias de carga con una relación W/L de $96 \mu\text{m} / 200 \text{ nm}$ en down conversion.

Todas las simulaciones mostradas en la Tabla 12 han superado el objetivo de los 40 dB, demostrando que los mezcladores no imponen ninguna restricción importante al IRR en la etapa de down conversion. Los efectos por mismatch son insignificantes y mucho menos relevantes que en el proceso de *up conversion*.

Esto se debe al mismo motivo por el cual en *up conversion* sí que es problemático, principalmente porque las pérdidas de conversión en down conversion dependen de una forma muy débil con las dimensiones de los transistores, y por tanto una variación en sus dimensiones apenas conlleva una diferencia significativa entre las pérdidas en tensión de las ramas I y Q, y por tanto un desbalance de las amplitudes casi despreciable.

Como vemos en la Figura 43, necesitamos un mismatch del 6.2 % entre las dimensiones de los transistores de ambos mezcladores para reducir el IRR por debajo de 40 dB, algo imposible en *mismatch* por motivos de fabricación según los resultados del *Yield* de la Tabla 12.

La diferencia entre las impedancias de carga afecta de una forma mucho menos agresiva, en la Figura 44 se muestra la dependencia, haciendo un barrido de hasta un 20 % ni siquiera alcanza los 40 dB, por tanto, este desbalance es totalmente despreciable.

En *down conversion* no se analiza la mejoría por utilizar una señal de oscilador local con un *duty* del 25 % ya que obtiene unos resultados en cuanto al IRR muy elevados.

4.4.1 Efectos de las no idealidades en el oscilador local

De la misma forma podemos ver en la Figura 46 como un error en la amplitud del oscilador local no es perjudicial en down conversion debido a que las pérdidas de conversión varían muy poco al variar la amplitud del oscilador local como se demuestra en la Figura 47.

De la misma forma que en *up conversion* también se puede utilizar la alternativa mostrada en la Sección 3.1.3, utilizando un mezclador en doble cuadratura con el cual insensibilizamos el sistema ante los errores producidos por el oscilador local y dependiente únicamente del error en la entrada del mezclador producido por el filtro polifase previo.

En las simulaciones realizadas con esta estructura de doble cuadratura no se obtiene ningún valor de IRR por debajo de 70 dB como se muestra en la Tabla 13, muy por encima del requisito para el propósito de la aplicación.

Suponiendo un error de fase de un 1 % se realiza un análisis de *mismatch* para comprobar el impacto, la varianza es menor que en el caso de *up conversion* con las mismas dimensiones sin obtener ningún valor por debajo de los 40 dB. El histograma se muestra en la Figura 45, en el cual la desviación típica resulta de 0.3 dB.

Mediante las simulaciones previas del VCO que genera las señales del LO en cuadratura, se obtiene que en el peor caso se encontrará con un error de fase del 1 %, eso implica que siempre se obtendrá un IRR superior a 40 dB.

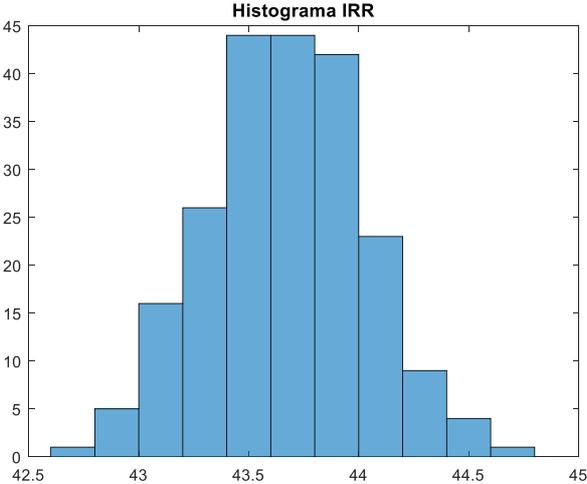


Figura 45. Histograma IRR con un error de fase en el oscilador local del 1 % en down conversion con 96 μm / 200 nm.

Tabla 13. Errores de amplitud y fase del oscilador local barridos con el mezclador en doble cuadratura en down conversion.

Error de fase barrido	Error de amplitud barrido	IRR mínimo
0-7 %	0-7 %	70 dB

Impacto del mezclador en el IRR

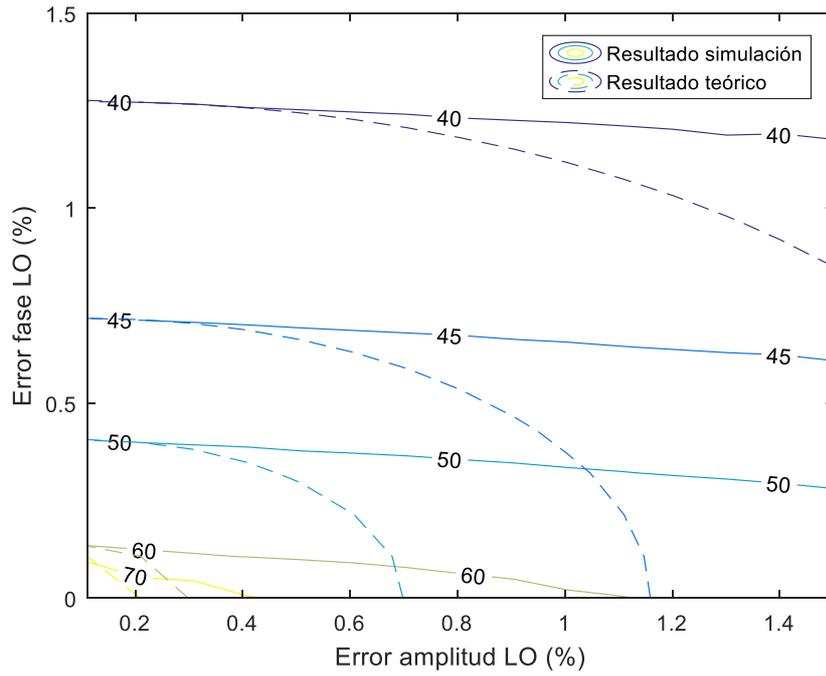


Figura 46. IRR del mezclador simple I-Q en función de los errores de amplitud y fase del oscilador local en down conversion.

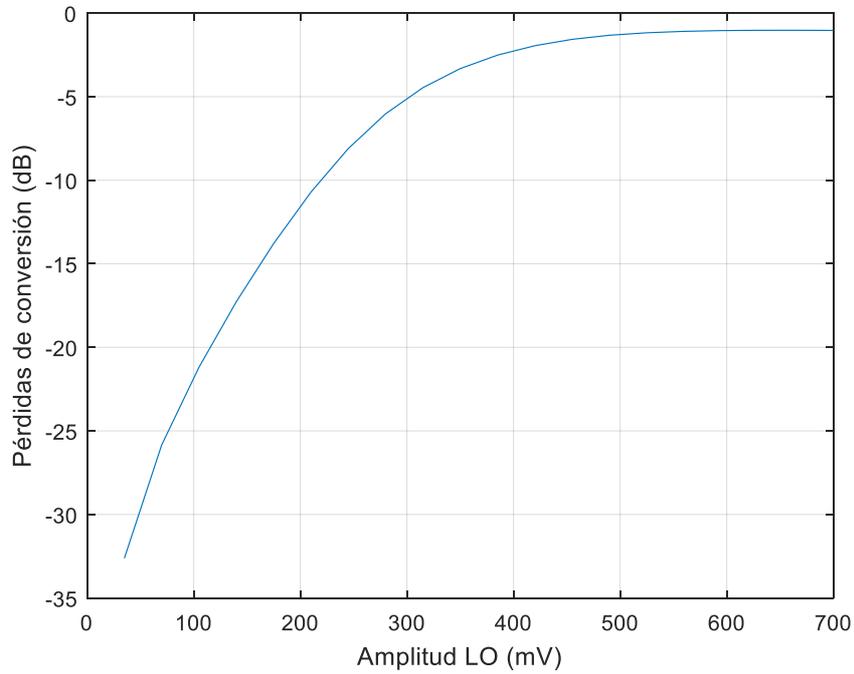


Figura 47. Pérdidas de conversión en función de la amplitud pico a pico del LO en down conversion.

5. Layout físico

En este último punto se hace una breve introducción al diseño físico de circuitos integrados. El *layout* de un circuito integrado es la traducción del diseño del esquemático a su representación física en formas geométricas correspondientes a las distintas capas de metal, óxido y semiconductor que conforman los distintos componentes del circuito.

Para este propósito es necesario utilizar herramientas de CAD específicas y una metodología de diseño que permita optimizar los resultados.

5.1 Técnicas de layout

En esta sección se describen brevemente las distintas técnicas utilizadas en el diseño físico para mejorar el rendimiento del circuito integrado una vez fabricado.

5.1.1 Anillo de guarda

Cualquier circuito es susceptible a ruido proveniente del sustrato. El ruido de sustrato resulta de circuitos adyacentes que inyectan corriente en nuestro circuito. El método más simple para reducir las interferencias entre circuitos adyacentes es polarizar el sustrato alrededor de nuestro circuito a una tensión constante, creando una región equipotencial. La conexión al sustrato elimina los portadores inyectados y mantiene el sustrato a un potencial fijo, que es la tensión más baja del circuito en caso de sustrato de tipo P, en caso contrario sería la más alta.

Los objetivos del anillo son dos. El primero es prevenir que los portadores minoritarios salgan de la región del circuito afectando a los circuitos adyacentes, y segundo, evitar la inyección de portadores minoritarios desde circuitos adyacentes hasta nuestro circuito de interés. En la Figura 48 se muestra gráficamente un anillo de guarda.

5.1.2 Centroide común

Para conseguir un buen *matching* entre componentes es importante situarlos cerca y orientados en la misma dirección. Una técnica habitual para maximizar la similitud entre dos componentes es subdividir cada componente en una combinación en paralelo/serie de subcomponentes, ubicándolos físicamente de forma que ambos componentes tengan un centroide común.

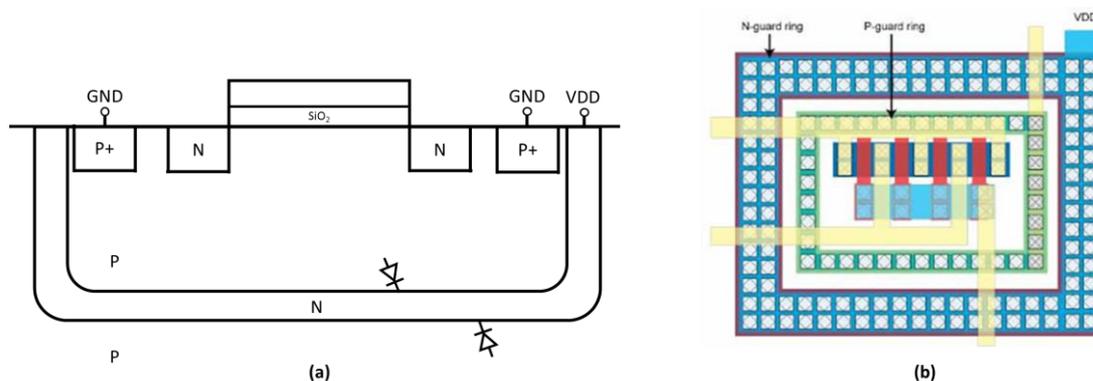


Figura 48. (a) Vista transversal del anillo de guarda (b) Vista desde arriba del anillo de guarda [12].

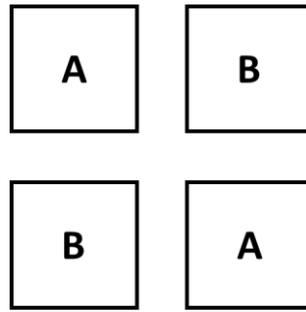


Figura 49. Ejemplo de centroide común 2D

La disposición tiene que formar un patrón de forma que las variaciones del proceso en cualquier dirección del plano de la oblea afecten de la misma forma a ambos componentes.

Por ejemplo, dos transistores A y B cada uno con un tamaño de W/L pueden realizarse con dos transistores en paralelo de $0.5W/L$ cada uno como se muestra en la Figura 49, y obteniendo un centroide común entre ambos.

Está técnica por contra, necesita más interconexiones por lo tanto tendrá mayores capacidades parásitas, y como resultado una respuesta frecuencial peor. Sin embargo, el mayor inconveniente es que la interconexión entre los transistores manteniendo una simetría se vuelve un problema muy complejo.

5.1.3 Componentes dummy

Con el objetivo de aumentar la similitud entre dispositivos de cualquier tipo se añaden unos componentes extra en los extremos. Estos componentes no tienen ninguna función a nivel de esquemático, su única finalidad es igualar las condiciones de contorno en los extremos en todos los componentes.

5.2 Layout

En el caso concreto del mezclador I-Q se ha utilizado los resultados de los análisis previos para identificar las situaciones más críticas y utilizar las técnicas de *layout* de la mejor forma.

En el apartado donde se analiza el impacto del mezclador en el IRR se concluye que el mismatch más perjudicial posible es el que exista entre transistores equivalentes de ambos mezcladores. Se aplica un centroide común a los transistores equivalentes, de forma que hay cuatro grupos con cuatro transistores cada grupo, dos de cada transistor. Es decir, cada transistor M_i se ha dividido en dos transistores con anchura mitad $M_{i,1}$ y $M_{i,2}$, que se conectarán en paralelo. Se aplica el centroide común en 2D explicado anteriormente, a los pares de transistores cuya asimetría es crítica según el análisis del IRR en función del *mismatch*: M_1-M_2 , M_3-M_4 , M_5-M_6 y M_7-M_8 . La distribución final se muestra en la Figura 50.

Además, se incluyen transistores dummy en todos los extremos para igualar las condiciones de contorno en todos los transistores, también se rodea el circuito con un anillo de guarda de tipo P y N como se explica anteriormente, el cual creará un pozo P aislado del resto del sustrato.

Las dimensiones utilizadas en la implementación se muestran en la

Tabla 14. A partir de los resultados de simulación realizados durante este trabajo y de las conclusiones extraídas de cada uno, nos encontramos ante un compromiso a la hora de dimensionar los transistores. Relaciones de W/L altas mejoran las pérdidas de conversión y la figura de ruido, sin embargo, mantener dimensiones del canal bajas produce efectos muy acuciantes frente a *mismatch*, tanto para el aislamiento entre puertos como para el IRR, es por ese motivo por el cual se opta por una longitud de canal por encima del mínimo de la tecnología y una anchura elevada para mejorar el efecto del *mismatch* y obtener una relación W/L alta.

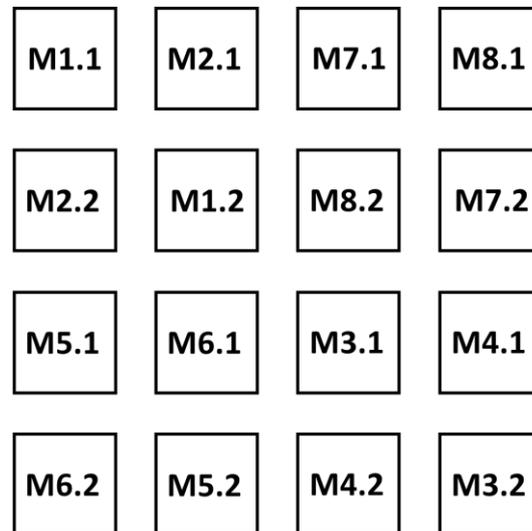


Figura 50. Centroide común aplicado al diseño final.

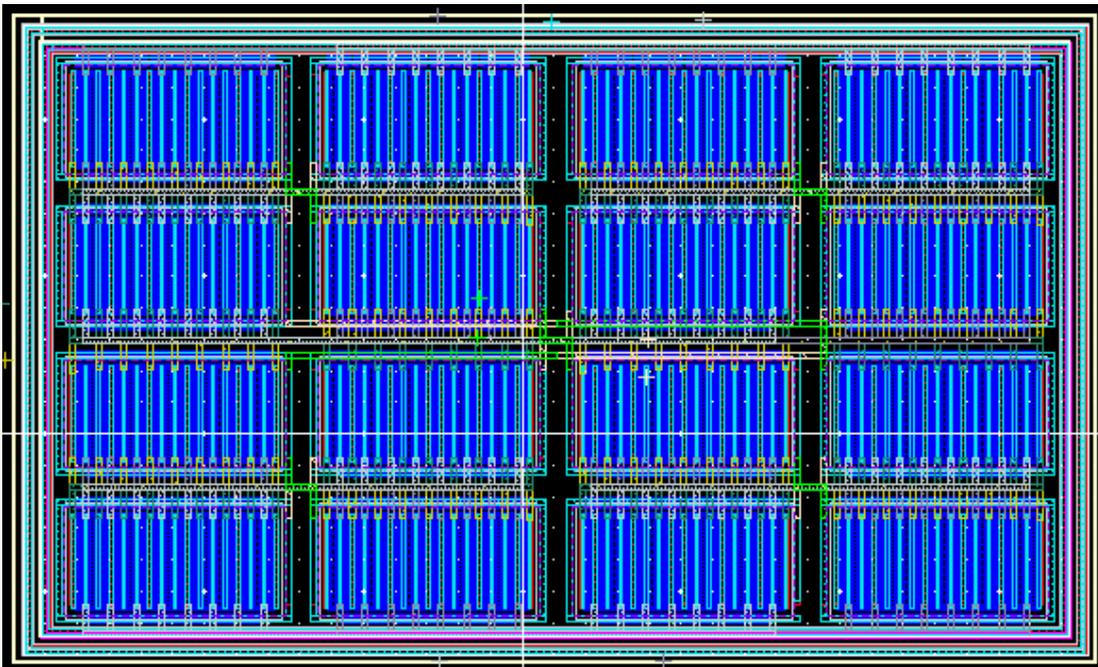


Figura 51. Layout físico del mezclador en cuadratura.

Tabla 14. Dimensiones del diseño físico final.

Dimensión	
W	96 μm
L	200 nm

5.3 Caracterización post-layout

En este apartado se presenta una comparativa entre las estructuras correspondientes al esquemático y al extraído, utilizando los principales análisis expuestos anteriormente. Estos valores se presentan en la Tabla 15.

Los tres últimos resultados de la Tabla 15 se obtienen incluyendo en las simulaciones todos los parásitos extraídos del diseño físico. La herramienta *Cadence* no da ninguna posibilidad de realizar análisis de *mismatch* sobre extraídos, sin embargo, al obtener resultados muy por encima de los obtenidos incluyendo efectos de *mismatch* sobre el esquemático, se estima que el efecto predominante seguirá siendo el *mismatch*, garantizando un IRR superior a 40 dB. Para conocer resultados definitivos es necesario realizar medidas experimentales. En general, los resultados comparables se mantienen próximos a los obtenidos sobre el esquemático.

Tabla 15. Comparativa entre los resultados del post-layout y del esquemático

Parámetros	Up conversion		Down conversion	
	Extraído	Esquemático	Extraído	Esquemático
Pérdidas de conversión	14 dB	12 dB	2 dB	0.8 dB
P1dB	0 dBm	0.8 dBm	-8.8 dBm	-8.5 dBm
IIP3	1 dBm	2.4 dBm	2.6 dBm	2.5 dBm
NF	17.6 dB	18.7 dB	16.6 dB	15.4 dB
Aislamiento entrada - salida*	85 dB	-	100 dB	-
Aislamiento LO – salida*	103 dB	-	103 dB	-
IRR*	60 dB	-	58 dB	-

* Resultados sin aplicar análisis de *mismatch*

6. Conclusiones

6.1 Conclusiones generales

En ese trabajo se ha llevado a cabo un estudio, análisis, simulación y caracterización paramétrica de mezcladores pasivos para su uso en front-ends de radiofrecuencia para el desarrollo de una RAU.

Ha sido necesaria una revisión de las arquitecturas de sistemas de transmisión y recepción más utilizadas en transceptores de radiofrecuencia. Se ha estudiado de forma teórica los principales bloques que componen dichas arquitecturas, y de entre esos bloques se ha centrado el análisis en los mezcladores pasivos, realizando una caracterización exhaustiva de su comportamiento.

A lo largo de este trabajo se exploran alternativas para implementar un mezclador pasivo en tecnología CMOS, valorando dos principales alternativas. El mezclador con transistores NMOS y con pares complementarios CMOS, optando finalmente por la implementación únicamente con transistores NMOS por la facilidad del análisis y layout posteriores y la reducción del área ocupada.

La topología elegida se aplica a una estructura de mezcla en cuadratura, tanto para up conversion como para down conversion, para ello es necesario comprender el funcionamiento del filtro polifase, una estructura imprescindible en el transceptor, y de conceptos de teoría de señal aplicada a comunicaciones.

Un parámetro muy importante en este tipo de mezclas en cuadratura es el rechazo a frecuencia imagen, por ello se realiza un estudio del impacto de los mezcladores pasivos sobre este parámetro. Con este estudio se busca dar una solución para implementar cadenas de transmisión y recepción con valores de rechazo a imagen altos. A partir de estos resultados se conocen las técnicas más apropiadas para el diseño físico.

Las caracterizaciones en los distintos escenarios han requerido realizar análisis de Montecarlo, donde se puede estudiar la robustez de los bloques frente a las variaciones debidas a los procesos de fabricación.

El principal objetivo a la hora de diseñar el mezclador ha sido optimizar su comportamiento frente al rechazo a frecuencia imagen, pero manteniendo un compromiso con los demás parámetros.

Como último paso se realiza el proceso de integración, siendo necesario conocer el proceso de diseño y fabricación de los circuitos integrados, así como estrategias y técnicas de layout que permitan minimizar los efectos por variaciones de parámetros físicos en los procesos de fabricación. A partir del diseño físico se obtienen los resultados post layout del mezclador en cuadratura, comparándolos con los resultados de las simulaciones sobre esquemático.

Los resultados finales del mezclador I-Q permiten transmitir señales cumpliendo con el estándar 802.11n sin necesidad de incluir filtros de rechazo a banda lateral en el exterior del circuito integrado. Los resultados globales del sistema estarán condicionados principalmente por el rendimiento del filtro polifase.

Conclusiones

Resultados derivados de este proyecto han sido presentados en una ponencia en la European Conference on Circuit Theory and Design de 2017 [13] y en dos posters de la VI Jornada de Jóvenes Investigadores del Instituto de Investigación en Ingeniería de Aragón.

6.2 Líneas futuras de trabajo

Es un punto pendiente estudiar la viabilidad de migrar a otras tecnologías u otros estándares de comunicación.

Además de realizar un estudio teórico que permita modelar la dependencia del IRR con el *mismatch* del mezclador I-Q. Es interesante aplicar técnicas en *down conversion* para mejorar la linealidad y la figura de ruido del mezclador, para ello se hace trabajar al mezclador con corrientes incluyendo un amplificador de transimpedancia en frecuencia intermedia.

Realizar un estudio exhaustivo de las asimetrías I-Q del oscilador local, y evaluar todas las propuestas de mejora.

El último paso en esta línea de trabajo sería la fabricación del circuito integrado para su caracterización experimental, para ello será necesario el diseño de los circuitos de test necesarios para las medidas experimentales. Posteriormente se realizará una caracterización paramétrica experimental utilizando instrumentación avanzada. Además del análisis y diseño de un driver de salida del circuito de test, imprescindible para medidas experimentales.

7. Referencias

- [1] X. N. Fernando, *Radio over Fiber for Wireless Communications: From Fundamentals to Advanced Topics.*, 2014.
- [2] R. Karthikeyan y S. Prakasam, «A Survey on Radio over Fiber (RoF) for Wireless Broadband Access Technologies,» *International Journal of Computer Applications*, 2013.
- [3] C. Lim, «Microwave Photonics Applications: Radio-over-Fiber,» 2008.
- [4] W. Ahmad, M. Abdulazi, A. Nejdal, M. Törmänen y H. Sjöland, «CMOS Integrated Remote Antenna Unit for Fiber-Fed Distributed MIMO Systems,» *IEEE TRANSACTIONS ON MICROWAVE THEORY AND TECHNIQUES*, 2017.
- [5] C. Nguyen, *Radio-Frequency Integrated-Circuit Engineering*, 2015.
- [6] R. Circa, P. D. G. Boeck, R. Kakerow, M. Mueller y R. Wittmann, «Resistive mixers for reconfigurable wireless front-ends,» *IEEE RFIC Symp.*, 2005.
- [7] Y. Chol, J. Gil, I. Kwon y H. Shin, «A New CMOS Passive Mixer with High Linearity,» *International Conference on Solid State Devices and Materials*, pp. 400-401, 2001.
- [8] Abidi, H. Darabi y A. Asad, «Noise in RF-CMOS Mixers: A Simple Physical Model,» *IEEE TRANSACTIONS ON SOLID STATE CIRCUITS*, 2000.
- [9] S. Chehrazi, R. Bagheri y A. A. Abidi, «Noise in Passive FET Mixers: A Simple Physical Model,» *IEEE 2004 Custom Integrated Circuits Conference*, 2004.
- [10] F. Behbahani, Y. Kishigami y J. L. A. A. Abidi, «CMOS Mixers and Polyphase Filters for Large Image Rejection,» *IEEE JOURNAL OF SOLID-STATE CIRCUITS*, 2001.
- [11] F. Haddad, L. Zaid, W. Rahajandraibe y O. Frioui, «Polyphase Filter Design Methodology for Wireless communication Applications».
- [12] «iccustomlayout,» [En línea]. Available: <http://iccustomlayout.blogspot.com.es/>.
- [13] A. D. Martínez-Pérez, J. Morte, F. Aznar, C. Sánchez-Azqueta y S. Celma, «Impact of Non-idealities on Passive Polyphase Filter Performance,» 2017.

Anexos

I. Transistor MOS y análisis como interruptor

En el diseño de mezcladores pasivos CMOS se utilizan los transistores NMOS como elemento básico para implementar los interruptores. Por ese motivo primero se realiza un análisis de su comportamiento dinámico cuando actúa como un sistema LPTV produciendo traslaciones frecuenciales.

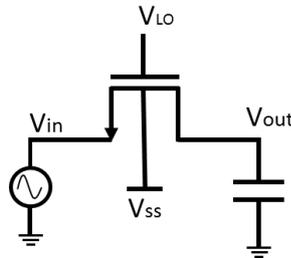


Figura 52. Transistor NMOS como interruptor

El principio de funcionamiento se basa en el producto de la señal de entrada por una onda cuadrada que oscila entre 1 y 0. Nuestra señal de oscilador local está definida de anterioridad a este trabajo y se trata de una señal sinusoidal, por lo tanto, el producto no conseguirá unas conmutaciones tan buenas como con la señal cuadrada.

El transistor MOSFET es un dispositivo de cuatro terminales, utilizamos la puerta, fuente y drenador para controlar el transistor, pero el substrato debe estar correctamente polarizado para trabajar apropiadamente. Las uniones pn entre fuente-substrato y drenador-substrato forman dos diodos idénticos que deben estar siempre polarizados en inversa para evitar la fuga de corriente desde el drenador o la fuente hacia el substrato. Esto obliga a que la tensión en el substrato se conecte a la mínima tensión del circuito, garantizando que la tensión en la fuente, drenador y puerta sea siempre igual o superior a la tensión del substrato.

Cuando la tensión en la fuente es mayor que la tensión en el substrato la zona de depleción aumenta lo cual hace más complicado crear el canal entre drenador y fuente con la misma tensión V_{GS} que antes. Esto se traduce en que tener una diferencia de tensión entre fuente y substrato produce un aumento de la tensión umbral del transistor marcado por (20). Este fenómeno se denomina efecto body

$$V_{TH} = V_{T0} + \gamma(\sqrt{2\phi_f + V_{SB}} - \sqrt{2\phi_f}) \quad (20)$$

Los transistores van a trabajar en dos estados conocidos, en zona de corte y en zona triodo. Ofreciendo una resistencia de conducción r_{ds} de la cual van a depender principalmente las pérdidas de conversión y una resistencia de off muy elevada.

Para conseguir unas buenas conmutaciones es necesario polarizar sobre un nivel de continua adecuado todas las señales de entrada al mezclador, de forma que la tensión media entre puerta y fuente V_{gs} sea aproximadamente la misma que la tensión umbral V_{th} , así cuando la señal del oscilador local varíe cortará o pondrá a conducir al transistor.

La resistencia de conducción del transistor, r_{ds} , sigue (23). Dicha resistencia depende del proceso, de las dimensiones del transistor y de la amplitud del oscilador local. Cuanto menor sea esta resistencia, menores serán las pérdidas de conversión

$$R_{on} = r_{ds} = \frac{1}{g_{ds}} = \frac{L}{\mu_{eff} C_{ox} W V_{LO}} \quad (21)$$

En la Figura 53 se muestra la ganancia de conversión en up conversion para un transistor que conmuta como en la Figura 52. Mientras que en la Figura 54 se muestra el caso de down conversion.

Para ambos casos se realiza un barrido de las dimensiones del transistor y de la frecuencia de entrada para comprobar como al reducir la resistencia de on la ganancia de conversión aumenta, y cómo se comporta frecuencialmente.

Observando que cuanto menor es la frecuencia de salida mayor es la ganancia de conversión, hecho que se constatará cuando caractericemos el mezclador completo en up y down conversion, obteniendo en la respuesta frecuencial del NMOS la explicación a la gran diferencia en las pérdidas de conversión entre up y down conversion. Esto se debe principalmente a que trabajamos con una carga capacitiva por lo que cuanto menor sea la frecuencia a la salida de la etapa mejor adaptación en tensión sufrirá y mejores resultados en cuanto a pérdidas de conversión.

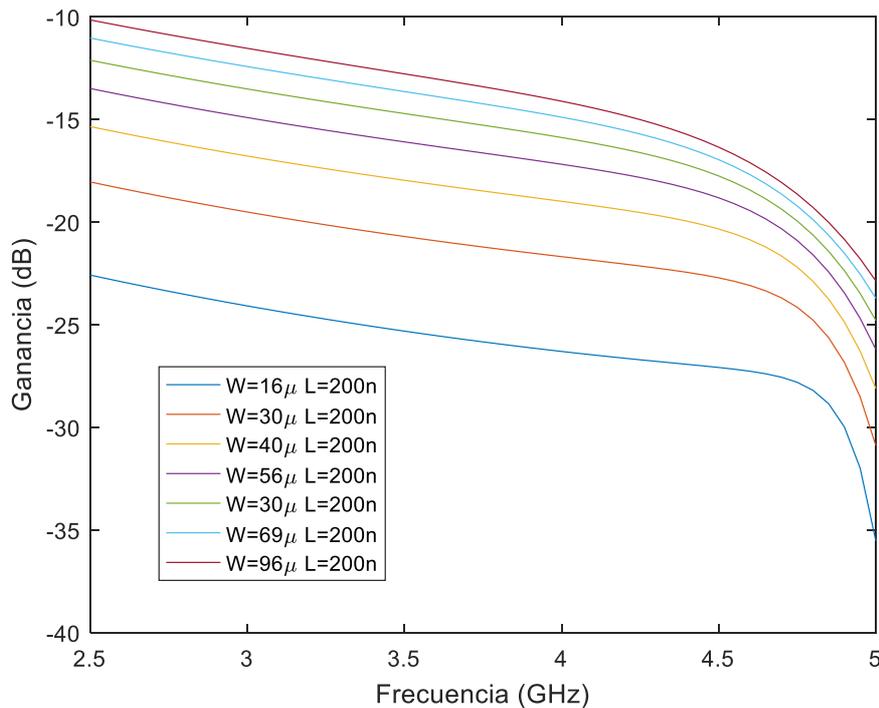


Figura 53. Ganancia de conversión de un interruptor NMOS en up conversion. IF = 0 - 2.5 GHz, RF = 2.5 - 5 GHz.

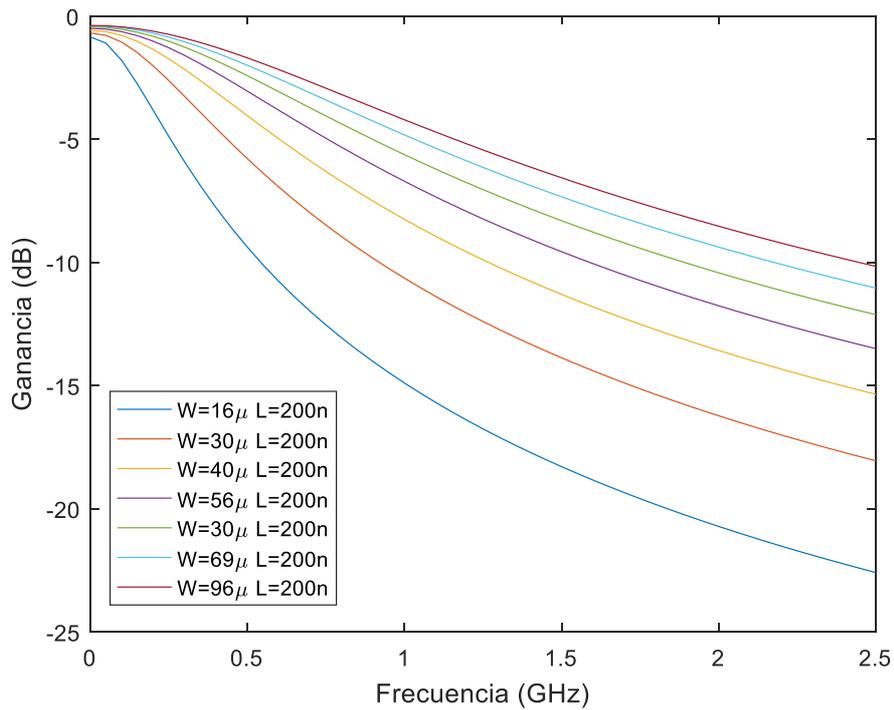


Figura 54. Ganancia de conversión de un interruptor NMOS en down conversion. IF = 0 - 2.5 GHz, RF = 2.5 - 5 GHz.

En la Tabla 16 se muestra la relación que tienen las dimensiones con las capacidades parásitas de los transistores. A mayor relación W/L mayores son los parásitos, esto tendrá importancia a la hora de analizar el aislamiento entre puertos.

Tabla 16. Capacidades parásitas transistor NMOS en función de sus dimensiones

Capacidades parásitas			
W / L	16u/200n	48u/200n	96u/200n
cbb	4.511f	13.36f	26.63f
cbd	714.8a	2.107f	4.226f
cbdbo	156.2a	488.8a	993.7a
cbg	3.953f	11.74f	23.4f
cbgbo	3.953f	11.74f	23.4f
cbs	156.2a	488.8a	993.7a
cbsbo	714.8a	2.107f	4.226f
cdb	73.25a	220.2a	444.2a
cdd	4.176f	12.34f	24.6f
cddbo	1.686f	4.936f	9.87f

cdg	4.942f	14.58f	29.06f
cdgbo	589.8a	1.693f	3.38f
cds	838.5a	2.455f	4.909f
cdsbo	1.023f	3.023f	6.047f
cgb	4.365f	12.92f	25.75f
cgd	2.439f	7.212f	14.33f
cgdbo	2.681f	7.88f	15.77f
cgg	13.84f	40.9f	81.53f
cggbo	5.132f	15.13f	30.16f
cgs	7.032f	20.76f	41.46f
cgsbo	1.913f	5.672f	11.36f
cjd	0	0	0
cjs	0	0	0
covlgb	0	0	0
covlgd	4.352f	12.88f	25.68f
covlgs	4.352f	12.88f	25.68f
csb	73.25a	220.2a	444.2a
csd	1.023f	3.023f	6.047f
csg	4.942f	14.58f	29.06f
css	6.038f	17.82f	35.55f

II. Análisis de Montecarlo

Pequeñas variaciones aleatorias ocurren durante el proceso de fabricación, como resultado los dispositivos que deberían tener un comportamiento idéntico, ya que han sido diseñados para ello, se comportan de forma distinta. El análisis de Montecarlo se utiliza para investigar cómo pueden afectar los *mismatch* individuales de cada dispositivo a un circuito en su conjunto.

Con esta herramienta podemos estimar que desviación tendrá nuestro sistema de su respuesta ideal una vez que tengamos el circuito fabricado.

El análisis consiste en generar un número de realizaciones pseudo-aleatorias de un proceso estadístico, en el cual se varían las propiedades de los componentes utilizando un modelo creado por el fabricante en función de sus medidas experimentales.

Se pueden realizar dos tipos de análisis:

- **Process Voltage Temperature (PVT):**

Este análisis se aplica por igual a todas las instancias de dispositivos presentes en el circuito, son variaciones en las propiedades debidas a tres motivos.

Proceso. Las variaciones por proceso son debidas a desviaciones durante el proceso de fabricación de los semiconductores. Algunos ejemplos de parámetros del proceso son la densidad de concentración de impurezas, el espesor del óxido o la profundidad de las difusiones. Estos parámetros pueden causar, por ejemplo, variaciones en la tensión umbral de los transistores. La variación en las dimensiones de los transistores está marcada por el límite en la resolución del proceso fotolitográfico.

Alimentación. La tensión de alimentación en un circuito no suele ser constante ni precisa, siendo el comportamiento de muchas celdas dependiente de la tensión de alimentación. Normalmente ante tensiones de alimentación mayores los circuitos actúan más rápido.

Temperatura. Por último, la temperatura es otro parámetro a tener en cuenta, principalmente porque la movilidad de los electrones y los huecos dependen de la temperatura, disminuyendo cuando aumenta la temperatura y viceversa. Además, la tensión umbral de los transistores también depende de la temperatura, aumentando ésta cuando se reduce la temperatura.

- **Mismatch:**

Este análisis consiste en generar procesos aleatorios para cada dispositivo instanciado en el circuito de forma que las variaciones en sus parámetros estén incorreladas entre sí, y poder evaluar el impacto de esas pequeñas variaciones en el conjunto del sistema. A diferencia de las variaciones PVT, las desviaciones afectan a cada elemento individualmente en lugar de a todos de la misma manera. Afortunadamente, los procesos de fabricación garantizan unas variaciones por mismatch mucho menores que las variaciones PVT.

III. Simulaciones no lineales en Cadence

En este trabajo se han realizado análisis de sistemas no lineales y lineales variante temporales que producen traslaciones frecuenciales, ya que es necesario que queden patentes todos los efectos no lineales que producen espúreos. Esto no es posible mediante análisis clásicos de AC, para ello se aplican técnicas de linealizado de los circuitos en base a puntos de operación variante temporales.

PSS – Periodic Steady State

El análisis PSS calcula los puntos de operación del circuito en base a una frecuencia de excitación, por lo tanto, solo pueden existir señales que tengan una relación armónica con la frecuencia de excitación. Se trata de un análisis de gran señal porque las señales de entrada alteran los puntos de operación.

En el caso del mezclador, se elige el oscilador local como señal de excitación ya que es la señal que introduce mayores efectos de traslación frecuencial en el circuito.

Para calcular estos puntos de operación la herramienta se basa en técnicas de balance de armónicos.

PAC – Periodic AC

El análisis PAC se realiza como complemento al análisis PSS, se trata de un análisis de pequeña señal en el cual a partir de los puntos de operación generados en el análisis PSS se hace atravesar una señal supuesta lo suficientemente pequeña como para no alterar esos puntos y ver cómo es afectada por el circuito.

QPSS – Quasi Periodic Steady State

Este análisis es en cierto modo similar al análisis PSS, la diferencia es que éste permite incluir frecuencias que no tienen relación armónica entre ellas. Se calculan los puntos de operación a las frecuencias indicadas en el análisis y todas las señales pueden alterar estos puntos.

Se requiere cuando un PAC falsearía el resultado debido a que no se puede realizar una suposición de pequeña señal, ya que altera el modo de operación del circuito.

QPAC – Quasi Periodic AC

QPAC realiza un análisis de pequeña señal sobre los puntos de operación de un análisis QPSS, es el equivalente al análisis PAC.

PXF – Periodic Transfer Function

Este análisis traslada las frecuencias de salida hacia frecuencias de entrada necesarias para generar esa salida, es la idea contraria al PAC donde introduciendo unas frecuencias de entrada obtiene las frecuencias a la salida.

PNoise – Periodic Noise

A partir de los puntos de operación calculados en un análisis PSS obtiene la potencia de ruido, así como la figura de ruido entre salida-entrada a distintas frecuencias.

IV. Filtros polifase analógicos

Los filtros polifase son un tipo de filtro complejo, conocidos también como filtros de Hilbert. Son estructuras clásicas para generar señales en cuadratura y para filtrar la frecuencia imagen.

Un filtro paso banda convencional no puede distinguir entre frecuencias positivas y negativas y ofrece la misma respuesta frecuencial para ambas. Los filtros de Hilbert se basan en desplazar un filtro paso bajo mediante la transformación $e^{j\omega_0}$ para generar una respuesta asimétrica, de forma que ya no exista una simetría hermítica en torno a cero. En esta situación nuestra señal deseada se encuentra en el semieje de la banda de paso y la frecuencia imagen en el semieje que se elimina.

En la Figura 55 se muestra un filtro polifase de una etapa, está formado por 4 entradas, normalmente son señales de entrada diferenciales de forma que 1 y 3 son una rama y 2 y 4 la otra rama.

El principio de funcionamiento es el siguiente, todas las señales de entrada pasan por dos filtros, un paso bajo y un paso alto. Cuando trabajamos a la frecuencia de corte ambos filtros ofrecen la misma atenuación y un desfase relativo entre sus respuestas en fase de 90 grados.

Si consideramos que las cuatro entradas son sinusoides a la misma frecuencia, pero con amplitudes y fases arbitrarias se puede hacer una representación fasorial de estas señales, esto es realmente importante para comprender el funcionamiento de los filtros polifase.

Como se muestra en la Figura 56 un vector cualquiera se puede dividir como la suma de dos secuencias con un balance de amplitud perfecto y un desfase entre fasores de 90 grados pero que giran en sentidos opuestos, las componentes colineales no se tienen en cuenta ya que se compensan en una representación diferencial.

Definimos el sentido de giro como el sentido creado al rotar los vectores desde 1 hacia 2, cuando una secuencia gira en sentido antihorario corresponde con una frecuencia positiva mientras que si gira en sentido horario es una frecuencia negativa.

Si introducimos dos secuencias que giran en sentidos opuestos a la frecuencia de corte de los filtros RC, obtenemos que a la salida solo existe una secuencia de las dos. La señal al pasar a través del filtro paso alto sufre un desfase de 45 grados mientras que al pasar por el paso bajo se desfasa -45 grados, la salida se suma de forma destructiva la entrada que gira en sentido horario y de forma constructiva cuando lo hace en sentido antihorario.

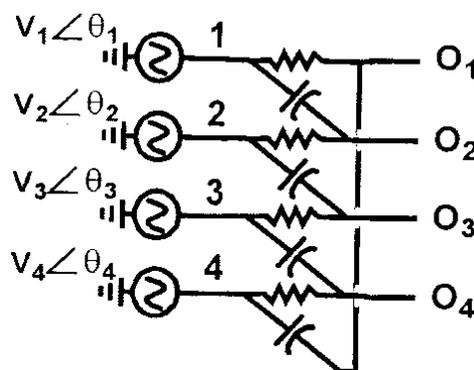


Figura 55. Filtro polifase analógico de una etapa [10].

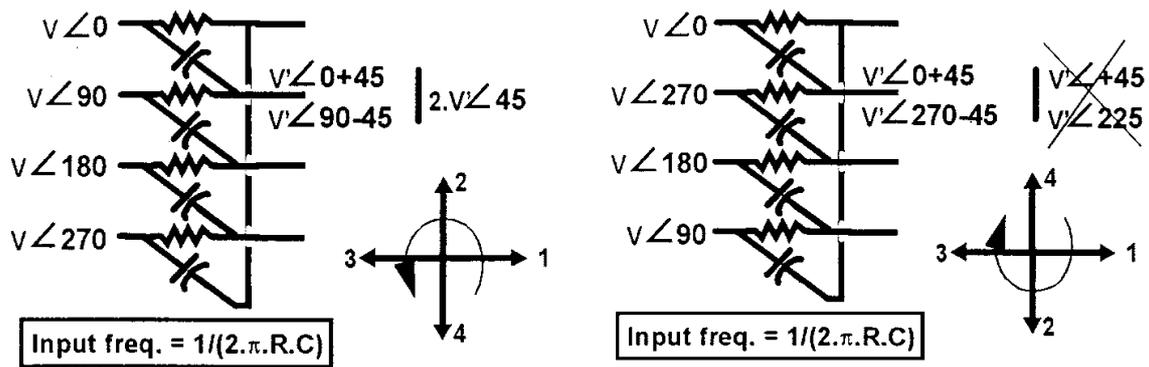


Figura 56. Principio de funcionamiento del filtro polifase [10].

Los filtros polifase se utilizan en dos sitios en un transceptor de RF, para generar fases en cuadratura balanceadas y para rechazar la frecuencia imagen. En estos casos se denomina rama I a las entradas y salidas 1-3 y rama Q a las entradas y salidas 2-4.

A la salida del filtro, I siempre estará adelantada respecto a Q ya que corresponde con una frecuencia positiva, por lo tanto, entre 1 y 2 deberá haber un desfase positivo de 90 grados y así sucesivamente.

Como se trata de un filtro complejo podemos representar su respuesta frecuencial como en

$$H(\omega) = H_R(\omega) + jH_I(\omega) \quad (22)$$

donde $H_R(\omega)$ y $H_I(\omega)$ son las partes real e imaginaria respectivamente, como la respuesta es distinta según el semieje tenemos que $|H(\omega)| \neq |H(-\omega)|$

$$H(\omega) = \frac{\omega_p - \omega}{\omega_p + j\omega}, \quad \omega > 0 \quad (23)$$

$$H(\omega) = \frac{\omega_p + \omega}{\omega_p + j\omega}, \quad \omega < 0 \quad (24)$$

El análisis hasta ahora ha correspondido con un filtro de una única etapa por lo tanto existe un único polo que corresponde con un cero en el semieje negativo.

V. Referencia de tensión

En circuitos integrados CMOS se pueden obtener referencias de tensión de la fuente de alimentación mediante resistencia o MOSFET.

La ventaja de un divisor formado por dos resistencias es la simplicidad y la insensibilidad a la temperatura y las variaciones del proceso. El principal problema es que, para reducir la disipación de potencia, es decir la corriente a través de las resistencias, las resistencias deben ser muy altas. Ello conlleva que ocupen un área muy elevada convirtiéndolo en una opción inviable en muchas aplicaciones.

El divisor formado entre un MOSFET tipo n y uno tipo p tiene la ventaja que permite un layout mucho más pequeño. Por ello la solución adoptada es un divisor CMOS.

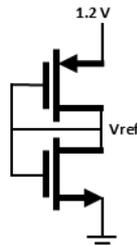


Figura 57. Divisor de tensión CMOS

La tensión de referencia se obtiene de la tensión de la puerta de los transistores, imponiendo que la corriente a través de ellos sea la misma y variando sus relaciones W/L se obtienen distintas referencias.

En la tecnología utilizada la movilidad de los electrones es aproximadamente el doble que la de los huecos, por tanto, aproximamos $K_n \approx 2K_p$, suponemos además que $|V_{thn}| \approx |V_{thp}|$, de tal forma que la relación W/L del transistor PMOS debe ser el doble que la del transistor NMOS.

De (25) se obtiene que la relación W/L del transistor PMOS debe ser el doble que la del NMOS

$$\frac{K_n W_n}{2 L_n} (V_{ref} - V_{ss} - V_{thn})^2 = \frac{K_p W_p}{2 L_p} (V_{ss} - V_{ref} - V_{thp})^2 \quad (25)$$

Tabla 17. Dimensiones transistores PMOS y NMOS del divisor resistivo

Dimensión	NMOS	PMOS
W	1u	2u
L	180n	180n

Con las dimensiones elegidas en la Tabla 17 se consigue una tensión de referencia de 597 mV, suficiente para el propósito ya que no es necesaria una precisión excesiva. Ajustando los tamaños de los transistores se puede obtener un valor más cercano a los 600 mV propuestos, pero no se ganaría nada de cara a la aplicación.

El objetivo de esta referencia es conseguir que entre la puerta y la fuente de los transistores del mezclador haya aproximadamente la tensión umbral. No es necesaria una referencia excesivamente precisa ni insensible ante variaciones ya que apenas tiene un impacto sobre el resultado. Así pues, tenemos unas especificaciones bastante relajadas que nos permiten utilizar esta topología tan sencilla.

Como límite en la desviación de la referencia previo a las simulaciones se impone una desviación máxima de 50 mV en el peor caso.

Este circuito es muy sensible ante las variaciones del proceso, teniendo desviaciones de hasta 30 mV de la referencia, y no tanto ante la temperatura, variando apenas unos pocos milivoltios.

Para analizar su comportamiento se utiliza un análisis de Montecarlo con 500 realizaciones donde se aplican las variaciones debidas al proceso, además se hace un barrido en función de la temperatura para cubrir todo el rango de actuación. Los resultados cumplen con las especificaciones iniciales.

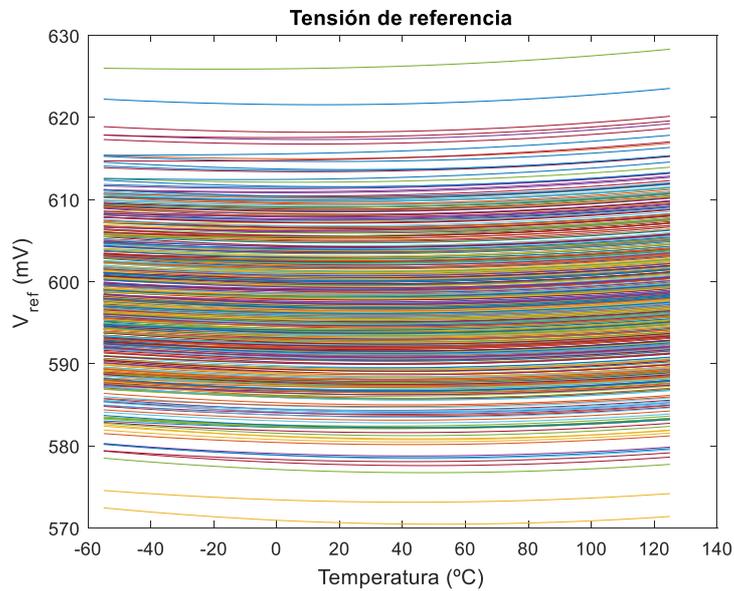


Figura 58. Tensión de referencia en función de la temperatura.

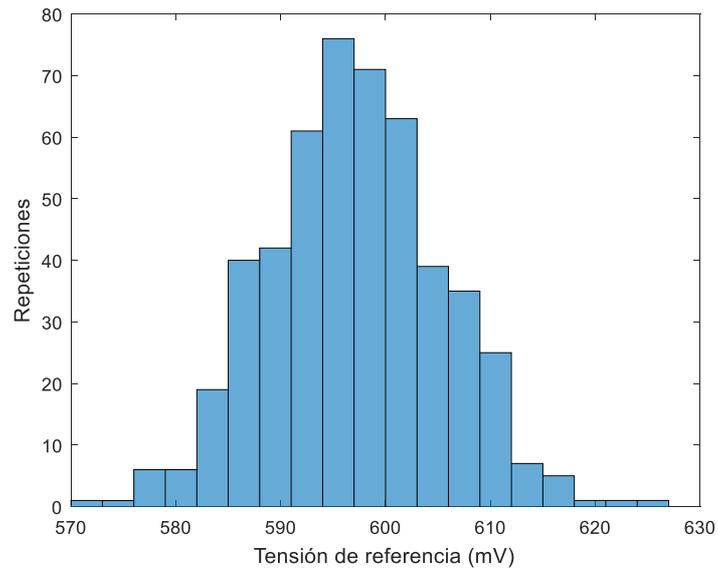


Figura 59. Histograma de la tensión de referencia a 27 °C.