

Universidad Carlos III de Madrid
Escuela Politécnica Superior

Ingeniería Técnica Industrial
Electrónica Industrial



Proyecto de Fin de Carrera

SISTEMA DE ADQUISICIÓN MULTICANAL PARA SEÑALES MIOELÉCTRICAS

Autor: Ángel García Martín-Engeños

Tutor: Álvaro Villoslada Peciña

Director: Luis Enrique Moreno Lorente

Fecha: JULIO 2015

Título: Sistema de adquisición multicanal para señales mioeléctricas.

Autor: Ángel García Martín-Engeños.

Tutor: Álvaro Villoslada Peciña.

Director: Luis Enrique Moreno Lorente.

EL TRIBUNAL

Presidente: M^ª Dolores Blanco Rojas.

Vocal: Ricardo Vergaz Benito.

Secretario: Dorin Sabin Copaci.

Realizado el acto de defensa y lectura del Proyecto Fin de Carrera el día [] en Leganés, en la Escuela Politécnica Superior de la Universidad Carlos III de Madrid, acuerda otorgarle la CALIFICACIÓN de

VOCAL

SECRETARIO

PRESIDENTE

Índice general

LISTA DE TABLAS	VII
LISTA DE FIGURAS.....	IX
AGRADECIMIENTOS.....	XI
RESUMEN	XIII
1. INTRODUCCIÓN	1
1.1. MOTIVACIÓN.....	2
1.2. OBJETIVOS	3
2. CONCEPTOS PREVIOS	5
2.1. LA SEÑAL MIOELÉCTRICA	5
2.2. ANATOMÍA DE UN ANTEBRAZO HUMANO Y EMG.....	7
2.2.1. <i>Músculos Objetivo</i>	8
2.2.2. <i>Preparación de la piel.</i>	9
2.2.3. <i>Electrodos y características.</i>	9
2.3. CIRCUITOS PARA EMG.....	11
3. DISEÑO E IMPLEMENTACIÓN DEL CIRCUITO EMG	14
3.1. ETAPA DE AMPLIFICACIÓN COMPLETAMENTE DIFERENCIAL.....	15
3.2. REALIMENTACIÓN ACTIVA DE LA SEÑAL DE MODO COMÚN	19
3.3. DIGITALIZACIÓN MEDIANTE UN CONVERTOR ADC DELTA-SIGMA ($\Delta\Sigma$)	22
3.3.1. <i>Oscilador externo</i>	25
3.4. IMPLEMENTACIÓN DE LA PLACA DE CIRCUITO IMPRESO (PCB)	26
4. SIMULACIONES DEL CIRCUITO	30
5. FILTRADO DIGITAL Y ENTORNO DIGITAL DE PRUEBAS.	35
5.1. STM32F4 – DISCOVERY	35
5.2. SISTEMA DE ADQUISICIÓN Y PROCESADO IMPLEMENTADO EN SIMULINK.	36
5.2.1. <i>Adquisición, filtrado y envío de datos.</i>	38
6. PRUEBAS EXPERIMENTALES	45
6.1. ESPECTRO DE FRECUENCIA.....	46
6.2. MEDIDA DEL CMRR.....	50
6.3. MEDIDA DEL SNR.....	52
6.4. EFECTIVIDAD DE LA REALIMENTACIÓN ACTIVA DE LA SEÑAL DE MODO COMÚN	53
6.5. EFECTIVIDAD DEL USO DE CABLES APANTALLADOS.....	55
7. CONCLUSIONES Y TRABAJOS FUTUROS	58
BIBLIOGRAFÍA.....	62

ANEXO A. FASES DE TRABAJO, MEDIOS EMPLEADOS Y PRESUPUESTO.....	64
A. FASES DE TRABAJO.....	64
B. MEDIOS EMPLEADOS.....	67
C. PRESUPUESTO DEL PROYECTO.....	70
ANEXO B. CAPAS DE RUTADO DEL CIRCUITO DISEÑADO.	72
ANEXO C. HOJAS DE CARACTERÍSTICAS UTILIZADAS	74

Lista de tablas

A. 1. <i>DESGLOSE POR FASES</i>	65
A. 2. <i>DIAGRAMA DE GANTT</i>	66
A. 3. <i>LISTA DE COMPONENTES DEL CIRCUITO EMG</i>	69
A. 4. <i>COSTE DE MATERIAL</i>	70
A. 5. <i>COSTE DE HERRAMIENTAS Y MATERIAL INFORMÁTICO</i>	70
A. 6. <i>COSTE DE RECURSOS HUMANOS</i>	71
A. 7. <i>PRESUPUESTO FINAL</i>	71

Lista de figuras

1. 1. PROCESO DE CAPTURA Y ALMACENAMIENTO DE SEÑALES MIOELÉCTRICAS.	4
2. 1. DIAGRAMA ESQUEMÁTICO DE UNA NEURONA COMÚN.	5
2. 2. DESCRIPCIÓN SIMPLIFICADA DE UNA UNIDAD MOTORA.	6
2. 3. EJEMPLO DE SEÑAL MIOELÉCTRICA REGISTRADA EN UN EMG.	6
2. 4. VISTA POSTERIOR DE UN ANTEBRAZO HUMANO.	8
2. 5. EL MODELO A) CORRESPONDE A LOS ELECTRODOS SELECCIONADOS.	11
2. 6. ADQUISICIÓN DIFERENCIAL DE UNA SEÑAL EMG.	12
3. 1. RESUMEN GRÁFICO DEL CAPÍTULO 3.	14
3. 2. CIRCUITO ESQUEMÁTICO DE UN AI CONSTRUIDO CON 3 AO.	15
3. 3. ESQUEMA DE DIFERENCIAS ENTRE DIFERENTES TIPOS DE AMPLIFICADORES.	16
3. 4. DETALLE DE LAS ETAPAS DE RADIOFRECUENCIA Y DE AMPLIFICACIÓN COMPLETAMENTE DIFERENCIAL CON LOS VALORES DE LOS COMPONENTES UTILIZADOS.	17
3. 5. ESQUEMA DE LA ETAPA DIFERENCIAL.	18
3. 6. EJEMPLO DE CIRCUITO DE AMPLIFICACIÓN DIFERENCIAL CON DRL.	20
3. 7. DIAGRAMA ESQUEMÁTICO DE LA ETAPA DE REALIMENTACIÓN ACTIVA DE LA SEÑAL DEL MODO COMÚN.	21
3. 8. ESQUEMA DE LA ARQUITECTURA DE UN ADC COMÚN.	22
3. 9. ESQUEMA DE LA ARQUITECTURA DE UN ADC DELTA-SIGMA.	22
3. 10. FRECUENCIA DE MUESTREO PROGRAMABLE DEL LTC2440.	24
3. 11. CIRCUITO ESQUEMÁTICO DEL ADC LTC2440.	24
3. 12. CIRCUITO ESQUEMÁTICO DEL OSCILADOR EXTERNO.	25
3. 13. PROTOTIPO FUNCIONAL DE 1 CANAL.	26
3. 14. DIAGRAMA DE BLOQUES JERÁRQUICOS DEL CIRCUITO DISEÑADO.	27
3. 15. DISEÑO FINAL DE LA PCB.	28
3. 16. CARA DE MONTAJE (TOP) DE LA PCB.	29
4. 1. ESQUEMÁTICO DE SIMULACIÓN DE LA ETAPA DIFERENCIAL.	30
4. 2. FORMAS DE ONDA OBTENIDAS EN LA SIMULACIÓN DEL CIRCUITO DIFERENCIAL.	31
4. 3. ESQUEMÁTICO DE LA SIMULACIÓN CON RUIDO.	31
4. 4. FORMAS DE ONDA OBTENIDAS EN LA SIMULACIÓN CON RUIDO.	32
4. 5. ESQUEMÁTICO CON ETAPA DRL.	32
4. 6. FORMAS DE ONDA OBTENIDAS AL AÑADIR LA ETAPA DRL.	33
4. 7. ESQUEMÁTICO UTILIZADO PARA LA OBTENCIÓN DEL DIAGRAMA DE BODE.	34
4. 8. DIAGRAMA DE BODE.	34
5. 1. STM32F4 – DISCOVERY.	35

5. 2. NIVEL DE ABSTRACCIÓN PROPORCIONADO POR EL USO DE UN LENGUAJE GRÁFICO FRENTE A OTROS LENGUAJES DE PROGRAMACIÓN TEXTUALES. FUENTE: FOLLETO PUBLICITARIO LABVIEW®	37
5. 3. BLOQUE "TARGET SETUP"	39
5. 4. BLOQUE Y CONFIGURACIÓN "SPI MASTER SETUP"	40
5. 5. BLOQUE Y SUB-BLOQUES "ADC"	41
5. 6. INTERIOR DEL BLOQUE "DATA COMPOSER"	42
5. 7. CONFIGURACIÓN DEL FILTRO BUTTERWORTH.	42
5. 8. COMPARATIVA EN ESTABILIDAD DE DIFERENTES TIPOS DE FILTRO.	43
5. 9. BLOQUE "USB VCP SEND STM32F4"	43
5. 10. BLOQUE "HOST SERIAL SETUP"	44
5. 11. BLOQUE "HOST SERIAL RX"	44
5. 12. BLOQUES "CH1 Y TO WORKSPACE"	44
6. 1. VISTA ANTERIOR DEL ANTEBRAZO. LOS ELECTRODOS POSICIONADOS EN LA REGIÓN POSTERIOR APARECEN SOMBREADOS.....	45
6. 2. FORMA TÍPICA DEL ESPECTRO DE FRECUENCIA DE UNA EMG.	46
6. 3. DETALLE DE LAS SEÑALES REGISTRADAS SIMULTÁNEAMENTE EN CUATRO CANALES.....	47
6. 4. SEÑAL OBTENIDA EN EL CANAL 1 DURANTE EL ESTADO DE FLEXIÓN DE LOS DEDOS.	48
6. 5. SEÑAL OBTENIDA EN EL CANAL 2 DURANTE EL ESTADO DE FLEXIÓN DE LOS DEDOS.	48
6. 6. SEÑAL OBTENIDA EN EL CANAL 3 DURANTE EL ESTADO DE FLEXIÓN DE LOS DEDOS.	48
6. 7. SEÑAL OBTENIDA EN EL CANAL 4 DURANTE EL ESTADO DE FLEXIÓN DE LOS DEDOS.	49
6. 8. SEÑAL OBTENIDA EN EL CANAL 1 DURANTE EL ESTADO DE EXTENSIÓN DE LOS DEDOS.	49
6. 9. SEÑAL OBTENIDA EN EL CANAL 2 DURANTE EL ESTADO DE EXTENSIÓN DE LOS DEDOS.	49
6. 10. SEÑAL OBTENIDA EN EL CANAL 3 DURANTE EL ESTADO DE EXTENSIÓN DE LOS DEDOS.....	50
6. 11. SEÑAL OBTENIDA EN EL CANAL 4 DURANTE EL ESTADO DE EXTENSIÓN DE LOS DEDOS.....	50
6. 12. CONFIGURACIÓN DE LAS PRUEBAS EXPERIMENTALES PARA LA MEDIDA DEL CMRR.	51
6. 13. LA GRAFICA SUPERIOR MUESTRA LA SEÑAL DE UNA CONTRACCIÓN DEL MÚSCULO. LA INFERIOR MUESTRA LA SEÑAL PROPIA DEL MÚSCULO EN REPOSO.	53
6. 14. ESPECTRO DE FRECUENCIAS PARA EL RUIDO ADQUIRIDO CON Y SIN DRL EN EL CANAL 1.	54
6. 15. ESPECTRO DE FRECUENCIAS PARA EL RUIDO ADQUIRIDO CON Y SIN DRL EN EL CANAL 2.	54
6. 16. ESPECTRO DE FRECUENCIAS PARA EL RUIDO ADQUIRIDO CON Y SIN DRL EN EL CANAL 3.	54
6. 17. ESPECTRO DE FRECUENCIAS PARA EL RUIDO ADQUIRIDO CON Y SIN DRL EN EL CANAL 4.	55
6. 18. EJEMPLO DE GUARDA ACTIVA.	56
6. 19. SEÑAL PROPIA DEL RUIDO DEL CANAL 2. USO DE CABLE APANTALLADO.	56
6. 20. SEÑAL PROPIA DEL RUIDO DEL CANAL 3. USO DE CABLE NO APANTALLADO.	56
B. 1. CAPA DE RUTADO TOP DEL CIRCUITO EMG.	72
B. 2. CAPA DE RUTADO BOTTOM DEL CIRCUITO EMG.	73

Agradecimientos

Sin lugar a dudas a la primera persona a la que debo agradecer la oportunidad de realizar este proyecto es a mi tutor, Álvaro Villoslada Peciña, el cual ha debido soportar innumerables tardes solucionando las dudas que han ido surgiendo durante el desarrollo de este trabajo, dejando de lado en ocasiones su propia investigación. También debo agradecer al director del proyecto, Luis Moreno Lorente, por apostar por la realización de este dispositivo que me ha permitido tocar casi todos los palos estudiados durante la carrera. Del mismo modo agradecer al resto de compañeros del laboratorio; mi estancia ha sido corta, pero he podido aprender lo difícil que resulta una labor como la del investigador.

Igualmente debo agradecer a los compañeros de la biblioteca Rey Pastor, por permitirme compaginar mi trabajo como becario con las horas dedicadas a la investigación. Sin duda recordaré por mucho cariño el tiempo que he pasado allí.

Finalmente agradecer a mi familia y amigos por la paciencia demostrada durante estos años. Parece ser que por fin ha llegado el día.

Resumen

El objetivo que persigue este proyecto es la creación de un hardware de adquisición capaz de pre-procesar en tiempo real, con un bajo índice de ruido electromagnético, las señales eléctricas nerviosas enviadas por neuronas motoras a un conjunto de músculos situados en el antebrazo de un individuo, siempre por métodos no invasivos y capaz de trabajar simultáneamente en cuatro canales. Esto deberá llevarse a cabo con la mayor simplicidad posible, tratando de minimizar al máximo el uso de componentes analógicos al ser estos una fuente común de ruido.

Para ello, y con la idea de trabajar con señales eléctricas de muy baja amplitud y frecuencia variable, se hará uso de componentes electrónicos tanto activos como pasivos así como de diversas técnicas englobadas dentro del campo de la instrumentación electrónica, como el uso de un filtrado analógico mediante filtros simples paso bajo, un sistema de amplificación completamente diferencial, la implementación de un sistema de realimentación capaz de anular una importante parte del ruido introducido al circuito a través del propio sujeto de pruebas y la digitalización de dicha señal mediante conversores analógico-digital delta-sigma de muy alta resolución.

Posteriormente se utilizará un micro-controlador programado mediante el software MATLAB/Simulink, el cual ejecutará un modelo de bloques de adquisición y filtrado, encargado también del envío de las señales adquiridas a un PC a través de una comunicación USB permitiendo observar y evaluar las diversas características de las distintas señales.

Capítulo 1

Introducción

Pese a su amplia implantación hoy día, la introducción de material electrónico en campos como la medicina es algo que aún se encuentra reciente en la memoria colectiva. Algo tan sencillo a simple vista como un medidor de glucosa digital es una potente herramienta sin la que algunas personas podrían ver afectada gravemente su calidad de vida. Sin embargo estos aparatos, igual que otros similares, no tenían cabida ni tan siquiera en la imaginación hace no demasiados años.

Así pues, un sistema capaz de registrar y procesar las señales eléctricas generadas por el cuerpo humano debe tener gran relevancia de cara, no solo a comprender mejor la gran maquinaria biológica que es el cuerpo humano, sino también para facilitar cualquier tipo de interacción humano-máquina y máquina-humano. Debido a esto, en las últimas décadas se han creado multitud de aparatos, en muchos casos de gran complejidad, capaces de satisfacer estas necesidades. Aparatos capaces de tomar en tiempo real muestras de la actividad eléctrica de zonas tan especializadas como el cerebro o el corazón, capaces de determinar la vida o muerte de un sujeto son, sin lugar a dudas, grandes avances para la ciencia humana.

Tomando como base los circuitos antes mencionados, capaces de medir las señales eléctricas generadas por el sistema nervioso humano, este proyecto está enfocado de un modo práctico a la creación de una placa de circuito impreso (PCB) capaz de realizar el acondicionamiento inicial y la digitalización de cuatro señales simultáneas para su posterior registro y análisis. Estas señales serán los impulsos bioeléctricos generados en los músculos esqueléticos de un ser humano, por lo que siempre deberá realizarse su adquisición de una forma no invasiva. Las señales capturadas serán analizadas posteriormente con un software creado mediante la herramienta MATLAB/Simulink e implementado en una placa STM32F4 – Discovery con el objetivo de obtener una serie parámetros característicos que ofrecen una información cuantitativa del funcionamiento del circuito diseñado.

A modo de decisión inicial se opta por el análisis de los músculos de un antebrazo humano, cuya función principal consiste en el control de los diferentes movimientos propios de la mano. Esta decisión viene dada por la complejidad y

variedad de dichos movimientos pero la relativa sencillez para acceder, de un modo superficial, a estos músculos.

1.1. Motivación

Desde el punto de vista de la ingeniería, especialmente de la ingeniería biomédica así como de la ingeniería robótica, la posibilidad de adquirir mediante un solo sistema información relevante sobre los procesos biológicos que generan los movimientos de una persona de forma directa resulta más que tentadora. La tecnología actual nos permite crear sistemas capaces de captar en tiempo real las sutiles señales eléctricas generadas por la musculatura de un cuerpo al realizar acciones físicas. Esta información puede ser aprovechada para, tras ser procesada adecuadamente, realizar acciones aplicando nuevas señales sobre actuadores externos. Así pues el control de una mano robótica mediante los impulsos nerviosos de un brazo humano real parece un objetivo plausible.

El problema reside en la incapacidad del mercado para ofrecer un sistema capaz de captar estas señales de una forma eficiente (con un bajo nivel de ruido electromagnético), barata (los equipos más capaces cuestan miles de euros) y sencilla. Esta incapacidad se ve reflejada en carencia de circuitos con características adecuadas en ámbitos como la docencia o la investigación así como para ser utilizados en sistemas de interacción hombre-máquina, todo ello con un coste asumible para el gran público. Además, los circuitos de bajo coste que pueden adquirirse de forma comercial no ofrecen todas las características para realizar un análisis clínico de las señales electromiográficas (EMG) o para implementar interfaces de control complejas, al no dar señales EMG en bruto, sino pre-procesadas con rectificadores y filtros de suavizado de la señal.

Así pues durante la realización del presente proyecto se ha desarrollado un hardware capaz de satisfacer estas necesidades, persiguiendo en todo momento los siguientes objetivos, que serán finalmente corroborados mediante unas pruebas empíricas.

1.2. Objetivos

La idea principal a realizar es la creación de un hardware cuya finalidad sea la adquisición de las señales mioeléctricas (EMG), que son las señales resultantes de la actividad eléctrica generada por la actividad muscular. Aunque el circuito diseñado puede ser usado para la adquisición de las señales EMG de cualquier músculo esquelético superficial, el presente proyecto está centrado en la adquisición de las señales EMG de los músculos del antebrazo responsables del movimiento de la mano, debido a su aplicación más allá del mero análisis biomecánico, por ejemplo en el control de manos robóticas protésicas. Puesto que en dichos movimientos no interviene un solo actuador, sino que se trata de un conjunto de músculos y tendones situados en el antebrazo, debemos considerar el utilizar un sistema capaz de captar varias señales generadas por distintos músculos de forma simultánea, pues de otra manera incurriríamos en un error de forma al ser incapaces de reconocer de forma exacta sobre que parte de la mano actuará el impulso generado.

Es importante mencionar que al trabajar con señales eléctricas cuyo valor varía en el rango de los microvoltios (μV) a los milivoltios (mV) para su posterior amplificación, cualquier interferencia electromagnética, por pequeña que sea, produce modificaciones importantes en los resultados a obtener. Por ello el objetivo principal a la hora de diseñar el circuito de electromiografía ha sido el uso de componentes y técnicas capaces de reducir el ruido electromagnético al máximo posible, pero logrando al mismo tiempo un compromiso entre el nivel de ruido de las señales adquiridas y el número de componentes utilizados, que influye directamente en el coste y tamaño de la placa.

De forma esquemática, los objetivos a desarrollar en este proyecto son los siguientes:

Creación de una PCB (placa de circuito impreso) capaz de captar las señales bioeléctricas de los músculos básicos que intervienen en el movimiento de una mano humana. Esta deberá poseer las siguientes características [1]:

- Capaz de adquirir, acondicionar y pre-procesar cuatro señales de forma independiente para su posterior análisis. Esto se debe a que el control completo de una mano requiere al menos la observación de cuatro músculos para los diversos movimientos de muñeca y dedos.

- Su ancho de banda deberá ser de 20Hz - 500Hz, por contener la mayor parte de la información útil de este tipo de señales.
 - La adquisición de dichas señales deberá realizarse con el mínimo nivel de ruido electromagnético posible, por lo que se utilizarán métodos como una etapa de medida completamente diferencial, una etapa de realimentación de la señal del modo común y el apantallamiento del circuito final y de los cables conectores entre el circuito y los electrodos.
- Uso reducido de componentes. Para ello usaremos una etapa de digitalización basada en convertidores analógico-digital (ADC) de muy alta resolución utilizando tecnología delta-sigma ($\Delta\Sigma$), así como el procesado de dichas señales mediante filtrado digital en software MATLAB/Simulink.
- Integración completa del sistema con el software MATLAB con el fin de poder utilizar los potentes algoritmos que nos ofrece para el análisis empírico de dichas señales en un entorno digital, su tratamiento y su posterior uso, por ejemplo mediante sistemas de reconocimiento de patrones. Para ello se hará uso del hardware STM32F4 – Discovery debido a su compatibilidad con la herramienta MATLAB / Simulink [2].

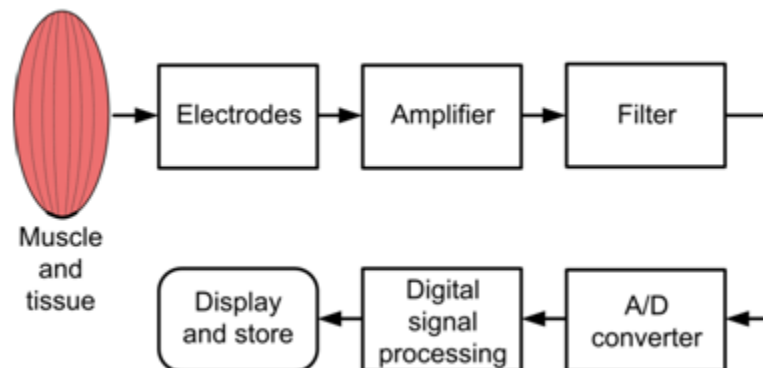


Figura 1. 1. Proceso de captura y almacenamiento de señales mioeléctricas.

Capítulo 2

Conceptos previos

En este capítulo serán explicados una serie de conceptos teóricos que, sin estar relacionados con el campo de la ingeniería se deben tener en cuenta para la correcta comprensión del presente proyecto.

2.1. La señal mioeléctrica

Antes de explicar con detalle el concepto de señal mioeléctrica debe comprenderse la unidad biológica que da lugar a la misma.

- La unidad motora

Una unidad motora es la responsable del movimiento producido en un músculo. Esta está compuesta por una única neurona motora, sus dendritas y las diversas ramificaciones de su axón y las distintas fibras musculares que son accionadas por esta. En una unidad motora básica se pueden encontrar desde pocas unidades de estas fibras (para movimientos precisos como en un ojo o un dedo) hasta miles de ellas (para grandes músculos como el bíceps braquial o el músculo gastrocnemio).

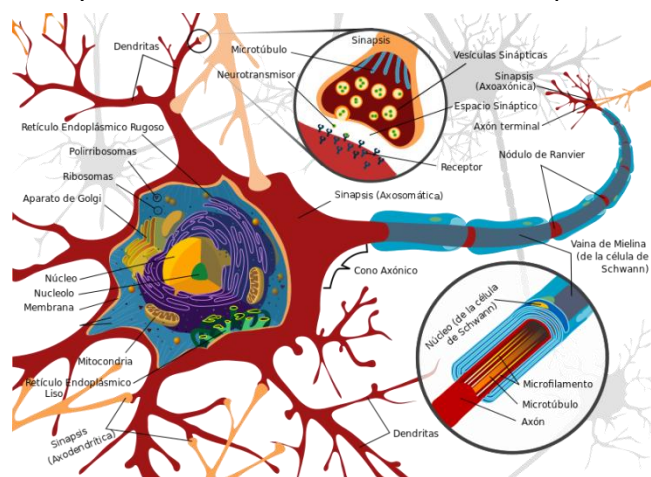


Figura 2. 1. Diagrama esquemático de una neurona común.

Estas neuronas motoras son las encargadas de transportar los impulsos eléctricos generados en el cerebro y la espina dorsal hasta el músculo, utilizando para ello complejas reacciones químicas en las terminaciones axiónicas que se encuentran en contacto con las fibras musculares, llamadas sinapsis neuromusculares. Estas reacciones consisten en el intercambio de iones y otras sustancias capaces de polarizar y despolarizar la unión entre fibra y neurona, generando así una diferencia de potencial de varias decenas de mV que puede ser medida con sencillez, incluso en la superficie de la piel.

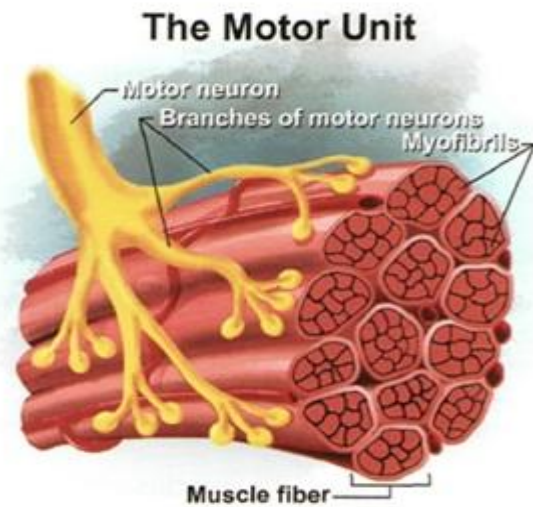


Figura 2. 2. Descripción simplificada de una unidad motora.

Una vez esta señal eléctrica ha llegado a las fibras musculares controladas por dicha neurona motora, estas se contraen generando un movimiento.

Una señal mioeléctrica es la señal eléctrica fruto de la superposición de todas las señales eléctricas creadas por las diversas unidades motoras en contacto con un transductor especializado para la captura de las mismas, llamado comúnmente electrodo, en un momento discreto de tiempo. Estas señales pueden ser recogidas y registradas en un espacio continuado de tiempo dando lugar a una “electromiografía” o EMG.

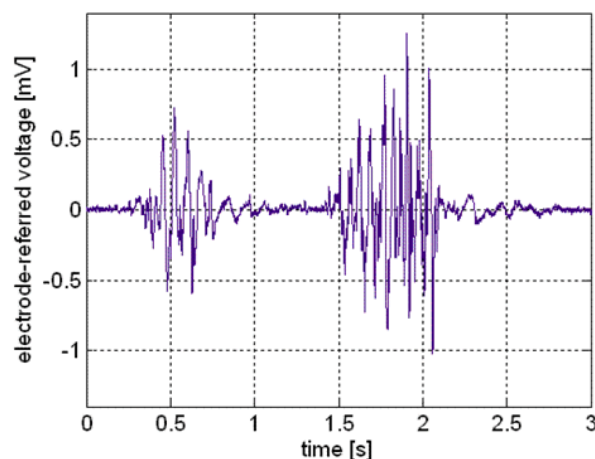


Figura 2. 3. Ejemplo de señal mioeléctrica registrada en un EMG.

El análisis detallado de dichas EMG posee una gran importancia desde el punto de vista médico, permitiendo así encontrar anomalías en músculos concretos sin necesidad de llegar a métodos más extremos y en un corto intervalo de tiempo. Si bien esta definición puede parecer algo vaga, el mejor ejemplo de EMG y que más presente se tiene es un electrocardiograma (ECG), que no es sino un EMG focalizado en las células motoras de los músculos del corazón.

Actualmente se pueden encontrar en el mercado dispositivos similares al propuesto, con utilidades variadas tales como la investigación médica, la rehabilitación, el deporte profesional, etc [3].

2.2. Anatomía de un antebrazo humano y EMG

El antebrazo humano es una de las cuatro secciones en las que se divide el brazo humano, comenzando por la cintura escapular y terminando en la mano. Situado entre el codo y la muñeca, óseamente está compuesto por la ulna (cúbito), el radio y la articulación radiocubital, mientras que muscularmente está compuesto por más de 20 músculos.

Puesto que este proyecto se enfoca hacia la toma de datos de forma empírica, merece la pena dedicar un capítulo a las principales características de la superficie sobre la que va a realizar la toma de muestras. Así pues este capítulo se dividirá en los siguientes sub-apartados:

1. Músculos objetivo.
2. Preparación de la piel.
3. Electrodo y características

2.2.1. Músculos Objetivo.

Todos los dedos de la mano son activados mediante músculos situados en el antebrazo. Puesto que algunos de estos músculos están cubiertos por otros músculos más superficiales, en algunos casos un acceso directo a los mismos implicaría el uso de métodos más agresivos (electrodos hipodérmicos), por lo que el primer criterio para seleccionar qué músculos resultan más útiles a la hora de tomar las muestras es su accesibilidad. Dado por hecho que se utilizarán electrodos superficiales para la toma de muestras solo queda estudiar cuáles son los músculos que actúan de una forma más directa en el control de la mano y los dedos. Estos son:

1. Extensor de los dedos (Musculus extensor digitorum).
2. Extensor radial largo del carpo (Musculus extensor carpi radialis longus).
3. Flexor superficial de los dedos (Musculus flexor digitorum superficialis).
4. Palmar largo (Musculus longus palmaris).

Cada músculo requerirá un par de electrodos para su medida diferencial, así como un electrodo adicional de referencia que se deberá situar cerca del musculo sobre una base

ósea dada la metodología a seguir; en nuestro caso el codo pues cumple ambos criterios.

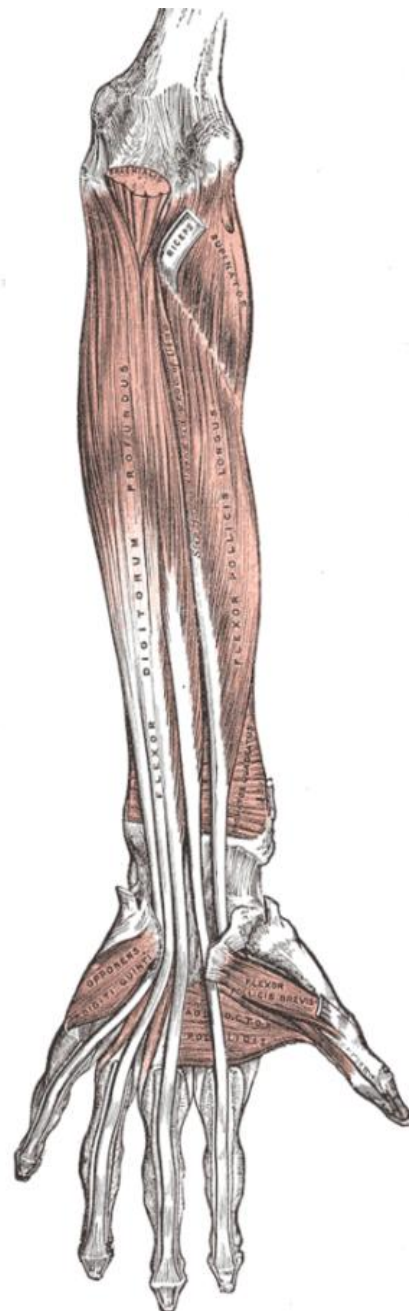


Figura 2. 4. Vista posterior de un antebrazo humano.

2.2.2. Preparación de la piel.

Se debe tener en cuenta que hay diversas variables que pueden influir notablemente en los resultados obtenidos al tomar muestras de señales mioeléctricas sobre la piel, pues al incrementar la impedancia formada por nuestra piel y los electrodos los resultados empeoran. Algunas de estas variables son inherentes al sujeto sobre el que se tome la muestra (índice de grasa corporal), pero otras pueden ser modificadas con acciones sencillas. Algunos buenos hábitos antes de colocar los electrodos son:

1. Retirar la mayor cantidad posible de vello. Esto favorece la adhesión del electrodo a la piel siendo esto especialmente importante en caso de trabajar con humedad o para pieles especialmente propensas a la sudoración.
2. Limpiar la piel con algún gel abrasivo suave. Tres o cuatro pasadas con un papel abrasivo de grano fino puede lograr un resultado similar. Este paso es importante pues las células muertas de la piel incrementan la impedancia de la misma empeorando la calidad de la señal obtenida y conviene retirar la mayor cantidad posible, siempre dentro de lo razonable.
3. Uso de alcohol puro. Frotar la superficie suavemente durante un corto intervalo también favorece la eliminación de las células muertas así como de la suciedad que pudiera depositarse sobre la piel
4. Se deben dejar pasar unos minutos antes de tomar las muestras para que la piel pueda estabilizar su impedancia.

2.2.3. Electrodo y características.

Un electrodo para EMG no es sino un transductor capaz de captar las corrientes eléctricas generadas por un músculo, para su posterior transmisión mediante un cable metálico hasta un punto designado. Esto ha de realizarse de forma eficiente, seleccionando, por lo tanto, un electrodo capaz de minimizar cualquier tipo de interferencia no deseada lo máximo posible sin interferir en la señal útil.

Se ha optado por el uso de electrodos superficiales como requisito básico para la realización de este proyecto. Pese a que los electrodos hipodérmicos puedan presentar unos resultados más precisos, sobre todo a la hora de tomar datos de músculos que estén cubiertos por otros músculos, la comodidad para el sujeto que

proporcionan los electrodos superficiales debido a su poca agresividad así como su bajo coste hacen de estos electrodos la mejor opción posible.

Cabe destacar que cualquier tipo de electrodo superficial siempre va a provocar ruido. Debido a su funcionamiento, estos deben captar las sutiles corrientes iónicas producidas en las células musculares, las cuales serán transformadas en corrientes eléctricas mediante la realización de una singular reacción química de oxidación en el interior de dichos electrodos, para su posterior envío a través de un cable metálico.

Tal y como se ya se ha comentado en el apartado anterior, el contacto entre la piel y los electrodos genera una impedancia compleja que puede variar entre varios $K\Omega$ y unos pocos $M\Omega$. Esto hace que el simple hecho de colocar los electrodos pueda modificar los resultados, sobre todo si se colocan varios con poca separación entre ellos.

Una clasificación posible de los diversos tipos de electrodos que podemos encontrar en el mercado es el material en el cual están fabricados. Destacan:

1. Electrodos de Plata – Cloruro de plata (Ag-AgCl): electrodos comúnmente usados por su impedancia casi resistiva, su buena adherencia y su bajo coste. Los resultados pueden mejorarse aún más en caso de usar un gel conductor sobre la piel antes de colocar dicho electrodo. Normalmente son desechables.
2. Electrodos de Oro: estos electrodos presentan una impedancia aún mejor que los anteriores. Pese a su alto coste son muy resistentes y reutilizables. Presentan la cualidad de poder ser utilizados sin necesidad de aplicar un gel conductor previamente, sin que la señal se vea muy degradada. Son los conocidos como "*dry electrodes*".
3. Electrodos poliméricos: algunos materiales poliméricos presentan una buena conducción eléctrica a la vez que una buena adhesión sobre la piel. Utilizando una pequeña capa de aluminio o plata entre el electrodo y el cable, se puede lograr una buena transmisión de la señal. Como defecto se debe mencionar que su resistividad es relativamente alta lo que los convierten en una mala opción para sistemas con bajo ruido.

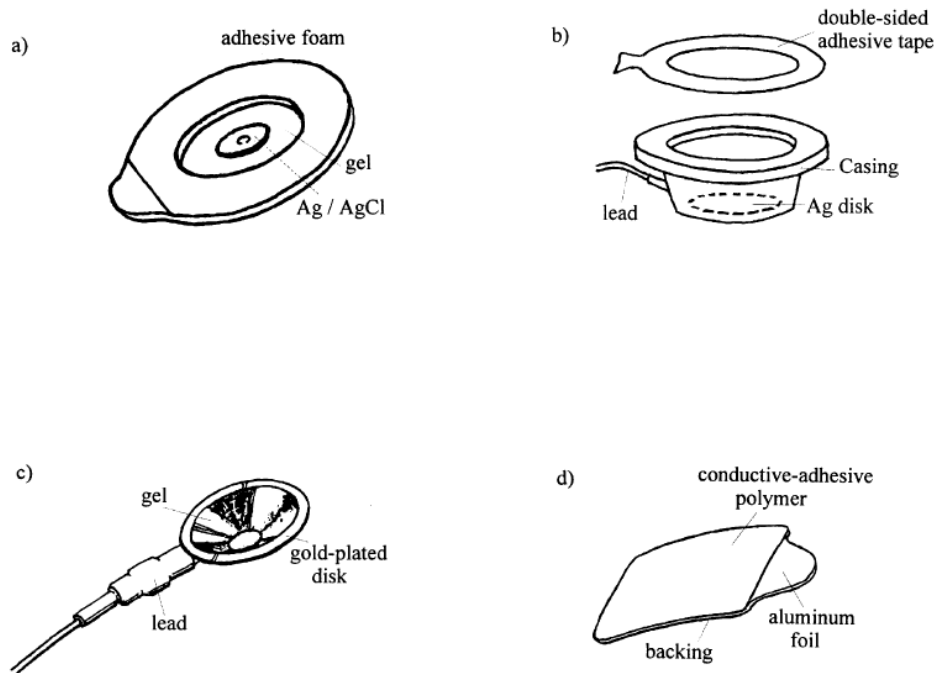


Figura 2. 5. El modelo a) corresponde a los electrodos seleccionados.

En este proyecto se han utilizado electrodos para ECG de plata-cloruro de plata (Ag - AgCl) de 1cm de diámetro de la marca Skintact, modelo F-TC1 /6, por tratarse de electrodos multipropósito de bajo coste.

2.3. Circuitos para EMG

Las señales biológicas producidas por los músculos no pueden ser tomadas y analizadas tal cual son adquiridas. Al tratarse de diferencias de potencial muy pequeñas, de órdenes que van desde los μV hasta unos pocos mV, estas deberán ser debidamente acondicionadas mediante filtros que eliminen las bandas de frecuencia que no aportan información relevante, amplificadores diferenciales con un alto CMRR y posteriormente digitalizadas para su uso final.

De nuevo se debe dar un énfasis especial al rechazo del ruido electromagnético en el diseño del circuito. Siguiendo las especificaciones dadas por De Luca en [4], el circuito ha sido diseñado tomando los siguientes puntos como objetivos prioritarios:

1. Amplificación diferencial. La premisa es simple; al captar la señal eléctrica en dos puntos simultáneamente se puede abstraer la señal común y amplificar la

diferencia, creando así un circuito capaz de discriminar el ruido y mejorando la señal útil. La capacidad de estos circuitos para eliminar el ruido frente a la señal útil es llamada razón de rechazo al modo común o CMRR (*common mode rejection ratio*). Un CMRR $\geq 80\text{dB}$ es suficiente para este tipo de circuitos.

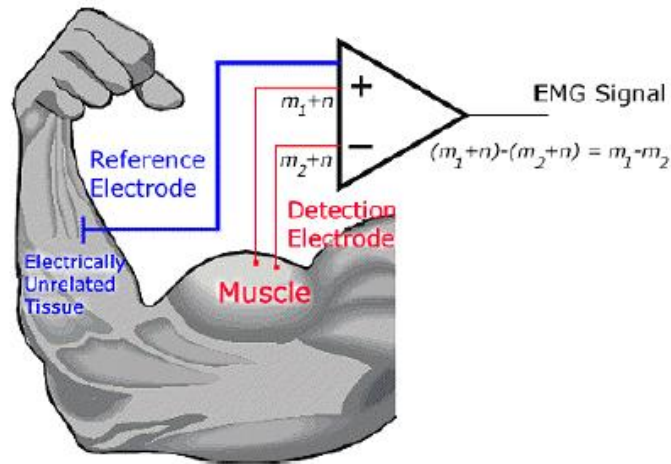


Figura 2. 6. Adquisición diferencial de una señal EMG.

2. Alta impedancia de entrada. Con el fin de evitar la atenuación y distorsión de la señal captada, la impedancia de entrada debe ser tan alta como sea posible sin llegar a causar problemas en el funcionamiento del amplificador diferencial. Se recomienda un valor $I_i > 100\text{ M}\Omega$.
3. Filtrado de paso banda. Ancho de banda de 20 – 500Hz con una atenuación de al menos $40_{\text{dB}}/\text{dec}$.
4. Electrodo de referencia al codo. La inclusión de un filtro de rechazo de banda (notch) en la región del espectro de frecuencias centrado en la zona de 50/60 Hz es la solución más sencilla para eliminar el ruido electromagnético inducido por la red eléctrica. Sin embargo su uso debe evitarse para no eliminar esta porción del espectro, ya que es precisamente en esta banda de frecuencias donde la señal EMG es más potente y contiene gran cantidad de información útil.

En el mercado se pueden encontrar multitud de dispositivos profesionales capaces de realizar las funciones aquí descritas, así como de mostrar las señales adquiridas por pantalla mediante software propio, ya sea en un PC embebido en la propia estructura del sistema o de forma modular en un PC portátil. En principal problema de todos estos dispositivos es su alto precio, solo apto para su uso constante en clínicas o centros especializados.

Podemos encontrar, también, dispositivos de bajo coste con características similares a las perseguidas en este documento. Cabe destacar el trabajo de Yoshihiro

Muraoka [5] y su equipo, logrando un circuito de muy bajo coste y fácilmente adaptable al utilizar el puerto de micrófono de un PC convencional como entrada y un software de audio para convertir dicho PC en un osciloscopio improvisado. Sin embargo al obtener una señal analógica pura se limitan las opciones para su procesamiento final, debiendo añadir una fase de conversión analógica-digital.

Otro buen ejemplo sería el dispositivo desarrollado en Brasil [6], que innova con la posibilidad de enviar los datos una vez digitalizados a un servidor web vía GPRS. Sin embargo se carece de datos sobre la intensidad del ruido electromagnético en dicho circuito, dato muy importante al tener esta funcionalidad implantada.

Investigando un poco se pueden encontrar otros tipos de circuito [7] [8], sin embargo la mayoría yerra en una de las recomendaciones de diseño de De Luca, presentando filtros de rechazo de banda (notch) para reducir el ruido electromagnético provocado por las líneas eléctricas (comúnmente en 50/60Hz), perdiendo así una franja importante de información.

Capítulo 3

Diseño e implementación del circuito EMG

En este capítulo se describirán detalladamente los distintos bloques en los que se puede subdividir el circuito propuesto, sus motivaciones y especificaciones. A modo de resumen gráfico, la figura 3.1 muestra los sub-apartados en los que se hará especial énfasis a lo largo del presente capítulo.

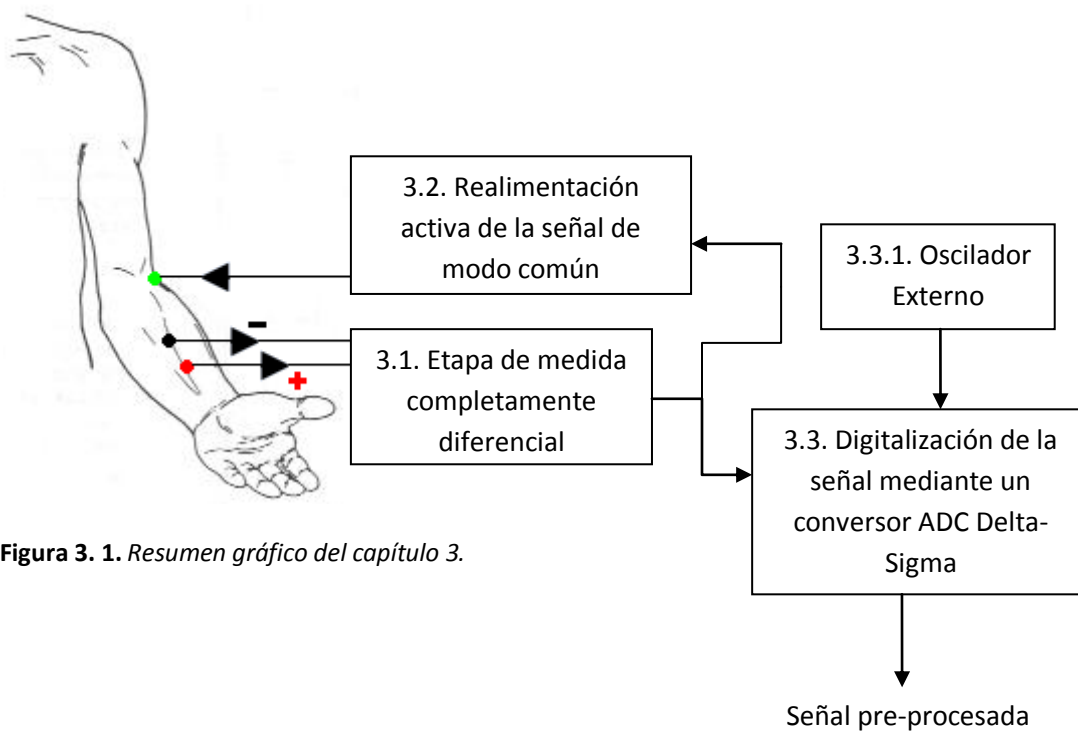


Figura 3. 1. Resumen gráfico del capítulo 3.

3.1. Etapa de amplificación completamente diferencial

Esta primera etapa es la encargada de adquirir, filtrar y amplificar las señales procedentes de cada pareja de electrodos situados sobre el antebrazo, iniciando una transmisión diferencial de la señal. La transmisión diferencial de señales ha sido usada comúnmente en circuitos de pequeña señal, como aplicaciones de audio, transmisión de datos y en sistemas telefónicos durante muchos años debido a su gran resistencia a las fuentes externas de ruido. También es destacable la capacidad de este tipo de transmisión para reducir los armónicos de orden par e incrementar el rango dinámico respecto a otro tipo de amplificación [9].

Para poder trabajar más cómodamente con circuitos de pequeña señal suelen utilizarse amplificadores diferenciales (AD), también llamados amplificadores de instrumentación (AI) para realizar una amplificación de la señal capaz de discriminar la parte común de la señal (CMRR), es decir, el ruido y otros artefactos inducidos en la señal durante la adquisición y la transmisión de la misma. Un ejemplo básico, utilizado además de forma didáctica, es el uso de amplificadores diferenciales en circuitos de acondicionamiento de galgas extensiométricas apoyadas por un circuito puente de Wheatstone. De un modo simplificado, un amplificador de instrumentación clásico está compuesto por tres amplificadores operacionales (AO) y varias cargas resistivas tal y como se muestra en la figura 3.2.

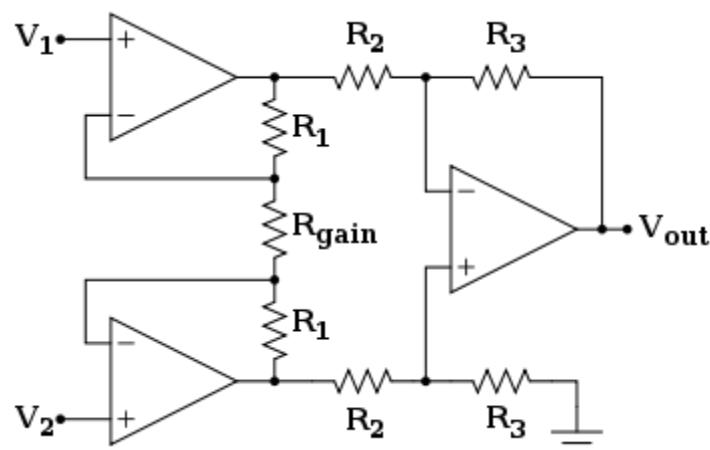


Figura 3. 2. Circuito esquemático de un AI construido con 3 AO.

Sin embargo, para adquirir las señales EMG provenientes de cada pareja de electrodos, en el circuito que se ha diseñado no se ha utilizado una amplificación diferencial común, como la que se implementa en un amplificador de instrumentación, sino que se ha tomado únicamente la primera etapa de este tipo de arquitectura,

teniendo por tanto una etapa de medida de entrada diferencial y salida diferencial. Esto es lo que se conoce como amplificación completamente diferencial (fully-differential amplification).

La capacidad de estos circuitos para reducir el ruido externo, incluso más que los amplificadores diferenciales comunes, su sencillez y su efectiva aplicación en sistemas de baja señal, hacen de este tipo de amplificación una elección acorde a los objetivos planteados para este proyecto. El componente seleccionado para el diseño de esta etapa es el circuito integrado LTC2051 de Linear Technology, que posee dos amplificadores operacionales en su arquitectura; sus características de bajo ruido ($1.5\mu\text{V}_{\text{p-p}}$), su alta impedancia de entrada y su gran CMRR (130 dB), favorecen aún más la capacidad de este circuito para presentar una gran resistencia a las fuentes externas e internas de ruido electromagnético.

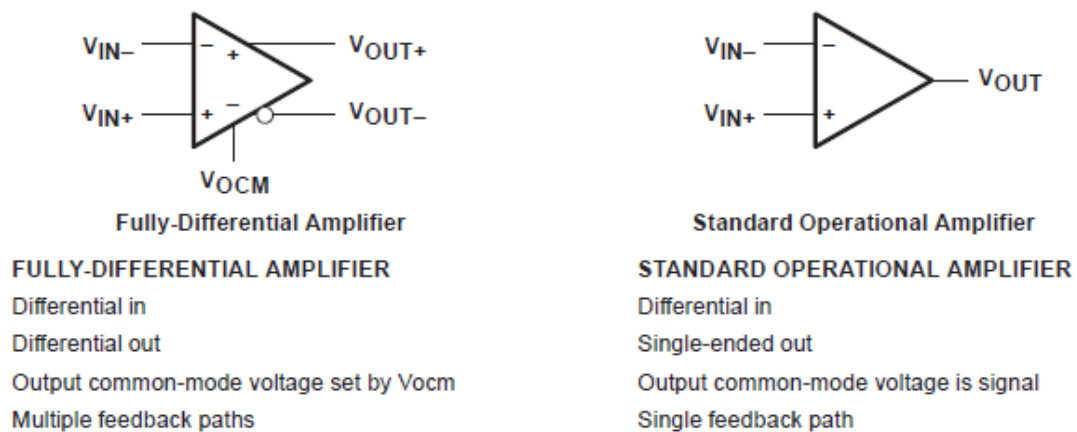


Figura 3. 3. Esquema de diferencias entre diferentes tipos de amplificadores.

Como puede observarse en la figura 3.3, la capacidad de este tipo de amplificación completamente diferencial para obtener dos señales diferentes a la salida de cada amplificador capacita a la señal el posterior uso de un ADC Delta-Sigma ($\Delta\Sigma$) con entradas diferenciales.

En esta etapa, además, se han incluido una serie de mejoras con el fin de capacitar al circuito de aún mayor robustez ante el ruido. En primer lugar, en la entrada de la etapa se ha incorporado un filtro de radiofrecuencia, consistente en un filtro paso bajo pasivo, con una frecuencia de corte muy alta, que se encarga de atenuar cualquier señal con una frecuencia mayor que $f_c = \frac{1}{2\pi R_c C_c}$, que en este caso son unos 160 KHz. Esto se realiza en las señales procedentes de ambos electrodos con el fin de no trastocar la simetría de dichas señales.

Posteriormente se realiza la amplificación de la señal, junto a un nuevo filtrado de la misma, que a su vez añade un polo en $f_p = \frac{1}{2\pi R_F C_F} = 1591\text{Hz}$ y ayudando a compensar la respuesta del operacional, añadiendo estabilidad al circuito.

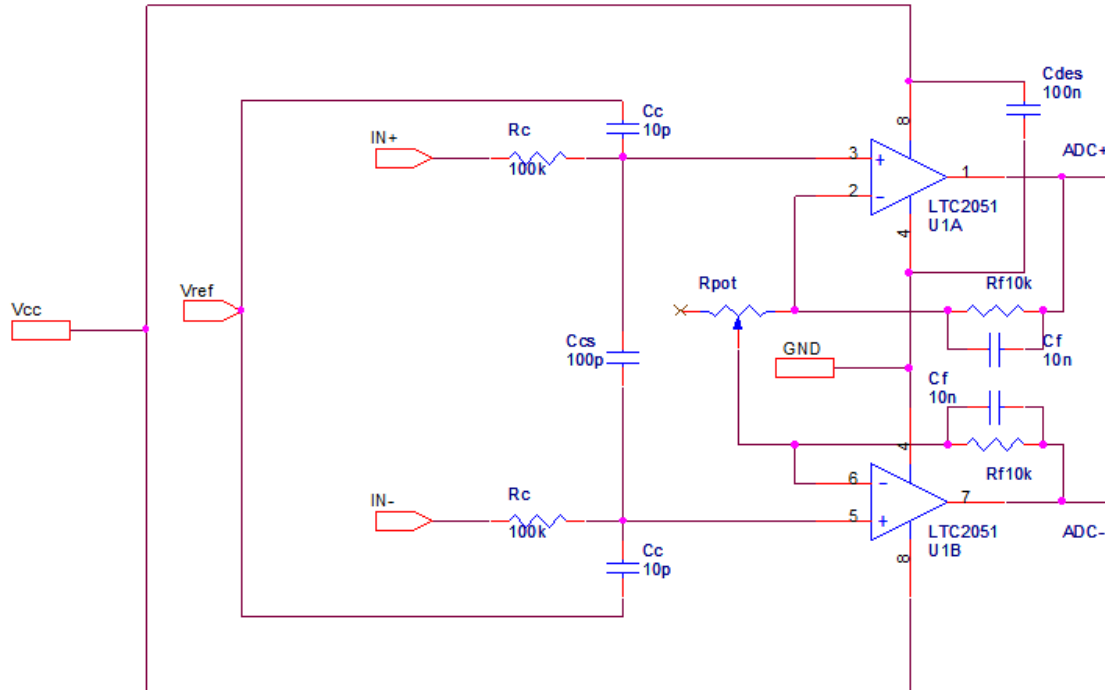


Figura 3. 4. Detalle de las etapas de radiofrecuencia y de amplificación completamente diferencial con los valores de los componentes utilizados.

El valor final de la ganancia es controlada mediante un potenciómetro multivuelta, de forma simétrica. Esto se debe a que la señal de entrada que proporciona un individuo puede diferir mucho de la de otro, por lo que la ganancia puede requerir ser modificada y se debe de capacitar al circuito de un medio para ello. En este caso, suponiendo dos señales de entrada IN^+ e IN^- y dos señales de salida ADC^+ y ADC^- se puede obtener la ecuación de la ganancia utilizando el teorema de superposición tal que:

$$IN^- = 0 \Rightarrow \begin{cases} ADC^+ = \left(1 + \frac{R}{R_{POT}}\right) \cdot IN^+ = \frac{R_{POT} + R}{R_{POT}} \cdot IN^+ \\ ADC^- = -\frac{R}{R_{POT}} \cdot IN^+ \end{cases}$$

$$IN^+ = 0 \Rightarrow \begin{cases} ADC^+ = -\frac{R}{R_{POT}} \cdot IN^- \\ ADC^- = \left(1 + \frac{R}{R_{POT}}\right) \cdot IN^- = \frac{R_{POT} + R}{R_{POT}} \cdot IN^- \end{cases}$$

De modo que:

$$ADC^+ = \frac{R_{POT} + R}{R_{POT}} \cdot IN^+ - \frac{R}{R_{POT}} \cdot IN^-$$

$$ADC^- = \frac{R_{POT} + R}{R_{POT}} \cdot IN^- - \frac{R}{R_{POT}} \cdot IN^+$$

Así pues, la ganancia diferencial:

$$G = ADC^+ - ADC^- = \left(1 + \frac{2R}{R_{POT}}\right) \cdot (IN^+ - IN^-)$$

Siendo R el valor de la resistencia colocada en la realimentación del amplificador diferencial y R_{POT} el valor variable de la resistencia del potenciómetro multivuelta.

Finalmente, y en paralelo con la etapa de salida de la etapa de medida diferencial, se ha incluido un colector de la señal de modo común del amplificador diferencial. Esta etapa será la encargada de comunicar la etapa de medida diferencial con la etapa de realimentación activa de la señal de modo común, que será explicada con detalle en el siguiente apartado.

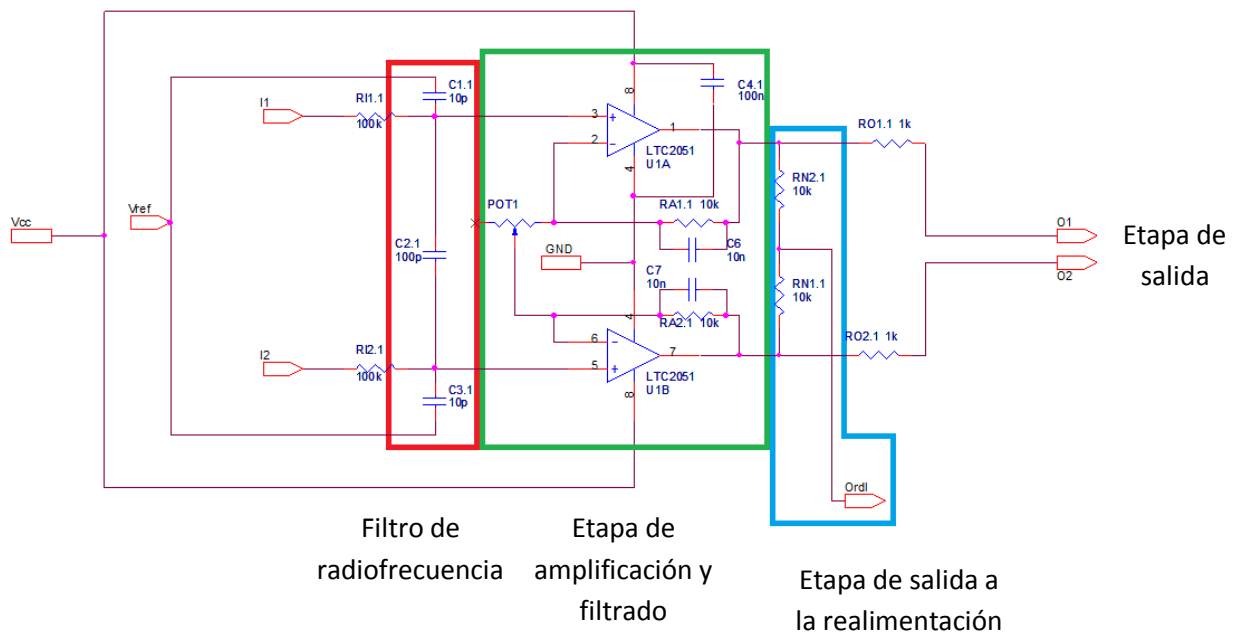


Figura 3. 5. Esquema de la etapa diferencial.

3.2. Realimentación activa de la señal de modo común

Cuando un amplificador diferencial toma medidas de biopotenciales, la señal adquirida no es únicamente la diferencia de potencial entre los puntos sobre los que se encuentran los electrodos sino que, además, se debe tener en cuenta una serie de variaciones en el voltaje fruto de las impedancias de los propios electrodos, los cables conductores de la señal y de los componentes en la etapa de entrada del circuito. Este voltaje es común a ambas señales y es llamado voltaje de modo común (v_c). Puesto que v_c puede ser transformado por el amplificador en una señal de interferencia capaz de enmascarar la autentica señal a analizar, es deseable minimizarla mediante la inclusión de una etapa adicional y la adhesión de un tercer electrodo de referencia en el sujeto de estudio con el que poner a dicho sujeto a un potencial conocido. Este electrodo facilita un camino de baja impedancia entre el sujeto y la referencia del amplificador y, junto a la circuitería de esta etapa haciendo, se logra hacer v_c más pequeño.

Sin embargo, conectar este electrodo directamente a la referencia del amplificador no es deseable por dos motivos:

1. Si el circuito no está aislado, corrientes demasiado altas pueden fluir a través de dicho electrodo, pudiendo resultar peligroso para el paciente.
2. Un mal contacto entre la piel del sujeto y el electrodo puede crear impedancias superiores a $100\text{K}\Omega$ entre sujeto y amplificador.

Así pues, el mejor método para tomar una referencia respecto del paciente utilizando este tercer electrodo, es una metodología habitualmente empleada en circuitos de ECG, EEG y EMG. Esta metodología, llamada Driven-right-leg (DRL), es capaz de solventar ambos problemas, reduciendo varios ordenes de magnitud la impedancia del electrodo y permitiendo que solo una pequeña parte, no peligrosa, de la corriente fluya a través del sujeto [10].

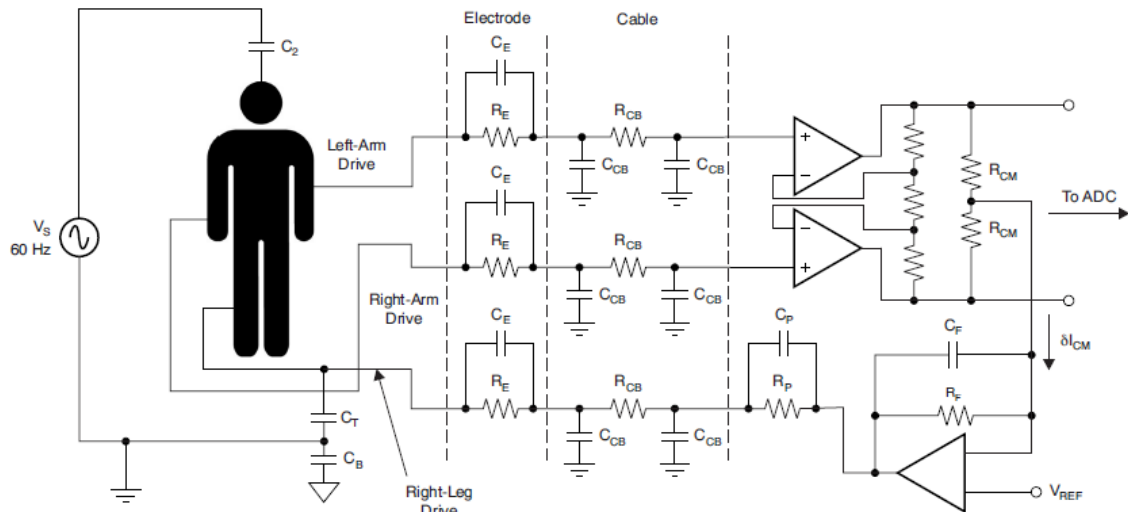


Figura 3. 6. Ejemplo de circuito de amplificación diferencial con DRL.

En el circuito planteado en este proyecto hay, por su funcionamiento y localización, algunas variaciones respecto a DRL estandar. Antes de nada, la localización del electrodo de referencia no se encuentra en la pierna derecha tal y como dicta el nombre en inglés y como se aprecia en la figura 3.6, sino que se encuentra en una base ósea del músculo a analizar [11]. El electrodo de referencia debe localizarse sobre una zona eléctricamente neutra, próxima a los músculos a analizar pero sin estar en contacto con sus unidades motoras, que no intervenga en los movimientos a realizar (con el fin de evitar artefactos por movimiento) y con una buena base sobre la que adherir el electrodo. Se selecciona la articulación del codo pues cumple todos los parametros mencionados anteriormente [12].

Por lo tanto, y pasando a analizar el diseño del circuito presentado en este apartado, se deberán estudiar principalmente dos sub-etapas, detalladas en la figura 3.7:

1. Etapa de referencia.
2. Etapa de realimentación activa de la señal del modo común.

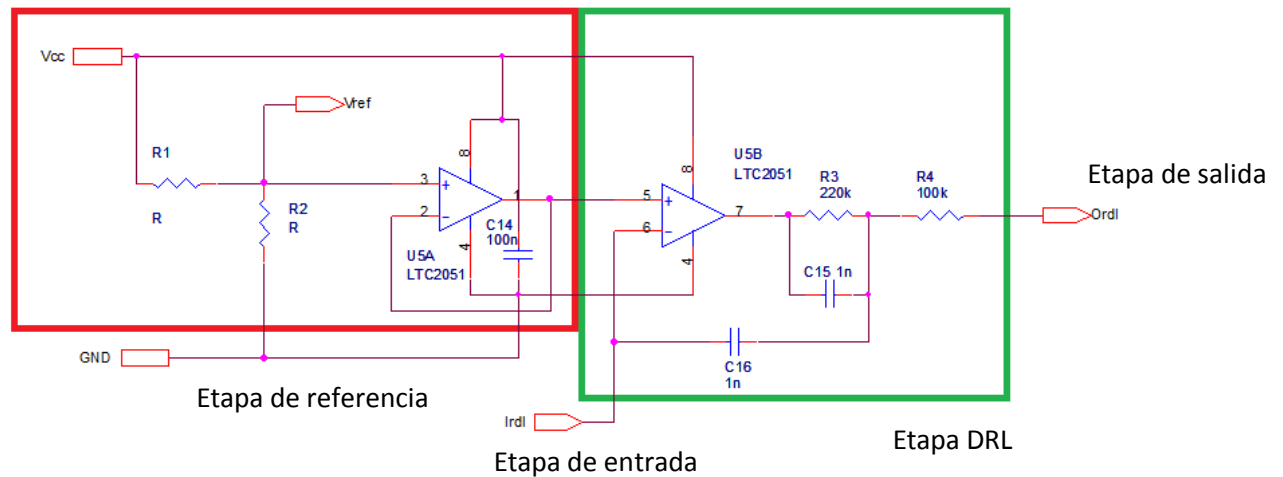


Figura 3. 7. Diagrama esquemático de la etapa de realimentación activa de la señal del modo común.

Etapa de referencia: esta etapa se encarga de introducir en la señal recogida en la etapa anterior una componente de corriente continua v_{ref} , con la finalidad de permitir que dicha señal pueda desarrollar su componente negativa sin saturar dado que el amplificador está alimentado a $v_{cc} = +5 - 0V$. La tensión de referencia tiene un valor por defecto al tener un divisor de tensión con dos resistencias iguales, $v_{ref} = v_{cc}/2 = 2.5V$. Este voltaje también es utilizado en la etapa de amplificación completamente diferencial, de modo que es extraído mediante un pin extra situado en esta etapa. Posteriormente se incluye la estabilización de la señal mediante un seguidor de tensión o buffer, con el fin de que la señal de referencia llegue con la mayor precisión a la entrada de la siguiente etapa.

Etapa DRL (*driven right leg*): núcleo de esta parte del circuito, se trata de un amplificador operacional utilizado a modo de inversor, integrador y sumador, logrando de este modo que al cuerpo del sujeto se retorne la señal del ruido común de todos los músculos analizados, pero invertida con el fin de anular lo máximo posible el ruido de la señal original. Del mismo modo, este circuito ayuda en la estabilidad general de los amplificadores operacionales, incluyendo un cero en su salida.

3.3. Digitalización mediante un conversor ADC Delta-Sigma ($\Delta\Sigma$)

Una vez se tiene la señal pre-procesada, esta debe ser enviada de forma adecuada al hardware de procesamiento final (placa STM32F4 – Discovery). Para realizar este paso se ha optado por una digitalización o conversión analógica-digital de alta resolución de tipo Delta-Sigma (o Sigma-Delta).

La selección de este tipo de ADC de alta resolución se debe a que por el elevado número de bits en que dividen las señales analógicas medidas, son capaces de digitalizar valores de tensión muy pequeños, lo que permite minimizar la inclusión de componentes y etapas adicionales al no necesitar una etapa de filtrado para la eliminación de la componente continua, una etapa de amplificación de alta ganancia y otra etapa de filtrado de alto orden, esta vez de paso bajo, para evitar la aparición de efecto *aliasing*. Este filtro *anti-aliasing* puede ser implementado en los ADC's Delta-Sigma mediante una configuración de primer orden RC. En las figuras 3.8 y 3.9 se pueden comparar las etapas adicionales necesarias para la implantación de un ADC común frente a un ADC Delta-Sigma.

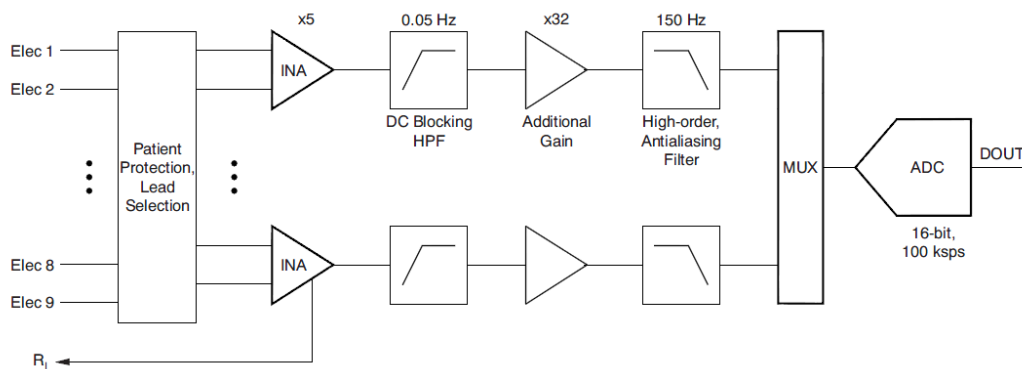


Figura 3. 8. Esquema de la arquitectura de un ADC común.

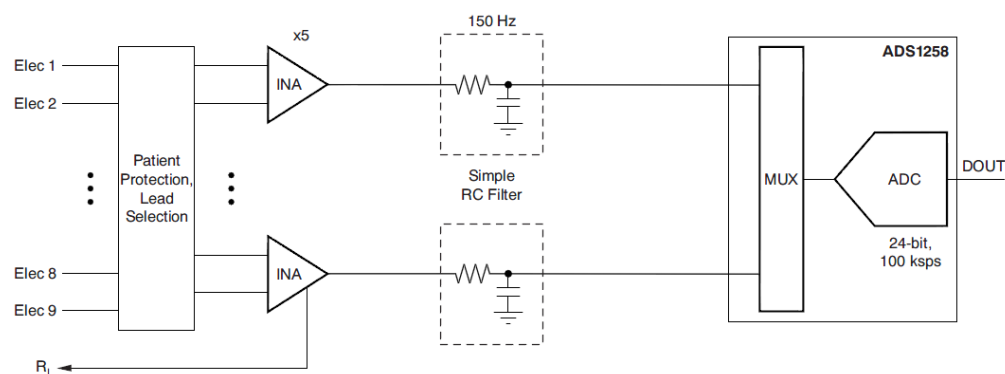


Figura 3. 9. Esquema de la arquitectura de un ADC delta-sigma.

La importancia en la selección de este tipo de circuitos ADC en cualquier aplicación dentro del rango eléctrico de las bioseñales debe ser estudiado cuidadosamente [13]. Al igual que el resto de componentes del circuito, este componente deberá satisfacer una serie de necesidades:

1. Entrada diferencial. Una de las características principales del circuito diseñado es la de utilizar una amplificación completamente diferencial para mejorar el ruido de la señal antes de ser digitalizado. Esto exige un ADC capaz de admitir una entrada diferencial.
2. Baja señal de ruido electromagnético. Al tratarse de la última etapa antes de la salida, cualquier fuente de ruido pasará integra al filtrado posterior. Esto podría provocar lecturas erróneas capaces de invalidar las pruebas realizadas.
3. Alta resolución. Pese a la amplificación, al tratar con señales analógicas de pequeña magnitud, cualquier fracción de la amplitud de la señal es relevante. No se pueden tolerar pérdidas de información debidas a una resolución insuficiente.
4. Frecuencia de muestreo de 1KHz. Siguiendo el teorema de Nyquist, para que una señal de una frecuencia f pueda ser reconstruida digitalmente tras ser muestreada por un convertidor analógico-digital (ADC), la frecuencia de muestreo del dispositivo debe ser al menos $2f$. Puesto que la banda del espectro de frecuencia que va a ser analizada es 20 – 500Hz, la frecuencia de muestreo f_m debe ser de, al menos, 1KHz.

Para esta etapa del circuito se ha seleccionado el LTC2440 de Linear Technology como un ADC delta-sigma capaz de satisfacer todos los criterios anteriormente expuestos. El integrado posee las siguientes características:

1. Doble entrada diferencial, para señal y referencia.
2. Baja señal de ruido, $2\mu\text{V}$ funcionando a 1KHz.
3. Resolución de 21bits (alta resolución) a 1 KHz.
4. Frecuencia de 880Hz y $2\mu\text{VRMS}$ de ruido con el pin SDI a tierra, configuración con oscilador interno. Capacidad para acoplar un oscilador externo (CLK) capaz de modificar dicha frecuencia según la figura 3.10. Este oscilador será comentado en el siguiente apartado.

Table 3. SDI Speed/Resolution Programming

OSR4	OSR3	OSR2	OSR1	OSR0	CONVERSION RATE		RMS NOISE	ENOB	OSR
					INTERNAL 9MHz CLOCK	EXTERNAL 10.24MHz CLOCK			
X	0	0	0	1	3.52kHz	4kHz	23µV	17	64
X	0	0	1	0	1.76kHz	2kHz	3.5µV	20	128
0	0	0	0	0	880Hz	1kHz	2µV	21.3	256*
X	0	0	1	1	880Hz	1kHz	2µV	21.3	256
X	0	1	0	0	440Hz	500Hz	1.4µV	21.8	512
X	0	1	0	1	220Hz	250Hz	1µV	22.4	1024
X	0	1	1	0	110Hz	125Hz	750nV	22.9	2048
X	0	1	1	1	55Hz	62.5Hz	510nV	23.4	4096
X	1	0	0	0	27.5Hz	31.25Hz	375nV	24	8192
X	1	0	0	1	13.75Hz	15.625Hz	250nV	24.4	16384
X	1	1	1	1	6.875Hz	7.8125Hz	200nV	24.6	32768**

**Address allows tying SDI HIGH *Additional address to allow tying SDI LOW

Figura 3. 10. Frecuencia de muestreo programable del LTC2440.

Además cuenta con otra característica interesante en la que no se hará especial hincapié al no ser utilizada en este circuito. El componente posee un modo de ultra bajo ruido con solo 200nVrms para una frecuencia de muestreo de 6.9Hz, permitiendo adicionalmente el rechazo simultaneo de frecuencia de 50/60 Hz.

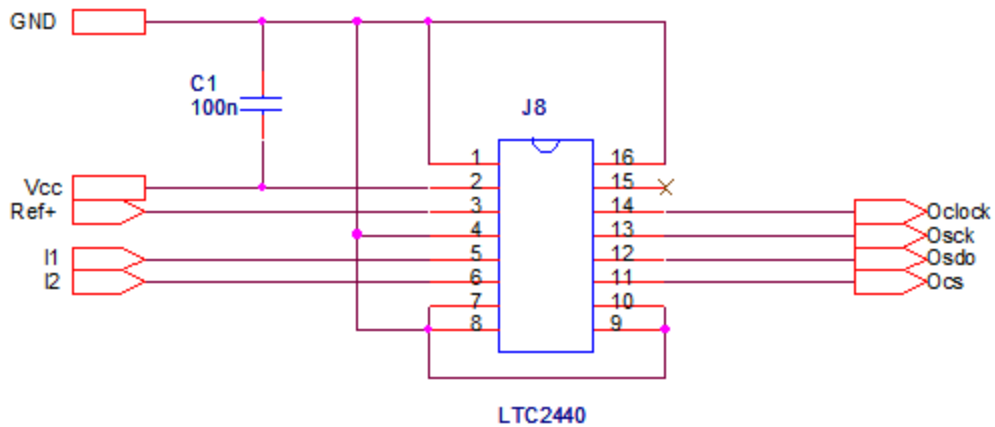


Figura 3. 11. Circuito esquemático del ADC LTC2440.

3.3.1. Oscilador externo

Dada la incapacidad del LTC 2440 para muestrear una señal a 1KHz o más sin incrementar su componente de ruido RMS, se puede aprovechar su característica para implementar una fuente de reloj externo conectado a su pin f_0 , agregando un último componente al circuito. En este caso el oscilador ha sido elegido al ser el componente mostrado como ejemplo de aplicación en la hoja de características del ADC y cumplir con el requerimiento de permitir que el conversor delta-sigma muestree a 1 KHz.

En el circuito esquemático (Figura 3.12) se puede observar el oscilador junto a su circuitería adicional. Se incluye un Jumper con el fin de realizar experimentos con la frecuencia de muestreo por defecto (880Hz) o bien seleccionando el oscilador.

La frecuencia de salida del oscilador viene definida por la siguiente ecuación:

$$f_{osc} = 10MHz \cdot \left(\frac{10k}{N \cdot R_{SET}} \right), \quad N = \begin{cases} 100, DIV Pin = V^+ \\ 10, DIV Pin = Open \\ 1, DIV Pin = GND \end{cases}$$

Según las especificaciones del LTC 2440, para obtener una frecuencia de muestreo de 1KHz se deberá introducir una frecuencia de 10.24MHz. Si $N = 1 \Rightarrow R_{SET} = 9.765K\Omega$. Puesto que este no es un valor comercial se deberá aproximar a lo más cercano posible.

- Un valor de 10K Ω da como resultado una frecuencia de muestreo final en el ADC de $f_c = 976Hz$. No es apropiado, pues siempre es preferible sobremuestrear para evitar casos de aliasing.
- Un valor de 8.2K Ω da como resultado una frecuencia de muestreo final en el ADC de $f_c = 1190Hz$. Esta frecuencia permite muestrear adecuadamente señales de hasta 595Hz, más que adecuado para esta aplicación.

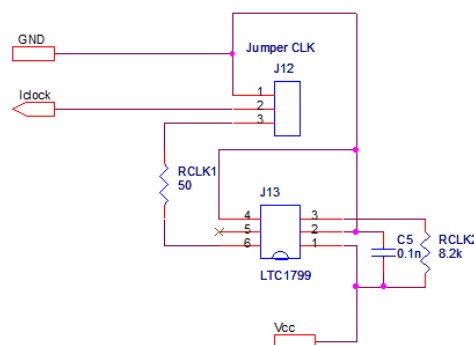
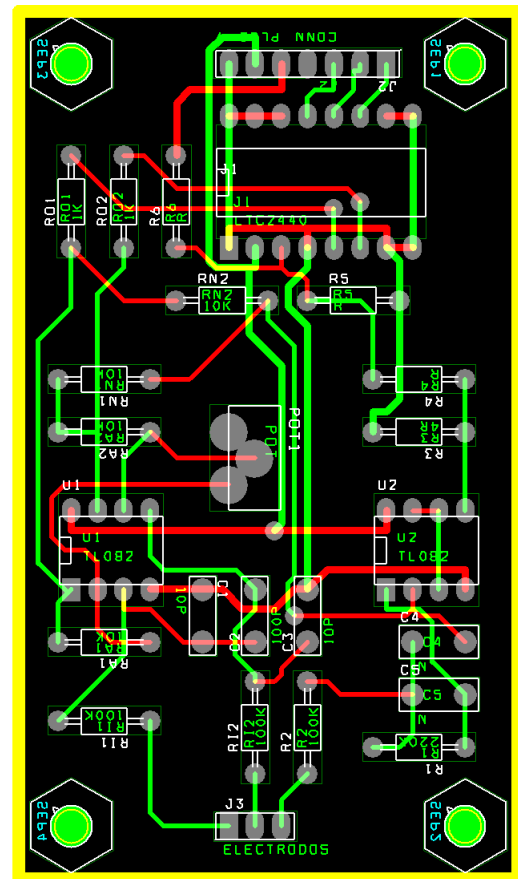


Figura 3. 12. Circuito esquemático del oscilador externo.

3.4. Implementación de la placa de circuito impreso (PCB)

Previamente al diseño de la PCB final (figura 3.15), debe mencionarse que se ha pasado por varias etapas de prototipado de la misma. Así, este diseño comenzó como un circuito montado sobre placas protoboard con el fin de validar las especificaciones técnicas de los componentes y del circuito en aplicaciones con un único canal. Posteriormente se diseñó y se mandó fabricar una PCB (Figura 3.13) reproduciendo dicho circuito, mejorando los resultados obtenidos. Finalmente y tras realizar ciertas modificaciones, como la adición del circuito del oscilador externo, se pasará al diseño definitivo de la PCB.

Tras la cuidadosa selección de componentes se procederá al diseño del circuito mediante la



herramienta OrCad Capture [14] (figura 3.14). **Figura 3. 13. Prototipo funcional de 1 canal.** Utilizando la capacidad del software para realizar diseños jerárquicos de bloques, se diseñará únicamente un circuito compuesto por estos bloques, en cuyo interior se encontrarán las etapas explicadas anteriormente. Pese a la posibilidad de utilizar una tecnología de componentes de montaje superficial (SMD), se ha optado por el uso de una tecnología de agujeros pasantes (THT, *Through-HoleTechnology*) debido a la facilidad en su montaje, la posibilidad de realizar cambios y reparaciones con sencillez y a la gran disponibilidad de este tipo de componentes.

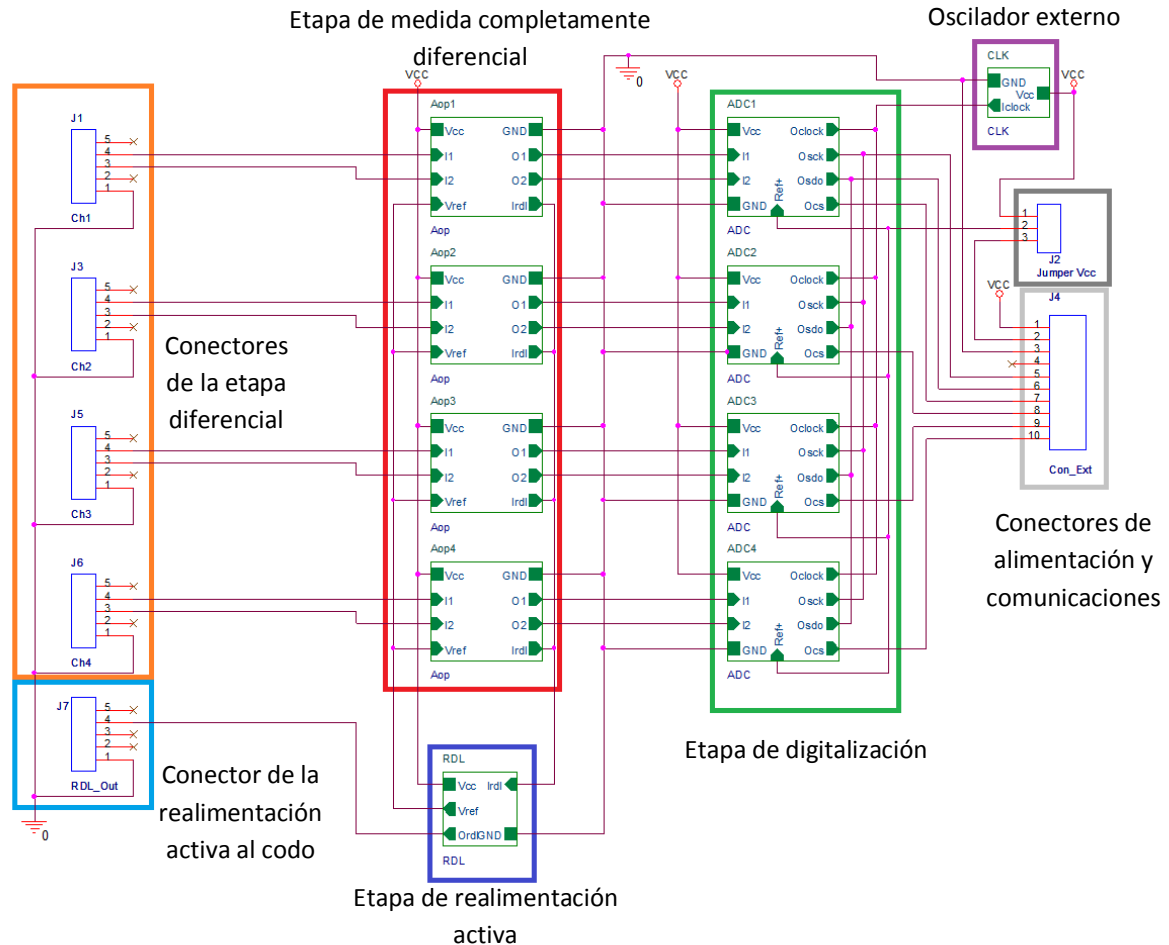


Figura 3. 14. Diagrama de bloques jerárquicos del circuito diseñado.

Para los conectores de la etapa diferencial y la realimentación al codo se han utilizado 5 conectores hembra Jack de 3.5mm con el fin de incrementar la resistencia al ruido del circuito utilizando cable apantallado. El cable utilizado para los experimentos con cable apantallado para la conexión entre la PCB y los electrodos ha sido un cable de audio estéreo de 2x0.09mm. Para los experimentos sin cable apantallado se ha utilizado un cable multifilamento de 0.9mm. El conector de alimentación y comunicaciones es un conector macho para PCB recto de 10 pines con un paso de 1". Este conector está separado en dos mediante un pin colocado al aire (pin 4), con el fin de separar la alimentación de las comunicaciones, pero permitiendo utilizar uno o dos conectores hembra según se desee.

En la figura 3.15, además, se puede observar un jumper situado sobre el conector de alimentación y comunicaciones. Este Jumper ha sido explicado con anterioridad en el apartado 3.3 y es utilizado para modificar el voltaje de referencia de los ADC, dando la opción de colocarlo al voltaje de referencia o a cualquier otro

introducido a través del pin 2 del conector de alimentación. La lista completa de componentes utilizados se encuentra en el apéndice A del presente documento.

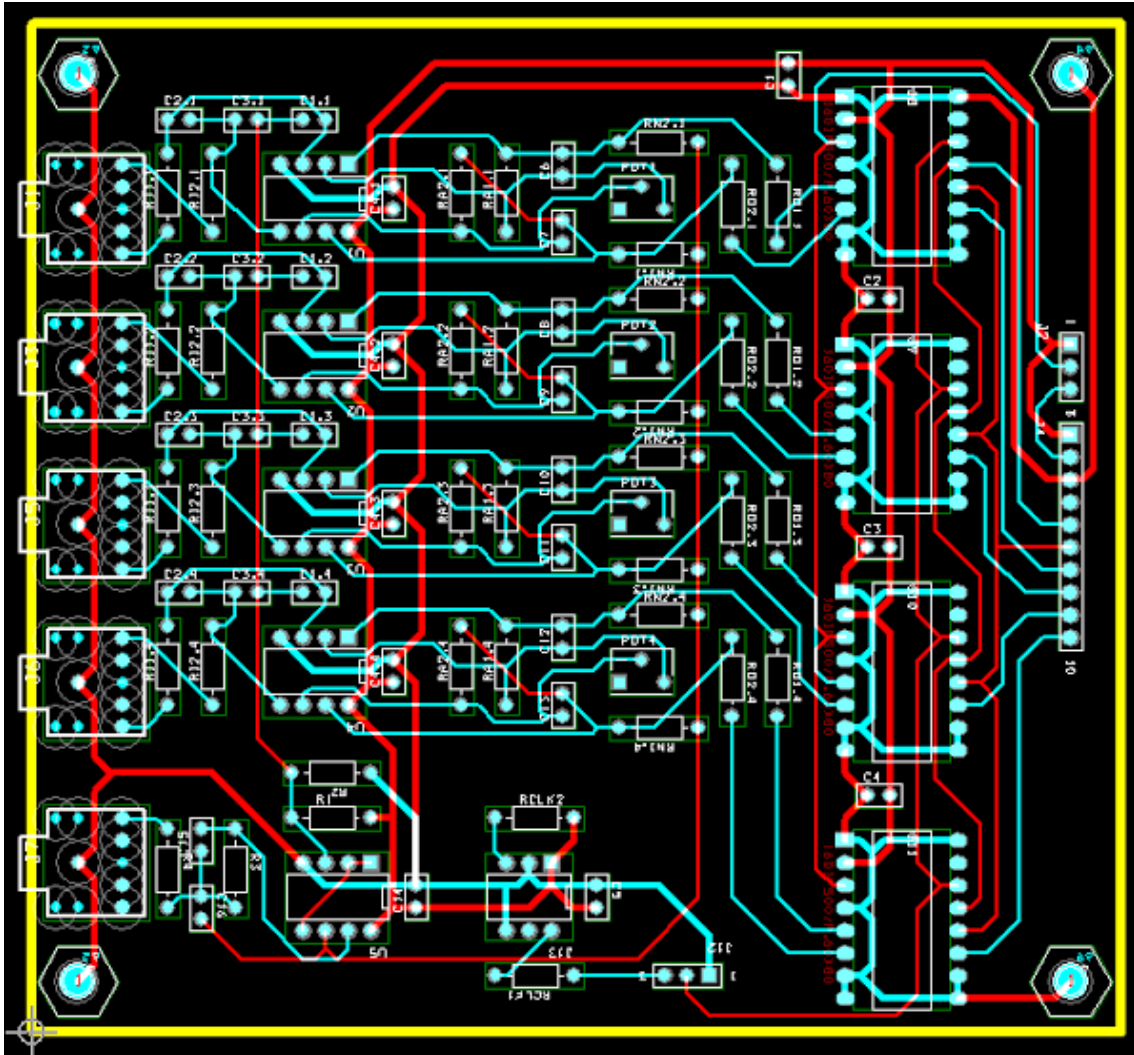


Figura 3. 15. Diseño final de la PCB.

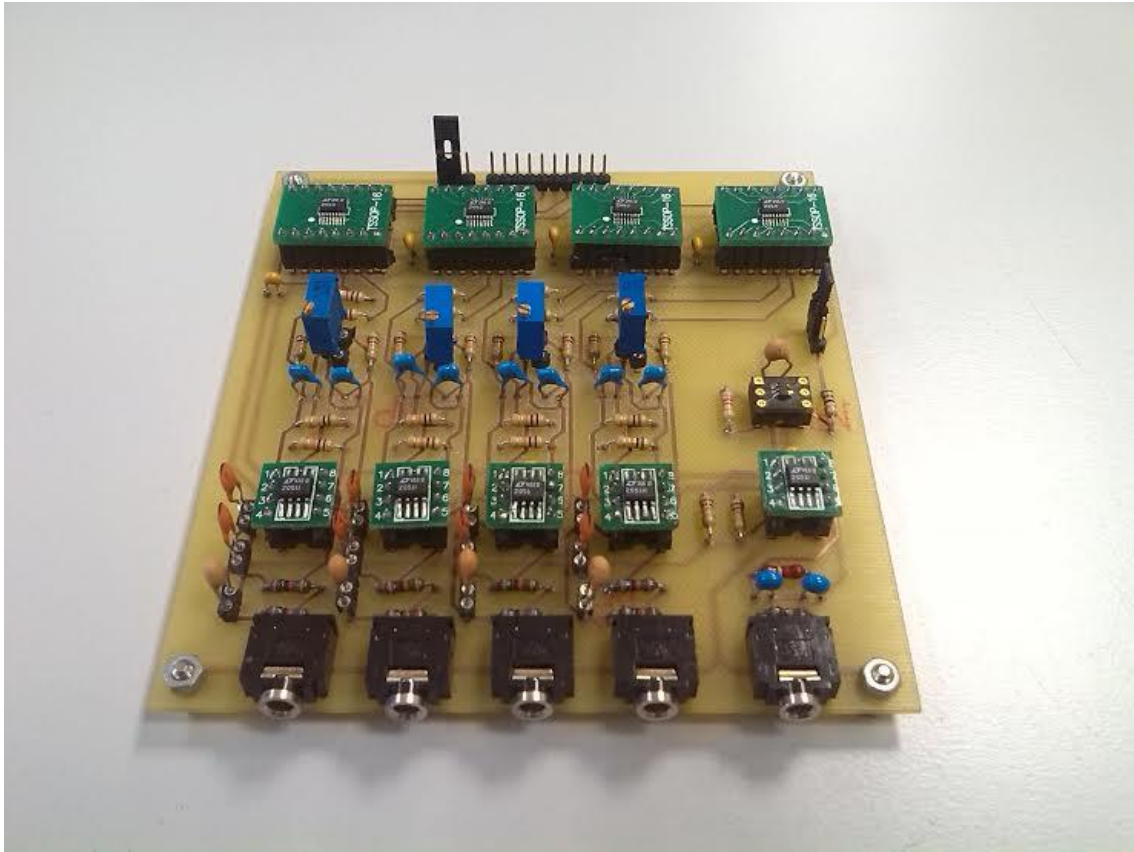


Figura 3. 16. Cara de montaje (TOP) de la PCB.

Capítulo 4

Simulaciones del circuito

Previamente a las pruebas experimentales se llevarán a cabo una serie de pruebas en el simulador de circuitos electrónicos OrCad Pspice. El objetivo principal que se pretende alcanzar en este capítulo es la validación en un entorno de simulación de algunas de las características con las que debe contar el circuito, con el fin de dotarle de una mayor solidez, así como de corroborar la veracidad de las fuentes consultadas.

Para ello se utilizará un modelo simulado de las etapas de amplificación completamente diferencial y de la etapa de realimentación activa al codo, ensambladas tal y como lo estarán en el circuito una vez finalizado. Se ha decidido simular únicamente estas dos etapas por tratarse de las etapas analógicas del circuito y, por lo tanto, las más sensibles a cualquier tipo de malfuncionamiento en el diseño del mismo.

- Amplificación completamente diferencial.

Con el fin de medir la viabilidad del circuito completamente diferencial trabajando con las señales supuestas, se ha diseñado un modelo en OrCad Capture tal y como se puede ver en la figura 4.1. Las fuentes de tensión alterna representan dos señales de baja magnitud (mV) con poca diferencia de voltaje entre sí, simulando las bajas diferencias de potencial que deberá medir el circuito real. A estas se le ha añadido un componente de continua de 500mV para evitar la saturación de la semionda

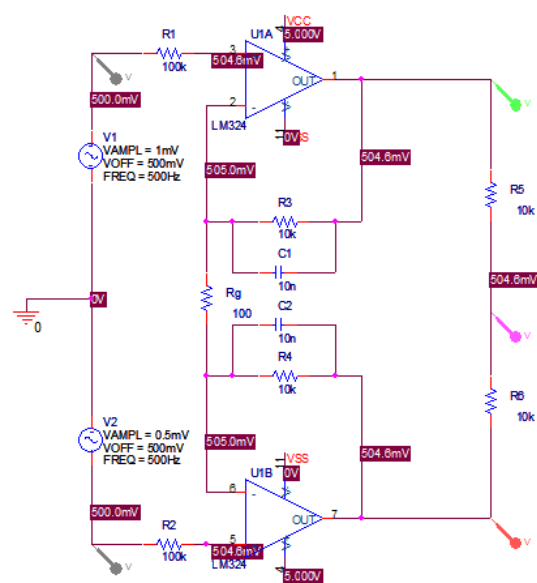


Figura 4. 1. Esquemático de simulación de la etapa diferencial.

negativa de la señal en los amplificadores. En la simulación de este circuito, representada en la figura 4.2, se pueden observar en la mitad superior las señales de entrada, de 1mV y 0.5mV; en la mitad inferior se observan las señales de salida, amplificadas tras su paso por la etapa, así como la señal de modo común del circuito.

Los resultados, tal y como se espera, constan de una señal amplificada según las formulas explicadas en el capítulo anterior.

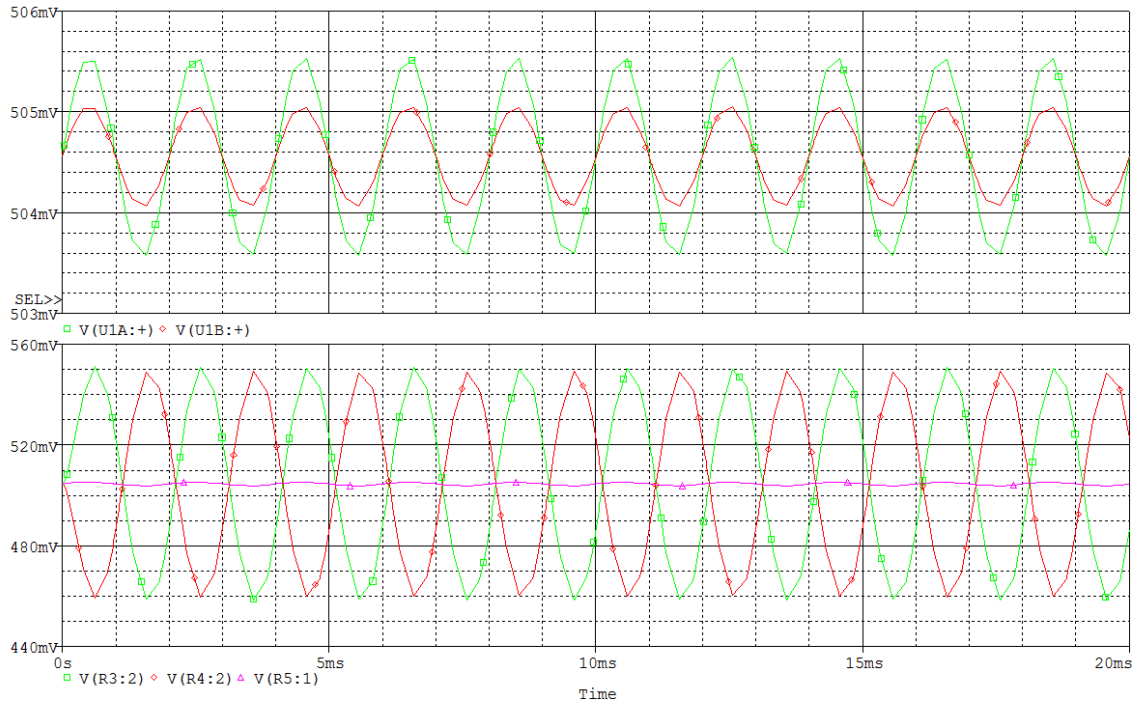


Figura 4. 2. Formas de onda obtenidas en la simulación del circuito diferencial.

- Amplificación diferencial con fuente de ruido externa.

Para simular el efecto causado por una fuente de ruido externa se utilizará una fuente de tensión alterna funcionando a 100 mV y 50Hz, por ser la frecuencia de ruido electromagnético más problemática. Esta fuente tendrá un voltaje bastante superior al de la señal diferencial, pues en este tipo de circuitos el nivel de ruido suele ser varios órdenes de magnitud superior al de la señal a medir.

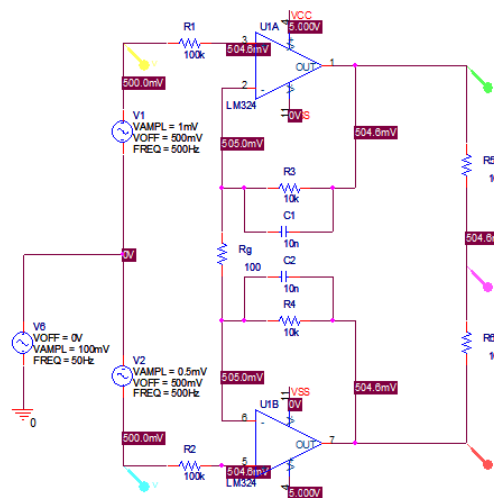


Figura 4. 3. Esquemático de la simulación con ruido.

En este caso se aprecia en la figura 4.4, en la que se ha usado una escala de tiempo diez veces superior a la de la figura 4.2, como la señal de ruido se acopla a la señal diferencial enmascarándola casi por completo. De aquí la importancia de llevar a cabo con éxito un circuito capaz de atenuar esta componente común tanto como sea posible.

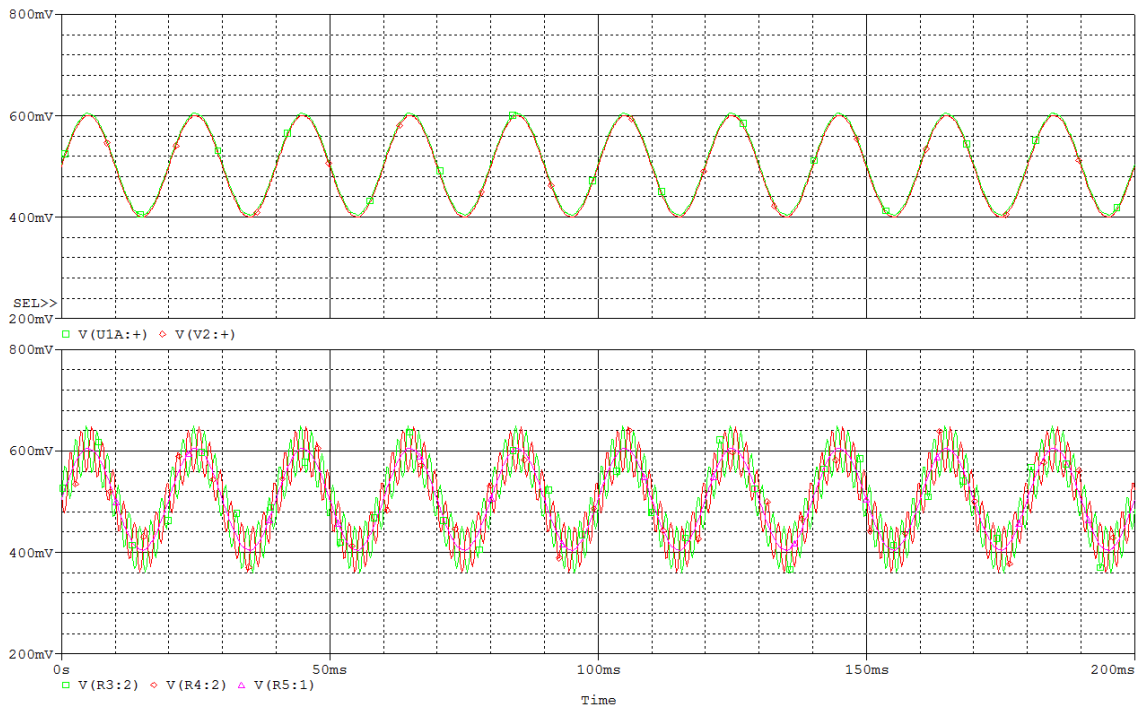


Figura 4. 4. Formas de onda obtenidas en la simulación con ruido.

- Amplificación diferencial y circuito DRL.

Con la etapa diferencial del circuito conectada a la etapa de realimentación activa DRL se debería lograr la eliminación completa de la componente común de la señal, es decir, la señal de 50 Hz antes utilizada. Las fuentes utilizadas en esta simulación son las mismas que en la anterior, pero sin la componente continua. Esta componente ahora es introducida al circuito mediante la etapa DRL.

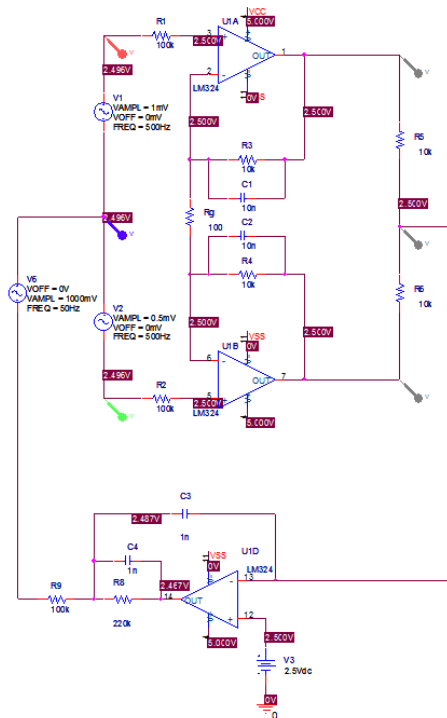


Figura 4. 5. Esquemático con etapa DRL.

En la simulación mostrada en la figura 4.6 se muestran en la gráfica superior las señales de entrada y la señal de ruido, afectada por la etapa DRL. En la gráfica inferior se muestran las señales amplificadas y la señal de modo común. Si bien se puede apreciar a simple vista que la influencia de la señal de 50Hz no ha desaparecido por completo, se ha visto considerablemente atenuada, efecto que se verá incrementado debido al carácter diferencial de la señal, en el ADC delta-sigma.

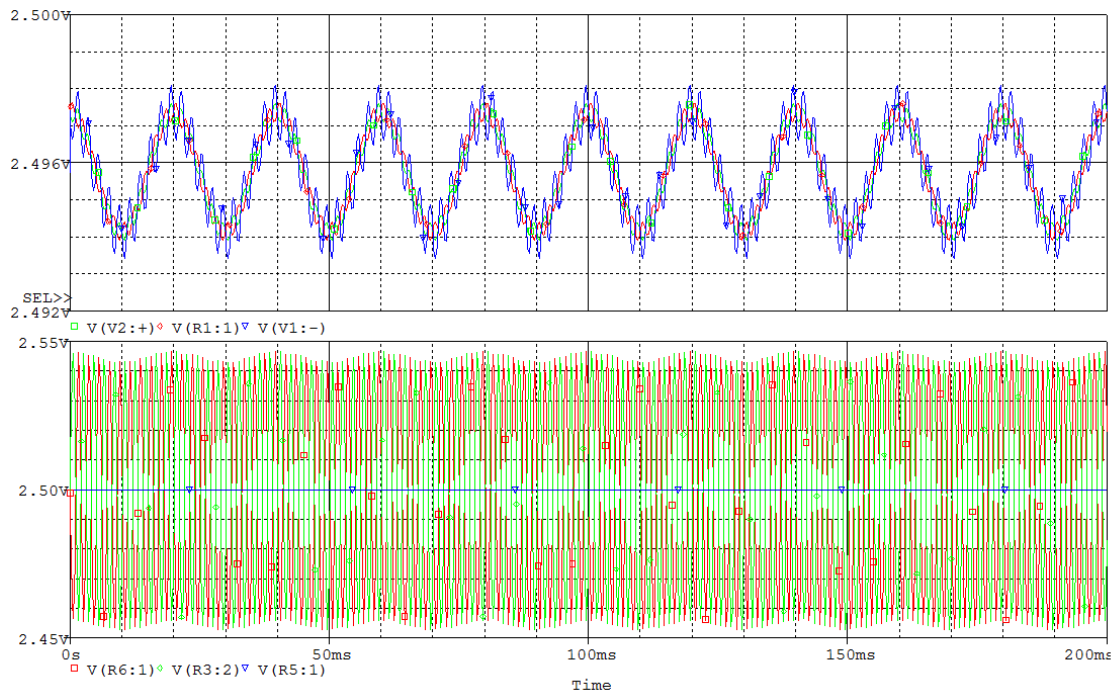


Figura 4. 6. Formas de onda obtenidas al añadir la etapa DRL.

Por lo tanto se comprueba que el circuito planteado debe funcionar correctamente siguiendo las especificaciones anteriormente comentadas.

- Análisis en frecuencia. Diagrama de Bode.

Tan importante como su comportamiento frente al ruido, el comportamiento en frecuencia de un circuito determina la estabilidad del mismo frente a las diversas señales de diversas frecuencias que puede ser capaz de captar. Esto hace necesario llevar a cabo este tipo de análisis en este circuito, pues al tener que tratar con múltiples frecuencias simultáneamente, se debe tener un conocimiento certero de sus características. Esto se puede reflejar simultáneamente en un diagrama de bode, en el que se muestren las características de ganancia y de fase, del circuito. En este caso se ha llevado a cabo en un intervalo desde 1Hz hasta 10KHz, rango más que suficiente teniendo en cuenta que la banda de interés es entre 20Hz y 500Hz.

Teniendo en cuenta una caída de -3dB para determinar el estado de un polo, gracias al diagrama de Bode se puede determinar gráficamente el mismo, en este caso, en $1,6\text{KHz}$, un valor aproximado al valor teórico. En la figura 4.7 se aprecian las modificaciones hechas al circuito del apartado anterior para poder realizar este análisis. En la figura 4.8 se puede observar el diagrama de Bode en amplitud y fase.

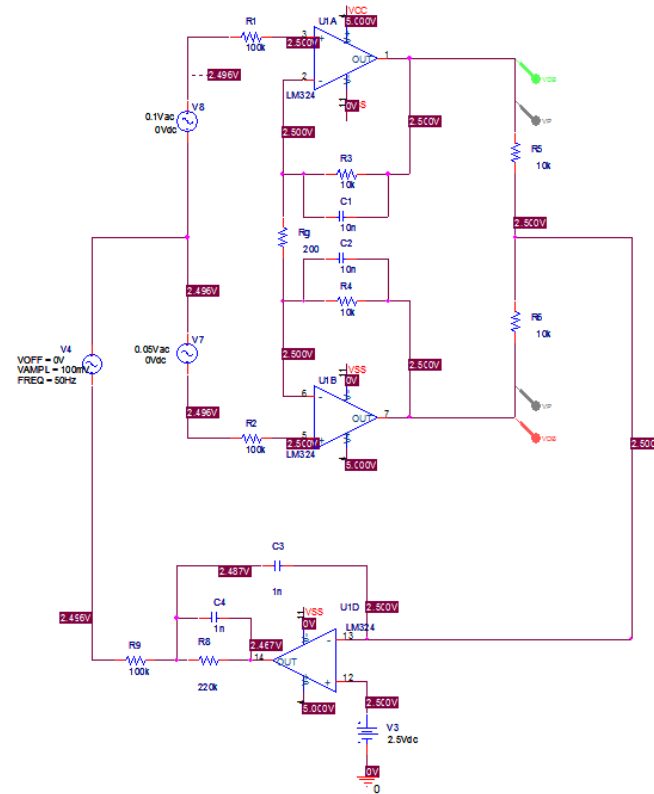


Figura 4. 7. Esquemático utilizado para la obtención del diagrama de Bode.

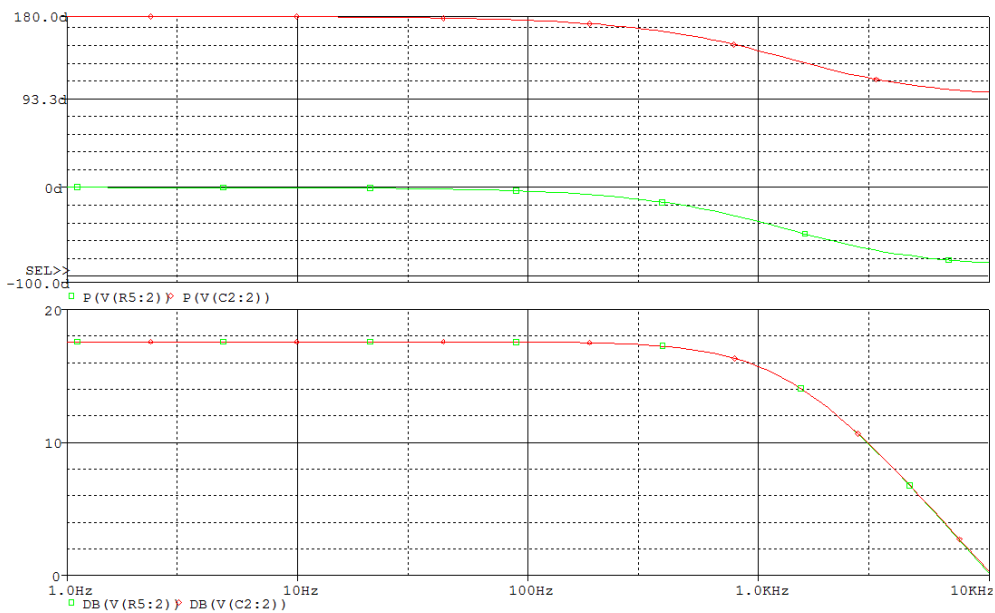


Figura 4. 8. Diagrama de Bode.

Capítulo 5

Filtrado digital y entorno digital de pruebas.

Con la finalidad de minimizar el tamaño de la PCB diseñada, se ha hecho hincapié en la implementación de un filtro digital de alto orden capaz de eliminar las bandas del espectro de frecuencia en las que no se encuentra información relevante a la hora de analizar las muestras obtenidas. Este filtro está diseñado mediante un sistema de bloques utilizando el entorno MATLAB/Simulink e implementado sobre el hardware STM32F4 – Discovery, con el fin de permitir la captura de datos utilizando un sistema apropiado para la experimentación y así mismo, robusto, flexible y veloz.

5.1. STM32F4 – Discovery

La elección de esta placa viene dada por su buena compatibilidad con el entorno MATLAB/Simulink así como su bajo coste, pero adicionalmente algunas de las características que permiten distinguirlo entre otros dispositivos similares deben ser mencionadas. La hoja de características completa puede ser encontrada en la página web del fabricante [15].



Figura 5. 1. STM32F4 – Discovery.

STM32F4 - DISCOVERY (figura 5.1) ofrece las siguientes características:

- Microcontrolador STM32F407VGT6 capaz de operar a 168MHz.
- 1 MB de memoria Flash, 192 KB de memoria SRAM.
- Alimentación de la placa: mediante cable USB o mediante una fuente externa de 5V.
- Salida como fuente de alimentación de 3V y 5V.
- 80 pines de propósito general.
- Sensor de movimiento LIS302DL o LIS3DSH, ST MEMS, acelerómetro de 3 ejes con salida digital.
- Sensor de sonido MP45DT02, ST MEMS, micrófono digital omnidireccional.
- Conversor digital-analógico (DAC) de audio CS43L22, con controlador de amplificador clase D
- Ocho LED's:
 - LD1 (rojo/verde) para comunicación USB.
 - LD2 (rojo) para encendido 3,3V.
 - Cuatro LED's para usos diversos, LD3 (naranja), LD4 (verde), LD5 (rojo) y LD6 (azul)
 - 2 USB OTG LED's LD7 (verde) VBus y LD8 (rojo) para sobrecargas.
- Dos pulsadores (usuario y reset)
- USB OTG con conector micro-AB.

5.2. Sistema de adquisición y procesado implementado en Simulink.

Si bien el sencillo filtrado analógico implementado en la PCB diseñada en el capítulo 3, satisface las necesidades básicas de operación para un ADC delta-sigma, las bandas del espectro de frecuencias sobre las que interesa trabajar aún no están acotadas adecuadamente. Para ello se hará uso de un filtro paso banda de alto orden, el cual eliminará aquellas bandas por debajo de 20Hz y por encima de 500Hz.

Para su implementación se hará uso de un sistema de prototipado rápido para control, diseñado sobre MATLAB/Simulink por Antonio Flores Caballero, miembro del Departamento de Sistemas y Automática de la UC3M, formando parte de la tesis doctoral de este. Citando una parte de la misma [16]:

El concepto de Prototipado Rápido para Control (RCP, del inglés “Rapid Control Prototyping”) hace referencia a todas las técnicas software y hardware necesarias para acortar los tiempos de desarrollo y puesta en marcha de sistemas de control, haciendo uso de un alto nivel de abstracción en la programación. El alto nivel de abstracción se obtiene al utilizar lenguajes basados en gráficos, que permiten transferir las ideas del programador al computador de una forma más natural, obviando todos los aspectos de configuración a bajo nivel del sistema hardware, pues estos pasos se realizan automáticamente. La figura 5.2 ilustra el alto nivel de abstracción proporcionado por un lenguaje gráfico frente a los lenguajes textuales tradicionales, como ejemplo se puede considerar que cada cubo del dibujo representa una semana de trabajo, obteniendo los mismos resultados con cada lenguaje.

Utilizar un alto nivel de abstracción en la programación, valiéndose de un lenguaje basado en gráficos, conlleva ventajas incluso para los más expertos en programación textual. Utilizar un lenguaje de este tipo pone al alcance de un público multidisciplinar el hacer uso de un hardware de control real, también permite que dicho controlador se comporte exactamente tal y cómo se ha definido su comportamiento en el lenguaje gráfico que le ha servido de programación.

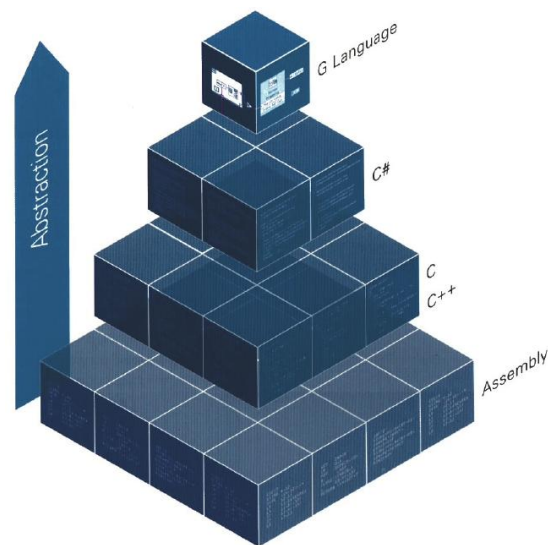


Figura 5. 2. Nivel de abstracción proporcionado por el uso de un lenguaje gráfico frente a otros lenguajes de programación textuales. Fuente: Folleto publicitario LabVIEW®

Este último punto no sería posible si se tuviera que realizar una transcripción manual desde el lenguaje gráfico a un lenguaje textual, el programador introduciría modificaciones de forma involuntaria.

Estos lenguajes de alto nivel de abstracción se encuentran disponibles en entornos software basados en el diseño en base a modelos (del inglés “Model Based Design”), con el mismo lenguaje gráfico se pueden realizar simulaciones de sistemas electromecánicos, identificación de sistemas en base a capturas de datos... además de poder programar los sistemas RCP entre otras muchas tareas.

Este sistema de programación gráfico basado en MATLAB/Simulink permite que el usuario no necesite tener unos conocimientos muy específicos sobre el hardware que va a programar, y que no necesite utilizar un lenguaje de programación textual para la programación de dicho hardware. El "programa" en este caso consiste en un

modelo de bloques de Simulink, en el que las relaciones entre variables, funciones, etc, es mucho más clara y visual que en un lenguaje de programación textual. La generación de código C, así como la compilación de dicho código para el hardware elegido, es totalmente transparente para el usuario: una vez completado el modelo de bloques, únicamente hay que pulsar un botón para iniciar de forma automática la generación de código, compilación y carga del programa en el hardware a utilizar.

Además de lo anteriormente citado se debe destacar que el sistema RCP utilizado, al ser diseñado e implementando mediante MATLAB/Simulink, añade dos características adicionales. La primera y más importante es el uso de forma inmediata de las señales adquiridas dentro del potente entorno de trabajo que ofrece el software MATLAB/Simulink, sus utilidades y sus distintos bloques de trabajo. Una segunda es dotar a este proyecto de la capacidad de ser utilizado en diversos usos docentes dentro de esta universidad al permitir a los estudiantes trabajar con el entorno Simulink para análisis, control y visualización de sistemas de hardware y software de un modo similar al que utilizan otras plataformas como LabVIEW, pero con la ventaja añadida de permitirles el trabajo posterior sobre esas señales con la multitud de herramientas que proporciona la plataforma MATLAB permitiendo simultáneamente que amplíen sus conocimientos sobre el programa.

En los siguientes puntos son descritos con mayor detalle los bloques-modelo utilizados para la adquisición de señales y su posterior procesado. Un primer modelo será implementando en la placa STM32F4-Discovery, siendo el encargado de la adquisición, el procesado y el envío de datos hasta el segundo modelo, el cual será ejecutado en un PC, siendo este el encargado de las comunicaciones y del espacio de trabajo sobre el que se visualizarán las señales captadas.

En ambos casos se trabajará con la distribución de MATLAB 2011b y en ambos casos, además de las librerías propias de Simulink, serán requeridas las librerías adicionales “WAIJUNG BLOCKSET”, desarrollado por Aimagin [17], y “UC3M ADDONS STM32F4”, desarrollado por Antonio Flores Caballero.

5.2.1. Adquisición, filtrado y envío de datos.

Con el fin de proporcionar modularidad y una mayor velocidad de procesamiento de datos en la adquisición de los mismos, se aprovechará la compatibilidad entre la placa STM32F4-Discovery y MATLAB/Simulink para programar en el microcontrolador de dicha placa, los bloques encargados de la adquisición, el filtrado digital y el envío de los datos una vez procesados, para su posterior análisis.

A modo de breve explicación, a continuación se detallan las características principales de los bloques-modelo implementados en la STM32F4-Discovery, llamado modelo Target.

El primer bloque a mencionar, debido a su relevancia, es el llamado “Target Setup”. Este bloque es el encargado de configurar la STM32F4-Discovery. Así pues permite seleccionar el compilador encargado de traducir el lenguaje de bloques creado con Simulink al código con el que trabajará dicha placa. Entre otras características a mencionar

está el Tiempo de Muestreo, parámetro encargado de configurar la frecuencia de operación del microcontrolador y que deberá ser siempre igual o superior al tiempo de muestreo de los bloques USB y SPI, el modelo de compilador y el modelo de microcontrolador. Todo esto puede ser observado en la figura 5.3.

El segundo bloque, llamado “SPI Master Setup” permite al usuario configurar los parámetros del bus SPI, a través del cual se comunican y envían las señales digitalizadas los ADC encargados de la toma de datos desde el circuito EMG. En la figura 5.4 se muestra la configuración implementada. La selección de los distintos pines de entrada/salida que serán utilizados por el bus SPI, dependerá de los que se deseen utilizar al conectar la STM32F4-Discovery y el circuito EMG. El uso de la opción “Custom” en el modo de conexión capacita al sistema para la lectura de los 4 canales de forma simultánea al aplicar el bloque “ADC”, que será explicado a continuación.

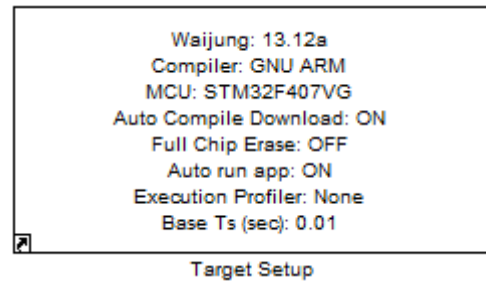


Figura 5. 3. Bloque “Target Setup”.

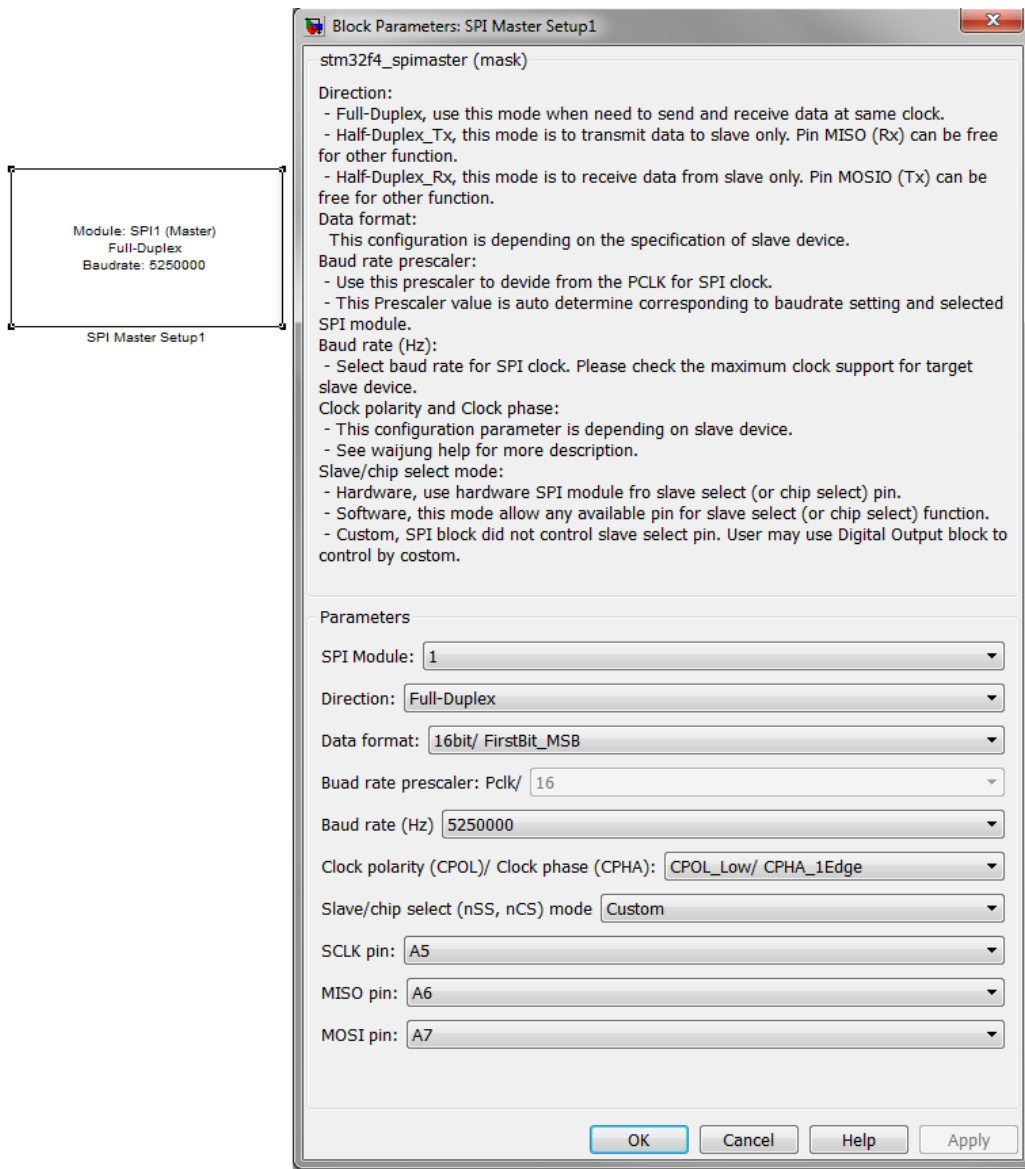


Figura 5. 4. Bloque y configuración “SPI Master Setup”

El siguiente bloque es el encargado de la recepción de las señales digitales provenientes del circuito de electromiografía. El bloque “ADC” está a su vez compuesto por sub-bloques, cada uno con una función específica. La distribución del bloque principal y de los sub-bloques puede apreciarse en la figura 5.5.

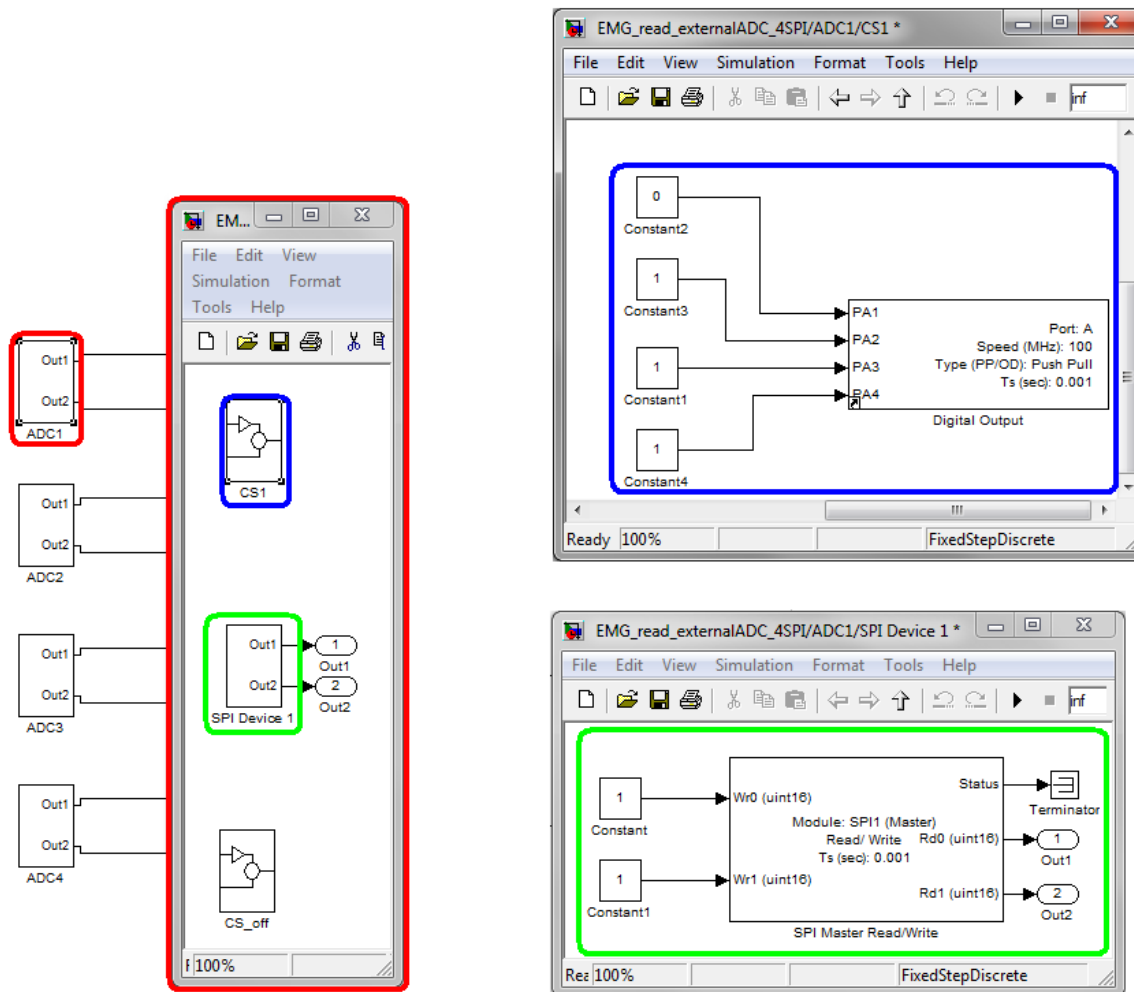


Figura 5. 5. Bloque y sub-bloques "ADC".

El primer sub-bloque es llamado CS_x, siendo x el dispositivo asignado al puerto de lectura de la STM32F4-Discovery. Este bloque es el encargado de la selección digital del dispositivo a leer de entre aquellos asociados al bus SPI. Para ello coordinará dichos dispositivos mediante la puesta a "0" de la señal "CS" (Chip Select) del ADC a leer, cambiando el valor a "1" cuando se finalice la lectura y prosiguiendo con el siguiente dispositivo de la misma manera.

El segundo de los sub-bloques, "SPI Device x" es el encargado de la lectura de los datos del dispositivo correspondiente a "x".

Finalmente el sub-bloque CS_off es el encargado de desconectar digitalmente todos los dispositivos que estuvieran previamente conectados al bus SPI, finalizado así la lectura de datos.

El modo de operación del bloque ADC es el siguiente: primero se asigna un valor "0" a la salida digital correspondiente al dispositivo a leer, manteniendo a "1" las demás, a continuación se procede a la lectura del puerto SPI, señal que corresponderá a la salida "SDO" de los ADC, utilizando para ello el bloque "SPI Master Read/Write" y

finalmente se deshabilita el dispositivo seleccionado asignando un valor "1" en su correspondiente salida digital, configurada también en el bloque CSx.

Continuando con los bloques principales, el cuarto bloque es el encargado de la conversión al formato int32 del tren de pulsos digitales que transmite el ADC a través del bus SPI. El bloque "Data composer", cuyo algoritmo es mostrado en formato de bloques en la figura 5.6.

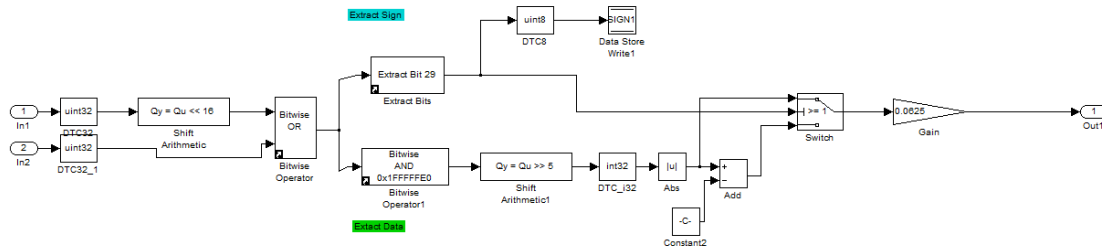


Figura 5. 6. Interior del bloque "Data composer".

Con los bloques anteriormente explicados ya se dispone de una señal EMG en bruto con la que aún no es posible trabajar. El cuarto bloque realiza un nuevo filtrado, esta vez digital, que permite eliminar las bandas de frecuencia que no contienen una información relevante, eliminando de este modo las señales resultantes del movimiento de los electrodos, situadas por debajo de los 20Hz, así como el ruido de alta frecuencia. Como ya se ha mencionado anteriormente, en una señal EMG propia de un musculo esquelético el rango de frecuencias donde se encuentra la información relevante relacionada con la activación de las fibras musculares oscila entre los 20Hz y los 500Hz. Así pues se ha decidido implementar un filtro paso banda digital de alto orden, pues de este modo el filtro asemejará más su respuesta al de su modelo ideal. Si bien este tipo de filtros resultan costosos de realizar de forma analógica debido a su

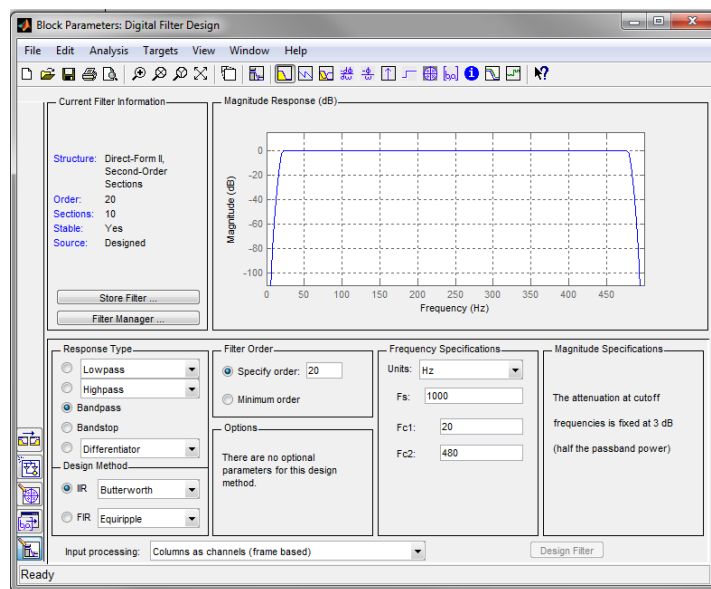


Figura 5. 7. Configuración del filtro Butterworth.

gran cantidad de componentes y, proporcionalmente, su tamaño, al utilizar un filtrado digital tan solo se incrementan ligeramente los tiempos de computación.

La arquitectura del filtro empleado corresponde a un filtro denominado “Filtro de Butterworth”. El principal motivo para escoger este tipo de filtro viene dado por su mayor rendimiento en comparación con otros filtros, por ejemplo, los Chebyshev o los Bessel. Estas diferencias pueden ser apreciadas en la figura 5.8.

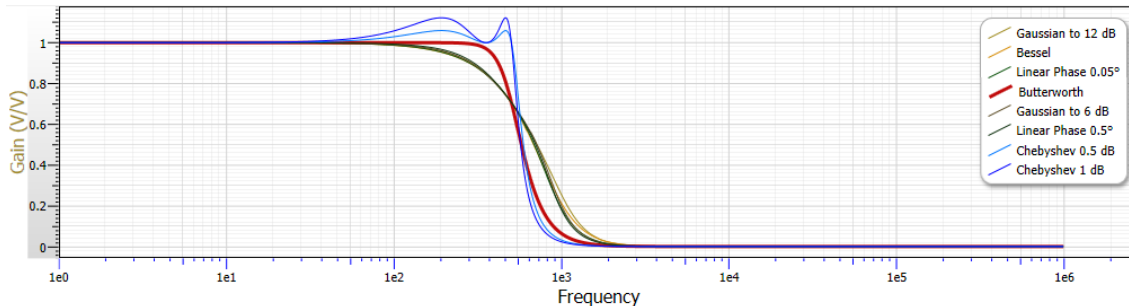


Figura 5. 8. Comparativa en estabilidad de diferentes tipos de filtro.

Finalmente, el último de los bloques-modelo que componen el modelo “target”, es el encargado de la comunicación USB entre la tarjeta STM32F4-Discovery y el PC responsable de la recepción final de los datos para su posterior almacenamiento, análisis y visualización. En este bloque se configuran la cantidad de datos que serán transferidos en cada paquete de datos enviado desde el microcontrolador al PC, así como el tipo de los mismos y su velocidad de transferencia. Igualmente se define la cabecera y la terminación de estos paquetes, permitiendo así una comunicación fluida.

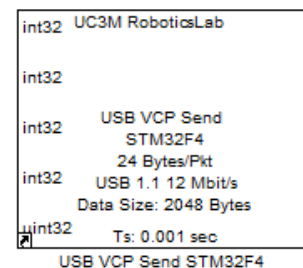


Figura 5. 9. Bloque “USB VCP Send STM32F4”

El bloque “USB VCP Send STM32F4” deberá ser configurado con un tiempo de muestro igual o inferior al tiempo de muestreo del bloque “Target Setup”. El modelo de este bloque se aprecia en la figura 5.9.

A continuación se detallará el modelo Host, compuesto por los bloques-modelo implementados en MATLAB/Simulink en el PC encargado de la visualización, almacenamiento y análisis de los datos adquiridos por el circuito EMG y acondicionados por la tarjeta STM32F4-Discovery, si bien este modelo es fácilmente modificable según las necesidades de análisis de cada usuario.

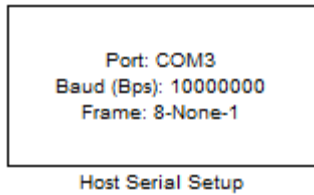


Figura 5. 10. Bloque “Host Serial Setup”.

El primer bloque a mencionar es el bloque “Host Serial Setup”, encargado de la configuración de la comunicación entre la STM32F4-Discovery y el PC a través del puerto USB. En este bloque se deberá prestar especial atención al

puerto USB seleccionado para la transferencia de datos, pues de él serán leídos los datos a procesar. Igualmente se deberá configurar la velocidad de lectura y el tipo de sincronía en la comunicación.

El siguiente bloque, el bloque “Host Serial Rx”, realiza la función de receptor de los datos procedentes del bloque “USB VCP Send STM32F4” y, al igual que en este, se deberá configurar de forma idéntica la cantidad de datos transferidos, el tipo de los mismos, la cabecera y la terminación de cada paquete. También se debe configurar el puerto COM utilizado para el flujo de datos que deberá ser coincidente con el seleccionado en el bloque “Host Serial Setup”.

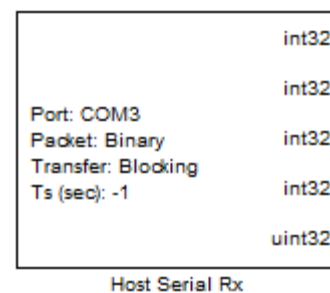


Figura 5. 11. Bloque “Host Serial Rx”.

Finalmente, los dos últimos bloques son los encargados de la visualización y el almacenamiento de los datos. El bloque “CHx”, siendo x el dispositivo a visualizar, es un Time Scope que permite observar de forma gráfica y en tiempo real la señal EMG que está siendo obtenida. Trabajando en paralelo que este bloque se encuentra el bloque “To Workspace” que, como dice su nombre, permite almacenar las señales registradas para su posterior trabajo con ellas mediante cualquier herramienta del entorno MATLAB.



Figura 5. 12. Bloques “CH1 y To Workspace”

Capítulo 6

Pruebas experimentales

Este capítulo contiene las distintas pruebas a las que la PCB creada ha sido sometida con el fin de medir de forma cuantitativa algunas de sus características más relevantes, como son el espectro de frecuencia en que se encuentran las señales adquiridas, la relación señal/ruido (SNR) o el CMRR y así poder verificar el correcto funcionamiento del circuito.

Todas las pruebas se han realizado sobre el brazo derecho del propio proyectante, situando los electrodos de los cuatro canales según indica la figura 6.1. Los electrodos del canal 1 están posicionados de forma paralela a los del canal 3 pero en la cara posterior del antebrazo.

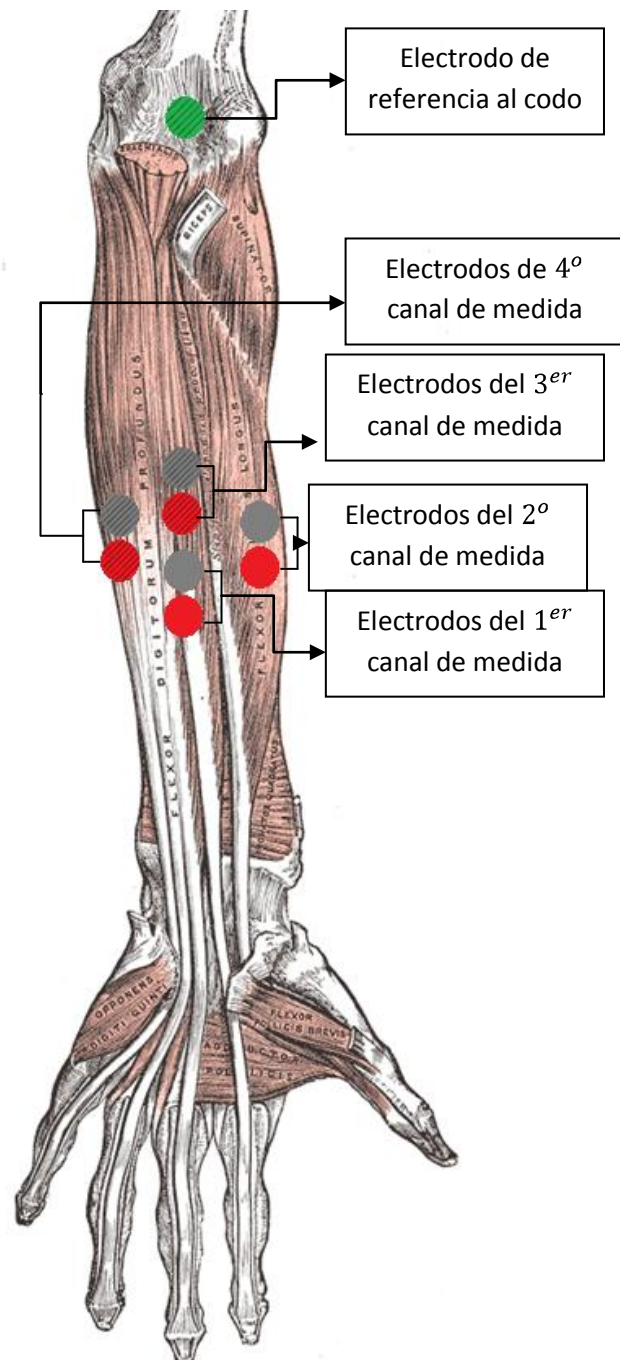


Figura 6. 1. Vista anterior del antebrazo. Los electrodos posicionados en la región posterior aparecen sombreados.

6.1. Espectro de frecuencia.

El espectro de frecuencia de una señal es la representación sobre un gráfico de coordenadas cartesianas de una señal en el dominio de la frecuencia. En esta prueba, esto permite observar y medir la potencia de una señal en una frecuencia determinada, permitiendo determinar a simple vista cualquier fuente de ruido indeseada en la región espectral en la que se alojan las frecuencias características propias de este tipo de señal mioeléctrica.

La forma típica del espectro de frecuencias de una señal mioeléctrica puede ser observada en la figura 6.2.

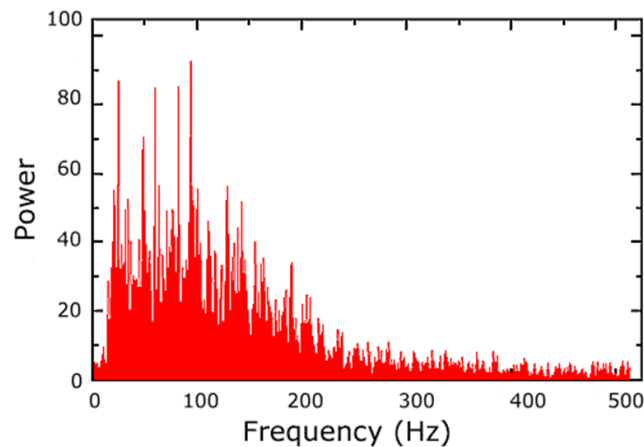


Figura 6. 2. Forma típica del espectro de frecuencia de una EMG.

A continuación se muestra mediante las figuras obtenidas y una breve explicación, la batería de pruebas a las que han sido sometidos los cuatro canales del circuito EMG con el fin de comprobar sus espectros de frecuencia. La señal EMG obtenida al realizar dos contracciones (movimiento de contracción y relajación de la mano) durante un período de 10 segundos, se puede observar, desglosada por canales en la figura 6.3.

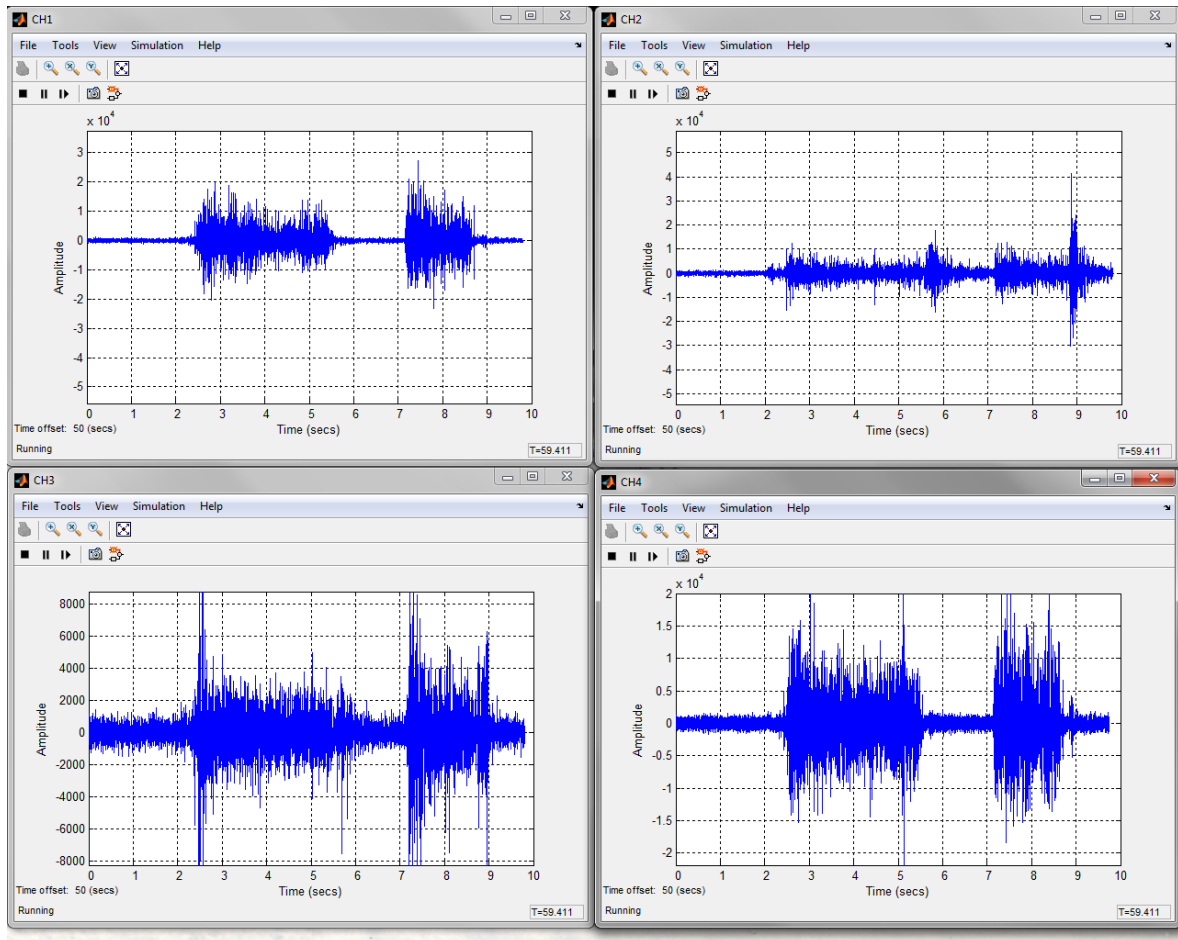


Figura 6. 3. Detalle de las señales registradas simultáneamente en cuatro canales.

Tomando un fragmento, compuesto por 1000 muestras relevantes de la señal medida en los distintos canales, a continuación se pueden observar las gráficas que relacionan dicho fragmento con su espectro de potencias. Inicialmente se mostrarán las gráficas obtenidas durante el movimiento correspondiente a mantener la mano cerrada con fuerza. Posteriormente se muestran las graficas correspondientes al movimiento contrario, la extensión máxima de la palma de la mano.

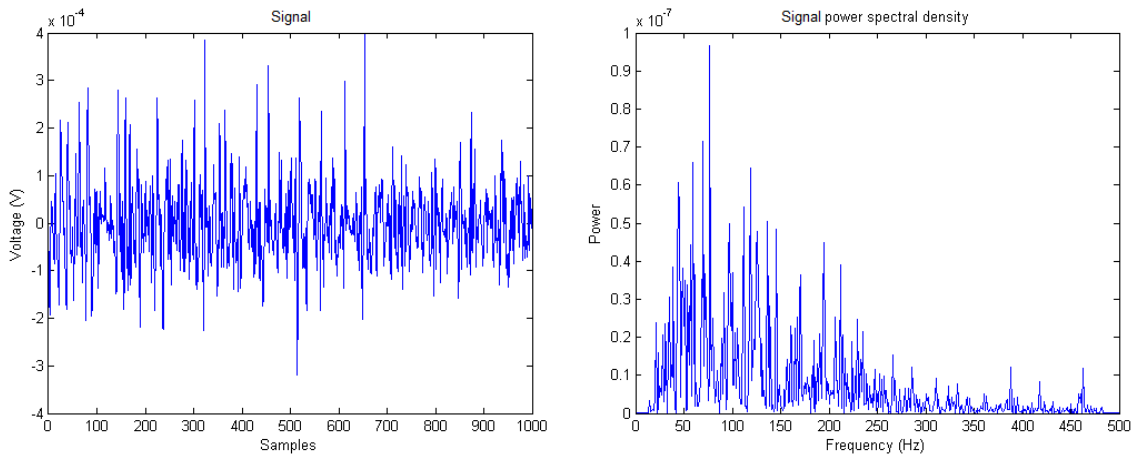


Figura 6. 4. Señal obtenida en el canal 1 durante el estado de flexión de los dedos.

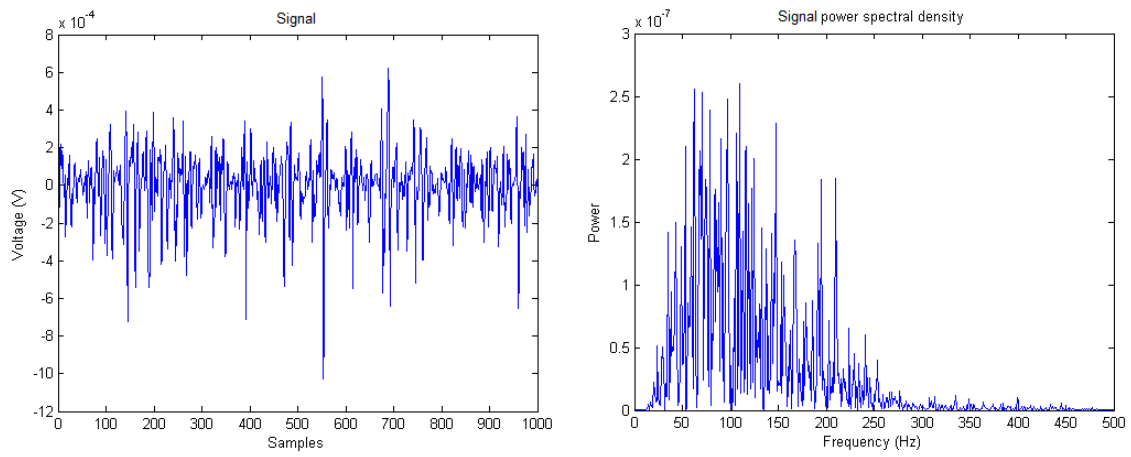


Figura 6. 5. Señal obtenida en el canal 2 durante el estado de flexión de los dedos.

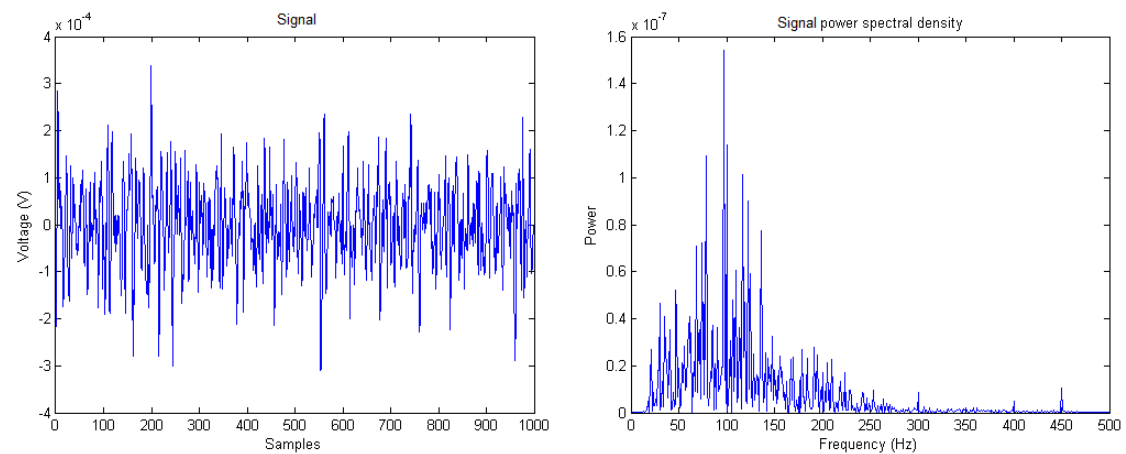


Figura 6. 6. Señal obtenida en el canal 3 durante el estado de flexión de los dedos.

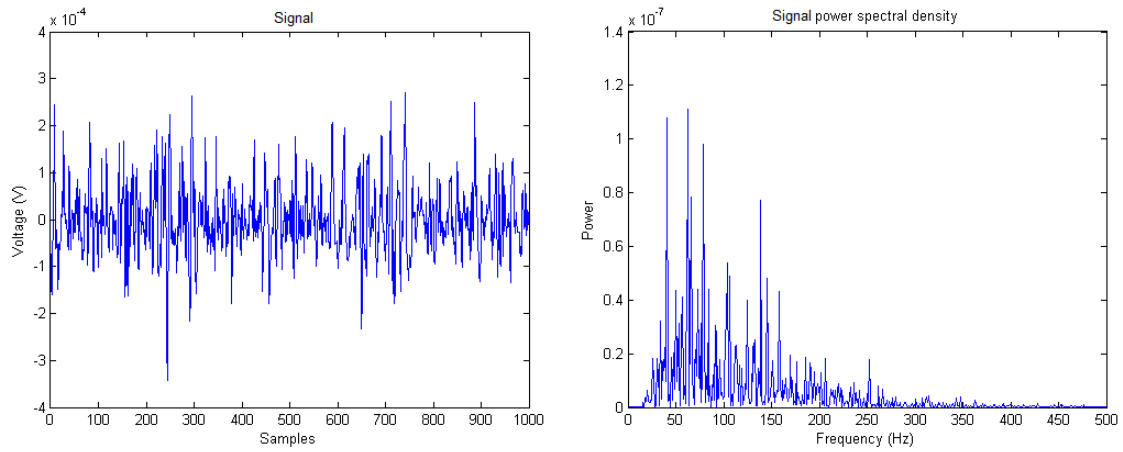


Figura 6. 7. Señal obtenida en el canal 4 durante el estado de flexión de los dedos.

Tras estas pruebas se puede verificar que tanto el circuito como el filtrado digital funcionan según las especificaciones esperadas para movimientos de contracción y extensión de los distintos pares de músculos.

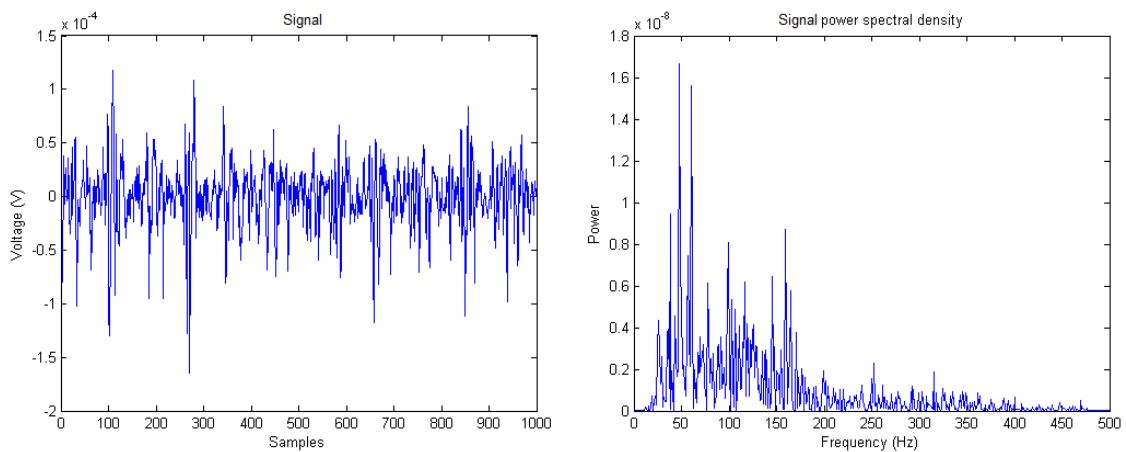


Figura 6. 8. Señal obtenida en el canal 1 durante el estado de extensión de los dedos.

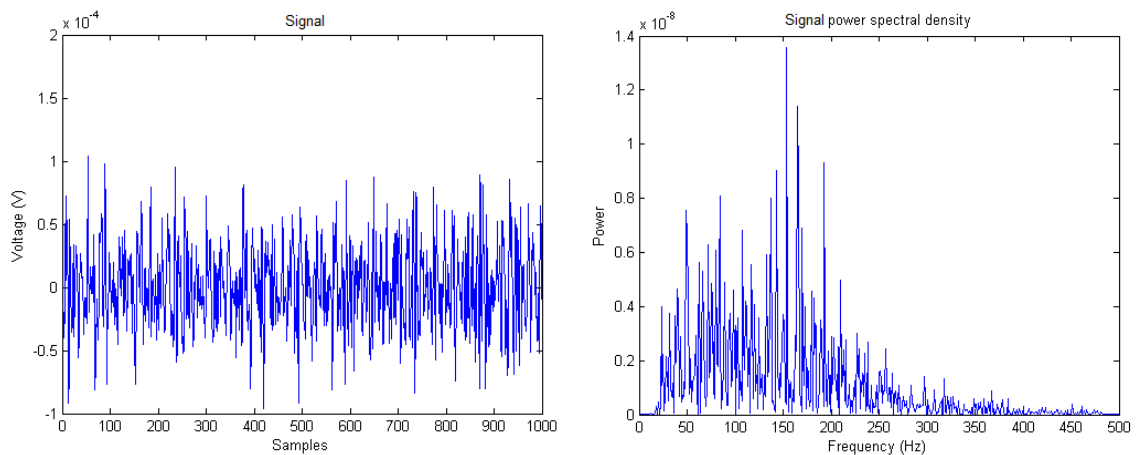


Figura 6. 9. Señal obtenida en el canal 2 durante el estado de extensión de los dedos.

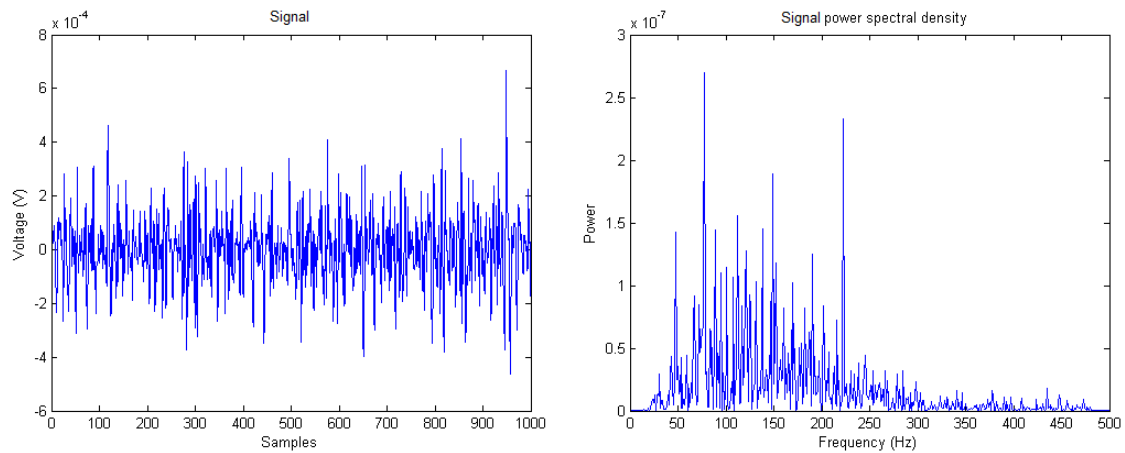


Figura 6. 10. Señal obtenida en el canal 3 durante el estado de extensión de los dedos.

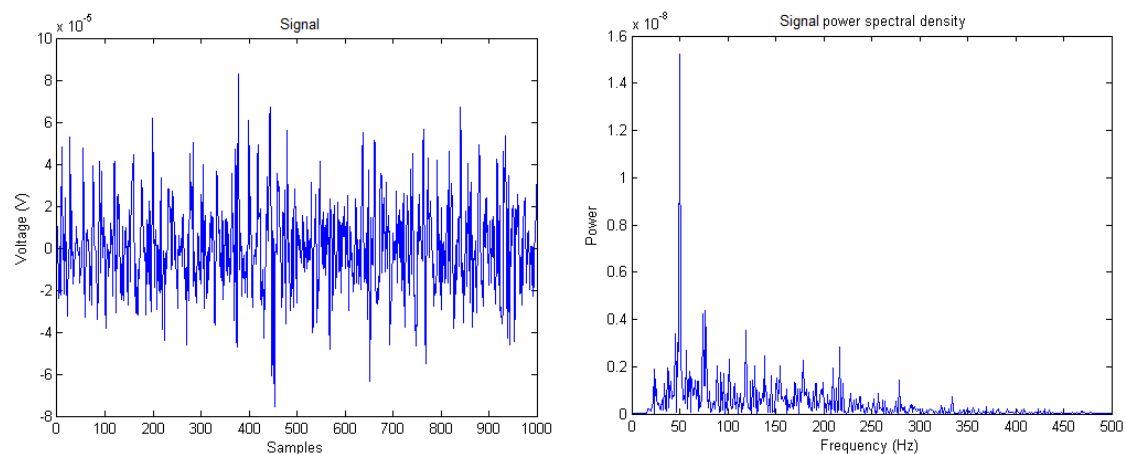


Figura 6. 11. Señal obtenida en el canal 4 durante el estado de extensión de los dedos.

6.2. Medida del CMRR

La relación de rechazo del modo común o CMRR (common mode rejection ratio) de un circuito diferencial, es un parámetro que permite cuantificar la capacidad de dicho circuito para rechazar las componentes parásitas inducidas en las etapas previas a la amplificación. Puesto que esta interferencia se produce de un modo común a ambas señales, se debe tener especial cuidado a la hora de trabajar con circuitos de pequeña señal como es el caso de los circuitos EMG pues la señal común es, en muchos casos, varios órdenes de magnitud superior a la propia señal a medir. Debido a ello, se tiene la necesidad de poseer una tecnología capaz de garantizar un alto CMRR [18].

De forma matemática, el CMRR se puede expresar como:

$$CMRR = 20 \cdot \log \frac{A}{A_{CM}} [dB]$$

Siendo A la ganancia diferencial del circuito y A_{CM} la ganancia del modo común del mismo. A continuación se exponen las ecuaciones que permiten calcular estas ganancias:

$$A = \frac{V_{out}}{V_+ - V_-} \left[\frac{V}{V} \right] \quad A_{CM} = \frac{V_{out}}{V_{CM}} \left[\frac{V}{V} \right]$$

Para calcular los valores de A y A_{CM} se realizará un experimento utilizando un generador de funciones para generar una señal de entrada, con una frecuencia $f = 50Hz$ pues se trata de la frecuencia del ruido más potente que se pretende eliminar, y un osciloscopio con el que medir las señales obtenidas justo antes de la etapa de digitalización. Posteriormente estas señales de salida se restarán entre si para obtener la medida diferencial que sería la entrada de los ADC Delta-Sigma. La figura 6.12 muestra las dos configuraciones necesarias para llevar a cabo esta prueba.

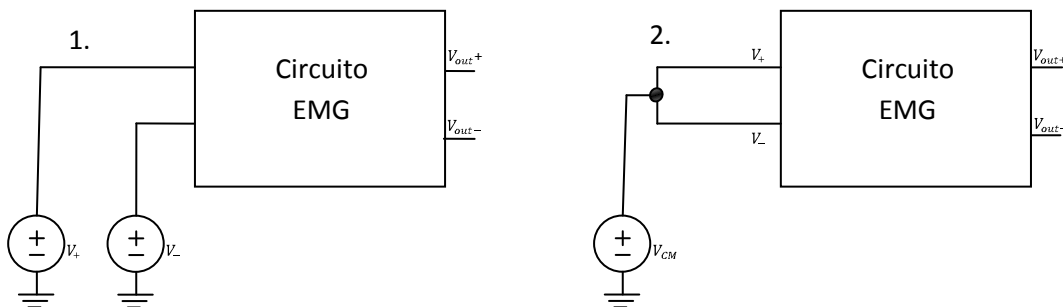


Figura 6. 12. Configuración de las pruebas experimentales para la medida del CMRR.

Para el cálculo de la ganancia diferencial $[A]$ se ha realizado la prueba con valores de $V_+ = 500mV$ y $V_- = 476mV$ obteniendo un voltaje a la salida $V_{out} = 3.9V$. Sustituyendo estos valores en la ecuación antes mostrada se obtiene:

$$A = \frac{3900}{500 - 476} = 162.5 \left[\frac{V}{V} \right]$$

Para el caso de la ganancia del modo común $[A_{CM}]$, se ha optado por repetir la prueba un total de 10 veces debido a la inexactitud del osciloscopio utilizado a la hora de tomar medidas en señales muy pequeñas. Tras introducir una misma señal sinusoidal $V_{CM} = 3V$, a la salida del circuito se han registrado un total de 10 valores, siendo la media $V_{out} = 0.025V$, de modo que sustituyendo en la correspondiente ecuación:

$$A_{CM} = \frac{0.025}{3} = 0.008333 \left[\frac{V}{V} \right]$$

Finalmente, y para calcular el CMRR:

$$CMRR = 20 \cdot \log \frac{A}{A_{CM}} = 20 \cdot \log \frac{162.5}{0.008333} = 85.8 \text{ dB}$$

Por regla general se puede considerar que el circuito es apropiado para la función que debe desempeñar. La documentación consultada [19] muestra que un circuito DRL adecuado debe presentar un CMRR mayor a 80 dB en la frecuencia de 50Hz, criterio satisfecho a lo largo de este apartado.

6.3. Medida del SNR

La relación señal-ruido o SNR por sus siglas en inglés (*signal-to-noise ratio*) es una medida comparativa de la calidad de una señal frente al ruido de esta. Un valor alto del parámetro SNR muestra cuán difícil resulta que una señal se vea afectada por el ruido. Matemáticamente el SNR se define como:

$$SNR = 20 \cdot \log \left(\frac{V_{señal}(rms)}{V_{ruido}(rms)} \right)$$

En este caso se ha obtenido una señal mioeléctrica compuesta por 1000 muestras cuando el músculo se encontraba en contracción máxima y otra similar con el músculo relajado, de modo que solo se registrase el ruido propio del entorno y del circuito. Ambas señales se ven enfrentadas en la figura 6.13.

Tras tomar un total de diez medidas numéricas se concluye que el valor medio registrado del SNR para este circuito es:

$$SNR = 20 \cdot \log \left(\frac{900\mu V}{15\mu V} \right) = 35.5 \text{ dB}$$

El cual es un valor muy adecuado para este tipo de aplicaciones.

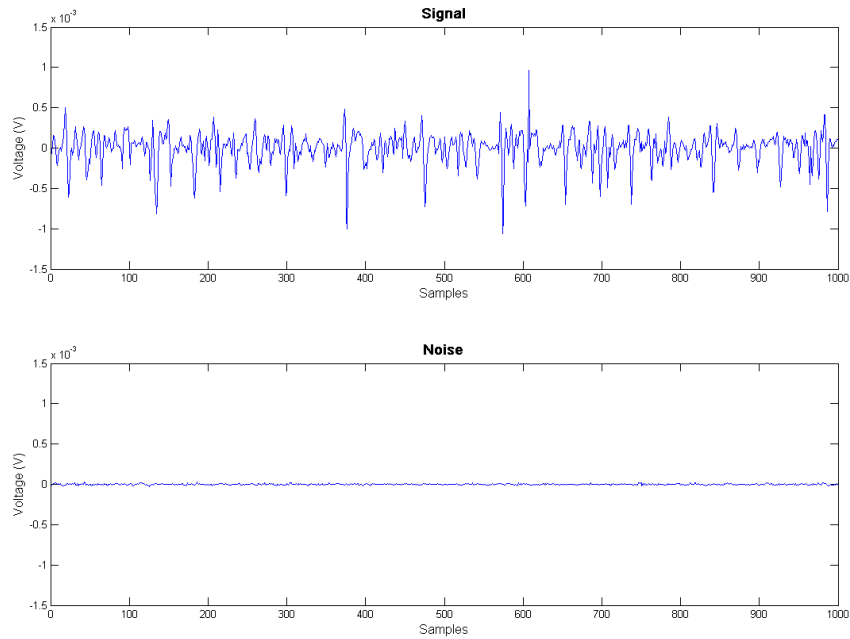


Figura 6. 13. *La grafica superior muestra la señal de una contracción del músculo. La inferior muestra la señal propia del músculo en reposo.*

6.4. Efectividad de la realimentación activa de la señal de modo común

Con el fin de comprobar la eficacia de la etapa DRL implementada en el circuito, se han tomado dos señales de cada uno de los cuatro canales con los músculos en reposo, logrando así que la única señal captada sea la del ruido del propio circuito. La primera señal ha sido adquirida con el electrodo de realimentación DRL colocado de modo normal, mientras que la segunda ha sido tomada con este electrodo desconectado. A continuación se muestran los espectros de frecuencias de estas señales, enfrentados por canal para lograr una mejor diferenciación.

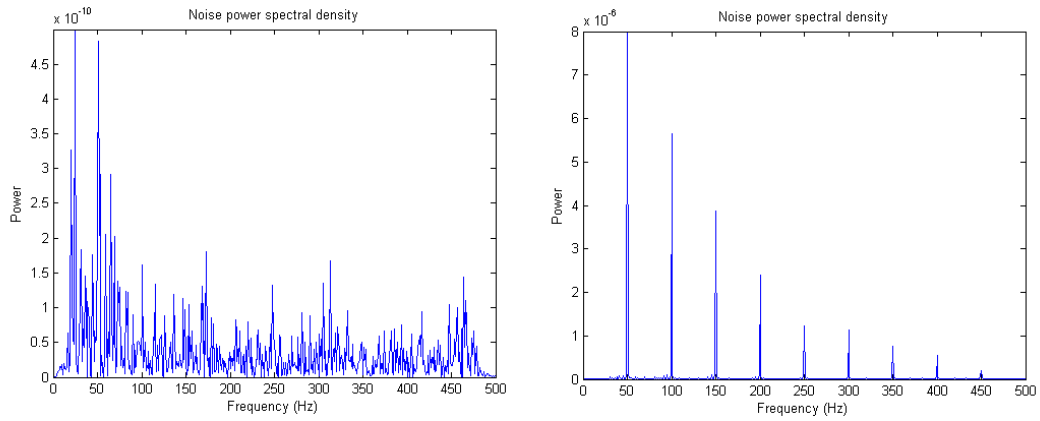


Figura 6. 14. Espectro de frecuencias para el ruido adquirido con y sin DRL en el canal 1.

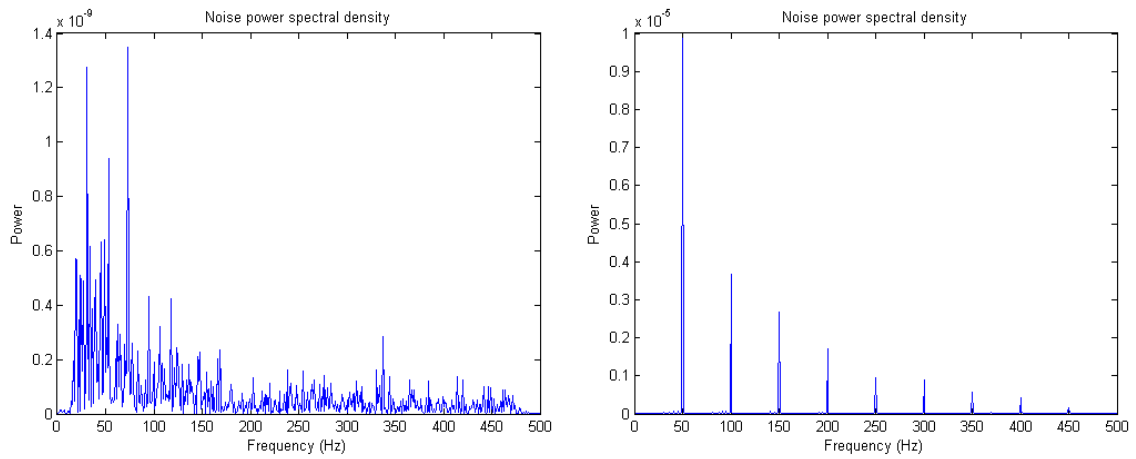


Figura 6. 15. Espectro de frecuencias para el ruido adquirido con y sin DRL en el canal 2.

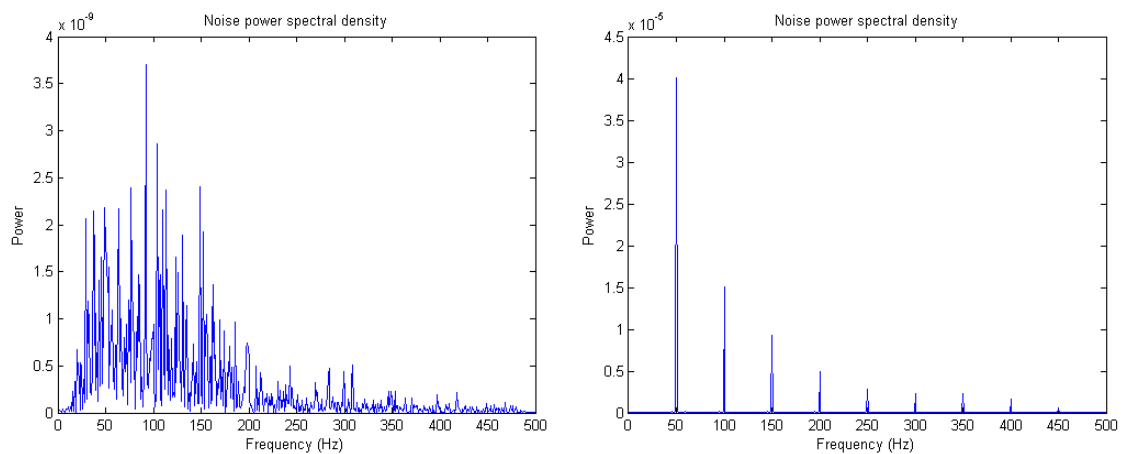


Figura 6. 16. Espectro de frecuencias para el ruido adquirido con y sin DRL en el canal 3.

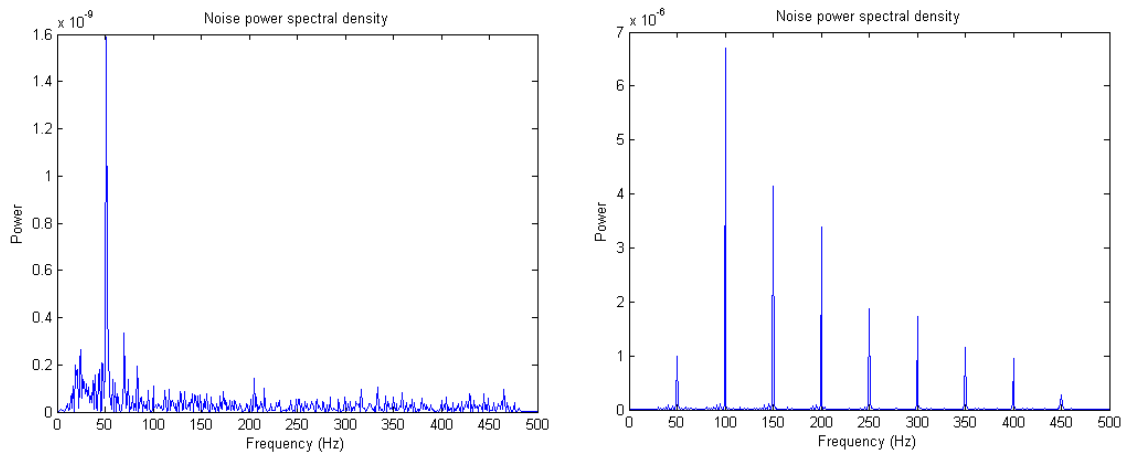


Figura 6. 17. Espectro de frecuencias para el ruido adquirido con y sin DRL en el canal 4.

A la vista de las gráficas es fácil concluir que la etapa DRL implementada funciona correctamente disminuyendo hasta cuatro órdenes de magnitud la intensidad del ruido de 50Hz y de sus armónicos.

6.5. Efectividad del uso de cables apantallados.

En esta sencilla prueba se pretende mostrar la validez del uso de cables apantallados en circuitos DRL. Inicialmente se consideró el uso de estos cables con el fin de atenuar el ruido electromagnético aún más que con el uso de cables monopolares, mediante un método pasivo consistente en la conexión del apantallamiento de los cables a la tierra del circuito. Para ello se han utilizado conectores hembra jack, estéreo de 3,5mm, diseñando el circuito EMG con la posibilidad de realizar el acoplo entre dicho apantallamiento y el circuito directamente en la soldadura del conector macho. Pese a que la idea parece buena a priori, tras realizar diferentes experimentos se llegó a la conclusión de que era mejor descartarlos por la inestabilidad que inducen en el sistema cuando se utilizan en la etapa DRL y la pobre atenuación de ruido que producen. Una de las soluciones recogidas en la diferente documentación [20] estudiada plantea la implementación de un circuito de guarda activa (figura 6.18), capaz de estabilizar el ruido mediante el uso de un buffer conectado entre el nodo de tensión de modo común y los pines de los conectores jack hembra actualmente conectados a tierra, de tal forma que la salida del buffer esté conectada al apantallamiento de los cables de los electrodos. Sin embargo esta opción

conllevaría el rediseño de la PCB con el correspondiente gasto de tiempo y dinero, por lo que planteará como un trabajo futuro.

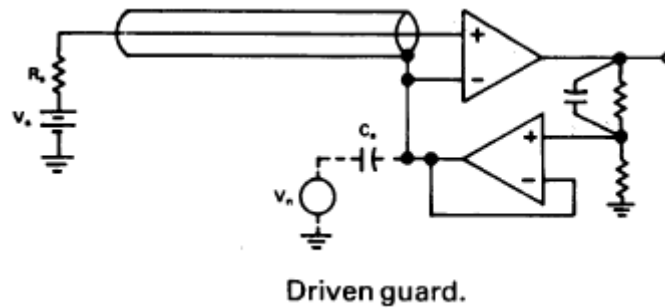


Figura 6. 18. Ejemplo de guarda activa.

En las figuras 6.19 y 6.20 se muestran dos señales captadas simultáneamente con los músculos en reposo, en el canal 2 y 3 del circuito, utilizando en el canal 2 cables apantallados y monopolares en el canal 3.

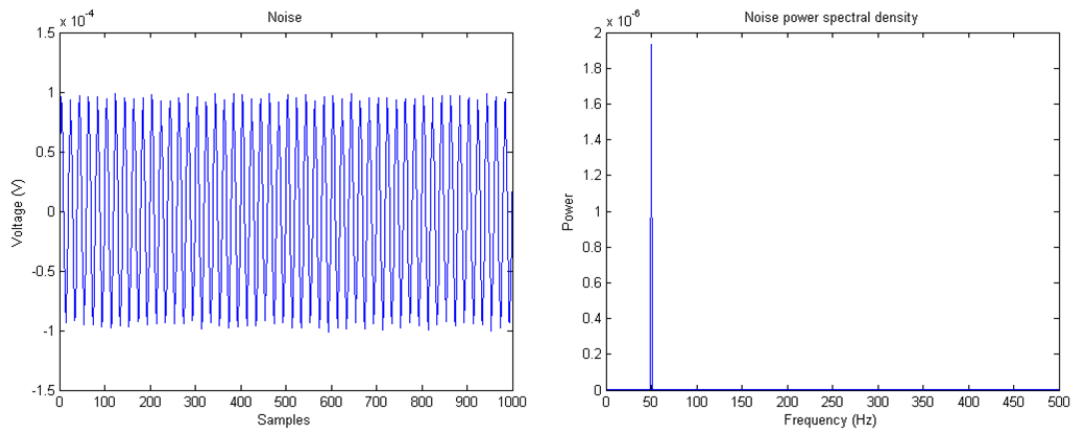


Figura 6. 19. Señal propia del ruido del canal 2. Uso de cable apantallado.

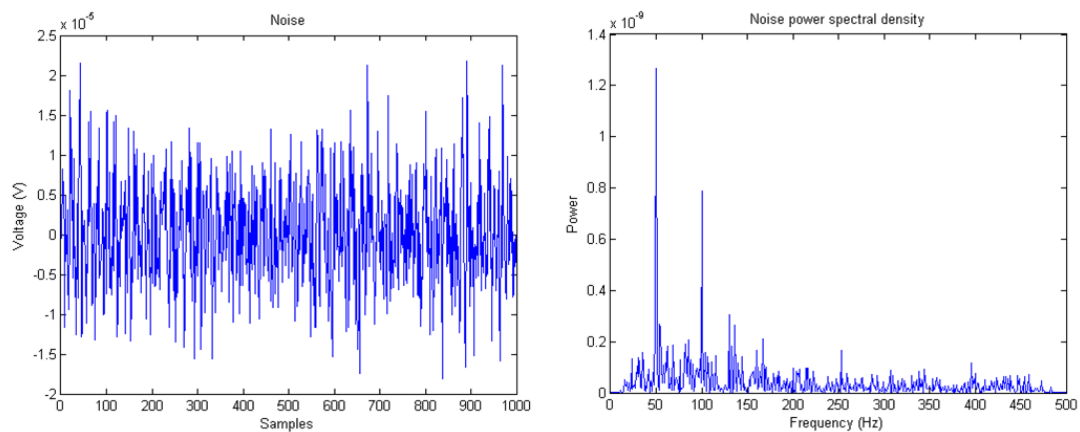


Figura 6. 20. Señal propia del ruido del canal 3. Uso de cable no apantallado.



Estos resultados demuestran el desaconsejable uso de cables apantallados en la configuración en que han sido utilizados en el circuito diseñado. Esta figura 6.18 permite ejemplificar, además, el aspecto que tiene una señal con un bajo índice SNR, apartado mencionado anteriormente.

Capítulo 7

Conclusiones y trabajos futuros

En este capítulo se presentarán los resultados obtenidos a lo largo de los capítulos anteriores del proyecto de modo que, de una manera sencilla, sea posible evaluar los distintos ámbitos discutidos a lo largo del mismo para, finalmente, demostrar su viabilidad de cara a posteriores trabajos de mejora así como su implantación real en trabajos de campo.

A modo de conclusión general, los objetivos planteados en el capítulo 1 se han logrado satisfactoriamente. La creación de una PCB capaz de actuar como sistema de adquisición de señales EMG, se ha cumplido respetando los requisitos de uso de un número reducido de componentes, alto índice de amortiguación de ruido ambiente y compatibilidad con el hardware posterior. Así mismo, el software implementado en la tarjeta STM32F4 – Discovery y diseñado con MATLAB/Simulink, también cumple con los objetivos propuestos, acondicionando y procesando la señal para su trabajo posterior con cualquiera de las herramientas del paquete MATLAB.

La PCB diseñada cumple con el requisito de poseer cuatro canales de trabajo independientes, con una etapa de medida diferencial de la señal, un filtrado básico, una etapa de amplificación y una etapa de modulación A/D en cada uno de los canales. Además, con el fin de reducir el ruido electromagnético ambiente se le ha añadido una etapa de realimentación activa que conecta el cuerpo del usuario con la tensión de modo común del circuito, siendo esta una solución notable para uno de los grandes problemas que presentan este tipo de circuitos. Esta tarjeta de adquisición EMG ha sido puesta a prueba en simulaciones y, tras validar los resultados esperados, ha sido diseñada y probada satisfactoriamente.

Inicialmente se ha diseñado una PCB prototipo, consistente en un único canal de electromiografía, pero cumpliendo con el resto de especificaciones. Tras comprobar la validez de las señales EMG captadas con dicha PCB, se ha proseguido con un diseño de cuatro canales, sometiéndolo a nuevas pruebas.

El software de adquisición y procesado diseñado se ha integrado completamente en la tarjeta STM32F4 – Discovery, permitiendo la captura de datos

en tiempo real, su acondicionamiento y su posterior almacenamiento para visualización en pantalla y trabajo con ellos. Con esto se ha logrado un sistema capaz de depurar y mostrar las aparentemente aleatorias señales mioeléctricas fruto de la actividad nerviosa de un músculo esquelético.

El uso de un sistema de programación gráfico basado en MATLAB/Simulink ha permitido la creación de un software específico de forma sencilla en comparación con los sistemas de programación textual clásicos. La sencillez a la hora de generar y compilar el código en C, extraído del modelo de bloques y su compatibilidad con la placa STM32F4 – Discovery ha resultado en un importante ahorro de tiempo sin mermar la potencia de dicho software.

Así mismo se deben destacar los buenos resultados obtenidos en las pruebas de laboratorio. La obtención de un CMRR con un valor de 85dB, satisface los valores comúnmente aceptados para este tipo de circuitos (valores > 80dB), y muestra un alto grado de rechazo de la señal de modo común. El valor de SNR obtenido, de 35.5dB, también es válido, aunque mejorable de cara al uso de este circuito para aplicaciones de gran precisión.

Ambos valores podrían ser fácilmente mejorados utilizando mejores materiales en el diseño de la tarjeta de adquisición. El uso de componentes “*through hole*”, facilita el diseño y el trabajo de laboratorio, pero incrementa el tamaño de la misma; en este caso el uso de componentes SMD es una opción clara de cara al rediseño de la placa. Igualmente, la calidad de los componentes usados podría ser mejorada, al haber sido usados componentes con tolerancias del 5% en caso de las resistencias y del 10-20% en caso de los condensadores, sin olvidar los desajustes que se pueden ocasionar en los potenciómetros. Todos estos pequeños errores, sumados al hecho de que cada canal es independiente de los otros, podrían dar lugar a notables diferencias entre los canales si no se procede con cuidado a la hora de seleccionar los componentes.

Para finalizar, y a la vista de los resultados mostrados en el capítulo anterior, se debe señalar que la realización de todo el proyecto se ha llevado a cabo utilizando componentes comunes, de bajo coste y fácil manufactura. El uso de los servicios de la universidad en la fabricación de las distintas PCBs sobre una placa de fibra de vidrio de dos capas, su montaje y soldadura manual por parte del proyectante, y su fase de pruebas, realizada íntegramente con los servicios del Departamento de Sistemas y Automática ha permitido la agilización de los procesos más allá del diseño.

Mejoras y trabajos futuros

Tal y como se ha indicado anteriormente, el primer trabajo que permitiría mejorar el rendimiento así como disminuir el tamaño del circuito diseñado, es el uso de componentes de encapsulado SMD con tolerancias menores. Esto mismo permitiría reducir notablemente el tamaño de la placa y, por tanto, el tamaño de las pistas de rutado y las impedancias parásitas que se generan. Igualmente, con el fin de mejorar los resultados obtenidos al utilizar cables apantallados, se propone el uso de un sistema de guarda activa, consistente en el uso de una tensión de referencia extraída del colector que une la etapa diferencial con la DRL, en el apantallado de los cables que conectan los electrodos con el circuito de electromiografía, como se ha explicado en el apartado 6.5.

Con el fin de reducir aún más el ruido electromagnético fruto de la exposición del hardware al ambiente, se propone también la creación de algún tipo de blindaje electromagnético basado en el principio de la jaula de Faraday, tal y como se utiliza en algunas aplicaciones médicas en uso actualmente [21]. Aunque no se ha mencionado anteriormente, un prototipo de este blindaje fue probado en el circuito de un solo canal, logrando resultados significativos. Sin embargo, por cuestión de medios, no fue incluido en el desarrollo definitivo.

Otra posibilidad a modo de trabajo futuro es la reducción de las impedancias parásitas generadas, fruto de la longitud de los cables entre los electrodos y la tarjeta de adquisición. Por un lado los electrodos siempre generan artefactos eléctricos que aportan ruido al sistema, aunque en este diseño esto se ha solucionado al implementar un filtro capaz de eliminar las bandas menores a 20Hz. Sin embargo es inevitable que la distancia entre dichos electrodos y la placa empeore la señal captada. Si bien una gran parte queda amortiguada al desarrollar un sistema de amplificación diferencial, una opción para reducir este ruido sería la integración en un solo conjunto de los electrodos y el hardware, en un dispositivo conocido como electrodo activo.

Igualmente, la implementación en el sistema de un modulo inalámbrico, permitiría la comunicación entre el circuito EMG y el sistema de procesado sin necesidad de cables. Al integrar esta idea junto con las del apartado anterior se puede disponer de un sistema de adquisición de señales mioeléctricas mucho menos aparatoso para el usuario y de uso más sencillo que el propuesto en este proyecto.

A modo de ejemplo que se espera poner en práctica, una modificación del sistema de electromiografía que se ha diseñado en este proyecto se pretende implantar en las prácticas de la asignatura "Aplicaciones de la automática en la

biomedicina" del Grado en Ingeniería Electrónica y Automática, impartido en esta universidad [22]. Mediante su uso se pretende que los alumnos sean capaces de comprender mejor algunos de los conceptos y dispositivos propios del campo de estudio, en este caso los sistemas EMG.

Finalmente, como continuación de este proyecto pero sin relación con la parte analógica del mismo, hay abierto un amplio abanico de posibilidades al disponer de un hardware de bajo coste capaz de captar satisfactoriamente señales EMG. La creación de software adicional podría dotar al proyecto de capacidades dentro del área de la medicina, como el control de prótesis robóticas o la rehabilitación. Del mismo modo, al disponer de un dispositivo capaz de tomar señales EMG de cualquier grupo de músculos esqueléticos, se podría utilizar esta tecnología a modo de interfaz hombre-máquina (HMI) para el control de cualquier tipo de dispositivo electrónico, desde PCs a artilugios como drones o cualquier tipo de dispositivo radio controlado de un modo más intuitivo y, desde luego, más interesante.

Bibliografía

- [1] A. V. Peciña. Design and implementation of a myoelectric control system for a printable robotic hand. 2012. [En línea]. Disponible: http://www.researchgate.net/publication/259639884_Design_and_implementation_of_a_myoelectric_control_system_for_a_printable_robotic_hand.
- [2] Mathworks, página web de la aplicación. [Online] Disponible: <http://es.mathworks.com/products/simulink/>.
- [3] Peter Konrad. Version 1.0 April 2005. The ABC of EMG. [Online] Disponible: <http://www.analizaruchu.awf.wroc.pl/materialy/abcemg.pdf>.
- [4] Carlo J. De Luca. SURFACE ELECTROMYOGRAPHY: DETECTION AND RECORDING. [Online] Disponible: https://www.delsys.com/Attachments_pdf/WP_SEMGintro.pdf.
- [5] Y. Muraoka, A. Ishio, K. Takeda. Low-cost 2ch EMG biofeedback device using a stereo microphone Port. Japanese Journal of Comprehensive Rehabilitation Science (2014) [Online] Disponible: http://square.umin.ac.jp/jjcrs/2014_1-6e.pdf.
- [6] D. K. N. Silva, R.M.V. Sato, A.L.S. Castro. A Portable and Low Cost Solution for EMG using ZigBee, GPRS and Internet to Biomedical applications. [Online] Disponible: <http://www.imeko.org/publications/tc4-2013/IMEKO-TC4-2013-026.pdf>.
- [7] M. Haller, L. Kneisz. EMG2GO - portable, wireless electromyography analysis system. [Online] Disponible: http://www.ti.com/corp/docs/university/pdf/adc2012_medical_university_of_vienna_project.pdf.
- [8] P. Geethanjali, Y. Krishna Mohan, P. Bhaskar. A Low-cost EMG-EOG Signal Conditioning System for Brain Computer Interface Applications. International Journal of Engineering and Technology. [Online] Disponible: <http://www.enggjournals.com/ijet/docs/IJET13-05-03-074.pdf>.
- [9] J. Karki. Fully-Differential Amplifiers [Online] Disponible: <http://www.ti.com/lit/an/sloa054d/sloa054d.pdf>.
- [10] B. B. Winter, J. G. Webster. Driven-Right-Leg Circuit Design [Online] Disponible: <http://www.elastyc.unimore.it/fonda/ELBIOM/Driven-Right-Leg%20Circuit%20Design.pdf>.

- [11] P. Konrad. Version 1.0 April 2005. The ABC of EMG, pag 20. [Online] Disponible: <http://www.analizaruchu.awf.wroc.pl/materialy/abcemg.pdf>.
- [12] C. J. De Luca. SURFACE ELECTROMYOGRAPHY: DETECTION AND RECORDING. [Online] Disponible: https://www.delsys.com/Attachments_pdf/WP_SEMGintro.pdf.
- [13] G. De Luca. Fundamental Concepts in EMG Signal Acquisition. [Online] Disponible: http://www.delsys.com/Attachments_pdf/WP_Sampling1-4.pdf.
- [14] Cadence, «Orcad Official Website,» [Online]. Disponible: <http://www.orcad.com/>.
- [15] STM32F4 - DISCOVERY Manual de usuario- [Online] Disponible: http://www.st.com/st-web-ui/static/active/en/resource/technical/document/user_manual/DM00039084.pdf.
- [16] A. Flores Caballero. Sistema avanzado de prototipado rápido para control en exoesqueletos y dispositivos mecatrónicos. Tesis doctoral. Universidad Carlos III de Madrid.
- [17] Aimagin, «Waijung Blockset,» [Online]. Disponible: <http://waijung.aimagin.com/>.
- [18] V. Acharya. Improving Common-Mode Rejection Using the Right-Leg Drive Amplifier. Texas Instrument [Online] Disponible: <http://www.ti.com/lit/an/sbaa188/sbaa188.pdf>.
- [19] A. C. MettingVanRijn, A. Peper, C. A. Grimbergen. Amplifiers for bioelectric events: a design with a minimal number of parts. [Online] Disponible: <http://www.biosemi.com/publications/artikel7.htm>.
- [20] A. Rich. Shielding and Guarding. Analog Devices [Online] Disponible: http://www.analog.com/static/imported-files/application_notes/41727248AN_347.pdf.
- [21] Holland Shielding. Documentación comercial. [Online] Disponible: http://shieldingsystems.eu/PDF_documents/PDF_Faraday%20cage%20for%20medical%20solutions%20%5BEnglish%5D_November-18-2010-354pm.pdf.
- [22] Programa de la asignatura "Aplicaciones de la automática en la biomedicina". Grado en Ingeniería Electrónica y Automática. Universidad Carlos III de Madrid. [Online] Disponible: http://www3.uc3m.es/reina/Fichas/Idioma_1/223.14061.html.

Anexo **A**

Fases de trabajo, medios empleados y presupuesto

A lo largo de este primer anexo se presenta un desglose cuantificado del tiempo de trabajo, los medios materiales empleados en la realización del proyecto y el presupuesto del mismo.

A. Fases de trabajo.

Con el fin de explicar de un modo sencillo las distintas fases de trabajo en este proyecto, a continuación se detalla la planificación del mismo. La tabla A.1 muestra un resumen de lo expuesto a continuación. La tabla A.2 muestra el diagrama de Gantt de los tiempos empleados:

- Estudio Inicial (10h)
Se trata de una serie de reuniones con el fin de marcar los límites del proyecto, puesta en común de ideas y sugerencias y metodología a utilizar.
- Formación y documentación (80h)
Adquisición de conocimientos sobre la materia de la que trata del proyecto. Por la dificultad de la misma y al no haber sido tratada durante la carrera ha requerido gran cantidad de tiempo. Actualización con software OrCad Capture y OrCad Layout. Aprendizaje de Matlab y Matlab/Simulink.
- Diseño y montaje (120h)
En este tiempo no se reflejan los tiempos de espera de la fabricación de las PCBs de los distintos prototipos desarrollados durante el proyecto así como de la versión final del circuito. La fabricación de todas las PCBs ha sido realizada por la Oficina Técnica de la Universidad Carlos III de Madrid. Tiempos de diseño (24h). Tiempos de montaje (6h).

- Pruebas y ensayos (40h)
Puesto que se trata de un proyecto cuyo resultado es un dispositivo tangible y funcional, merece la pena probarlo “in situ” obteniendo datos directamente.
- Redacción de la memoria (120h)
Tiempo dedicado a la documentación del trabajo realizado a lo largo del proyecto.
- Total (370h)

FASES DEL PROYECTO	HORAS DE TRABAJO
Estudio inicial	10
Formación y documentación	80
Diseño y montaje	120
Pruebas y ensayos	40
Redacción de la memoria	120
TOTAL	370

Tabla A. 1. *Desglose por fases.*

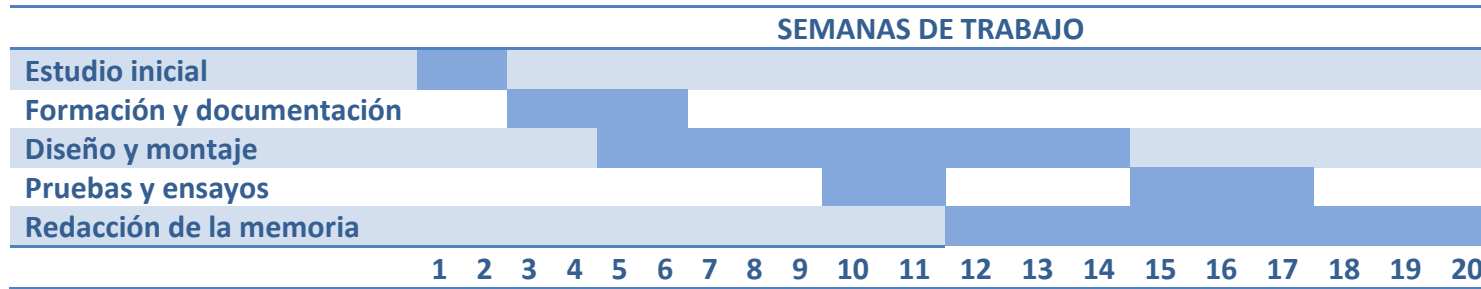


Tabla A. 2. *Diagrama de Gantt.*

B. Medios empleados.

Para la realización de este proyecto se han utilizado los siguientes medios:

SOFTWARE

- Cadence OrCAD®. Capture, PSpice y Layout: programa utilizado para el diseño, la simulación y el rutado de las PCBs.
- MathWorks® MATLAB y MATLAB/Simulink: programas utilizados para la programación del microcontrolador STM32F4 – Discovery, el filtrado digital y el entorno digital de pruebas.
- SO Windows® XP o 7.
- Microsoft Word® 2007 para la redacción de la memoria del proyecto.
- Herramientas varias de edición de imágenes.

HARDWARE

- PC.
- Placas protoboard.
- Placa STM32F4 – Discovery.
- Placas fotosensibles de fibra de vidrio.
- 2 Cables USB. Permiten la comunicación y la alimentación de la placa STM32F4 – Discovery respectivamente.
- Cables unipolares macho-macho, macho-hembra y hembra-hembra.
- Cable apantallado de audio estéreo 2x0.09mm.
- Cable unipolar multifilamento de 0.8mm
- Conectores Jack de 3.5 mm.
- Conectores Molex hembra de 3 terminales (para el prototipo).
- Componentes electrónicos varios (Detallado a continuación).
- Electrodos superficiales Skintact modelo F-TC1 /6.
- Bananas de 4mm.
- Corchetes de 2mm.
- Estaño y soldador de 15W con soporte y esponja.

A continuación se detallan los componentes utilizados para la realización del circuito de electromiografía de cuatro canales diseñado en el capítulo 3. Para mayor comodidad estos componentes se han segmentado por cada etapa del circuito, mostrando un resumen global en la tabla A.3. Todas las resistencias poseen una tolerancia del 5%. Todos los condensadores poseen una tolerancia del 10%.

- Etapa de amplificación completamente diferencial.
 - Resistencias:
 - 8x100k Ω
 - 12x10k Ω
 - 8x1k Ω
 - 4x500 Ω (variable, multivuelta)
 - Condensadores:
 - 4x100nF
 - 8x10nF
 - 4x100pF
 - 8x10pF
 - Circuitos integrados:
 - 4xLTC2051

- Etapa de realimentación activa de la señal de modo común.
 - Resistencias:
 - 1x220k Ω
 - 1x100k Ω
 - 2x1k Ω
 - Condensadores:
 - 1x100nF
 - 2x1nF
 - Circuitos integrados:
 - 1xLTC2051

- Etapa de digitalización.
 - Condensadores:
 - 4x100nF
 - Circuitos integrados:
 - 4xLTC2440

- Etapa oscilador externo.
 - Resistencias:
 - 1x8.2k Ω

- 1x50Ω
- Condensadores:
 - 1x100pF
- Circuitos integrados:
 - 1xLTC1799
- Adicional:
 - 5x Conector Jack 3.5mm hembra.
 - 10x Adaptador SMT to THT.
 - 1x Conector cuadrado para PCB de 10 pines y 1" de paso.
 - 2x Conector cuadrado para PCB de 3 pines y 1" de paso.
 - 2x Jumper.
 - 4x Separador hexagonal.

Componentes utilizados

Resistencias	1x 50Ω 10x 1kΩ 1x 8.2kΩ 12x 10kΩ 9x 100kΩ 1x 220kΩ 4x 500Ω (variable, multivuelta)
Condensadores	8x 10pF 5x 100pF 2x 1nF 8x 10nF 9x 100nF
Circuitos Integrados	5x LTC2051 4x LTC2440 1x LTC1799
Conectores	5x Conector Jack 3.5mm hembra. 1x Conector cuadrado para PCB de 10 pines y 1" de paso. 2x Conector cuadrado para PCB de 3 pines y 1" de paso. 2x Jumper.
Otros	4x Separador hexagonal. 10x Adaptador SMT to THT.

Tabla A. 3. Lista de componentes del circuito EMG.

C. Presupuesto del proyecto.

COSTE DE MATERIAL:

Descripción	Unidades	Precio Unitario	Subtotal	Total
Resistencias	34	0,025€	0,85€	
Resistencias variables	4	0,20€	0,80€	
Condensadores	32	0,10€	3,20€	
LTC2051	5	3,08€	15,40€	
LTC2440	4	7,87€	31,48€	
LTC1799	1	4,69€	4,69€	
Adaptador 6 Pin SOT23	1	0,15€	0,15€	
Adaptador 8 Pin SOIC to DIP8	5	0,20€	1€	
Adaptador 16 Pin SOIC	4	0,45€	1,80€	
Conectores Jack 3.5mm Hembra	5	0,69€	3,45€	
Conectores cuadrado (tira de 30 pines)	1	1,33€	1,33€	
Jumpers	2	0,05€	0,10€	
Separadores	4	0,10€	0,40€	
PCB	1	50€	50€	
Circuito EMG				114,65€
Electrodos Ag/Cl	30	0,13€	3,90€	3,90€
Conectores para electrodos	9	4,50€	40,5€	40,5€
Conectores Jack 3.5 mm macho	5	0,71€	3,55€	3,55€
Banana de 4mm	9	0,54€	4,86€	4,86€
Cable multifilamento	2m	0,10€	0,20€	0,20€
Cable estéreo	3m	0,83€	2,49€	2,49€
Cable USB	2	3,95€	7,90€	7,90€
STM32F4 – Discovery	1	14,17€	14,17€	14,17€
TOTAL				192,22€

Tabla A. 4. Coste de material.

COSTE DE HERRAMIENTAS Y MATERIAL INFORMÁTICO:

Descripción	Coste unitario	Vida útil	Uso	Coste
PC	800€	60 meses	6 meses	80€
Licencia MATLAB/Simulink (Student)	69,00€	48 meses	4 meses	5,75€
Licencia OrCAD Capture y Layout	62,25€	48 meses	3 meses	3,90€
TOTAL				89,65€

Tabla A. 5. Coste de herramientas y material informático.

COSTE DE RECURSOS HUMANOS:

Descripción	Horas	Coste por hora	Coste
Ingeniero senior	50	30€	1500€
Ingeniero junior	320	17€	5440€
Tecnico	50	15€	750€
TOTAL			7690€

Tabla A. 6. *Coste de recursos humanos.*

PRESUPUESTO FINAL UNIFICADO:

Descripción	Coste
Coste de material	192,22€
Coste de herramientas y material informático	89,65€
Coste de recursos humanos	7690€
Subtotal	7971,87€
IVA (21%)	1674,09€
TOTAL	9.645,96 €

Tabla A. 7. *Presupuesto final.*

Anexo B

Capas de rutado del circuito diseñado.

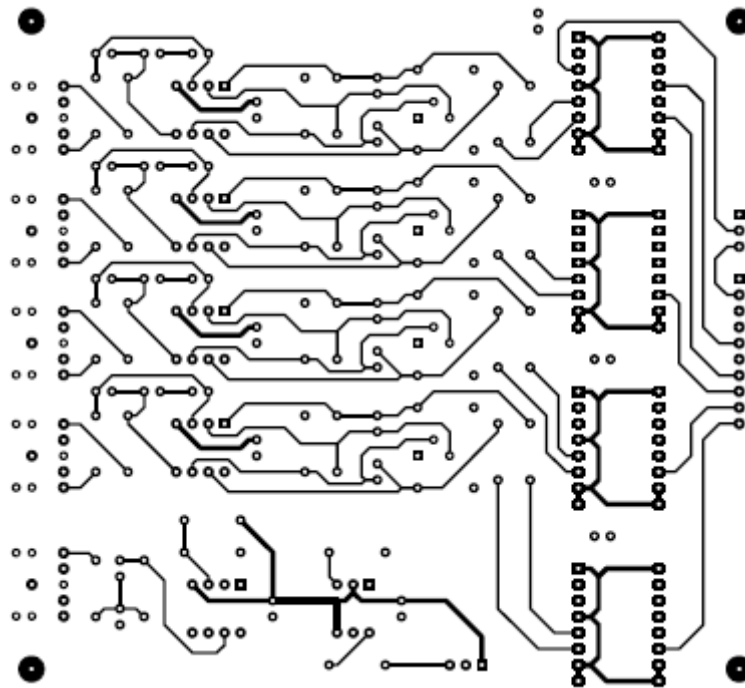


Figura B. 1. Capa de rutado TOP del circuito EMG.

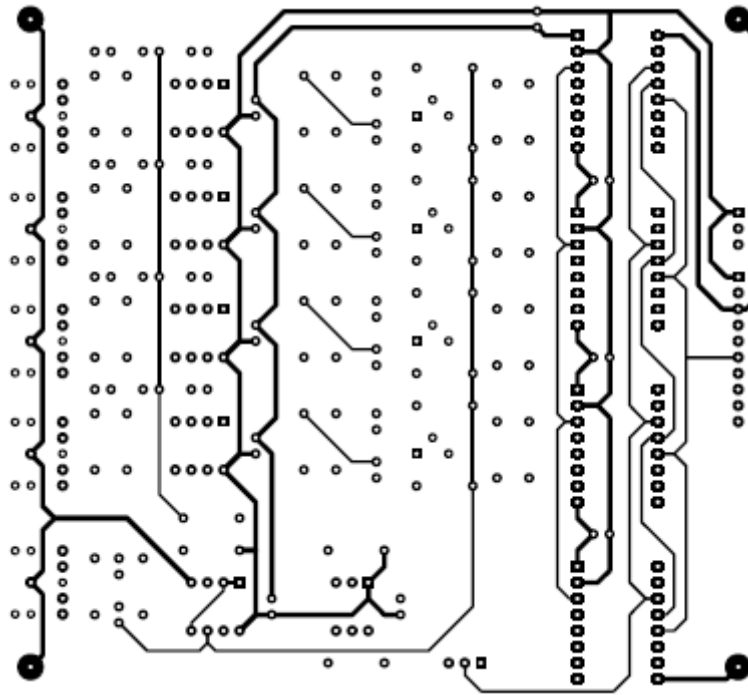


Figura B. 2. *Capa de rutado BOTTOM del circuito EMG.*



Anexo C

Hojas de características utilizadas

FEATURES

- Maximum Offset Voltage of $3\mu\text{V}$
- Maximum Offset Voltage Drift of $30\text{nV}/^\circ\text{C}$
- Small Footprint, Low Profile MS8/GN16 Packages
- Single Supply Operation: 2.7V to $\pm 5\text{V}$
- Noise: $1.5\mu\text{V}_{\text{P-P}}$ (0.01Hz to 10Hz Typ)
- Voltage Gain: 140dB (Typ)
- PSRR: 130dB (Typ)
- CMRR: 130dB (Typ)
- Supply Current: 0.75mA (Typ) per Amplifier
- Extended Common Mode Input Range
- Output Swings Rail-to-Rail
- Operating Temperature Range -40°C to 125°C
- Available in $3\text{mm} \times 3\text{mm} \times 0.8\text{mm}$ DFN Package

APPLICATIONS

- Thermocouple Amplifiers
- Electronic Scales
- Medical Instrumentation
- Strain Gauge Amplifiers
- High Resolution Data Acquisition
- DC Accurate RC Active Filters
- Low Side Current Sense

DESCRIPTION

The LTC[®]2051/LTC2052 are dual/quad zero-drift operational amplifiers available in the MS8 and SO-8/GN16 and S14 packages. For space limited applications, the LTC2051 is available in a $3\text{mm} \times 3\text{mm} \times 0.8\text{mm}$ dual fine pitch leadless package (DFN). They operate from a single 2.7V supply and support $\pm 5\text{V}$ applications. The current consumption is $750\mu\text{A}$ per op amp.

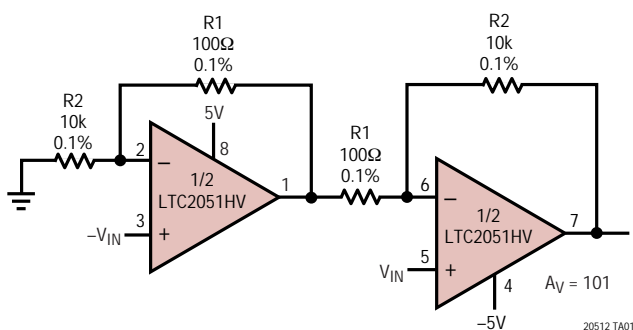
The LTC2051/LTC2052, despite their miniature size, feature uncompromising DC performance. The typical input offset voltage and offset drift are $0.5\mu\text{V}$ and $10\text{nV}/^\circ\text{C}$. The almost zero DC offset and drift are supported with a power supply rejection ratio (PSRR) and common mode rejection ratio (CMRR) of more than 130dB.

The input common mode voltage ranges from the negative supply up to typically 1V from the positive supply. The LTC2051/LTC2052 also have an enhanced output stage capable of driving loads as low as $2\text{k}\Omega$ to both supply rails. The open-loop gain is typically 140dB. The LTC2051/LTC2052 also feature a $1.5\mu\text{V}_{\text{P-P}}$ DC to 10Hz noise and a 3MHz gain-bandwidth product.

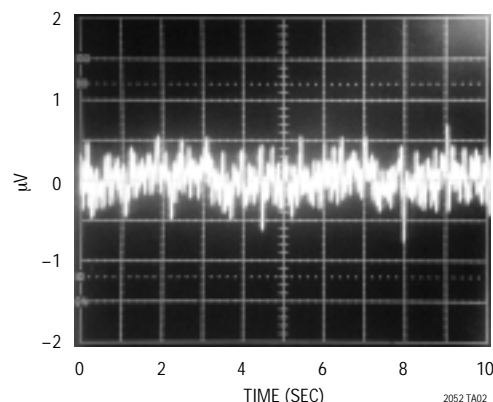
LT, LTC and LTM are registered trademarks of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION

High Performance Low Cost Instrumentation Amplifier



Input Referred Noise 0.1Hz to 10Hz



LTC2051/LTC2052

ABSOLUTE MAXIMUM RATINGS (Note 1)

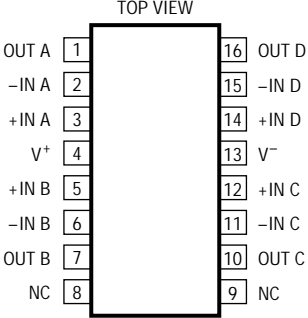
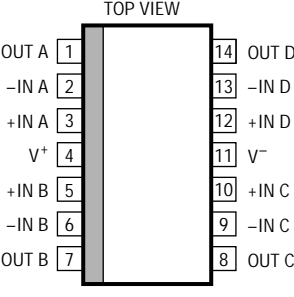
Total Supply Voltage (V^+ to V^-)	Operating Temperature Range	-40°C to 125°C
LTC2051/LTC2052	Specified Temperature Range (Note 3)	-40°C to 125°C
LTC2051HV/LTC2052HV	Storage Temperature Range	-65°C to 150°C
Input Voltage (Note 5)	DD Package	-65°C to 125°C
Output Short-Circuit Duration	Lead Temperature (Soldering, 10 sec)	300°C

PACKAGE/ORDER INFORMATION

<p>DD PACKAGE 8-LEAD (3mm x 3mm) PLASTIC DFN $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 160^{\circ}C/W$ EXPOSED PAD (PIN 9) IS CONNECTED TO V^- (PIN 4)</p>		<p>MS8 PACKAGE 8-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 250^{\circ}C/W$</p>		<p>MS10 PACKAGE 10-LEAD PLASTIC MSOP $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 250^{\circ}C/W$</p>		
ORDER PART NUMBER*	DD PART MARKING	ORDER PART NUMBER	MS8 PART MARKING	ORDER PART NUMBER	MS10 PART MARKING	
LTC2051CDD LTC2051IDD LTC2051HVCDD LTC2051HVIDD	LAAN LAEL	LTC2051CMS8 LTC2051IMS8 LTC2051HVCMS8 LTC2051HVIMS8 LTC2051HMS8 LTC2051HVHMS8	LTMN LTMP LTPJ LTPK LTVF LTVH	LTC2051CMS10 LTC2051IMS10 LTC2051HVCMS10 LTC2051HVIMS10	LTMQ LTMR LTRB LTRC	
<p>S8 PACKAGE 8-LEAD PLASTIC SO $T_{JMAX} = 125^{\circ}C, \theta_{JA} = 190^{\circ}C/W$</p>			<th>ORDER PART NUMBER</th> <th>S8 PART MARKING</th>		ORDER PART NUMBER	S8 PART MARKING
			LTC2051CS8 LTC2051IS8 LTC2051HVCS8 LTC2051HVIS8 LTC2051HS8 LTC2051HVHS8		2051 2051I 2051HV 051HVI 2051H 051HVH	
Order Options Tape and Reel: Add #TR Lead Free: Add #PBF Lead Free Tape and Reel: Add #TRPBF Lead Free Part Marking: http://www.linear.com/leadfree/						

Consult LTC Marketing for parts specified with wider operating temperature ranges.

PACKAGE/ORDER INFORMATION

 <p>GN PACKAGE 16-LEAD PLASTIC SSOP $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 110^{\circ}\text{C/W}$</p>	<p>ORDER PART NUMBER</p> <p>LTC2052CGN LTC2052IGN LTC2052HVCGN LTC2052HVIGN LTC2052HGN LTC2052HVHGN</p> <p>GN PART MARKING</p> <p>2052 2052I 2052HV 052HVI 2052H 052HVH</p>	 <p>S PACKAGE 14-LEAD PLASTIC SO $T_{JMAX} = 125^{\circ}\text{C}$, $\theta_{JA} = 110^{\circ}\text{C/W}$</p>	<p>ORDER PART NUMBER</p> <p>LTC2052CS LTC2052IS LTC2052HVCS LTC2052HVIS LTC2052HS LTC2052HVHS</p>

AVAILABLE OPTIONS

PART NUMBER	AMPS/PACKAGE	SPECIFIED TEMP RANGE	SPECIFIED VOLTAGE	PACKAGE
LTC2051CDD	2	0°C to 70°C	3V, 5V	DD
LTC2051CS8	2	0°C to 70°C	3V, 5V	SO-8
LTC2051CMS8	2	0°C to 70°C	3V, 5V	8-Lead MSOP
LTC2051CMS10	2	0°C to 70°C	3V, 5V	10-Lead MSOP
LTC2051HVCDD	2	0°C to 70°C	3V, 5V, ±5V	DD
LTC2051HVCS8	2	0°C to 70°C	3V, 5V, ±5V	SO-8
LTC2051HVCMS8	2	0°C to 70°C	3V, 5V, ±5V	8-Lead MSOP
LTC2051HVCMS10	2	0°C to 70°C	3V, 5V, ±5V	10-Lead MSOP
LTC2051IDD	2	-40°C to 85°C	3V, 5V	DD
LTC2051IS8	2	-40°C to 85°C	3V, 5V	SO-8
LTC2051IMS8	2	-40°C to 85°C	3V, 5V	8-Lead MSOP
LTC2051IMS10	2	-40°C to 85°C	3V, 5V	10-Lead MSOP
LTC2051HVIDD	2	-40°C to 85°C	3V, 5V, ±5V	DD
LTC2051HVIS8	2	-40°C to 85°C	3V, 5V, ±5V	SO-8
LTC2051HVIMS8	2	-40°C to 85°C	3V, 5V, ±5V	8-Lead MSOP
LTC2051HVIMS10	2	-40°C to 85°C	3V, 5V, ±5V	10-Lead MSOP
LTC2051HS8	2	-40°C to 125°C	3V, 5V	SO-8
LTC2051HMS8	2	-40°C to 125°C	3V, 5V	8-Lead MSOP
LTC2051HVHS8	2	-40°C to 125°C	3V, 5V, ±5V	SO-8
LTC2051HVHMS8	2	-40°C to 125°C	3V, 5V, ±5V	8-Lead MSOP
LTC2052CS	4	0°C to 70°C	3V, 5V	14-Lead SO
LTC2052CGN	4	0°C to 70°C	3V, 5V	16-Lead SSOP
LTC2052HVCS	4	0°C to 70°C	3V, 5V, ±5V	14-Lead SO
LTC2052HVCGN	4	0°C to 70°C	3V, 5V, ±5V	16-Lead SSOP

AVAILABLE OPTIONS

PART NUMBER	AMPS/PACKAGE	SPECIFIED TEMP RANGE	SPECIFIED VOLTAGE	PACKAGE
LTC2052IS	4	-40°C to 85°C	3V, 5V	14-Lead SO
LTC2052IGN	4	-40°C to 85°C	3V, 5V	16-Lead SSOP
LTC2052HVIS	4	-40°C to 85°C	3V, 5V, ±5V	14-Lead SO
LTC2052HVIGN	4	-40°C to 85°C	3V, 5V, ±5V	16-Lead SSOP
LTC2052HS	4	-40°C to 125°C	3V, 5V	14-Lead SO
LTC2052HGN	4	-40°C to 125°C	3V, 5V	16-Lead SSOP
LTC2052HVHS	4	-40°C to 125°C	3V, 5V, ±5V	14-Lead SO
LTC2052HVHGN	4	-40°C to 125°C	3V, 5V, ±5V	16-Lead SSOP

ELECTRICAL CHARACTERISTICS

(LTC2051/LTC2052, LTC2051HV/LTC2052HV) The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = 3\text{V}, 5\text{V}$ unless otherwise noted. (Note 3)

PARAMETER	CONDITIONS	LTC2051C/LTC2052C LTC2051I/LTC2052I			LTC2051H/LTC2052H			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 2)		±0.5	±3	±0.5	±3		μV
Average Input Offset Drift	(Note 2)	●	0.01	±0.03	0.01	±0.05		μV/°C
Long-Term Offset Drift			50		50			nV/√mo
Input Bias Current (Note 4)	$V_S = 3\text{V}$		±8	±50	±8	±50		pA
	$V_S = 3\text{V}$	●		±100		±3000		pA
	$V_S = 5\text{V}$		±25	±75	±25	±75		pA
	$V_S = 5\text{V}$	●		±150		±3000		pA
Input Offset Current (Note 4)	$V_S = 3\text{V}$			±100		±100		pA
	$V_S = 3\text{V}$	●		±150		±700		pA
	$V_S = 5\text{V}$			±150		±150		pA
	$V_S = 5\text{V}$	●		±200		±700		pA
Input Noise Voltage	$R_S = 100\Omega$, DC to 10Hz		1.5		1.5			μV _{p-p}
Common Mode Rejection Ratio	$V_{CM} = \text{GND to } V^+ - 1.3$, $V_S = 3\text{V}$	●	115	130	115	130		dB
			110	130	110	130		dB
	$V_{CM} = \text{GND to } V^+ - 1.3$, $V_S = 5\text{V}$	●	120	130	120	130		dB
			115	130	115	130		dB
Power Supply Rejection Ratio		●	120	130	120	130		dB
			115	130	115	130		dB
Large-Signal Voltage Gain	$R_L = 10\text{k}$, $V_S = 3\text{V}$	●	120	140	120	140		dB
			115	140	115	140		dB
	$R_L = 10\text{k}$, $V_S = 5\text{V}$	●	125	140	125	140		dB
			120	140	120	140		dB
Output Voltage Swing High	$R_L = 2\text{k to GND}$	●	$V^+ - 0.15$	$V^+ - 0.06$	$V^+ - 0.15$	$V^+ - 0.06$		V
	$R_L = 10\text{k to GND}$	●	$V^+ - 0.05$	$V^+ - 0.02$	$V^+ - 0.05$	$V^+ - 0.02$		V
Output Voltage Swing Low	$R_L = 2\text{k to GND}$	●	2	15	2	15		mV
	$R_L = 10\text{k to GND}$	●	2	15	2	15		mV
Slew Rate			2		2			V/μs
Gain Bandwidth Product			3		3			MHz
Supply Current (Per Amplifier)	No Load, $V_S = 3\text{V}$, $V_{SHDN} = V_{IH}$	●	0.75	1.0	0.75	1.1		mA
	No Load, $V_S = 5\text{V}$, $V_{SHDN} = V_{IH}$	●	0.85	1.2	0.85	1.3		mA
Supply Current, Shutdown	$V_{SHDN} = V_{IL}$, $V_S = 3\text{V}$	●	2	5	2	5		μA
	$V_{SHDN} = V_{IL}$, $V_S = 5\text{V}$	●	4	10	4	10		μA

ELECTRICAL CHARACTERISTICS

(LTC2051/LTC2052, LTC2051HV/LTC2052HV) The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = 3\text{V}$, 5V unless otherwise noted. (Note 3)

PARAMETER	CONDITIONS	LTC2051C/LTC2052C LTC2051I/LTC2052I			LTC2051H/LTC2052H			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Shutdown Pin Input Low Voltage (V_{IL})		●		$V^- + 0.5$			$V^- + 0.5$	V
Shutdown Pin Input High Voltage (V_{IH})		●	$V^+ - 0.5$				$V^+ - 0.5$	V
Shutdown Pin Input Current	$V_{SHDN} = V_{IL}$, $V_S = 3\text{V}$ $V_{SHDN} = V_{IL}$, $V_S = 5\text{V}$	●	-1	-3		-1	-3	μA
		●	-2	-5		-2	-5	μA
Internal Sampling Frequency			7.5			7.5		kHz

(LTC2051HV/LTC2052HV) The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V_S = \pm 5\text{V}$ unless otherwise noted. (Note 3)

PARAMETER	CONDITIONS	LTC2051C/LTC2052C LTC2051I/LTC2052I			LTC2051H/LTC2052H			UNITS
		MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	(Note 2)		± 1	± 3		± 1	± 3	μV
Average Input Offset Drift	(Note 2)	●	0.01	± 0.03		0.01	± 0.05	$\mu\text{V}/^\circ\text{C}$
Long-Term Offset Drift			50			50		$\text{nV}/\sqrt{\text{mo}}$
Input Bias Current (Note 4)		●	± 90	± 150 ± 300		± 90	± 150 ± 3000	pA pA
Input Offset Current (Note 4)		●		± 300 ± 500			± 300 ± 700	pA pA
Input Noise Voltage	$R_S = 100\Omega$, DC to 10Hz		1.5			1.5		$\mu\text{V}_{\text{p-p}}$
Common Mode Rejection Ratio	$V_{\text{CM}} = V^-$ to $V^+ - 1.3$	●	125	130		125	130	dB
			120	130		120	130	dB
Power Supply Rejection Ratio		●	120	130		120	130	dB
			115	130		115	130	dB
Large-Signal Voltage Gain	$R_L = 10\text{k}$	●	125	140		125	140	dB
			120	140		120	140	dB
Maximum Output Voltage Swing	$R_L = 2\text{k}$ to GND $R_L = 10\text{k}$ to GND	●	± 4.75	± 4.92		± 4.50	± 4.92	V
		●	± 4.90	± 4.98		± 4.85	± 4.98	V
Slew Rate			2			2		$\text{V}/\mu\text{s}$
Gain Bandwidth Product			3			3		MHz
Supply Current (Per Amplifier)	No Load, $V_{\text{SHDN}} = V_{\text{IH}}$	●	1	1.5		1	1.5	mA
Supply Current, Shutdown	$V_{\text{SHDN}} = V_{\text{IL}}$	●	15	30		15	30	μA
Shutdown Pin Input Low Voltage (V_{IL})		●		$V^- + 0.5$			$V^- + 0.5$	V
Shutdown Pin Input High Voltage (V_{IH})		●	$V^+ - 0.5$			$V^+ - 0.5$		V
Shutdown Pin Input Current	$V_{\text{SHDN}} = V_{\text{IL}}$	●	-7	-15		-7	-15	μA
Internal Sampling Frequency			7.5			7.5		kHz

Note 1: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

Note 2: These parameters are guaranteed by design. Thermocouple effects preclude measurements of these voltage levels during automated testing.

Note 3: All versions of the LTC2051/LTC2052 are designed, characterized and expected to meet the extended temperature limits of -40°C and 125°C . The LTC2051C/LTC2052C/LTC2051HVC/LTC2052HVC are guaranteed to meet the temperature limits of 0°C and 70°C . The LTC2051I/LTC2052I/LTC2051HVI/LTC2052HVI are guaranteed to meet temperature limits of -40°C and 85°C . The LTC2051H/LTC2051HVH and LTC2052H/LTC2052HVH

are guaranteed to meet the temperature limits of -40°C and 125°C .

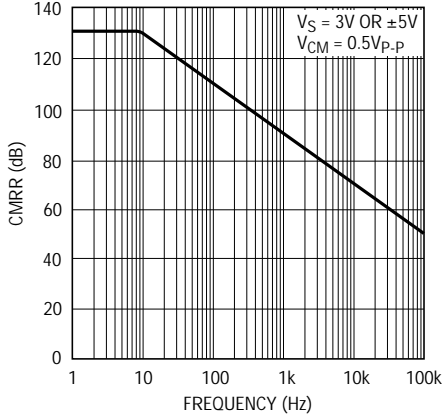
Note 4: The bias current measurement accuracy depends on the proximity of the negative supply bypass capacitors to the device under test. Because of this, only the bias current of channel B (LTC2051) and channels A and B (LTC2052) are 100% tested to the data sheet specifications. The bias currents of the remaining channels are 100% tested to relaxed limits, however, their values are guaranteed by design to meet the data sheet limits.

Note 5: This parameter is guaranteed to meet specified performance through design and characterization. It has not been tested.

Note 6: The θ_{JA} specified for the DD package is with minimal PCB heat spreading metal. Using expanded metal area on all layers of a board reduces this value.

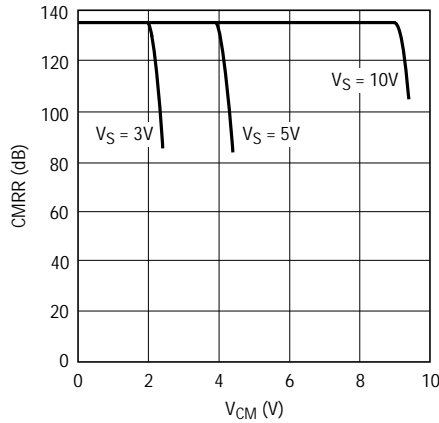
TYPICAL PERFORMANCE CHARACTERISTICS

Common Mode Rejection Ratio vs Frequency



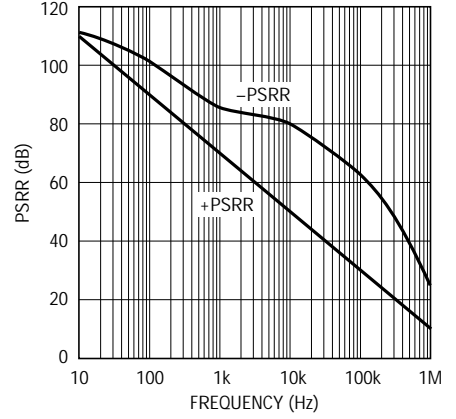
20512 G01

DC CMRR vs Common Mode Input Range



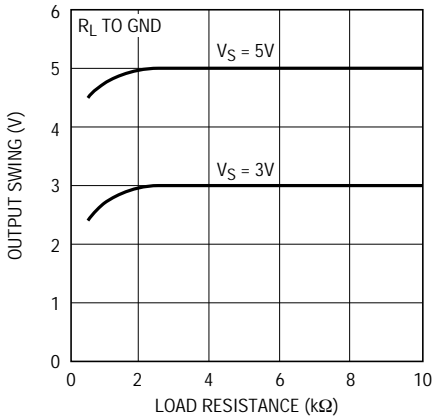
20512 G02

PSRR vs Frequency



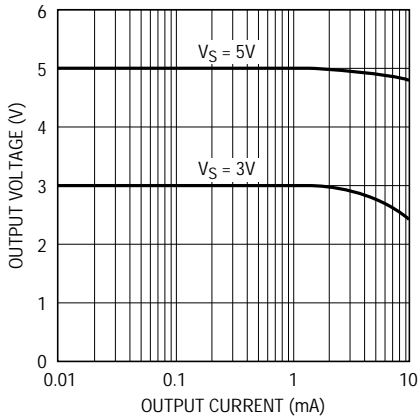
20512 G03

Output Voltage Swing vs Load Resistance



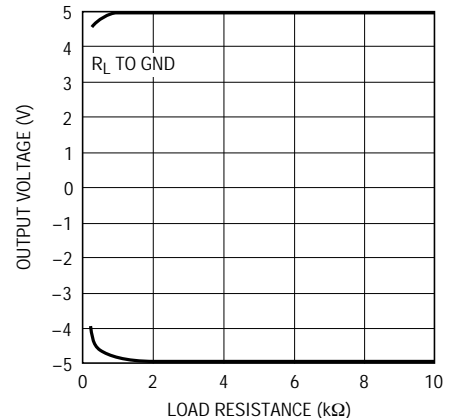
20512 G04

Output Swing vs Output Current



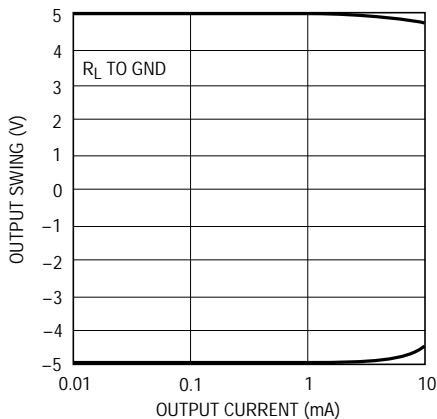
20512 G05

Output Swing vs Load Resistance ±5V



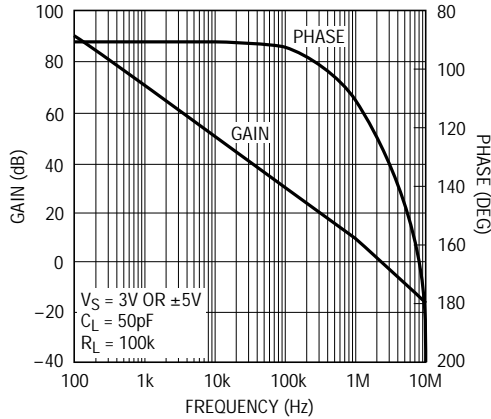
20512 G06

Output Swing vs Output Current, ±5V Supply



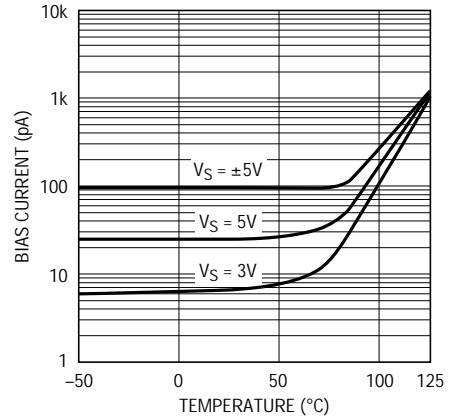
20512 G07

Gain/Phase vs Frequency



20512 G08

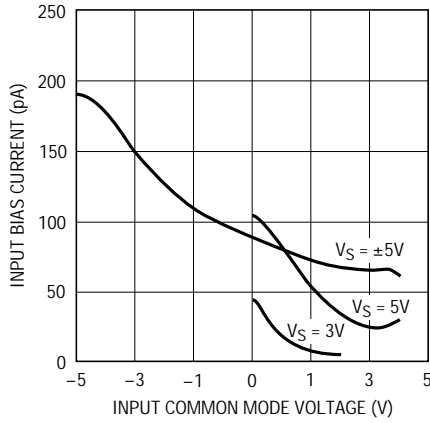
Bias Current vs Temperature



20512 G09

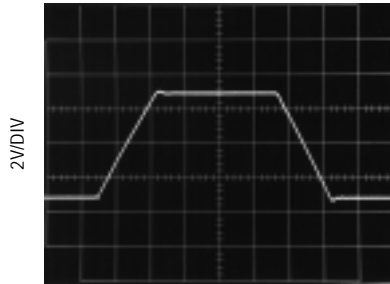
TYPICAL PERFORMANCE CHARACTERISTICS

Input Bias Current vs Input Common Mode Voltage



20512 G10

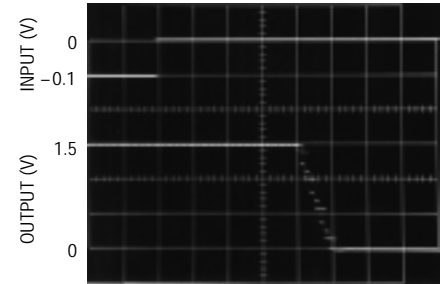
Transient Response



$A_V = 1$
 $R_L = 10k$
 $C_L = 100pF$
 $V_S = \pm 5V$

20512 G11

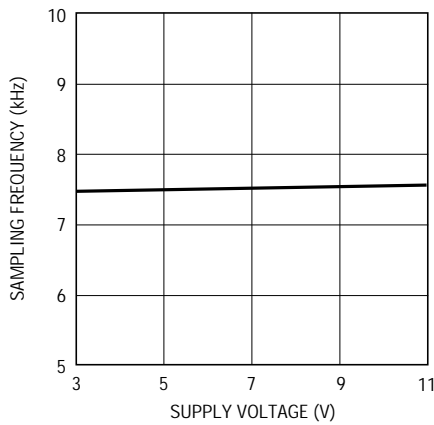
Input Overload Recovery



$A_V = -100$
 $R_L = 100k$
 $C_L = 10pF$
 $V_S = 3V$

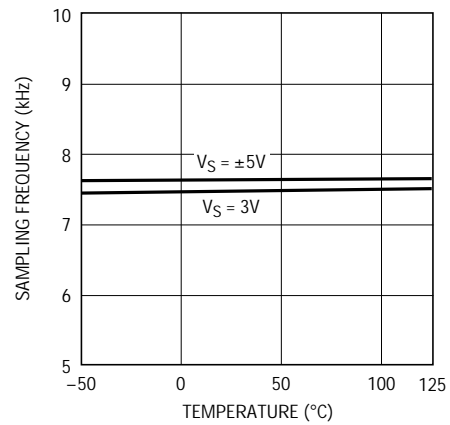
2050 G12

Sampling Frequency vs Supply Voltage



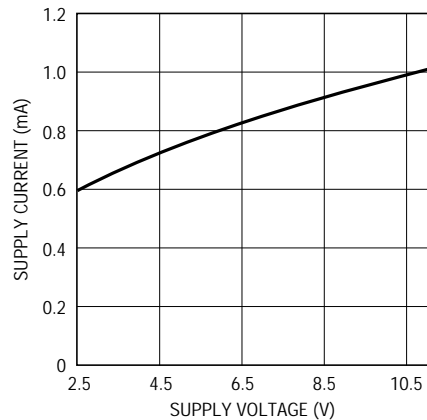
20512 G13

Sampling Frequency vs Temperature



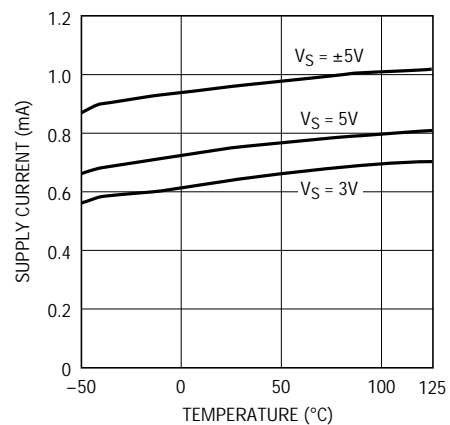
20512 G14

Supply Current (Per Amplifier) vs Supply Voltage



20512 G15

Supply Current (Per Amplifier) vs Temperature



20512 G16

APPLICATIONS INFORMATION

Shutdown

The LTC2051 includes a shutdown pin in the 10-lead MSOP. When this active low pin is high or allowed to float, the device operates normally. When the shutdown pin is pulled low, the device enters shutdown mode; supply current drops to 3 μ A, all clocking stops and the output assumes a high impedance state.

Clock Feedthrough, Input Bias Current

The LTC2051/LTC2052 use autozeroing circuitry to achieve an almost zero DC offset over temperature, common mode voltage and power supply voltage. The frequency of the clock used for autozeroing is typically 7.5kHz. The term clock feedthrough is broadly used to indicate visibility of this clock frequency in the op amp output spectrum. There are typically two types of clock feedthrough in autozeroed op amps like the LTC2051/LTC2052.

The first form of clock feedthrough is caused by the settling of the internal sampling capacitor and is input referred; that is, it is multiplied by the closed-loop gain of the op amp. This form of clock feedthrough is independent of the magnitude of the input source resistance or the magnitude of the gain setting resistors. The LTC2051/LTC2052 have a residue clock feedthrough of less than 1 μ V_{RMS} input referred at 7.5kHz.

The second form of clock feedthrough is caused by the small amount of charge injection occurring during the sampling and holding of the op amps input offset voltage. The current spikes are multiplied by the impedance seen at the input terminals of the op amp, appearing at the output multiplied by the closed-loop gain of the op amp.

To reduce this form of clock feedthrough, use smaller valued gain setting resistors and minimize the source resistance at the input. If the resistance seen at the inputs is less than 10k, this form of clock feedthrough is less than 1 μ V_{RMS} input referred at 7.5kHz, or less than the amount of residue clock feedthrough from the first form previously described.

Placing a capacitor across the feedback resistor reduces either form of clock feedthrough by limiting the bandwidth of the closed-loop gain.

Input bias current is defined as the DC current into the input pins of the op amp. The same current spikes that cause the second form of clock feedthrough previously described, when averaged, dominate the DC input bias current of the op amp below 70°C.

At temperatures above 70°C, the leakage of the ESD protection diodes on the inputs increase the input bias currents of both inputs in the positive direction, while the current caused by the charge injection stays relatively constant. At elevated temperatures (above 85°C) the leakage current begins to dominate and both the negative and positive pin's input bias currents are in the positive direction (into the pins).

Input Pins, ESD Sensitivity

ESD voltages above 700V on the input pins of the op amp will cause the input bias currents to increase (more DC current into the pins). At these voltages, it is possible to damage the device to a point where the input bias current exceeds the maximums specified in this data sheet.

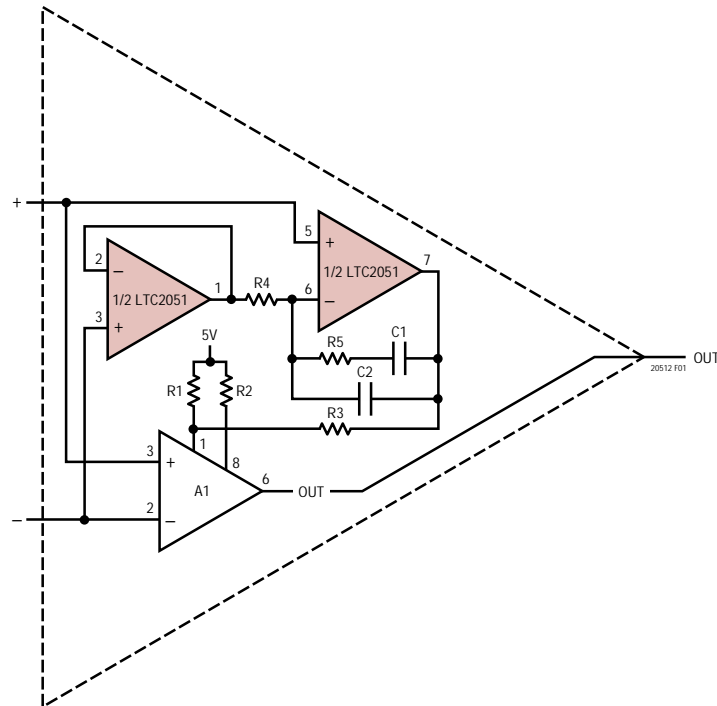
TYPICAL APPLICATION

The dual chopper op amp buffers the inputs of A1 and corrects its offset voltage and offset voltage drift. With the RC values shown, the power-up warm-up time is typically 20 seconds. The step response of the composite amplifier does not present settling tails. The LT[®]1677 should be used when extremely low noise, V_{OS} and V_{OS} drift are

needed and the input source resistance is low. (For instance a 350 Ω strain gauge bridge.) The LT1012 or equivalent should be used when low bias current (100pA) is also required in conjunction with DC to 10Hz low noise, low V_{OS} and V_{OS} drift. The measured typical input offset voltages are less than 1 μ V.

TYPICAL APPLICATION

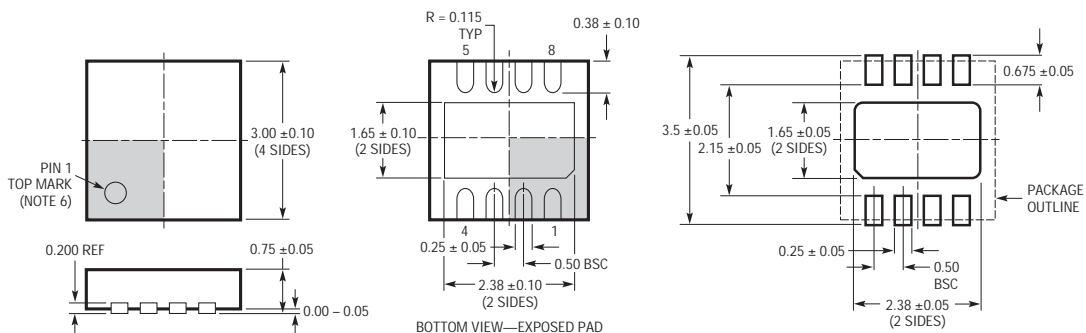
Obtaining Ultralow V_{OS} Drift and Low Noise



A1	R1	R2	R3	R4	R5	C1	C2	\bar{e}_{IN} (DC - 1Hz)	\bar{e}_{IN} (DC - 10Hz)
LT1677	2.49k	3.01k	340k	10k	100k	0.01 μ F	0.001 μ F	0.15 μ V _{P-P}	0.2 μ V _{P-P}
LT1012	750 Ω	57 Ω	250k	10k	100k	0.01 μ F	0.001 μ F	0.3 μ V _{P-P}	0.4 μ V _{P-P}

PACKAGE DESCRIPTION

DD Package 8-Lead Plastic DFN (3mm x 3mm) (Reference LTC DWG # 05-08-1698)

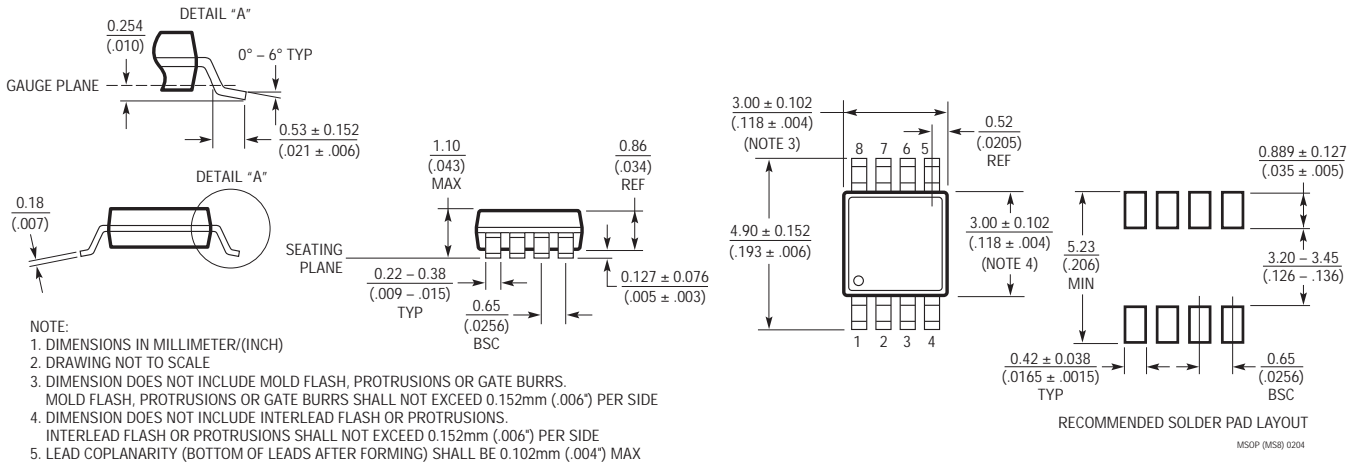


- NOTE:
1. DRAWING TO BE MADE A JEDEC PACKAGE OUTLINE MO-229 VARIATION OF (WEED-1)
 2. DRAWING NOT TO SCALE
 3. ALL DIMENSIONS ARE IN MILLIMETERS
 4. DIMENSIONS OF EXPOSED PAD ON BOTTOM OF PACKAGE DO NOT INCLUDE MOLD FLASH. MOLD FLASH, IF PRESENT, SHALL NOT EXCEED 0.15mm ON ANY SIDE
 5. EXPOSED PAD SHALL BE SOLDER PLATED
 6. SHADED AREA IS ONLY A REFERENCE FOR PIN 1 LOCATION ON TOP AND BOTTOM OF PACKAGE

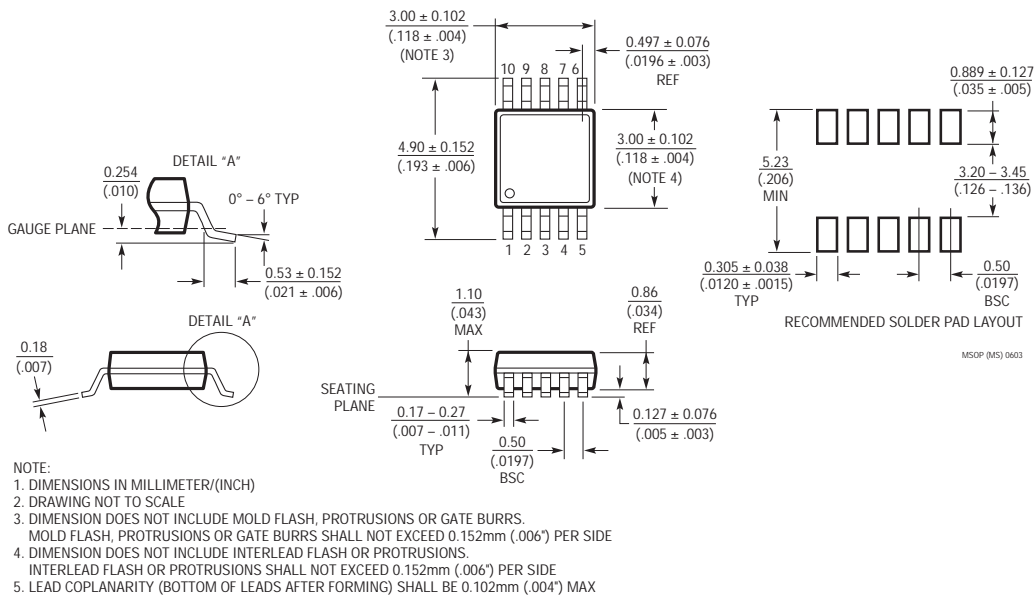
RECOMMENDED SOLDER PAD PITCH AND DIMENSIONS
(002) DFN 1203

PACKAGE DESCRIPTION

MS8 Package 8-Lead Plastic MSOP (Reference LTC DWG # 05-08-1660)

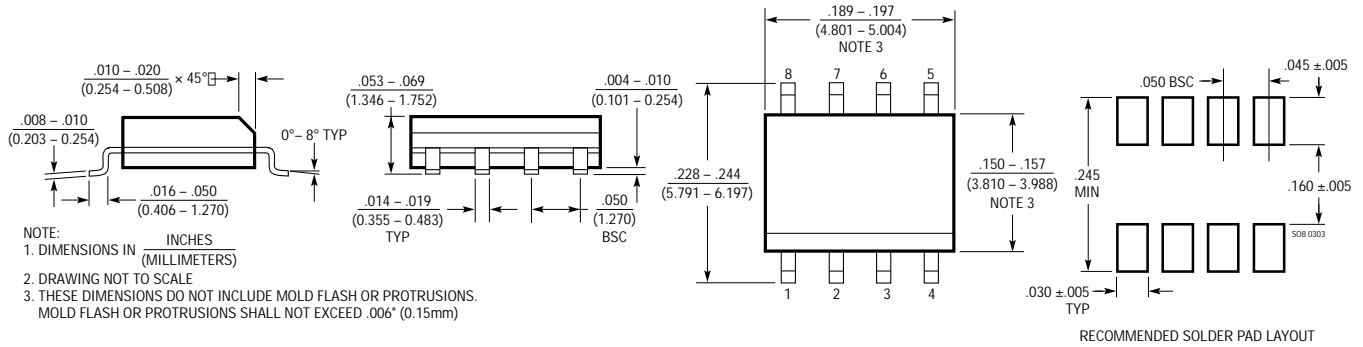


MS Package 10-Lead Plastic MSOP (Reference LTC DWG # 05-08-1661)

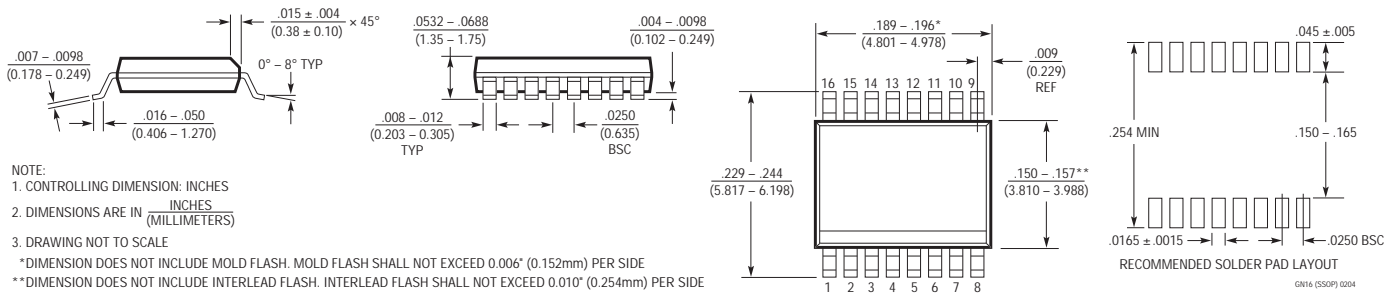


PACKAGE DESCRIPTION

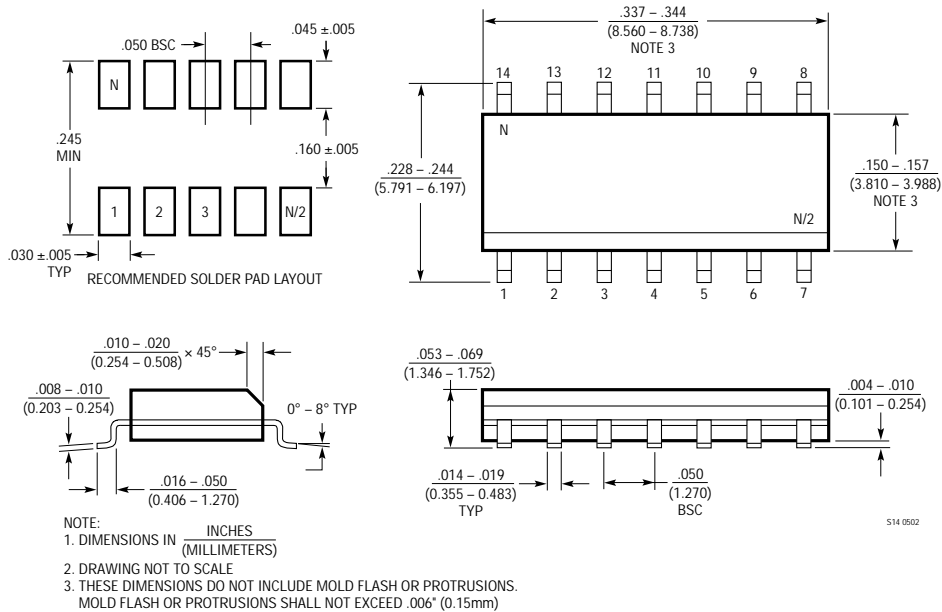
S8 Package 8-Lead Plastic Small Outline (Narrow .150 Inch) (Reference LTC DWG # 05-08-1610)



GN Package 16-Lead Plastic SSOP (Narrow .150 Inch) (Reference LTC DWG # 05-08-1641)



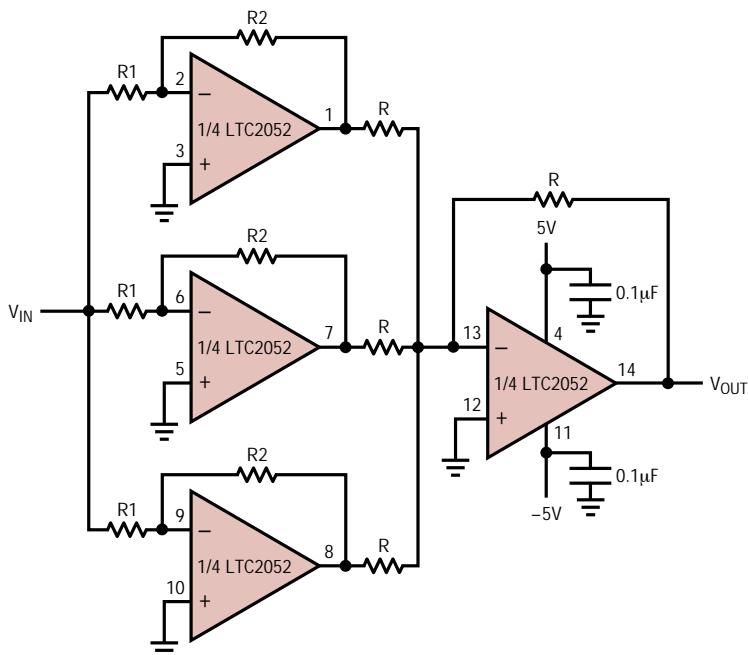
S Package 14-Lead Plastic Small Outline (Narrow .150 Inch) (Reference LTC DWG # 05-08-1610)



514 0502

TYPICAL APPLICATION

Paralleling Amplifiers to Improve Noise



$$\frac{V_{OUT}}{V_{IN}} = 3 \frac{R_2}{R_1}; \text{ INPUT DC - 10Hz NOISE} \approx 0.8\mu\text{V}_{p-p} = \frac{\text{NOISE OF EACH PARALLEL OP AMP}}{\sqrt{3}}$$

20512 F02

RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LTC1051/LTC1053	Precision Zero-Drift Op Amp	Dual/Quad
LTC1151	±15V Zero-Drift Op Amp	Dual High Voltage Operation ±18V
LTC1152	Rail-to-Rail Input and Output Zero-Drift Op Amp	Single Zero-Drift Op Amp with Rail-to-Rail Input and Output and Shutdown
LTC2050	Zero-Drift Op Amp in SOT-23	Single Supply Operation 2.7V to ±5V, Shutdown
LTC2053	Zero-Drift Precision Instrumentation Amp	MS8, 116dB CMRR, Two External Resistors Set Gain
LTC6800	Rail-to-Rail Input and Output Instrumentation Amp	Low Cost, MS8, Two External Resistors Set Gain

24-Bit High Speed Differential $\Delta\Sigma$ ADC with Selectable Speed/Resolution

FEATURES

- Up to 3.5kHz Output Rate
- Selectable Speed/Resolution
- $2\mu\text{V}_{\text{RMS}}$ Noise at 880Hz Output Rate
- $200\text{nV}_{\text{RMS}}$ Noise at 6.9Hz Output Rate with Simultaneous 50/60Hz Rejection
- 0.0005% INL, No Missing Codes
- Autosleep Enables $20\mu\text{A}$ Operation at 6.9Hz
- $<5\mu\text{V}$ Offset ($4.5\text{V} < V_{\text{CC}} < 5.5\text{V}$, -40°C to 85°C)
- Differential Input and Differential Reference with GND to V_{CC} Common Mode Range
- No Latency, Each Conversion is Accurate Even After an Input Step
- Internal Oscillator—No External Components
- Pin Compatible with the LTC2410
- 24-Bit ADC in Narrow 16-Lead SSOP Package

APPLICATIONS

- High Speed Multiplexing
- Weight Scales
- Auto Ranging 6-Digit DVMS
- Direct Temperature Measurement
- High Speed Data Acquisition

DESCRIPTION

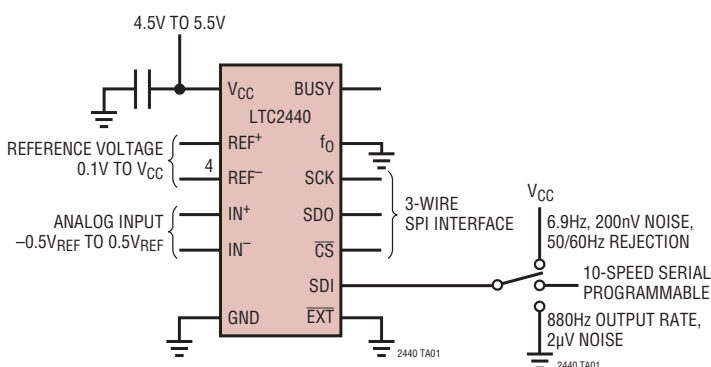
The LTC[®]2440 is a high speed 24-bit No Latency $\Delta\Sigma^{\text{TM}}$ ADC with 5ppm INL and $5\mu\text{V}$ offset. It uses proprietary delta-sigma architecture enabling variable speed and resolution with no latency. Ten speed/resolution combinations ($6.9\text{Hz}/200\text{nV}_{\text{RMS}}$ to $3.5\text{kHz}/25\mu\text{V}_{\text{RMS}}$) are programmed through a simple serial interface. Alternatively, by tying a single pin HIGH or LOW, a fast ($880\text{Hz}/2\mu\text{V}_{\text{RMS}}$) or ultralow noise (6.9Hz , $200\text{nV}_{\text{RMS}}$, 50/60Hz rejection) speed/resolution combination can be easily selected. The accuracy (offset, full-scale, linearity, drift) and power dissipation are independent of the speed selected. Since there is no latency, a speed/resolution change may be made between conversions with no degradation in performance.

Following each conversion cycle, the LTC2440 automatically enters a low power sleep state. Power dissipation may be reduced by increasing the duration of this sleep state. For example, running at the 3.5kHz conversion speed but reading data at a 100Hz rate draws $240\mu\text{A}$ average current (1.1mW) while reading data at a 7Hz output rate draws only $25\mu\text{A}$ ($125\mu\text{W}$). The LTC2440 communicates through a flexible 3-wire or 4-wire digital interface that is compatible with the LTC2410 and is available in a narrow 16-lead SSOP package.

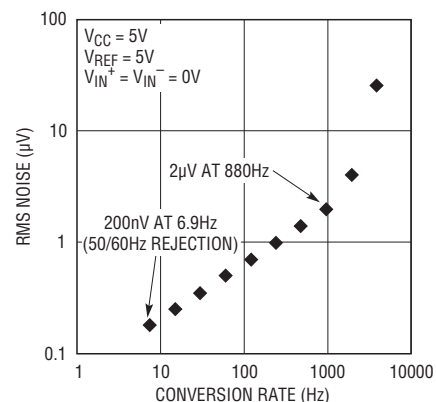
LT, LT, LTC and LTM are registered trademarks of Linear Technology Corporation. No Latency $\Delta\Sigma$ is a trademark of Linear Technology Corporation. All other trademarks are the property of their respective owners.

TYPICAL APPLICATION

Simple 24-Bit 2-Speed Acquisition System



Speed vs RMS Noise

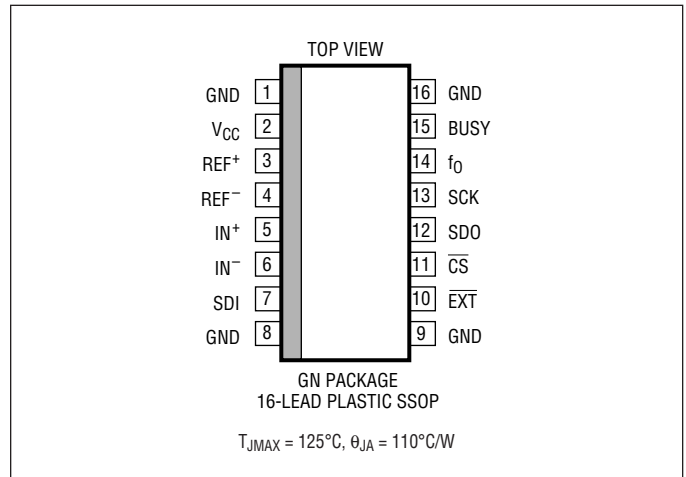


ABSOLUTE MAXIMUM RATINGS

(Notes 1,2)

Supply Voltage (V_{CC}) to GND	-0.3V to 6V
Analog Input Pins Voltage to GND	-0.3V to ($V_{CC} + 0.3V$)
Reference Input Pins Voltage to GND	-0.3V to ($V_{CC} + 0.3V$)
Digital Input Voltage to GND	-0.3V to ($V_{CC} + 0.3V$)
Digital Output Voltage to GND	-0.3V to ($V_{CC} + 0.3V$)
Operating Temperature Range	
LTC2440C	0°C to 70°C
LTC2440I	-40°C to 85°C
Storage Temperature Range.....	-65°C to 150°C
Lead Temperature (Soldering, 10 sec)	300°C

PIN CONFIGURATION



ORDER INFORMATION

LEAD FREE FINISH	TAPE AND REEL	PART MARKING	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LTC2440CGN#PBF	LTC2440CGN#TRPBF	2440	Narrow 16-Lead SSOP	0°C to 70°C
LTC2440IGN#PBF	LTC2440IGN#TRPBF	2440I	Narrow 16-Lead SSOP	-40°C to 85°C

Consult LTC Marketing for parts specified with wider operating temperature ranges.

Consult LTC Marketing for information on non-standard lead based finish parts.

For more information on lead free part marking, go to: <http://www.linear.com/leadfree/>

For more information on tape and reel specifications, go to: <http://www.linear.com/tapeandreel/>

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. (Notes 3, 4)

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Resolution (No Missing Codes)	$0.1V \leq V_{REF} \leq V_{CC}$, $-0.5 \cdot V_{REF} \leq V_{IN} \leq 0.5 \cdot V_{REF}$ (Note 5)	●	24			Bits
Integral Nonlinearity	$V_{CC} = 5V$, $REF^+ = 5V$, $REF^- = GND$, $V_{INCM} = 2.5V$ (Note 6) $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$ (Note 6)	●		5 3	15	ppm of V_{REF} ppm of V_{REF}
Offset Error	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^+ = IN^- \leq V_{CC}$ (Note 12)	●		2.5	5	μV
Offset Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^+ = IN^- \leq V_{CC}$			20		nV/°C
Positive Full-Scale Error	$REF^+ = 5V$, $REF^- = GND$, $IN^+ = 3.75V$, $IN^- = 1.25V$ $REF^+ = 2.5V$, $REF^- = GND$, $IN^+ = 1.875V$, $IN^- = 0.625V$	● ●		10 10	30 50	ppm of V_{REF} ppm of V_{REF}
Positive Full-Scale Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $IN^+ = 0.75REF^+$, $IN^- = 0.25 \cdot REF^+$			0.2		ppm of $V_{REF}/^\circ\text{C}$
Negative Full-Scale Error	$REF^+ = 5V$, $REF^- = GND$, $IN^+ = 1.25V$, $IN^- = 3.75V$ $REF^+ = 2.5V$, $REF^- = GND$, $IN^+ = 0.625V$, $IN^- = 1.875V$	● ●		10 10	30 50	ppm of V_{REF} ppm of V_{REF}
Negative Full-Scale Error Drift	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $IN^+ = 0.25 \cdot REF^+$, $IN^- = 0.75 \cdot REF^+$			0.2		ppm of $V_{REF}/^\circ\text{C}$
Total Unadjusted Error	$5V \leq V_{CC} \leq 5.5V$, $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$ $5V \leq V_{CC} \leq 5.5V$, $REF^+ = 5V$, $REF^- = GND$, $V_{INCM} = 2.5V$ $REF^+ = 2.5V$, $REF^- = GND$, $V_{INCM} = 1.25V$ (Note 6)			15 15 15		ppm of V_{REF} ppm of V_{REF} ppm of V_{REF}
Input Common Mode Rejection DC	$2.5V \leq REF^+ \leq V_{CC}$, $REF^- = GND$, $GND \leq IN^- = IN^+ \leq V_{CC}$			120		dB

ANALOG INPUT AND REFERENCE

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. (Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN^+}	Absolute/Common Mode IN^+ Voltage		●	$GND - 0.3V$		$V_{CC} + 0.3V$	V
V_{IN^-}	Absolute/Common Mode IN^- Voltage		●	$GND - 0.3V$		$V_{CC} + 0.3V$	V
V_{IN}	Input Differential Voltage Range ($IN^+ - IN^-$)		●	$-V_{REF}/2$		$V_{REF}/2$	V
REF^+	Absolute/Common Mode REF^+ Voltage		●	0.1		V_{CC}	V
REF^-	Absolute/Common Mode REF^- Voltage		●	GND		$V_{CC} - 0.1V$	V
V_{REF}	Reference Differential Voltage Range ($REF^+ - REF^-$)		●	0.1		V_{CC}	V
$C_{S(IN^+)}$	IN^+ Sampling Capacitance				3.5		pF
$C_{S(IN^-)}$	IN^- Sampling Capacitance				3.5		pF
$C_{S(REF^+)}$	REF^+ Sampling Capacitance				3.5		pF
$C_{S(REF^-)}$	REF^- Sampling Capacitance				3.5		pF
$I_{DC_LEAK(IN^+, IN^-, REF^+, REF^-)}$	Leakage Current, Inputs and Reference	$\overline{CS} = V_{CC}$, $IN^+ = GND$, $IN^- = GND$, $REF^+ = 5V$, $REF^- = GND$	●	-100	10	100	nA
$I_{SAMPLE(IN^+, IN^-, REF^+, REF^-)}$	Average Input/Reference Current During Sampling			Varies, See Applications Section			

DIGITAL INPUTS AND DIGITAL OUTPUTS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. (Note 3)

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
V_{IN}	High Level Input Voltage \overline{CS} , f_0 , SDI	$4.5V \leq V_{CC} \leq 5.5V$	●	2.5			V
V_{IL}	Low Level Input Voltage \overline{CS} , f_0 , SDI	$4.5V \leq V_{CC} \leq 5.5V$	●			0.8	V
V_{IN}	High Level Input Voltage SCK	$4.5V \leq V_{CC} \leq 5.5V$ (Note 8)	●	2.5			V
V_{IL}	Low Level Input Voltage SCK	$4.5V \leq V_{CC} \leq 5.5V$ (Note 8)	●			0.8	V
I_{IN}	Digital Input Current \overline{CS} , f_0	$0V \leq V_{IN} \leq V_{CC}$	●	-10		10	μA
I_{IN}	Digital Input Current SCK	$0V \leq V_{IN} \leq V_{CC}$ (Note 8)	●	-10		10	μA
C_{IN}	Digital Input Capacitance \overline{CS} , f_0				10		pF
C_{IN}	Digital Input Capacitance SCK	(Note 8)			10		pF
V_{OH}	High Level Output Voltage SDO, BUSY	$I_O = -800\mu\text{A}$	●	$V_{CC} - 0.5V$			V
V_{OL}	Low Level Output Voltage SDO, BUSY	$I_O = 1.6\text{mA}$	●			0.4V	V
V_{OH}	High Level Output Voltage SCK	$I_O = -800\mu\text{A}$ (Note 9)	●	$V_{CC} - 0.5V$			V
V_{OL}	Low Level Output Voltage SCK	$I_O = 1.6\text{mA}$ (Note 9)	●			0.4V	V
I_{OZ}	Hi-Z Output Leakage SDO		●	-10		10	μA

POWER REQUIREMENTS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. (Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
V_{CC}	Supply Voltage		●	4.5	5.5	V
I_{CC}	Supply Current					
	Conversion Mode	$\overline{CS} = 0V$ (Note 7)	●	8	11	mA
	Sleep Mode	$\overline{CS} = V_{CC}$ (Note 7)	●	8	30	μA

TIMING CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. (Note 3)

SYMBOL	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
$f_{EO\text{SC}}$	External Oscillator Frequency Range		●	0.1	20	MHz
t_{HEO}	External Oscillator High Period		●	25	10000	ns
t_{LEO}	External Oscillator Low Period		●	25	10000	ns
t_{CONV}	Conversion Time	OSR = 256 (SDI = 0)	●	0.99	1.13	ms
		OSR = 32768 (SDI = 1)	●	126	145	ms
		External Oscillator (Note 10, 13)	●	$\frac{40 \cdot \text{OSR} + 170}{f_{EO\text{SC}}(\text{kHz})}$		ms
f_{SCK}	Internal SCK Frequency	Internal Oscillator (Note 9)	●	0.8	0.9	
		External Oscillator (Notes 9, 10)		$f_{EO\text{SC}}/10$		
D_{ISCK}	Internal SCK Duty Cycle	(Note 9)	●	45	55	%
f_{ESCK}	External SCK Frequency Range	(Note 8)	●		20	MHz
t_{LESCK}	External SCK Low Period	(Note 8)	●	25		ns
t_{HESCK}	External SCK High Period	(Note 8)	●	25		ns
$t_{\text{DOUT_ISCK}}$	Internal SCK 32-Bit Data Output Time	Internal Oscillator (Notes 9, 11)	●	30.9	35.3	μs
		External Oscillator (Notes 9, 10)		$320/f_{EO\text{SC}}$		s
$t_{\text{DOUT_ESCK}}$	External SCK 32-Bit Data Output Time	(Note 8)	●	$32/f_{\text{ESCK}}$		s
t_1	$\overline{CS} \downarrow$ to SDO Low Z	(Note 12)	●	0	25	ns
t_2	$\overline{CS} \uparrow$ to SDO High Z	(Note 12)	●	0	25	ns
t_3	$\overline{CS} \downarrow$ to SCK \downarrow	(Note 9)	●	5		μs
t_4	$\overline{CS} \downarrow$ to SCK \uparrow	(Notes 8, 12)	●	25		ns
t_{KQMAX}	SCK \downarrow to SDO Valid		●		25	ns
t_{KQMIN}	SDO Hold After SCK \downarrow	(Note 5)	●	15		ns
t_5	SCK Set-Up Before $\overline{CS} \downarrow$		●	50		ns
t_7	SDI Setup Before SCK \uparrow	(Note 5)	●	10		ns
t_8	SDI Hold After SCK \uparrow	(Note 5)	●	10		ns

Note 1: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

Note 2: All voltage values are with respect to GND.

Note 3: $V_{CC} = 4.5$ to $5.5V$ unless otherwise specified.

$$V_{REF} = REF^+ - REF^-, V_{REFCM} = (REF^+ + REF^-)/2;$$

$$V_{IN} = IN^+ - IN^-; V_{INCM} = (IN^+ + IN^-)/2.$$

Note 4: f_0 pin tied to GND or to external conversion clock source with $f_{EO\text{SC}} = 10\text{MHz}$ unless otherwise specified.

Note 5: Guaranteed by design, not subject to test.

Note 6: Integral nonlinearity is defined as the deviation of a code from a straight line passing through the actual endpoints of the transfer curve. The deviation is measured from the center of the quantization band.

Note 7: The converter uses the internal oscillator.

Note 8: The converter is in external SCK mode of operation such that the SCK pin is used as a digital input. The frequency of the clock signal driving SCK during the data output is f_{ESCK} and is expressed in Hz.

Note 9: The converter is in internal SCK mode of operation such that the SCK pin is used as a digital output. In this mode of operation, the SCK pin has a total equivalent load capacitance of $C_{\text{LOAD}} = 20\text{pF}$.

Note 10: The external oscillator is connected to the f_0 pin. The external oscillator frequency, $f_{EO\text{SC}}$, is expressed in kHz.

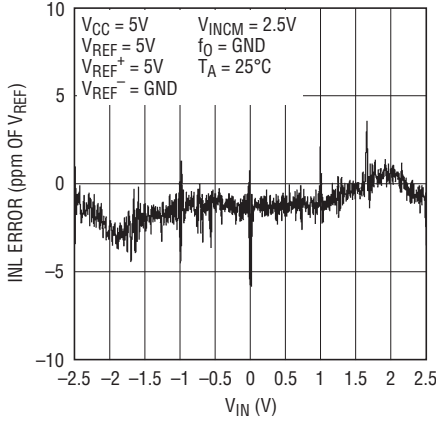
Note 11: The converter uses the internal oscillator. $f_0 = 0V$.

Note 12: Guaranteed by design and test correlation.

Note 13: There is an internal reset that adds an additional $1\mu\text{s}$ (typical) to the conversion time.

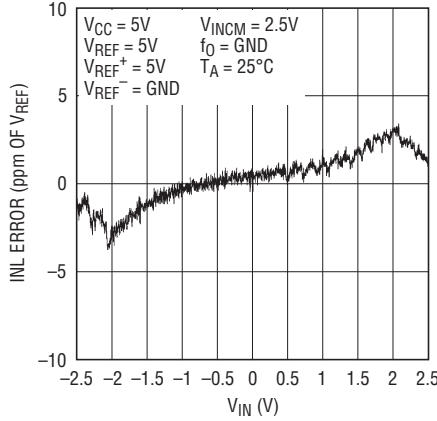
TYPICAL PERFORMANCE CHARACTERISTICS

Integral Nonlinearity $f_{OUT} = 3.5\text{kHz}$



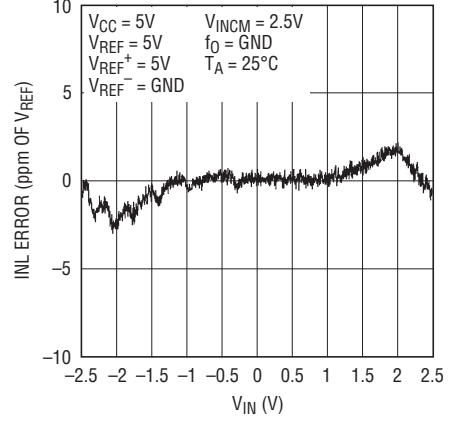
2440 G01

Integral Nonlinearity $f_{OUT} = 1.76\text{kHz}$



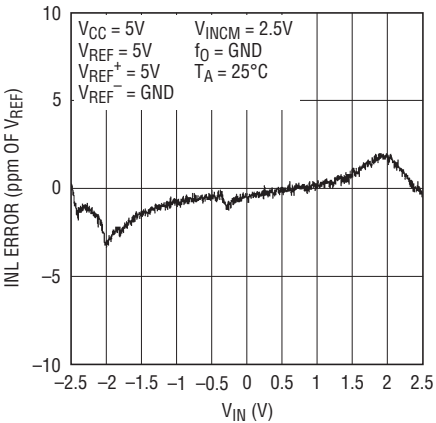
2440 G02

Integral Nonlinearity $f_{OUT} = 880\text{Hz}$



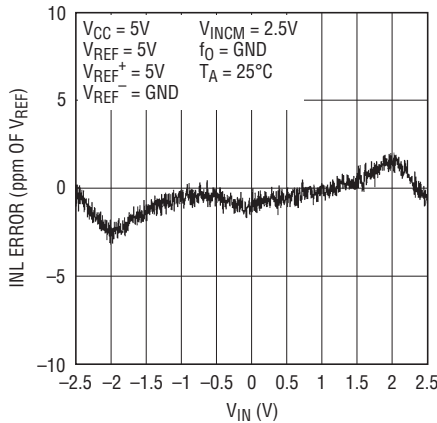
2440 G03

Integral Nonlinearity $f_{OUT} = 440\text{Hz}$



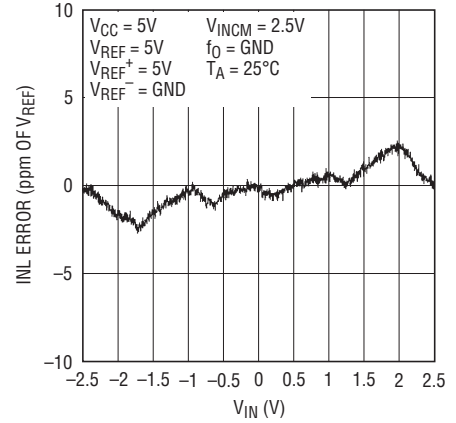
2440 G04

Integral Nonlinearity $f_{OUT} = 220\text{Hz}$



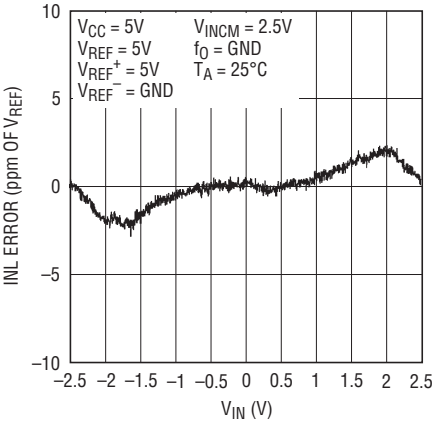
2440 G05

Integral Nonlinearity $f_{OUT} = 110\text{Hz}$



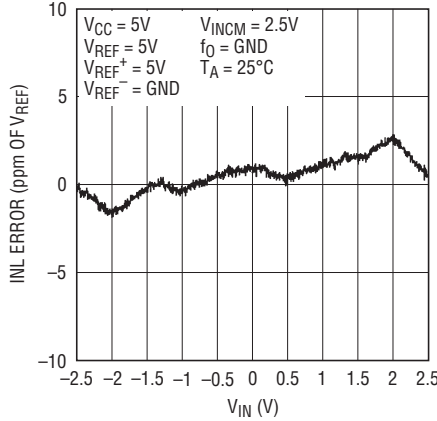
2440 G06

Integral Nonlinearity $f_{OUT} = 55\text{Hz}$



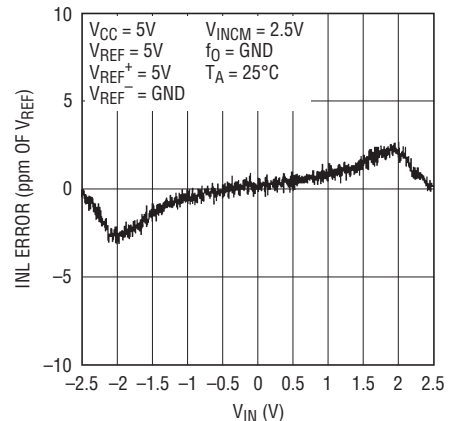
2440 G07

Integral Nonlinearity $f_{OUT} = 27.5\text{Hz}$



2440 G08

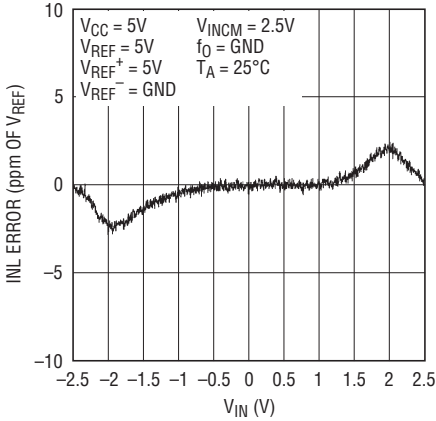
Integral Nonlinearity $f_{OUT} = 13.75\text{Hz}$



2440 G09

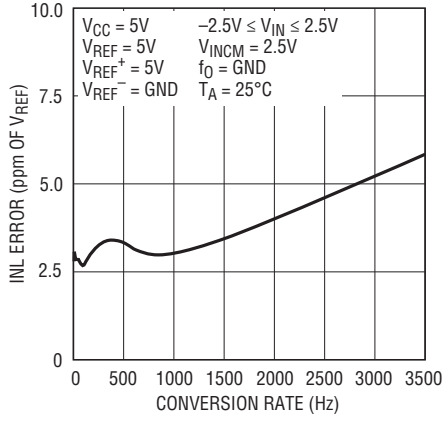
TYPICAL PERFORMANCE CHARACTERISTICS

Integral Nonlinearity
 $f_{OUT} = 6.875\text{Hz}$



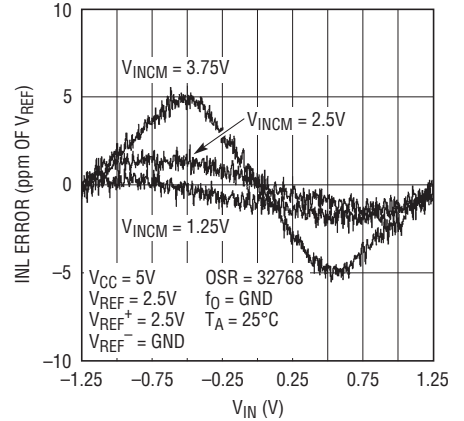
2440 G10

Integral Nonlinearity vs Conversion Rate



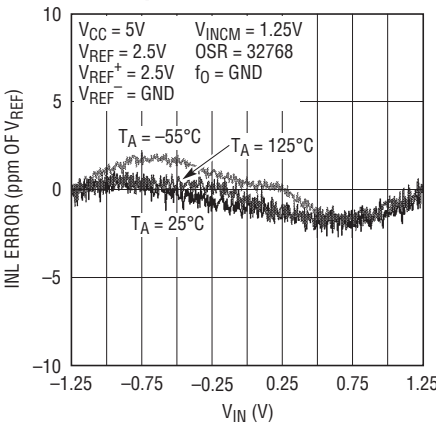
2440 G11

Integral Nonlinearity vs VINCM



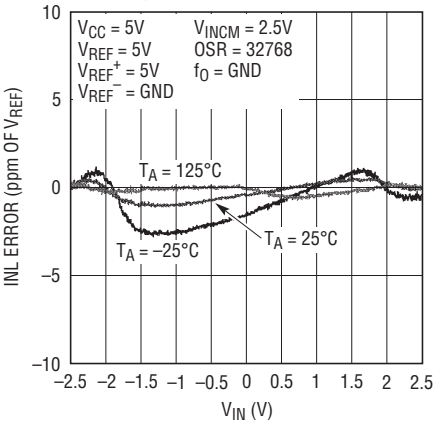
2440 G12

Integral Nonlinearity vs Temperature



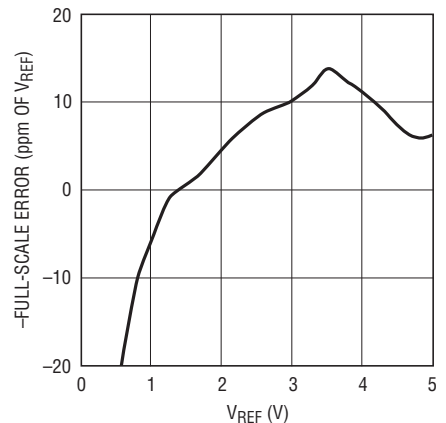
2440 G13

Integral Nonlinearity vs Temperature



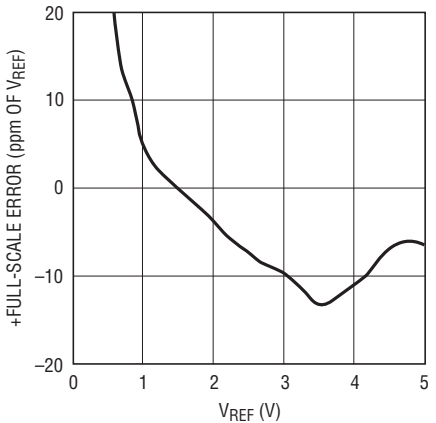
2440 G14

- Full-Scale Error vs VREF



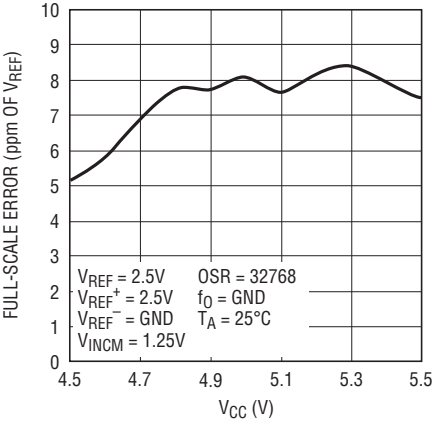
2440 G15

+ Full-Scale Error vs VREF



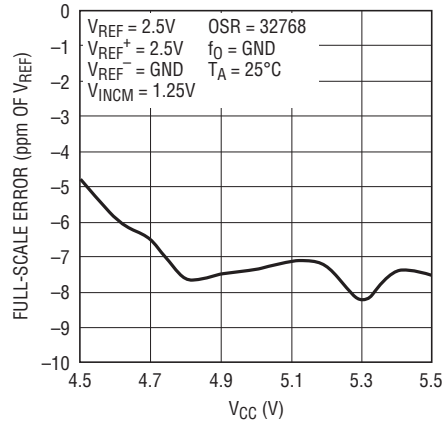
2440 G16

- Full-Scale Error vs VCC



2440 G17

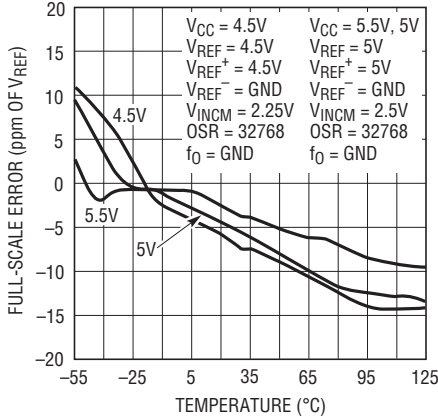
+ Full-Scale Error vs VCC



2440 G18

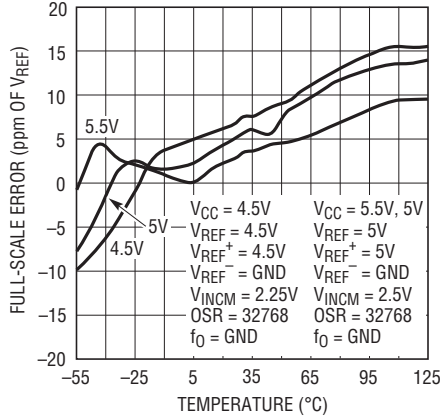
TYPICAL PERFORMANCE CHARACTERISTICS

Negative Full-Scale Error vs Temperature



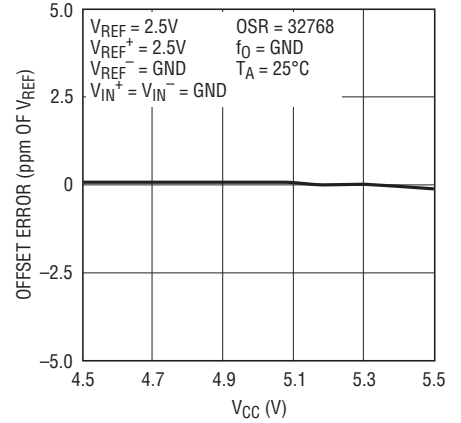
2440 G19

Positive Full-Scale Error vs Temperature



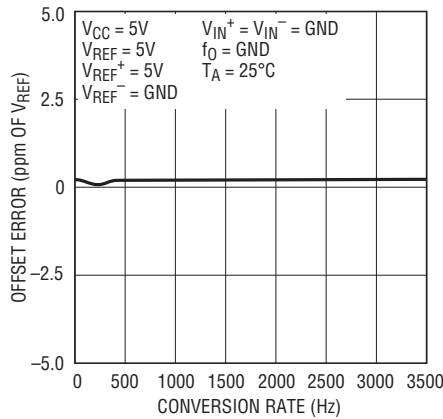
2440 G20

Offset Error vs VCC



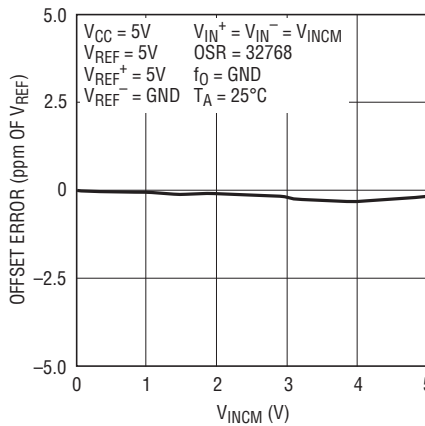
2440 G21

Offset Error vs Conversion Rate



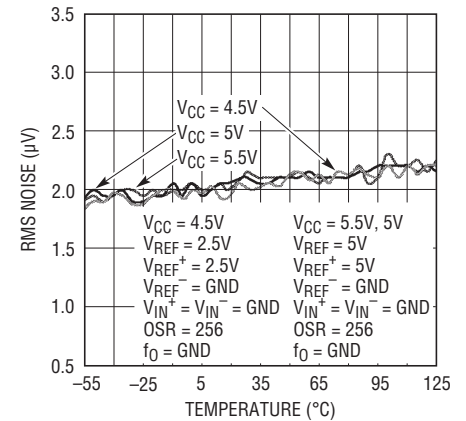
2440 G22

Offset Error vs VINCM



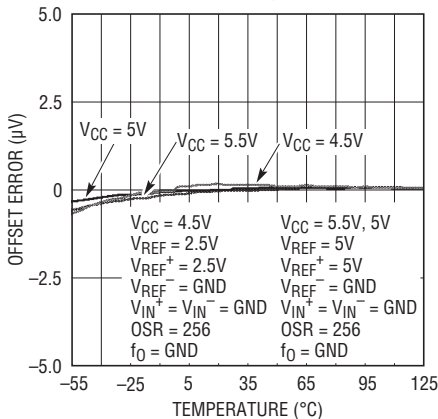
2440 G23

RMS Noise vs Temperature



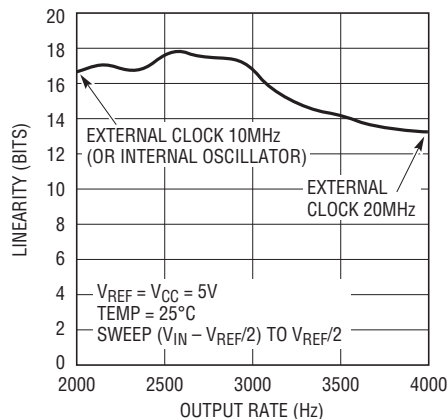
2440 G24

Offset Error vs Temperature



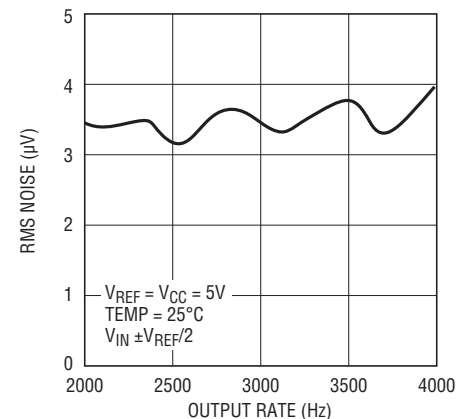
2440 G25

INL vs Output Rate (OSR = 128) External Clock Sweep 10MHz to 20MHz



2440 G26

RMS Noise vs Output Rate (OSR = 128) External Clock Sweep 10MHz to 20MHz



2440 G27

PIN FUNCTIONS

GND (Pins 1, 8, 9, 16): Ground. Multiple ground pins internally connected for optimum ground current flow and V_{CC} decoupling. Connect each one of these pins to a ground plane through a low impedance connection. All four pins must be connected to ground for proper operation.

V_{CC} (Pin 2): Positive Supply Voltage. Bypass to GND (Pin 1) with a 10 μ F tantalum capacitor in parallel with 0.1 μ F ceramic capacitor as close to the part as possible.

REF⁺ (Pin 3), REF⁻ (Pin 4): Differential Reference Input. The voltage on these pins can have any value between GND and V_{CC} as long as the reference positive input, REF⁺, is maintained more positive than the reference negative input, REF⁻, by at least 0.1V.

IN⁺ (Pin 5), IN⁻ (Pin 6): Differential Analog Input. The voltage on these pins can have any value between GND – 0.3V and V_{CC} + 0.3V. Within these limits the converter bipolar input range ($V_{IN} = IN^+ - IN^-$) extends from $-0.5 \cdot (V_{REF})$ to $0.5 \cdot (V_{REF})$. Outside this input range the converter produces unique overrange and underrange output codes.

SDI (Pin 7): Serial Data Input. This pin is used to select the speed/resolution of the converter. If SDI is grounded (pin compatible with LTC2410) the device outputs data at 880Hz with 21 bits effective resolution. By tying SDI HIGH, the converter enters the ultralow noise mode (200nV_{RMS}) with simultaneous 50/60Hz rejection at 6.9Hz output rate. SDI may be driven logic HIGH or LOW anytime during the conversion or sleep state in order to change the speed/resolution. The conversion immediately following the data output cycle will be valid and performed at the newly selected output rate/resolution. SDI may also be programmed by a serial input data stream under control of SCK during the data output cycle. One of ten speed/resolution ranges (from 6.9Hz/200nV_{RMS} to 3.5kHz/21 μ V_{RMS}) may be selected. The first conversion following a new selection is valid and performed at the newly selected speed/resolution.

\overline{EXT} (Pin 10): Internal/External SCK Selection Pin. This pin is used to select internal or external SCK for outputting data. If \overline{EXT} is tied low (pin compatible with the LTC2410), the device is in the external SCK mode and data is shifted out the device under the control of a user applied serial clock. If \overline{EXT} is tied high, the internal serial clock mode

is selected. The device generates its own SCK signal and outputs this on the SCK pin. A framing signal BUSY (Pin 15) goes low indicating data is being output.

\overline{CS} (Pin 11): Active LOW Digital Input. A LOW on this pin enables the SDO digital output and wakes up the ADC. Following each conversion the ADC automatically enters the Sleep mode and remains in this low power state as long as \overline{CS} is HIGH. A LOW-to-HIGH transition on \overline{CS} during the Data Output transfer aborts the data transfer and starts a new conversion.

SDO (Pin 12): Three-State Digital Output. During the Data Output period, this pin is used as serial data output. When the chip select \overline{CS} is HIGH ($\overline{CS} = V_{CC}$) the SDO pin is in a high impedance state. During the Conversion and Sleep periods, this pin is used as the conversion status output. The conversion status can be observed by pulling \overline{CS} LOW.

SCK (Pin 13): Bidirectional Digital Clock Pin. In Internal Serial Clock Operation mode, SCK is used as digital output for the internal serial interface clock during the Data Output period. In External Serial Clock Operation mode, SCK is used as digital input for the external serial interface clock during the Data Output period. The Serial Clock Operation mode is determined by the logic level applied to the \overline{EXT} pin.

f_0 (Pin 14): Frequency Control Pin. Digital input that controls the internal conversion clock. When f_0 is connected to V_{CC} or GND, the converter uses its internal oscillator running at 9MHz. The conversion rate is determined by the selected OSR such that t_{CONV} (in ms) = $(40 \cdot OSR + 170)/9000$ ($t_{CONV} = 1.137$ ms at OSR = 256, $t_{CONV} = 146$ ms at OSR = 32768). The first null is located at $8/t_{CONV}$, 7kHz at OSR = 256 and 55Hz (simultaneous 50/60Hz) at OSR = 32768.

When f_0 is driven by an oscillator with frequency f_{EOSC} (in kHz), the conversion time becomes $t_{CONV} = (40 \cdot OSR + 170)/f_{EOSC}$ (in ms) and the first null remains $8/t_{CONV}$.

BUSY (Pin 15): Conversion in Progress Indicator. For compatibility with the LTC2410, this pin should not be tied to ground. This pin is HIGH while the conversion is in progress and goes LOW indicating the conversion is complete and data is ready. It remains low during the sleep and data output states. At the conclusion of the data output state, it goes HIGH indicating a new conversion has begun.

FUNCTIONAL BLOCK DIAGRAM

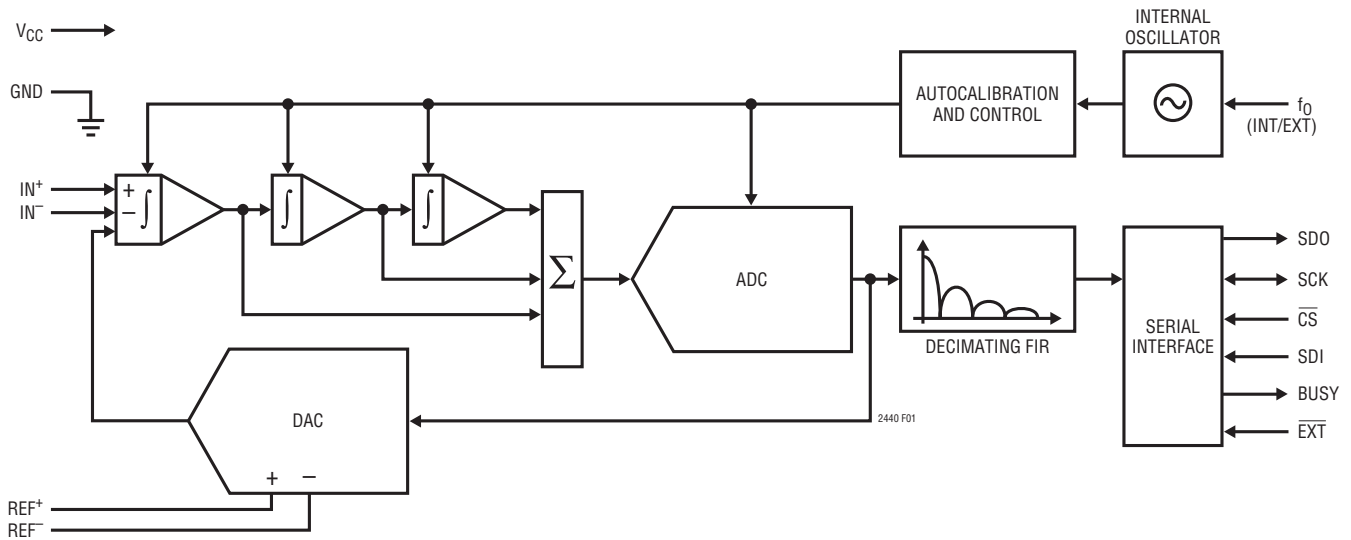


Figure 1. Functional Block Diagram

TEST CIRCUITS



APPLICATIONS INFORMATION

CONVERTER OPERATION

Converter Operation Cycle

The LTC2440 is a high speed, delta-sigma analog-to-digital converter with an easy to use 4-wire serial interface (see Figure 1). Its operation is made up of three states. The converter operating cycle begins with the conversion, followed by the low power sleep state and ends with the data output (see Figure 2). The 4-wire interface consists of serial data input (SDI), serial data output (SDO), serial clock (SCK) and chip select (\overline{CS}). The interface, timing, operation cycle and data out format is compatible with the LTC2410.

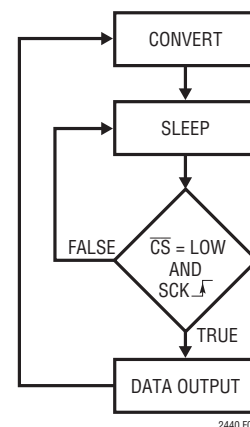


Figure 2. LTC2440 State Transition Diagram

APPLICATIONS INFORMATION

Initially, the LTC2440 performs a conversion. Once the conversion is complete, the device enters the sleep state. While in this sleep state, power consumption is reduced below 10 μ A. The part remains in the sleep state as long as \overline{CS} is HIGH. The conversion result is held indefinitely in a static shift register while the converter is in the sleep state.

Once \overline{CS} is pulled LOW, the device begins outputting the conversion result. There is no latency in the conversion result. The data output corresponds to the conversion just performed. This result is shifted out on the serial data out pin (SDO) under the control of the serial clock (SCK). Data is updated on the falling edge of SCK allowing the user to reliably latch data on the rising edge of SCK (see Figure 3). The data output state is concluded once 32-bits are read out of the ADC or when \overline{CS} is brought HIGH. The device automatically initiates a new conversion and the cycle repeats.

Through timing control of the \overline{CS} , SCK and \overline{EXT} pins, the LTC2440 offers several flexible modes of operation (internal or external SCK). These various modes do not require programming configuration registers; moreover, they do not disturb the cyclic operation described above. These modes of operation are described in detail in the Serial Interface Timing Modes section.

Ease of Use

The LTC2440 data output has no latency, filter settling delay or redundant data associated with the conversion cycle. There is a one-to-one correspondence between the conversion and the output data. Therefore, multiplexing multiple analog voltages is easy. Speed/resolution adjustments may be made seamlessly between two conversions without settling errors.

The LTC2440 performs offset and full-scale calibrations every conversion cycle. This calibration is transparent to the user and has no effect on the cyclic operation described above. The advantage of continuous calibration is extreme stability of offset and full-scale readings with respect to time, supply voltage change and temperature drift.

Power-Up Sequence

The LTC2440 automatically enters an internal reset state when the power supply voltage V_{CC} drops below approximately 2.2V. This feature guarantees the integrity of the conversion result and of the serial interface mode selection.

When the V_{CC} voltage rises above this critical threshold, the converter creates an internal power-on-reset (POR) signal with a duration of approximately 0.5ms. The POR signal clears all internal registers. Following the POR signal, the LTC2440 starts a normal conversion cycle and follows the succession of states described above. The first conversion result following POR is accurate within the specifications of the device if the power supply voltage is restored within the operating range (4.5V to 5.5V) before the end of the POR time interval.

Reference Voltage Range

This converter accepts a truly differential external reference voltage. The absolute/common mode voltage specification for the REF⁺ and REF⁻ pins covers the entire range from GND to V_{CC} . For correct converter operation, the REF⁺ pin must always be more positive than the REF⁻ pin.

The LTC2440 can accept a differential reference voltage from 0.1V to V_{CC} . The converter output noise is determined by the thermal noise of the front-end circuits, and as such, its value in microvolts is nearly constant with reference voltage. A decrease in reference voltage will not significantly improve the converter's effective resolution. On the other hand, a reduced reference voltage will improve the converter's overall INL performance.

Input Voltage Range

The analog input is truly differential with an absolute/common mode range for the IN⁺ and IN⁻ input pins extending from GND - 0.3V to V_{CC} + 0.3V. Outside these limits, the ESD protection devices begin to turn on and the errors due to input leakage current increase rapidly. Within these limits, the LTC2440 converts the bipolar differential input signal, $V_{IN} = IN^+ - IN^-$, from -FS = $-0.5 \cdot V_{REF}$ to +FS =

APPLICATIONS INFORMATION

$0.5 \cdot V_{REF}$ where $V_{REF} = REF^+ - REF^-$. Outside this range, the converter indicates the overrange or the underrange condition using distinct output codes.

Output Data Format

The LTC2440 serial output data stream is 32-bits long. The first 3-bits represent status information indicating the sign and conversion state. The next 24-bits are the conversion result, MSB first. The remaining 5-bits are sub LSBs beyond the 24-bit level that may be included in averaging or discarded without loss of resolution. In the case of ultrahigh resolution modes, more than 24 effective bits of performance are possible (see Table 3). Under these conditions, sub LSBs are included in the conversion result and represent useful information beyond the 24-bit level. The third and fourth bit together are also used to indicate an underrange condition (the differential input voltage is below $-FS$) or an overrange condition (the differential input voltage is above $+FS$). For input conditions in excess of twice full scale ($|V_{IN}| \geq V_{REF}$), the converter may indicate either overrange or underrange. Once the input returns to the normal operating range, the conversion result is immediately accurate within the specifications of the device.

Bit 31 (first output bit) is the end of conversion (\overline{EOC}) indicator. This bit is available at the SDO pin during the conversion and sleep states whenever the \overline{CS} pin is LOW. This bit is HIGH during the conversion and goes LOW when the conversion is complete.

Bit 30 (second output bit) is a dummy bit (DMY) and is always LOW.

Bit 29 (third output bit) is the conversion result sign

indicator (SIG). If V_{IN} is >0 , this bit is HIGH. If V_{IN} is <0 , this bit is LOW.

Bit 28 (fourth output bit) is the most significant bit (MSB) of the result. This bit in conjunction with Bit 29 also provides the underrange or overrange indication. If both Bit 29 and Bit 28 are HIGH, the differential input voltage is above $+FS$. If both Bit 29 and Bit 28 are LOW, the differential input voltage is below $-FS$.

The function of these bits is summarized in Table 1.

Table 1. LTC2440 Status Bits

Input Range	Bit 31 \overline{EOC}	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB
$V_{IN} \geq 0.5 \cdot V_{REF}$	0	0	1	1
$0V \leq V_{IN} < 0.5 \cdot V_{REF}$	0	0	1	0
$-0.5 \cdot V_{REF} \leq V_{IN} < 0V$	0	0	0	1
$V_{IN} < -0.5 \cdot V_{REF}$	0	0	0	0

Bits ranging from 28 to 5 are the 24-bit conversion result MSB first.

Bit 5 is the Least Significant Bit (LSB).

Bits ranging from 4 to 0 are sub LSBs below the 24-bit level. Bits 4 to bit 0 may be included in averaging or discarded without loss of resolution.

Data is shifted out of the SDO pin under control of the serial clock (SCK), see Figure 3. Whenever \overline{CS} is HIGH, SDO remains high impedance.

In order to shift the conversion result out of the device, \overline{CS} must first be driven LOW. \overline{EOC} is seen at the SDO pin of the device once \overline{CS} is pulled LOW. \overline{EOC} changes real time from HIGH to LOW at the completion of a conversion. This signal may be used as an interrupt for an external

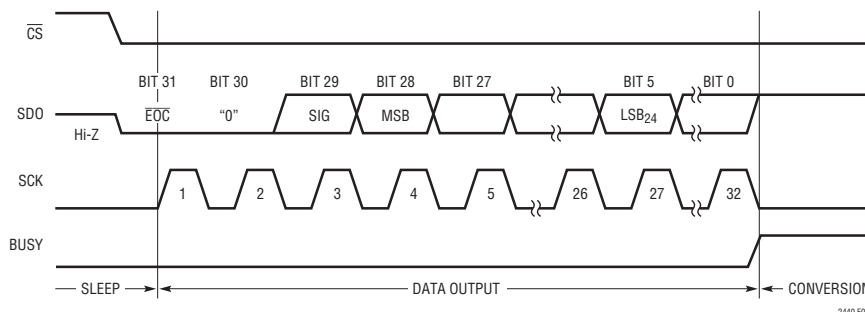


Figure 3. Output Data Timing

APPLICATIONS INFORMATION

microcontroller. Bit 31 (\overline{EOC}) can be captured on the first rising edge of SCK. Bit 30 is shifted out of the device on the first falling edge of SCK. The final data bit (Bit 0) is shifted out on the falling edge of the 31st SCK and may be latched on the rising edge of the 32nd SCK pulse. On the falling edge of the 32nd SCK pulse, SDO goes HIGH indicating the initiation of a new conversion cycle. This bit serves as \overline{EOC} (Bit 31) for the next conversion cycle. Table 2 summarizes the output data format.

As long as the voltage on the IN^+ and IN^- pins is maintained within the $-0.3V$ to $(V_{CC} + 0.3V)$ absolute maximum operating range, a conversion result is generated for any differential input voltage V_{IN} from $-FS = -0.5 \cdot V_{REF}$ to $+FS = 0.5 \cdot V_{REF}$. For differential input voltages greater than $+FS$, the conversion result is clamped to the value corresponding to the $+FS + 1LSB$. For differential input voltages below $-FS$, the conversion result is clamped to the value corresponding to $-FS - 1LSB$.

SERIAL INTERFACE PINS

The LTC2440 transmits the conversion results and receives the start of conversion command through a synchronous 2-wire, 3-wire or 4-wire interface. During the conversion and sleep states, this interface can be used to assess the converter status and during the data output state it is used to read the conversion result and program the speed/resolution.

Serial Clock Input/Output (SCK)

The serial clock signal present on SCK (Pin 13) is used to synchronize the data transfer. Each bit of data is shifted out the SDO pin on the falling edge of the serial clock.

In the Internal SCK mode of operation, the SCK pin is an output and the LTC2440 creates its own serial clock. In the External SCK mode of operation, the SCK pin is used as input. The internal or external SCK mode is selected by tying \overline{EXT} (Pin 10) LOW for external SCK and HIGH for internal SCK.

Serial Data Output (SDO)

The serial data output pin, SDO (Pin 12), provides the result of the last conversion as a serial bit stream (MSB first) during the data output state. In addition, the SDO pin is used as an end of conversion indicator during the conversion and sleep states.

When \overline{CS} (Pin 11) is HIGH, the SDO driver is switched to a high impedance state. This allows sharing the serial interface with other devices. If \overline{CS} is LOW during the convert or sleep state, SDO will output \overline{EOC} . If \overline{CS} is LOW during the conversion phase, the \overline{EOC} bit appears HIGH on the SDO pin. Once the conversion is complete, \overline{EOC} goes LOW. The device remains in the sleep state until the first rising edge of SCK occurs while $\overline{CS} = \text{LOW}$.

Table 2. LTC2440 Output Data Format

Differential Input Voltage V_{IN}^*	Bit 31 \overline{EOC}	Bit 30 DMY	Bit 29 SIG	Bit 28 MSB	Bit 27	Bit 26	Bit 25	...	Bit 0
$V_{IN}^* \geq 0.5 \cdot V_{REF}^{**}$	0	0	1	1	0	0	0	...	0
$0.5 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	1	1	1	...	1
$0.25 \cdot V_{REF}^{**}$	0	0	1	0	1	0	0	...	0
$0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	1	0	0	1	1	...	1
0	0	0	1	0	0	0	0	...	0
-1LSB	0	0	0	1	1	1	1	...	1
$-0.25 \cdot V_{REF}^{**}$	0	0	0	1	1	0	0	...	0
$-0.25 \cdot V_{REF}^{**} - 1LSB$	0	0	0	1	0	1	1	...	1
$-0.5 \cdot V_{REF}^{**}$	0	0	0	1	0	0	0	...	0
$V_{IN}^* < -0.5 \cdot V_{REF}^{**}$	0	0	0	0	1	1	1	...	1

*The differential input voltage $V_{IN} = IN^+ - IN^-$. **The differential reference voltage $V_{REF} = REF^+ - REF^-$.

APPLICATIONS INFORMATION

Chip Select Input (\overline{CS})

The active LOW chip select, \overline{CS} (Pin 11), is used to test the conversion status and to enable the data output transfer as described in the previous sections.

In addition, the \overline{CS} signal can be used to trigger a new conversion cycle before the entire serial data transfer has been completed. The LTC2440 will abort any serial data transfer in progress and start a new conversion cycle anytime a LOW-to-HIGH transition is detected at the \overline{CS} pin after the converter has entered the data output state (i.e., after the fifth falling edge of SCK occurs with $\overline{CS} = \text{LOW}$).

Serial Data Input (SDI)—Logic Level Speed Selection

The serial data input (SDI, Pin 7) is used to select the speed/resolution of the LTC2440. A simple 2-speed control is selectable by either driving SDI HIGH or LOW. If SDI is grounded (pin compatible with LTC2410) the device outputs data at 880Hz with 21 bits effective resolution. By tying SDI HIGH, the converter enters the ultralow noise mode ($200\text{nV}_{\text{RMS}}$) with simultaneous 50/60Hz rejection at 6.9Hz output rate. SDI may be driven logic HIGH or LOW anytime during the conversion or sleep state in order to change the speed/resolution. The conversion immediately following the data output cycle will be valid and performed at the newly selected output rate/resolution.

Changing SDI logic state during the data output cycle should be avoided as speed resolution other than 6.9Hz or 880Hz may be selected. For example, if SDI is changed from logic 0 to logic 1 after the second rising edge of SCK, the conversion rate will change from 880Hz to 55Hz (the following values are listed in Table 3: $\text{OSR4} = 0$, $\text{OSR3} = 0$, $\text{OSR2} = 1$, $\text{OSR1} = 1$ and $\text{OSR0} = 1$). If SDI remains HIGH, the conversion rate will switch to the desired 6.9Hz speed immediately following the conversion at 55Hz. The 55Hz rate conversion cycle will be a valid result as well as the first 6.9Hz result. On the other hand, if SDI is changed to a 1 anytime before the first rising edge of SCK, the following conversion rate will become 6.9Hz. If SDI is changed to a 1 after the 5th rising edge of SCK, the next conversion will remain 880Hz while all subsequent conversions will be at 6.9Hz.

Serial Data Input (SDI)—Serial Input Speed Selection

SDI may also be programmed by a serial input data stream under control of SCK during the data output cycle, see Figure 4. One of ten speed/resolution ranges (from 6.9Hz/ $200\text{nV}_{\text{RMS}}$ to 3.5kHz/ $21\mu\text{V}_{\text{RMS}}$) may be selected, see Table 3. The conversion following a new selection is valid and performed at the newly selected speed/resolution.

BUSY

The BUSY output (Pin 15) is used to monitor the state of conversion, data output and sleep cycle. While the part is converting, the BUSY pin is HIGH. Once the conversion is complete, BUSY goes LOW indicating the conversion is complete and data out is ready. The part now enters the LOW power sleep state. BUSY remains LOW while data is shifted out of the device. It goes HIGH at the conclusion of the data output cycle indicating a new conversion has begun. This rising edge may be used to flag the completion of the data read cycle.

SERIAL INTERFACE TIMING MODES

The LTC2440's 2-wire, 3-wire or 4-wire interface is SPI and MICROWIRE compatible. This interface offers several flexible modes of operation. These include internal/external serial clock, 2-wire or 3-wire I/O, single cycle conversion and autostart. The following sections describe each of these serial interface timing modes in detail. In all these cases, the converter can use the internal oscillator ($f_0 = \text{LOW}$) or an external oscillator connected to the f_0 pin. See Table 4 for a summary.

External Serial Clock, Single Cycle Operation (SPI/MICROWIRE Compatible)

This timing mode uses an external serial clock to shift out the conversion result and a \overline{CS} signal to monitor and control the state of the conversion cycle, see Figure 5.

The serial clock mode is selected by the \overline{EXT} pin. To select the external serial clock mode, \overline{EXT} must be tied low.

The serial data output pin (SDO) is Hi-Z as long as \overline{CS} is HIGH. At any time during the conversion cycle, \overline{CS} may be pulled LOW in order to monitor the state of the converter. While \overline{CS} is pulled LOW, \overline{EOC} is output to the SDO pin.

APPLICATIONS INFORMATION

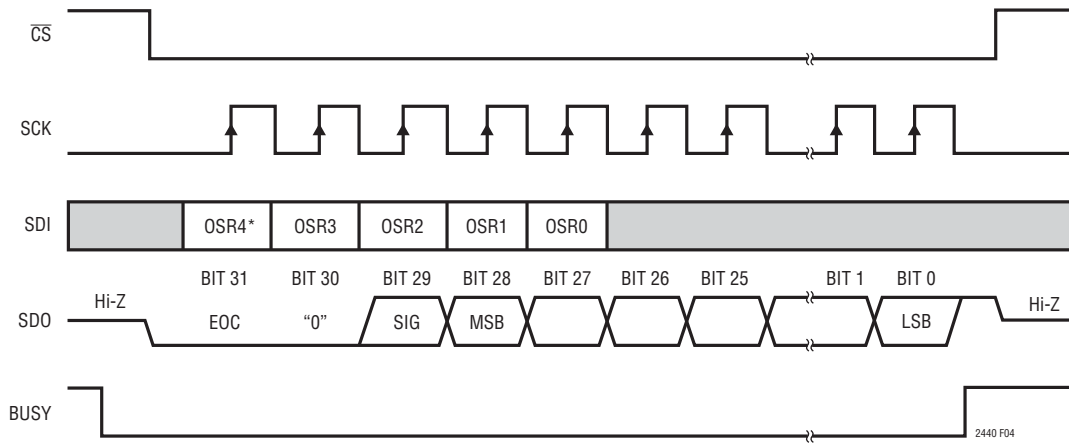


Figure 4. SDI Speed/Resolution Programming

Table 3. SDI Speed/Resolution Programming

OSR4	OSR3	OSR2	OSR1	OSR0	CONVERSION RATE		RMS NOISE	ENOB	OSR
					INTERNAL 9MHz CLOCK	EXTERNAL 10.24MHz CLOCK			
X	0	0	0	1	3.52kHz	4kHz	23 μ V	17	64
X	0	0	1	0	1.76kHz	2kHz	3.5 μ V	20	128
0	0	0	0	0	880Hz	1kHz	2 μ V	21.3	256*
X	0	0	1	1	880Hz	1kHz	2 μ V	21.3	256
X	0	1	0	0	440Hz	500Hz	1.4 μ V	21.8	512
X	0	1	0	1	220Hz	250Hz	1 μ V	22.4	1024
X	0	1	1	0	110Hz	125Hz	750nV	22.9	2048
X	0	1	1	1	55Hz	62.5Hz	510nV	23.4	4096
X	1	0	0	0	27.5Hz	31.25Hz	375nV	24	8192
X	1	0	0	1	13.75Hz	15.625Hz	250nV	24.4	16384
X	1	1	1	1	6.875Hz	7.8125Hz	200nV	24.6	32768**

**Address allows tying SDI HIGH *Additional address to allow tying SDI LOW

Table 4. LTC2440 Interface Timing Modes

Configuration	SCK Source	Conversion Cycle Control	Data Output Control	Connection and Waveforms
External SCK, Single Cycle Conversion	External	\overline{CS} and SCK	\overline{CS} and SCK	Figures 5, 6
External SCK, 2-Wire I/O	External	SCK	SCK	Figure 7
Internal SCK, Single Cycle Conversion	Internal	\overline{CS} \downarrow	\overline{CS} \downarrow	Figures 8, 9
Internal SCK, 2-Wire I/O, Continuous Conversion	Internal	Continuous	Internal	Figure 10

APPLICATIONS INFORMATION

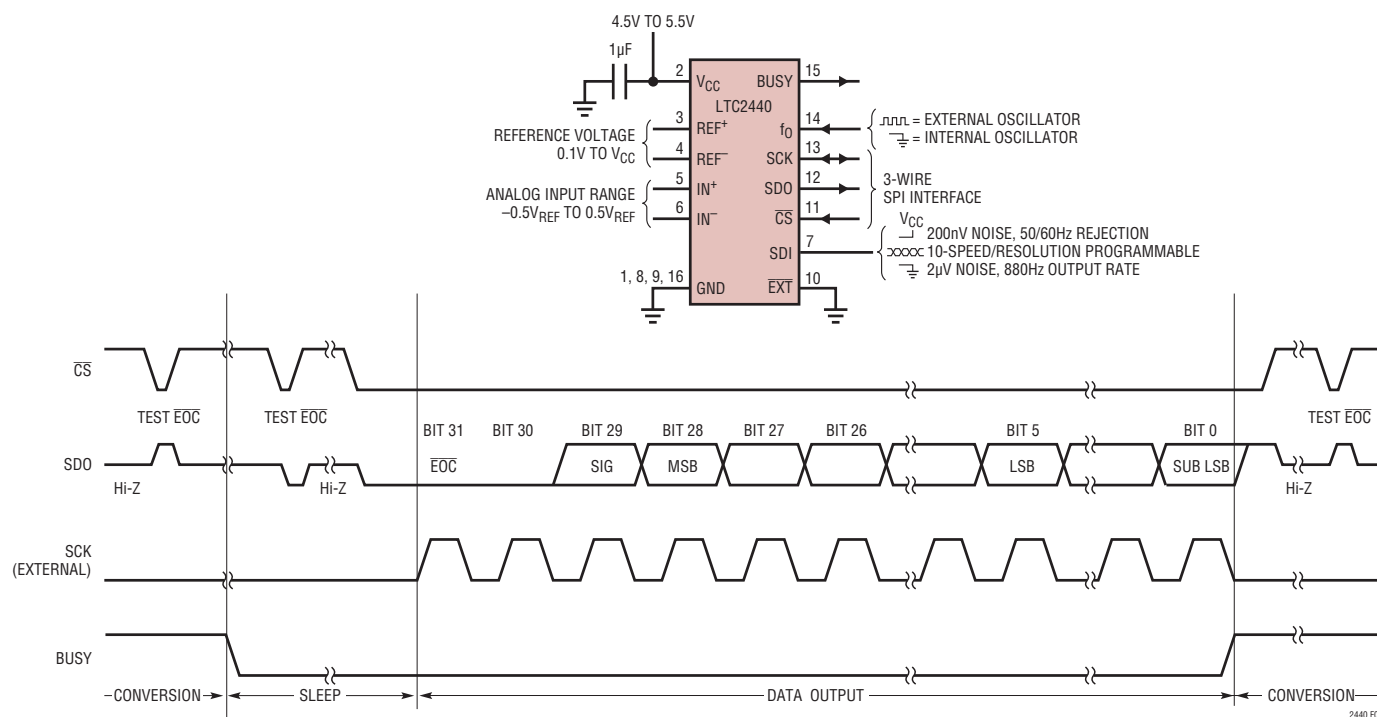


Figure 5. External Serial Clock, Single Cycle Operation

$\overline{EOC} = 1$ ($BUSY = 1$) while a conversion is in progress and $\overline{EOC} = 0$ ($BUSY = 0$) if the device is in the sleep state. Independent of \overline{CS} , the device automatically enters the low power sleep state once the conversion is complete.

When the device is in the sleep state ($\overline{EOC} = 0$), its conversion result is held in an internal static shift register. The device remains in the sleep state until the first rising edge of SCK is seen. Data is shifted out the SDO pin on each falling edge of SCK. This enables external circuitry to latch the output on the rising edge of SCK. \overline{EOC} can be latched on the first rising edge of SCK and the last bit of the conversion result can be latched on the 32nd rising edge of SCK. On the 32nd falling edge of SCK, the device begins a new conversion. SDO goes HIGH ($\overline{EOC} = 1$) and BUSY goes HIGH indicating a conversion is in progress.

At the conclusion of the data cycle, \overline{CS} may remain LOW and \overline{EOC} monitored as an end-of-conversion interrupt. Alternatively, \overline{CS} may be driven HIGH setting SDO to Hi-Z and BUSY monitored for the completion of a conversion. As described above, \overline{CS} may be pulled LOW at any time in order to monitor the conversion status on the SDO pin.

Typically, \overline{CS} remains LOW during the data output state. However, the data output state may be aborted by pulling \overline{CS} HIGH anytime between the fifth falling edge (SDI must be properly loaded each cycle) and the 32nd falling edge of SCK, see Figure 6. On the rising edge of \overline{CS} , the device aborts the data output state and immediately initiates a new conversion. This is useful for systems not requiring all 32-bits of output data, aborting an invalid conversion cycle or synchronizing the start of a conversion.

External Serial Clock, 2-Wire I/O

This timing mode utilizes a 2-wire serial I/O interface. The conversion result is shifted out of the device by an externally generated serial clock (SCK) signal, see Figure 7. \overline{CS} may be permanently tied to ground, simplifying the user interface or isolation barrier. The external serial clock mode is selected by tying \overline{EXT} LOW.

Since \overline{CS} is tied LOW, the end-of-conversion (\overline{EOC}) can be continuously monitored at the SDO pin during the convert and sleep states. Conversely, BUSY (Pin 15) may be used to monitor the status of the conversion cycle. \overline{EOC} or BUSY may be used as an interrupt to an external

APPLICATIONS INFORMATION

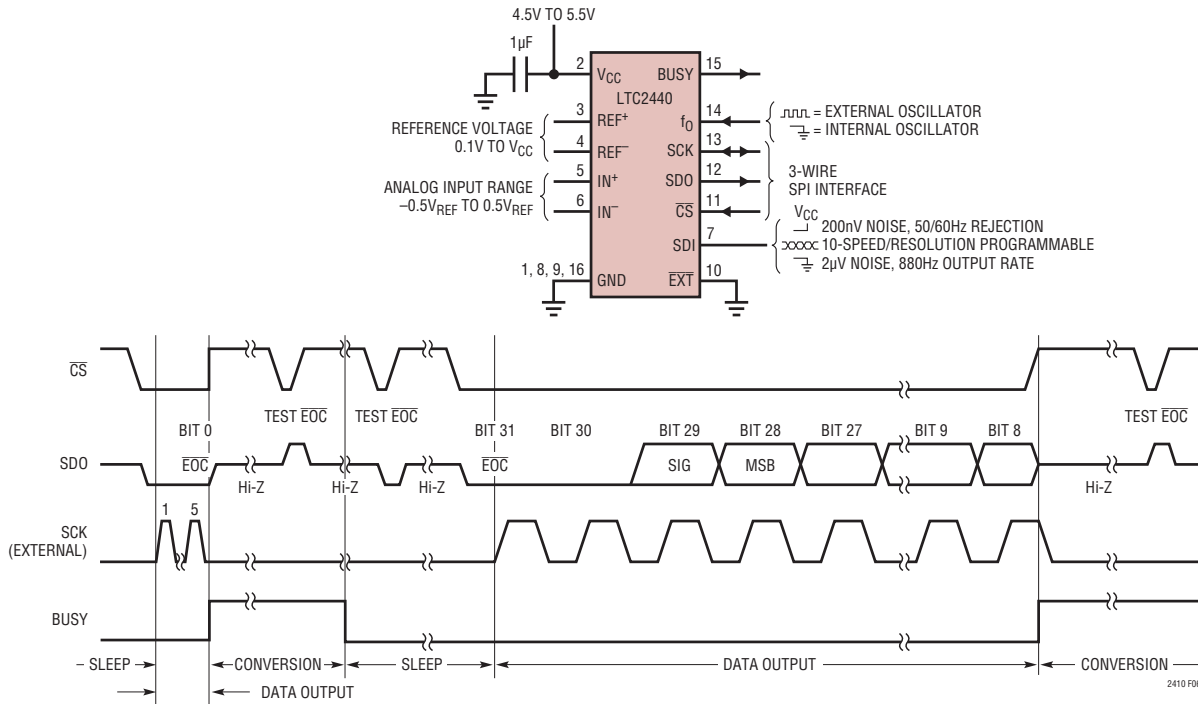


Figure 6. External Serial Clock, Reduced Data Output Length

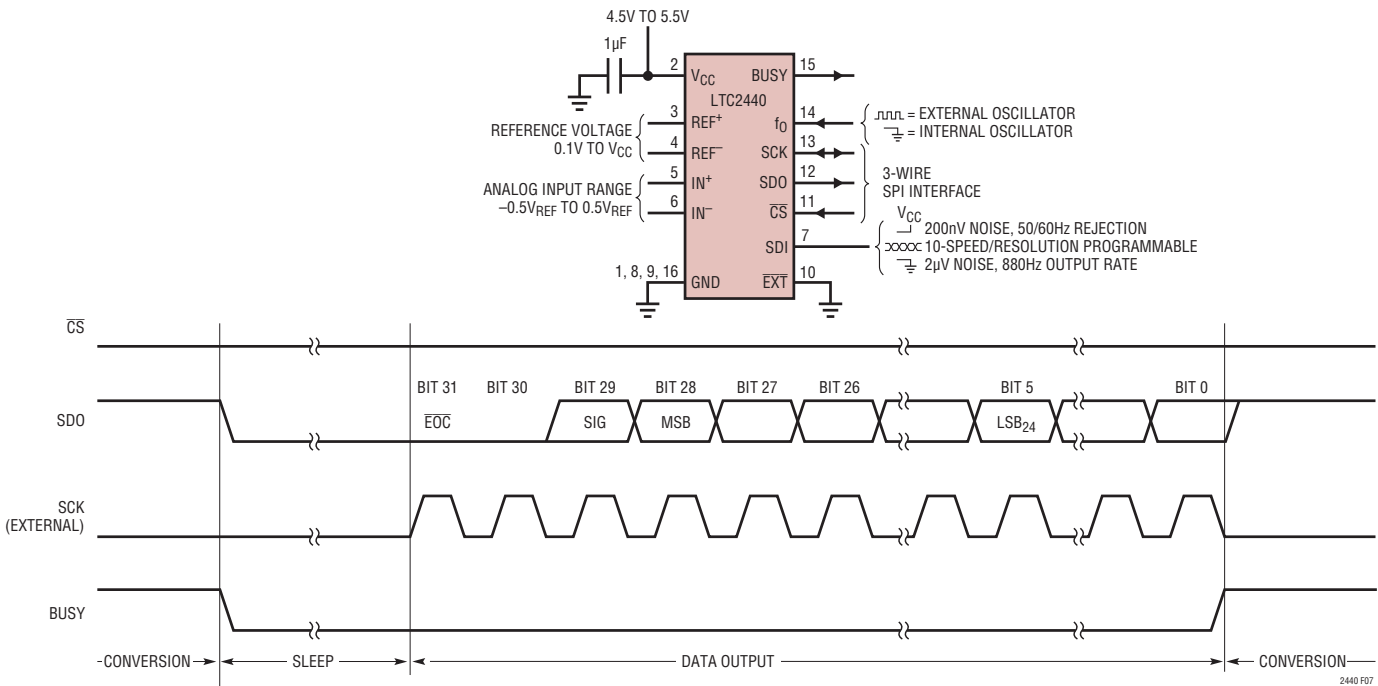


Figure 7. External Serial Clock, $\overline{CS} = 0$ Operation (2-Wire)

APPLICATIONS INFORMATION

controller indicating the conversion result is ready. $\overline{EOC} = 1$ (BUSY = 1) while the conversion is in progress and $\overline{EOC} = 0$ (BUSY = 0) once the conversion enters the low power sleep state. On the falling edge of \overline{EOC} /BUSY, the conversion result is loaded into an internal static shift register. The device remains in the sleep state until the first rising edge of SCK. Data is shifted out the SDO pin on each falling edge of SCK enabling external circuitry to latch data on the rising edge of SCK. \overline{EOC} can be latched on the first rising edge of SCK. On the 32nd falling edge of SCK, SDO and BUSY go HIGH ($\overline{EOC} = 1$) indicating a new conversion has begun.

Internal Serial Clock, Single Cycle Operation

This timing mode uses an internal serial clock to shift out the conversion result and a \overline{CS} signal to monitor and control the state of the conversion cycle, see Figure 8.

In order to select the internal serial clock timing mode, the \overline{EXT} pin must be tied HIGH.

The serial data output pin (SDO) is Hi-Z as long as \overline{CS} is HIGH. At any time during the conversion cycle, \overline{CS} may be pulled LOW in order to monitor the state of the converter.

Once \overline{CS} is pulled LOW, SCK goes LOW and \overline{EOC} is output to the SDO pin. $\overline{EOC} = 1$ while a conversion is in progress and $\overline{EOC} = 0$ if the device is in the sleep state. Alternatively, BUSY (Pin 15) may be used to monitor the status of the conversion in progress. BUSY is HIGH during the conversion and goes LOW at the conclusion. It remains LOW until the result is read from the device.

When testing \overline{EOC} , if the conversion is complete ($\overline{EOC} = 0$), the device will exit the sleep state and enter the data output state if \overline{CS} remains LOW. In order to prevent the device from exiting the low power sleep state, \overline{CS} must be pulled HIGH before the first rising edge of SCK. In the internal SCK timing mode, SCK goes HIGH and the device begins outputting data at time $t_{EOCtest}$ after the falling edge of \overline{CS} (if $\overline{EOC} = 0$) or $t_{EOCtest}$ after \overline{EOC} goes LOW (if \overline{CS} is LOW during the falling edge of \overline{EOC}). The value of $t_{EOCtest}$ is 500ns. If \overline{CS} is pulled HIGH before time $t_{EOCtest}$, the device remains in the sleep state. The conversion result is held in the internal static shift register.

If \overline{CS} remains LOW longer than $t_{EOCtest}$, the first rising edge of SCK will occur and the conversion result is serially shifted out of the SDO pin. The data output cycle begins

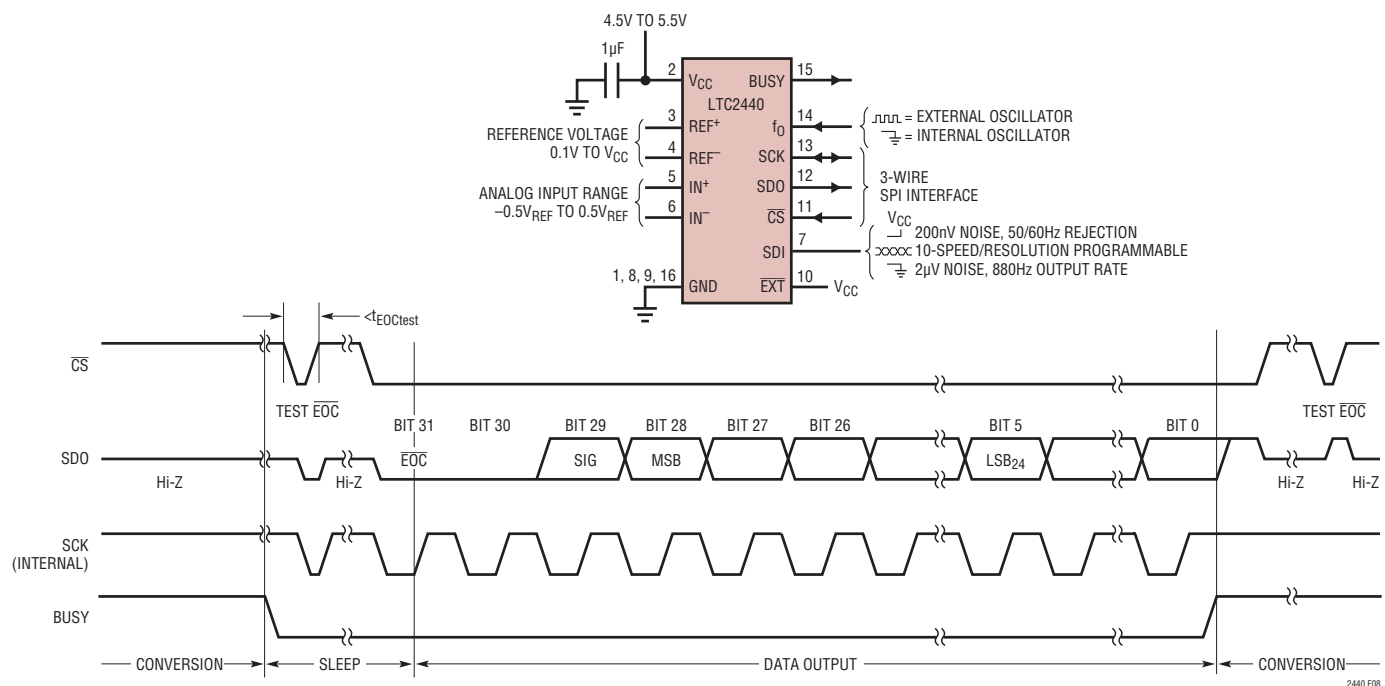


Figure 8. Internal Serial Clock, Single Cycle Operation

APPLICATIONS INFORMATION

on this first rising edge of SCK and concludes after the 32nd rising edge. Data is shifted out the SDO pin on each falling edge of SCK. The internally generated serial clock is output to the SCK pin. This signal may be used to shift the conversion result into external circuitry. \overline{EOC} can be latched on the first rising edge of SCK and the last bit of the conversion result on the 32nd rising edge of SCK. After the 32nd rising edge, SDO goes HIGH ($\overline{EOC} = 1$), SCK stays HIGH and a new conversion starts.

Typically, \overline{CS} remains LOW during the data output state. However, the data output state may be aborted by pulling \overline{CS} HIGH anytime between the first and 32nd rising edge of SCK, see Figure 9. In order to properly select the OSR for the conversion following a data abort, five SCK rising edges must be seen prior to performing a data out abort (pulling \overline{CS} HIGH). If \overline{CS} is pulled high prior to the fifth SCK falling edge, the OSR selected depends on the number of SCK signals seen prior to data abort, where subsequent nonaborted conversion cycles return to the programmed OSR. On the rising edge of \overline{CS} , the device aborts the data output state and immediately initiates a

new conversion. This is useful for systems not requiring all 32-bits of output data, aborting an invalid conversion cycle, or synchronizing the start of a conversion.

Internal Serial Clock, 2-Wire I/O, Continuous Conversion

This timing mode uses a 2-wire, all output (SCK and SDO) interface. The conversion result is shifted out of the device by an internally generated serial clock (SCK) signal, see Figure 10. \overline{CS} may be permanently tied to ground, simplifying the user interface or isolation barrier. The internal serial clock mode is selected by tying \overline{EXT} HIGH.

During the conversion, the SCK and the serial data output pin (SDO) are HIGH ($\overline{EOC} = 1$) and $BUSY = 1$. Once the conversion is complete, SCK, $BUSY$ and SDO go LOW ($\overline{EOC} = 0$) indicating the conversion has finished and the device has entered the low power sleep state. The part remains in the sleep state a minimum amount of time ($\approx 500\text{ns}$) then immediately begins outputting data. The data output cycle begins on the first rising edge of SCK and ends after the 32nd rising edge. Data is shifted out the SDO pin on each

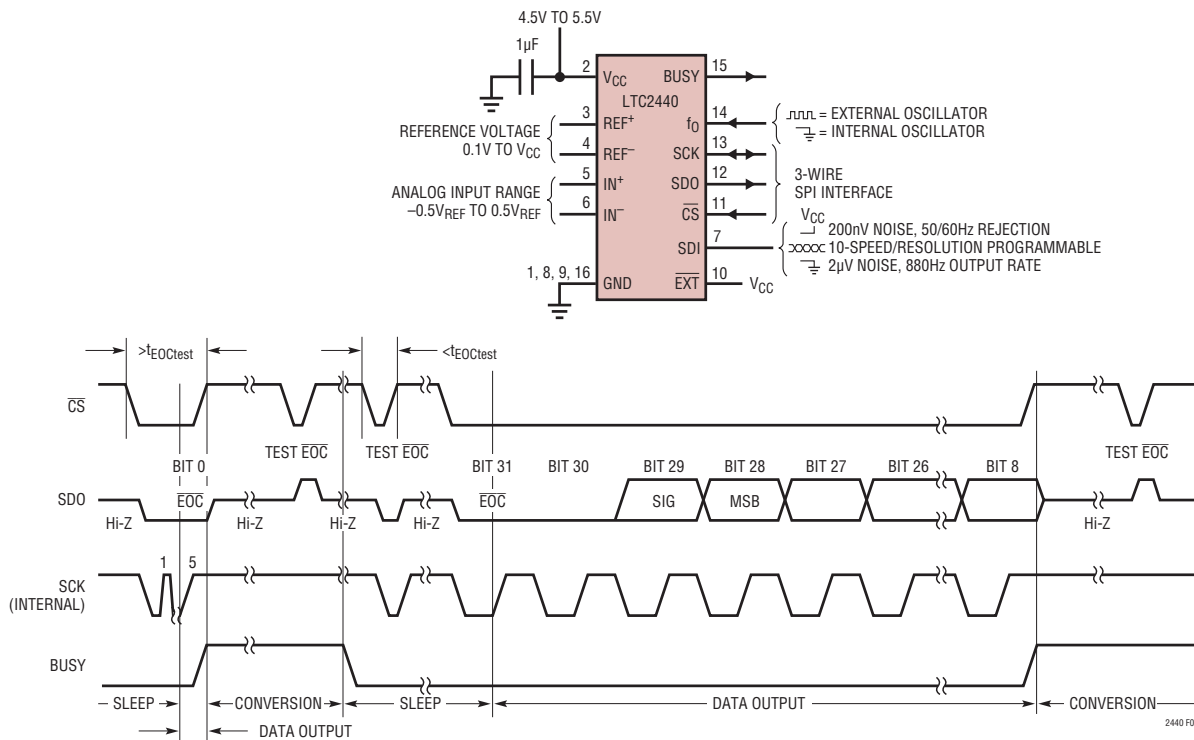


Figure 9. Internal Serial Clock, Reduced Data Output Length

APPLICATIONS INFORMATION

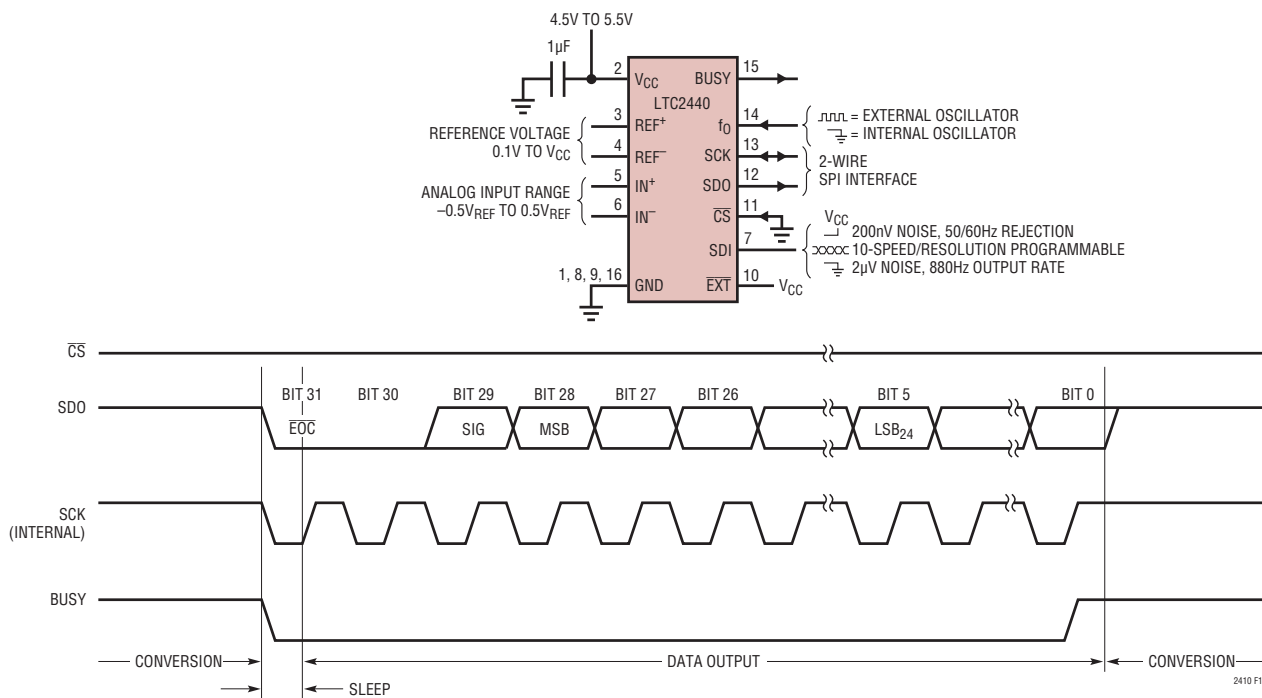


Figure 10. Internal Serial Clock, Continuous Operation

falling edge of SCK. The internally generated serial clock is output to the SCK pin. This signal may be used to shift the conversion result into external circuitry. \overline{EOC} can be latched on the first rising edge of SCK and the last bit of the conversion result can be latched on the 32nd rising edge of SCK. After the 32nd rising edge, SDO goes HIGH ($\overline{EOC} = 1$) indicating a new conversion is in progress. SCK remains HIGH during the conversion.

Normal Mode Rejection and Antialiasing

One of the advantages delta-sigma ADCs offer over conventional ADCs is on-chip digital filtering. Combined with a large oversampling ratio, the LTC2440 significantly simplifies antialiasing filter requirements.

The LTC2440's speed/resolution is determined by the over sample ratio (OSR) of the on-chip digital filter. The OSR ranges from 64 for 3.5kHz output rate to 32,768 for 6.9Hz output rate. The value of OSR and the sample rate f_s determine the filter characteristics of the device. The first NULL of the digital filter is at f_N and multiples of f_N where $f_N = f_s/OSR$, see Figure 11 and Table 5. The

rejection at the frequency $f_N \pm 14\%$ is better than 80dB, see Figure 12.

If f_0 is grounded, f_s is set by the on-chip oscillator at $1.8\text{MHz} \pm 5\%$ (over supply and temperature variations). At an OSR of 32,768, the first NULL is at $f_N = 55\text{Hz}$ and the no latency output rate is $f_N/8 = 6.9\text{Hz}$. At the maximum

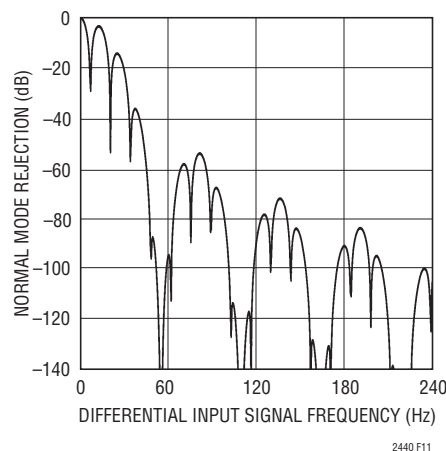


Figure 11. LTC2440 Normal Mode Rejection (Internal Oscillator)

2440 F11

APPLICATIONS INFORMATION

Table 5. OSR vs Notch Frequency (f_N) with Internal Oscillator Running at 9MHz

OSR	NOTCH (f_N)
64	28.16kHz
128	14.08kHz
256	7.04kHz
512	3.52kHz
1024	1.76kHz
2048	880Hz
4096	440Hz
8192	220Hz
16384	110Hz
32768*	55Hz

*Simultaneous 50/60 rejection

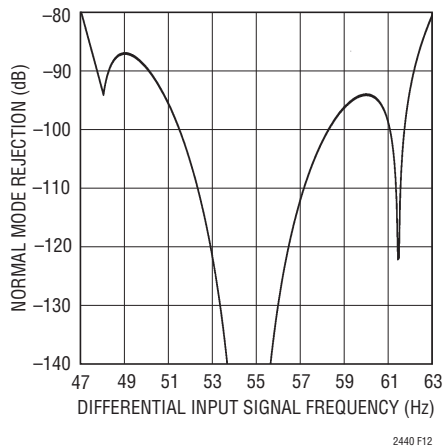


Figure 12. LTC2440 Normal Mode Rejection (Internal Oscillator)

OSR, the noise performance of the device is $200nV_{RMS}$ with better than 80dB rejection of $50Hz \pm 2\%$ and $60Hz \pm 2\%$. Since the OSR is large (32,768) the wide band rejection is extremely large and the antialiasing requirements are simple. The first multiple of f_S occurs at $55Hz \cdot 32,768 = 1.8MHz$, see Figure 13.

The first NULL becomes $f_N = 7.04kHz$ with an OSR of 256 (an output rate of 880Hz) and f_0 grounded. While the NULL has shifted, the sample rate remains constant. As a result of constant modulator sampling rate, the linearity, offset and full-scale performance remains unchanged as does the first multiple of f_S .

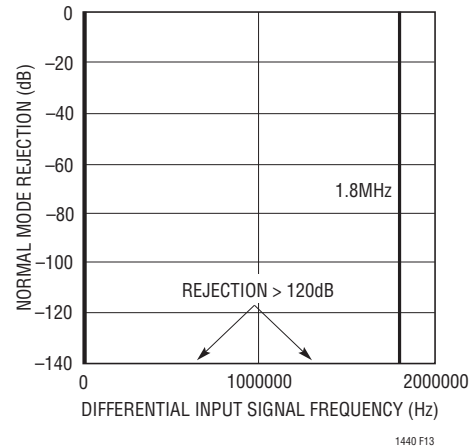


Figure 13. LTC2440 Normal Mode Rejection (Internal Oscillator)

APPLICATIONS INFORMATION

The sample rate f_S and NULL f_N , may also be adjusted by driving the f_0 pin with an external oscillator. The sample rate is $f_S = f_{EOSC}/5$, where f_{EOSC} is the frequency of the clock applied to f_0 . Combining a large OSR with a reduced sample rate leads to notch frequencies f_N near DC while maintaining simple antialiasing requirements. A 100kHz clock applied to f_0 results in a NULL at 0.6Hz plus all harmonics up to 20kHz, see Figure 14. This is useful in applications requiring digitalization of the DC component of a noisy input signal and eliminates the need of placing a 0.6Hz filter in front of the ADC.

An external oscillator operating from 100kHz to 20MHz can be implemented using the LTC1799 (resistor set SOT-23 oscillator), see Figure 22. By floating pin 4 (DIV) of the LTC1799, the output oscillator frequency is:

$$f_{OSC} = 10\text{MHz} \cdot \left(\frac{10\text{k}}{10 \cdot R_{SET}} \right)$$

The normal mode rejection characteristic shown in Figure 14 is achieved by applying the output of the LTC1799 (with $R_{SET} = 100\text{k}$) to the f_0 pin on the LTC2440 with SDI tied HIGH (OSR = 32768).

Reduced Power Operation

In addition to adjusting the speed/resolution of the LTC2440, the speed/resolution/power dissipation may also be adjusted using the automatic sleep mode. During the conversion cycle, the LTC2440 draws 8mA supply current independent of the programmed speed. Once the conversion cycle is completed, the device automatically enters a low power sleep state drawing 8 μA . The device remains in this state as long as \overline{CS} is HIGH and data is not shifted out. By adjusting the duration of the sleep state (hold \overline{CS} HIGH longer) and the duration of the conversion cycle (programming OSR) the DC power dissipation can be reduced, see Figure 16.

For example, if the OSR is programmed at the fastest rate (OSR = 64, $t_{CONV} = 0.285\text{ms}$) and the sleep state is 10ms, the effective output rate is approximately 100Hz while the average supply current is reduced to 240 μA . By further extending the sleep state to 100ms, the effective output rate of 10Hz draws on average 30 μA . Noise, power, and speed can be optimized by adjusting the OSR (Noise/Speed) and sleep mode duration (Power).

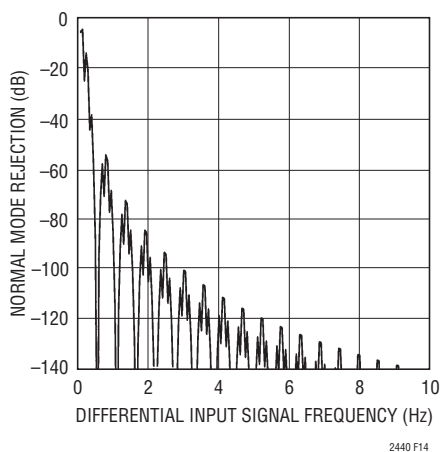


Figure 14. LTC2440 Normal Mode Rejection (External Oscillator at 90kHz)

APPLICATIONS INFORMATION

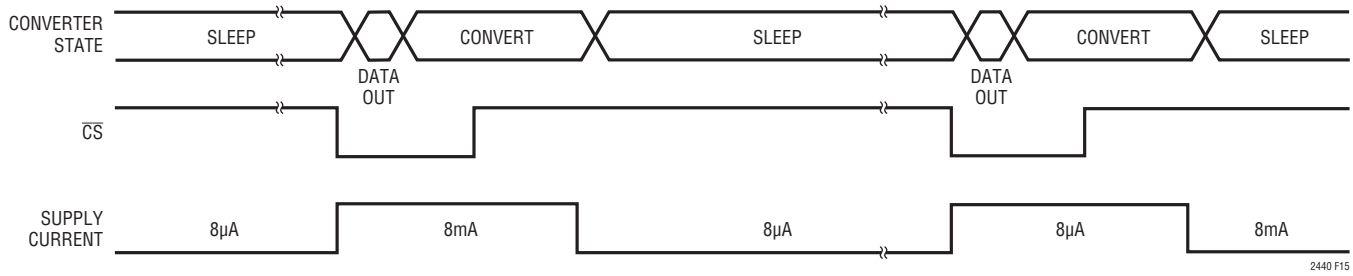


Figure 15. Reduced Power Timing Mode

LTC2440 Input Structure

Modern delta sigma converters have switched capacitor front ends that repeatedly sample the input voltage over some time period. The sampling process produces a small current pulse at the input and reference terminals as the capacitors are charged. The LTC2440 switches the input and reference to a 5pF sample capacitor at a frequency of 1.8MHz. A simplified equivalent circuit is shown in Figure 16.

The average input and reference currents can be expressed in terms of the equivalent input resistance of the sample capacitor, where:

$$R_{eq} = 1/(f_{sw} \cdot C_{eq})$$

When using the internal oscillator, f_{sw} is 1.8MHz and the equivalent resistance is approximately 110k Ω .

Driving the Input and Reference

Because of the small current pulses, excessive lead length at the analog or reference input may allow reflections or ringing to occur, affecting the conversion accuracy. The key to preserving the accuracy of the LTC2440 is complete settling of these sampling glitches at both the input and reference terminals. There are several recommended methods of doing this.

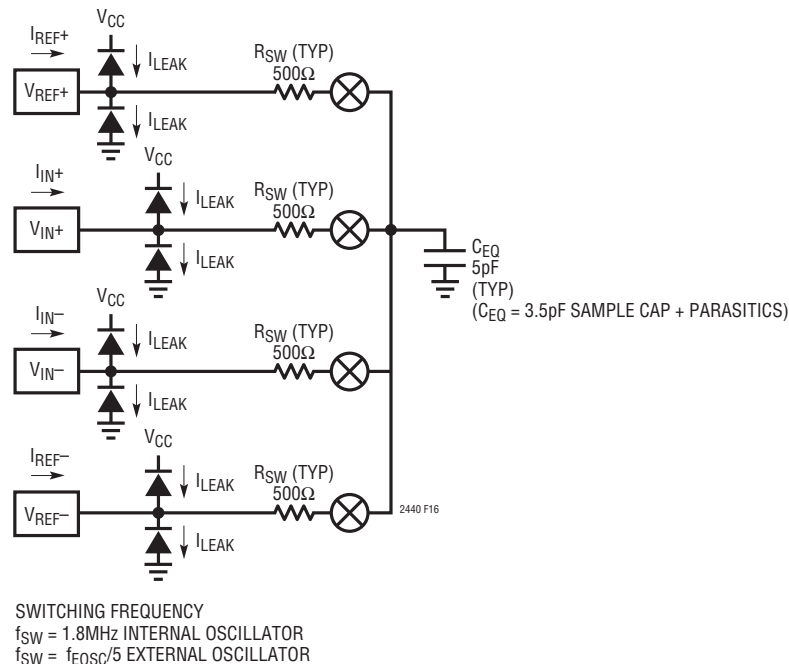


Figure 16. LTC2440 Input Structure

APPLICATIONS INFORMATION

Direct Connection to Low Impedance Sources

If the ADC can be located physically close to the sensor, it can be directly connected to sensors or other sources with impedances up to 350Ω with no other components required (see Figure 17).

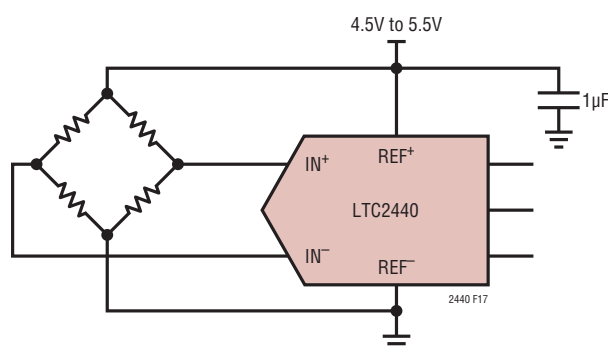


Figure 17. Direct Connection to Low Impedance (350Ω) Source is Possible if the Sensor is Located Close to the ADC.

Longer Connections to Low Impedance Sources

If longer lead lengths are unavoidable, adding an input capacitor close to the ADC input pins will average the charging pulses and prevent reflections or ringing (see Figure 18). Averaging the current pulses results in a DC input current that should be taken into account. The resulting $110\text{k}\Omega$ input impedance will result in a gain error of 0.44% for a 350Ω bridge (within the full scale specs of many bridges) and a very low 12.6ppm error for a 2Ω thermocouple connection.

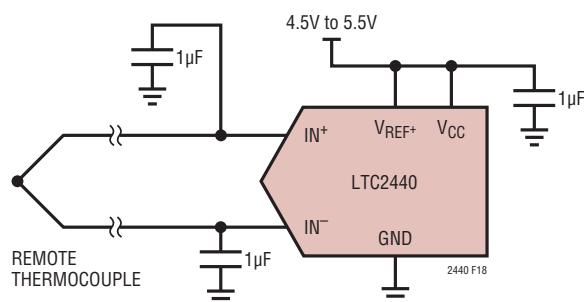


Figure 18. Input Capacitors Allow Longer Connection Between the Low Impedance Source and the ADC.

Buffering the LTC2440

Many applications will require buffering, particularly where high impedance sources are involved or where the device being measured is located some distance from the LTC2440. When buffering the LTC2440 a few simple steps should be followed.

Figure 19 shows a network suitable for coupling the inputs of a LTC2440 to a LTC2051 chopper-stabilized op amp. The $3\mu\text{V}$ offset and low noise of the LTC2051 make it a good choice for buffering the LTC2440. Many other op amps will work, with varying performance characteristics.

The LTC2051 is configured to be able to drive the $1\mu\text{F}$ capacitors at the inputs of the LTC2440. The $1\mu\text{F}$ capacitors should be located close to the ADC input pins.

The measured total unadjusted error of Figure 19 is well within the specifications of the LTC2440 by itself. Most autozero amplifiers will degrade the overall resolution to some degree because of the extremely low input noise of the LTC2440, however the LTC2051 is a good general purpose buffer. The measured input referred noise of two LTC2051s buffering both LTC2440 inputs is approximately double that of the LTC2440 by itself, which reduces the effective resolution by 1-bit for all oversample ratios. Adding gain to the LTC2051 will increase gain and offset errors and will not appreciably increase the overall resolution, so it has limited benefit.

Procedure For Coupling Any Amplifier to the LTC2440

The LTC2051 is suitable for a wide range of DC and low frequency measurement applications. If another amplifier is to be selected, a general procedure for evaluating the suitability of an amplifier for use with the LTC2440 is suggested here:

1. Perform a thorough error and noise analysis on the amplifier and gain setting components to verify that the amplifier will perform as intended.
2. Measure the large signal response of the overall circuit. The capacitive load may affect the maximum slew rate of the amplifier. Verify that the slew rate is adequate for the

APPLICATIONS INFORMATION

fastest expected input signal. Figure 20 shows the large signal response of the circuit in Figure 19.

3. Measure noise performance of the complete circuit. A good technique is to build one amplifier for each input, even if only one will be used in the end application. Bias both amplifier outputs to midscale, with the inputs tied together. Verify that the noise is as expected, taking into account the bandwidth of the LTC2440 inputs for the OSR being used, the amplifier's broadband voltage noise and 1/f corner (if any) and any additional noise due to the amplifier's current noise and source resistance.

For more information on testing high linearity ADCs, refer to Linear Technology Design Solutions 11.

Input Bandwidth and Frequency Rejection

The combined effect of the internal SINC⁴ digital filter and the digital and analog autocalibration circuits determines the LTC2440 input bandwidth and rejection characteristics. The digital filter's response can be adjusted by setting the oversample ratio (OSR) through the SPI interface or by supplying an external conversion clock to the f₀ pin.

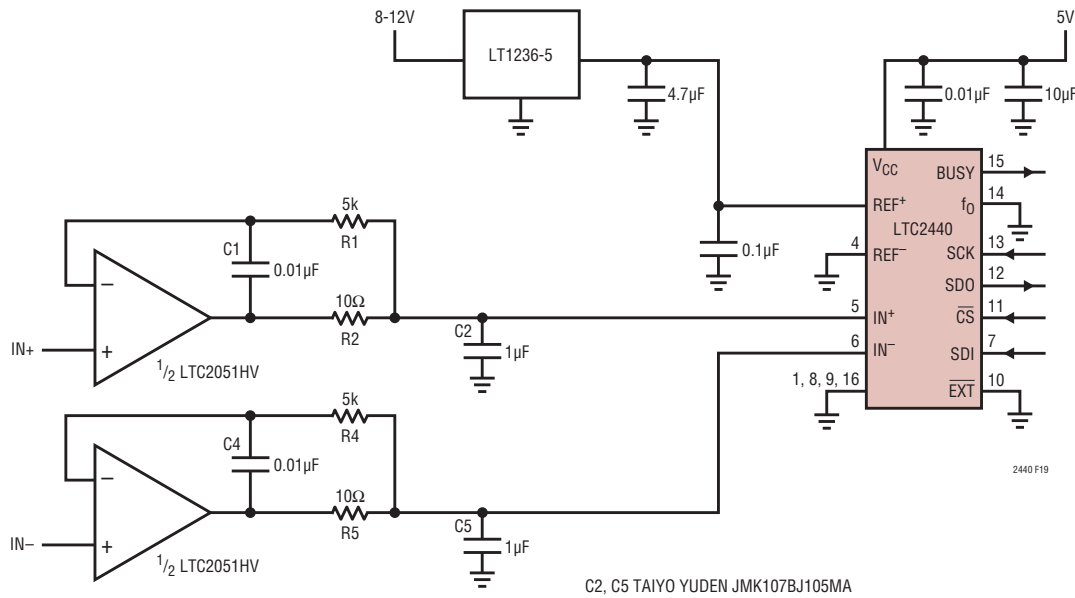


Figure 19. Buffering the LTC2440 from High Impedance Sources Using a Chopper Amplifier

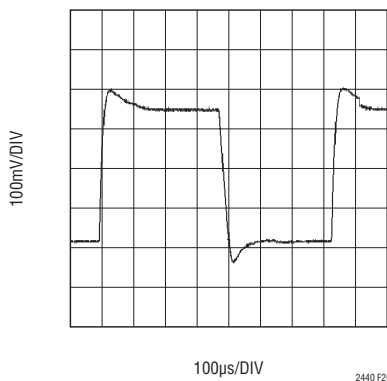


Figure 20. Large Signal Input Settling Time Indicates Completed Settling with Selected Load Capacitance.

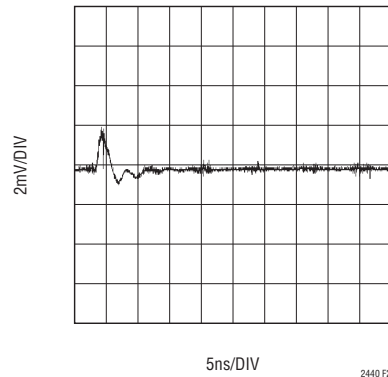


Figure 21. Dynamic Input Current is Attenuated by Load Capacitance and Completely Settled Before the Next Conversion Sample Resulting in No Reduction in Performance.

APPLICATIONS INFORMATION

Table 6 lists the properties of the LTC2440 with various combinations of oversample ratio and clock frequency. Understanding these properties is the key to fine tuning the characteristics of the LTC2440 to the application.

Maximum Conversion Rate

The maximum conversion rate is the fastest possible rate at which conversions can be performed.

First Notch Frequency

This is the first notch in the SINC⁴ portion of the digital filter and depends on the f_0 clock frequency and the oversample ratio. Rejection at this frequency and its multiples (up to

the modulator sample rate of 1.8MHz) exceeds 120dB. This is 8 times the maximum conversion rate.

Effective Noise Bandwidth

The LTC2440 has extremely good input noise rejection from the first notch frequency all the way out to the modulator sample rate (typically 1.8MHz). Effective noise bandwidth is a measure of how the ADC will reject wideband input noise up to the modulator sample rate. The example on the following page shows how the noise rejection of the LTC2440 reduces the effective noise of an amplifier driving its input.

Table 6

Oversample Ratio (OSR)	ADC Noise*	ENOB (V _{REF} = 5V)*	Maximum Conversion Rate		First Notch Frequency		Effective Noise BW		-3dB Point (Hz)	
			Internal 9MHz clock	External f_0	Internal 9MHz clock	External f_0	Internal 9MHz clock	External f_0	Internal 9MHz clock	External f_0
64	23 μ V	17	3515.6	$f_0/2560$	28125	$f_0/320$	3148	$f_0/2850$	1696	$f_0/5310$
128	3.5 μ V	20	1757.8	$f_0/5120$	14062.5	$f_0/640$	1574	$f_0/5700$	848	$f_0/10600$
256	2 μ V	21.3	878.9	$f_0/10240$	7031.3	$f_0/1280$	787	$f_0/11400$	424	$f_0/21200$
512	1.4 μ V	21.8	439.5	$f_0/20480$	3515.6	$f_0/2560$	394	$f_0/22800$	212	$f_0/42500$
1024	1 μ V	22.4	219.7	$f_0/40960$	1757.8	$f_0/5120$	197	$f_0/45700$	106	$f_0/84900$
2048	750nV	22.9	109.9	$f_0/81920$	878.9	$f_0/1020$	98.4	$f_0/91400$	53	$f_0/170000$
4096	510nV	23.4	54.9	$f_0/163840$	439.5	$f_0/2050$	49.2	$f_0/183000$	26.5	$f_0/340000$
8192	375nV	24	27.5	$f_0/327680$	219.7	$f_0/4100$	24.6	$f_0/366000$	13.2	$f_0/679000$
16384	250nV	24.4	13.7	$f_0/655360$	109.9	$f_0/8190$	12.4	$f_0/731000$	6.6	$f_0/1358000$
32768	200nV	24.6	6.9	$f_0/1310720$	54.9	$f_0/16380$	6.2	$f_0/1463000$	3.3	$f_0/2717000$

*ADC noise increases by approximately $\sqrt{2}$ when OSR is decreased by a factor of 2 for OSR 32768 to OSR 256. The ADC noise at OSR 128 and OSR 64 include effects from internal modulator quantization noise.

APPLICATIONS INFORMATION

Example:

If an amplifier (e.g. LT1219) driving the input of an LTC2440 has wideband noise of $33\text{nV}/\sqrt{\text{Hz}}$, band-limited to 1.8MHz , the total noise entering the ADC input is:

$$33\text{nV}/\sqrt{\text{Hz}} \cdot \sqrt{1.8\text{MHz}} = 44.3\mu\text{V}.$$

When the ADC digitizes the input, its digital filter filters out the wideband noise from the input signal. The noise reduction depends on the oversample ratio which defines the effective bandwidth of the digital filter.

At an oversample of 256, the noise bandwidth of the ADC is 787Hz which reduces the total amplifier noise to:

$$33\text{nV}/\sqrt{\text{Hz}} \cdot \sqrt{787\text{Hz}} = 0.93\mu\text{V}.$$

The total noise is the RMS sum of this noise with the $2\mu\text{V}$ noise of the ADC at $\text{OSR}=256$.

$$\sqrt{0.93\mu\text{V}^2 + 2\mu\text{V}^2} = 2.2\mu\text{V}.$$

Increasing the oversampling ratio to 32768 reduces the noise bandwidth of the ADC to 6.2Hz which reduces the total amplifier noise to:

$$33\text{nV}/\sqrt{\text{Hz}} \cdot \sqrt{6.2\text{Hz}} = 82\text{nV}.$$

The total noise is the RMS sum of this noise with the 200nV noise of the ADC at $\text{OSR} = 32768$.

$$\sqrt{82\text{nV}^2 + 200\text{nV}^2} = 216\text{nV}.$$

In this way, the digital filter with its variable oversampling ratio can greatly reduce the effects of external noise sources.

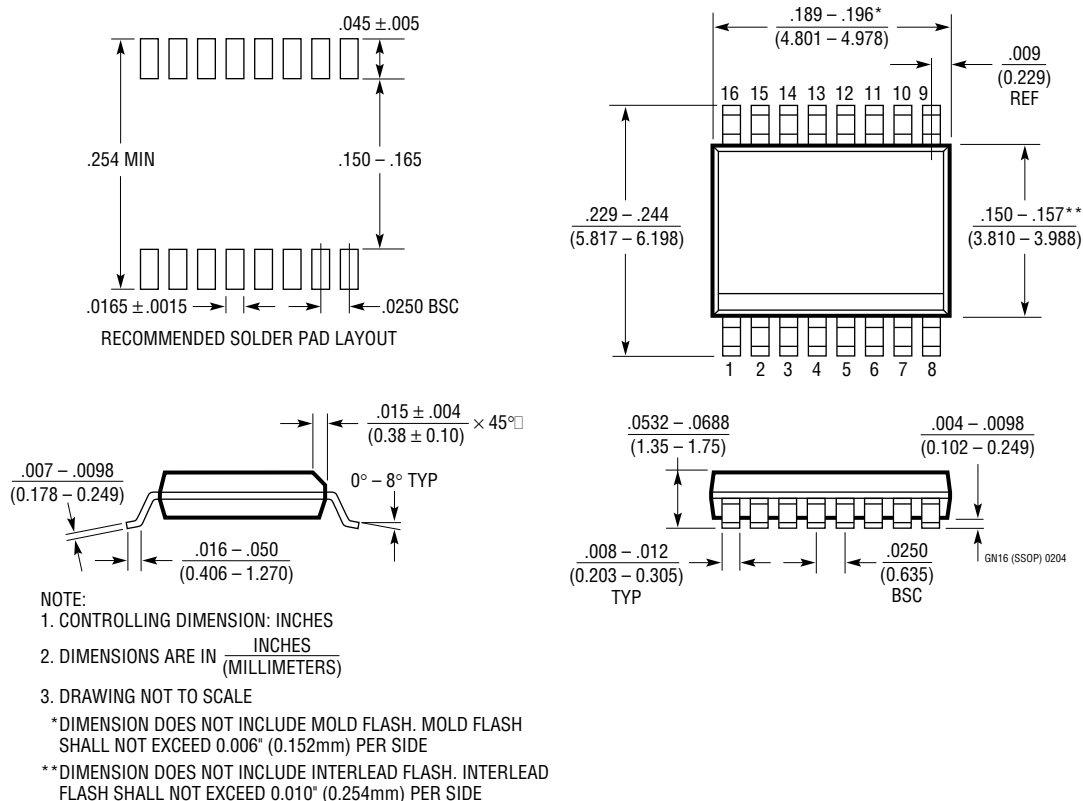
Using Non-Autozeroed Amplifiers for Lowest Noise Applications

Ultralow noise applications may require the use of low noise bipolar amplifiers that are not autozeroed. Because the LTC2440 has such exceptionally low offset, offset drift and $1/f$ noise, the offset drift and $1/f$ noise in the amplifiers may need to be compensated for to retain the system performance of which the ADC is capable.

The circuit of Figure 23 uses low noise bipolar amplifiers and correlated double sampling to achieve a resolution of 14nV , or 19 effective bits over a 10mV span. Each measurement is the difference between two ADC readings taken with opposite polarity bridge excitation. This cancels $1/f$ noise below 3.4Hz and eliminates errors due to parasitic thermocouples. Allow $750\mu\text{s}$ settling time after switching excitation polarity.

PACKAGE DESCRIPTION

GN Package 16-Lead Plastic SSOP (Narrow .150 Inch) (Reference LTC DWG # 05-08-1641)



TYPICAL APPLICATIONS

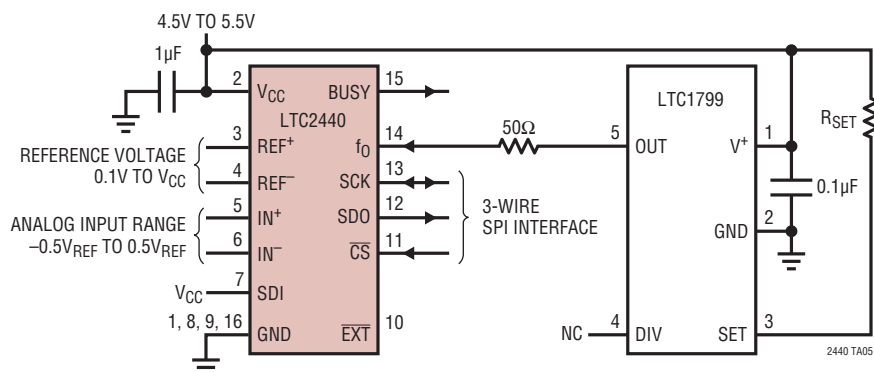


Figure 22. Simple External Clock Source

TYPICAL APPLICATION

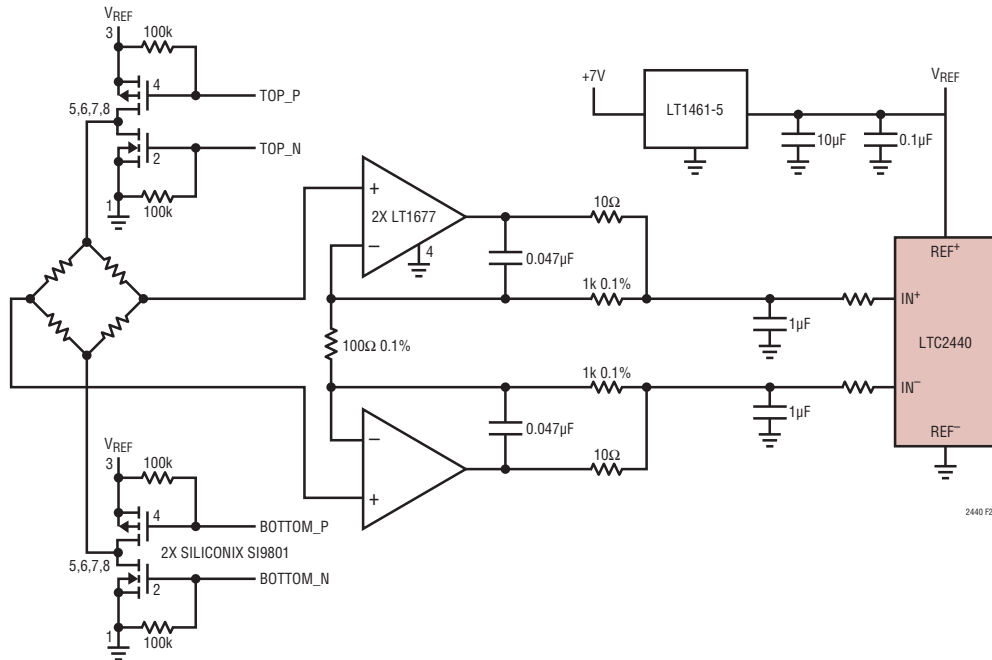


Figure 23. Bridge Reversal Eliminates 1/f Noise and Offset Drift of a Low Noise, Non-Autozeroed, Bipolar Amplifier. Circuit Gives 14nV Noise Level or 19 Effective Bits over a 10mV Span

RELATED PARTS

PART NUMBER	DESCRIPTION	COMMENTS
LT1025	Micropower Thermocouple Cold Junction Compensator	80μA Supply Current, 0.5°C Initial Accuracy
LTC1043	Dual Precision Instrumentation Switched Capacitor Building Block	Precise Charge, Balanced Switching, Low Power
LTC1050	Precision Chopper Stabilized Op Amp	No External Components 5μV Offset, 1.6μV _{P-P} Noise
LT1236A-5	Precision Bandgap Reference, 5V	0.05% Max, 5ppm/°C Drift
LT1461	Micropower Series Reference, 2.5V	0.04% Max, 3ppm/°C Max Drift
LTC1592	Ultraprecise 16-Bit SoftSpan™ DAC	Six Programmable Output Ranges
LTC1655	16-Bit Rail-to-Rail Micropower DAC	±1LSB DNL, 600μA, Internal Reference, SO-8
LTC1799	Resistor Set SOT-23 Oscillator	Single Resistor Frequency Set
LTC2053	Rail-to-Rail Instrumentation Amplifier	10μV Offset with 50nV/°C Drift, 2.5μV _{P-P} Noise 0.01Hz to 10Hz
LTC2400	24-Bit, No Latency ΔΣ ADC in SO-8	0.3ppm Noise, 4ppm INL, 10ppm Total Unadjusted Error, 200μA
LTC2401/LTC2402	1-/2-Channel, 24-Bit, No Latency ΔΣ ADC in MSOP	0.6ppm Noise, 4ppm INL, 10ppm Total Unadjusted Error, 200μA
LTC2404/LTC2408	4-/8-Channel, 24-Bit, No Latency ΔΣ ADC	0.3ppm Noise, 4ppm INL, 10ppm Total Unadjusted Error, 200μA
LTC2410/LTC2413	24-Bit, No Latency ΔΣ ADC	800nV _{RMS} Noise, 5ppm INL/Simultaneous 50Hz/60Hz Rejection
LTC2411	24-Bit, No Latency ΔΣ ADC in MSOP	1.45μV _{RMS} Noise, 6ppm INL
LTC2420/LTC2424/ LTC2428	1-/4-/8-Channel, 20-Bit, No Latency ΔΣ ADCs	1.2ppm Noise, 8ppm INL, Pin Compatible with LTC2400/ LTC2404/LTC2408

SoftSpan is a trademark of Linear Technology Corporation.

FEATURES

- **One External Resistor Sets the Frequency**
- **Fast Start-Up Time: <1ms**
- **1kHz to 33MHz Frequency Range**
- Frequency Error $\leq 1.5\%$ 5kHz to 20MHz ($T_A = 25^\circ\text{C}$)
- Frequency Error $\leq 2\%$ 5kHz to 20MHz ($T_A = 0^\circ\text{C}$ to 70°C)
- $\pm 40\text{ppm}/^\circ\text{C}$ Temperature Stability
- $0.05\%/V$ Supply Stability
- $50\% \pm 1\%$ Duty Cycle 1kHz to 2MHz
- $50\% \pm 5\%$ Duty Cycle 2MHz to 20MHz
- 1mA Typical Supply Current
- 100Ω CMOS Output Driver
- Operates from a Single 2.7V to 5.5V Supply
- Low Profile (1mm) SOT-23 (ThinSOT™ Package)

APPLICATIONS

- Low Cost Precision Oscillator
- Charge Pump Driver
- Switching Power Supply Clock Reference
- Clocking Switched Capacitor Filters
- Fixed Crystal Oscillator Replacement
- Ceramic Oscillator Replacement
- Small Footprint Replacement for Econ Oscillators

LT, LT, LTC, LTM, Linear Technology and the Linear logo are registered trademarks and ThinSOT is a trademark of Linear Technology Corporation. All other trademarks are the property of their respective owners. Protected by U.S. Patents including 6342817 and 6614313.

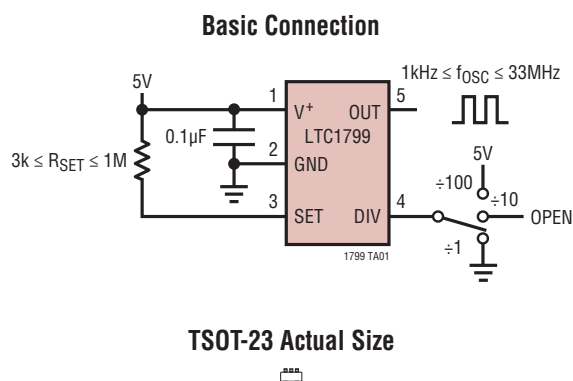
DESCRIPTION

The LTC[®]1799 is a precision oscillator that is easy to use and occupies very little PC board space. The oscillator frequency is programmed by a single external resistor (R_{SET}). The LTC1799 has been designed for high accuracy operation ($\leq 1.5\%$ frequency error) without the need for external trim components.

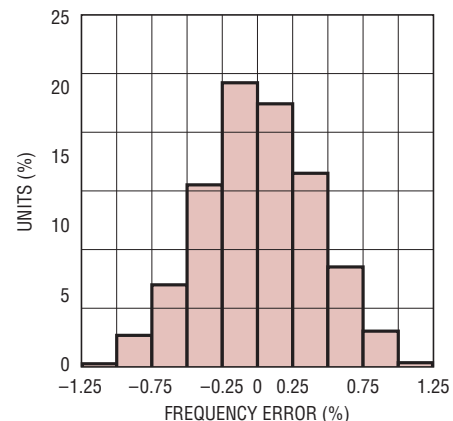
The LTC1799 operates with a single 2.7V to 5.5V power supply and provides a rail-to-rail, 50% duty cycle square wave output. The CMOS output driver ensures fast rise/fall times and rail-to-rail switching. The frequency-setting resistor can vary from 3k to 1M to select a master oscillator frequency between 100kHz and 33MHz (5V supply). The three-state DIV input determines whether the master clock is divided by 1, 10 or 100 before driving the output, providing three frequency ranges spanning 1kHz to 33MHz (5V supply). The LTC1799 features a proprietary feedback loop that linearizes the relationship between R_{SET} and frequency, eliminating the need for tables to calculate frequency. The oscillator can be easily programmed using the simple formula outlined below:

$$f_{\text{OSC}} = 10\text{MHz} \cdot \left(\frac{10\text{k}}{N \cdot R_{\text{SET}}} \right), N = \begin{cases} 100, & \text{DIV Pin} = V^+ \\ 10, & \text{DIV Pin} = \text{Open} \\ 1, & \text{DIV Pin} = \text{GND} \end{cases}$$

TYPICAL APPLICATION



Typical Distribution of Frequency Error,
 $T_A = 25^\circ\text{C}$ ($5\text{kHz} \leq f_{\text{OSC}} \leq 20\text{MHz}$, $V^+ = 5\text{V}$)



1799 TA02

1799fc

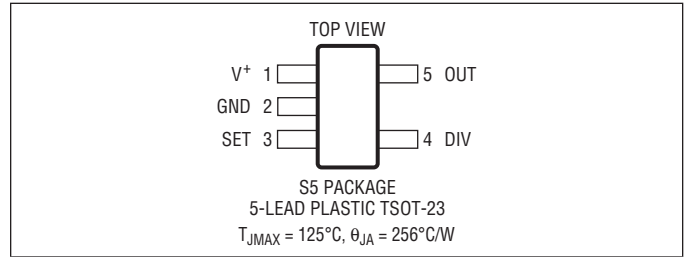
LTC1799

ABSOLUTE MAXIMUM RATINGS

(Note 1)

Supply Voltage (V^+) to GND	-0.3V to 6V
DIV to GND	-0.3V to ($V^+ + 0.3V$)
SET to GND	-0.3V to ($V^+ + 0.3V$)
Operating Temperature Range	
LTC1799C	0°C to 70°C
LTC1799I	-40°C to 85°C
LTC1799H	-40°C to 125°C
Storage Temperature Range	-65°C to 150°C
Lead Temperature (Soldering, 10 sec).....	300°C

PIN CONFIGURATION



ORDER INFORMATION

LEAD FREE FINISH	TAPE AND REEL	PART MARKING*	PACKAGE DESCRIPTION	TEMPERATURE RANGE
LTC1799CS5#PBF	LTC1799CS5#TRPBF	LTND	5-Lead Plastic TSOT-23	0°C to 70°C
LTC1799IS5#PBF	LTC1799IS5#TRPBF	LTNE	5-Lead Plastic TSOT-23	-40°C to 85°C
LTC1799HS5#PBF	LTC1799HS5#TRPBF	LTND	5-Lead Plastic TSOT-23	-40°C to 125°C

Consult LTC Marketing for parts specified with wider operating temperature ranges. *The temperature grade is identified by a label on the shipping container. Consult LTC Marketing for information on non-standard lead based finish parts.

For more information on lead free part marking, go to: <http://www.linear.com/leadfree/>

For more information on tape and reel specifications, go to: <http://www.linear.com/tapeandree/>

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V^+ = 2.7V$ to $5.5V$, $R_L = 5k$, $C_L = 5pF$, unless otherwise noted. All voltages are with respect to GND.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Δf	Frequency Accuracy (Notes 2, 3)	$V^+ = 5V$	$5kHz \leq f \leq 20MHz$	●	± 0.5	± 1.5	%
			$5kHz \leq f \leq 20MHz$, LTC1799C			± 2	%
			$5kHz \leq f \leq 20MHz$, LTC1799I/H			± 2.5	%
		$V^+ = 3V$	$1kHz \leq f \leq 5kHz$	●	± 2.5	± 2.5	%
			$20MHz \leq f \leq 33MHz$			± 2.5	%
			$5kHz \leq f \leq 10MHz$			± 0.5	± 1.5
R_{SET}	Frequency-Setting Resistor Range	$ \Delta f < 1.5\%$	$V^+ = 5V$	5	10	200	k Ω
			$V^+ = 3V$			200	k Ω
f_{MAX}	Maximum Frequency	$ \Delta f < 2.5\%$, Pin 4 = 0V	$V^+ = 5V$	33	20		MHz
			$V^+ = 3V$				20
f_{MIN}	Minimum Frequency	$ \Delta f < 2.5\%$, Pin 4 = V^+		1			kHz
$\Delta f/\Delta T$	Freq Drift Over Temp (Note 3)	$R_{SET} = 31.6k$	●	± 0.004			%/ $^\circ\text{C}$
$\Delta f/\Delta V$	Freq Drift Over Supply (Note 3)	$V^+ = 3V$ to $5V$, $R_{SET} = 31.6k$	●	0.05	0.1		%/V
							Timing Jitter (Note 4)
		Pin 4 = Open		0.13			%
		Pin 4 = 0V		0.4			%
	Long-Term Stability of Output Frequency			300			ppm/ \sqrt{kHr}

1799fc

ELECTRICAL CHARACTERISTICS

The ● denotes the specifications which apply over the full operating temperature range, otherwise specifications are at $T_A = 25^\circ\text{C}$. $V^+ = 2.7\text{V}$ to 5.5V , $R_L = 5\text{k}$, $C_L = 5\text{pF}$, unless otherwise noted. All voltages are with respect to GND.

SYMBOL	PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
	Duty Cycle (Note 7)	Pin 4 = V^+ or Open (DIV Either by 100 or 10)		● 49	50	51	%
		Pin 4 = 0V (DIV by 1), $R_{\text{SET}} = 5\text{k}$ to 200k		● 45	50	55	%
V^+	Operating Supply Range			● 2.7		5.5	V
I_S	Power Supply Current	$R_{\text{SET}} = 200\text{k}$, Pin 4 = V^+ , $R_L = \infty$	$V^+ = 5\text{V}$	●	0.7	1.1	mA
		$R_{\text{SET}} = 10\text{k}$, Pin 4 = 0V , $R_L = \infty$	$V^+ = 5\text{V}$	●		2.4	mA
			$V^+ = 3\text{V}$	●		2	mA
V_{IH}	High Level DIV Input Voltage			● $V^+ - 0.4$			V
V_{IL}	Low Level DIV Input Voltage			●		0.5	V
I_{DIV}	DIV Input Current (Note 5)	Pin 4 = V^+	$V^+ = 5\text{V}$	●	5	8	μA
		Pin 4 = 0V	$V^+ = 5\text{V}$	●	-8	-5	μA
V_{OH}	High Level Output Voltage (Note 5)	$V^+ = 5\text{V}$, LTC1799C/I	$I_{\text{OH}} = -1\text{mA}$	●	4.8	4.95	V
			$I_{\text{OH}} = -4\text{mA}$	●	4.5	4.8	V
		$V^+ = 5\text{V}$, LTC1799H	$I_{\text{OH}} = -1\text{mA}$	●	4.75	4.95	V
			$I_{\text{OH}} = -4\text{mA}$	●	4.40	4.75	V
V_{OL}	Low Level Output Voltage (Note 5)	$V^+ = 5\text{V}$, LTC1799C/I	$I_{\text{OL}} = 1\text{mA}$	●	0.05	0.15	V
			$I_{\text{OL}} = 4\text{mA}$	●	0.2	0.4	V
		$V^+ = 5\text{V}$, LTC1799H	$I_{\text{OL}} = 1\text{mA}$	●	0.05	0.20	V
			$I_{\text{OL}} = 4\text{mA}$	●	0.25	0.50	V
t_r	OUT Rise Time (Note 6)	$V^+ = 5\text{V}$	Pin 4 = V^+ or Floating, $R_L = \infty$		14		ns
			Pin 4 = 0V , $R_L = \infty$		7		ns
		$V^+ = 3\text{V}$	Pin 4 = V^+ or Floating, $R_L = \infty$		19		ns
			Pin 4 = 0V , $R_L = \infty$		11		ns
t_f	OUT Fall Time (Note 6)	$V^+ = 5\text{V}$	Pin 4 = V^+ or Floating, $R_L = \infty$		13		ns
			Pin 4 = 0V , $R_L = \infty$		6		ns
		$V^+ = 3\text{V}$	Pin 4 = V^+ or Floating, $R_L = \infty$		19		ns
			Pin 4 = 0V , $R_L = \infty$		10		ns

Note 1: Stresses beyond those listed under Absolute Maximum Ratings may cause permanent damage to the device. Exposure to any Absolute Maximum Rating condition for extended periods may affect device reliability and lifetime.

Note 2: Frequencies near 100kHz and 1MHz may be generated using two different values of R_{SET} (see the Table 1 in the Applications Information section). For these frequencies, the error is specified under the following assumption: $10\text{k} < R_{\text{SET}} \leq 100\text{k}$. The frequency accuracy for $f_{\text{OSC}} = 20\text{MHz}$ is guaranteed by design and test correlation.

Note 3: Frequency accuracy is defined as the deviation from the f_{OSC} equation.

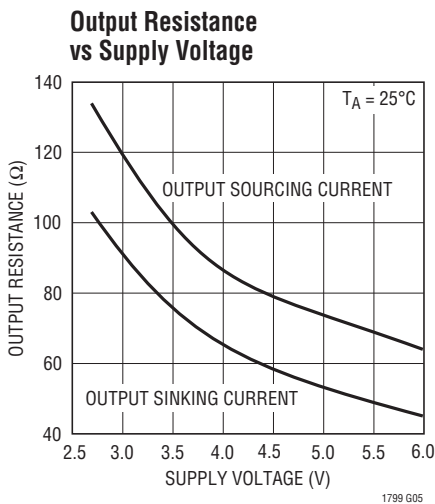
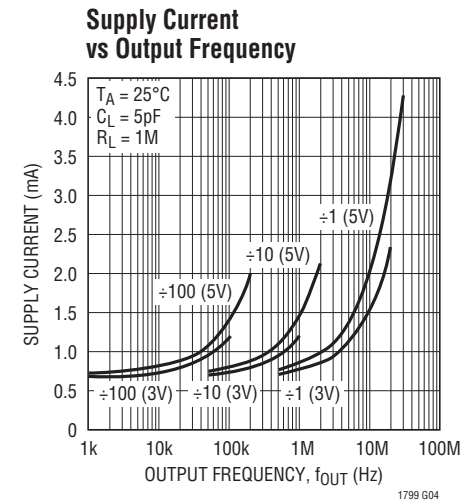
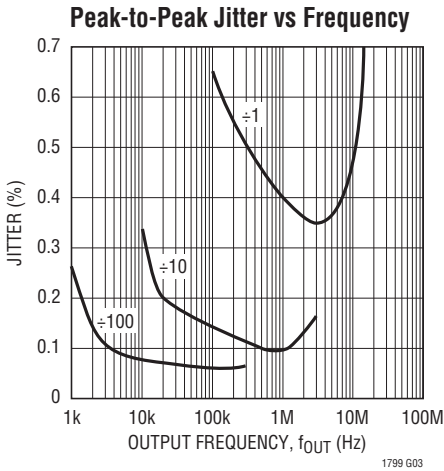
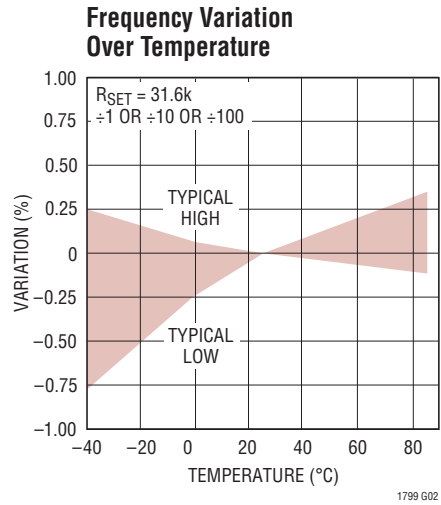
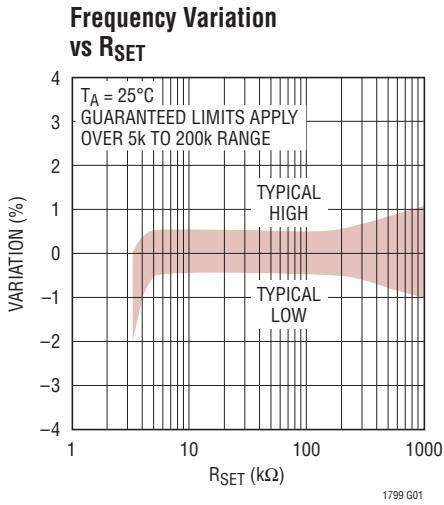
Note 4: Jitter is the ratio of the peak-to-peak distribution of the period to the mean of the period. This specification is based on characterization and is not 100% tested.

Note 5: To conform with the Logic IC Standard convention, current out of a pin is arbitrarily given as a negative value.

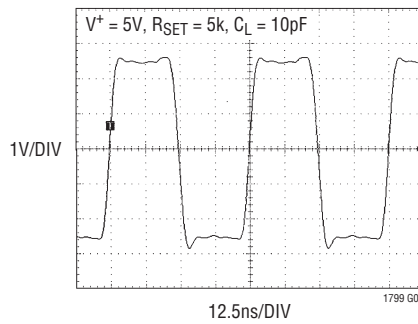
Note 6: Output rise and fall times are measured between the 10% and 90% power supply levels. These specifications are based on characterization.

Note 7: Guaranteed by 5V test.

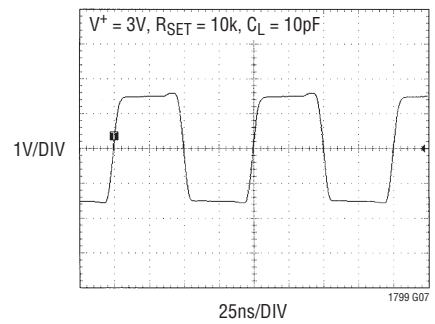
TYPICAL PERFORMANCE CHARACTERISTICS



LTC1799 Output Operating at 20MHz, V_S = 5V



LTC1799 Output Operating at 10MHz, V_S = 3V



PIN FUNCTIONS

V⁺ (Pin 1): Voltage Supply ($2.7V \leq V^+ \leq 5.5V$). This supply must be kept free from noise and ripple. It should be bypassed directly to a ground plane with a $0.1\mu F$ capacitor.

GND (Pin 2): Ground. Should be tied to a ground plane for best performance.

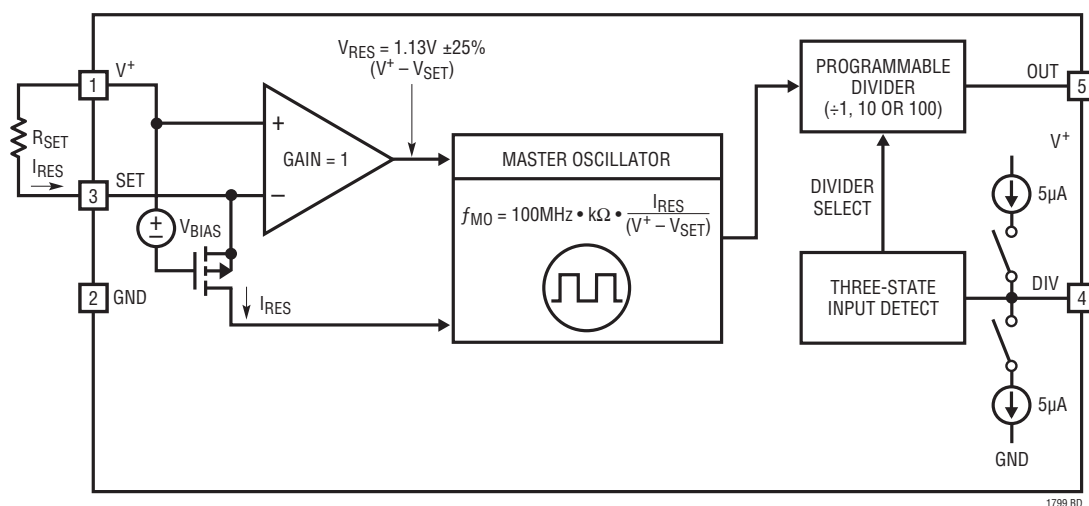
SET (Pin 3): Frequency-Setting Resistor Input. The value of the resistor connected between this pin and V⁺ determines the oscillator frequency. The voltage on this pin is held by the LTC1799 to approximately 1.13V below the V⁺ voltage. For best performance, use a precision metal film resistor with a value between 10k and 200k and limit the capacitance on this pin to less than 10pF.

DIV (Pin 4): Divider-Setting Input. This three-state input selects among three divider settings, determining the value of N in the frequency equation. Pin 4 should be tied to GND for the ÷1 setting, the highest frequency range.

Floating Pin 4 divides the master oscillator by 10. Pin 4 should be tied to V⁺ for the ÷100 setting, the lowest frequency range. To detect a floating DIV pin, the LTC1799 attempts to pull the pin toward midsupply. This is realized with two internal current sources, one tied to V⁺ and Pin 4 and the other one tied to ground and Pin 4. Therefore, driving the DIV pin high requires sourcing approximately 5μA. Likewise, driving DIV low requires sinking 5μA. When Pin 4 is floated, preferably it should be bypassed by a 1nF capacitor to ground or it should be surrounded by a ground shield to prevent excessive coupling from other PCB traces.

OUT (Pin 5): Oscillator Output. This pin can drive 5kΩ and/or 10pF loads. Larger loads may cause inaccuracies due to supply bounce at high frequencies. Transients will not cause latchup if the current into/out of the OUT pin is limited to 50mA.

BLOCK DIAGRAM



THEORY OF OPERATION

As shown in the Block Diagram, the LTC1799's master oscillator is controlled by the ratio of the voltage between the V⁺ and SET pins and the current entering the SET pin (I_{RES}). The voltage on the SET pin is forced to approximately 1.13V below V⁺ by the PMOS transistor and its gate bias voltage. This voltage is accurate to ±7% at a particular input current and supply voltage (see Figure 1). The effective input resistance is approximately 2k.

A resistor R_{SET}, connected between the V⁺ and SET pins, "locks together" the voltage (V⁺ - V_{SET}) and current, I_{RES}, variation. This provides the LTC1799's high precision. The master oscillation frequency reduces to:

$$f_{MO} = 10\text{MHz} \cdot \left(\frac{10\text{k}\Omega}{R_{SET}} \right)$$

The LTC1799 is optimized for use with resistors between 10k and 200k, corresponding to master oscillator frequencies between 0.5MHz and 10MHz. Accurate frequencies up to 20MHz (R_{SET} = 5k) are attainable if the supply voltage is greater than 4V.

To extend the output frequency range, the master oscillator signal may be divided by 1, 10 or 100 before driving OUT

(Pin 5). The divide-by value is determined by the state of the DIV input (Pin 4). Tie DIV to GND or drive it below 0.5V to select ÷1. This is the highest frequency range, with the master output frequency passed directly to OUT. The DIV pin may be floated or driven to midsupply to select ÷10, the intermediate frequency range. The lowest frequency range, ÷100, is selected by tying DIV to V⁺ or driving it to within 0.4V of V⁺. Figure 2 shows the relationship between R_{SET}, divider setting and output frequency, including the overlapping frequency ranges near 100kHz and 1MHz.

The CMOS output driver has an on resistance that is typically less than 100Ω. In the ÷1 (high frequency) mode, the rise and fall times are typically 7ns with a 5V supply and 11ns with a 3V supply. These times maintain a clean square wave at 10MHz (20MHz at 5V supply). In the ÷10 and ÷100 modes, where the output frequency is much lower, slew rate control circuitry in the output driver increases the rise/fall times to typically 14ns for a 5V supply and 19ns for a 3V supply. The reduced slew rate lowers EMI (electromagnetic interference) and supply bounce.

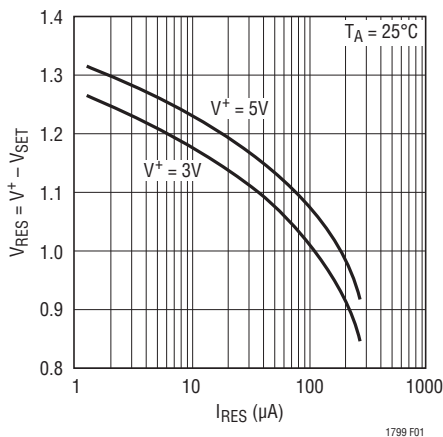


Figure 1. V⁺ - V_{SET} Variation with I_{RES}

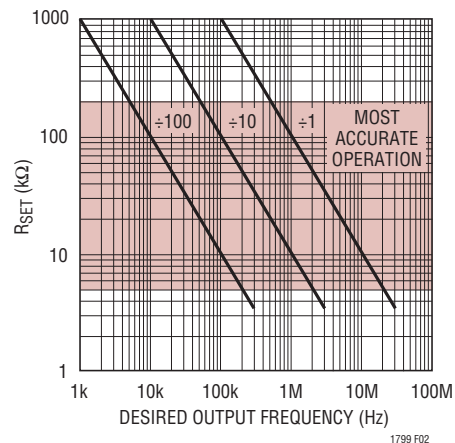


Figure 2. R_{SET} vs Desired Output Frequency

APPLICATIONS INFORMATION

SELECTING THE DIVIDER SETTING AND RESISTOR

The LTC1799's master oscillator has a frequency range spanning 0.1MHz to 33MHz. However, accuracy may suffer if the master oscillator is operated at greater than 10MHz with a supply voltage lower than 4V. A programmable divider extends the frequency range to greater than three decades. Table 1 describes the recommended frequencies for each divider setting. Note that the ranges overlap; at some frequencies there are two divider/resistor combinations that result in the desired frequency.

In general, any given oscillator frequency (f_{OSC}) should be obtained using the lowest master oscillator frequency. Lower master oscillator frequencies use less power and are more accurate. For instance, $f_{OSC} = 100\text{kHz}$ can be obtained by either $R_{SET} = 10\text{k}$, $N = 100$, master oscillator = 10MHz or $R_{SET} = 100\text{k}$, $N = 10$, master oscillator = 1MHz. The $R_{SET} = 100\text{k}$ is preferred for lower power and better accuracy.

Table 1. Frequency Range vs Divider Setting

DIVIDER SETTING	FREQUENCY RANGE
$\div 1 \Rightarrow$ DIV (Pin 4) = GND	$>500\text{kHz}^*$
$\div 10 \Rightarrow$ DIV (Pin 4) = Floating	50kHz to 1MHz
$\div 100 \Rightarrow$ DIV (Pin 4) = V^+	$<100\text{kHz}$

*At master oscillator frequencies greater than 10MHz ($R_{SET} < 10\text{k}\Omega$), the LTC1799 may suffer reduced accuracy with a supply voltage less than 4V.

After choosing the proper divider setting, determine the correct frequency-setting resistor. Because of the linear correspondence between oscillation period and resistance, a simple equation relates resistance with frequency.

$$R_{SET} = 10\text{k} \cdot \left(\frac{10\text{MHz}}{N \cdot f_{OSC}} \right), N = \begin{cases} 100 \\ 10 \\ 1 \end{cases}$$

$$(R_{SETMIN} = 3\text{k} \text{ (5V Supply)}, 5\text{k} \text{ (3V Supply)}, \\ R_{SETMAX} = 1\text{M})$$

Any resistor, R_{SET} , tolerance adds to the inaccuracy of the oscillator, f_{OSC} .

ALTERNATIVE METHODS OF SETTING THE OUTPUT FREQUENCY OF THE LTC1799

The oscillator may be programmed by any method that sources a current into the SET pin (Pin 3). The circuit in Figure 3 sets the oscillator frequency using a programmable current source and in the expression for f_{OSC} , the resistor R_{SET} is replaced by the ratio of $1.13\text{V}/I_{CONTROL}$. As already explained in the "Theory of Operation," the voltage difference between V^+ and SET is approximately 1.13V, therefore, the Figure 3 circuit is less accurate than if a resistor controls the oscillator frequency.

Figure 4 shows the LTC1799 configured as a VCO. A voltage source is connected in series with an external 10k resistor. The output frequency, f_{OSC} , will vary with $V_{CONTROL}$, that is the voltage source connected between V^+ and the SET pin. Again, this circuit decouples the relationship between the input current and the voltage between V^+ and SET; the frequency accuracy will be degraded. The oscillator frequency, however, will monotonically increase with decreasing $V_{CONTROL}$.

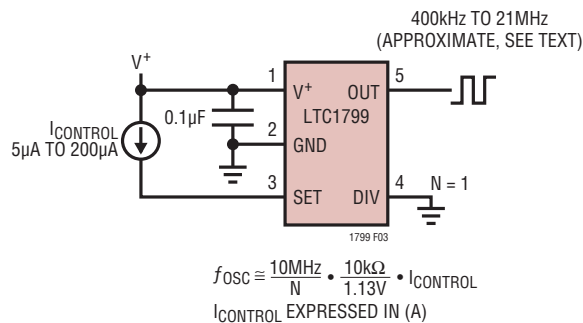


Figure 3. Current Controlled Oscillator

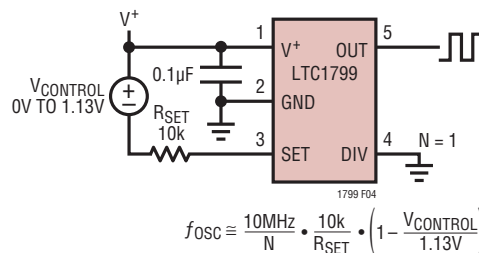


Figure 4. Voltage Controlled Oscillator

APPLICATIONS INFORMATION

POWER SUPPLY REJECTION

Low Frequency Supply Rejection (Voltage Coefficient)

Figure 5 shows the output frequency sensitivity to power supply voltage at several different temperatures. The LTC1799 has a conservative guaranteed voltage coefficient of 0.1%/V but, as Figure 5 shows, the typical supply sensitivity is lower.

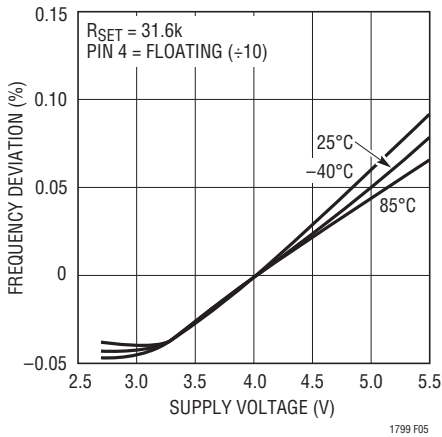


Figure 5. Supply Sensitivity

High Frequency Power Supply Rejection

The accuracy of the LTC1799 may be affected when its power supply generates significant noise with frequency contents in the vicinity of the programmed value of f_{OSC} . If a switching power supply is used to power up the LTC1799, and if the ripple of the power supply is more than a few tens of millivolts, make sure the switching frequency and its harmonics are not related to the output frequency of the LTC1799. Otherwise, the oscillator may show an additional 0.1% to 0.2% of frequency error.

If the LTC1799 is powered by a switching regulator and the switching frequency or its harmonics coincide with the output frequency of the LTC1799, the jitter of the oscillator output may be affected. This phenomenon will become noticeable if the switching regulator exhibits ripples beyond 30mV.

START-UP TIME

The start-up time and settling time to within 1% of the final value can be estimated by $t_{START} \cong R_{SET}(2.8\mu s/k\Omega) + 20\mu s$. Note the start-up time depends on R_{SET} and it is independent from the setting of the divider pin. For instance with $R_{SET} = 50k$, the LTC1799 will settle with 1% of its 200kHz final value ($N = 10$) in approximately 160 μs . Figure 6 shows start-up times for various R_{SET} resistors.

Figure 7 shows an application where a second set resistor R_{SET2} is connected in parallel with set resistor R_{SET1} via switch S1. When switch S1 is open, the output frequency of the LTC1799 depends on the value of the resistor R_{SET1} . When switch S1 is closed, the output frequency of the LTC1799 depends on the value of the parallel combination of R_{SET1} and R_{SET2} .

The start-up time and settling time of the LTC1799 with switch S1 open (or closed) is described by t_{START} shown above. Once the LTC1799 starts and settles, and switch S1 closes (or opens), the LTC1799 will settle to its new output frequency within approximately 25 μs .

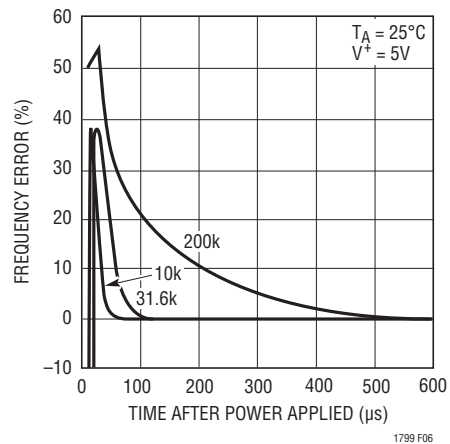


Figure 6. Start-Up Time

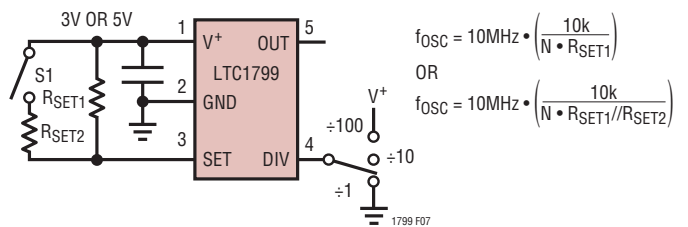


Figure 7

APPLICATIONS INFORMATION

Jitter

The typical jitter is listed in the Electrical Characteristics and shown in the Typical Performance Characteristics. These specifications assume that the capacitance on SET (Pin 3) is limited to less than 10pF, as suggested in the Pin Functions description. If this requirement is not met, the jitter will increase. For more information, contact Linear Technology Applications group.

A Ground Referenced Voltage Controlled Oscillator

The LTC1799 output frequency can also be programmed by steering current in or out of the SET pin, as conceptually shown in Figure 8. This technique can degrade accuracy as the ratio of $(V^+ - V_{SET}) / I_{RES}$ is no longer uniquely dependent of the value of R_{SET} , as shown in the LTC1799 Block Diagram. This loss of accuracy will become noticeable when the magnitude of I_{PROG} is comparable to I_{RES} . The frequency variation of the LTC1799 is still monotonic.

Figure 9 shows how to implement the concept shown in Figure 8 by connecting a second resistor, R_{IN} , between the SET pin and a ground referenced voltage source, V_{IN} .

For a given power supply voltage in Figure 9, the output frequency of the LTC1799 is a function of V_{IN} , R_{IN} , R_{SET} and $(V^+ - V_{SET}) = V_{RES}$:

$$f_{OSC} = \frac{10\text{MHz}}{N} \cdot \frac{10\text{k}}{R_{IN} \parallel R_{SET}} \cdot \left[1 + \frac{(V_{IN} - V^+)}{V_{RES}} \cdot \left(\frac{1}{1 + \frac{R_{IN}}{R_{SET}}} \right) \right] \quad (1)$$

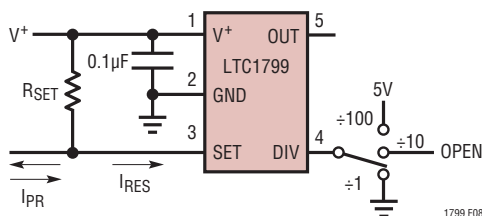


Figure 8. Concept for Programming via Current Steering

When $V_{IN} = V^+$, the output frequency of the LTC1799 assumes the highest value and it is set by the parallel combination of R_{IN} and R_{SET} . Also note, the output frequency, f_{OSC} , is independent of the value of $V_{RES} = (V^+ - V_{SET})$ so the accuracy of f_{OSC} is within the data sheet limits.

When V_{IN} is less than V^+ , and especially when V_{IN} approaches the ground potential, the oscillator frequency, f_{OSC} , assumes its lowest value and its accuracy is affected by the change of $V_{RES} = (V^+ - V_{SET})$. At 25°C V_{RES} varies by $\pm 8\%$, assuming the variation of V^+ is $\pm 5\%$. The temperature coefficient of V_{RES} is 0.02%/°C.

By manipulating the algebraic relation for f_{OSC} above, a simple algorithm can be derived to set the values of external resistors R_{SET} and R_{IN} , as shown in Figure 9.

1. Choose the desired value of the maximum oscillator frequency, $f_{OSC(MAX)}$, occurring at maximum input voltage $V_{IN(MAX)} \leq V^+$.
2. Set the desired value of the minimum oscillator frequency, $f_{OSC(MIN)}$, occurring at minimum input voltage $V_{IN(MIN)} \geq 0$.
3. Choose $V_{RES} = 1.1$ and calculate the ratio of R_{IN}/R_{SET} from the following:

$$\frac{R_{IN}}{R_{SET}} = \frac{(V_{IN(MAX)} - V^+) - \left(\frac{f_{OSC(MAX)}}{f_{OSC(MIN)}} \right) (V_{IN(MIN)} - V^+)}{V_{RES} \left[\left(\frac{f_{OSC(MAX)}}{f_{OSC(MIN)}} \right) - 1 \right]} - 1 \quad (2)$$

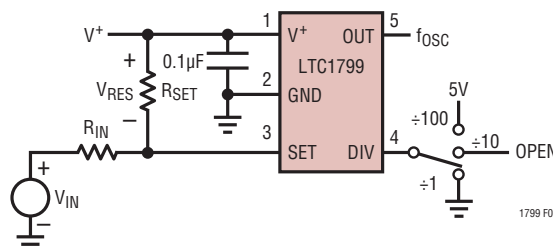


Figure 9. Implementation of Concept Shown in Figure 8

APPLICATIONS INFORMATION

Once R_{IN}/R_{SET} is known, calculate R_{SET} from:

$$R_{SET} = \frac{10\text{MHz}}{N} \cdot \frac{10\text{k}}{f_{OSC(MAX)}} \cdot \left[\frac{\left(V_{IN(MAX)} - V^+ \right) + V_{RES} \left(1 + \frac{R_{IN}}{R_{SET}} \right)}{V_{RES} \left(\frac{R_{IN}}{R_{SET}} \right)} \right] \quad (3)$$

Maximum VCO Modulation Bandwidth

The maximum VCO modulation bandwidth is 10kHz; that is, the LTC1799 will respond to changes in V_{IN} at a rate up to 25kHz. In lower frequency applications however, the modulation frequency may need to be limited to a lower rate to prevent an increase in output jitter. This lower limit

is the master oscillator frequency divided by 20, ($f_{OSC}/20$). In general, for minimum output jitter the modulation frequency should be limited to $f_{OSC}/20$ or 10kHz, whichever is less. For best performance at all frequencies, the value for f_{OSC} should be the master oscillator frequency ($N = 1$) when V_{IN} is at the lowest level.

Table 2. Variation of V_{RES} for Various Values of $R_{IN} \parallel R_{SET}$

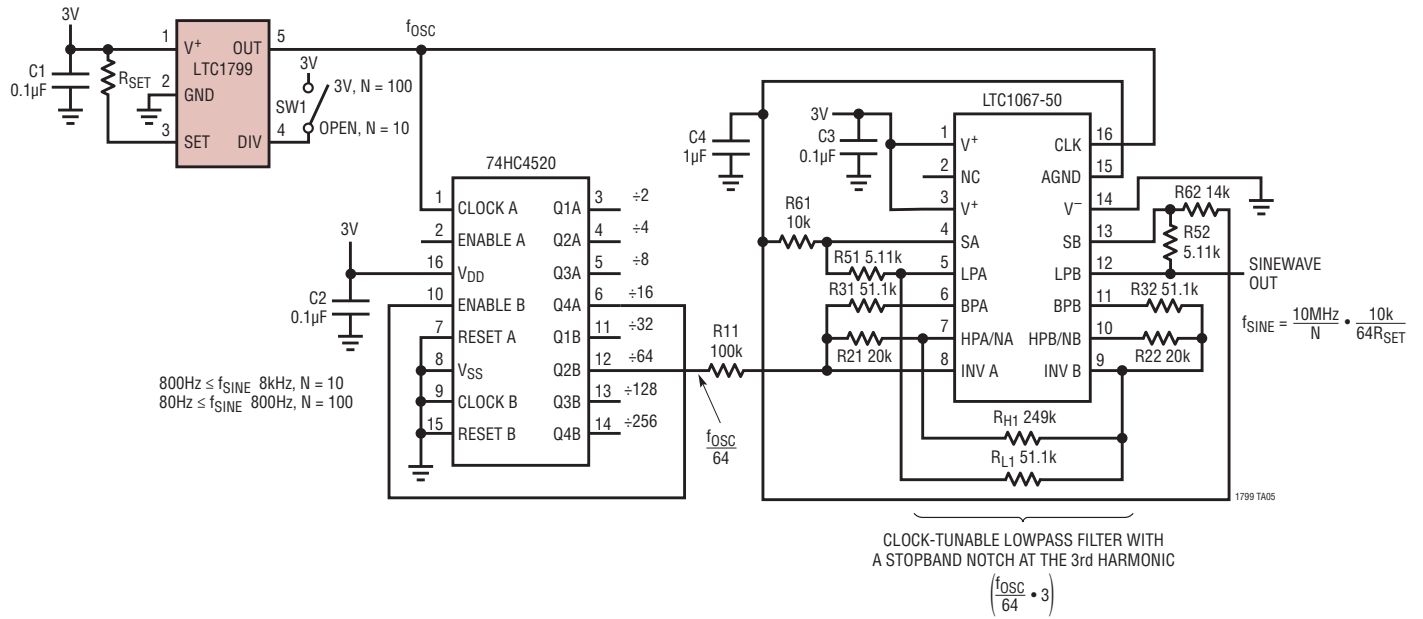
$R_{IN} \parallel R_{SET} (V_{IN} = V^+)$	$V_{RES}, V^+ = 3V$	$V_{RES}, V^+ = 5V$
10k	0.98V	1.06V
20k	1.03V	1.11V
40k	1.09V	1.17V
80k	1.13V	1.21V
160k	1.16V	1.24V

V_{RES} = Voltage across R_{SET}

Note: All of the calculations above assume $V_{RES} = 1.1V$, although $V_{RES} \approx 1.1V$. For completeness, Table 2 shows the variation of V_{RES} against various parallel combinations of R_{IN} and R_{SET} ($V_{IN} = V^+$). Calculate first with $V_{RES} \approx 1.1V$, then use Table 2 to get a better approximation of V_{RES} , then recalculate the resistor values using the new value for V_{RES} .

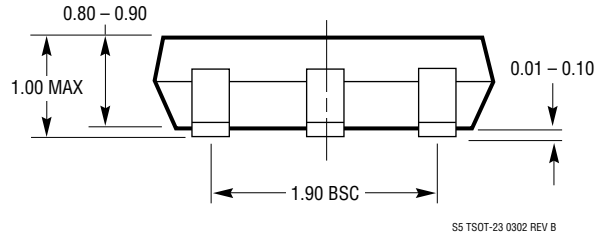
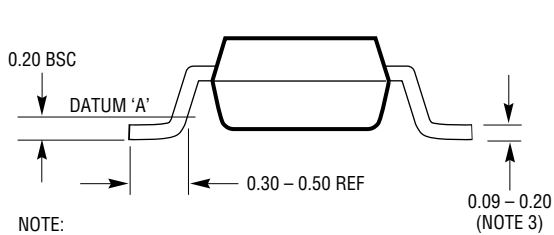
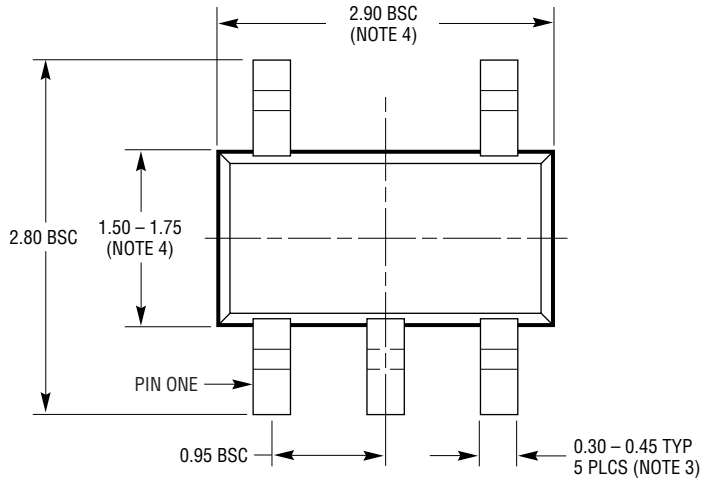
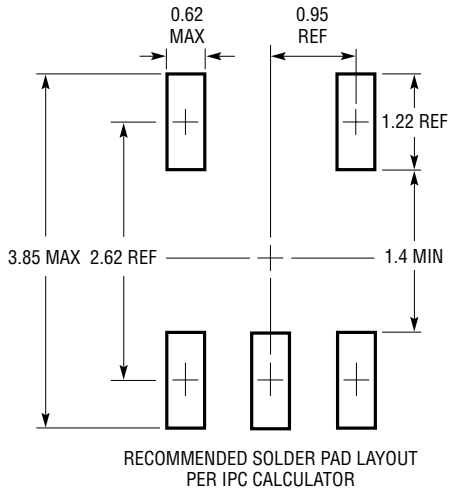
TYPICAL APPLICATION

Low Power 80Hz to 8kHz Sine Wave Generator ($I_Q < 4mA$)



PACKAGE DESCRIPTION

S5 Package
5-Lead Plastic TSOT-23
 (Reference LTC DWG # 05-08-1635)



- NOTE:
1. DIMENSIONS ARE IN MILLIMETERS
 2. DRAWING NOT TO SCALE
 3. DIMENSIONS ARE INCLUSIVE OF PLATING
 4. DIMENSIONS ARE EXCLUSIVE OF MOLD FLASH AND METAL BURR
 5. MOLD FLASH SHALL NOT EXCEED 0.254mm
 6. JEDEC PACKAGE REFERENCE IS MO-193

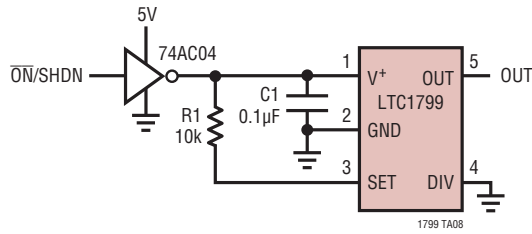
S5 TSOT-23 0302 REV B

REVISION HISTORY (Revision history begins at Rev C)

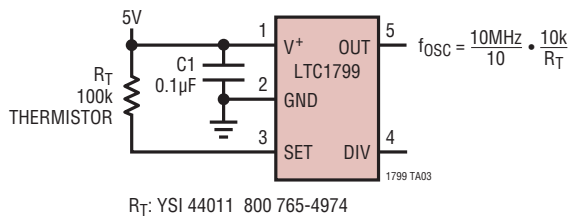
REV	DATE	DESCRIPTION	PAGE NUMBER
C	1/11	Revised part number in Maximum VCO Modulation Bandwidth section.	10

TYPICAL APPLICATIONS

Shutting Down the LTC1799

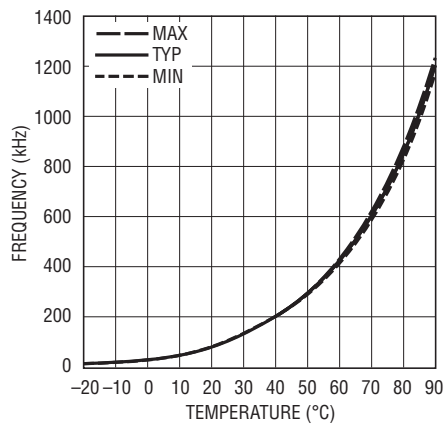


Temperature-to-Frequency Converter



R_T: YSI 44011 800 765-4974

Output Frequency vs Temperature



1799 TA04