

ALMA MATER STUDIORUM · UNIVERSITÀ DI BOLOGNA
CAMPUS DI CESENA

DIPARTIMENTO DI INGEGNERIA DELL'ENERGIA ELETTRICA E DELL'INFORMAZIONE
"GUGLIELMO MARCONI"

CORSO DI LAUREA MAGISTRALE IN
INGEGNERIA ELETTRONICA E TELECOMUNICAZIONI PER L'ENERGIA

TITOLO DELLA TESI:

**Progetto di un convertitore DC/DC integrato
a capacità commutate in ambito energy
harvesting**

TESI DI LAUREA MAGISTRALE IN
TECNOLOGIE ELETTRONICHE PER L'INFORMAZIONE E
L'ENERGIA LM

RELATORE:
ALDO ROMANI

PRESENTATA DA:
CHIARA RUVA

CORRELATORE:
MATTEO PIZZOTTI

III SESSIONE - II APPELLO
ANNO ACCADEMICO 2018/2019

A mio padre, per il suo coraggio
A mia madre, per la sua forza
A mia sorella, per essere la mia fonte d'ispirazione

Abstract

Il progetto di questa tesi prevede lo studio di un convertitore DC/DC a capacità commutate con guadagno/frequenza di commutazione configurabili dinamicamente e a bassa potenza per l'estrazione di energia da fonti ambientali. L'assenza di componenti magnetici e le grandezze in gioco fanno sì, generalmente, che tale blocco di conversione sia completamente integrabile con conseguente riduzione dell'ingombro e del costo, rendendolo collocabile in ambito IoT. Tra le varie architetture oggetto di studio, la topologia implementata rappresenta una soluzione vantaggiosa perchè fornisce un vasto numero di rapporti di conversione del DC/DC grazie alla possibilità di combinare i collegamenti di un array di condensatori.

Il circuito di conversione è stato progettato e simulato in ambiente CAD (Cadence), al fine di indagare il reciproco effetto tra le variabili in gioco e le configurazioni di guadagno e frequenza che garantiscono l'ottimizzazione delle figure di merito. Il sistema è stato affiancato da un modello del circuito equivalente del convertitore volto ad indagare in maniera approfondita l'andamento di diverse figure di merito in funzione delle variabili in gioco.

Indice

1	Introduzione	1
1.1	<i>Power Management Unit</i>	3
1.2	Convertitore DC/DC	5
2	Convertitore di potenza a capacità commutate	7
2.1	Pompa di carica di Dickson	7
2.2	Circuito equivalente	9
2.3	Prestazioni	12
2.4	Topologie di <i>charge pump</i>	12
2.5	Convertitore SC Serie-Parallelo	14
3	Convertitore SC implementato	17
3.1	Modello elettrico	22
3.2	Design	27
3.3	Bootstrapped Switch	30
3.4	Dimensionamento	33
4	Circuito Digitale	35
4.1	Modulo per il controllo digitale	35
4.2	Discoverlap	40
5	Risultati e Discussione	42
5.1	Modalità di simulazione	42
5.2	Risultati	44
6	Conclusioni	48
	Bibliografia	50

Capitolo 1

Introduzione

Attualmente si fa sempre più rilevante la necessità di promuovere la "raccolta" di una certa quantità di energia fornita dall'ambiente, che altrimenti andrebbe persa in luce, calore, vento, o in altre forme disponibili in natura e non. Ben nota come *energy harvesting*, questa tecnica si basa sull'idea di trasformare e immagazzinare tale energia in forma elettrica, valida come sorgente secondaria per l'alimentazione dei dispositivi elettronici.

Tra le fonti di energia ambientali più comuni, come mostrato in figura 1.1, si possono considerare:

- sorgente di energia solare, basata sull'*effetto fotovoltaico*: l'intensità di radiazione variabile è responsabile del funzionamento della cella solare che si comporta in prima approssimazione come un generatore di corrente;
- sorgente di energia termica basata sull'*effetto Seebeck*: tipicamente presente nei contesti industriali¹, un materiale termoelettrico sottoposto ad un gradiente di temperatura genera ai suoi capi una differenza di potenziale (anche chiamato *thermoelectric generator* (TEG)) [1];
- sorgente di energia vibrazionale basata sulla *piezoelettricità*: i trasduttori piezoelettrici accumulano carica a fronte di una propria deformazione meccanica;
- sorgente di energia RF basata sullo sfruttamento dell'emissione elettromagnetica derivante dalle trasmissioni radio, come ad esempio negli elementi di identificazione a radiofrequenza (RFID).

¹In realtà, è sempre più emergente la conversione del calore corporeo per l'alimentazione dei dispositivi indossabili.



Figura 1.1: Alcune delle fonti alternative in ambito *energy harvesting*.

Sebbene l'energia estratta dalle fonti alternative sia tipicamente contenuta, l'approccio funziona perchè agisce favorevolmente sullo sviluppo e sulla diffusione di sistemi energeticamente autonomi per applicazioni a bassa potenza. Tipicamente nei sistemi elettronici i valori di potenza sono dell'ordine dei μW o dei nW .

Infatti, le specifiche imposte dall'*energy harvesting* (EH) ben si indirizzano alle richieste dell'*Internet-of-Things* (IoT), un mondo per il quale è sempre più dominante la disposizione di un numero elevato di sensori nell'ambiente. Ciascuno di questi *wireless sensor nodes* (WSNs) ha il compito di far interagire gli oggetti ai quali sono collegati, connettendoli in una rete di comunicazione.

L'EH serve perchè, sebbene l'IoT possa contribuire in maniera significativa in ambito logistico, industriale, di intrattenimento, nonché di sicurezza [2], sarebbe opportuno che ogni nodo fosse, quindi, in grado di soddisfare i seguenti requisiti[3]:

- essere *stand-alone*: l'utilizzo di un *harvester* eliminerebbe la manutenzione della batteria e la sua sostituzione, nonché la necessità della connessione alla rete;
- essere in grado di configurarsi automaticamente quando è inserito nella rete²;
- essere *low power*, perchè il numero di sensori pronti a monitorare è notevole e sistemi a bassa potenza aiuterebbero ad abbattere il consumo e ad incentivare la sostenibilità. In particolare, l'introduzione dell'EH, in combinazione con lo sviluppo di circuito *low-power*, può positivamente impattare sulla possibilità di ottenere soluzioni *stand-alone* e, in linea teorica, perpetue;

²Questo è l'impegno dei diversi protocolli di comunicazione [4].

- essere poco ingombrante, per la riduzione dei costi³.

Si tratta sostanzialmente di far convergere la raccolta, l'elaborazione e la condivisione dei dati in sistemi poco complessi e specializzati, in relazione al settore di applicazione.

1.1 *Power Management Unit*

Tuttavia, quando l'esigenza ambientale si combina con l'evoluzione tecnologica IoT, occorre impiegare una soluzione che sia in grado di affrontare le problematiche legate sia alla disponibilità della sorgente che ai requisiti dell'utilizzatore.

Il problema di *mismatching* tra il sistema EH e quello IoT deriva principalmente dal fatto che la quantità estratta dall'*harvester* non sia prevedibile o definita a priori. Questa è la ragione dell'esistenza dell'elemento di accumulo (*storage element*), come mostrato in figura 1.2. Essendo tipicamente l'energia raccolta in EH inferiore a quella richiesta dal carico, è necessario che questo elemento di accumulo (una batteria o un supercondensatore) sia in grado di volta in volta di immagazzinare energia fino a raggiungere una quantità capace di caricare sufficientemente il nodo in uscita, secondo le specifiche di tensione o corrente richieste. D'altro canto, a prescindere dalla quantità di energia che è possibile estratte dalla sorgente di *harvesting*, spesso le tensioni in gioco non sono compatibili con l'elettronica a valle, cosa che rende necessaria una regolazione specifica.

³Questo garantisce, nell'eventualità, che possa essere indossabile.

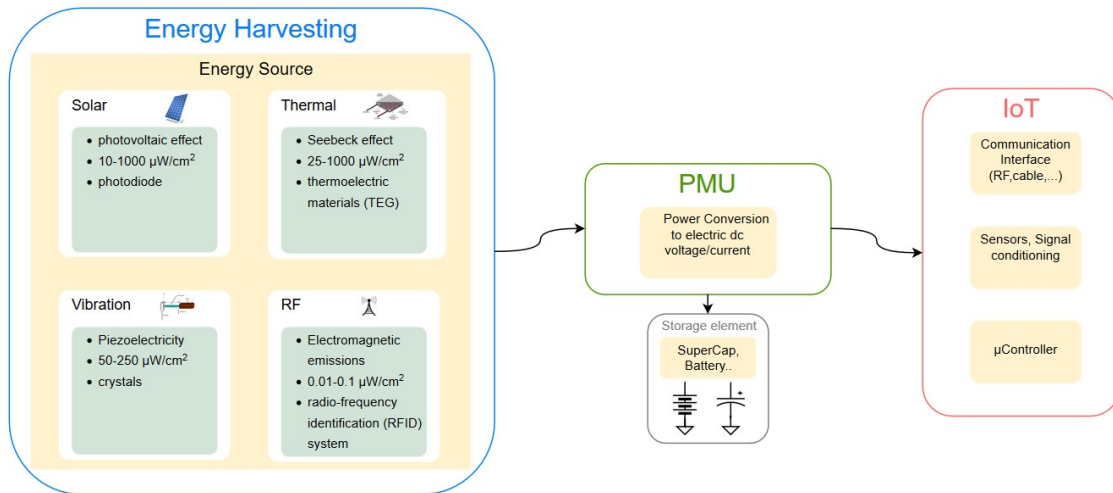


Figura 1.2: Schema a blocchi del processo di *energy harvesting* per applicazioni Iot. Il blocco PMU si occupa di gestire le criticità legate ai limiti dei blocchi adiacenti.

Tipicamente quindi adottare una *Power Management Unit* (PMU) offre la possibilità di:

- garantire un'estrazione efficiente di energia dalla sorgente energetica;
- fornire una tensione che sia efficientemente regolata e stabile al nodo di uscita;
- fornire una tensione che sia adattabile alle richieste dal carico: questo perchè le tensioni dell'*harvester* non sono necessariamente compatibili con quelle del nodo di uscita. Generalmente, infatti, la tensione proveniente da un TEG, ad esempio, risulta essere minore di un volt e perciò, sebbene sia stabile, è opportuno che venga innalzata mediante un blocco di conversione di tipo *boost*⁴;
- garantire la protezione del nodo da sovratensioni nel caso l'*harvester* estraesse potenza in eccesso o, dualmente, nel caso in cui l'energia immagazzinata nell'elemento saturasse.

Generalmente, affinchè il nodo sensore possa operare con una tensione di ingresso costante, è opportuno utilizzare un convertitore DC/DC in grado di gestire le fluttuazioni provenienti dal dispositivo di *harvesting*.

⁴Lo stesso può valere nel caso di una cella fotovoltaica per la quale è possibile invece che la tensione sia più alta (tipicamente non in condizioni *indoor*) e che quindi debba esser abbassata utilizzando un blocco di conversione di tipo *buck*.

1.2 Convertitore DC/DC

Un efficiente DC/DC, responsabile della generazione di diversi livelli di tensione da fornire a fronte di diversi valori del carico, può presentarsi in una delle tre principali tipologie:

- regolatore *Low Drop Out* (LDO);
- ad induttori commutati (*switched inductor*, SI);
- a capacità commutate (*switched capacitor*, SC).

Un LDO rappresenta una buona soluzione quando la condizione prevede che la tensione fornita in uscita possa non essere superiore a quella di ingresso. Essendo la sua efficienza proporzionale al rapporto tra la tensione di uscita e la tensione di ingresso, tuttavia, esso risulta essere intrinsecamente poco efficiente. Questo suggerisce un'incompatibilità coi requisiti imposti dall'ambito di applicazione. In figura 1.3 è illustrata una generica struttura del regolatore costituito internamente da un blocco adibito alla comparazione tra la tensione di uscita ed una tensione di riferimento V_{ref} per la variazione del blocco resistivo.

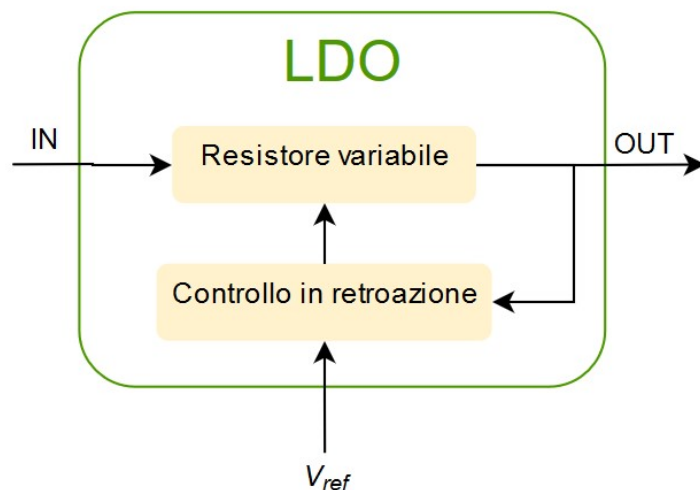


Figura 1.3: Struttura di un generico regolatore LDO.

Il convertitore SI è largamente usato in implementazioni *off-chip* e risulta efficiente per alti livelli di corrente. Tuttavia, la presenza dell'induttore costituisce una serie di problematiche in relazione alle difficoltà di integrazione su

chip⁵ e agli effetti negativi di carattere magnetico. In figura 1.4 è osservabile la struttura di un generico blocco di conversione SI costituito internamente, oltre che dal convertitore stesso, anche dal blocco di generazione del clock e un blocco dedicato al controllo degli *switch* ed esternamente dall'induttanza non integrata nel sistema.

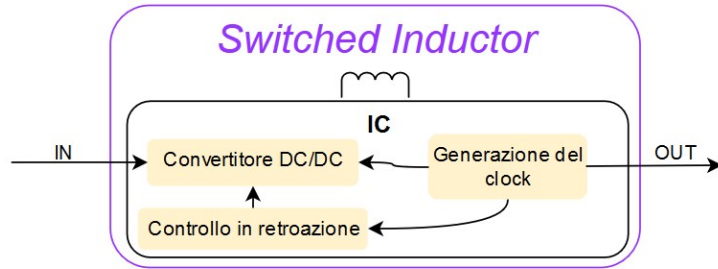


Figura 1.4: Struttura di un generico convertitore SI.

Alternativamente, il convertitore SC si presta bene alle applicazioni *energy harvesting* grazie all'efficienza riscontrata per bassi livelli di corrente e alla migliore integrabilità del condensatore [6]. Un generico blocco di conversione SC è sostanzialmente uguale a quello proposto in figura 1.4, ad esclusione dell'induttanza esterna e quindi delle criticità legate ad essa, come mostrato in figura 1.5.

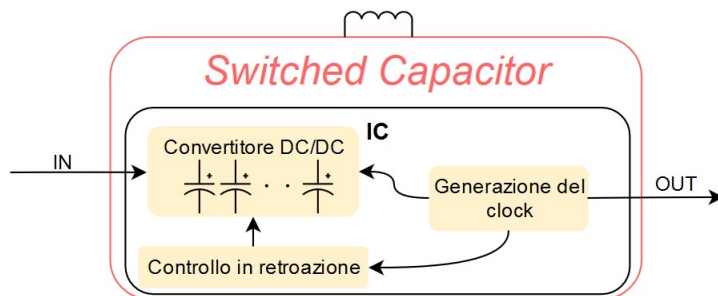


Figura 1.5: Struttura di un generico convertitore SC.

⁵Convertitori DC/DC completamente integrati basati su induttori richiedono costose fasi di fabbricazione aggiuntive [5], volte al miglioramento del fattore di merito Q.

Capitolo 2

Convertitore di potenza a capacità commutate

I convertitori capacitivi sono basati sull'idea di far caricare e scaricare dei condensatori commutandoli da una fase all'altra mediante l'uso di interruttori. Queste capacità non sono collegate ad un nodo fisso ma anzi le proprie armature sono connesse a dei nodi flottanti modulati tra due livelli di tensione. Lo spostamento tra questi livelli di tensione (compreso il collegamento verso massa, risultante puramente "virtuale") fa sì che questi condensatori siano definiti altrettanto flottanti (di *flying*).

Spesso identificato come pompa di carica (*charge pump*, CP) per un guadagno di conversione maggiore di uno, attualmente un convertitore commutato in *step-up* non differisce strutturalmente da uno in *step-down* grazie alla possibilità di configurare gli interruttori e i condensatori [7].

2.1 Pompa di carica di Dickson

La tipologia più semplice prende il nome da John Dickson il quale introdusse la catena di interruttori e condensatori utilizzata originariamente per migliorare una tecnica moltiplicativa della tensione in ingresso, generando alta tensione *on-chip* [8].

In figura 2.1, è illustrato lo schema di una pompa di carica di Dickson nella quale gli interruttori sono realizzati con dei semplici diodi. E' inoltre illustrato l'andamento dei due clock in opposizione di fase e di uguale ampiezza, posti in maniera tale da alternarsi in corrispondenza di ogni *bottom-plate*.

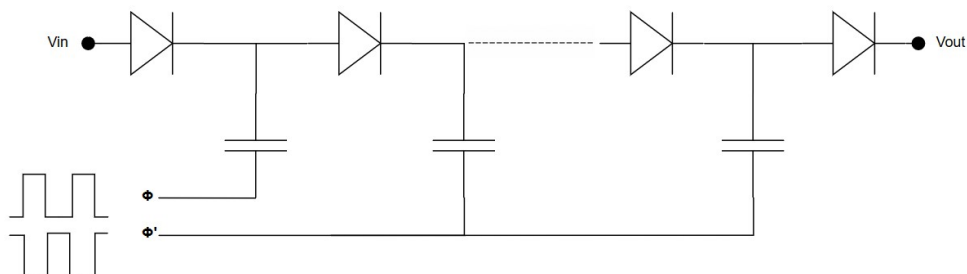


Figura 2.1: Schema della pompa di carica di Dickson.

Tale moltiplicatore funziona come una "linea di ritardo" che pompa "pacchetti di carica" lungo la catena di diodi, facilitati dai condensatori che vengono caricati e scaricati in corrispondenza di ciascuna metà del ciclo di clock.

Per comprendere meglio il funzionamento si consideri una pompa di carica a singolo stadio¹, come quella mostrata in figura 2.2. Nella prima fase, quando ϕ è basso, la capacità si carica di una quantità Q_1 fino al valore di valore di tensione dell'ingresso, a meno della soglia V_γ del primo diodo. Nella seconda fase, quando ϕ è alto, la C_{fly} compie un salto di tensione pari al valore di ampiezza V_ϕ del segnale di clock. Questo avviene perchè istantaneamente entrambe le armature del condensatore subiscono un Δ di tensione positivo, facendo salire il *top-plate* rispetto alla massa. Subito dopo aver raggiunto un livello di tensione pari a $V_{in} - V_\gamma + V_\phi$, comincia a condurre il diodo verso destra cedendo carica al *load*. La tensione in uscita avrà un valore pari al doppio della tensione al nodo v_1 a meno della soglia del secondo diodo.

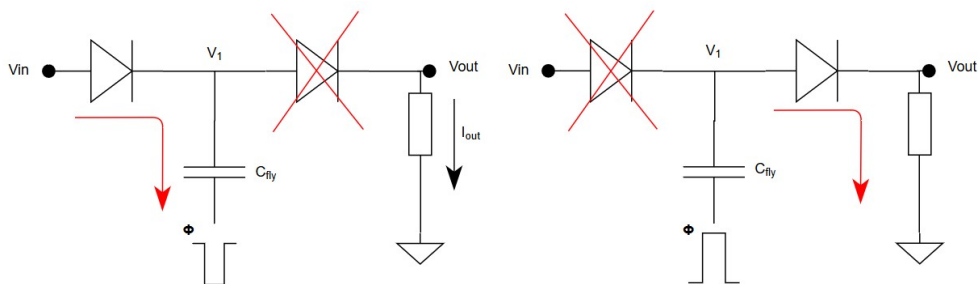


Figura 2.2: Schema della pompa di carica di Dickson a singolo stadio.

¹Anche chiamata *voltage doubler*.

Per una CP ad N stadi, il valore della tensione di uscita a regime assumerà un valore dato dalla seguente espressione, ottenuta secondo il principio della conservazione della carica:

$$V_{out} = (V_{in} - V_{\gamma}) + N(V_{\phi} - V_{\gamma}) - \frac{NI_{out}}{C_{fly}f_{clk}} \quad (2.1)$$

dove la V_{in} è la tensione di ingresso, V_{γ} è la tensione di soglia del diodo, V_{ϕ} è la tensione del segnale di clock, f_{clk} è la frequenza del segnale di clock e I_{out} è la corrente richiesta al carico.

Va chiarito, a tal proposito, come sia opportuno che i segnali di clock siano non solo in opposizione di fase ma anche non sovrapposti. Sostanzialmente, la non idealità delle onde quadre introduce dei ritardi che causano un disallineamento (*skew*) tra i due segnali, provocando l'accensione simultanea indesiderata di due interruttori. A sua volta, la chiusura di due *switch* comporterebbe una corrente di *reverse* altrettanto indesiderata fluente da valle a monte, ad esempio dal nodo di uscita verso l'ultima capacità della catena. La rete prevista per la generazione del segnale di clock deve perciò introdurre un blocco di ritardo in grado di garantire il *non-overlapping*.

2.2 Circuito equivalente

Tipicamente per uno *switched capacitor*, con riferimento all'espressione (2.1), lo scenario a regime è quello mostrato in figura 2.3.

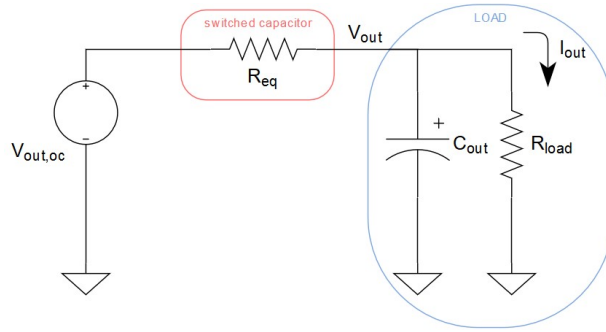


Figura 2.3: Semplice circuito equivalente della pompa di carica.

In questo semplice circuito equivalente, la tensione $V_{out,oc}$ rappresenta la tensione di uscita in condizioni di *open-circuit* definita per un numero di stadi pari ad N come segue:

$$V_{out,oc} = (V_{in} - V_d) + N(V_{\phi} - V_d) \quad (2.2)$$

mentre la resistenza equivalente R_{eq} è il risultato relativo allo studio svolto sulle perdite dovute alla redistribuzione di carica in un ciclo di clock ed è definita mediamente, sempre per un numero di stadi N come:

$$R_{eq} = \frac{N}{C_{fly}f_{clk}} \quad (2.3)$$

Sostituendo le espressioni (2.2) e (2.3) nella (2.1), si ottiene:

$$V_{out} = V_{out,oc} - R_{eq}I_{out} \quad (2.4)$$

Tuttavia, la validità di tale circuito equivalente è limitata comunque dalle seguenti condizioni:

1. $C_{out} \gg C_{fly}$;
2. quasi-stazionarietà del segnale di ingresso e della corrente di carico;

nonchè dalle opportune considerazioni svolte sulla R_{eq} . La resistenza equivalente può essere espressa in maniera più completa come segue:

$$R_{eq} = \frac{N}{f_{sw}C_{fly}} \frac{(1 + e^{-\beta})}{(1 - e^{-\beta})} = \frac{N}{f_{sw}C_{fly}} \coth\left(\frac{\beta}{2}\right) \quad (2.5)$$

dove β è definita come il rapporto tra l'intervallo di tempo t_{on} durante il quale gli interruttori sono accesi e la costante di tempo τ dell'equivalente RC, dove R è la resistenza equivalente degli *switch* e la C è la capacità di *flying*:

$$\beta = \frac{t_{on}}{\tau} \quad (2.6)$$

La (2.5) dipende dal regime operativo. In particolare, è possibile distinguere due casi:

- regime di *Slow Switching Limit* (SSL);
- regime di *Fast Switching Limit* (FSL).

Slow Switching Limit

Nel regime di funzionamento SSL, si assume che la carica e la scarica dei condensatori avvengano completamente. Affinchè questo avvenga è opportuno che:

$$T_{sw}\delta \gg C_{fly}R_{on} \implies \beta \gg 1 \quad (2.7)$$

dove T_{sw} corrisponde al periodo di *switching*, la δ rappresenta il *duty cycle* del segnale di clock e la R_{on} costituisce la resistenza reale dell'interruttore quando è acceso. Sotto questa condizione, la R_{eq} risulta essere difatto indipendente dalla R_{on} e mantiene perciò l'espressione (2.3).

Fast Switching Limit

Nel regime di funzionamento FSL, invece, si assume che i condensatori non siano in grado di caricarsi e scaricarsi completamente. E' previsto perciò, al contrario, che:

$$T_{sw}\delta \ll C_{fly}R_{on} \implies \beta \ll 1 \quad (2.8)$$

In questo caso di FSL, la R_{eq} raggiunge un valore limite corrispondente a $4R_{on}$.

In figura 2.4, è illustrato l'andamento della R_{eq} passante dalla fase di *slow* a quella di *fast* man mano che si riduce il periodo del clock, al variare del *duty cycle*. Come si può osservare, in corrispondenza di frequenze relativamente

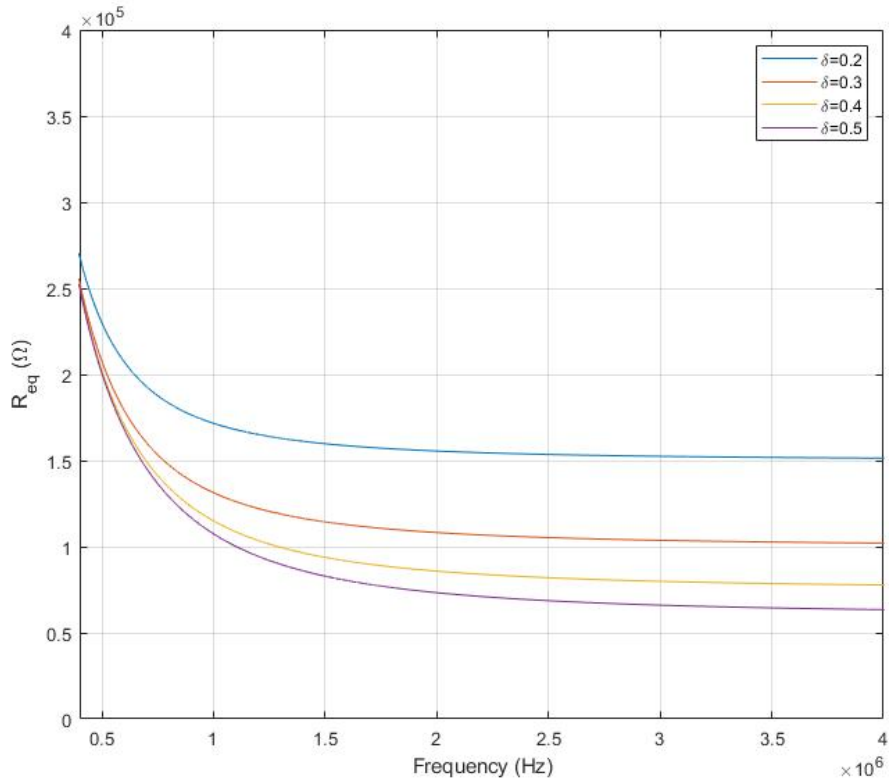


Figura 2.4: Andamento della resistenza equivalente R_{eq} in funzione della frequenza per diversi valori del δ del clock. E' stata ottenuta in Matlab simulando per R_{on} e C_{fly} fissate a $15k\Omega$ e $10pF$ rispettivamente.

basse, la resistenza equivalente tende ad assumere valori via via linearmente decrescenti al crescere della frequenza, in accordo con la (2.3). Al contrario,

per frequenze elevate la R_{eq} tende a saturare e ad assumere un valore crescente al decrescere del *duty cycle*.

2.3 Prestazioni

Sulla base delle considerazioni introdotte in 2.2 è opportuno far riferimento ad alcune figure di merito.

La *voltage conversion efficiency* (VCE) è un parametro che tiene conto della massima prestazione ottenibile con una certa tensione V_{out} richiesta in uscita ed è definita come:

$$VCE = \frac{V_{out}}{V_{out,id}} = \frac{V_{out}}{(N+1)V_{in}} \quad (2.9)$$

dove la $V_{out,id}$ è la tensione in uscita ideale ed N sempre il numero di stadi. La *power conversion efficiency* (PCE o η) rappresenta invece una figura di

merito più completa, che tiene conto dei fattori di perdita ed è definita come:

$$\eta = \frac{P_{out}}{P_{in}} = \frac{V_{out}I_{out}}{V_{in}I_{in}} \quad (2.10)$$

Anche osservando l'espressione (2.1), è evidente che il guadagno di conversione e l'efficienza della *charge pump* di Dickson siano fortemente sfavorite dalla caduta sul diodo. Ciò ha suggerito negli anni numerose varianti basate sulla sostituzione dei diodi e su tecniche di pilotaggio degli *switch*.

2.4 Topologie di *charge pump*

Nelle numerose varianti della pompa di carica di Dickson [9], lo *switch* è implementato con un transistor.

Un'evoluzione della CP fu proposta dallo stesso Dickson [10] in una configurazione che prevedeva, come mostrato in figura 2.5a, che il *bulk* di ciascun transistor NMOS fosse a massa e che ciascun *gate* fosse connesso al *top-plate* del nodo successivo, per evitare la perdita dovuta alla soglia del transistor.

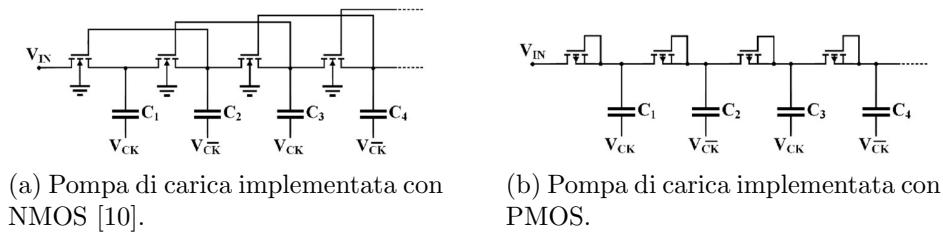


Figura 2.5: Versioni della pompa di carica implementata con dei transistori MOS, funzionanti come *switch*.

Il collegamento del *gate* al *source* dello stadio successivo è vantaggioso perchè quest'ultimo è a tensione più alta, quindi la V_g dello stadio corrente risulta esserlo altrettanto, aumentando l'overdrive e accendendo maggiormente il MOS. Tuttavia, affinché il MOS si trovi in condizioni di spegnimento è opportuno che la V_s abbia un valore molto alto affinché $V_{gs} \leq V_{th}$. Essendo la V_s dipendente dalla V_{in} , non è detto che quest'ultima riesca ad essere sufficientemente elevata da portare la V_{gs} sotto la soglia, essendo quest'ultima variabile in funzione di una V_{sb} non nulla.² Il mancato spegnimento totale del MOS causa la presenza di un flusso di corrente inversa indesiderata da valle a monte.

In figura 2.5b, invece, è possibile osservare una topologia nella quale gli NMOS sono sostituiti dai PMOS per i quali il *bulk* è collegato al *source*. Questo circuito ha il vantaggio di avere una tensione di soglia uguale per tutti i MOS durante la fase di on. Il suo valore aumenta durante la fase di off, riducendo la corrente di *reverse* [9].

Queste due versioni suggeriscono la possibilità di indagare numerose soluzioni in grado di gestire le caratteristiche degli interruttori, introducendo un intero blocco di controllo. In particolare, è possibile raggruppare molte delle architetture tenendo conto delle seguenti tecniche³.

Tecnica *gate biasing*

La *gate biasing* è una tecnica che prevede l'utilizzo di un circuito ausiliario per il pilotaggio del terminale di *gate* del transistor. L'idea è di ottenere principalmente sul *gate* una tensione maggiore di quella presente sul *source* e sul *drain*, in modo tale da facilitare la gestione dello stato del dispositivo (on/off), andando ad agire sulla tensione di *overdrive*.

²La tensione di ingresso, in ambito *energy harvesting* può raggiungere valori anche molto bassi.

³Per maggiori dettagli, consultare [9].

Tecnica *body biasing*

La tecnica del *body biasing* altro non è che una soluzione pensata per pilotare la tensione sul terminale di *bulk* del dispositivo. Essendo la tensione di soglia dipendente dalla radice quadrata di V_{sb} , aumentare o diminuire la tensione sul bulk determina lo stato di accensione e spegnimento del dispositivo, rispettivamente.

Esistono inoltre delle strategie per le quali tipicamente si parla di *adiabatic charge pump* e di *adaptive charge pump*.

Adiabatic charge pump

La prima è una tecnica⁴ basata sull'idea di ridurre l'energia dissipata cercando di espandere l'intervallo di tempo di carica del condensatore. Gli approcci possono essere quello di limitare lo *swing* di tensione [12] caricando le capacità per step successivi o quello di riciclare la carica collezionandola opportunamente in appositi blocchi "ausiliari".

Adaptive charge pump

La seconda costituisce una categoria largamente utilizzata per progettare sistemi dedicati al funzionamento in ambito *energy harvesting* a bassa tensione. In particolare è riconosciuta per essere una tipologia di pompa di carica creata per configurare in maniera adattativa alcuni dei parametri di interesse, giocando sul controllo in retroazione. I parametri tipicamente soggetti a cambiamenti possono essere la frequenza di *switching*, il guadagno di conversione, etc. D'altro canto, la soluzione perseguita nel seguente progetto è volta alla regolazione proprio della frequenza di commutazione e del guadagno.

Purtroppo molte delle architetture presenti in letteratura, sebbene riescano a ridurre la caduta sullo *switch*, implementano delle CP per le quali o il MOS smette di essere completamente acceso/spento o la presenza di un circuito addizionale pesa sul consumo complessivo, riducendo così l'efficienza.

2.5 Convertitore SC Serie-Parallelo

Il serie parallelo è uno tra gli schemi più semplici a capacità commutate. Come il nome suggerisce, si tratta di un'architettura basata sul collegamento

⁴Originariamente esplorata in ambito digitale [11].

in serie o in parallelo dei condensatori di *flying* rispetto al blocco generatore di ingresso e al carico in uscita.

La scelta di una disposizione piuttosto che un'altra deriva dall'esigenza di realizzare o meno un DC/DC di tipo *boost* o un DC/DC di tipo *buck*.

Il passaggio da un collegamento all'altro è scandito dalle due fasi del clock, ϕ_1 e ϕ_2 discriminando lo stato di carica dallo stato di scarica, rispettivamente.

Per realizzare una configurazione in discesa, come mostrato in figura 2.6a, i condensatori sono connessi in serie, durante il primo semiperiodo del clock ϕ_1 , per essere caricati dalla sorgente di tensione di ingresso (*charging state*). Nella seconda metà del clock ϕ_2 , e quindi in *discharge state*, essi sono invece collegati in parallelo al carico per la redistribuzione della carica immagazzinata nella fase precedente, come illustrato in figura 2.6b.

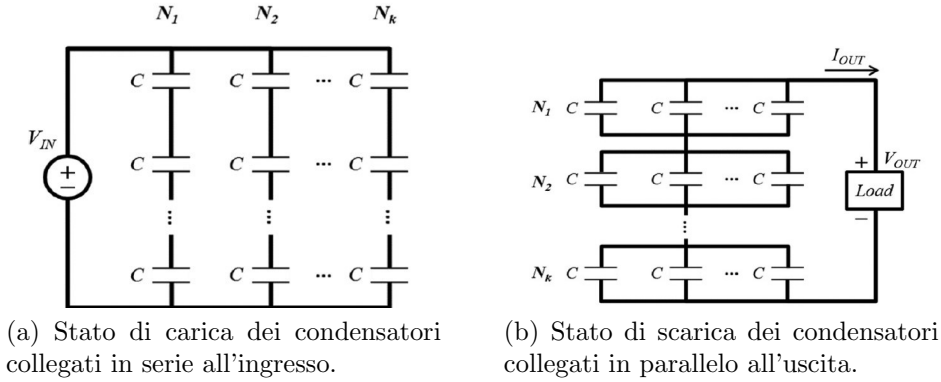


Figura 2.6: Architettura della pompa di carica serie-parallelo in configurazione *buck*.

Dualmente, una configurazione in salita è realizzata collegando i condensatori di *flying* in parallelo all'ingresso, durante lo stato di carica, e sfruttando il "salto" di tensione quando sono connessi in serie al carico in uscita.

Generalmente conosciuta come *General Transposed Series-Parallel* (GTPS), questa topologia deriva da un'idea di "matrice di capacitori" [13].

In relazione al numero di capacità di *flying* utilizzate, è possibile definire un rapporto di conversione (*gain*), come segue:

$$n = \frac{V_{out}}{V_{in}} = \sum_{i=1}^k (N_i)^{-1} \leq N \quad (2.11)$$

con $N_i \in \mathbb{N}$ and $1 \leq N_i \leq N \forall i$,

dove N è il numero di C_{fly} presenti ed N_i è il numero di condensatori nella i -esima colonna connessa in serie alla tensione in ingresso, durante lo stato di carica. Nel caso di una configurazione in salita, invece, il guadagno si individua utilizzando l'espressione precedente nella quale però l'esponente è $+1$ ed N_i corrisponde al numero di capacità in parallelo nell' i -esima riga.

E' evidente come un numero maggiore di capacità di *flying*, legato alla possibilità di aumentare il numero di rapporti di conversione n , sia vantaggioso in termini di accuratezza della tensione richiesta al carico. Tuttavia, l'ingombro, causato da un elevato N , e la complessità della rete, causata dalla presenza di numerosi *switch*, possono compromettere la buona riuscita di un circuito integrato a basso costo.

Esiste, comunque, la possibilità di lavorare con una versione leggermente diversa da quella appena descritta e che consiste nell'utilizzare solo parte della matrice di partenza. Quest'ultima, infatti, richiede un numero elevato di capacitori e di *switch*, diventando molto complesso a livello implementativo. Questa topologia, chiamata PAMT (*partial arbitrary matrix topology*), consente di selezionare alcuni degli elementi facenti parte di una riga o di una colonna della matrice [13].

Capitolo 3

Convertitore SC implementato

Dalle considerazioni precedenti emerge come il guadagno e la frequenza influenzino sensibilmente il funzionamento e le prestazioni di un convertitore SC e come in questo ambito possano emergere diverse figure di merito rilevanti in funzione degli ambiti di utilizzo. L'obiettivo di questo progetto è stato quello perciò di sviluppare un convertitore con guadagno/frequenza di commutazione configurabile dinamicamente che ci permettesse di indagare le possibili correlazioni fra questi due parametri e l'ottimizzazione delle diverse figure di merito.

In figura 3.1, è illustrato uno schema generale costituito dai vari macro blocchi tra i quali è possibile osservare il PMU contenente a sua volta i sotto blocchi collegati tra loro secondo le specifiche interazioni.

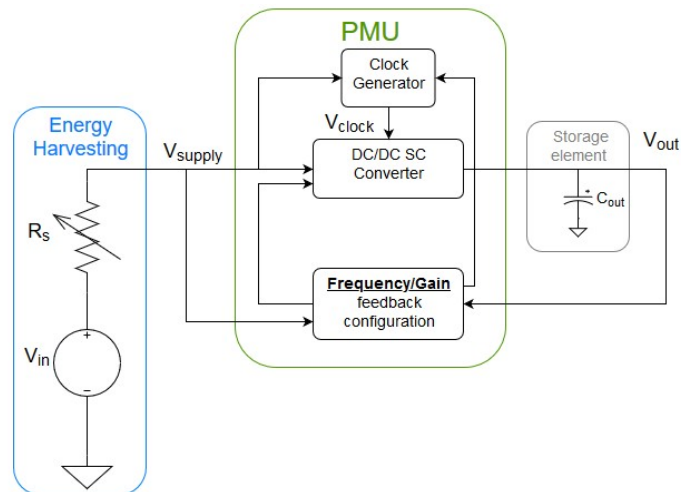


Figura 3.1: Schema a blocchi generale del progetto.

Lo studio si è principalmente incentrato sulla possibilità che queste ottimizzazioni si ottengano a partire da configurazioni diverse e a seconda delle problematiche riscontrate. Per comprendere meglio, in realtà, basterebbe pensare ad applicazioni per le quali potrebbe essere interessante ottimizzare uno di questi fattori piuttosto che altri. Per esempio, in una condizione in cui la specifica sia caricare velocemente il nodo di uscita, è possibile che l'elemento chiave affinché questo avvenga sia agire incrementando la corrente di uscita I_{out} , piuttosto che l'efficienza. E ancora, se ad esempio ci trovassimo in condizioni *harvesting* con poche risorse potrebbe aver senso invece ottimizzare l'efficienza. L'architettura proposta ci permette di esplorare queste diverse possibilità e di ricercare soluzioni sempre più avanzate. Di conseguenza, in questo lavoro sono state analizzate le seguenti figure di merito:

- potenza estratta dalla sorgente;
- corrente/potenza trasferita al carico;
- efficienza del convertitore definita come il rapporto tra la potenza trasferita e la potenza estratta.

Oggetto di uno studio preliminare, il convertitore SC implementato in questo elaborato risulta costituito da quattro condensatori di *flying* e da diciotto switch, disposti come mostrato in figura 3.2. La scelta è giustificata dal giusto *trade-off* tra le numero di configurazioni possibili e la complessità del sistema.

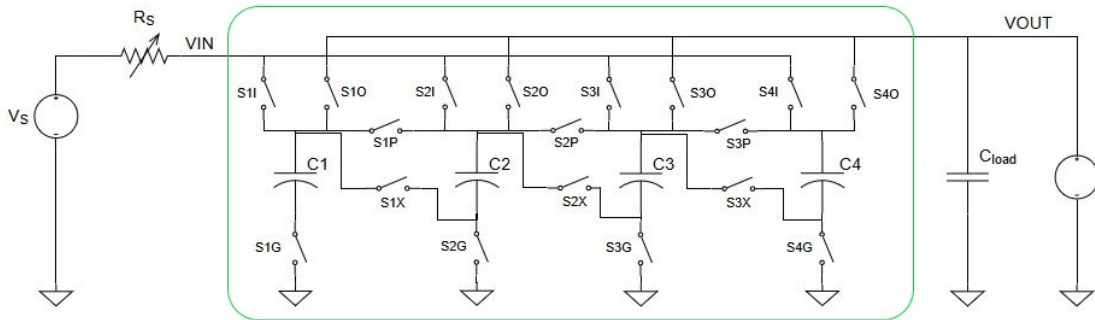


Figura 3.2: Schema semplificato del convertitore.

Come si può osservare, a ciascun condensatore di *flying* è affiancato un set di cinque switch, ognuno dei quali assume una certa posizione (rispetto al condensatore stesso) in virtù del proprio ruolo. Il principio di funzionamento

è sostanzialmente quello di un generico convertitore in configurazione serie-parallelo. Esistono perciò due fasi distinte in relazione allo stato del clock: una chiamata di *precharge* e l'altra di *discharge*.

Fase di *precharge*

Durante la fase di *precharge* la sorgente di ingresso viene collegata direttamente alle capacità di *flying* attraverso l'accensione di uno o più interruttori di ingresso ($S1I, S2I, S3I, S4I$), in modo da trasferire una certa quantità di carica determinata dalla specifica configurazione degli *switch* "intermedi" e di quelli collegati alla massa ($S1X, S2X, S3X, S1P, S2P, S3P, S1G, S2G, S3G, S4G$, rispettivamente). Allo stesso tempo gli interruttori che collegano il carico in uscita ($S1O, S2O, S3O, S4O$) sono tutti spenti per impedire il passaggio di corrente dall'uscita verso uno dei nodi interni.

La quantità di carica immagazzinata nelle capacità di *flying* in questa fase è determinata dalla connessione tra i condensatori stessi.

Fase di *discharge*

Durante la fase di *discharge*, gli interruttori che collegano la sorgente in ingresso alle capacità di *flying* vengono aperti, isolando l'ingresso. Le capacità a questo punto vengono collegate tra di loro in serie/parallelo in funzione del guadagno desiderato attraverso la chiusura/apertura di un determinato gruppo di *switch* tra quelli definiti "intermedi" e quelli collegati a massa. Questo fa sì che la carica precedentemente immagazzinata nella fase di *precharge* sia trasferita al carico attraverso l'accensione di uno o più interruttori di uscita.

Mediante il principio di conservazione della carica, uguagliando perciò la carica immagazzinata e la carica distribuita nelle due fasi, è possibile ottenere l'espressione della tensione di uscita a regime.

Nelle figure 3.3a e 3.3b sono riportate, a titolo di esempio, le connessioni con l'ingresso e con l'uscita, in fase di *precharge* e *discharge* rispettivamente, per un guadagno pari ad $1/3$. E' possibile osservare quale degli *switch*, in relazione alla figura 3.2, sia acceso (chiuso), in entrambi i casi.

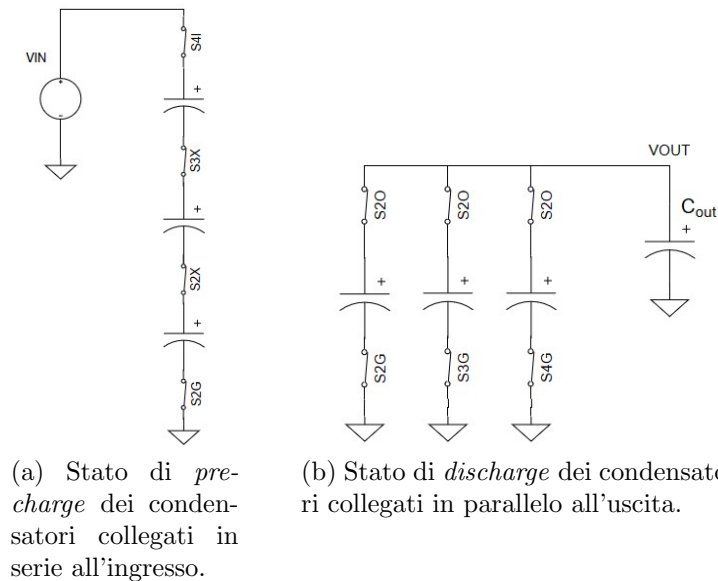


Figura 3.3: Esempio illustrativo del funzionamento dell'architettura implementata. Per ciascuna delle due fasi sono riportati gli *switch* utilizzati per una configurazione di guadagno uguale a $1/3$.

Una tale architettura consente, rispetto alla struttura di una semplice pompa di carica di Dickson, di generare una tensione in uscita pari ad un valore frazionario della tensione di ingresso e, a parità di numero di capacità, di ottenere un numero molto più elevato di differenti valori di guadagni. Questo ci permette perciò di sfruttare maggiormente la possibilità di modulare il guadagno del convertitore al fine di ottimizzare le figure di merito di cui sopra.

A titolo di esempio, un tipico scenario per applicazioni IoT è quello in cui, come indicato in precedenza, sia presente un nodo di accumulo capacitivo all'uscita del convertitore. Questo implica che, sebbene il convertitore sia concettualmente ideato per essere un *boost*, in realtà, per tutta una fase iniziale di carica del condensatore di accumulo, la tensione di uscita del blocco di conversione possa essere minore di quella di ingresso. Questo a sua volta implica che il convertitore lavori con una tensione di uscita quasi-statica, passando dalla condizione con capacità in uscita totalmente scarica ($0V$) alla condizione con capacità carica a regime. In questa situazione, essendo l'efficienza del convertitore uguale al rapporto tra la tensione di uscita e quella nominale della pompa di carica ($= NV_{in}$), conviene modulare il guadagno

per ridurre al minimo la differenza tra le due tensioni durante questa fase transitoria.

Va inoltre tenuta in considerazione la problematica relativa alla presenza di una resistenza serie R_s ¹ non trascurabile. Il valore di questa resistenza, associata alle perdite del blocco di *harvesting*, influenza fortemente le condizioni di funzionamento del sistema.

A causa della R_s , la variazione della corrente estratta da una sorgente resistiva comporta una potenza estratta dalla sorgente stessa che dipende non linearmente dalla tensione di uscita dell'*harvester*. Occorre perciò in tal senso distinguere l'efficienza associata al punto di massima potenza estratta (*Maximum Power Point*, MPP) e quella di conversione complessiva. Quest'ultima dipende dal punto di lavoro del convertitore ed è definita, come abbiamo visto, come il rapporto tra la potenza in uscita P_{out} e la potenza estratta dalla sorgente di *harvesting* P_{in} , tale che:

$$P_{out} = \eta P_{in} \quad (3.1)$$

Allo stesso modo, l'efficienza di estrazione può essere definita in modo tale che:

$$P_{in} = \alpha P_{MPP} \quad (3.2)$$

dove P_{MPP} rappresenta la massima potenza estraibile dalla sorgente. Sulla base delle definizioni introdotte in 3.1 e in 3.2, si può scrivere:

$$P_{out} = \alpha \eta P_{MPP} \quad (3.3)$$

Da questo emerge che l'ottimo complessivo si ottenga combinando questi due aspetti, massimizzando generalmente cioè il prodotto tra le due efficienze, perchè η dipende da P_{in} perciò anche dal prodotto αP_{in} .

Questo costituisce un ulteriore spunto di indagine rispetto alla relazione tra frequenza/guadagno ed efficienza.

Ciò che suggerisce la molteplicità del numero di guadagni disponibili è il numero di condensatori legato alla quantità di possibili combinazioni in cui possono essere disposti.

Per ragioni puramente legate alla realizzazione di un sistema semplice, dai 4 condensatori utilizzati deriva un numero di rapporti di conversione pari a 15, corrispondenti a valori che vanno da $\frac{1}{4}$ a 4:

$$n = \left\{ \frac{1}{4}, \frac{1}{3}, \frac{2}{5}, \frac{1}{2}, \frac{3}{5}, \frac{2}{3}, \frac{3}{4}, 1, \frac{4}{3}, \frac{3}{2}, \frac{5}{3}, 2, \frac{5}{2}, 3, 4 \right\}$$

¹Da osservare in figura 3.2.

E' opportuno comunque ricordare che un numero elevato di condensatori, sebbene possa migliorare in maniera significativa la regolazione della tensione di uscita², comporta dei costi non trascurabili in termini di area occupata e di complessità della rete.

3.1 Modello elettrico

Il comportamento a regime del convertitore SC implementato è stato descritto utilizzando il modello elettrico equivalente, mostrato in figura 3.4.

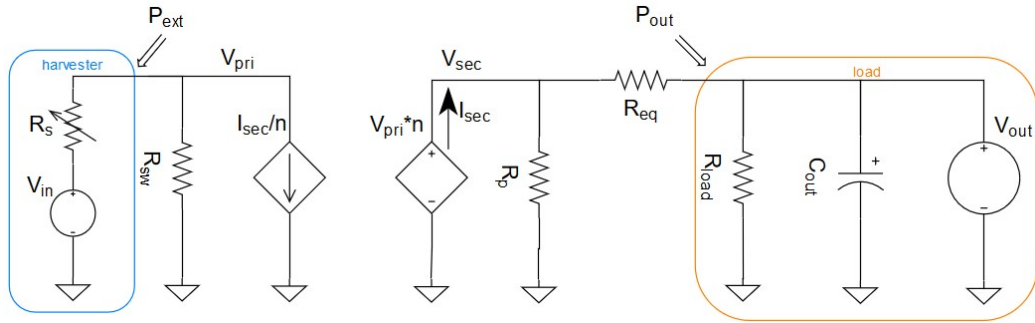


Figura 3.4: Modello elettrico equivalente del convertitore per *energy harvesting*, valido a regime per frequenze più basse dei tempi di *settling* della CP.

Come si può osservare, la sezione dedicata al blocco di conversione vero e proprio è costituita da:

- una resistenza R_{sw} parassita che tiene conto delle perdite dovute allo *switching* delle capacità ed è definita come $R_{sw} = \frac{\gamma}{f_{sw} C_{fly}}$, nella quale γ rappresenta un fattore di scala che dipende dalle capacità parassite degli *switch*;
- una resistenza R_p di *shunt* definita come $R_p = \frac{n\delta}{f_{sw} C_{fly}}$, nella quale δ rappresenta sempre un fattore di scala;
- una resistenza R_{eq} equivalente dovuta alle perdite di conduzione, corrispondente a quella vista nell'equazione (2.3);
- un generatore di corrente controllato dalla corrente I_{sec} e che dipende direttamente dal guadagno n ;

²Aumentare il numero di capacità in gioco consente necessariamente, per esempio nel caso del convertitore in configurazione boost, di ottenere tensioni di uscita molto alte.

- un generatore di tensione controllato dalla tensione V_{pri} e che è direttamente proporzionale al guadagno n .

Le funzioni principali che regolano questo modello elettrico sono le seguenti:

$$V_{pri} = V_{in} - R_s(I_{pri} + \frac{V_{pri}}{R_{sw}}) \quad (3.4)$$

$$V_{out} = V_{sec} - R_{out}(I_{sec} - \frac{V_{sec}}{R_p}) \quad (3.5)$$

$$I_{sec} = I_{out} + \frac{V_{out}}{R_{load}} + \frac{V_{sec}}{R_p} \quad (3.6)$$

$$V_{sec} = nV_{pri} \quad (3.7)$$

$$I_{sec} = \frac{I_{pri}}{n} \quad (3.8)$$

Da queste equazioni è possibile derivare quelle seguenti:

$$I_{out} = -\frac{V_{out}}{R_{load}} - V_{out} \frac{f_{sw} C_{fly}}{n} + \frac{V_{out} \frac{f_{sw} C_{fly}}{n} + \frac{V_i n}{R_s n}}{1 + \frac{1}{\delta} + \frac{1}{n\gamma} + \frac{1}{R_s n f_{sw} C_{fly}}} \quad (3.9)$$

$$V_{pri} = \frac{V_{in} + R_s V_{out} f_{sw} C_{fly}}{1 + \frac{R_s f_{sw} C_{fly}}{\gamma} + R_s f_{sw} C_{fly} n (1 + \frac{1}{\delta})} \quad (3.10)$$

$$P_{ext} = V_{pri} \frac{V_{in} - V_{pri}}{R_s} \quad (3.11)$$

$$V_{out} = \frac{\frac{V_{in} n \gamma}{f_{sw} C_{fly} R_s + \gamma} - I_{out} (\frac{n^2 R_s \gamma}{f_{sw} C_{fly} R_s + \gamma} (1 + \frac{1}{\delta}) + \frac{n}{f_{sw} C_{fly}})}{1 + \frac{n}{R_{load} f_{sw} C_{fly}} + \frac{n^2 R_s \gamma}{f_{sw} C_{fly} R_s + \gamma} (\frac{f_{sw} C_{fly}}{n \delta} + \frac{1}{R_{load} \delta} + \frac{1}{R_{load}})} \quad (3.12)$$

E' opportuno tener presente come questo modello sia valido anche nella possibilità di abbinarsi alle sorgenti di tipo *harvesting* con delle resistenze R_s abbastanza elevate, purchè la regione di funzionamento sia quella per la quale le capacità riescono a caricarsi ed a scaricarsi completamente (condizione SSL) commutando perciò a frequenze tali per cui il semiperiodo sia superiore alla costante di tempo di carica/scarica delle C_{fly} .

Tra le quantità utilizzate per caratterizzare le prestazioni del sistema sono state valutate quindi la *potenza estratta* in ingresso dall'*harvester* (P_{ext}), la

potenza trasferita in uscita (P_{out} o P_{trans}), l'efficienza (η), la corrente media in uscita (I_{out})³. L'efficienza mette in relazione le due potenze ed è definita come:

$$\eta = \frac{P_{trans}}{P_{ext}} = \frac{P_{trans}}{P_{trans} + P_s + P_{intr} + P_{sw} + P_p + P_{load}}$$

dove la P_s costituisce la potenza dissipata dalla R_s , la P_{intr} è la potenza che dipende dalla R_{eq} , la P_{sw} è la potenza fornita per commutare gli switch associata alla R_{sw} , la P_p rappresenta la potenza dipendente dalla R_p e la P_{load} è quella corrispondente alla perdita sul carico.

L'idea quindi, sulla base del modello e delle espressioni indicati, sarebbe quella di analizzare le varie dipendenze e valutare un possibile algoritmo.

In figura 3.5 è illustrato l'andamento delle principali figure di merito citate, in funzione della frequenza e del guadagno, ottenuto considerando le espressioni precedenti.

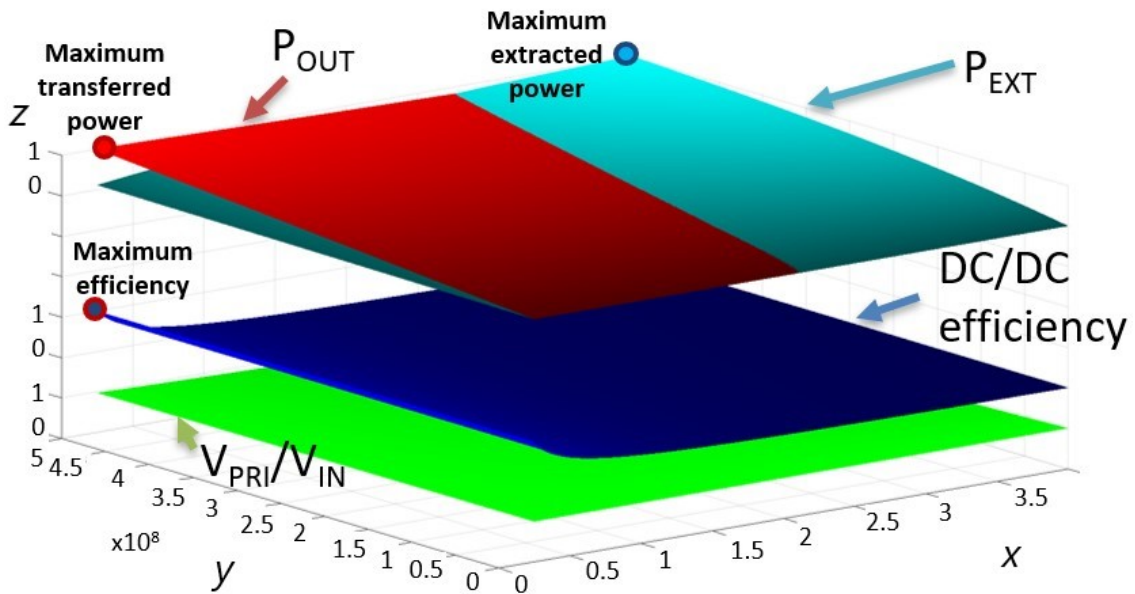


Figura 3.5: Grafico tridimensionale delle figure di merito di interesse al variare della frequenza f_{sw} lungo l'asse y (Hz) e del guadagno n lungo l'asse x. E' stato ottenuto in Matlab fissando $V_{in} = 1V$, $V_{out} = 0.01V$, $R_s = 1000\Omega$, $\gamma = 10^{15}$, $\sigma = 10^{15}$, $\alpha = 0.5$ ed $R_{load} = 10^9\Omega$.

³Queste grandezze sono indicate in figura 3.4.

In questo caso particolare, avendo fissato le condizioni indicate nella didascalia, è evidente come il punto relativo alla massima efficienza η non coincida con il punto di massima potenza estratta P_{extr} , condizione corrispondente ad una tensione sul primario V_{pri} pari alla metà della tensione di circuito aperto. Questo suggerisce come le relazioni tra queste grandezze non siano necessariamente stabilite a priori.

In figura 3.6 è illustrato invece il *contour plot* delle stesse figure di merito in funzione della frequenza in asse y (Hz) e del guadagno in asse x. In particolare, in alto a sinistra sono raffigurate le curve della potenza trasferita in uscita evidenziando valori più alti in corrispondenza di alte frequenza e (asse y). In alto a destra è riportato l'andamento di $\alpha (= \frac{V_{pri}}{V_{in}})$ nel quale si può osservare che per la curva di valore pari a 0.5 si ha un corrispettivo massimo della potenza estratta raffigurata nella figura in basso a sinistra. In figura in basso a destra, infine, sono mostrate le curve di efficienza di conversione per le quali si osservano valori maggiori per bassi valori del guadagno.

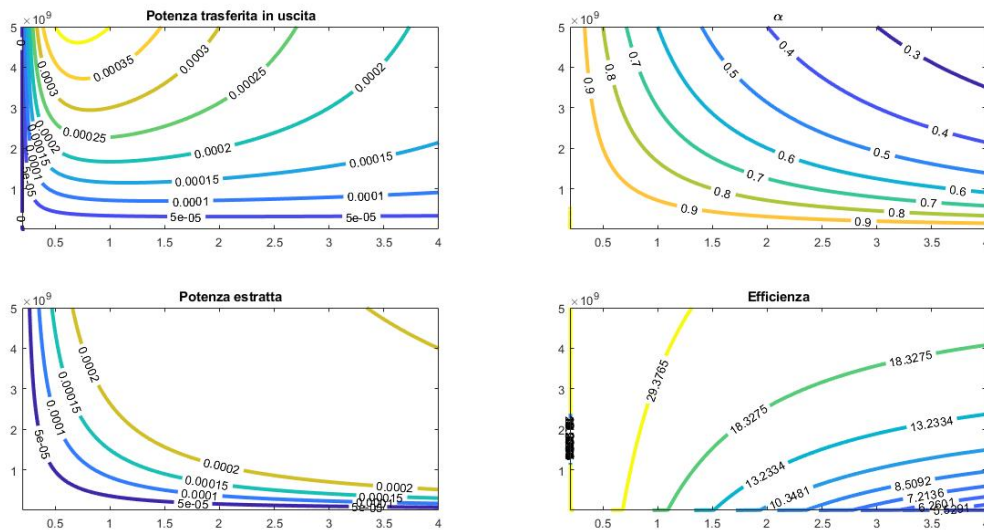


Figura 3.6: *Contour plot* di alcune figure di merito al variare della frequenza f_{sw} lungo l'asse y (Hz) e del guadagno n lungo l'asse x. E' stato ottenuto in Matlab fissando $V_{in} = 1V$, $V_{out} = 0.2V$, $R_s = 1000\Omega$, $\gamma = 10^{15}$, $\sigma = 10^{15}$, $\alpha = 0.5$ ed $R_{load} = 10^9\Omega$.

In figura 3.7 è illustrato un ulteriore *contour plot* nel quale però le figure di merito sono individuate sotto altre condizioni, come indicato in didascalia. In questo caso, i valori maggiori della potenza trasferita sono raggiunti in

corrispondenza delle alte frequenze. Le curve della potenza estratta (in basso a sinistra) tendono anch'esse a raggiungere valori elevati per una coppia frequenza-guadagno altrettanto elevata, seguendo il *trend* del parametro α tendente al valore 0.5. In queste circostanze, la massima potenza estratta (coincidente con $\alpha = 0.5$) non è visibile nei limiti imposti. Infine, nella figura in basso a destra, le curve di efficienza evidenziano un andamento crescente verso minori valori del guadagno.

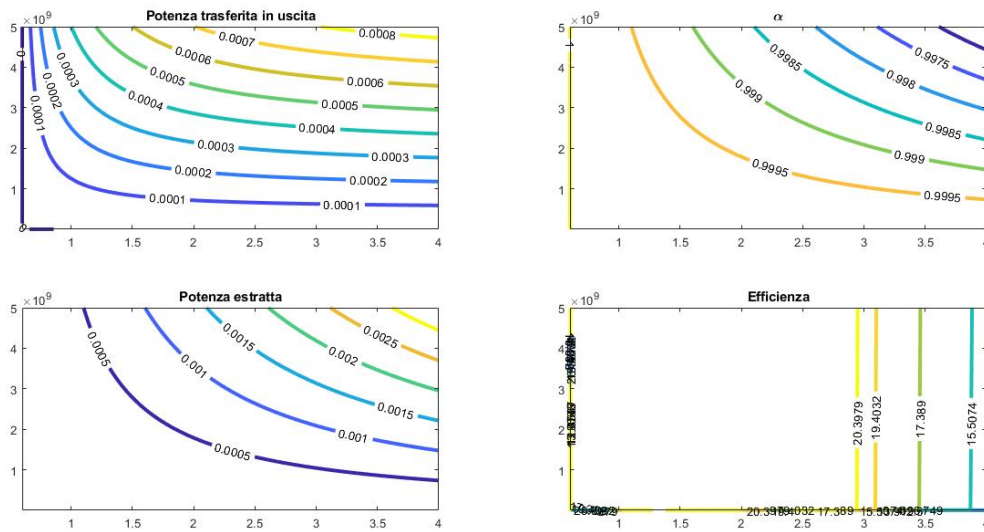


Figura 3.7: *Contour plot* di alcune figure di merito al variare della frequenza f_{sw} lungo l'asse y (Hz) e del guadagno n lungo l'asse x. E' stato ottenuto in Matlab fissando $V_{in} = 1V$, $V_{out} = 0.6V$, $R_s = 1\Omega$, $\gamma = 10^{15}$, $\sigma = 10^{15}$, $\alpha = 0.5$ ed $R_{load} = 10^9\Omega$.

3.2 Design

Basato su un'implementazione in tecnologia CMOS $0.18\mu\text{m}$, il design del circuito è stato realizzato nell'ambiente di sviluppo **Cadence Design Systems** per la piattaforma **Virtuoso**. In figura 3.8 se ne illustra lo schematico completo, ottenuto con l'editor associato.

I condensatori di *flying* sono stati implementati utilizzando la tipologia *metal-insulator-metal* (MIM) in quanto presenta caratteristiche favorevoli in termini di limitazione degli elementi parassiti.

Da notare nello schematico la presenza di un ulteriore switch, oltre a quelli citati, collegato al nodo v_4 , ovvero in corrispondenza del *top plate* del condensatore C_4 posto in estrema destra. La funzione di tale blocco è quella di consentire, in una fase iniziale del funzionamento del convertitore e non solo⁴, la scarica a massa di tutti i condensatori dopo averli disposti in parallelo tra loro, secondo una certa configurazione degli *switch*.

Come si può osservare, inoltre, ogni *switch*, a meno di quello utilizzato per la connessione a massa⁵, è costituito da un blocco che possiede una rete di pilotaggio per l'accensione e lo spegnimento (vedi 3.3).

⁴Si tratta fondamentalmente di una fase di reset.

⁵Per la realizzazione di questi switch sono stati utilizzati sostanzialmente dei semplici NMOS.

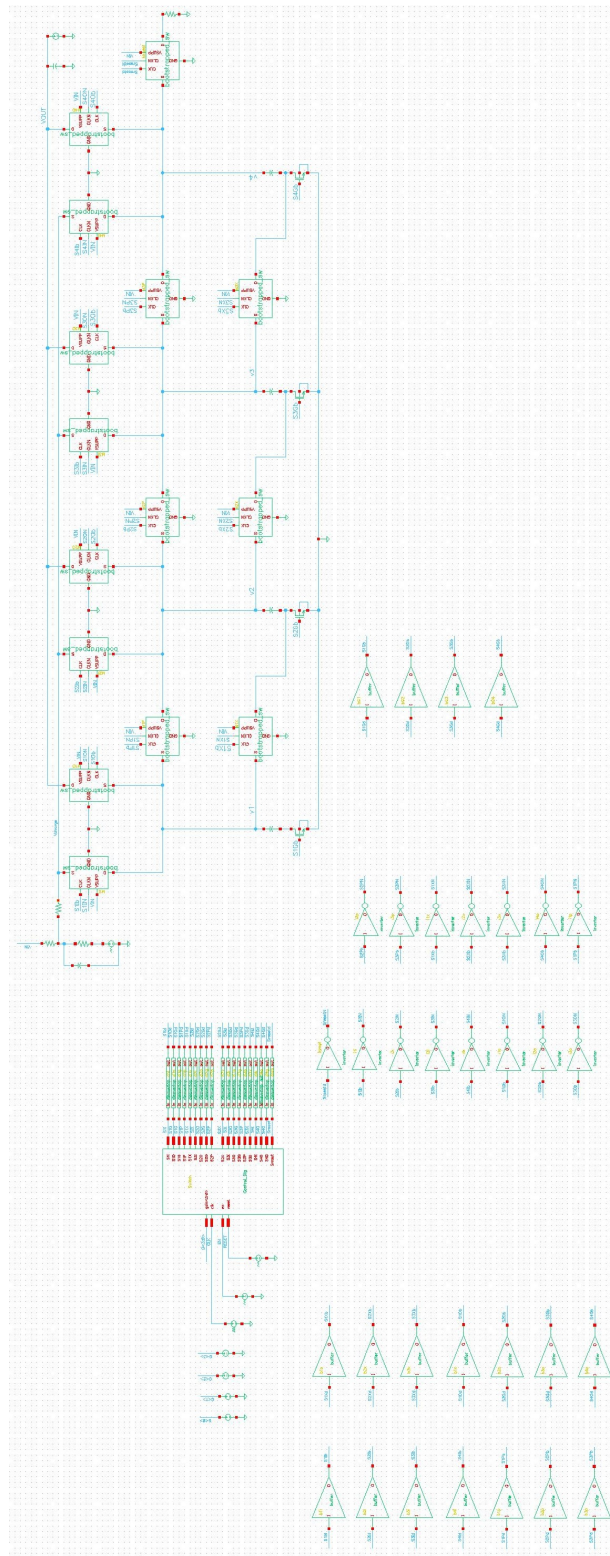


Figura 3.8: Schematico del convertitore SC proposto, a 4 stadi.

Infine, è opportuno considerare anche la presenza di un blocco digitale per la generazione del corretto segnale di controllo degli switch, basato sulla selezione di una sequenza di 4 bit corrispondenti ai 15 possibili guadagni realizzabili. Ciascuna uscita digitale è stata poi bufferizzata, per lo sviluppo del segnale di accensione, e successivamente negata, per la formazione del segnale di spegnimento. Questi due segnali sono rispettivamente indicati come CLK e $CLKN$ in ciascuna delle reti di pilotaggio (vedi 3.3, figura 3.10). Per completezza, in figura 3.9 è illustrato lo schema complessivo raffigurante i vari blocchi e le loro interazioni. In particolare, il blocco di *feedback*⁶ si occupa di configurare dinamicamente la frequenza e il guadagno, in relazione alla tensione richiesta dal carico. Inoltre, sono presenti i segnali di controllo entranti in un blocco *disoverlapping*, descritto in 4.2. A seguito della generazione dei rispettivi negati, ciascuno di questi segnali è poi entrante nel blocco di conversione.

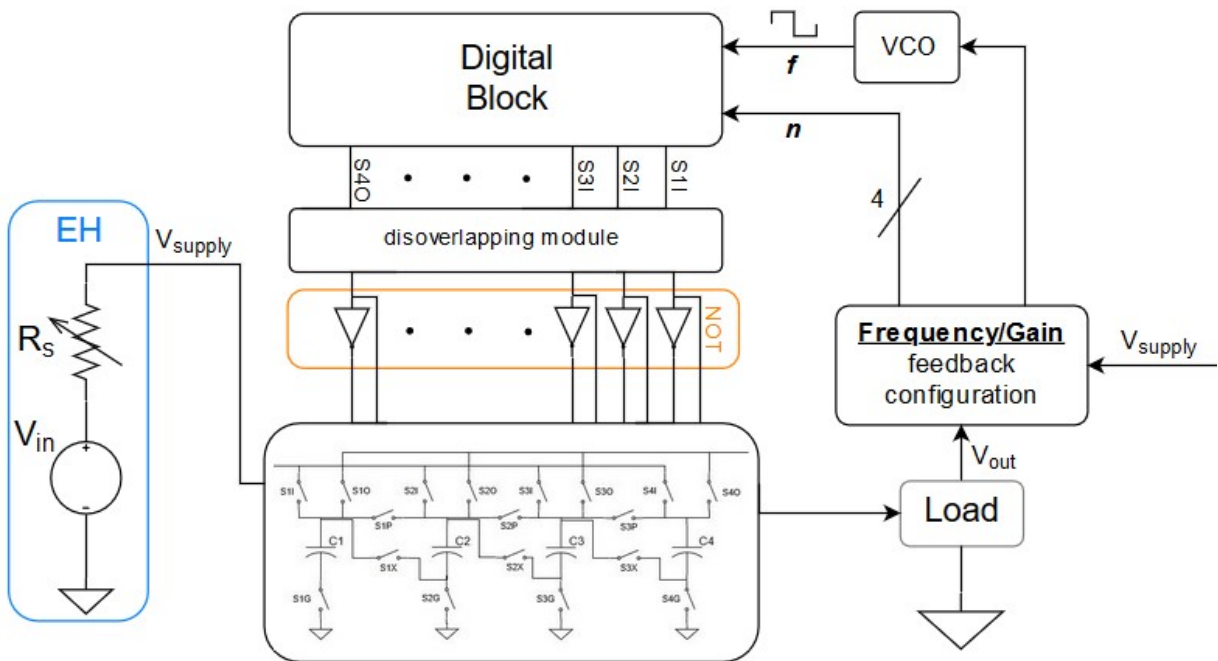


Figura 3.9: Schema a blocchi illustrativo dell'intero processo di configurazione e conversione.

⁶Occorre specificare comunque che il blocco non è stato ancora implementato, come anche il *voltage-controlled oscillator* (VCO).

3.3 Bootstrapped Switch

Generalmente nota come *gate bootstrapping*, questa tecnica garantisce la massima conducibilità di ogni switch, in *on-state*, imponendo una tensione gate-source, ai capi del transistor NMOS direttamente coinvolto, pari alla tensione con la quale si alimenta il blocco⁷ e perciò più grande della tensione di soglia. Si tratta di una tecnica necessaria soprattutto in configurazione *boost*, quando i nodi intermedi arrivano a tensioni più alte dell'alimentazione.

In figura 3.10 se ne illustra lo schematico.

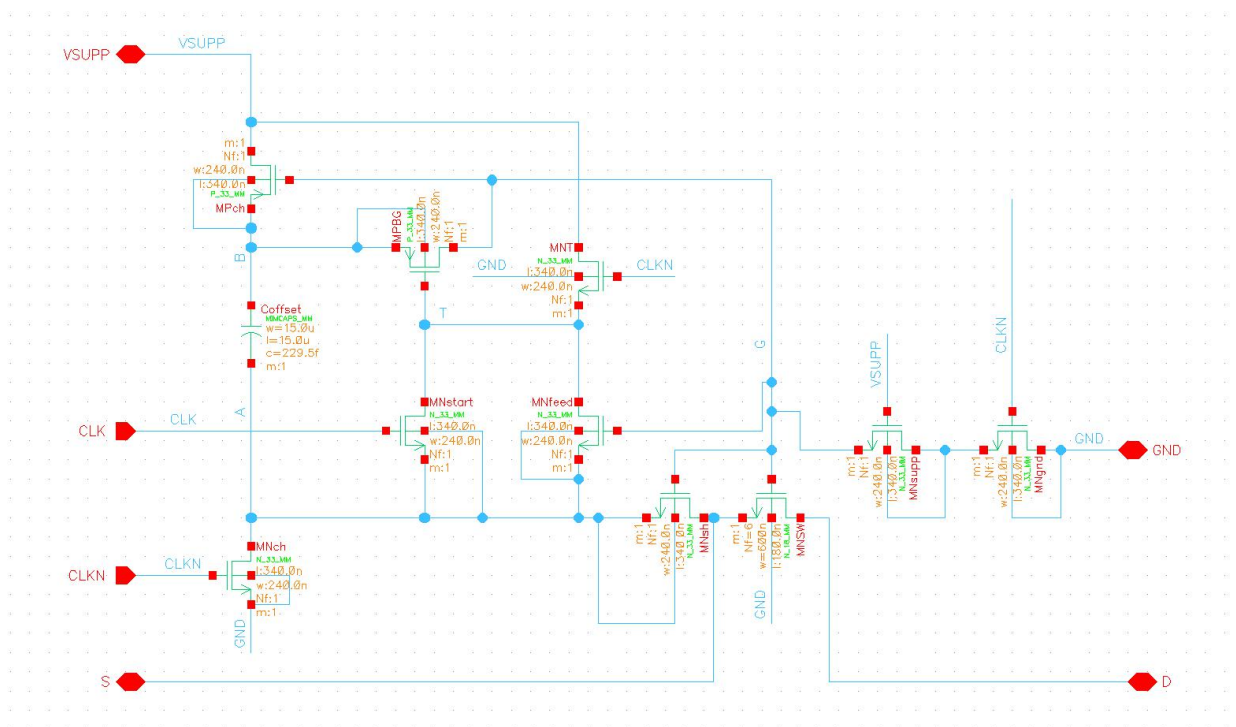


Figura 3.10: Circuito di *bootstrapping* utilizzato per pilotare ogni switch della rete.

In *off-state*, quando il *CLKN* è alto, il nodo *G* è portato a massa grazie all'accensione del transistor *MNngnd*, posto in estrema destra. Questo provoca lo spegnimento dei MOSFET di tipo n per i quali il gate è collegato a *G*, ovvero *MNSW*, *MNsh*, *MNfeed*, *MNSW*, e l'accensione del MOS di tipo p *MPch*.

⁷Questa tensione di alimentazione corrisponde esattamente alla tensione di ingresso V_s , ottenuta dall'*harvester*.

In questa fase l'accensione del *MNT* consente che il nodo *T* sia alto, tenendo acceso il l'*MPBG*. Infine, l'interdizione del transistor *MNstart* e l'accensione del l'*MNch*⁸ assicurano che la capacità C_{offset} si carichi fino al valore della tensione V_{supp} ⁹.

Questa capacità di *bootstrap*, nella fase successiva di *on-state*, ha il compito di innalzare il livello di tensione al proprio *top plate* di una quantità pari alla somma tra la V_{supp} e la tensione al nodo di ingresso, che sia proveniente dal nodo *S* o dal nodo *D*. Nella fase di accensione, infatti, quando il *CLK* è alto, si sviluppa un meccanismo di *feedback* che parte dalla salita del nodo *A*, per mezzo della chiusura dell'*MNstart*. L'accensione di quest'ultimo è limitata dal fatto che V_A diventi maggiore di $V_{clk} - V_{th,n}$ ¹⁰. Intanto però la tensione sul nodo *B* sarà salita ad un valore pari al doppio di V_A accendendo il transistor *MPBG* e sollevando, di conseguenza, il nodo *G*. Quest'ultimo permette che l'*MNsh* e l'*MNSW* si accendano, portando il nodo *A* ad una tensione pari a quella prelevata in ingresso, o sul nodo *S* o sul nodo *D*.

Sempre in condizioni di *CLK* alto, resta da identificare il comportamento di *MNfeed*. Esso è utilizzato per connettere il nodo *T* al nodo *A*, dopo l'interdizione di *MNstart*, in modo tale che la $V_{gs,MPBG}$ sia uguale a $-V_{supp}$ (ovvero la tensione ai capi di C_{offset}) e che quindi si accenda l'*MPBG*.

Nelle seguenti figure sono riportati gli andamenti delle tensioni ai nodi di interesse per comprendere il funzionamento del circuito appena descritto. La simulazione è stata svolta considerando il blocco di *bootstrapping* pilotato dal segnale *S4O* e quindi coinvolto nella fase di scarica verso l'uscita, in condizioni di guadagno n pari a 4, in modo da evidenziare il corretto comportamento del blocco per tensioni di ingresso maggiori della tensione che lo alimenta. In figura 3.11 è illustrato l'andamento della tensione di ingresso al singolo blocco, corrispondente alla tensione V_4 . La salita del nodo, rappresentante la disposizione delle capacità in serie, sancisce l'inizio della fase di scarica e quindi dell'accensione del blocco. Quando *S4O* è alto, infatti, il circuito di *bootstrapping* è in grado di "bootstrappare" il nodo *G*, mostrato in figura, ad un valore di tensione pari a $V_4 + V_{supp}$, garantendo la completa accensione del MOS principale.

⁸Grazie ai rispettivi segnali di *CLK* basso e l'*CLKN* alto.

⁹Si ricordi che la V_{supp} corrisponde alla tensione V_s del generatore, nel circuito complessivo.

¹⁰Dove $V_{th,n}$ è la tensione di soglia del transistor *MNstart*.

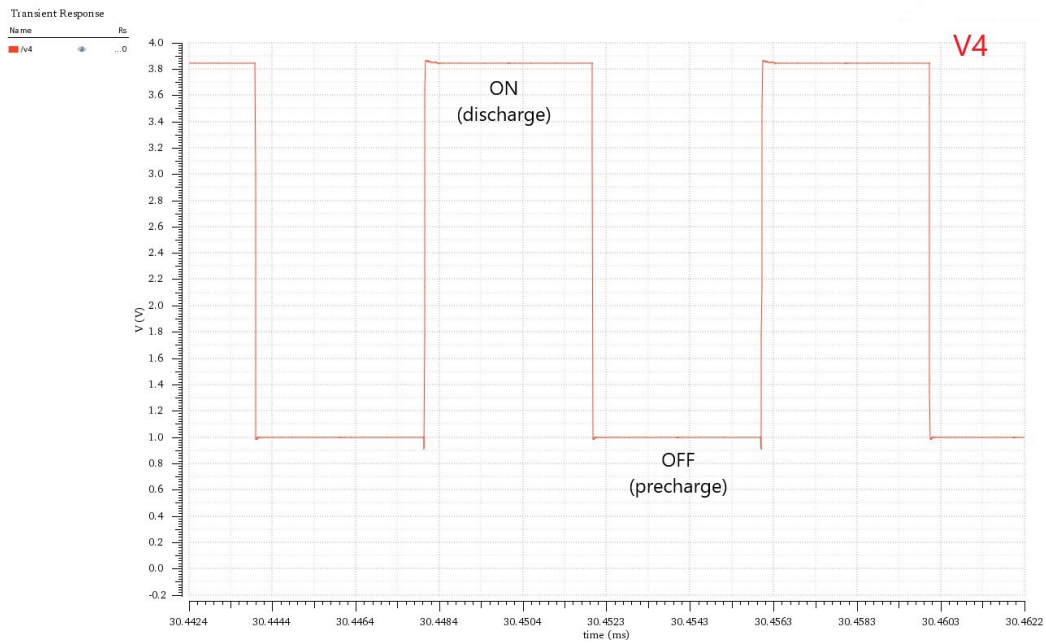


Figura 3.11: Andamento della tensione al nodo V_4 , in ingresso al blocco pilotato da S_4O , quando il guadagno è pari a 4.

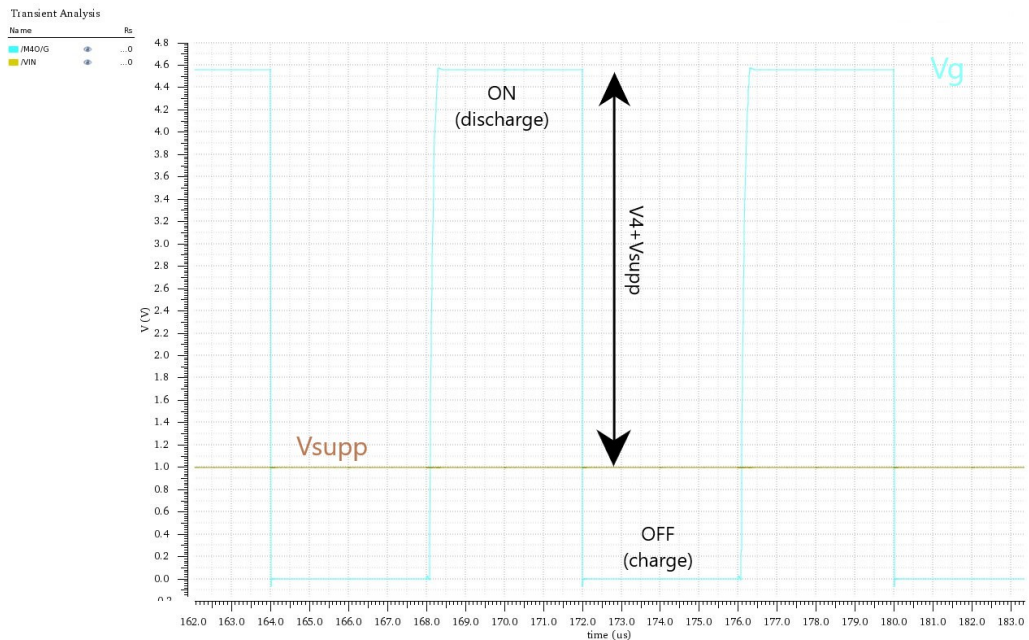


Figura 3.12: Andamento della tensione al nodo V_g del blocco pilotato da S_4O e della tensione V_{supp} quando il guadagno è pari a 4.

Infine, per completezza, in figura 3.13, è possibile osservare l'andamento della tensione di uscita V_{out} del blocco (e anche del sistema complessivo) che riesce a raggiungere a regime il livello di tensione desiderato.

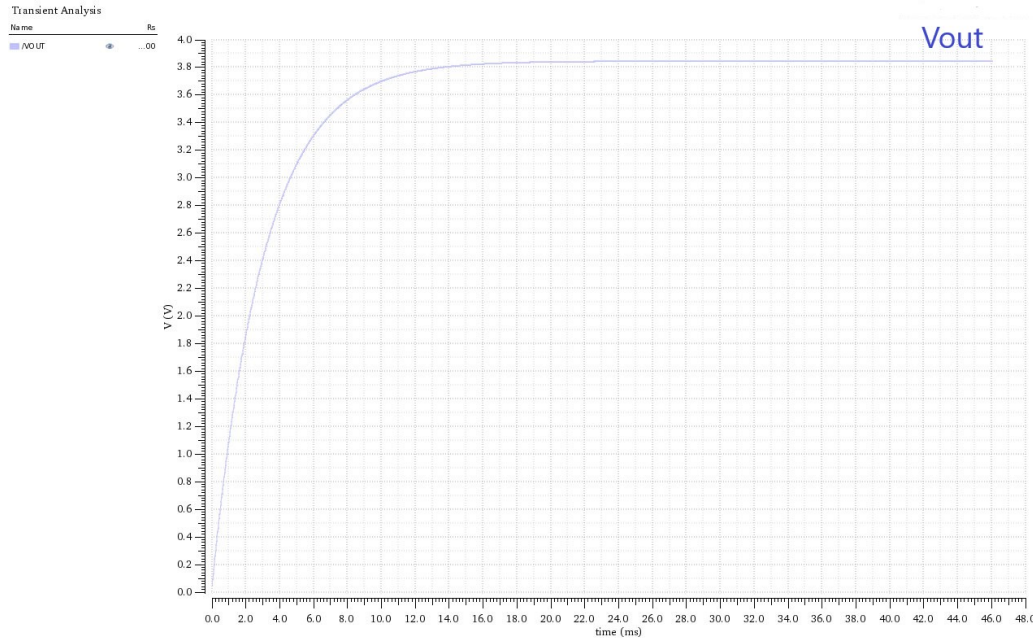


Figura 3.13: Andamento della tensione al nodo V_{out} del blocco pilotato da $S4O$ quando il guadagno è pari a 4.

3.4 Dimensionamento

La fase di dimensionamento raccoglie tutte le criticità legate al progetto di un sistema di questo tipo.

In uno scenario in cui il modello medio di un oggetto a capacità commutate sia quello mostrato in figura 2.3, la resistenza equivalente R_{eq} gioca un ruolo fondamentale nel garantire che il sistema funzioni correttamente.

In regime SSL, per il quale i processi di carica e scarica delle C_{fly} avvengono completamente, la frequenza alla quale far commutare gli switch è legata e limitata dalla scelta della *on-resistance* dei dispositivi utilizzati. Il valore della R_{on} può essere perciò diminuito aumentando la larghezza del MOSFET principale, come indicato dalla seguente espressione:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})} \quad (3.13)$$

dove μ_n è la mobilità dei portatori di carica e la C_{ox} è la capacità dello strato di ossido. In queste condizioni, il valore della R_{on} diventa sostanzialmente ininfluenza sul calcolo della R_{eq} del convertitore e l'aumento della W riduce le capacità parassite del MOS stesso.

Alternativamente alla classica soluzione, si potrebbe scegliere di lavorare in regime FSL. A quel punto la R_{on} diventerebbe dominante a fronte di una frequenza di commutazione molto elevata, tanto da non permettere ai condensatori di *flying* di caricarsi del tutto. Diretta conseguenza sarebbe la riduzione del guadagno a causa del non raggiungimento del valore a regime da parte del nodo in uscita.

In ogni caso quindi, i MOS che implementano la connessione ingresso-uscita sono stati dimensionati in modo da garantire il funzionamento in SSL con una frequenza di commutazione massima di $10MHz$ (vedi 5.1).

Capitolo 4

Circuito Digitale

A differenza di quello analogico, il progetto del circuito digitale è stato implementato utilizzando un flusso di sintesi automatica a partire da una descrizione HDL del blocco. Il comportamento della rete è stato infatti descritto attraverso il Verilog, ovvero un linguaggio di descrizione hardware (HDL) di alto livello che consente di modellare facilmente l'interazione tra i vari blocchi funzionali che costituiscono un sistema hardware.

Il Verilog facilita la progettazione, la verifica e l'implementazione dei circuiti digitali mediante l'utilizzo di costrutti e di parole chiave che forniscono un set di istruzioni eseguite in parallelo e non¹.

Per un sistema a bassa complessità come quello in esame, sono stati modellati sostanzialmente due semplici blocchi funzionali, ovvero quello rappresentato dal modulo `Control_Dig` e quello descritto dal modulo `disoverlap`. Il primo implementa la generazione dei segnali di controllo per l'accensione (chiusura) e lo spegnimento (apertura) degli switch². Il secondo, invece, si occupa della generazione del ritardo di tali segnali per la riduzione dell'*overlapping*. Esso è sostanzialmente un blocco analogico che al momento, per semplicità, è stato solo modellato in Verilog. In seguito sarà implementato con un blocco analogico.

4.1 Modulo per il controllo digitale

Nel modulo `Control_Dig` è stata implementata la macchina a stati mostrata in figura 4.1. Gli *stati* scelti per descrivere l'evoluzione del sistema sono sostanzialmente quattro: `CHARGE`, `DISCHARGE`, `RESET`, `IDLE`.

¹A seconda del tipo di *assignment*: *non-blocking* per l'esecuzione in parallelo, *blocking* per quella seriale [14].

²Ed è effettivamente un blocco digitale che poi è stato sintetizzato.

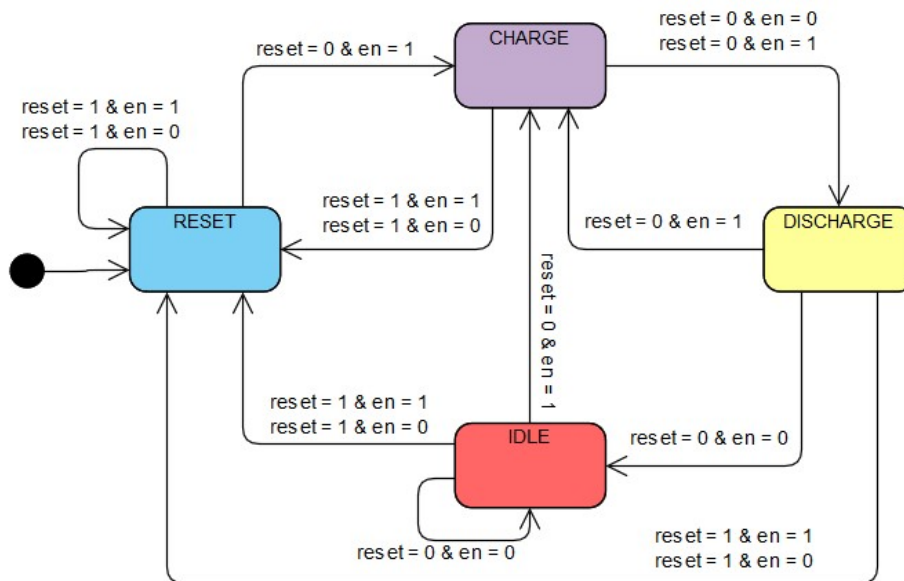


Figura 4.1: Diagramma a stati rappresentante il comportamento del sistema.

Si tratta di un *automa sincrono* in quanto prevede che il cambiamento dello stato avvenga in corrispondenza della variazione del segnale di sincronizzazione, ovvero del *clk*. In particolare, in questo caso, ciascuno stato è aggiornato sul fronte positivo del clock.

Come si può osservare dalla figura 4.1, lo stato può cambiare, oltre a seguito del segnale di sincronismo, in funzione delle sollecitazioni imposte dalla coppia costituita dal segnale di *reset* e dal segnale di *enable*. Sulla base delle diverse combinazioni, il sistema evolve a partire dallo stato iniziale di **RESET**. Tipicamente il **RESET** costituisce lo stato al quale il sistema si riconduce in caso di malfunzionamento, manifestandosi perciò, con una certa priorità, quando commuta il segnale ad esso associato (come si può evincere dalle transizioni). Allo stato di **RESET**, il registro contenente le uscite è univocamente definito.

Lo stato di **IDLE** è stato introdotto invece per identificare una fase di attesa del sistema, dopo la quale il sistema stesso può reagire opportunamente passando in uno stato diverso. Nell'ambito di un sistema semplice come quello preso in esame, è evidente che lo stato successivo possa essere solo quello di **CHARGE**.

Allo stato di **CHARGE**, il sistema interpreta il vettore di ingresso *gain* e scrive la sequenza dei bit associata che corrisponde al registro delle uscite.

Elemento chiave per il raggiungimento del valore del segnale di uscita del blocco convertitore è però lo stato di **DISCHARGE**. In questa fase la macchina

può leggere il *gain* precedentemente fissato e formare la configurazione dei bit di uscita, responsabili della scarica delle capacità sul carico.

Questo suggerisce che l'automa sia di *Mealy* in quanto la formazione delle sequenze di uscita risultato determinate sì dalla commutazione degli ingressi ma anche dallo stato in cui il sistema è progredito.

In Verilog sono stati utilizzati principalmente i blocchi *always*, volti a descrivere gli eventi sotto certe condizioni. Il primo blocco di *always* corrisponde alla definizione del registro di stato. Tale registro consente di definire il passaggio tra gli stati al fronte positivo del segnale di *reset* e al fronte positivo del segnale di *clk*: nel primo caso per riportare il sistema allo stato di inizializzazione, nel secondo caso per assegnare genericamente il prossimo stato³. Segue il codice corrispondente:

```
1 always @(posedge clk or posedge reset) begin
2   if(reset) begin
3     state <= RESET;
4   end
5   else if (en || state==CHARGE || state==DISCHARGE) begin
6     state <= next_state;
7   end
8 end
```

Il secondo blocco di *always*, altrettanto sensibile al fronte positivo del segnale di *clk* e del segnale di *reset*, è usato per descrivere la logica sequenziale. In entrambe le condizioni presenti nel blocco, viene aggiornato il *curr_gain*, definendo una sequenza di zeri quando il segnale di *reset* è alto e assegnando invece un generico guadagno quando l'*enable* è alto, in qualsiasi stato si trovi il sistema ad esclusione di quello di **CHARGE**. Questa condizione evita che il valore del guadagno sia aggiornato quando il sistema si trova in stato di **CHARGE**.

```
1 if(reset) begin
2   curr_gain <= 4'b0;
3 end
4 else if (en && (state != CHARGE)) begin
5   curr_gain <= gain;
6 end
```

³E' un blocco standard per una macchina a stati.

I casi definiti nel terzo blocco di *always*⁴ suggeriscono quale sia il `next_state` assegnato a ciascuno dei quattro stati. Stabilito che, per qualsiasi stato, quello successivo debba essere di `CHARGE`⁵, per la fase di `DISCHARGE` il prossimo stato dipende dal livello del segnale di *enable*. Queste condizioni evitano che il sistema vada in stato di `IDLE` prima che sia finita la fase di `DISCHARGE`.

Anche il quarto blocco di *always* definisce il comportamento della logica combinatoria. Quest'ultimo fa sì che ad ogni stato siano associate più configurazioni dei segnali di switch in uscita. In particolare, dopo aver inizializzato a zero tutti gli output⁶, ciascuna sequenza di bit è fissata affinché:

- nello stato di `RESET`, i condensatori si scarichino completamente;
- nello stato di `IDLE`, tutti gli switch siano aperti⁷;
- nello stato di `CHARGE` e nello stato di `DISCHARGE`, determinati switch siano chiusi in relazione alla sequenza di bit del *gain* in ingresso.

Di seguito un esempio di assegnamento nel caso ci trovassimo nello stato di `CHARGE` e nello stato di `DISCHARGE` in condizioni di guadagno pari ad 1/3:

```

1 always @(state, gain, en, curr_gain) begin
2   ...
3   CHARGE :
4     case(curr_gain)
5       4'b0010 : begin // gain = 1/3
6         S4I <= 1'b1; S3X <= 1'b1; S2X <= 1'b1; S2G <= 1'b1;
7       end
8     ...
9   DISCHARGE :
10    case(curr_gain)
11      4'b0010 : begin // gain = 1/3
12        S40 <= 1'b1; S4G <= 1'b1; S30 <= 1'b1;
13        S3G <= 1'b1; S20 <= 1'b1; S2G <= 1'b1;
14      end
15    ...
16 end

```

⁴Con una sintassi che descrive una logica combinatoria.

⁵Ad esclusione della condizione di default che riguarda lo stato di `RESET` e ad esclusione dello stato di `CHARGE` stesso, che è seguito da quello di `DISCHARGE`.

⁶E' dispendioso specificare per ogni caso il valore di ciascun output; ha invece più senso che ogni uscita sia settata a 1 quando serve.

⁷Il che coincide effettivamente con la condizione di default.

In tabella 4.1, sono riportate le varie sequenze degli switch in *on-state* per ciascuna configurazione di guadagno, sia fase di carica che in fase di scarica.

Gain	Charge	Discharge	Bit configuration
1/4	S4I,S3X,S2X,S1X,S1G	S4O,S4G,S3O,S3G,S2O,S2G,S1O,S1G	0001
1/3	S4I,S3X,S2X,S2G	S4O,S4G,S3O,S3G,S2O,S2G	0010
2/5	S4I,S3X,S2X,S2G,S1P,S1G	S4O,S4G,S3O,S3G,S2O,S1X,S1G	0011
1/2	S4I,S3X,S3G	S4O,S4G,S3O,S3G	0100
3/5	S4I,S3X,S3G,S2P,S1X,S1G	S4O,S4G,S3O,S2X,S2G,S1P,S1G	0101
2/3	S4I,S3X,S3G,S2P,S2G	S4O,S4G,S3O,S2X,S2G	0110
3/4	S4I,S3X,S3G,S2P,S2G,S1P,S1G	S4O,S4G,S3O,S2X,S1X,S1G	0111
1	S4I,S4G	S4O,S4G	1000
4/3	S4I,S4G,S3I,S2X,S1X,S1G	S4O,S3X,S3G,S2P,S2G,S1P,S1G	1001
3/2	S4I,S4G,S3I,S2X,S2G	S4O,S3X,S3G,S2P,S2G	1010
5/3	S4I,S4G,S3I,S2X,S2G,S1P,S1G	S4O,S3X,S3G,S2P,S1X,S1G	1011
2	S4I,S4G,S3I,S3G	S4O,S3X,S3G	1100
5/2	S4I,S4G,S3I,S3G,S2I,S1X,S1G	S4O,S3X,S2X,S2G,S1P,S1G	1101
3	S4I,S4G,S3I,S3G,S2I,S2G	S4O,S3X,S2X,S2G	1110
4	S4I,S4G,S3I,S3G,S2I,S2G,S1I,S1G	S4O,S3X,S2X,S1X,S1G	1111

Tabella 4.1: Tabella dei possibili rapporti di conversione con le relative configurazioni degli *switch* in fase di carica e scarica.

Infine, nella fase di *sintesi*, è stato possibile sviluppare una corrispondenza funzionale mediante un approccio di tipo *Register Transfer Level* (RTL). La descrizione RTL istanzia codice rappresentante componenti digitali ben definiti, come porte logiche, registri, multiplexer etc., generando una netlist a partire dall'analisi e dal riconoscimento dei vari costrutti⁸. Per procedere con la sintesi sono state anche applicate delle *timing constraints*, definite in un file `.sdc` che è stato compilato e che contiene:

- i *clocks*: si definiscono i dettagli associati al clock (periodo, forma d'onda), si specifica l'incertezza sul clock (sia sul tempo di *hold*, 0.001ps, che di *setup*, 0.01ps), si definisce il tempo di transizione del clock (massimo di 0.1ps, minimo di 0.01ps) e si stabilisce la latenza del clock (massimo 0.02ps);
- i *paths*: si definiscono i *false path* di ingresso (*gain*, *en*, *reset*⁹) rispetto al segnale di clock;
- *input transition*: tempo di transizione dei segnali di ingresso (massimo 0.1ps, minimo 0.01ps);

⁸Blocchi come `always` e dichiarazioni come `assign`.

⁹Questi segnali sono tutti asincroni.

- gli *output delays*: si stabilisce quanto tempo ha per propagarsi il segnale verso l'uscita ($0.5ns$);
- gli *output loads*: si specificano le dimensioni massime e minime delle capacità di carico che vede, $40fF$ e $20fF$ rispettivamente.

4.2 Discoverlap

Il discoverlap è un semplice modulo realizzato in Verilog e basato sull'idea di non far sovrapporre tra loro i segnali in uscita dal blocco di controllo Control_Dig¹⁰. Segue il codice corrispondente:

```

1 module discoverlap(in, out);
2   input in;
3   output out;
4   wire in_d;
5   assign #10 in_d = in;
6   assign out = in_d ? in:in_d;
7 endmodule

```

Sostanzialmente implementa un multiplexer per il quale la selezione del dato in ingresso è eseguita dal segnale di ingresso ritardato. Quando è 0, l'uscita assume il valore dell'ingresso originale, quando è 1, l'uscita assume il valore dell'ingresso ritardato, come illustrato in figura 4.2.

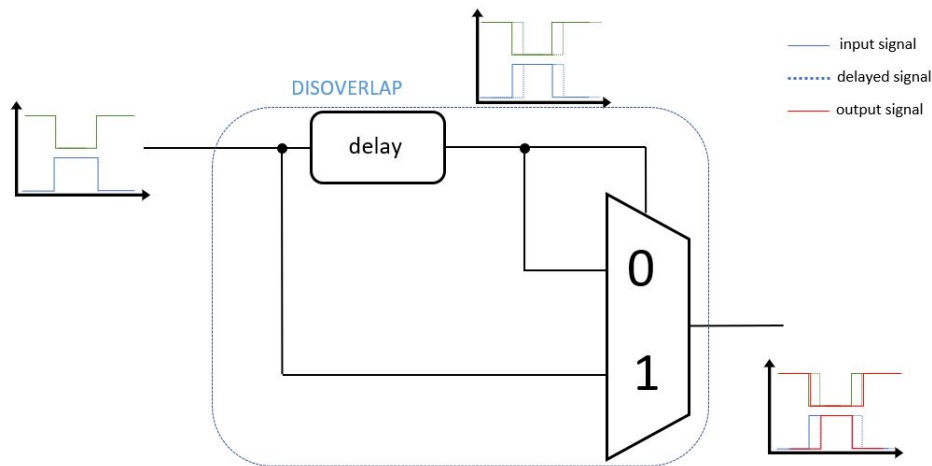


Figura 4.2: Semplice schema a blocchi del modulino discoverlap.

¹⁰E' opportuno ricordare come questo modulo sia stato utilizzato solo ai fini della simulazione. Non può essere trasformato automaticamente in un circuito dal CAD perchè i ritardi non sono tipicamente elementi sintetizzabili.

E' opportuno ricordare che generare dei segnali di controllo non sovrapposti sugli *switch* serve affinché le fasi di *precharge* e di *discharge* non abbiano si accavallino, generando delle perdite di carica dovute alla chiusura simultanea degli *switch*.

In relazione a questo, sarebbe opportuno idealmente che la chiusura degli *switch* connessi all'uscita, in fase di scarica, fosse ulteriormente ritardata, in modo da consentire che gli altri interruttori interessati alla fase di *discharge* siano chiusi e portino i nodi intermedi ai valori corretti di tensione, prima di distribuire la carica sull'uscita. Per questo motivo è stato modellato un blocco di ritardo specifico con una latenza maggiore di quella utilizzata per gli altri interruttori.

Capitolo 5

Risultati e Discussione

Nel seguente capitolo sono discussi gli approcci di simulazione ed i test eseguiti all'interno dell'ambiente di sviluppo per i circuiti integrati.

5.1 Modalità di simulazione

Il tool ADE XL di Cadence ha consentito di organizzare le simulazioni in *tests* scegliendo delle analisi prevalentemente in transitorio. Avendo utilizzato segnali sia analogici che digitali, sono state sostanzialmente effettuate simulazioni in *Mixed-Mode*. Questa modalità prevede la scelta del simulatore *Analog Mixed-Signal* (AMS), che si crei una nuova *view* di tipo *config* e che si settino delle *connection rules* per stabilire la corrispondenza tra la logica booleana ed i livelli di tensione.

Per valutare le prestazioni del convertitore, sono state create delle espressioni, mediante lo strumento di calcolo fornito da Cadence, in grado ogni volta di restituire:

- la corrente media in uscita, I_{out} ;
- la corrente media in ingresso, I_{in} ;
- la potenza estratta in ingresso, P_{estr} , calcolata come $\int_0^T V_{in} I_{in} dt$;
- la potenza trasferita in uscita, P_{out} , calcolata come $\int_0^T V_{out} I_{out} dt$;
- la potenza persa in *switching*, P_{sw} ;

- la potenza persa per la redistribuzione della carica all'interno del blocco di conversione, P_{int} , calcolata come:

$$P_{int} = P_{estr} \left(1 - \frac{V_{out}}{V_{out,id}}\right) = P_{estr} \left(1 - \frac{V_{out}}{nV_{in}}\right) \quad (5.1)$$

- la potenza persa in relazione alle capacità parassite, P_{par} ;
- la percentuale di efficienza di conversione, η .

Le potenze sono state ottenute integrando il prodotto della relativa tensione per la relativa corrente¹ all'interno di un determinato intervallo di tempo. In particolare, tale intervallo è stato reso variabile innanzitutto utilizzando una TSTOP con la quale si è fissato un numero di periodi di clock entro i quali svolgere la simulazione, in relazione alla frequenza impostata. Inoltre, tra quelle disponibili in *Calculator*, è stata utilizzata la funzione `cross` grazie alla quale è stato possibile settare il numero di fronti del clock da prendere per il calcolo della media, definendo una soglia di *crossing* pari a $0.5V$. Questo tipo di approccio non solo favorisce dei risultati più automatizzati ma riduce notevolmente anche i tempi di simulazione, adattandosi alle variazioni di velocità del clock.

Svolgendo quindi delle indagini in transitorio², è bastato eseguire delle analisi parametriche inserendo delle etichette testuali nello schematico e richiamandole come *Global Variables*. Questo facilita la gestione dei parametri da variare e la continuità della simulazione.

E' comunque opportuno tener presente che le simulazioni sono state svolte fissando una capacità di carico C_{out} pari a $5\mu F$, una capacità C_{offset} pari a $229.5fF^3$ ed un *delay* pari a $10ns$. Quest'ultimo corrisponde al ritardo introdotto dalla rete `disoverlap` per la non sovrapposizione dei segnali di controllo sugli *switch*.

Nel primo set di simulazioni il guadagno n è stato fatto variare tra un valore molto basso ad un valore molto alto, per ciascuno dei quali sono stati fissati un valore di frequenza di commutazione alto ed uno basso. Questa tipologia di simulazione è stata svolta per valutare l'utilità nel variare dinamicamente il guadagno.

Nel secondo set di simulazioni, invece, è stato eseguito lo *sweep* in frequenza fissando una coppia tensione di uscita V_{out} -guadagno n affinché si potessero valutare le prestazioni, discriminando i vari contributi di potenza.

¹Mediante la funzione `integ`.

²Mediante l'analisi `.tran`.

³Si ricordi che la C_{offset} è la capacità di *bootstrap* della rete di pilotaggio.

Gli altri parametri oggetto di variazioni sono stati le capacità dei condensatori di *flying* e la larghezza W dei MOSFET di conduzione, principalmente per individuare la condizione di completa carica e scarica dei condensatori stessi (regime SSL).

Per quanto riguarda il valore della capacità di *flying*, è stato scelto un valore pari a $100pF$ per garantire un adeguato rapporto tra queste e le capacità parassite associate ai *bootstrapped switch*, in modo da limitare la perdita di efficienza causata dal fenomeno di ripartizione di carica, nonostante questo implichi aumentare l'area.

Per quanto riguarda la larghezza del MOS, sono state considerate le seguenti dimensioni nominali richieste dalla tecnologia:

$$L_{min} = 180nm$$

$$W_{min} = 240nm$$

Per le simulazioni è stato utilizzato un valore minimo pari a $W = 600nm$, aumentato impostando un numero di *finger* pari a 20. Tale scelta è stata giustificata dai vincoli imposti sulla C_{fly} ($= 100pF$) e sul massimo valore di f_{sw} ($= 10MHz$). Per caratterizzare la R_{on} del transistor, è stata svolta una simulazione in continua, fissando i valori di tensione V_{gs} e V_{ds} .

5.2 Risultati

Di seguito sono riportate le prestazioni valutate mediante lo strumento di calcolo di Cadence, facendo distinzione tra i vari contributi di potenza persa.

In tabella 5.1 e 5.2, sono riportati i valori di potenza e di efficienza ottenuti al variare del guadagno n , scegliendo due valori di frequenza per ciascuno di essi e fissando una tensione di uscita V_{out} pari a $0.2V$ ed una tensione di ingresso V_{in} pari a $1V$.

In particolare nella 5.1 è stato impostato un guadagno pari a $1/4$. In questo caso, si osserva una P_{par} negativa in corrispondenza della frequenza più bassa. Questo è giustificato dal fatto che la P_{int} corrisponde ad un valore di perdita di efficienza "fittizia", calcolato idealmente come indicato in (5.1).

E' possibile perciò che nella realtà P_{int} non arrivi al valore ideale, rendendo P_{par} negativa ma pari solamente ad una piccola percentuale della potenza estratta, quindi trascurabile.

Nella 5.2 è stato invece impostato un guadagno pari a 4. In questo caso è possibile osservare, dai valori ottenuti, che l'utilizzo di un guadagno in grado

di fornire in uscita una tensione notevolmente più alta di quella richiesta, sia degradante in termini di prestazioni del blocco di conversione. Questo incide negativamente soprattutto sui contributi di perdita.

$n = 1/4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 500kHz$	2.755	2.187	551	184.3	-167.5	79.38%
$n = 1/4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 10MHz$	13.5	18.16	3.631	2.463	-1.434	74.33 %

Tabella 5.1: Prestazioni ottenute simulando e valutando mediante *Calculator*, per $n=1/4$, per due valori di frequenza f_{sw} e per $C_{fly} = 100pF$, $R_s = 1k\Omega$, $V_{out} = 0.2V$, $V_{in} = 1V$.

$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (μW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 500kHz$	139.8	8.058	132.8	0.129	-1.199	5.8 %
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 10MHz$	198.6	10.39	188.7	2.905	-3.359	5.23 %

Tabella 5.2: Prestazioni ottenute simulando e valutando mediante *Calculator*, per $n=4$, per due valori di frequenza f_{sw} e per $C_{fly} = 100pF$, $R_s = 1k\Omega$, $V_{out} = 0.2V$, $V_{in} = 1V$.

Nella tabella 5.3, sono presenti i risultati di potenza e di efficienza calcolati svolgendo lo sweep in frequenza e avendo fissato una tensione di uscita V_{out} pari a $3.8V$ ed un guadagno n pari a 4.

E' possibile anche osservare elevati valori di efficienza, registrando un picco in corrispondenza della frequenza pari a $500kHz$. Anche in questo caso, il valore della P_{par} negativo è da attribuire alla non idealità del calcolo della potenza intrinseca persa dal convertitore per la redistribuzione della carica. L'efficienza massima ottenibile risulta essere pari al 95%, rapportando il valore di tensione imposto in uscita e quello ideale ($\frac{V_{out}}{nV_{in}} = \frac{3.8}{4}$)⁴. La percentuale persa di default è da attribuire alla potenza P_{int} che risulta essere sempre pari al 5% della potenza estratta. E' possibile inoltre osservare dei contributi di perdita crescenti con la frequenza: la potenza P_{sw} , in particolare, presenta dei valori direttamente proporzionali a f_{sw} .

Infine, esaminando i vari contributi, è possibile riscontrare un picco del valore della potenza estratta in corrispondenza della frequenza $2MHz$, quindi non coincidente con il picco di efficienza.

Da questi risultati, si evince come fissando una tensione di uscita V_{out} pari a $0.2V$ e variando il guadagno n , le prestazioni siano migliori nel caso del valore di guadagno più basso. Scegliere di utilizzare un guadagno elevato a fronte di una tensione V_{out} bassa peggiora notevolmente l'efficienza, a fronte di una potenza estratta P_{estr} superiore di diversi ordini di grandezza. Questo suggerisce l'effettiva utilità nel decidere di cambiare dinamicamente il valore del guadagno a seconda dell'uscita richiesta dal carico, preferendo, in questo caso, di scegliere di lavorare per una configurazione a guadagno più basso in modo che il blocco di conversione sia in grado di funzionare più efficientemente.

⁴Questo corrisponde alla definizione di VCE introdotta in (2.9).

$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 250kHz$	5.046	4.586	252.3	106.2	101.7	90 %
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 500kHz$	9.162	8.632	458.1	211.2	-138.8	94.2 %
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (nW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 1MHz$	15.97	14.27	789.7	417.1	489.4	89.35 %
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (μW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 2MHz$	24.28	20.48	1.214	0.829	1.758	84.35%
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (μW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 3MHz$	17.89	25.09	1.254	1.247	4.693	71.3 %
$n = 4$	$P_{estr}(\mu W)$	$P_{out}(\mu W)$	<i>Perdite (μW)</i>			η
			P_{int}	P_{sw}	P_{par}	
$f_{sw} = 4MHz$	11.79	4.253	0.589	1.675	5.275	36.1%

Tabella 5.3: Prestazioni ottenute simulando e valutando mediante *Calculator*, al variare di f_{sw} e per $n = 4$, $C_{fly} = 100\rho F$, $R_s = 1k\Omega$, $V_{out} = 3.8V$, $V_{in} = 1V$.

Capitolo 6

Conclusioni

Rispetto alle tradizionali architetture, la topologia implementata costituisce una valida alternativa per lo sviluppo di un convertitore DC/DC a capacità commutate capace di autoregolarsi e di raggiungere elevati valori di efficienza.

Ciò che rende vantaggiosa questa struttura è la possibilità di generare facilmente un insieme di rapporti di conversione a seconda del collegamento tra i condensatori. Tuttavia, per ottenere una più accurata tensione di uscita, sarebbe opportuno utilizzare un maggior numero di capacità disposte in modo tale che si creino più combinazioni e un insieme più "fitto" di guadagni disponibili. Si potrebbe in tal senso, pensare di utilizzare delle capacità di *flying* diverse tra loro nell'ipotesi che una distribuzione più uniforme dei possibili guadagni del convertitore influenzi positivamente la possibilità di inseguire in maniera più efficace il valore della tensione di uscita, cosa che si è dimostrata essere particolarmente vantaggiosa per migliorare l'efficienza di conversione.

I dati di simulazione confermano il corretto funzionamento del sistema, in cui si è andato a valutare in prima battuta il raggiungimento della corretta tensione di uscita e la corretta temporizzazione dei segnali di apertura/chiusura degli *switch*.

Originariamente l'obiettivo prefissato era quella di creare un oggetto che fosse in grado di massimizzare l'efficienza complessiva. L'indagine svolta attraverso le simulazioni e le equazioni del modello ha posto però le basi per uno studio più consapevole delle interazioni complesse che legano il guadagno, la frequenza e le diverse figure di merito, quali l'efficienza, la potenza estratta e la potenza in uscita. Ad esempio, in base ai risultati ottenuti per V_{out} uguale a $3.8V$, per ottenere una potenza di uscita elevata è possibile decidere di lavorare per una certa coppia di guadagno e frequenza, tale che n sia 4 e f_{sw} sia $3MHz$, come mostrato nell'ultima tabella. Mentre per estrarre un

valore di potenza massimo è possibile scegliere dei valori di guadagno e di frequenza pari a 4 e $2MHz$, rispettivamente.

Il regime SSL si è confermato essere una buona modalità di funzionamento per la topologia implementata. In alternativa, come discusso, esiste la possibilità di far lavorare il convertitore in modalità FSL, ovvero in condizioni di carica e scarica incomplete dei condensatori di *flying*. Tuttavia, questo approccio modifica sostanzialmente e complica il modello elettrico del circuito. Per uno sviluppo futuro del progetto, quindi, potrebbe essere certamente interessante indagare anche questa modalità di funzionamento per verificare che i risultati ottenuti con un approccio SSL siano riproducibili in un contesto di FSL, nell'eventualità che si possano riscontrare ulteriori miglioramenti nell'efficienza del circuito.

Emerge, in conclusione, come l'ottimizzazione delle figure di merito sia fortemente dipendente dalle condizioni di utilizzo delle variabili scelte per la configurazione dinamica del convertitore in base alle specifiche richieste. Sarebbe opportuno, per un progetto futuro, indagare un possibile algoritmo di retroazione in grado di individuare sempre la coppia guadagno-frequenza legata alle figure di merito mediante relazioni complesse come quelle suggerite dal modello matematico. In questo contesto si potrebbe progettare una retroazione in grado di modificare il comportamento del circuito, inseguendo ad esempio in alcune circostanze il punto di massima potenza estratta (*Maximum Power Point Tracking*, MPPT), mentre in altre la massima potenza trasferita o altri parametri specifici in relazione alle situazioni contingenti.

Bibliografia

- [1] Joseph Paradiso and Thad Starner. Energy scavenging for mobile and wireless electronics. *Pervasive Computing, IEEE*, 4:18 – 27, 02 2005.
- [2] David Bol, Julien Vos, Francois Botman, Gueric de Streel, Sebastien Bernard, Denis Flandre, and Jean-Didier Legat. Green socs for a sustainable internet-of-things. pages 1–4, 06 2013.
- [3] De Vos Julien. *Switched-capacitor DC/DC converters in nanometer CMOS technologies for micro-power energy management*. PhD thesis, Ecole Polytechnique de Louvain, 2013.
- [4] Roberto Verdone, Davide Dardari, Gianluca Mazzini, and Andrea Conti. 7 - communication protocols for wsans. In Roberto Verdone, Davide Dardari, Gianluca Mazzini, and Andrea Conti, editors, *Wireless Sensor and Actuator Networks*, pages 161 – 193. Academic Press, Oxford, 2008.
- [5] H. Le, S. R. Sanders, and E. Alon. Design techniques for fully integrated switched-capacitor dc-dc converters. *IEEE Journal of Solid-State Circuits*, 46(9):2120–2131, Sep. 2011.
- [6] Inna Vaisband. A closed-loop reconfigurable switched-capacitor dc-dc converter for sub-mw energy harvesting applications. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, PP:1–10, 01 2014.
- [7] Alexander Kushnerov. *High-Efficiency Self-Adjusting Switched Capacitor DC-DC Converter with Binary Resolution*. PhD thesis, 08 2009.
- [8] John F Dickson. On-chip high-voltage generation in mnos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of solid-state circuits*, 11(3):374–378, 1976.
- [9] Andrea Ballo, Alfio Grasso, and Gaetano Palumbo. A review of charge pump topologies for the power management of iot nodes. *Electronics*, 8, 04 2019.

- [10] John F Dickson. Voltage multiplier employing clock gated transistor chain, July 22 1980. US Patent 4,214,174.
- [11] W. C. Athas, L. J. Svensson, J. G. Koller, N. Tzartzanis, and E. Ying-Chin Chou. Low-power digital systems based on adiabatic-switching principles. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, 2(4):398–407, Dec 1994.
- [12] C. Ulaganathan, B. J. Blalock, J. Holleman, and C. L. Britton. An ultra-low voltage self-startup charge pump for energy harvesting applications. In *2012 IEEE 55th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 206–209, Aug 2012.
- [13] Y. Beck and S. Singer. Capacitive transposed series-parallel topology with fine tuning capabilities. *Circuits and Systems I: Regular Papers, IEEE Transactions on*, 58:51 – 61, 02 2011.
- [14] E. Napoli. *Progetto di sistemi elettronici digitali basati su dispositivi FPGA*. The name of the publisher, 1 edition, 2011.