

KOMPARATOR DO GENERACJI ZNACZNIKÓW CZASOWYCH W UKŁADACH ODCZYTOWYCH DLA DETEKTORÓW PASKOWYCH

Krzysztof Kasiński

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Wydział Elektrotechniki Automatyki Informatyki i Elektroniki, Katedra Metrologii i Elektroniki

Streszczenie. Artykuł prezentuje projekt niskomocowego komparatora przygotowanego dla potrzeb nadawania znaczników czasowych w wielokanałowym scalonym układzie odczytowym do detektorów paskowych. Przedstawione zostały: zarys analogowego układu front-end z dwutorowym przetwarzaniem, czynniki ograniczające dokładność wyznaczania znacznika czasowego oraz dokładny projekt 3-stopniowego komparatora zoptymalizowanego dla docelowej aplikacji.

Słowa kluczowe: komparator, wielokanałowe układy scalone, detektory paskowe, mikroelektronika

DISCRIMINATOR FOR TIMESTAMPING IN STRIP DETECTOR READOUT INTEGRATED CIRCUITS

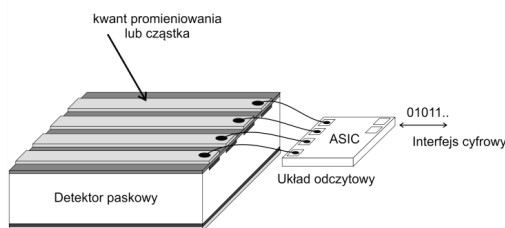
Abstract. This paper presents the design of a low-power comparator for timestamping purposes in multichannel integrated circuit for silicon strip detectors' readout. A brief introduction to an analog front-end electronics with two signal paths is presented. Moreover, issues regarding accuracy of timestamp determination and details of 3-stage comparator architecture are included.

Keywords: discriminator, multichannel integrated circuits, strip detectors, microelectronics

Wstęp

Obrazowanie z wykorzystaniem promieniowania X oraz detektory śladowe dla zastosowań w eksperymentach fizyki wysokich energii są głównymi obszarami aplikacyjnymi detektorów paskowych. Do odczytu detektorów najczęściej wykorzystywane są wielokanałowe układy scalone dedykowane dla danej aplikacji (rys. 1) [2]. Różnorodność warunków pracy tj. pojemność detektora, intensywność promieniowania, poziom sygnałów, wymagany standard komunikacji czy wreszcie wymagana funkcjonalność pomiarowa powodują, że niemożliwe jest opracowanie rozwiązania uniwersalnego.

Artykuł opisuje projekt komparatora dla potrzeb nadawania znaczników czasowych w układzie odczytowym do paskowych detektorów krzemowych o dużej pojemności. Funkcjonalność wymagana od docelowego układu to praca z trybie pojedynczego zliczania fotonów z jednoczesnym pomiarem amplitudy impulsu wejściowego oraz wyznaczaniem znacznika czasowego każdego zdarzenia.



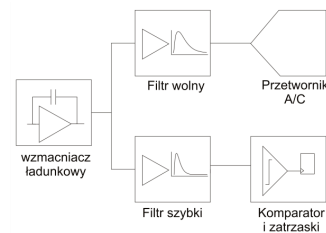
Rys. 1. System detekcyjny z detektorem paskowym

1. Układ elektroniki front-end i motywacja

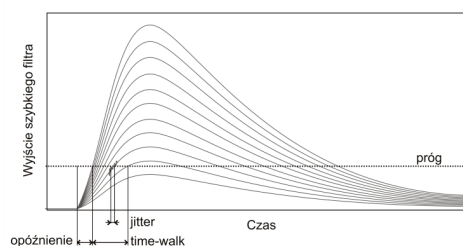
Architektura pojedynczego kanału układu scalonego, o którym mowa, obejmuje wzmacniacz ładunkowy i dwa torzy przetwarzania impulsu napięciowego (rys. 2) [2, 3]. Tor z filtrem tzw. wolnym jest zoptymalizowany pod kątem niskich szumów i pomiaru amplitudy impulsu za pomocą zintegrowanego przetwornika analogowo-cyfrowego. Zadaniem kanału z filtrem tzw. szybkim jest dokładne określenie chwili czasu, w którym pojawił się ładunek wejściowy. Chwilę czasu określa dyskryminator, którego próg powinien być ustawiony na jak najniższą wartość, która gwarantuje pracę bez wpływu szumów. Wyjście komparatora współpracuje z układem licznika i zatrząsku, których zadaniem jest przechowanie wartości znacznika czasowego do czasu jego odczytania.

Komparator współpracuje z szybkim filtrem. Jego zadaniem jest ukształtowanie sygnału pod kątem pomiaru czasu wystąpienia zdarzenia. Oznacza to, że czas narastania impulsu na wyjściu filtra powinien być krótki. W tym przypadku wynosi on 30 ns. Cechą

układów kształtujących (w tym przypadku CR-RC, a więc kaskady aktywnych stopni górnoprzepustowego i dolnoprzepustowego) jest obecność efektu pełzania (*time-walk*), a więc zależności otrzymanego znacznika czasowego od ładunku wejściowego. Ponadto znaczący wpływ na rozdzielczość wyznaczania znacznika czasowego ma szum układu, który przenosi się na domenę czasową (jako jitter) odwrotnie proporcjonalnie do nachylenia zbocza narastającego sygnału napięciowego (rys. 3). Wszystkie te czynniki powodują błąd w określeniu dokładnego momentu, w którym zdarzenie miało miejsce. Można je jednak do pewnego stopnia korygować. Metoda korekcji zostanie opisana w punkcie 3.



Rys. 2. Budowa kanału odczytowego



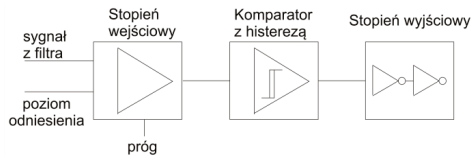
Rys. 3. Efekt zależności znacznika czasowego od amplitudy impulsu

2. Projekt komparatora

Zadaniem komparatora jest wygenerowanie impulsu cyfrowego dla każdego impulsu z szybkiego filtra, który przekroczy próg dyskryminacji. W tej aplikacji, próg zostanie ustawiony na wartość ok. 0,8 fC. Tor filtra szybkiego będzie wykorzystywany do nadawania znaczników czasowych, co oznacza, że projektowany komparator powinien charakteryzować się dużą szybkością działania oraz nie powinien znacznie degradować *time-walk*'u. Jednocześnie układ ten powinien zostać zaprojektowany pod kątem wykorzystania w wielokanałowym układzie scalonym a więc zarówno pobierana moc jak i zajmowana powierzchnia powinna zostać utrzymana na odpowiednio niskim poziomie. Dla potrzeb projektu pobór mocy komparatora ograniczono do 0,5 mW, a powierzchnia powinna nie przekraczać obszaru 150 μm x 55 μm . Docelowa technologia

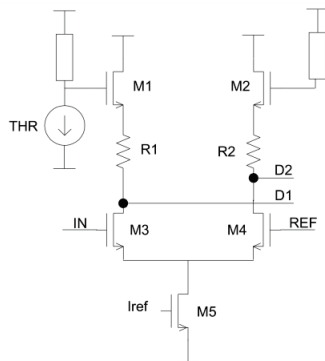
produkcji pod kątem której układ został zaprojektowany to UMC 180 nm. Determinuje to minimalną długość tranzystora (180 nm) oraz napięcie zasilania (1,8 V).

Zdecydowano się na budowę 3-stopniowego komparatora (rys. 4). Pierwszy stopień jest przedwzmacniaczem, który umożliwia korekcję rozrzutu napięć na wyjściu wolnego filtra oraz zadawanie progu dyskryminacji. Drugi stopień jest właściwym komparatorem, a trzeci stanowi inwertery, których wyjście jest sygnałem cyfrowym.



Rys. 4. Stopień wejściowy dyskryminatora

Stopień wejściowy zbudowany jest w oparciu o parę różnicową (M3-M4) zasilaną ze źródła prądowego M5 (rys. 5). Para różnicowa obciążona jest dwoma rezystorami (R1 – R2) oraz przez stopnie w architekturze wspólnego źródła (M1-M2). Statyczny pobór prądu tego stopnia wynosi 50 μ A (90 μ W).



Rys. 5. Stopień wejściowy dyskryminatora

Sygnał z szybkiego filtra podawany jest na wejście IN. Do bramki tranzystora M4 przyłożone jest napięcie, które powinno odpowiadać napięciu stałemu na wyjściu filtra przy braku sygnału. Ze względu na rozrzuty produkcyjne, zarówno poprzedzających stopni jak i tranzystorów w tym obwodzie, powodujących przesuwanie efektywnego progu dyskryminacji, napięcie odniesienia pochodzi z przetwornika cyfrowo-analogowego zlokalizowanego w każdym z kanałów układu scalonego. Pojawienie się sygnału na wejściu powoduje, że para różnicowa nie znajduje się już w stanie równowagi i pojawia się sygnał różnicowy na wyjściu D1-D2.

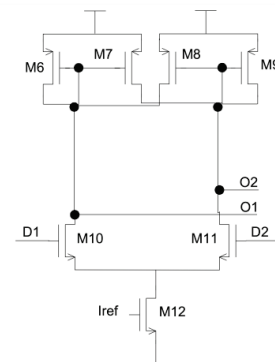
Próg dyskryminacji zmieniany jest poprzez linię THR sterującą bazą tranzystora M1. Ponieważ tranzystory M1-M2 pracują jak wtórnik źródłowy, przyłożenie różnych napięć powoduje przesunięcie poziomów stałych na wyjściach D1-D2. Dzięki takiemu zabiegowi zmieniają się warunki pracy kolejnego stopnia, co jest równoznaczne ze zmianą progu dyskryminacji.

Przedstawiony stopień charakteryzuje się wzmocnieniem równym 7 V/V, które pozostaje liniowe dla zakresu napięć odpowiadających wejściowemu ładunkowi 0-2 fC.

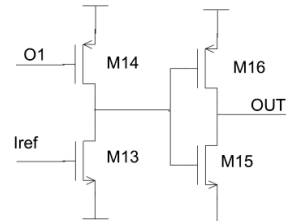
Kolejny stopień zbudowany jest również z wykorzystaniem pary różnicowej (M10-M11) (rys. 6). Obciążenie stanowi układ sprzężonych luster prądowych (M6-M9) wprowadzających dodatnie sprzężenie zwrotne (a więc i histerezę) w celu przyspieszenia działania układu i redukcję wpływu zakłóceń na pracę komparatora. Sprzężenie zwrotne można kontrolować poprzez zmianę stosunku długości do szerokości tranzystorów tworzących pary w obciążeniu [3]. Histereza w zaprojektowanym obwodzie wynosi 37 mV. Zakres zmian napięcia wyjściowego wynosi od 700 mV – 1,5 V. Statyczny pobór prądu tego stopnia wynosi 50 μ A (90 μ W).

Trzeci stopień komparatora stanowi układ wzmacniacza w konfiguracji wspólnego drenu, za którym umieszczony został

inwerter (rys. 7). Zadaniem tego stopnia jest przekształcenie sygnału z poprzedniego stopnia na poziomy cyfrowe CMOS. Zakres zmian napięć wyjściowych z tych układów wynosi już 0-1,8 V a czas narastania sygnału wynosi odpowiednio 3 ns i 440 ps. Statyczny pobór mocy tego stopnia wynosi 30 μ A (54 μ W). Przez ten stopień przebiega umowna granica pomiędzy domeną sygnałów analogowych i cyfrowych. Aby uniknąć przenoszenia się zakłóceń ostatni inwerter jest zasilany z linii zasilających układy cyfrowe następujące po nim.

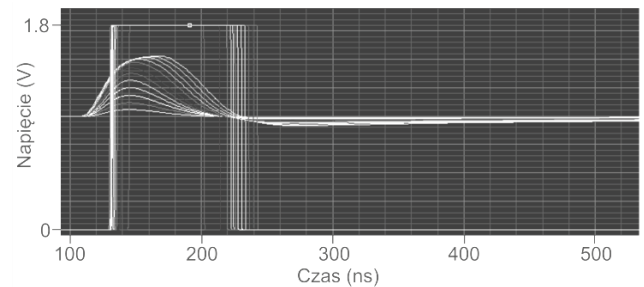


Rys. 6. Komparator z dodatnim sprzężeniem zwrotnym



Rys. 7. Stopień wyjściowy komparatora

Rys. 8 przedstawia symulację odpowiedzi dyskryminatora na wymuszenie o różnej amplitudzie.



Rys. 8. Przebiegi czasowe dyskryminatora dla różnych ładunków wejściowych

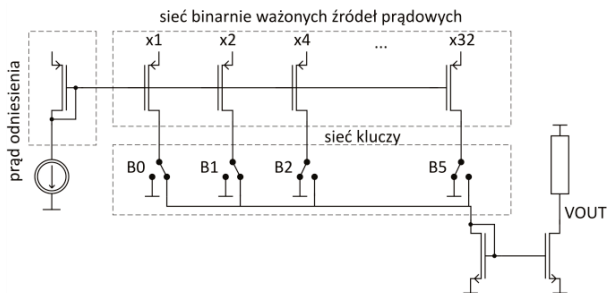
3. Układy do korekcji

Źródła błędów wyznaczania znaczników czasowych wynikających z budowy toru przetwarzania zostały w pewnym stopniu omówione w punkcie 1. Nie są to jednak jedyne efekty, które należy wziąć pod uwagę. Na pracę układu komparatora mają wpływ między innymi następujące czynniki:

- Wynikające z rozrzutów technologicznych:
 - rozrzut poziomu stałego na wyjściu filtra szybkiego,
 - rozrzut efektywnego progu dyskryminacji.
- Wynikające z właściwości toru przetwarzania:
 - stałe opóźnienie komparatora,
 - time-walk.
- Wynikające ze zjawisk stochastycznych:
 - jitter znacznika wynikający z szumu.

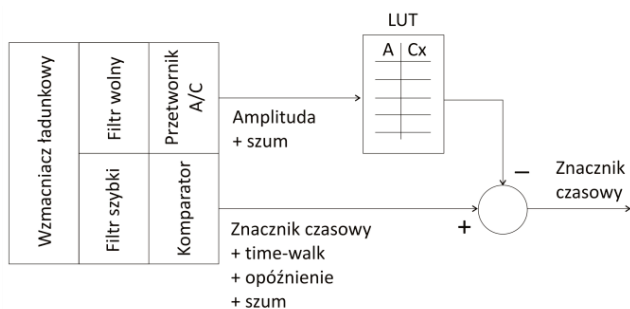
Efekty te (poza stochastycznymi) można do pewnego stopnia skorygować. W prezentowanym układzie zastosowano dwa schematy korekcji: trzymowanie w pomocą przetwornika analogowo-cyfrowego oraz korekcja typu *off-line* na podstawie pomiaru amplitudy impulsu wejściowego.

Rozrzuty technologiczne można efektywnie kompensować poprzez przyłożenie odpowiedniego (różnego dla każdego kanału) napięcia do bramki drugiego tranzystora z pary różnicowej w pierwszym stopniu komparatora. Dobór zakresu oraz rozdzielczości jest przeprowadzany na podstawie wyników symulacji Monte-Carlo przygotowanej dzięki danym wynikającym z zastosowanej technologii produkcji układów scalonych. W przedstawionym układzie okazało się, że 6-bitowy przetwornik cyfrowo-analogowy o zakresie 150 mV wokół średniej wartości napięcia stałego na wyjściu szybkiego filtra (1 V) zintegrowany w każdym kanale będzie w stanie w zadowalający sposób skorygować te negatywne efekty (rys. 9).



Rys. 9. Realizacja korekcyjnego przetwornika cyfrowo-analogowego

Jeśli chodzi o błędy wynikające z właściwości toru przetwarzania to mogą one zostać skorygowane na podstawie informacji o wielkości ładunku wejściowego. Informacja ta będzie pochodzić z drugiej gałęzi toru przetwarzania wykorzystującej filtr wolny i przetwornik analogowo cyfrowy. Na podstawie znajomości amplitudy impulsu z tablicy LUT (*look-up table*) wybierana jest wartość poprawki, która odejmowana jest od wyznaczonego znacznika czasowego (rys. 10). Zakładając, że system jest bezszumny, efekty te mogłyby zostać wyeliminowane całkowicie. W rzeczywistości jednak szumy zarówno w torze przetwarzania szybkiego jak i wolnego skutecznie ograniczają maksymalną możliwą do uzyskania rozdzielczość wyznaczania znaczników czasowych.

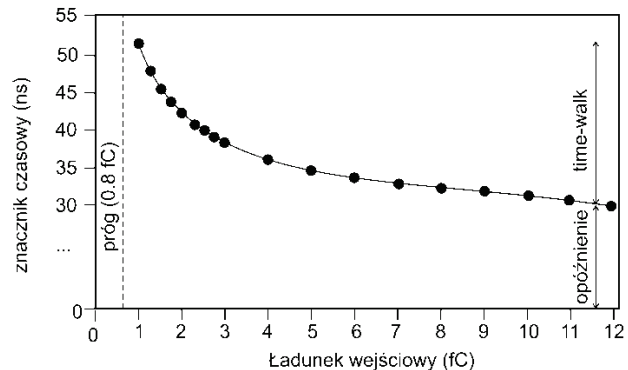


Rys. 10. Sposób korekcji błędów wyznaczania znaczników czasowych

Przy założeniu, że tor szybki jest bezszumny a rozdzielczość przetwarzania toru wolnego (wynikająca z szumów) wynosi 1 fC możliwa jest korekcja błędu wynikającego z *time-walk'u* do poziomu $\sigma=3$ ns przy ładunku 1 fC oraz $\sigma=1,5$ ns przy ładunku 2 fC co stanowi poprawę w stosunku do błędu przed korekcją (odpowiednio 6,5 ns i 3,5 ns).

Niestety nie jest możliwa korekcja błędów stochastycznych. W tym przypadku wynikają one z wartości szumu na wyjściu szybkiego filtra. Jeśli podzielić wartość skuteczną szumów przez współczynnik kierunkowy stycznej do impulsu napięciowego w okolicy progu dyskryminacji można uzyskać spodziewaną wartość skuteczną drżenia (*jitteru*) znacznika czasowego wynikającego z tych szumów. Pomimo stromego zbocza narastającego (czas osiągnięcia wartości szczytowej filtra wynosi 30 ns) jitter ten przyjmuje wartości: $\sigma=6$ ns przy 1 fC, $\sigma=2$ ns przy 2 fC (zakładając próg 0,8 fC). Okazuje się, że właśnie szum staje się

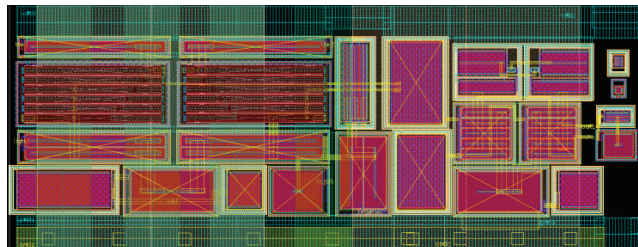
dominującym czynnikiem ograniczającym rozdzielczość wyznaczania znaczników czasowych po skorygowaniu pozostałych czynników. Oznacza to, że zastosowany schemat korekcji jest poprawny i wystarczający.



Rys. 11. Zależność nieskorygowanego znacznika czasowego od ładunku wejściowego (ilustracja opóźnienia oraz *time-walk'u*)

4. Plan masek

Projektowanie układów pod kątem zastosowania w wielokanałowych układach scalonych o wielkiej skali integracji nierozzerwalnie wiąże się z ograniczeniami na pobór mocy oraz na rozmiary obwodu. Prezentowany układ zaprojektowano z myślą o zastosowaniu w kanale, którego szerokość będzie rzędu 50 μm . Rys. 12 przedstawia plan masek prezentowanego układu wraz z poziomymi liniami zasilającymi oraz połączeniami pomiędzy tranzystorami. Ponieważ obwód ten ma być częścią większego układu scalonego wykorzystano tylko 3 warstwy metali z dostępnych sześciu tak, aby można było zrealizować niezbędne połączenia w docelowej aplikacji traktując prezentowany układ jak moduł.



Rys. 12. Plan masek dyskriminatora

Dyskriminator zajmuje obszar 54 μm x 136 μm . Przedstawiony układ nie obejmuje jednak wspomnianego przetwornika cyfrowo-analogowego korygującego rozrzuty produkcyjne, których rozmiary mogą być porównywalne lub większe od rozmiarów przedstawionego komparatora.

Warto mieć na uwadze fakt, że komparator jest układem, w którym względy przenoszenia zakłóceń są niezwykle istotne. Układ ten stanowi granicę pomiędzy czułą domeną analogową a szybką i pełną zakłóceń domeną cyfrową. Powoduje to, że do projektowania planu masek należało podejść ze szczególną starannością. W przedstawionym układzie zadbano o odpowiednią separację napięć zasilających pochodzących z osobnych domen zasilania (cyfrowego i analogowego). Każdy z tranzystorów, zarówno PMOS jak i NMOS otoczony jest zabezpieczającym łańcuchem (*guard-ring*) skutecznie odcinającym tranzystory układu od zakłóceń przenoszonych przez przewodzące podłoże układu scalonego. Ponadto dzięki odpowiedniemu prowadzeniu ścieżek zminimalizowano sprzężenia pojemnościowe pomiędzy węzłami sąsiadujących bloków funkcjonalnych. Zastosowano również kondensatory blokujące na liniach zasilających oraz pojemności filtrujące na liniach referencyjnych dla źródeł prądowych w każdym ze stopni.

5. Podsumowanie

Przedstawiony komparator charakteryzuje się parametrami dopasowanymi do docelowej aplikacji. Układ ten pozwala na określenie znacznika czasowego z dokładnością ograniczoną parametrami poprzedzających stopni (filtrów i wzmacniacza ładunkowego). Statyczny pobór mocy dyskryminatora wynosi 234 μW a powierzchnia zajmowana na krzemie wynosi 54 μm x 136 μm , dzięki czemu układ można wykorzystać w strukturze wielokanałowej o niewielkiej szerokości kanału (np. 60 μm).

Podziękowania

Praca powstała przy wsparciu Ministerstwa Nauki i Szkolnictwa Wyższego.

Literatura

- [1] Allen P., Holberg D.: *CMOS Analog Circuit Design*. Oxford University Press, 2011.
- [2] Gryboś P.: *Front-end electronics for multichannel semiconductor detector systems*. Institute of Electronic Systems. Warsaw University of Technology, 2010.
- [3] Spieler H.: *Semiconductor detector systems*. Oxford University Press, 2005.

Dr inż. Krzysztof Kasiński
e-mail: krzysztof.kasinski@agh.edu.pl

W roku 2008 ukończył studia magisterskie na wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki Akademii Górniczo-Hutniczej w Krakowie. W roku 2012 obronił z wyróżnieniem rozprawę doktorską na Wydziale Informatyki, Elektroniki i Telekomunikacji tej samej uczelni. Obecnie asystent w Katedrze Metrologii i Elektroniki tego wydziału. Zainteresowania naukowe obejmują między innymi projektowanie specjalizowanych układów scalonych oraz systemów kontrolno-pomiarowych. Jest autorem lub współautorem ponad 28 prac naukowych.



Artykuł recenzowany

REDAKCJA POLECA

Beata PAŃCZYK, Edyta ŁUKASIK, Jan SIKORA, Teresa GUZIAK

Politechnika Lubelska, Wydział Elektrotechniki i Informatyki

METODY NUMERYCZNE W PRZYKŁADACH PODRĘCZNIK DLA STUDENTÓW UNIwersYTETÓW TECHNICZNYCH

Wydawnictwo Politechniki Lubelskiej 2012

Metody numeryczne są obecnie przedmiotem ujętym w standardach kształcenia studentów uczelni technicznych i przede wszystkim do nich jest adresowany ten podręcznik. Znajomość metod numerycznych umożliwia właściwe wykorzystanie gotowych pakietów obliczeniowych (Matlab, Maple, Mathematica itp.), jak również daje niezbędne podstawy do samodzielnego rozwiązywania specyficznych, coraz bardziej złożonych problemów inżynierskich. Wymaga to z jednej strony świadomości istoty rozwiązywanych zagadnień, z drugiej zaś znajomości metod służących do ich rozwiązywania.

Treść niniejszego podręcznika stanowią wybrane zagadnienia z teorii i praktyki metod numerycznych. Teoretyczne podstawy bazują na pozycjach klasycznych, które obejmują znacznie więcej materiału, niż można przedstawić w trakcie trzydziestogodzinnego wykładu. Niniejszy podręcznik zawiera tylko wyselekcjonowane informacje, które są omawiane na wykładach. Autorzy ograniczyli się do niezbędnych elementów teorii, bardziej koncentrując się na przykładach, dobranych w taki sposób, aby jak najprościej zobrazować działanie omawianej metody numerycznej. Niektóre przykłady obliczeń zostały dodatkowo przedstawione za pomocą tabel i rysunków. Większość rozdziałów zawiera odpowiednio opracowane zbiory zadań. Samodzielne rozwiązanie tych zadań pomoże Czytelnikowi w utrwaleniu prezentowanego materiału a dzięki zamieszczonym odpowiedziom umożliwi ich weryfikację.

Podręcznik zawiera przegląd najważniejszych problemów z analizy numerycznej i bazuje na wykładach prowadzonych w ostatnim dziesięcioleciu ze studentami kierunku Informatyka na Politechnice Lubelskiej.

