

早稲田大学大学院 理工学研究科

# 博士論文概要

## 論文題目

Study on Carrier Transport Mechanism in  
Silicon Nanowire Transistors

シリコンナノワイヤトランジスタにおける  
キャリア伝導機構の研究

申請者

Aya	Seike
清家	綾

ナノ理工学専攻 ナノエレクトロニクス研究

2008年 1月

## 【研究の背景】

近年のLSIにおけるトランジスタ技術は、市場からの更なる高性能化、低消費電力化の要請により、微細化限界を超えた性能を実現する必要性に迫られている。当該要請を達成するためには、技術世代をジャンプする、革新的な技術が求められる。このような状況において、チャンネルの構造や材料を改良する事で性能向上を図る、テクノロジーブースターが近年のLSI技術において注目を集めている。既に大きな研究分野として発達している high- $\kappa$  の研究に加え、メタルゲート電極、メタル/ソースドレイン電極構造、歪 Si、超薄膜 SOI 構造、ダブルゲート構造、更にはナノワイヤ構造、パリスティック輸送の利用などが、テクノロジーブースターとして総称される。本研究では、ナノワイヤ構造に着目し、ナノ領域におけるドーパント原子の拡散挙動、キャリアの伝導特性を評価し、高電流駆動力と高移動度を保持するナノワイヤトランジスタ開発のためのデバイス設計と、データベースの構築を目的とする。

第2章において、ナノワイヤトランジスタの作製方法と、電気的特性評価手法の確立について説明する。第3章では、作製したナノワイヤトランジスタにおける、ドーパント原子の挙動評価を行い、第4章において、熱酸化膜起因の歪を印加することによる、*n*型ナノワイヤトランジスタの移動度向上を示す。第5章では、熱酸化膜形成時の歪発生メカニズムを、パターン依存酸化の理論により理解する事により、適切な歪をナノワイヤに印加し、*n*型、*p*型の両方のトランジスタにおいて相互コンダクタンスが向上する事を示し、第6章で本研究の総括を行う。

## 【第1章：序論】

第1章、「序論」では、本研究の背景と研究目的について述べている。1.1節で本研究の背景について述べた後、1.2節でLSIにおけるトランジスタ技術とその高性能化の問題点である、(1) ショートチャンネル効果、(2) 閾値コントロールのための高チャンネルドープ、(3) band-to-band tunneling、(4) GIDLについて述べた。続いて1.3節にてナノワイヤ技術の必要性とその課題について論じた。最後に1.4節にて、本論文の目的と構成を述べた。

## 【第2章： ナノワイヤトランジスタの作製方法と電気的特性評価】

第2章では、ナノワイヤトランジスタの作製方法と、電気的特性評価手法の確立について述べた。ナノワイヤトランジスタはリソグラフィとRIEによるトップダウンプロセスによって作製されている。ナノワイヤのパターニングのみ、電子線リソグラフィを用い、ナノワイヤ幅 sub50nm を達成した。

## 【第3章： シリコンナノワイヤトランジスタにおけるドーパント原子の挙動評価】

第3章では、作製したナノワイヤトランジスタにおいて、ドーパント原子の拡散の熱履歴依存性を、電気伝導度とSIMSにより評価した。各ナノワイヤ幅において、ドーパントがSi/SiO<sub>2</sub>界面に十分に到達する程度の熱履歴を与えた時の電気伝導度を評価した結果、幅が2500nm以上における比較的大きなナノワイヤトランジスタの電気伝導度は、概ねバルクSiにおける電気伝導度の理論値に一致したが、幅が80nmでは電気伝導度がバルク理論値のおよそ4倍程度向上した。これは、電気伝導度は(1)ナノワイヤ幅が2500nm以上では、バルクの拡散理論によって記述できる事、(2) ナノワイヤ幅が310nm以下では、Si/SiO<sub>2</sub>界面に存在する歪によって向上すること、(3)電気伝導度の変調は界面準位、表面再合成にはほとんど依存しない事が明らかとなった。次に電気伝導特性を測定したデバイスと同じ熱履歴を与えたSOIの、SIMSプロファイルの評価した。SIMS結果より、Si/SiO<sub>2</sub>界面におけるリン原子の偏析が見られた。これは、Si/SiO<sub>2</sub>界面における $\delta$ 層を介して、リン原子が再分布したものと考えられる。

本章の結果より、ナノサイズにおけるSi中のドーパント原子の挙動は、拡散の古典的モデルでは説明できず、Si/SiO<sub>2</sub>界面の歪に大きく影響を受ける事が分かった。Si/SiO<sub>2</sub>界面における歪の存在は、ナノデバイスにおけるトランジスタ特性に重要な影響を与える恐れがあり、その影響を調査するために、第4章、第5章において、歪と伝導特性の定量評価を行い、その関連性を評価した。

#### 【第4章: 熱酸化膜起因歪によるシリコンナノワイヤトランジスタの相互コンダクタンス向上】

第4章では、ナノワイヤ周辺に存在する熱酸化膜からの歪が、ナノワイヤトランジスタの相互コンダクタンスにどのような影響を与えるか評価した。異なる熱酸化条件により、(A)歪なし、(B)歪あり、(C)歪印加後、高温でのアニールを行い、歪を緩和した3種類の*n*型ナノワイヤトランジスタの相互コンダクタンス( $g_m$ )を評価した。 $g_m$ は(A)  $0.60\mu\text{S}$ 、(B)  $1.62\mu\text{S}$ 、(C)  $0.40\mu\text{S}$ と、(B)の歪ありのデバイスにおいて、最大値を得た。これは、(C)の歪印加後に緩和したデバイスと比較すると、4倍程度の向上率である。デバイス(C)は、デバイス(B)と同じ熱酸化を行い、歪を印加後に、 $1000^\circ\text{C}$ の高温アニールを行っている。このため、 $g_m$ の向上が消失した原因は、熱酸化中に生成された歪が、酸化後、 $965^\circ\text{C}$ 以上の粘性流動領域におけるポストアニールによって歪緩和した事が分かる。また、UVラマン分光法により、ナノワイヤ中の歪を評価した。歪有りのデバイス(B)のラマンスペクトルは、無歪のSiのスペクトルと比べ、低波数側へシフトし、FWHMも増加していた。これは、Siナノワイヤ中に、引っ張り歪が存在する事の裏づけである。また、歪印加後にアニールによって歪緩和させたデバイス(C)のラマンスペクトルは、若干ながらも高波数側へのシフトが認められ、微量の圧縮歪が存在する事を示している。これらのラマンスペクトルの結果から、(1)  $g_m$ は引っ張り歪によって向上する事、(2)  $g_m$ 向上は粘性流動領域におけるポストアニールによって歪を緩和することによって、消失したことを示唆している。

本章に記述されたこれらの結果は、(1) *n*型ナノワイヤトランジスタのチャネル領域に引っ張り歪を印加することによって、相互コンダクタンスを向上することが可能である事、(2) このようなチャネルエンジニアリングによって、トランジスタ性能の更なる向上が可能である事、を示しており、ナノスケールトランジスタ技術における高性能化の指針を与えたと言える。しかしながら、CMOSオペレーションには*n*型、*p*型の両トランジスタにおける性能向上が必要である。そこで、第5章では、*n*型と*p*型の両タイプのナノワイヤトランジスタを作製し、歪が相互コンダクタンスに与える影響を評価し、両タイプのトランジスタにおいて、相互コンダクタンス向上に成功したことを示す。

#### 【第5章: CMOSオペレーションのための、パターン依存酸化による相互コンダクタンス向上評価】

ナノワイヤトランジスタにおいて、ゲート絶縁膜はナノワイヤ形成後に成膜されるため、結果、絶縁膜成膜に起因する意図しない歪がナノワイヤ中に生成される可能性がある。近年行われている様々な歪Siの研究に示される通り、歪は移動度向上に関して重要な役割を担っており、適切な歪プロファイルのコントロール、面方位、チャネル方位の設定が重要である事が分かっている。このため、高性能ナノワイヤトランジスタ実現のためには、歪プロファイルのコントロールが不可欠である。本研究では、熱酸化条件によって歪をコントロールし、パターン依存酸化の理論に基づき、それらのコントロールされた歪を評価する事を目的とする。また、パターン依存酸化の理論を応用することにより、SOI上に作製されたシリコンナノワイヤにおいて、移動度向上に有効な歪を導入する手法を提案する。またUVラマン分光法により、ナノワイヤ中の歪を測定し、トランジスタ特性と比較する。

熱酸化膜起因の歪が印加された、(A)歪小、(B)歪大、(C)歪印加後アニールにより歪緩和、の3種類の*n*型、*p*型ナノワイヤトランジスタを作製し、 $g_m$ を評価した。ナノワイヤの断面TEM像から、(1)歪小(A)のデバイスにおいて、ナノワイヤ上部の領域(領域A)の体積膨張が少ない事、(2)歪大(B)、歪印加後アニールにより歪緩和(C)の両デバイスでは、領域Aにおける体積膨張と、パターン依存酸化によるBOX層からの回り込み酸化が顕著である事、(3)歪緩和したデバイス(C)の周辺酸化膜の輪郭がより緩やかである事が分かる。これは、(1)ナノワイヤ上部の領域における体積膨張が少ないデバイスは、ナノワイヤ内部の実効的な歪量が小さい事、(2)ナノワイヤ上部の領域における体積膨張が大きいほど、ナノワイヤ内部に実効的に大きな歪が存在する事、(3)粘性流動領域におけるアニールで歪が緩和される事が予想される。

作製した歪ナノワイヤトランジスタの $g_m$ の平均値は、*p*型ナノワイヤトランジスタでそれぞれ(A)  $1.32 \times 10^{-2} \mu\text{S}$ 、(B)  $2.02 \times 10^{-2} \mu\text{S}$ 、(C)  $8.50 \times 10^{-2} \mu\text{S}$ 、*n*型ナノワイヤトランジスタで(A)  $1.78 \times 10^{-2} \mu\text{S}$ 、(B)  $5.34 \times 10^{-2} \mu\text{S}$ 、(C)  $2.24 \times 10^{-2} \mu\text{S}$ となり、*n*型、*p*型どちらも(B)の歪大のデバイスにおいて

最高値を得た。歪大(B)の  $g_m$  を歪小(A)と比較した場合、その向上率は  $p$  型で 1.5 倍、 $n$  型で 3.1 倍であった。歪印加後にアニールによって歪緩和させたデバイス(C)の  $g_m$  は、 $n$  型、 $p$  型どちらにおいても最も低い値を示したが、これは熱酸化によって印加した歪がポストアニールによって緩和した事の裏づけである。

UV ラマン分光法により、ナノワイヤ中の歪を評価した。歪大(B)のデバイスのラマンスペクトルは、SOI 基盤の Si のスペクトルに対して、一番低波数側にシフトしていた。また FWHM も、一番増加しており、これは(B)において、最大の引っ張り歪が存在する事を示している。励起光の浸入長を考慮すると、これらの結果は、(1) 歪大(B)のデバイスにおける  $g_m$  向上はナノワイヤ中の引っ張り歪に起因する事、と(2) ポストアニールすることにより、引っ張り歪が緩和した場合、 $g_m$  向上も消失する事が分かる。

本章の研究により、ナノワイヤトランジスタのチャンネル部分に、引っ張り歪を印加することによって、 $n$  型と  $p$  型、両方のナノワイヤトランジスタのトランジスタ特性の性能向上が可能である事を示した。この事により、歪ナノワイヤトランジスタの有用性を示し、hp32nm 以降のトランジスタ技術適用可能性を示した。

### 【第 6 章: 総括】

第 6 章では、hp32nm 以降のトランジスタ技術として有望視されているナノワイヤトランジスタにおける電子とホールのキャリア伝導の理解を深めるため、 $n$  型と  $p$  型のナノワイヤトランジスタを作製し、そのトランジスタ特性を評価した。本論文ではナノワイヤトランジスタにおけるキャリア伝導に特に重要な影響を与える、(1) Si/SiO<sub>2</sub> 界面におけるドーパントの偏析、(2) ナノワイヤ周辺酸化膜起因の歪 に関して評価した。これらがナノワイヤ中のキャリア伝導に与える影響を定量的に評価することによって、ナノワイヤ MOSFET の設計とデバイス作製プロセスに関するロードマップの構築に貢献した。

## 早稲田大学 博士（工学） 学位申請 研究業績書

氏名 清家 綾 印

(2008年 1月 現在)

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
学術論文 ○	<b>A. Seike</b> , T. Tange, Y. Sugiura, I. Tsuchida, H. Ohta, T. Watanabe, D. Kosemura, A. Ogura, and I. Ohdomari, “Strain-induced transconductance enhancement by pattern dependent oxidation in silicon nanowire field-effect transistors”, Appl. Phys. Lett., <b>91</b> , 202117 (2007).
学術論文 ○	<b>A. Seike</b> , T. Tange, Y. Sugiura, I. Tsuchida, H. Ohta, T. Watanabe, D. Kosemura, A. Ogura, and I. Ohdomari, “Strain-induced transconductance enhancement by pattern dependent oxidation in silicon nanowire field-effect transistors”, Virtual Journal of Nanoscale Science and Technology, <b>16</b> , Issue 23 (2008).
学術論文 ○	<b>A. Seike</b> , T. Tange, I. Sano, Y. Sugiura, D. Kosemura, A. Ogura, and I. Ohdomari, “Transconductance enhancement of nanowire field-effect transistors by built-up stress induced during thermal oxidation”, Appl. Phys. Lett., <b>91</b> , 062108 (2007).
学術論文 ○	<b>A. Seike</b> , I. Sano, K. Yamada, and I. Ohdomari, “Evaluation of phosphorous pile-up at Si/SiO <sub>2</sub> interface”, Proc. Of Int. Conf. on Solid-State and Integrated Circuit Technology, Oct. 23 <sup>rd</sup> -26 <sup>th</sup> , IEEE, 2006.
学術論文 ○	<b>A. Seike</b> , I. Sano, K. Yamada, and I. Ohdomari, Evaluation of dopant diffusion in the confined nano-wire under the influence of Si/SiO <sub>2</sub> interface”, Proc. of Int. Workshop on Nano CMOS, IEEE, 2006. (in press)
招待講演 (国外) ○	<b>A. Seike</b> , I. Sano, K. Yamada, and I. Ohdomari, “Evaluation of phosphorous pile-up at Si/SiO <sub>2</sub> interface”, Proc. Of Int. Conf. on Solid-State and Integrated Circuit Technology, Oct. 23 <sup>rd</sup> -26 <sup>th</sup> , IEEE, 2006.
招待講演 (国内) ○	<b>A. Seike</b> , I. Sano, K. Yamada, and I. Ohdomari, Evaluation of dopant diffusion in the confined nano-wire under the influence of Si/SiO <sub>2</sub> interface”, Int. Workshop on Nano CMOS, IEEE, 2006.
国際学会 ○	<b>A. Seike</b> , T. Tange, Y. Sugiura, I. Sano, I. Tsuchida, D. Kosemura, A. Ogura, and I. Ohdomari, “Transconductance enhancement of nanowire FETs by built-up stress near the Si/SiO <sub>2</sub> interface during thermal oxidation”, Atomically Controlled Surfaces, Interfaces and Nanostructures, Nov. 11-15, 2007
国際学会 ○	<b>A. Seike</b> , T. Tange, I. Sano, Y. Sugiura, I. Ohdomari, “Electron mobility enhancement of strained-Si FETs”, International Workshop on Dielectric Thin Films for future ULSI devices - science and technology, Kawasaki, Japan, Nov. 8-10, 2006

## 早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
国際学会 ○	<b>A. Seike</b> , I. Sano, Y. Sugiura and I. Ohdomari, “Diffusion Behavior of Doped Phosphorous Ions in Si nano-wire”, 15 <sup>th</sup> International Conference on Ion Beam Modification of Materials, Taormina, Italy, Sep. 18-22, 2006.
国際学会 ○	<b>A. Seike</b> , Y. Numao, I. Ohdomari, “Evaluation of dopant diffusion in the confined Si layer under the influence of SiO <sub>2</sub> interface”, Int. Conf. on the Formation of Semiconductor interface (ICFSI-10), Aix-en-Provence, France, Jul 2-8, 2005
国内学会 ○	<b>清家 綾</b> 、丹下智之、佐野一拓、杉浦裕樹、土田育新、太田洋道、渡邊孝信、小瀬村大輔、小椋厚志、大泊 巖、 “パターン依存酸化による歪シリコンナノワイヤトランジスタの相互コンダクタンス向上評価”, 第 13 回ゲートスタック研究会、東レ総合研修センター、三島、2007 年 1 月
○	<b>清家 綾</b> 、丹下智之、佐野一拓、杉浦裕樹、小瀬村 大輔、小椋 厚志、大泊 巖、 “Nanowire FETs における相互コンダクタンスの熱酸化起因歪依存性評価(1)”, 秋季 68 回応用物理学関連連合講演会、北海道工業大学、2007 年 9 月
○	<b>清家 綾</b> 、丹下智之、佐野一拓、杉浦裕樹、大泊 巖、 “Nanowire FETs における電気伝導特性のチャンネル方位依存性”, 春季第 54 回応用物理学関係連合講演会、青山学院大学、神奈川、2007 年 3 月
○	<b>清家 綾</b> 、丹下智之、佐野一拓、杉浦裕樹、大泊 巖、 “歪 Si FETs の電気特性評価”, 第 12 回ゲートスタック研究会、東レ総合研修センター、三島、2007 年 2 月
○	<b>清家 綾</b> 、佐野一拓、丹下智之、杉浦裕樹、大泊 巖、 “Si ナノ細線におけるリン原子の挙動評価 (4)”, 秋季第 67 回応用物理学学会学術講演会、立命館大学、滋賀、2006 年 8 月
○	<b>清家 綾</b> 、佐野一拓、大泊 巖、 “極微細 Si 細線中における不純物原子の拡散評価”, 第 67 回応用物理学学会学術講演会、武蔵工業大学、東京、2006 年 3 月
○	<b>清家 綾</b> 、沼尾吉照、佐野一拓、大泊 巖、 “Si ナノ細線における不純物イオンの挙動評価 (2)”, 第 66 回応用物理学学会学術講演会、徳島大学、徳島、2005 年 9 月
○	<b>清家 綾</b> 、沼尾吉照、大泊 巖、 “Si ナノ細線における不純物イオンの挙動評価”, 春季第 52 回応用物理学関係連合学術講演会、埼玉大学、埼玉、2005 年 4 月
○	<b>清家 綾</b> 、大泊 巖、 “ナノ細線における不純物イオンの挙動” 秋季第 65 回応用物理学学会学術講演会、東北学院大学、仙台、2004 年 9 月
○	<b>清家 綾</b> 、小林 壮太、天沼 一志、辰巳 徹、波田 博光、 “0.35 $\mu$ m ロジック混載 FeRAM における PZT 薄膜の容量・回路特性 (2)” 秋季応用物理学学会学術講演会、青山学院大学、東京、2000 年 3 月

## 早稲田大学 博士（工学） 学位申請 研究業績書

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
学術論文 （連名）	S. Kobayashi, K. Amanuma, H. Hori, N. Kasai, Y. Maejima, <b>A. Seike</b> , N. Tanabe, T. Tatsumi, J. Yamada, T. Miwa, H. Koike, H. Hada and H. Toyoshima, "64Kbit CMVP FeRAM macro with reliable retention/imprint characteristics" Tech. Dig. IEDM IEEE Electron Devices Meeting, pp 783 -786 (2000).
招待講演 （連名）	H. Mori, N. Tanabe, <b>A. Seike</b> , H. Takeuchi, J. Yamada, T. Miwa, H. Koike, Y. Maejima, T. Tatsumi, S. Kobayashi, T. Nakura, H. Sugiyama, N. Kasai, T. Hase, H. Hada and H. Toyoshima, "A High-endurance 96-Kbit FeRAM Embedded in a Smart Card LSI Using Ir/IrO <sub>2</sub> /PZT(MOCVD)/Ir Ferroelectric Capacitor" Solid-State and Integrated-Circuit Technology, 2001, vol.1, pp195 -199.  H. Toyoshima, S. Kobayashi, J. Yamada, T. Miwa, H. Koike, H. Takeuchi, H. Mori, N. Kasai, Y. Maejima, <b>A. Seike</b> , N. Tanabe, T. Tatsumi and H. Hada, "FeRAM Device and Circuit Technologies Fully Compatible with Advanced CMOS", Custom Integrated Circuits, 2001, pp171-178.  N. Tanabe, H. Koike, T. Miwa, J. Yamada, <b>A. Seike</b> , N. Kasai, H. Toyoshima and H. Hada, "Individual cell measuring method for FeRAM retention testing", Reliability Physics Symposium, IEEE International. 2001, pp23-27.
学術論文 国内 （連名）	丹下智之、杉浦裕樹、土田育新、佐野一拓、 <b>清家 綾</b> 、大泊 巖、"Nanowire FETs における相互コンダクタンスの熱酸化起因歪依存性評価(2)"、秋季 68 回応用物理学関連連合講演会、北海道工業大学、2007 年 9 月  佐野一拓、 <b>清家 綾</b> 、品田賢宏、大泊 巖、"Si:P 系における金属絶縁体転移の評価"、秋季 68 回応用物理学関連連合講演会、北海道工業大学、2007 年 9 月  丹下智之、佐野一拓、杉浦裕樹、 <b>清家 綾</b> 、大泊 巖、"Si ナノ細線中のリン原子拡散の酸化条件依存性"、秋季第 67 回応用物理学学会学術講演会、立命館大学、滋賀、2006 年 8 月  杉浦裕樹、丹下智之、佐野一拓、 <b>清家 綾</b> 、大泊 巖、"並列 Si ナノ細線 TEG におけるリン原子の電気伝導特性評価"、秋季第 67 回応用物理学学会学術講演会、立命館大学、滋賀、2006 年 8 月  佐野一拓、 <b>清家 綾</b> 、大泊 巖、"Si ナノ細線における不純物イオンの挙動評価 (3)"、第 67 回応用物理学学会学術講演会、武蔵工業大学、東京、2006 年 3 月
その他 論文 （査読付）	<b>A. Seike</b> , K. Amanuma, S. Kobayashi, T. Tatsumi, H. Koike, and H. Hada, "Polarization reversal kinetics of a Lead Zirconate Titanate thin-film capacitor for nonvolatile memory", J. Appl. Phys., 88, 3445 (2000).
特許	<b>清家 綾</b> 、特許公開 2003-77270、『強誘電体メモリ及びその駆動方法と半導体装置』