

無線通信用高周波電圧制御発振器
の高機能化に関する研究

**High Frequency and High Performance
Voltage Controlled Oscillator for
Wireless Communications**

2008年2月

早稲田大学大学院情報生産システム研究科

情報生産システム工学専攻 高周波回路研究

倉智 聡

目次

第1章 序論	1
1-1. 本研究の背景	1
1-2. 電圧制御発振器の役割	4
1-3. 電圧制御発振器の課題	6
1-3-1. 位相雑音による課題	6
1-3-2. VCO ゲインの非線形性による課題	8
1-3-3. チューニングレンジによる課題	8
1-3-4. その他の課題	9
1-3-5. FOM	10
1-4. 本研究の目的と構成	10
1-5. 結言	14
第1章 参考文献	15
第2章 InGaP/GaAs HBT を用いたミリ波 VCO IC の低位相雑音化		18
2-1. 序言	18
2-2. 発振器の位相雑音	19
2-3. InGaP/GaAs HBT	26
2-4. 発振器の高出力化	31
2-5. 発振器の低位相雑音化	36
2-6. 低位相雑音 VCO IC の設計	41
2-7. チップ試作結果と考察	43
2-7-1. 測定結果と考察	44
2-7-2. 性能比較	47
2-8. 結言	49
第2章 参考文献	50

第3章 SiGe BiCMOS を用いた VCO IC の高線形化	53
3-1. 序言	53
3-2. K_{vco} の非線形性	54
3-3. SiGe BiCMOS	58
3-4. K_{vco} 線形化のための共振回路の設計	61
3-4-1. 従来型バラクタ回路	62
3-4-2. 高線形共振回路の設計	67
3-5. 高線形 VCO IC の設計	72
3-6. チップ試作結果と考察	77
3-6-1. 測定結果と考察	78
3-6-2. 性能比較	81
3-7. 結言	83
第3章 参考文献	84

第4章 SiGe BiCMOS を用いた VCO IC の広帯域化	87
4-1. 序言	87
4-2. 容量変化の広帯域化のための共振回路の設計	89
4-2-1. 広帯域バラクタ回路の設計	89
4-2-2. 広帯域共振回路の設計	96
4-3. 広帯域 VCO IC の設計	99
4-4. チップ試作結果と考察	102
4-4-1. 測定結果と考察	102
4-4-2. 性能比較	106
4-5. 結言	107
第4章 参考文献	109

第5章 結論 111
5-1. 序言 111
5-2. 各章の結論 111
5-3. 今後の展開 114
第5章 参考文献 116
付録 略語一覧 118
研究業績 119
謝辞 122

第1章

序論

1-1. 本研究の背景

無線通信機器に用いられているマイクロ波帯の電波は、衛星放送、携帯電話、デジタル家電まで様々な機器に幅広く応用され、社会のあらゆる分野に不可欠になっている。さらに、周波数の高い領域には、ミリ波帯が存在し、今後の新たな利用が期待されている。ミリ波帯の電波を用いた用途として、マルチメディア用の超高速無線通信、ホームリンク、自動車用衝突防止レーダなど ITS (Intelligent Transport System: 高度道路交通システム) 関連分野がある[1-3]。

無線通信技術は、その通信距離、通信範囲によって大きく四つに分類することができる。通信距離が、数十 m 以内の無線 PAN (Wireless Personal Area Network)、100 m 以内の無線 LAN (Wireless Local Area Network)、50 km 以内の無線 MAN (Wireless Metropolitan Network)、50 km 以上の無線 WAN (Wireless Wide Network) である[4]。IEEE (Institute of Electrical and Electronic Engineers: 米国電気電子学会) では、1980 年 2 月に IEEE 802 委員会を設け、各無線規格の標準化をおこなっている[5]。

無線 PAN は、近距離無線通信技術を用いて、機器同士を直接接続する利用形態を想定したものである。無線 PAN の規格例として、Bluetooth、ZigBee、UWB (Ultra Wideband) がある。Bluetooth は、ISM 帯 (Industry Science Medical: 産業科学医療用帯) である 2.4 GHz 帯を利用し、最大 3 Mbps と高速で、携帯電話、携帯型音楽プレーヤー、ゲーム機、パソコンなどに用いられている[6]。ZigBee は、日本では、ISM 帯である 2.4 GHz 帯を利用し、Bluetooth よりも低速ながら、低消費電力を追求した無線通信規格である。また、同時接続可能数が 6 万 5000 と、多数の機器でメッシュ型のネットワークを構成でき、センサ・ネットワークへの応用が期待されている[6]。UWB は、周波数帯域が 3.1 GHz から 10.6 GHz と広帯域であり、通信距離が短く、伝送速度 100 Mbps 以上の超高速通信を実現する無線通信規格である。

主な用途として、USB2.0 (Universal Serial Bus)の無線化 (Wireless USB)、映像伝送、レーダ等がある[7]。また、ITS 関連分野として、準ミリ波帯である 22 GHz から 29 GHz、ミリ波帯である 77 GHz から 81 GHz を車載レーダとしての応用が検討されている。前者の準ミリ波帯は、自動車用近接レーダ (SRR: Short-range Rader)として、後者のミリ波帯は、ACC (Automatic Cruising Control)として、200m程度先まで検知する用途のレーダである[8,9]。さらに、IEEE 802.15.3c 委員会は、ミリ波帯である 60 GHz 帯を用いる無線 PAN の標準化を目的に結成され、mmWPAN (millimeter-wave PAN)と呼ばれている。mmWPAN は、広い周波数帯域を確保でき、1 Gbps 程度の通信が目標とされている[10]。用途として、ハイビジョン (High Definition-Television: HD-TV) の比圧縮映像の配信、VOD (Video On Demand) といったホームリンクが考案されている[11]。

無線 LAN は、100 m 程度の通信距離で通信をおこなう通信技術である。アクセス・ポイントを経由してインターネットに接続するインフラモード、また、アクセス・ポイントを経由せずに直接機器同士が通信できるアドホックモードがある。無線 LAN の用途は広く、携帯型、据置型のゲーム機、携帯電話機、携帯型音楽プレーヤー、パソコンに搭載されている。これら無線 LAN は、802.11 委員会によって標準化され、Wi-Fi Alliance (Wireless Fidelity Alliance) によって、機器間の相互接続を保証されている[12]。無線 LAN 規格 802.11b は、ISM 帯である 2.4 GHz 帯を利用した規格であり、従来の無線 LAN 規格 802.11 と互換性を持つ。また、無線 LAN 規格 802.11 の 3 種類の物理レイヤ規格の中で、直接拡散 (Direct Sequence: DS) 方式をベースに相補符号変調 (Complementary Code Keying: CCK)方式を採用することにより、伝送速度の高速度化を実現し、最大伝送速度 11 Mbps を有する。しかし、無線 LAN 規格 802.11b は、ISM 帯を用いることから、様々な機器との電波干渉が起こりやすい。そこで、5 GHz 帯を利用した無線 LAN 規格 802.11a が登場した。無線 LAN 規格 802.11a は、変調方式に OFDM (Orthogonal Frequency Division Multiplexing: 直交周波数分割多重化) 方式を採用し、最大伝送速度 54 Mbps を有する。しかし、無線 LAN 規格 802.11b と互換性がない、機器の値段が高いといったことから、2.4 GHz 帯でも OFDM 方式を採用し、伝送速度を高速度化した無線 LAN 規格 802.11g が登場した。無線 LAN 規格 802.11g は、今までの無線 LAN 規格と互換性を持たせながら、最大伝送速度 54 Mbps を実現した[4,13]。さらに、現在、無線 LAN 規格 802.11a/g に、MIMO (Multi Input Multi Output)を適用し、最大伝送速度 130 Mbps 以上を目標とした無線 LAN 規格 802.11n の標準化が進んでいる[14]。

無線 MAN/無線 WAN は、端末と基地局との間が数 km あるものであり、免許を受けた通信事業者が専用の通信帯域を使って通信サービスを提供している。無線 MAN は、デジタル加入者線(Digital Subscriber Line: DSL)、光回線などに接続を図るための末端部分の無線化、いわゆる「ラストワンマイル」の接続手段を用途としている。代表的な規格として、iBurst、IEEE802.20、WiMAX (Worldwide Interoperability for Microwave Access) がある[4]。

携帯電話のネットワークは、セルラー・システムとも呼ばれ、無線 WAN を用いた技術の一つである。無線 WAN には様々な規格が存在し、並存した状態である。まず、第二世代携

帯電話（2G）の通信方式について概説する。携帯電話は、基地局当たりの収容人数を増やすため、多元接続技術が用いられる。日本では、2Gの通信方式として、TDMA（Time Division Multiple Access）技術を用いたPDC（Personal Digital Cellular）規格が採用され、ヨーロッパ、北米、アジア諸国では、GSM（Global System for Mobile communication）が採用された[4,13]。TDMAは、同一周波数帯を用いて時分割で送信する技術である。しかし、TDMAは、隣接するセルで同じ周波数を使用すると干渉するため、周波数利用効率が低い。そこで、符号多重技術を用いたCDMA（Code Division Multiple Access）が登場し、普及している。CDMAは、逆拡散により隣接するセルからの干渉を抑制でき、周波数利用効率を向上できる[4]。現在、携帯電話は、2Gから、国際電気通信連合（International Telecommunication Union: ITU）が定めるIMT-2000規格に準拠した第三代携帯電話（3G）への普及が進んでいる。3Gの通信方式として、UMTS（Universal Mobile Telecommunication System）、CDMA200がある。UMTSは、GSMの発展型であり、W-CDMA（Wideband-CDMA）とTD-CDMA（Time Division-CDMA）の両方式から選択することができ、周波数帯として800MHz帯、2GHz帯を使用し、最大伝送速度は2Mbpsである[16]。このうち、W-CDMAは、広い周波数帯域を使用し、上りと下りで異なる周波数を用いるFDD（Frequency Division Duplexing）方式を用いている。使用される周波数帯域は、850MHz帯、900MHz帯、1700MHz帯、1800MHz帯、1900MHz帯、2100MHz帯であり、高速移動時に144kbps、静止時に2Mbpsの伝送速度をもつ[4,13]。さらに、W-CDMAよりも高次の変調方式をもちいて高速化したHSDPA（High Speed Downlink Packet Access）/HSUPA（High Speed Uplink Packet Access）があり、3.5Gと位置づけられている[4]。また、CDMA2000は、FDD-CDMAを応用した通信方式である。800MHz帯、2GHz帯の周波数帯を使用し、W-CDMAよりも帯域幅が狭いが、16-QAM（Quadrature Amplitude Modulation）などを用いて伝送速度の高速化している[4]。次に、PHS（Personal Handyphone System）について概説する。PHSは、携帯電話の3Gが普及する以前から2Gよりも高速なデータ通信サービスを提供していた[4]。PHSは、携帯電話よりもセル半径を小さく、端末1台当たりの周波数帯域が携帯電話よりも広く、簡略化した設備や仕様を用いることから低コストで、音声が高品質である特徴を持つ。PHSは、TDMA技術を用いて発展したが、最近では、W-OAM（WILLCOM Optimized Advanced Modulation）技術を用いて高度化PHSに発展している[4]。

その他の無線通信技術に、ユビキタス通信技術がある。ユビキタス通信は「いつでも、どこでも、安全に、だれでも、」が使える通信を目指している。RFID（Radio Frequency Identification）は、ユビキタス通信を用いた技術の一つであり、電磁界や電波を用いて近距離の人や物を識別することを目的としている。さまざまな物にIDを付加し識別することを目的とするため、バッテリーフリーの通信が可能な仕様となっている。RFIDの用途は、物流タグ、電子マネー、電子キー、乗車カードなどである。現在、日本では、13.56MHz帯、950MHz帯、2.45GHz帯などが用いられている[4,17]。

以上、主な無線通信規格を図1-1にまとめて示す。

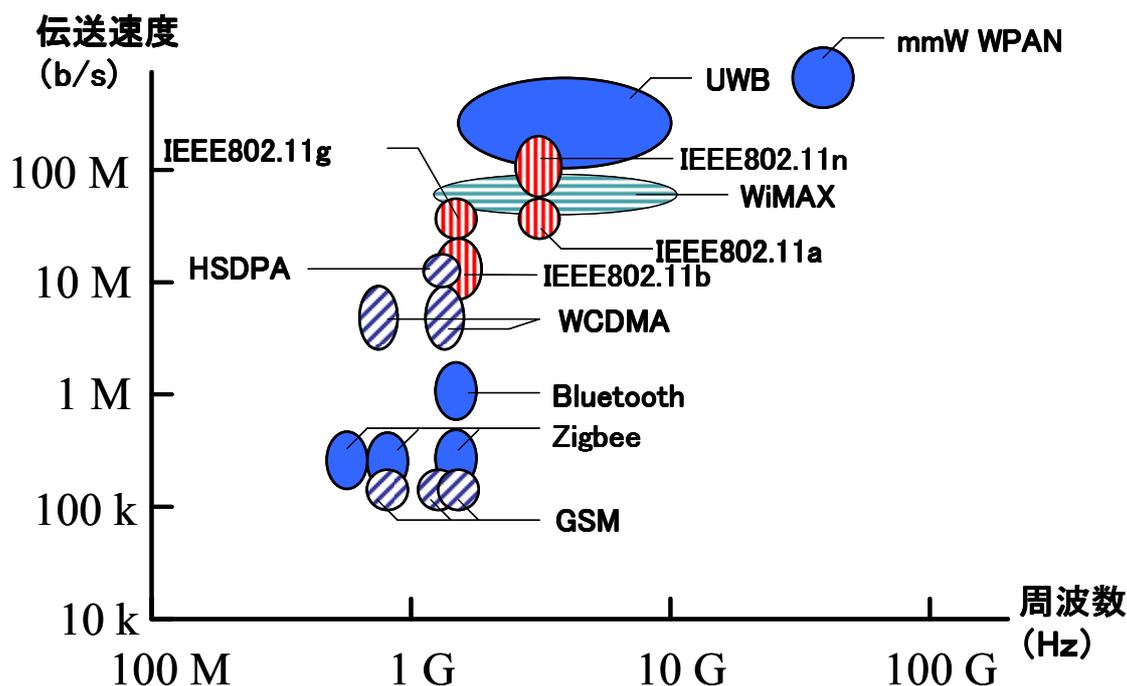


図 1-1. 主な無線通信規格.

1-2. 電圧制御発振器の役割

本研究の目的は、無線通信機器の無線部に用いられる無線通信用高周波 VCO (Voltage Controlled Oscillator: 電圧制御発振器) の高機能化である。VCO は、PLL (Phase Locked Loop: 位相同期ループ) 回路に組み込まれ、LO (Local Oscillator: 局部発振器) に用いられている。

一般的な通信機器に用いられる無線部のブロックダイアグラムを図 1-2 に示す[18]。受信機 (Receiver: RX)、送信機 (Transmitter: TX) の動作をそれぞれ概説する。受信機側 RF 回路部は、図 1.2 に示すブロックダイアグラムの上部で示される。RF 信号をアンテナによって受信し、RF 受信低雑音増幅器 (Low-Noise Amplifier: LNA) で、信号を増幅する。増幅された信号は、受信ミキサで、VCO からの LO 信号と周波数変換 (ミキシング) され、IF 信号 (Intermediate Frequency: 中間周波数) にダウンコンバートされる。IF 信号は、IF 増幅器によって増幅され、復調器 (Demodulator: DEM) によって信号を各変調信号から復調する。復調された信号は、ベースバンド信号処理部で処理され、音声、データ信号となる。一方、送信機側 RF 回路部は、図 1.2 に示すブロックダイアグラムの下部で示される。音声、データ信号は、ベースバンド信号処理部で信号処理され、変調器 (Modulator) で変調される。

変調された信号は、送信ミキサで、VCOからのLO信号とミキシングされ、RF信号(Radio Frequency)にアップコンバートされる。RF信号は、電力増幅器(Power Amplifier: PA)によって増幅され、アンテナより放射される。

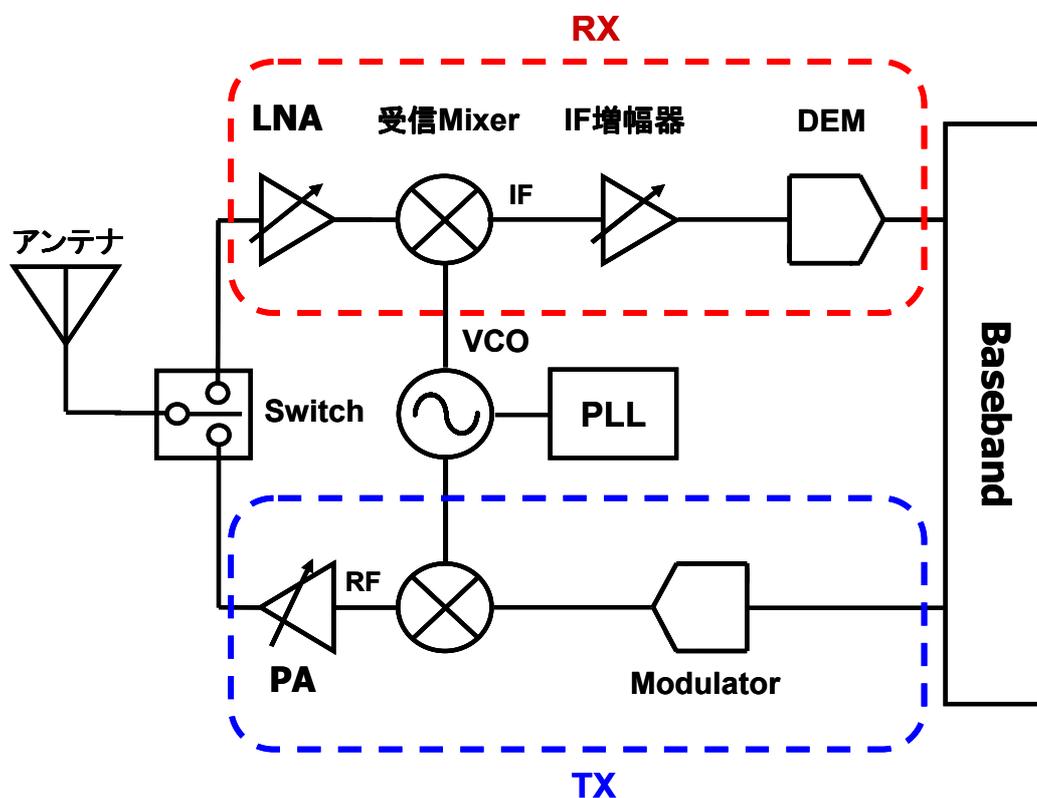


図 1-2. 無線部のブロックダイアグラム.

次に、VCOが組み込まれるチャージポンプ型PLL回路について概説する。PLL回路のブロックダイアグラムを図1-3に示す[19]。チャージポンプ型PLL回路は、位相比較器、チャージポンプ、ループフィルタ、VCO、分周器から構成される。ここで、 K_{PD} 、 I_{CP} 、 G_{LFP} 、 K_{VCO} 、 $1/N$ は、それぞれのブロックの利得である。VCOの出力からの信号は、分周器によってN分周され、位相比較器の片方の入力端子に入力される。位相比較器のもう一方の入力端子には、基準発振器の信号 $x(t)$ が入力され、分周器からの信号と位相比較を行う。位相が同期された信号は、コンデンサとスイッチから構成されるチャージポンプを制御し、さらに、ローパスフィルタから構成されるループフィルタを通過する。ループフィルタを通過した信号は、VCOの制御電圧端子に入力され、VCOの発振周波数を制御する。VCOの出力は、 $y(t)$ となり、LO信号として出力される。このように、基準発振器の位相にVCOの位相を同期することで周波数制御を行なう。

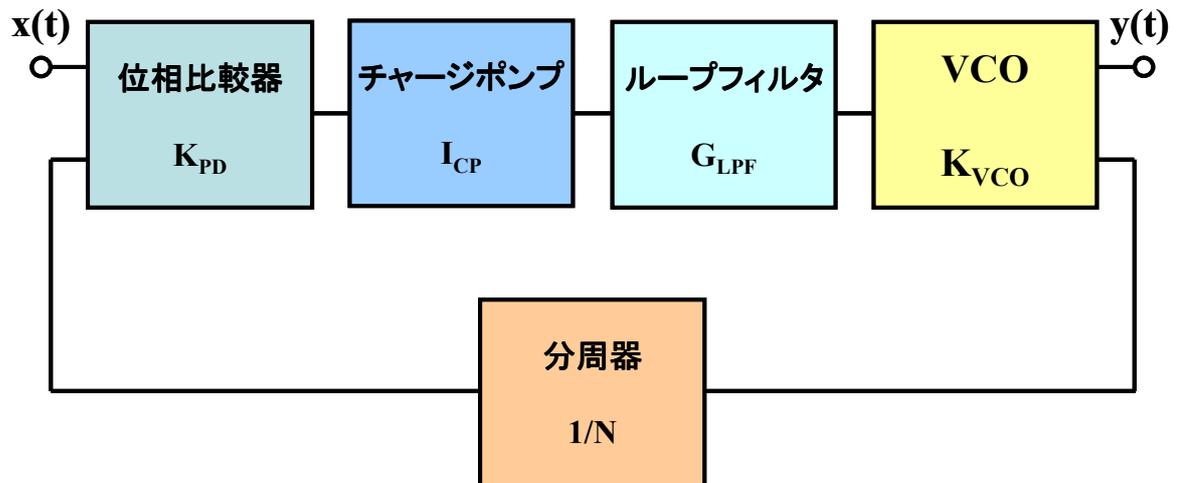


図 1-3. PLL 回路のブロックダイアグラム.

1-3. 電圧制御発振器の課題

VCO の課題として、周波数帯域 (tuning range: チューニングレンジ)、位相雑音、VCO ゲインの非線形性、消費電力、発振周波数、周波数プッシング(frequency pushing)、周波数プリング(frequency pulling)、発振周波数がある。本節では、まず、この中でも特に重要な課題であるチューニングレンジ、位相雑音、VCO ゲインの非線形性について詳述し、その他の課題について概説する。次に、VCO の性能指標である FOM (Figure of Merit) について概説する。

1-3-1. 位相雑音による課題

VCO の位相雑音 ($L\{\Delta\omega\}$) は、位相変動によるシングルサイドバンド (Single Side Band: SSB) 電力で定義され、発振周波数(ω_{osc})より、 $\Delta\omega$ だけオフセットした周波数における単位帯域を考え、この対域内の雑音電力 ($P_{sideband}$) と搬送波の電力 (P_{sig}) の比で定義される。式 (1-1) に位相雑音の定義式を示す[20]。

$$L\{\Delta\omega\} = 10 \log \left[\frac{P_{sideband}(\omega_{osc} + \Delta\omega, 1\text{Hz})}{P_{sig}} \right] \quad (1-1)$$

VCO の発振スペクトラムは、位相雑音によって、搬送波周波数の両側に広がるスカート特性を持つ。まず、受信側で位相雑音が通信へ与える影響を示す。受信側では、図 1-4 に示すように、LO の出力に位相雑音がある場合、ダウンコンバートされた信号の精度が劣化する。所望信号の近傍に大きな妨害波が存在する場合、所望信号と妨害波と一緒にミキシングされ、変換された信号が、オーバーラップした二つのスペクトラムで構成され、所望信号が妨害波の裾による雑音に侵されることになる。これは、相互混合と呼ばれ、所望信号を受信側で正しく検波することが難しくなる[19]。また、位相雑音によって、雑音がスカート状になって現れることから、隣接チャンネルへの干渉がおこる[19]。さらに、QPSK (Quadrature Phase Shift Keying) や、QAM など位相変調を用いる通信方式では、位相雑音によって、ビットエラーレートが劣化する[19,21]。一方、送信側では、位相雑音成分によってキャリア周波数に変換された不要信号がアンテナから放出する不要放出の一因となる[22]。

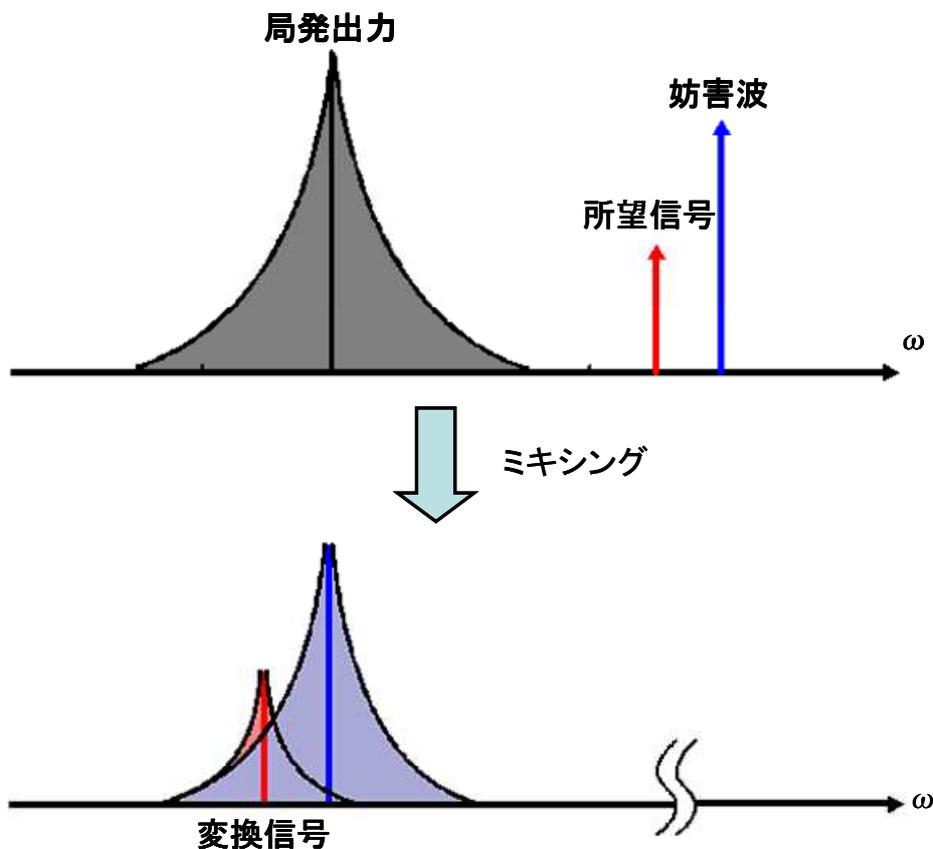


図 1-4. 相互変調による影響.

1-3-2. VCO ゲインの非線形性による課題

VCO を PLL 回路と組み合わせた場合の問題に、VCO の利得である VCO gain (K_{vco}) の非線形性がある。PLL 回路の収束時間 (settling time: セトリングタイム) は、PLL 回路のループゲインに比例し、 K_{vco} に反比例する。また、発振器の位相雑音は、 K_{vco} に比例する。従って、セトリングタイムと発振器の位相雑音は、トレードオフの関係にある。理想的な VCO は、周期的な信号を発生し、その発振周波数は VCO の制御電圧に対して線形な特性を持つ。このとき、 K_{vco} は、制御電圧に対し線形となる。しかし、実際の LC-VCO 回路では、発振周波数を同調するための可変容量 (Varactor: バラクタ) の容量—電圧 (C(V)) 特性が、非線形であるため、 K_{vco} は制御電圧に対し非線形となる。そのため、PLL 回路のループゲインを K_{vco} の大きい周波数において最適化した場合、 K_{vco} の小さい周波数において、セトリングタイムが長くなる。一方、PLL 回路のループゲインを K_{vco} の小さい周波数において最適化した場合、 K_{vco} の大きい周波数において、位相雑音が大きくなる[18]。

1-3-3. チューニングレンジによる課題

VCO のチューニングレンジは、それぞれの通信規格の周波数帯域を満たす必要がある。また、プロセスのばらつきや、温度の変化によって、トランジスタの特性が変化し、VCO のチューニングレンジが変化する。そのため、VCO のチューニングレンジは、マージンをとって、通信規格の周波数帯域よりも大きく設計する必要がある。また、近年、無線通信機器は、複数の通信規格をカバーするマルチモード化、マルチバンド化が求められている。また、無線通信では、周波数帯域と伝送速度は比例の関係にあり、周波数帯域が大きいと伝送速度が大きくなる。そのため、VCO のチューニングレンジの広帯域化が求められている。表 1-1 に主な通信規格の周波数帯域と要求されるチューニングレンジを示す[4,21]。

表 1-1. 通信規格と要求されるチューニングレンジ.

通信規格	周波数帯域 (MHz)	チューニングレンジ (%)
WCDMA	2110 - 2170/1920 - 1980	2.80/3.08
Bluetooth	2400 - 2497	3.96
2.4 GHz WLAN	2400 - 2497	3.96
5 GHz WLAN	5150 - 5350	3.81
UWB*	3400 - 4800, 7250 - 10250	34.1, 34.3

UWB*: 日本国内で許可されている周波数帯域を示す。

このうち、大容量・高速度の無線通信規格である UWB は、三つの変調方式が存在し、Impulse Radio 方式、MB-OFDM 方式 (Multi Band Orthogonal Frequency Division Multiplexing)、DS-UWB 方式 (Direct Sequence UWB)がある。この中で、MB-OFDM は、UWB のもつ周波数帯域 (7.5 GHz) を 5 つのバンドグループに分割し、1 つのバンドグループは、周波数帯域 1584 MHz をもつ[4,23]。

1-3-4. その他の課題

電圧制御発振器のその他の課題に、周波数プッシング、周波数プリング、消費電力、低電圧動作、発振周波数がある。以下に、これらの課題を概説する。

- **周波数プッシング、周波数プリング**

周波数プッシングは、VCO の電源電圧(V_{dd})が過渡的に変動し、それによって、VCO の発振周波数が増減する現象である。周波数プッシングは、式 (1-2) によって定義される[24]。

$$K_{V_{dd}} = \frac{\partial \omega_{osc}}{\partial V_{dd}} \quad (1-2)$$

また、周波数プリングは、VCO の発振周波数近傍の大きな妨害波が何らかの形で VCO に作用して発振周波数が増減する現象や、VCO の出力の負荷インピーダンスが増減し、それによって、VCO の発振周波数が増減する現象である[22]。負荷インピーダンスの増減による周波数プリングは、式 (1-3) によって定義される[24]。

$$\text{pulling} = \frac{\Delta \omega_{osc}}{\Delta \text{load}} \quad (1-3)$$

- **消費電力、低電圧動作**

VCO の消費電力は、無線部に用いられる PA と比較すると小さいが、VCO の消費電力と位相雑音の間にはトレードオフが存在する[19]。また、PA には耐圧の大きな化合物を用いたトランジスタが用いられ、VCO には CMOS を用いることが多くなっている。CMOS は、微細化がすすみ、トランジスタの耐圧が低下している。そのため、VCO の低電圧動作化が必要であり、チューニングレンジの低下や出力の低下といった課題がある。

- 発振周波数

VCO の発振周波数は、トランジスタの高周波特性が大きく影響する。近年では、ミリ波帯などの周波数が高い帯域には、化合物を用いたトランジスタが多く用いられ、一方、マイクロ波帯では、CMOS が多く用いられる[25]。

1-3-5. FOM

異なる VCO を公正に比較するには、VCO の性能を正規化しなければならない。そこで、VCO の性能指数として FOM が広く用いられている。VCO の消費電力と位相雑音の間にはトレードオフが存在し、熱雑音に寄与する VCO の位相雑音は、発振周波数、オフセット周波数によって決まる。そこで、位相雑音、発振周波数、オフセット周波数、消費電力 (P_{diss} [mW]) を用いて性能指数を定義する。FOM の定義式を式 (1-4) に示す[26]。

$$\text{FOM} = L\{\Delta\omega\} - 20 \log\left(\frac{\omega_{\text{OSC}}}{\Delta\omega}\right) + 10 \log\frac{P_{\text{diss}}}{1\text{mW}} \quad (1-4)$$

1-4. 本研究の目的と構成

本研究の目的は、無線通信用高周波電圧制御発振器の高機能化である。前節で挙げた VCO の課題のうち、主な課題である、位相雑音、 K_{vco} の線形化、広帯域化の3つのテーマを本研究で扱う。本研究は、5章で構成され、第2章から第4章にそれぞれの研究を詳述し、第5章でまとめる。

第1章 序論: 本研究の背景、目的

第2章 InGaP/GaAs HBT を用いたミリ波 VCO IC の低位相雑音化

第3章 SiGe BiCMOS を用いた VCO IC の高線形化

第4章 SiGe BiCMOS を用いた VCO IC の広帯域化

第5章 結論: 本研究のまとめと今後の展望

図 1-5 に、本論文において展開される“無線通信用高周波電圧制御発振器の高機能化”の流れを各章のテーマとともに示す。

研究目的：無線通信用高周波電圧制御発振器の高機能化

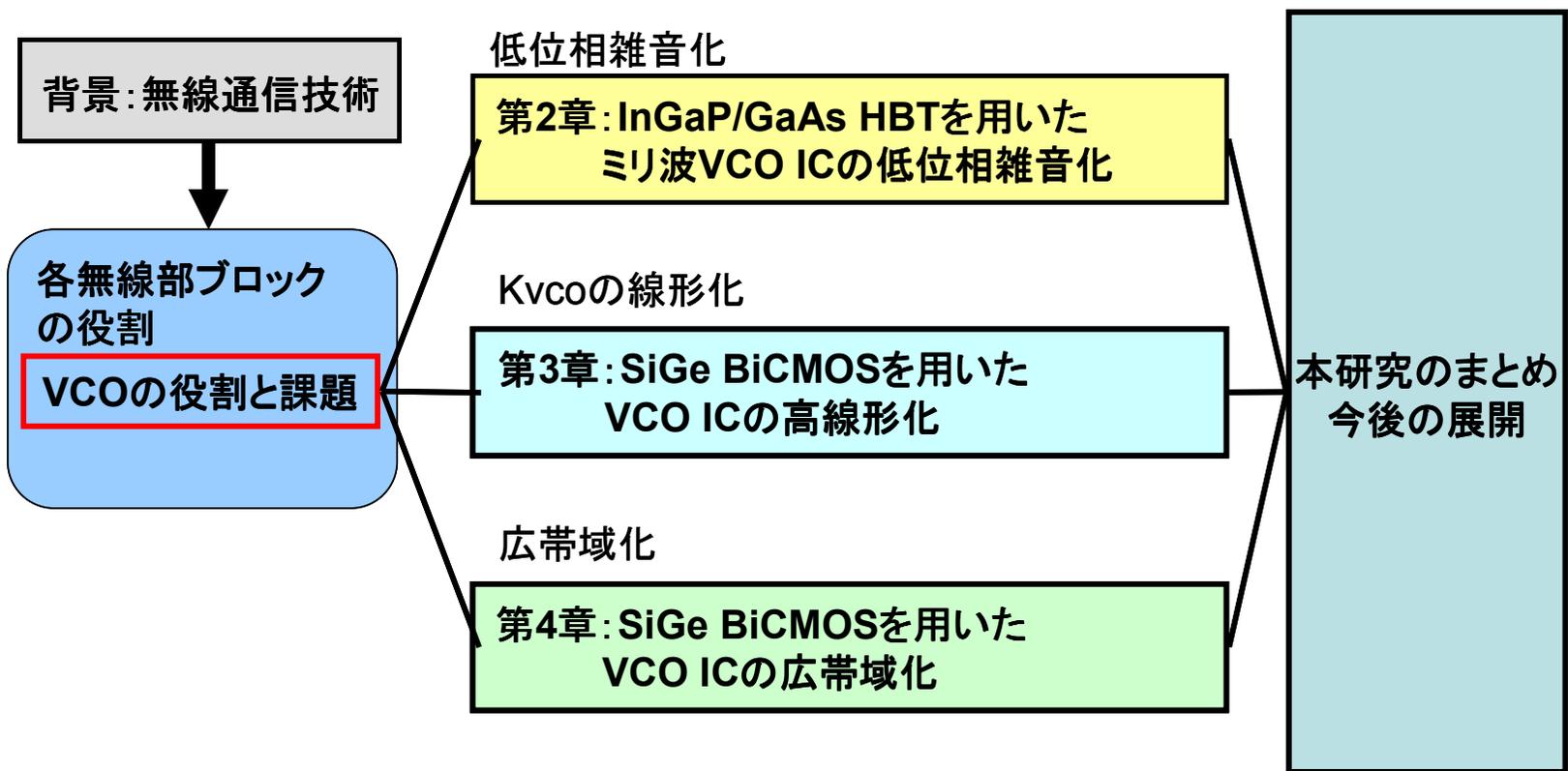


図 1-5. 無線通信用高周波電圧制御発振器の高機能化に関する展開図.

第2章では、高周波特性に優れた InGaP/GaAs HBT を用いて、ミリ波帯を動作周波数とする VCO IC の低位相雑音化のための回路設計手法を考案し、VCO IC を試作し、評価し、設計手法の有効性を実証する[27,28]。まず、InGaP/GaAs HBT が、遮断周波数（カットオフ周波数: f_T ）、最大発振周波数（ f_{max} ）が大きく、高周波特性に優れたデバイスであることを示す。また、GaAs FET などに比べ、フリッカ雑音が小さいデバイスであり、VCO の低位相雑音化に対し有効であることを示す。次に、VCO の低位相雑音化のために、VCO の増幅器の高出力化のための設計手法を示す。まず、増幅器に電流増幅率を大きくする効果のあるダーリントン接続を適用し、増幅器の電圧振幅率が最大となるように増幅器の負荷インピーダンスを設計する。しかし、発振器の出力が大きくなると、トランジスタの非線形性が大きくなり、フリッカ雑音のアップコンバージョンが大きくなることが報告されている[29]。そこで、振幅を大きく保ったまま、線形化のために、増幅器を A 級動作させるように、マイクロストリップ線路の線路長を調整しながら負荷インピーダンスを設計する新しい設計手法を提案する。さらに、InGaP/GaAs HBT を用いて低位相雑音 VCO IC を設計し、試作し、評価する。これまでに、InGaP/GaAs HBT を用いた VCO は、発振周波数 38 GHz で、1MHz オフセットにおける位相雑音が、-114 dBc/Hz、FOM が、-179 が報告されている[30]。低位相雑音 VCO IC は、これまでに InGaP/GaAs HBT を用いて発表されている VCO よりも 10 以上小さい FOM を実現する。

第3章では、SiGe BiCMOS プロセスを用いて、5GHz 帯無線 LAN 用 VCO IC の K_{vco} の線形化のための回路設計手法を考案し、VCO IC を試作し、評価し、設計手法の有効性を実証する[31-33]。まず、SiGe HBT がマイクロ波帯において優れた高周波特性を持つことを示す。次に、 K_{vco} の非線形性による PLL 回路の影響を概説し、 K_{vco} の線形化を目的とした新しい共振回路の設計手法について詳述する。 K_{vco} は、式 (1-5) によって定義される。

$$K_{vco} = \frac{\partial \omega_{osc}}{\partial V_{ctrl}} \quad (1-5)$$

ここで、 V_{ctrl} は、制御電圧である。制御電圧に対し、発振周波数の変化が線形であれば、 K_{vco} は線形となる。発振周波数変化を線形とするためには、バラクタ回路の $C(V)$ 特性を線形にする必要があることが報告されている[34]。そこで、バラクタ素子を並列に接続し、共振回路の $C(V)$ 特性が線形となるように、それぞれのバラクタ素子に異なる電圧を印加する手法が報告されている[35]。 K_{vco} の線形化の尺度として、 K_{vco} の最大値と最小値との比（ $K_{vco_ratio} = K_{vco_max} / K_{vco_min}$ ）を定義すると、[35]では、2.5 が得られている。しかし、[35]では、複数の制御端子が必要であり、PLL 回路が複雑になり、セトリングタイムが長くなる。そこで、本設計では、制御電圧端子が単一で、 K_{vco} の線形化のために新しい共振回路を提案する。 K_{vco} の線形化のために、バラクタ素子を並列に接続し、それぞれのバラクタ素子に徐々に制御電圧が印加されるように、電圧レベルシフト回路を適用し、新しい共

振回路を設計する。さらに、SiGe BiCMOS を用いて高線形 VCO IC 回路を設計し、試作し、評価する。また、比較のために、同じプロセスを用い、従来型の共振回路を用いた基本 VCO IC を設計し、試作し、評価を行う。高線形 VCO IC は、基本 VCO IC と比較して、チューニングレンジ、位相雑音などの特性をほとんど劣化させることなく、 K_{vco_ratio} を半分以下に抑制し、 K_{vco} の線形化を実現する。

第4章では、SiGe BiCMOS プロセスを用いて、チューニングレンジの広帯域化のための回路設計手法を考案し、VCO IC を試作し、評価し、設計手法の有効性を実証する[36]。VCO のチューニングレンジは、共振回路に用いられるインダクタンス、バラクタ素子の容量で決まる。VCO の多くは、バラクタ素子を用いて発振周波数を可変しており、バラクタ素子には、pn ダイオード、MOS バラクタが用いられる。このうち、MOS バラクタのほうが、可変容量が大きく、最小値と最大値の比率 (C_{max}/C_{min}) は、約 2 である[37]。この MOS バラクタを用いた場合のチューニングレンジは、式 (1-6) によって求められる。

$$\begin{aligned} \text{tuning range} &= 2 \cdot \frac{\sqrt{C_{max}} - \sqrt{C_{min}}}{\sqrt{C_{min}} + \sqrt{C_{max}}} = 2 \cdot \frac{\sqrt{2C_{min}} - \sqrt{C_{min}}}{\sqrt{C_{min}} + \sqrt{2C_{min}}} \\ &= 2 \cdot \frac{\sqrt{2}-1}{1+\sqrt{2}} = 33\% \end{aligned} \quad (1-6)$$

式 (1-6) によって求められた値は、理論値であり、実際には寄生容量が存在するため、チューニングレンジは小さくなる。しかし、1-3 節に示したように UWB のような広帯域通信規格では、30% 以上のチューニングレンジが求められる。そこで、pn 接合ダイオードを周波数のチューニングに用い、また MOS トランジスタとキャパシタを周波数のバンド切り替えに用いる手法が提案されている。この手法によって、中心周波数 1.8 GHz、チューニングレンジ 73%、1 MHz オフセットにおける位相雑音が、-126.5 dBc/Hz が報告されている[38]。しかし、この手法は、周波数バンド数が多くなればなるほど、制御端子数が多く必要となる。制御端子数の増加により、PLL 回路が複雑になり、PLL 回路のセトリングタイムが長くなるため、制御電圧端子の単一化が求められる。本設計は、これらの問題を解決するために、制御電圧が単一で、チューニングレンジの広帯域化のための新しい共振回路を提案する。まず、チューニングレンジの広帯域化のために、pn 接合ダイオード、MOS トランジスタを直列に接続し、新しいバラクタ回路を設計する。MOS バラクタは、通常、ドレイン・ソース間を短絡して用いられるが、本設計は、ドレイン、ソースを独立した端子とし、ソース・ドレイン間、ゲート・ドレイン間、ゲート・ソース間のそれぞれの容量変化と、MOS トランジスタのトランスコンダクタンスの変化を用いて、従来型のバラクタ素子と比較して 2 倍以上の容量変化が得られるように設計する。しかし、容量変化の広帯域化によって、 K_{vco} の非線形性が大きくなり、 K_{vco} の値が大きくなる。そこで、第3章で提案する電圧レ

ベルシフト回路を適用することによって、 K_{vco} の低減、線形化、チューニングレンジの広帯域化を同時に図る新しい共振回路を提案する。そこで、SiGe BiCMOS を用いて広帯域 VCO IC を設計し、試作し、評価を行なう。広帯域 VCO IC は、基本 VCO IC と比較して、位相雑音特性をほとんど劣化させることなく、3 倍のチューニングレンジを実現する。

1-5. 結言

本章では、本研究の背景、VCO の役割、課題、そして、本研究の目的、構成について述べた。本研究の背景では、無線通信技術について述べ、無線通信技術が、通信技術、通信範囲によって大きく四つに分類され、様々な機器に幅広く応用されていることを示した。次に、無線部のブロックダイアグラムを示し、受信側、送信側のそれぞれの回路の役割を示した。また、VCO 回路が組み込まれる PLL 回路の動作を概説し、無線部における VCO 回路の役割を示した。さらに、VCO の課題として、VCO の位相雑音、 K_{vco} の非線形性、チューニングレンジについて詳述し、無線通信、PLL 回路に与える影響を明らかにした。最後に、本研究の章構成を示し、各章の内容を述べた。本研究では、無線通信用高周波電圧制御発振器の高機能化を目的とし、

- (1) InGaP/GaAs HBT を用いたミリ波 VCO IC の低位相雑音化のための新しい設計手法の提案
- (2) SiGe BiCMOS を用いた VCO IC の K_{vco} の線形化のための新しい設計手法の提案
- (3) SiGe BiCMOS を用いた VCO IC のチューニングレンジの広帯域化のための新しい設計手法の提案

をおこない、それぞれの VCO IC の試作、評価することで、設計手法の有効性を実証する。

第 1 章 参考文献

- [1] K. Araki, "Millimeter-wave activities in Japan," *IEEE International Microwave Symposium*, pp. 133-136, June 2007.
- [2] T. Yoneyama, "Millimeter wave research activities in Japan," *Topical Symposium on Millimeter Waves*, pp. 3-6, July 1997.
- [3] S. Tokoro, "Automotive application systems of a millimeter-wave radar," *Proceedings of IEEE Intelligent Vehicle Symposium*, pp. 260-265, Sept. 1996.
- [4] 日経エレクトロニクス, "初歩から学ぶワイヤレス機器開発の実践技術," pp. 10-33, 2007.4.19
- [5] IEEE 802 LAN/MAN Standards Committee. Available: <http://grouper.ieee.org/groups/802>
- [6] N. Baker, "Zigbee and Bluetooth strength and weakness for industrial applications," *Computing and Control Engineering Journal*, vol. 16, issue 2, pp. 20-25, April 2005.
- [7] W. Jones, "No strings attached (Wireless USB)," *IEEE Spectrum*, vol. 43, issue 4, pp. 16-18, April 2006.
- [8] G. Yarovoy, and P. Ligthart, "UWB radars: Recent technological advanced and applications," *IEEE Rader Conference*, pp. 43-48, April 2007.
- [9] J. Wenger, "Automotive radar – status and perspective," *IEEE Compound Semiconductor Integrated Circuit Symposium*, pp. 21-24, Oct. 2005.
- [10] IEEE802.15 WPAN Millimeter Wave Alternative PHY Task Group 3c (TG3). Available: <http://www.ieee802.org/15/pub/TG3c.html>
- [11] H. Ogawa, "Millimeter-wave wireless access systems," *Proceedings of Asia-Pacific Microwave Conference*, vol. 2, pp. 487-491, Dec. 2001.
- [12] WiFi Alliance homepage. Available: <http://www.wifialliance.com/>
- [13] 杉浦彰彦, "ワイヤレスネットワークの基礎と応用," CQ 出版株式会社, ISBN:4-7898-3625-8, 2003.
- [14] Y. Yamanaka, Yuhei Nagao, Kota Higashi, Masayuki Kurosaki, and Hiroshi Ochi, "Development of prototype board for IEEE802.11n and IP set," *The 9th International Conference on Advanced Communication Technology*, vol. 1, pp. 119-124, Feb. 2007.
- [15] M. Oniki, K.Kobayashi, A. Murase, and S. Hirata, "Mobile packet data communication in a TDMA cellular system," *IEEE 5th International Conference on Universal Personal Communications*, vol. 2, pp. 571-581, Oct. 1998.
- [16] D. O'Mahony, "UMTS: The fusion of fixed and mobile networking," *IEEE Internet Computing*, vol. 2, issue 1, pp. 49-56, Feb. 1998.

- [17] T. Phillips, T. Karygiannis, and R. Kuhn, "Security standards for the RFID market," *IEEE Security and Privacy magazine*, vol.3, issue 6, pp.85-89, Nov. 2005.
- [18] 高山洋一郎, "マイクロ波トランジスタ," 社団法人 電子情報通信学会, ISBN:4-88552-157-2, 1998.
- [19] 黒田忠広 監訳, "RF マイクロエレクトロニクス", 丸善出版, ISBN:4-621-07005-3, 2002.
- [20] A. Hajimili and T. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 2, pp. 179-194, Feb. 1998.
- [21] 伊東, "低雑音 PLL シンセサイザの基礎," *Microwave Workshop Digest*, pp. 489-498, Nov. 2004.
- [22] 伊藤, "シリコン LSI における内蔵 VCO の最適設計," *Microwave Workshop Digest*, pp. 503-512, Nov. 2004.
- [23] G. Kolimban, "UWB technology: Chaotic communication versus noncoherent impulse radio," *Proceedings of the European Conference on Circuit Theory and Design*, vol. 2, pp. 79-82, Aug. 2005.
- [24] M. Tiebout, "Low Power Design in CMOS," Springer Berlin Heidelberg DOI, ISBN: 978-3-540-24324-3, 2006.
- [25] 原, 吉川, 高橋, 牧山, "化合物半導体デバイス (InP 系、GaN 系)," 2007 年電子情報通信学会総合大会, CT-1-4, pp. SS-16- SS-17, March 2007.
- [26] J. Plopuchart, H. Ainspan, M. Soyuer and A. Ruehli, "A fully-monolithic SiGe differential voltage-controlled oscillator for 5 GHz wireless applications," *Proceedings of IEEE Radio Frequency Integrated Circuits Symposium*, pp. 57-60, June 2000.
- [27] S. Kurachi and T.Yoshimasu, "Low phase noise, InGaP/GaAs HBT VCO MMIC for millimeter-wave applications", *IEICE Transactions on Electronics*, vol. 88-C, no. 4, pp. 678-682, April 2005.
- [28] 倉智, 島松, 山内, 吉増, "InGaP/GaAs HBT を用いたミリ波低位相雑音 VCO MMIC," 2004 年電子情報通信学会ソサイエティ大会, C-2-25, p.41, Sept. 2004
- [29] T. Lee and A. Hajimili, "Oscillation phase noise: A tutorial," *IEEE Journal of Solid-States Circuits*, vol. 35, no. 3, pp. 326- 336, March 2000.
- [30] K. Chounei, T. Matsuzuka, S. Suzuki, S. Hamano, K. Kawakami, N. Ogawa, M. Komaru, and Y. Matsuda, "A Ka-band direct oscillation HBT VCO MMIC with a parallel negative resistor circuit," *IEEE MTT-Symposium Technical Digest*, pp. 1175-1178, June 2005.
- [31] S. Kurachi, T. Yoshimasu, N. Itoh, and K. Yonemura, "5-GHz band highly linear VCO IC with a novel resonant circuit," *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 285-288, Jan. 2007.

- [32] S. Kurachi, T. Yoshimasu, H. Liu, N.Itoh, and K.Yonemura, "A SiGe BiCMOS VCO IC with highly linear K_{vco} for 5-GHz-band wireless LANs," *IEICE Transactions on Electronics*, vol. E90-C, no. 6, pp. 1228-1233, June 2007.
- [33] 倉智, 村田, 石川, 伊藤, 米村, 吉増, "SiGe BiCMOS を用いた高線形 VCO IC," *2007 年電子情報通信学会総合大会*, C-2-10, p.43, March 2007.
- [34] S. Samadian, "A low phase noise quad-band CMOS VCO with minimized gain variation for GSM/GPRS/EDGE," *IEEE International Symposium on Circuits and Systems*, pp. 3287-3290, May 2007.
- [35] J. Mira, T. Divel, S. Ramet, J. Begueraet and Y. Deval, "Distributed MOS varactor biasing for VCO gain equalization in 0.13 μm CMOS technology," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 131-134, June 2004.
- [36] S. Kurachi, Y. Murata, S. Ishikawa, N.Itoh and K.Yonemura, "A 4-GHz band ultra-wideband voltage controlled oscillator IC using 0.35 μm SiGe BiCMOS technology," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 9-12, Oct. 2007.
- [37] P. Andreani and S. Mattisson, "On the use of MOS varactors in RF VCO's," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 6, pp. 905-910, June 2005.
- [38] A. Berny, A. Niknejad, and R. Meyer, "A 1.8-GHz LC VCO with 1.3-GHz tuning range and digital amplitude calibration," *IEEE Journal of Solid-State Circuits*, vol. 40, issue 4, pp. 909-917, April 2005.

第2章

InGaP/GaAs HBT を用いた

ミリ波 VCO IC の低位相雑音化

2-1. 序言

第1章では、本研究の背景である VCO の課題について述べ、本研究の目的を明らかにした。本章では、今後の利用が期待されているミリ波帯を動作周波数とする VCO の低位相雑音化のために、InGaP/GaAs HBT を用いたミリ波低位相雑音 VCO IC を提案する。

ミリ波帯の電波は、回折が弱い、指向性が強くレーダ等に適しており、危険情報などの走行中の前後の車両に伝送する車々間通信システム等のアプリケーションが提案されている。また、ミリ波帯である 60 GHz 帯には 7 GHz という広い帯域を免許不要で用いることができ、広帯域、大容量通信として、家庭内で地上波、BS 放送などの映像情報などを受信機に伝送する映像多重伝送システム、デジタル家電や様々な電子機器間を接続する無線ホームリンク等が考えられている[1,2]。

ミリ波帯の電波を用いたアプリケーションを実現するためには、LO に用いられる VCO の低位相雑音化が必要である。発振器の位相雑音は、発振周波数が大きくなればなるほど劣化する。そのため、ミリ波帯では、低位相雑音特性を持つ VCO の需要が高まっている。また、第1章で示したように、VCO の位相雑音は、相互混合により、受信特性に大きく影響する[3]。さらに、CN 比 (Carrier-to-Noise Ratio) が小さい環境下では、伝送品質が劣化するため、QAM などの位相変調を用いる通信方式では、ビットエラーレートが劣化するため、VCO の低位相雑音化は重要である[3,4]。

ミリ波帯を動作周波数とする VCO を実現するには、デバイスの高周波特性が重要である。ミリ波帯では、GaAs を用いた MESFET (Metal-Semiconductor Field-Effect Transistor) や、HEMT (High Electron Mobility Transistor)、HBT 等のトランジスタが用いられている[5]。また、

近年、高出力、高効率が得られる GaN や、安価な CMOS の研究、開発が進んでいる[6,7]。これまでに、ミリ波帯の VCO を実現する回路手法として、push-push 型 VCO が提案されている[8,9]。これは、二つの VCO を出力で 180 度の位相差が生じるように組み合わせたものであり、奇数次の高調波を短絡させ、偶数次の高周波を出力させる手法である。二つの VCO が必要であることから、消費電力が大きくなる、チップ面積が大きくなる等の課題はあるが、基本発振周波数を小さくできる、寄生容量の影響を小さくできることから、ミリ波帯の VCO に多く用いられている。

本章では、まず、発振器の位相雑音解析式について詳述し、発振器の低位相雑音化のために必要な解を示す。次に、本設計で用いる InGaP/GaAs HBT の特徴と高周波特性について概説し、デバイス特性について述べる。発振器の低位相雑音化には、発振出力を大きくすることが有効であり、発振器の増幅器の電圧振幅率が最大となるように増幅器の負荷インピーダンスを設計する手法が提案されている[10]。しかしながら、発振出力を大きくすると、増幅器のトランジスタの非線形性が大きくなる。この非線形性により、トランジスタのフリッカ雑音のアップコンバージョンが大きくなり、位相雑音が劣化することが知られている[11]。従って、発振器の高出力化と低位相雑音化は、トレードオフの関係にある。そこで、本設計では、高出力でありながら、低位相雑音特性を有する VCO を実現するための新しい設計手法を提案する。なお、ミリ波帯 VCO IC は、シャープ(株)デバイス技術研究所に試作をして頂いた。

2-2. 発振器の位相雑音

位相雑音は、Leeson らによって定式化され、Leeson の位相雑音式として知られている[12]。本節では位相雑音の解析式を導出し、発振器の低位相雑音化に必要な解を求める。

まず、共振回路に起因する位相雑音を求める。発振器のモデル図を図 2-1 に示す。ここで、 C は共振回路のキャパシタ、 L は共振回路のインダクタ、 R_p はキャパシタとインダクタの寄生抵抗、 G_M は能動素子のトランスコンダクタンス、 i_n は雑音電流源である[13]。

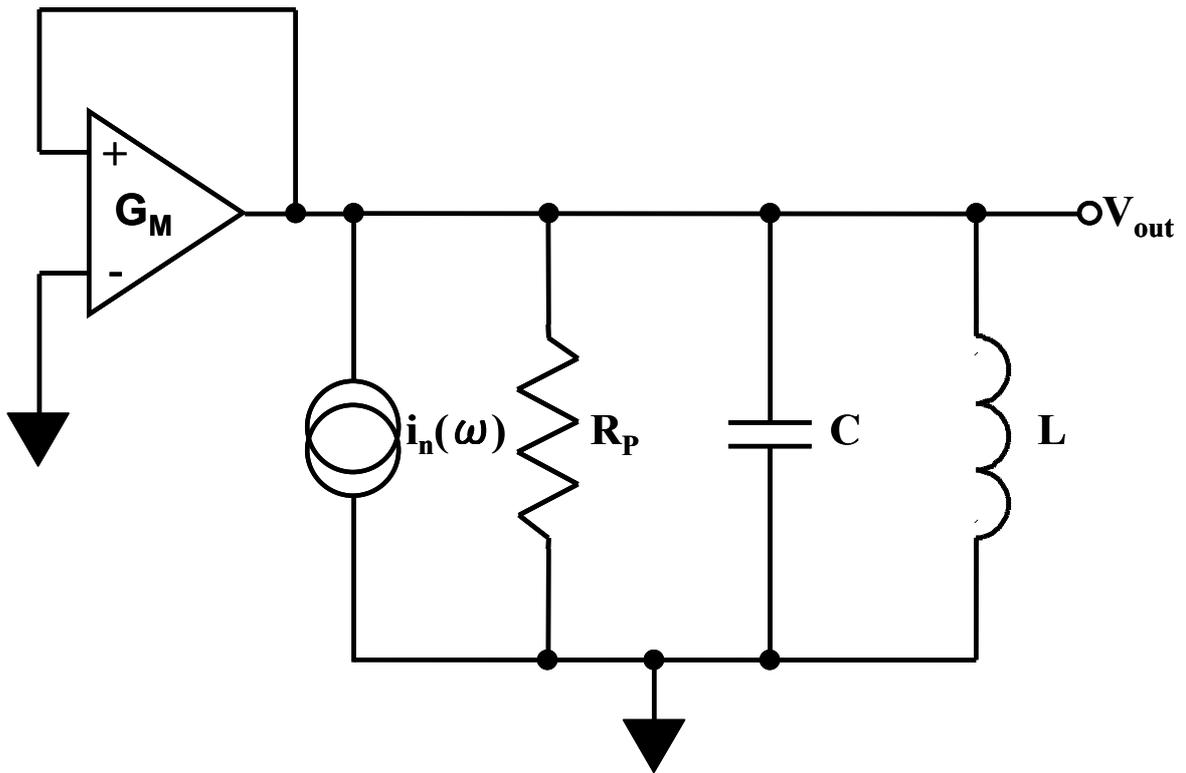


図 2-1. 発振器のモデル図.

共振回路の寄生抵抗によって生じる雑音電流は、式 (2-1) によって示される。

$$\frac{\overline{i_n^2}}{\Delta f} = 4kT / R_p \quad (2-1)$$

ここで、 kT は 1Hz あたりの熱雑音電力であり、 k はボルツマン係数、 T は絶対温度である。発振周波数 (ω_{osc}) 近傍における共振回路のインピーダンスは、式 (2-2) によって近似される。

$$\begin{aligned} Z(\omega_{osc} + \Delta\omega) &\approx j \cdot \frac{(\omega_{osc} + \Delta\omega)L}{1 - (\omega_{osc} + \Delta\omega)^2 LC} \approx j \cdot \frac{\omega_{osc}L}{1 - (\omega_{osc}^2 + 2\omega_{osc}\Delta\omega)LC} \\ &\approx -j \cdot \frac{\omega_{osc}L}{2\omega_{osc}\Delta\omega LC} \approx -j \cdot \frac{\omega_{osc}L}{2 \frac{\Delta\omega}{\omega_{osc}}} \end{aligned} \quad (2-2)$$

ここで、 $\Delta\omega$ は、オフセット周波数を示す。次に、並列接続された共振回路の Q 値は、式 (2-3) によって示されるので、式 (2-2) は式 (2-4) によって書きかえることができる。

$$Q = \frac{R_p}{\omega_{\text{OSC}} L} \quad (2-3)$$

$$|Z(\omega_{\text{OSC}} + \Delta\omega)| = R_p \cdot \frac{\omega_{\text{OSC}}}{2Q\Delta\omega} \quad (2-4)$$

共振回路の寄生抵抗に寄与する雑音電圧は、式 (2-1)、式 (2-4) を用いて式 (2-5) によって示される。

$$\frac{\overline{V_n^2}}{\Delta f} = \frac{\overline{i_n^2}}{\Delta f} \cdot |Z|^2 = 4kTR_p \left(\frac{\omega_{\text{OSC}}}{2Q\Delta\omega} \right)^2 \quad (2-5)$$

共振器のエネルギー損失を補うためには、能動素子による回路が必要である。能動素子の雑音を雑音ファクタ F とすると、序章で示した位相雑音の定義式より、共振回路に起因する位相雑音は、式 (2-6) によって示される。

$$L(\Delta\omega) = \frac{2FkTR_p}{V_0^2} \left(\frac{\omega_{\text{OSC}}}{2Q\Delta\omega} \right)^2 \quad (2-6)$$

ここで、 V_0^2 は、発振器の定常状態における電圧振幅であり、発振出力 $P_{\text{sig}} = \frac{V_0^2}{R_p}$ より、式 (2-6) は、式 (2-7) によって書き換えられる。

$$L(\Delta\omega) = \frac{2FkT}{P_{\text{sig}}} \left(\frac{\omega_{\text{OSC}}}{2Q\Delta\omega} \right)^2 \quad (2-7)$$

位相雑音は、発振周波数近傍で、トランジスタのフリッカ雑音がアップコンバートするため、-9 dB/oct の傾きを持ち、また、オフセット周波数の大きい周波数では、平坦となる。この結果を、式 (2-7) に導入すると、式 (2-8) が得られる。

$$L(\Delta\omega) = \left(\frac{\omega_{\text{osc}}}{2Q}\right)^2 \frac{\alpha}{\Delta\omega^3} + \left(\frac{\omega_{\text{osc}}}{2Q}\right)^2 \frac{1}{\Delta\omega^2} \frac{2FkT}{P_{\text{sig}}} + \frac{2FkT}{P_{\text{sig}}} \quad (2-8)$$

ここで、 α はフリッカ雑音による近傍雑音を与える定数である。式 (2-8) は、Leeson の位相雑音式と呼ばれ広く知られている[12]。キャリア周波数近傍では、トランジスタのフリッカ雑音が支配的となり、一般的には周波数が高くなると Q 値の低下と、バンド幅が広がるため、この雑音が大きくなる。また、オフセット周波数を大きくすると、白色雑音 (white noise) が支配的となる。以上より、式 (2-8) で表される位相雑音のオフセット周波数特性は、図 2-2 によって示される。

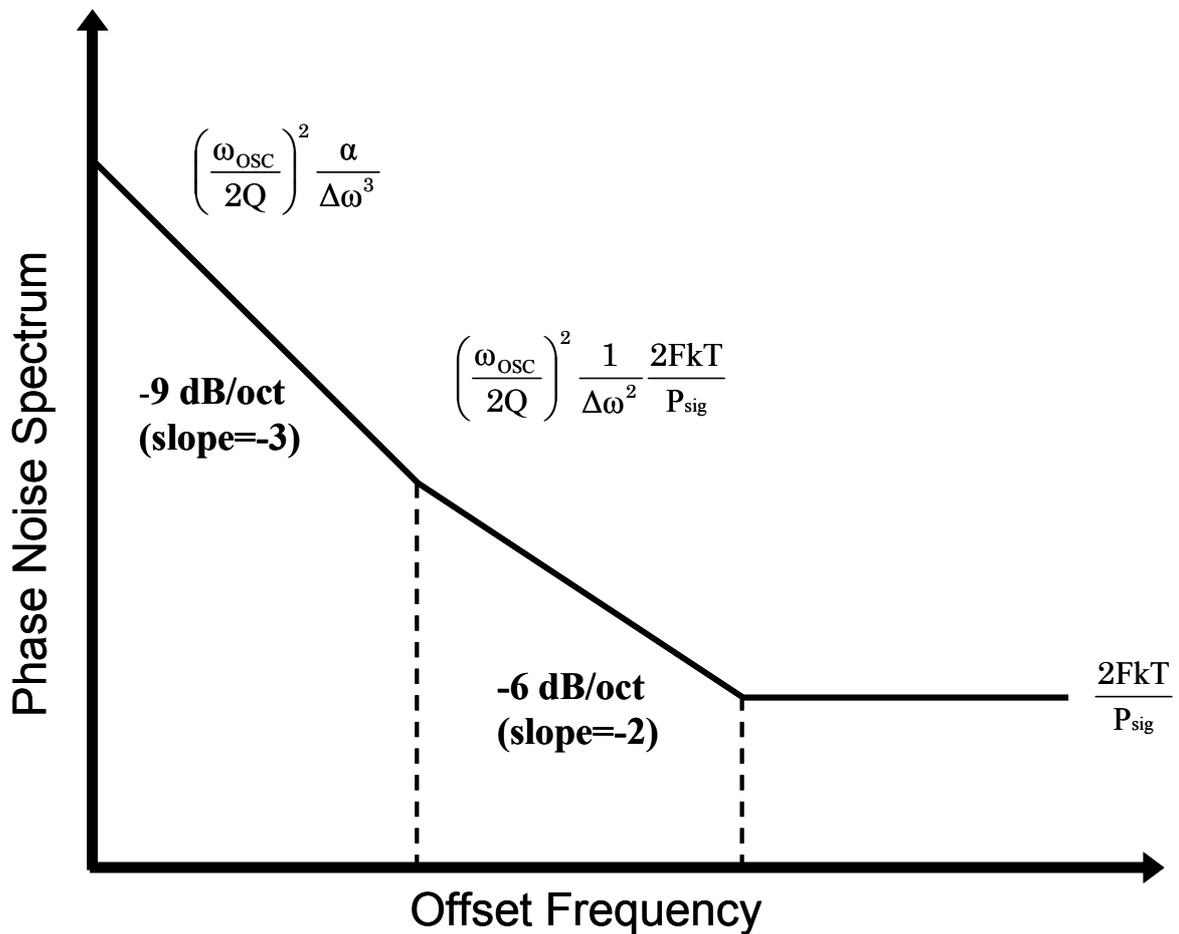


図 2-2. 位相雑音のオフセット周波数に対する特性.

次に、ノイズ源が時間変動するときの位相雑音について概説する。雑音電流が、発振波形のある時間(τ)において注入されたときに、そこで起こる位相偏差による位相雑音への寄与を考える。位相偏差は、インパルス応答の感度を示す ISF (Impulse Sensitivity Function) に比例する。この ISF をフーリエ変換すると式 (2-9) が得られる[11,14]。

$$\Gamma(\omega_{\text{osc}}) = \frac{C_0}{2} + \sum_{n=1}^{\infty} C_n \cos(n\omega_{\text{osc}}\tau + \theta_n) \quad (2-9)$$

ここで、 C_n は n 次の ISF の係数であり、 θ_n は n 次高調波の位相である。次に、 n 次高調波の近傍に雑音電流 ($i(t) = I_n \cos[(n\omega_{\text{osc}} + \Delta\omega)t]$) が注入されたと仮定する。このとき、ISF を用いた位相偏差は、式 (2-10) によって示される。

$$\phi(t) \approx \frac{I_0 C_0}{2q_{\text{max}}} \int_{-\infty}^t \cos(\Delta\omega\tau) d\tau = \frac{I_0 C_0 \sin(\Delta\omega t)}{2q_{\text{max}} \Delta\omega} \quad (2-10)$$

ここで、 q_{max} は共振回路のキャパシタに貯めることができる最大の電荷である。発振出力は位相の関数 ($v_{\text{out}}(t) = \cos[\omega_{\text{osc}}t + \phi(t)]$) で示されることから、位相偏差は、電圧偏差へ変換される。白色雑音に寄与するサイドバンドの電力は式 (2-11) によって示すことができる。

$$P_{\text{Sideband}}(\Delta\omega) = \left(\frac{I_n C_n}{4q_{\text{max}} \Delta\omega} \right)^2 \quad (2-11)$$

従って、白色雑音に寄与する -6 dB/oct の傾きを持つ位相雑音は、式 (2-12) によって示される。

$$L(\Delta\omega) = \frac{\overline{i_n^2} \Gamma_{\text{rms}}^2}{2q_{\text{max}}^2 \Delta\omega^2} \quad \left(\because 2\Gamma_{\text{rms}}^2 = \sum_{n=0}^{\infty} c_n^2 \right) \quad (2-12)$$

次に、フリッカ雑音のアップコンバージョンを考える。低周波領域の雑音電流は、式 (2-13) によって示される。

$$\overline{i_{n,1/f}^2} = \overline{i_n^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \quad (2-13)$$

ここで、 $\omega_{1/f}$ は、デバイスのフリッカ雑音のコーナー周波数である。式 (2-12) に式 (2-13) を代入することによって、フリッカ雑音に寄与する -9 dB/oct に比例する位相雑音を示す式 (2-14) を得る。

$$L(\Delta\omega) = \left(\frac{\frac{\overline{i_n^2}}{\Delta f} c_0^2}{8q_{\max}^2 \Delta\omega^2} \cdot \frac{\omega_{1/f}}{\Delta\omega} \right) \quad (2-14)$$

位相雑音の -9 dB/oct と -6 dB/oct のコーナー周波数は、式 (2-12)、式 (2-14) より求めることができる。コーナー周波数を式 (2-15) に示す。

$$\Delta\omega_{1/f^3} = \omega_{1/f} \cdot \frac{c_0^2}{4\Gamma_{\text{rms}}^2} \approx \omega_{1/f} \cdot \left(\frac{c_0}{c_1} \right)^2 \quad (2-15)$$

式 (2-15) より、位相雑音の -9 dB/oct の傾きと -6 dB/oct の傾きとのコーナー周波数は、デバイスのコーナー周波数だけでは決まらないことが分かる。 C_0 、 C_1 は、ISF の値であり、 C_0 を小さくすることは、フリッカ雑音からの寄与を小さくすることが有効であり、 C_1 を大きくすることは、基本波の電力を大きくし、高調波を抑制することが有効である。従って、位相雑音の -9 dB/oct の傾きと -6 dB/oct の傾きとのコーナー周波数を小さくし、デバイスのフリッカ雑音のキャリア周波数へのアップコンバージョンを抑制するためには、フリッカ雑音の小さな半導体素子を用い、基本波の電力を大きくし、高調波電力を抑制することが有効である。また、高調波電力は、増幅器のトランジスタの非線形性によって発生するため、増幅器の非線形性を抑制することが有効である。

以上を総括すると、発振器の低位相雑音化には、(i)から(iv)が求められる。

- (i) 共振器の Q 値を大きくし、発振器の Q 値を高める。
- (ii) フリッカ雑音の小さい半導体素子を用いる。
- (iii) 基本波の発振出力を大きくし、高調波を抑制する。
- (iv) 低周波の雑音をアップコンバージョンする効果をもたらす半導体素子の非線形を抑制する。

次に、トランジスタのフリッカ雑音の雑音源について概説する。式 (2-15) より、位相雑音を小さくするためには、フリッカ雑音の小さなトランジスタを用いることが有効である。バイポーラトランジスタの主なフリッカ雑音源は、エミッタとコレクタへの電流分配に伴う分配雑音、および発生・再結合雑音 (generation-recombination noise: g-r 雑音) である。g-r 雑音は、半導体表面、界面あるいはトラップと伝導体との電子のやり取りによるキャリア

密度の揺らぎによって生じると考えられている。一方、FET の主なフリッカ雑音源は、g-r 雑音である。バイポーラトランジスタのフリッカ雑音源として、バルクおよび半導体表面の g-r 雑音があるが、バイポーラトランジスタは、構造上、表面の影響を受けにくいいため、FET に比べてフリッカ雑音が小さい[15]。次に、次節で記述する HBT (Heterojunction Bipolar Transistor: ヘテロ接合構造バイポーラトランジスタ) のフリッカ雑音について概説する。HBT とバイポーラトランジスタを比較すると、HBT は、ベースを高濃度化することにより、不純物濃度が高くなるため、バイポーラトランジスタよりもフリッカ雑音が大きいたことが報告されている[16]。また、III - V 族の HBT と IV - IV 族の HBT のフリッカ雑音を比較すると、ベースに高濃度のドーピングをおこなう影響で、III - V 族の HBT ほうが、フリッカ雑音が大きいたことが報告されている[17]。

次に、共振回路について概説する。発振器の低位相雑音化のためには、共振回路の Q 値を高めなければいけない。共振器の Q 値を大きくする手法として、誘電体を用いる手法があるが、集積化が難しい。そこで、ミリ波帯では、伝送線路が多く用いられている。Si 系の半導体を用いた場合、基板が導電性であるため、伝送線路を作成した場合、損失が大きく、Q 値が低下する。一方、化合物半導体を用いた場合、基板が半絶縁性であることから、Si を用いた場合よりも Q 値を高めることができる。従って、次節で述べる InGaP/GaAs HBT は、SiGe HBT と比較すると、フリッカ雑音が大きいたが、高周波特性に優れており、基板が半絶縁性であるため、共振器の Q 値を大きくすることができ、低位相雑音化に対し有効である。

本設計では、ミリ波帯の周波数で動作する発振器の低位相雑音化のための設計手法の提案を行なう。トランジスタには、GaAs FET などと比較してフリッカ雑音が小さく、高周波特性に優れた InGaP/GaAs HBT を用いる。既に発表されている論文では、InGaP/GaAs HBT を用いて、発振周波数 38 GHz にて、1 MHz オフセットにおける位相雑音 -108 dBc/Hz、消費電力 125 mW が報告されている[18]。また、GaAs pHEMT を用いた VCO では、発振周波数 12.2 GHz において、1 MHz オフセットにおける位相雑音 -116 dBc/Hz、消費電力 15 mW が報告されている[19]。本設計では、新しい設計手法を用いて、設計目標を、発振周波数 30 GHz、1 MHz オフセットにおける位相雑音-115 dBc/Hz 以下、消費電力 60 mW とする。設計目標を表 2-1 に示す。

表 2-1. 低位相雑音 VCO 設計目標.

プロセス	InGaP/GaAs HBT
発振周波数	30 GHz
位相雑音 (1 MHz オフセット)	< -115 dBc/Hz
消費電力	60 mW

2-3. InGaP/GaAs HBT

本節では、ミリ波帯、マイクロ波帯に用いられるトランジスタについて概説し、次に、本設計で用いる InGaP/GaAs HBT の高周波特性について詳述する。また、本設計に用いる HBT の S パラメータから概算した高周波特性を示す。

ミリ波帯を動作周波数とする VCO を実現するためには、トランジスタの優れた高周波特性が求められる。図 2-3 に主な無線通信規格と、それぞれの無線通信機器に用いられている半導体ロードマップを示す[20]。ミリ波帯では、InP や GaAs を用いた化合物半導体が多く用いられ、マイクロ波帯では、Si を用いたトランジスタが多く用いられていることが分かる。

InP-HBT, HEMT					GaAs MEHMT						
GaAs – HBT, pHEMT											
SiGe – HBT, BiCMOS											
GaN - HEMT											
Si -RF CMOS											
Si - MESFET											
0.8 GHz		2 GHz		5 GHz		10 GHz		28 GHz		77 GHz	94 GHz
GSM	PDC	DCS	WLAN	SAT	WLAN	SAT TV	LMSD	AUTO	Contraband		
CDMA	GPS	PCS	802.11a/g	TV	802.11a	WLAN	WLAN	RADER	Detection		
ISM	SAT	DECT	HomeRF			Hyperlink			All Weather		
	Radio	CDMA	Bluetooth			UWB			Landing		

MEHMT: Metamorphic High Electron Mobility Transistor

GPS: Global Positioning System

SAT Radio: Satellite Radio

SAT TV: Satellite Television

図 2-3. 半導体ロードマップ.

次に、InGaP/GaAs HBT の高周波特性について述べる。近年の GaAs 系および InP 系の MOCVD (Metal Organic Chemical Vapor Deposition) 法などの化合物半導体結晶成長技術の進歩により、高品質なヘテロ構造の形成ができるようになった。化合物半導体 HBT の進歩は著しく、ヘテロ接合には、Si 系、GaAs 系、InP 系などの素材が使用されている。HBT はフリッカ雑音が小さく、発振器に広く応用されている[21,22]。

HBT は、エミッタとベースに異なった半導体材料を用いたバイポーラトランジスタである。エミッタに用いる半導体は、ベースに用いる半導体よりもバンドギャップの大きなものを使用し、ベースに高濃度のドーピングを行っても電流利得を大きく取れるという特徴がある。InGaP/GaAs HBT の断面構造図を図 2-4 に示す。エミッタ層に n 型 InGaP、ベース層に p 型 GaAs、コレクタ層に n 型 GaAs を用いている[23]。

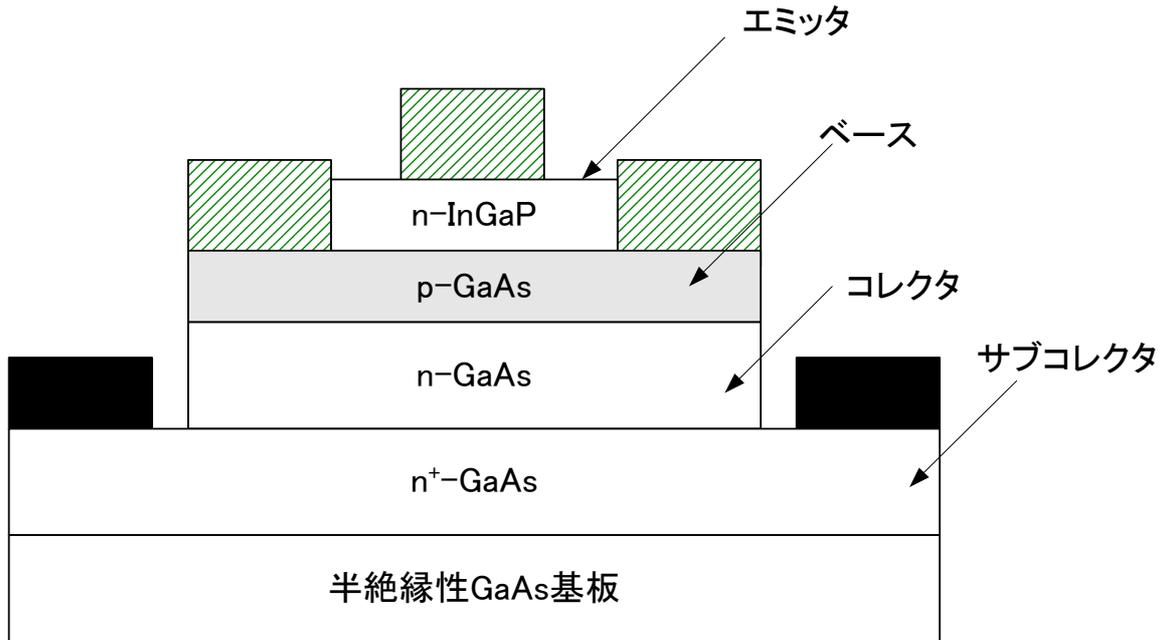


図 2-4. InGaP/GaAs HBT の断面構造図.

HBT の基本動作は、通常のバイポーラトランジスタと同じである。エミッタ・ベース間に純方向電圧、ベース・コレクタ間に逆方向電圧をかけた状態では、エミッタからベースに電子が注入され、ベース層が電子の拡散距離よりも十分短い場合、電子はベース領域ではほとんど再結合することなく、拡散及びドリフトによりコレクタへ達し、ベース・コレクタ接合に吸収されコレクタ電流が流れる。ここで、同時にベースからエミッタへはホールが注入される。

次に、HBT の高周波特性について述べる。HBT の高周波等価回路図を図 2-5 に示す[5]。

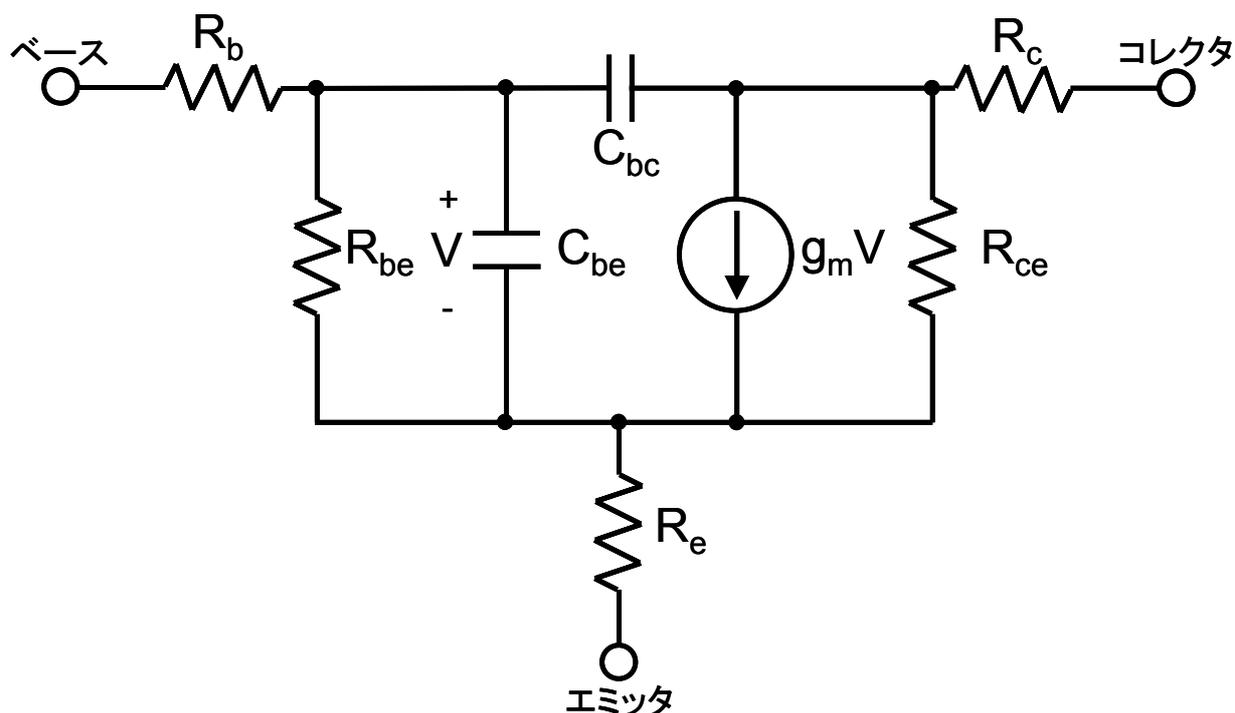


図 2-5. HBT 高周波等価回路.

トランジスタの電流利得が 1 になる周波数は遮断周波数 (f_T) と呼ばれトランジスタの高周波特性を決める重要な性能指数である。HBT の f_T は近似的に次式で表すことができる[5]。

$$f_T = \frac{1}{2\pi \left\{ \left(\frac{kT}{qI_c} \right) (C_{be} + C_{bc}) + C_{bc} (R_e + R_c) + \tau_b + \tau_c \right\}} \quad (2-16)$$

ここで、 I_c はコレクタ電流、 C_{be} 、 C_{bc} はそれぞれベース・エミッタ容量、ベース・コレクタ容量、 R_e 、 R_c はそれぞれエミッタ抵抗、コレクタ抵抗、 τ_b は少数キャリアのベース走行時間、 τ_c はキャリアのコレクタ走行時間である。 f_T を大きくするためには、ベースとコレクタの走行時間を短くすることが有効的である。また、 f_T と同様にトランジスタの高周波性能を示す最大発振周波数 (f_{MAX}) は、式 (2-17) で示される[5]。

$$f_{MAX} = \sqrt{\frac{f_T}{8\pi C_{bc} R_b}} \quad (2-17)$$

f_{MAX} は、 f_T が大きいほど大きくなるが、さらに大きくするためには、ベース抵抗の低減が必要である。従って、トランジスタの高周波特性を向上させるためには、ベース層の薄膜化、ベース抵抗の低減が有効である。

次に、電流増幅率 β は一般的に式 (2-18) によって示される[5]。

$$\beta \cong \frac{N_e V_e}{N_p V_p} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (2-18)$$

ここで、 N_e 、 N_p はそれぞれ電子、ホール濃度、 V_e 、 V_p はそれぞれ電子、ホールの速度であり、 ΔE_g はバンドギャップ幅、 k はボルツマン定数、 T は絶対温度である。ベース層の薄膜化により、電流利得 β を大きくするためには、ベースの不純物濃度の高濃度化が必要である。バイポーラトランジスタ構造では、ベースの不純物濃度はエミッタの不純物濃度よりも低くなるため、 $\Delta E_g \cong 0$ である。ベースの不純物濃度を高くすると、電力利得が低くなるため、ベース層の薄膜化により、電流利得を大きくすることができない。一方、HBTでは、エミッタに用いる半導体に、ベースに用いる半導体よりもバンドギャップの大きなものを使用するため、ベースに高濃度のドーピングを行っても電流利得を大きく取ることができる。図2-6にHBTのバンドギャップ図を示す[24]。InGaP/GaAs HBTは、異種接合により、エミッタ領域には、ベース領域のGaAsよりもバンドギャップの大きいInGaPを用いている (GaAs: 1.42eV, InGaP: 1.86eV)。従って、ベースからエミッタに逆注入されるホールのポテンシャル障壁を高くすることができ、ホールのエミッタへの逆注入を抑制することができる。そのため、 N_p の値を比較的自由に設定することができる。 N_p の値を大きくすることによって、ベース抵抗 R_b の値を小さくすることができる。これによって、ベース層の高濃度化、薄膜化が実現可能で、ベース抵抗の低減と電子走行時間を短くでき、トランジスタの応答速度が高速化し、大きな電流増幅率と、優れた高周波特性が期待できる。

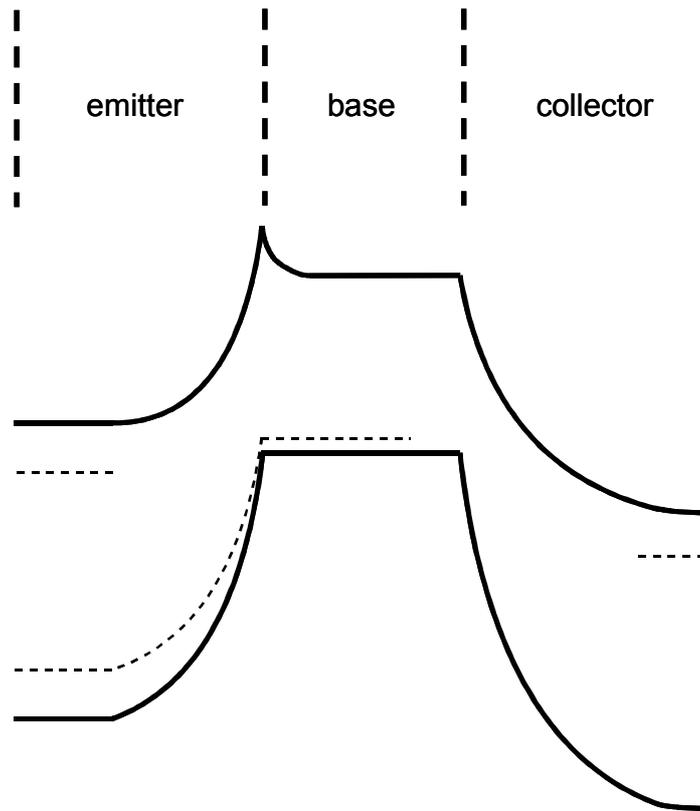


図 2-6. HBT のバンドギャップ図.

本設計において使用した InGaP/GaAs HBT の仕様を表 2-2 にまとめる。本研究のトランジスタは、シャープ (株) デバイス技術研究所から提供して頂いた。また、図 2-7 にコレクタ・エミッタ間電圧 (V_{CE}) = 2.0 V、また、コレクタ電流 (I_C) = 20 mA 時における小信号 S パラメータからシミュレータを用いて求めた InGaP/GaAs HBT の MAG (Maximum Available Gain: 最大有能電力) および MSG (Maximum Stable Gain: 最大安定利得)、電流利得 ($|h_{21}|^2$) を示す。トランジスタの高周波特性を表す f_T は 70 GHz 以上であり、 f_{MAX} は、100 GHz 以上であり、優れた高周波特性を示している。

表 2-2. トランジスタの仕様.

	InGaP/GaAs HBT 仕様
BV_{CEO}	9.2 V
BV_{cbo}	17.5V
f_T	>70GHz
f_{MAX}	>100GHz

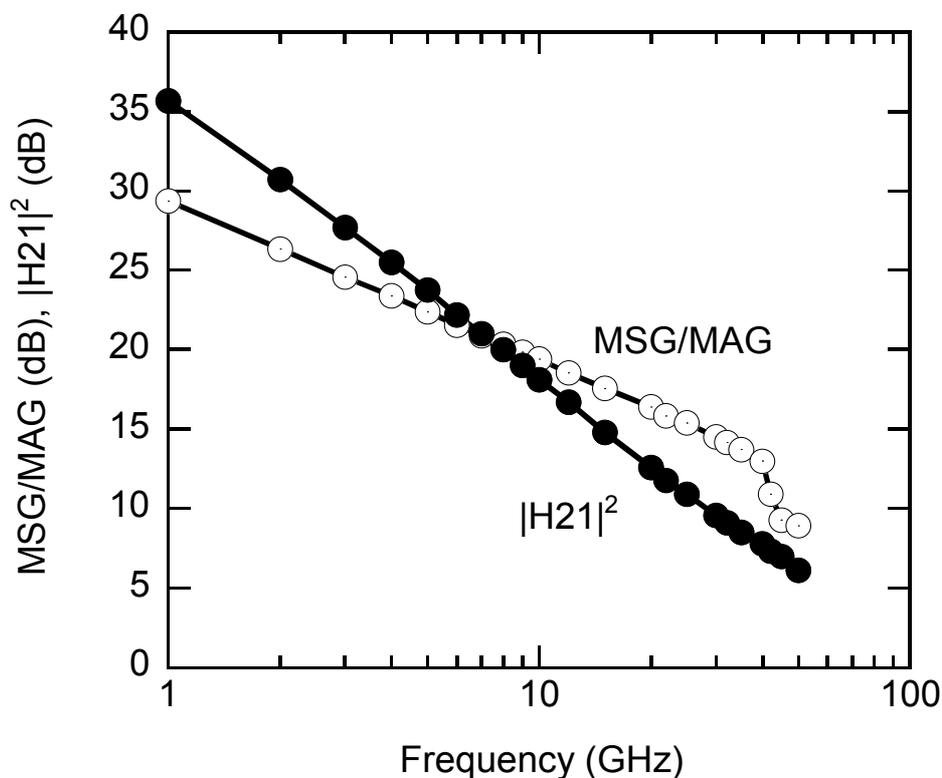


図 2-7. InGaP/GaAs HBT の MAG、MSG、 $|H_{21}|^2$.

2-4. 発振器の高出力化

発振器の低位相雑音化には、2-2 節に述べたように、発振の非線形性を抑制し、基本波の電力を大きくすることが有効である。本節では、まず、発振器の高出力化のための設計手法を述べる。発振器の高出力化をおこなうために、発振器の増幅器部分の電圧増幅率が最大となるような負荷インピーダンスを求め、増幅器の出力側で最大出力が得られるように設計する。最大出力を取り出すときは、発振器の発振状態を考え、大信号動作におけるトランジスタのパラメータを調べる必要がある。このとき、最大出力を得ることができるよう、入力ポートの電圧 V_1 と出力ポートの電圧 V_2 の比である電圧増幅率 A ($A = A_r + jA_i$) を求める[10]。ここで、入力ポートの電圧 V_1 を固定し、トランジスタの電圧増幅率 A が、負の値で最小値をとるときに、出力側では最大電力を取り出すことができる[6]。大信号時の発振器の構成モデルを図 2-8 に示す。

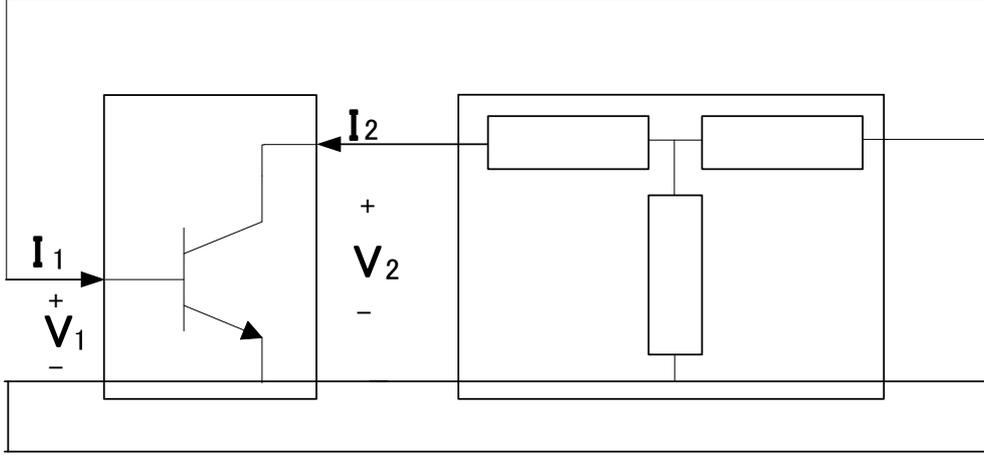


図 2-8. 大信号時の発振器構成モデル.

ここで、大信号時のトランジスタのY'パラメータを

$$Y' = G' + jB' = \begin{pmatrix} y'_{11} & y'_{12} \\ y'_{21} & y'_{22} \end{pmatrix} = \begin{pmatrix} g'_{11} + jb'_{11} & g'_{12} + jb'_{12} \\ g'_{21} + jb'_{21} & g'_{22} + jb'_{22} \end{pmatrix} \quad (2-19)$$

とすると、増幅器の入出力の電流は、式 (2-20) によって示される。

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} y'_{11} & y'_{12} \\ y'_{21} & y'_{22} \end{pmatrix} \begin{pmatrix} V_1 \\ V_2 \end{pmatrix} \quad (2-20)$$

トランジスタに印加される電力の総和は、式 (2-19)、式 (2-20) より、

$$\begin{aligned} P &= \frac{1}{2} \text{Re}(V_1^* I_1 + V_2^* I_2) \\ &= \frac{1}{2} \text{Re}[|V_1|^2 \{y'_{11} + Ay'_{12} + A^* y'_{21} + |A|^2 y'_{22}\}] \\ &= \frac{1}{2} |V_1|^2 \{g'_{11} + g'_{12} A_r - b'_{12} A_i + A_r g'_{12} + A_i b'_{12} + |A|^2 g'_{22}\} \\ &= \frac{1}{2} |V_1|^2 [g'_{11} + g'_{22} \{(A_r + \frac{g'_{12} + g'_{21}}{2g'_{22}})^2 - \frac{(g'_{12} + g'_{21})^2}{4g'_{22}}\} + g'_{22} \{(A_i - \frac{b'_{12} - b'_{21}}{2g'_{22}})^2 - \frac{(b'_{12} - b'_{21})^2}{4g'_{22}}\}] \end{aligned} \quad (2-21)$$

となり、電力が最大となるときの電圧振幅率の実部、虚部は式 (2-22) によって示される。

$$A_r = -\frac{g'_{12} + g'_{21}}{2g'_{22}}, A_i = \frac{b'_{12} - b'_{21}}{2g'_{22}} \quad (2-22)$$

従って、電力が最大となるときの電圧振幅率 A_{opt} は、式 (2-23) によって示される。

$$\begin{aligned} A_{opt} &= A_r + jA_i \\ &= -\frac{g'_{12} + g'_{21}}{2g'_{22}} + j\frac{b'_{12} - b'_{21}}{2g'_{22}} \\ &= -\frac{y'_{21} + y'_{12}^*}{2g'_{22}} \end{aligned} \quad (2-23)$$

式 (2-23) から分かるように、最大出力が得られるときの電圧振幅率は、トランジスタのパラメータに依存することが分かる。

次に、発振器の回路素子を決定する。発振器の帰還構成には、直列帰還構成と並列帰還構成がある。このうち、直列帰還構成は、並列帰還構成と比較して、カップリングの影響を受けにくいという特性がある。そこで、本設計では、直列帰還構成を採用した。また、直列帰還構成では、一般的に負荷 R_L の接続によって、図 2-9 のように、回路の構造を三種類に分けることが出来る[25]。

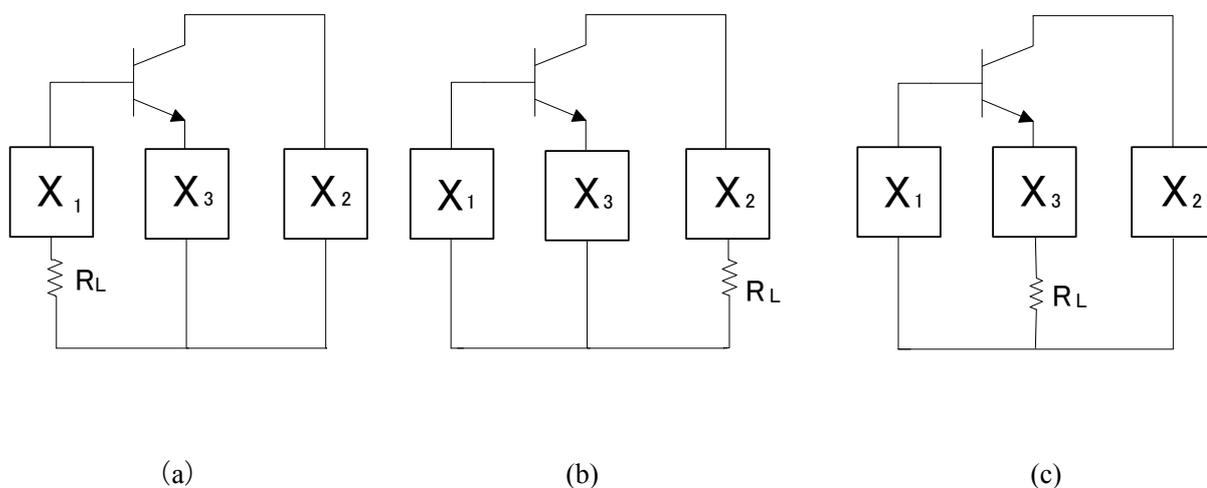


図 2-9. 発振器の回路構造 (負荷インピーダンスの選択) .

このうち、エミッタ接地構造は、中入力、中出力インピーダンスで、電力利得が大きいという特徴がある。出力インピーダンスが帰還の中に存在せず、ベースからエミッタへの利得が大きいことから、本設計では、図 2-9(b)に示すようなエミッタ接地構造直列帰還構成を採用した。

次に、それぞれの素子値 ($X_1 \sim X_3$) の導出をおこなう[25]。図 2-10 は、増幅器部分 (トランジスタ) を、大信号 S パラメータより、Z パラメータを用いてモデル化したものである。

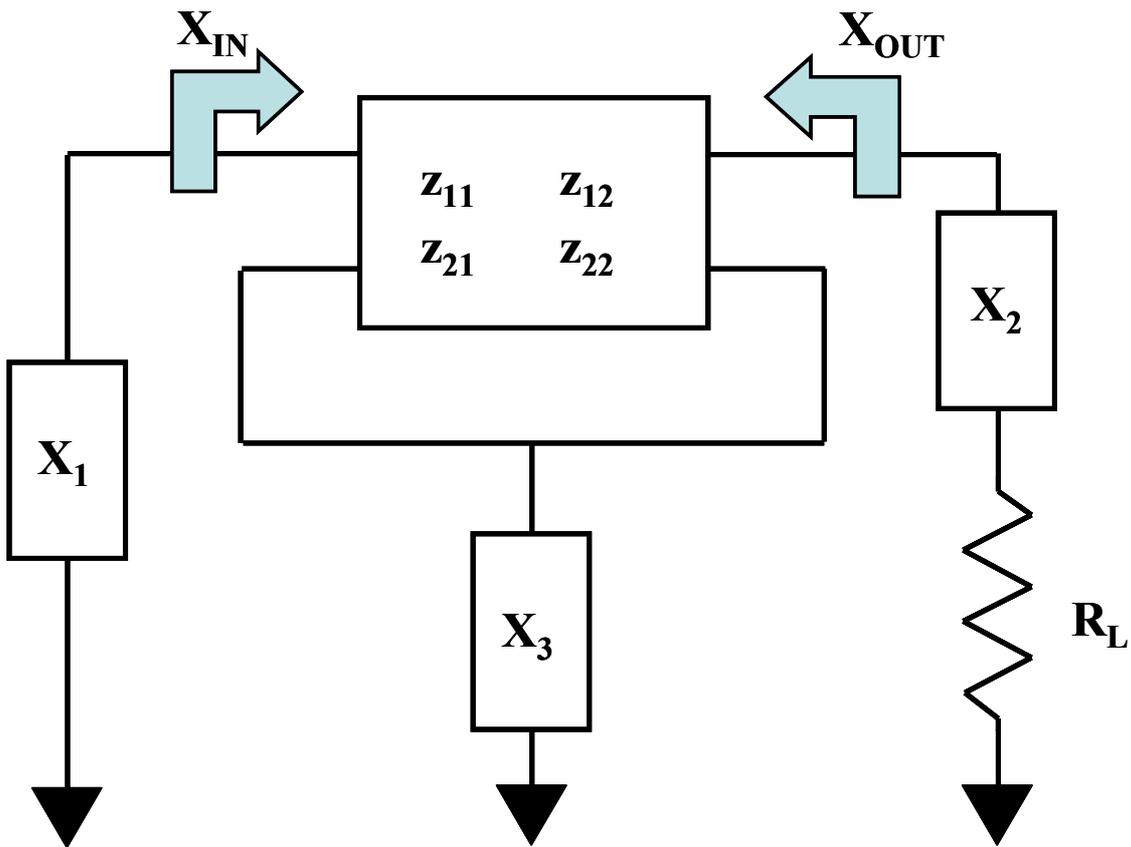


図 2-10. 発振器の回路構造.

まず、式 (2-23) より導出した増幅器の電圧振幅率を電流振幅率に変換し、帰還回路のそれぞれの素子値を求め、高出力発振器の設計を行なう。

電圧振幅率 A は、入出力の電流 (I_1, I_2)、Z パラメータより式 (2-24) によって示される。

$$A = \frac{V_2}{V_1} = \frac{z_{21} + z_{22} \frac{I_2}{I_1}}{z_{11} + z_{12} \frac{I_2}{I_1}} \quad (2-24)$$

ここで、電流増幅率 $F = I_2 / I_1$ とすると、電流増幅率は式 (2-25) によって示される。

$$F = \frac{z_{21} - Az_{11}}{Az_{12} - z_{22}} \quad (2-25)$$

次に、増幅器の入出力インピーダンスの条件より、負荷の素子値を求めていく。ここで、 $z_{mn} = r_{mn} + jx_{mn}$ ($m; n=1, 2$) とすると、負荷 X_1 端子側から見たインピーダンスは、式 (2-26) によって示される。

$$\begin{aligned} Z_{in} &= z_{11} + Fz_{12} \\ &= x_{11} + F_r x_{12} - F_i r_{12} + F_i X_3 + j(r_{11} - X_3 + A_r r_{12} - A_r X_3 + F_i x_{12}) \end{aligned} \quad (2-26)$$

従って、コレクタ端子側が無損失回路に接続されているとして、 $\text{Re}(X_{in}) = 0$ より、

$$X_3 = \frac{-(r_{11} + F_r r_{12} - F_i x_{12})}{F_i} \quad (2-27)$$

また、 $\text{Im}(X_{in}) = -X_1$ より、

$$X_1 = -(x_{11} + F_r x_{12} + F_i r_{12}) - (x_{11} + F_r x_{12} - F_i x_{12}) \left(\frac{1 + F_r}{F_i} \right) \quad (2-28)$$

さらに、負荷 X_2 端子側から見たインピーダンスは、式 (2-29) によって示される。

$$\begin{aligned} X_{out} &= z_{22} + \frac{z_{21}}{F} \\ &= r_{22} + \frac{F_r r_{21} + F_i x_{21} - F_i X_3}{F_r^2 + F_i^2} + j \left(x_{22} - X_3 + \frac{F_r x_{21} - A_r X_3 - F_i r_{21}}{F_r^2 + F_i^2} \right) \end{aligned} \quad (2-29)$$

エミッタ側は無損失回路、純抵抗が接続されているとして、 $\text{Re}(X_{out}) = R_L$ より、

$$R_L = \left| \frac{1}{F} \right|^2 \{ -r_{11} - F_r r_{12} + F_i x_{12} + F_r (-x_{21} - F_r r_{22} + F_i r_{22}) + A_i (-x_{21} - A_i r_{22} - A_r x_{22}) \} \quad (2-30)$$

また、 $\text{Im}(X_{out}) = -X_2$ より、

$$X_2 = \left| \frac{1}{F} \right|^2 \{ F_r(-x_{21} - F_r x_{22} - F_i r_{22}) - F_i(-r_{21} - F_r r_{22} + F_i x_{22}) + \left| \frac{1}{F} \right|^2 \frac{|F|^2 + F_r}{F_i} (-r_{11} - F_r r_{12} + F_i x_{12}) \} \quad (2-31)$$

となる。最大出力が得られるときの電圧振幅率を用いて概算した無損失負荷 X_1 - X_3 、純抵抗 R_L の値を用いることで、発振器の高出力化が期待される。

本設計では、 X_1 - X_3 にマイクロストリップ線路を採用する。マイクロ波帯では、波長が長いので、共振回路のインダクタには、スパイラルインダクタが多く用いられる。しかし、ミリ波帯では、スパイラルインダクタの Q 値は低いため、本設計では、低位相雑音化のために、マイクロストリップ線路を用いる。負荷 jX に対応する、特性インピーダンス Z_0 のショートスタブの長さ L は、式 (2-32) によって示される[25]。

$$jX = jZ_0 \tan \beta L \quad (2-32)$$

ここで、 β は位相定数 $\beta = 2\pi/\lambda$ (λ は波長) を示す。従って、周波数が高くなれば、スタブ長が短くなり、回路の小型化が可能となる。

2-5. 発振器の低位相雑音化

発振器の等価回路図を図 2-11 に示す。バイアス条件は、電源電圧 (V_{CC}) = 3.0 V、消費電流 (I_{CC}) = 20 mA である。発振器の増幅器には、ダーリントン接続増幅器を適用した。ダーリントン接続は、トランジスタを 2 個使用して、等価的に大きな電流増幅率をもつトランジスタを実現するものである[27]。ダーリントン接続トランジスタの総合の電流増幅率は、それぞれのトランジスタの電流増幅率の積となり、大きな値となる。従って、発振器は、大きな出力が得られると期待される。

まず、高出力発振器の設計手法について概説する。前節で述べたように、大きな発振出力を得るために、電圧振幅率が最大となるような増幅器の負荷インピーダンスを概算し、スタブに変換し、発振器の設計を行なう。まず、図 2-10 に示す無損失負荷 X_1 、 X_3 を変換し、それぞれ長さが L_1 、 L_3 のスタブを得る。次に、出力側の X_2 、 R_L を、出力が 50 Ω になるよ

うに整合を行ない、それぞれ長さが L_2 、 L_4 のスタブを得る。

次に、低位相雑音発振器の設計手法について詳述する。2-2 章に述べたように、発振器の低位相雑音化には、半導体素子の非線形性を抑制し、基本波の電力を大きくすることが有効である。前節では、発振器の高出力化について述べたが、高出力化によって高調波が大きくなり、出力波形に歪みが生じる。これは、増幅器に用いられているトランジスタへの入力電力が大きくなるにつれて、トランジスタの出力電力が飽和するからである。トランジスタの出力電力が飽和すると、トランジスタの非線形性が大きくなり、フリッカ雑音のアップコンバージョンが大きくなり、位相雑音が劣化する。従って、発振器の高出力化と低位相雑音化は、トレードオフの関係にある。そこで、本設計では、発振器の低位相雑音化のために、発振器の増幅器が、基本波の出力を大きく保ったまま、高調波を抑制し、線形動作をするように、新しい設計手法の提案をおこなう。このとき、

- (i) 発振条件を満足し、所望発振周波数において発振すること、
- (ii) 基本波の発振出力をできるだけ大きく保つこと
- (iii) 増幅器を A 級動作させ、トランジスタを線形動作させること、

に注意を払わなければならない。増幅器の線形性は、増幅器の負荷線の状態によって判別できる。負荷線の傾きが“たっている”状態、また、負荷線に大きな歪みが生じていれば、電圧波形にクリッピングが生じ、増幅器の線形性が劣化する。一方、負荷線が A 級動作となれば、電圧波形には歪みが起きず、増幅器は線形動作する。負荷インピーダンスによって、負荷線の状態が決まるため、低位相雑音発振器では、 L_1 、 L_2 、 L_3 、 L_4 のそれぞれのスタブの長さを、負荷線を見ながら調整し、発振器の高出力化と線形化を同時に図った。

表 2.3 および表 2.4 に、高出力発振器と低位相雑音発振器の L_1 、 L_2 、 L_3 、 L_4 のそれぞれのスタブ長、発振出力、発振周波数のシミュレーション結果を示す。また、図 2-12 に発振スペクトラム、図 2-13 に電圧波形、図 2-14 に負荷曲線のシミュレーション結果をそれぞれ示す。それぞれ、実線がスタブ長の調整を行なった低位相雑音発振器であり、点線が高出力発振器である。なお、負荷線に用いた I-V 特性は、HBT1 のベース・エミッタ間電圧を可変した時の I_{CC} 対 V_{CC} の特性である。まず、高出力発振器の負荷線のシミュレーション結果より、高出力発振器は、増幅器の電圧振幅率が最大となるように負荷インピーダンスに設計したため、電圧振幅が大きくなっていることが確認できる。また、電圧波形のシミュレーション結果より、波形にクリッピングが発生し、発振スペクトラムのシミュレーション結果より、高調波が大きくなっていることが確認できる。そこで、低位相雑音発振器では、負荷線の状態が A 級動作に近くなるように、また、発振出力ができるだけ大きくなるように負荷線の状態をみながら L_1 、 L_2 、 L_3 、 L_4 のそれぞれのスタブ長を設計した。その結果、負荷線のシミュレーション結果より、低位相雑音発振器の負荷線は、高出力発振器の負荷線に比べ、A 級動作に近くなっていることが確認された。また、電圧波形のシミュレーション結果より、低位相雑音発振器の波形は、歪みが小さく、正弦波に近い波形となっていることが確認された。また、発振スペクトラムのシミュレーション結果より、低位相雑音発

振器の2次から4次の高調波は、高出力発振器に比べて、15 dB 以上抑制されていることが確認された。一方、基本周波数における発振出力は、低位相雑音発振器と高出力発振器の差は、2 dB であることが確認された。従って、低位相雑音発振器は、高出力発振器と比較して、ほとんど基本波の発振出力を劣化させることなく、消費電力が同等で、増幅器の高調波が抑制され、線形動作が期待されるため、発振器の低位相雑音化が期待される。

発振器の位相雑音のシミュレーションに関しては、トランジスタのフリッカ雑音を示すパラメータがなかったため、シミュレーションを行なうことができなかった。しかし、負荷線の状態を見ながらスタブ長を調整することによって、発振波形の線形性を判断することができるため、発振器の低位相雑音化を実現すると考えることができる。

表 2-3. 高出力発振器、低位相雑音発振器のスタブ長.

	高出力発振器	低位相雑音発振器
L ₁ (μm)	1880	500
L ₂ (μm)	440	400
L ₃ (μm)	1620	1200
L ₄ (μm)	1700	1600

表 2-4. 高出力発振器、低位相雑音発振器の発振出力及び周波数シミュレーション結果.

	高出力発振器	低位相雑音発振器
発振周波数 (GHz)	29.8	29.5
発振出力 (dBm)	10.8	8.9

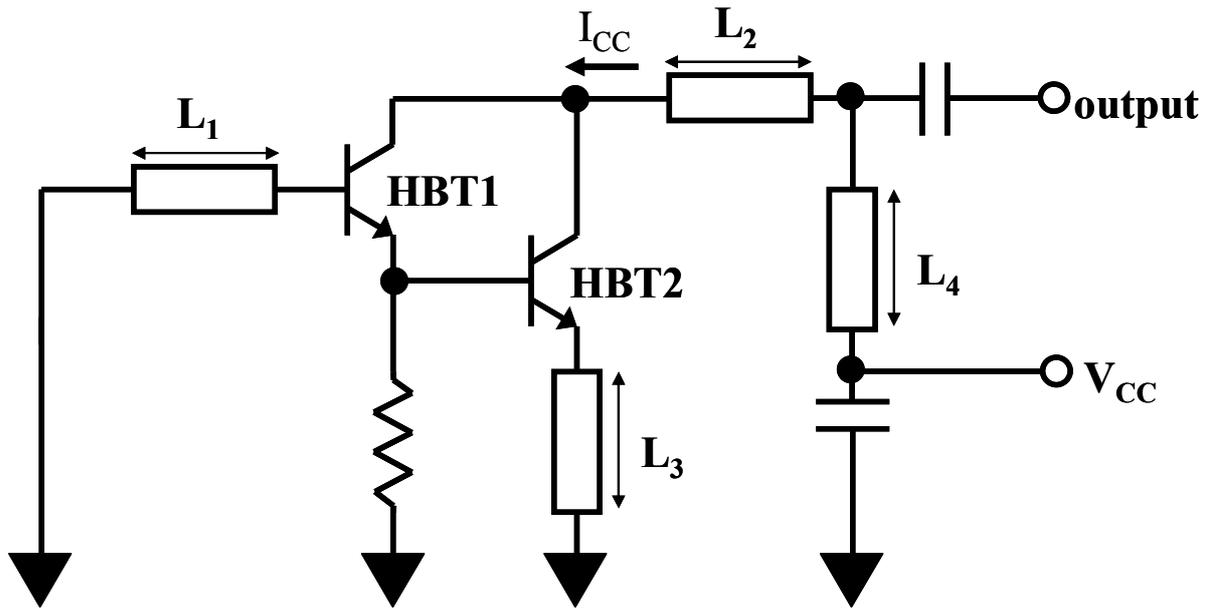


図 2-11. 発振器等価回路.

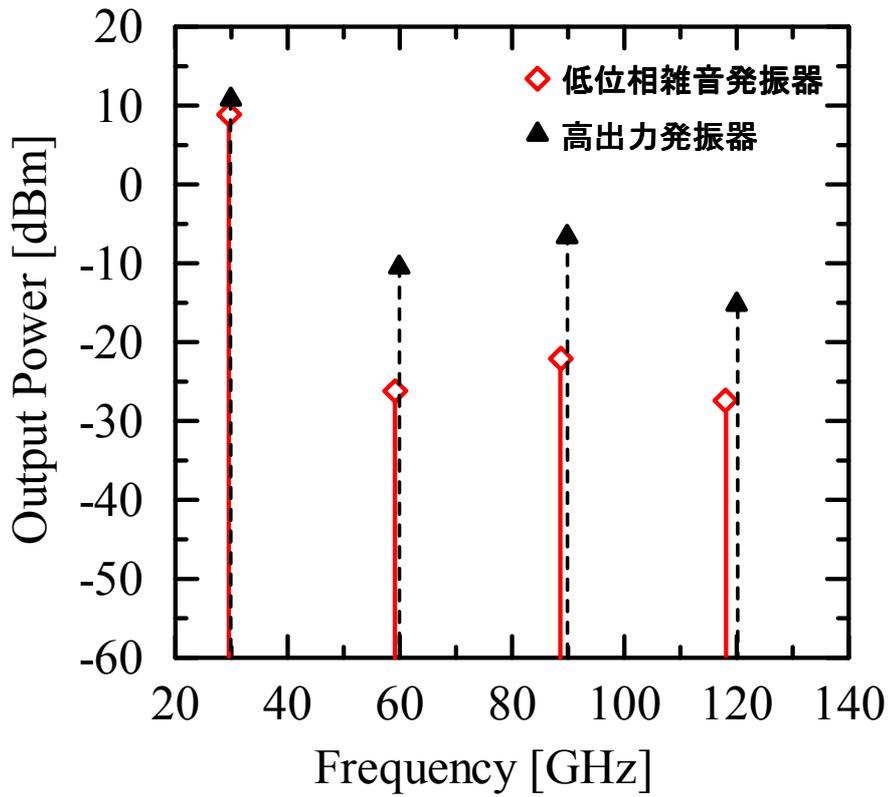


図 2-12. 発振スペクトラムシミュレーション結果
(実線：低位相雑音発振器、点線：高出力発振器)。

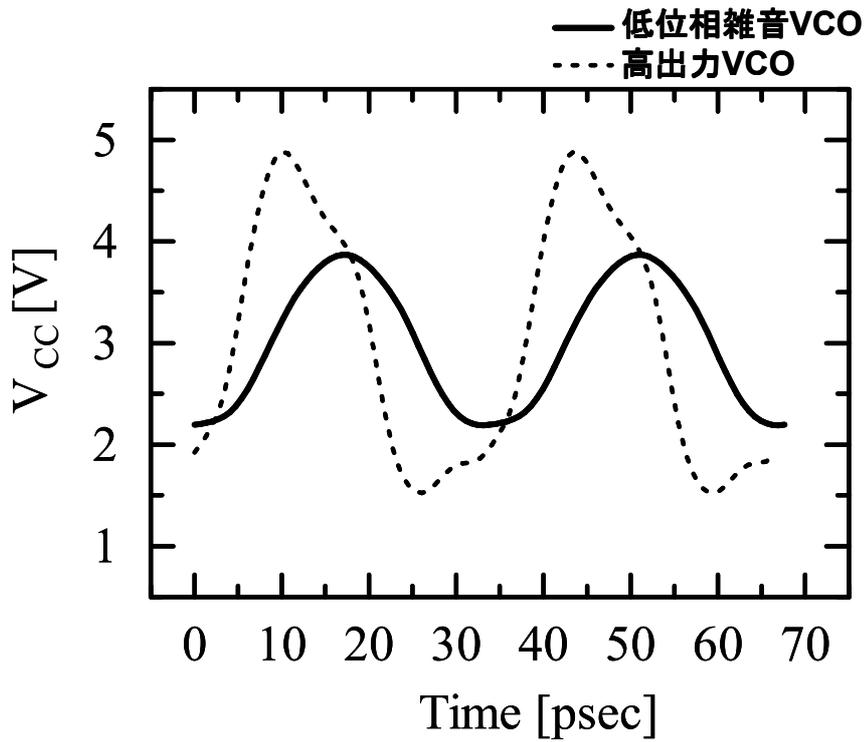


図 2-13. 電圧波形シミュレーション結果
(実線：低位相雑音発振器、点線：高出力発振器)。

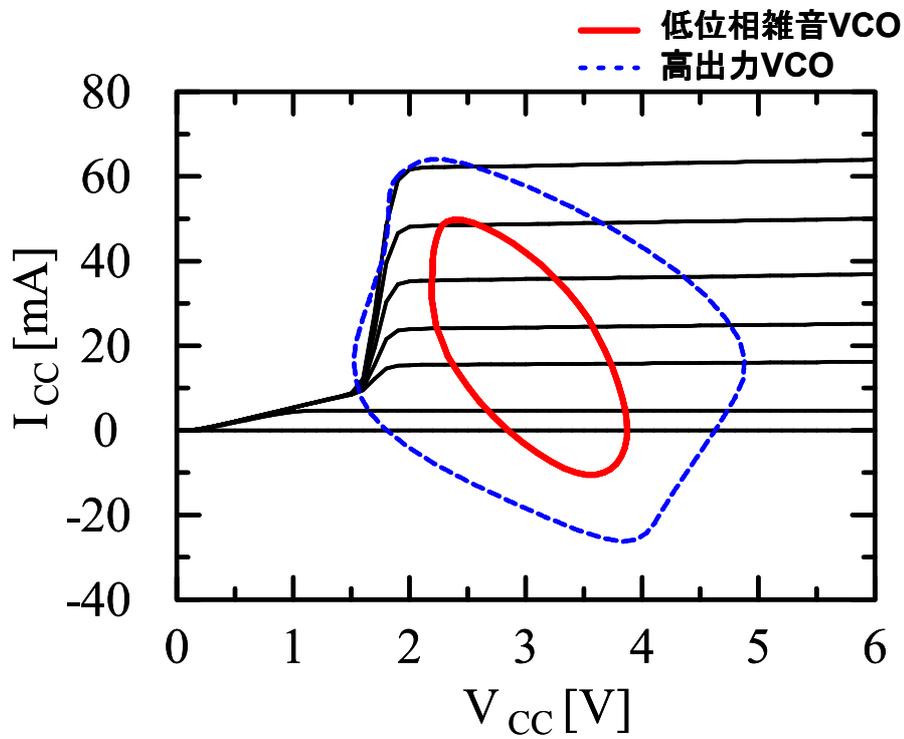


図 2-14. 負荷線シミュレーション結果
(実線：低位相雑音発振器、点線：高出力発振器、HBT2 の負荷線)。

2-6. 低位相雑音 VCO IC の設計

低位相雑音 VCO IC の等価回路図を図 2-15 に示す。VCO のバラクタ素子は、トランジスタのベース・エミッタ間容量を用いて構成した。ダイオード接続されたトランジスタの容量は、 V_1 と制御電圧 (V_{CTRL}) の間の電位差によって決まる。さらに全体の容量は、バラクタの容量と直列に接続されたキャパシタとの容量によって決まる。

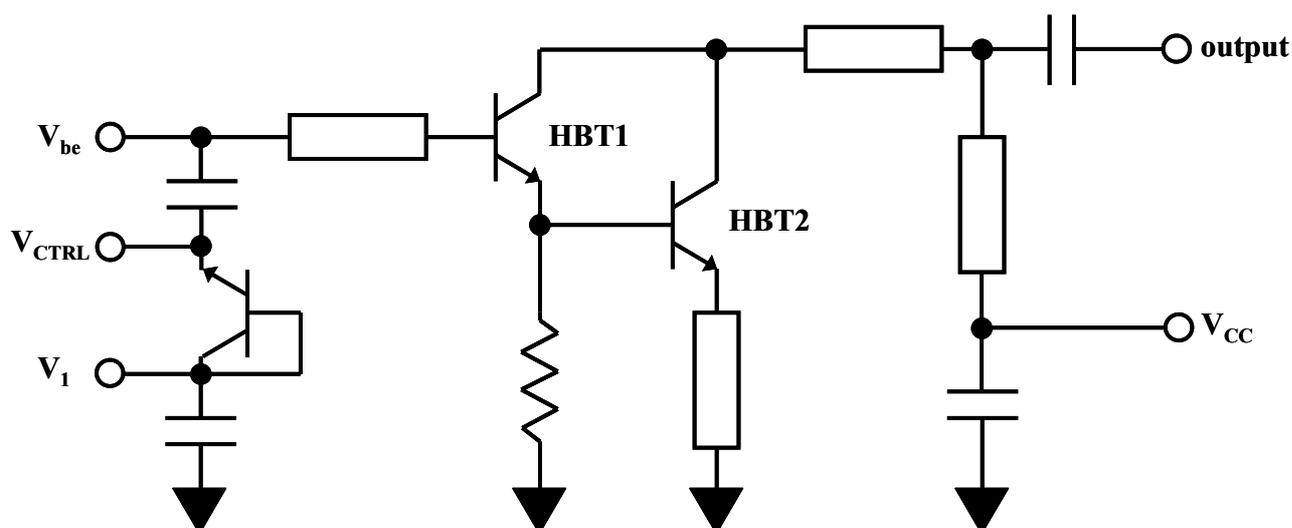


図 2-15. 低位相雑音 VCO IC の等価回路図.

バラクタ制御電圧特性のシミュレーション結果を図 2-16 に示す。バイアス条件は、 $V_{CC}=3.0\text{ V}$ 、 $I_{CC}=20\text{ mA}$ である。 V_{CTRL} が、 0 V から 1.5 V ($V_1=1.0\text{ V}$) において、発振周波数は、 27.1 GHz から 29.5 GHz が期待される。設計目標であるミリ波帯の発振と、中心周波数 28.3 GHz 、チューニングレンジ 8.6% が期待される。

次に、ダーリントン接続された初段のトランジスタ (HBT1) のベース電圧 (V_{be}) を可変したときの I_{CC} に対する発振周波数、発振出力のシミュレーション結果を図 2-17 に示す。ベース電圧に対する周波数変化は、できるだけ抑制されることが望ましい。ベース電圧を 2.4 V から 2.7 V まで可変したところ、発振周波数の変化が、 29.49 GHz から 29.83 GHz 、また、発振出力の変化が 3.27 dBm から 8.86 dBm であることがシミュレーション結果から得られた。発振周波数の変化は、約 300 MHz であり、良好な特性がシミュレータによって確認された。

表 2-5 にシミュレータによって得られた結果をまとめる。本設計の低位相雑音 VCO IC は、ミリ波帯 27.1 GHz から 29.5 GHz でチューニングレンジ 8.6% を持ち、ベース電圧に対する周波数変動が小さいことが、シミュレーション結果から期待される。

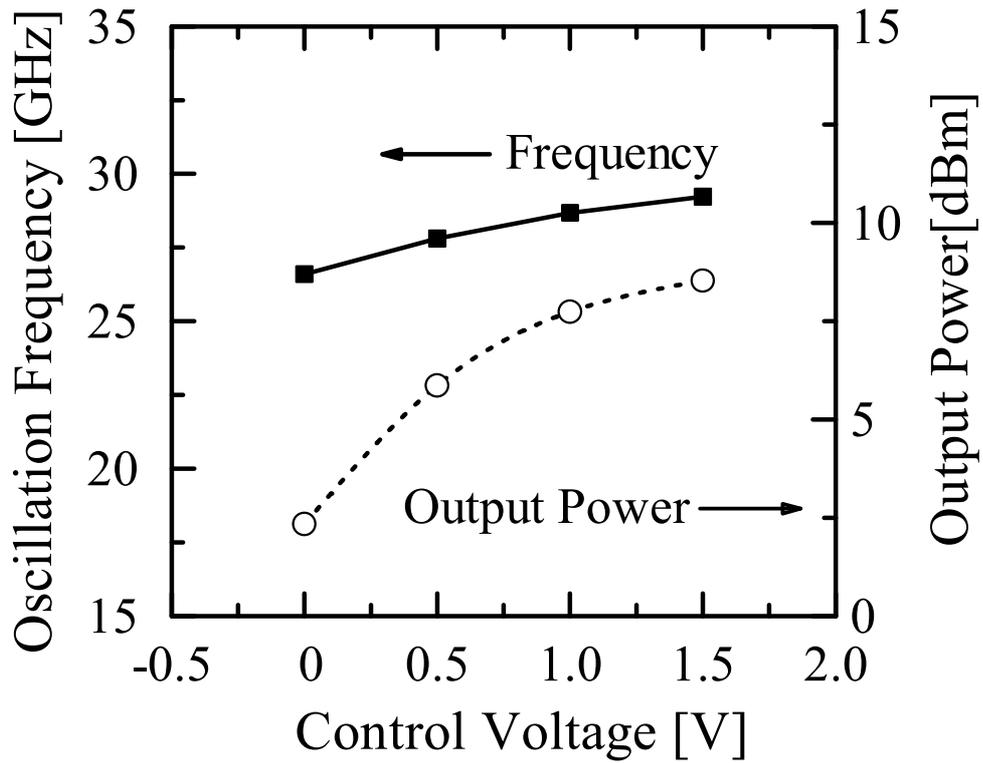


図 2-16. 制御電圧に対する発振周波数、発振出力シミュレーション結果.

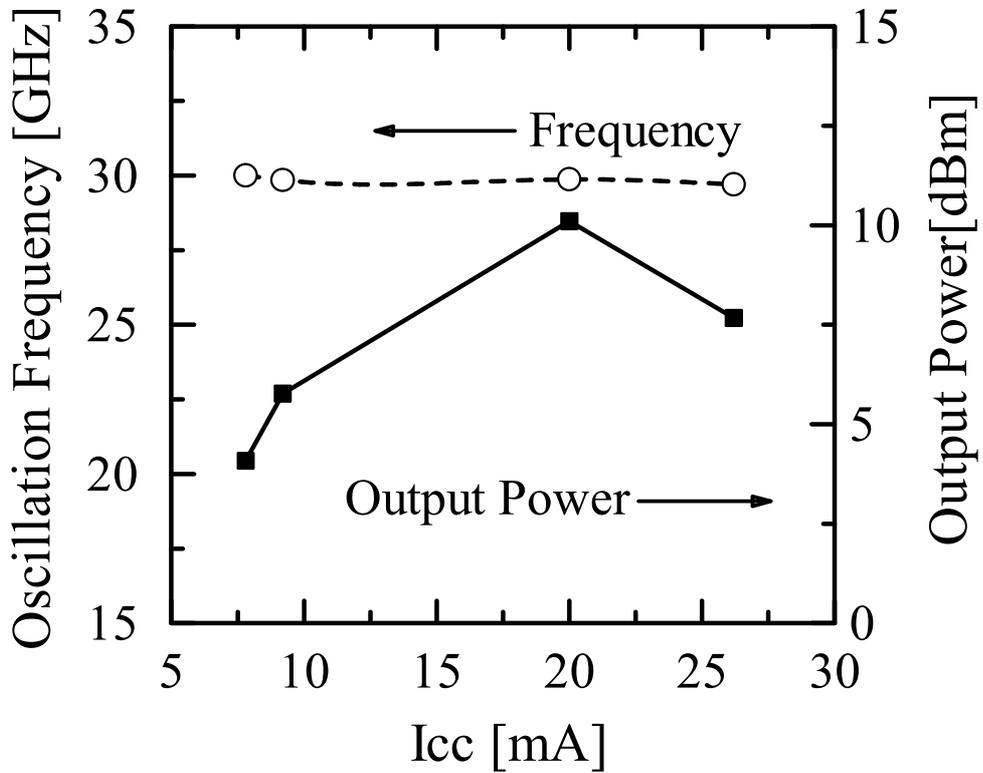


図 2-17. 電流変動に対する発振周波数、発振出力シミュレーション結果.

表 2-5. シミュレーション結果まとめ.

発振周波数 [GHz]	27.1– 29.5
中心周波数 [GHz]	28.3
チューニングレンジ	2.45 GHz (8.6 %)
消費電力 [mW]	3.0 V、20 mA
ベース電圧に対する周波数変動	Δ 300 MHz (1.1 %)

2-7. チップ試作結果と考察

試作した低位相雑音 VCO IC のチップ写真を図 2-18 に示す[28,29]。チップサイズは、0.86 mm×1.34 mm である。また、チップの厚さは、80 μ m である。チップは、シャープ（株）デバイス技術研究所にレイアウト、および、試作して頂いた。測定は、オンウエハプローブを用いて行なった。

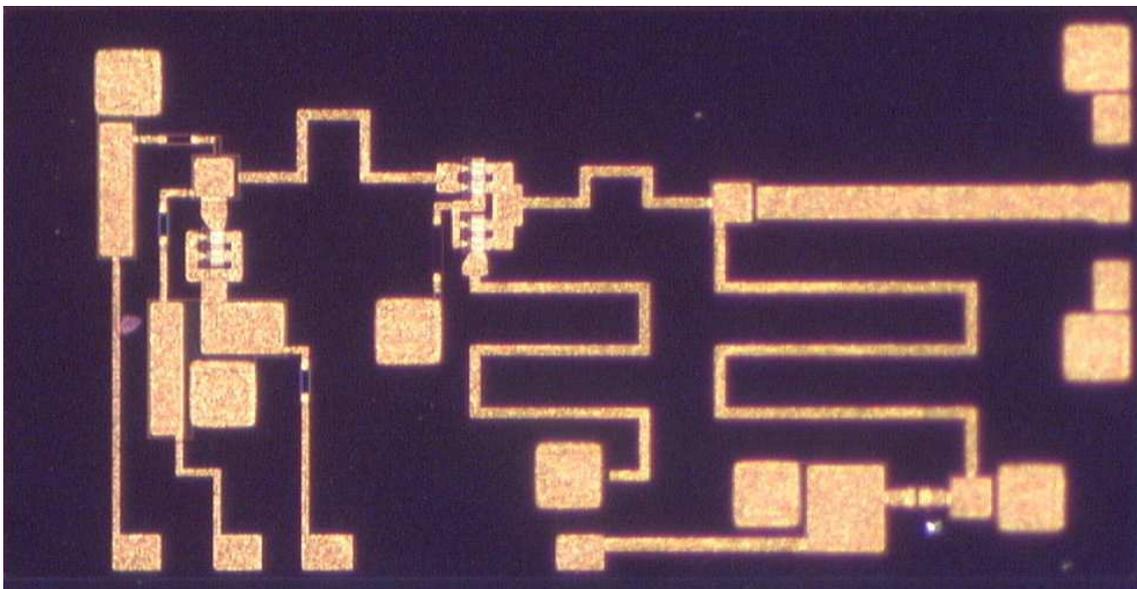


図 2-18. 低位相雑音 VCO IC チップ写真.

2-7-1. 測定結果と考察

スペクトラムアナライザにてバラクタ制御電圧特性の測定をおこなった。図 2-19 に発振周波数、発振出力のバラクタ制御電圧に対する特性を示す。バイアス条件は、 $V_{cc}=3.0\text{ V}$ 、 $I_{cc}=20\text{ mA}$ である。発振周波数は、29.2 GHz から 29.5 GHz であり、チューニングレンジは、1.0%が得られた。また、発振出力は、2 dBm から 4.5 dBm が得られた。

しかしながら、チューニングレンジの測定結果は、シミュレーション結果と比較して小さくなった。以下に、バラクタ制御電圧特性の測定結果とシミュレーション結果との差の考察を述べる。発振周波数が多いところでは、測定結果とシミュレーション結果との差が小さく、発振周波数が小さいところでは、測定結果とシミュレーション結果との差が大きくなっている。測定結果とシミュレーション結果との差は、キャパシタや、配線間のカップリングによる寄生容量、バラクタの容量モデルパラメータが考えられる。バラクタの容量が小さい制御電圧で測定結果とシミュレーション結果との差が小さくなっている点から、寄生容量の影響は小さいと考えられる。従って、測定結果とシミュレーション結果との差は、バラクタのモデルパラメータに起因していると考えられる。

次に、スペクトラムアナライザにて発振スペクトラムの測定をおこなった。発振スペクトラムの測定結果を図 2-20 に示す。バイアス条件は、 $V_{cc}=3.0\text{ V}$ 、 $I_{cc}=20\text{ mA}$ であり、 V_{CTRL} はオープンである。発振周波数は 28.9 GHz、発振出力は 4.3 dBm が得られた。

また、同じバイアス条件のもと、位相雑音アナライザにて位相雑音の測定をおこなった。図 2-21 に発振周波数 28.9 GHz における位相雑音のオフセット周波数に対する特性を示す。100 kHz オフセット周波数における位相雑音は、-80 dBc/Hz が得られ、1 MHz オフセット周波数における位相雑音は、-118 dBc/Hz が得られた。また、VCO の性能指数である FOM は、1 MHz オフセットにおいて、-190 が得られた。これらの 1 MHz オフセットにおける位相雑音、FOM は、2-7-2 節で他論文と比較をするが、良好な結果が得られている。

さらに、HBT1 のベース・エミッタ間電圧を可変し、 I_{cc} に対する発振周波数、発振出力の測定をおこなった。図 2-22 に電流変動に対する発振周波数、発振出力特性の測定結果を示す。発振周波数は、28.6 GHz から 29.1 GHz まで変化し、変化幅は 500 MHz が得られた。ベース・エミッタ間電圧の変動に対して、発振周波数は、ほぼ一定の特性が得られている。

表 2-6 に測定結果をまとめる。シミュレーション結果よりも、チューニングレンジが小さくなったが、ミリ波帯において、4 dBm という大きな出力と、1 MHz オフセットにおいて -118 dBc/Hz という低位相雑音特性を実現した。従って、本設計手法の有効性が確認された。

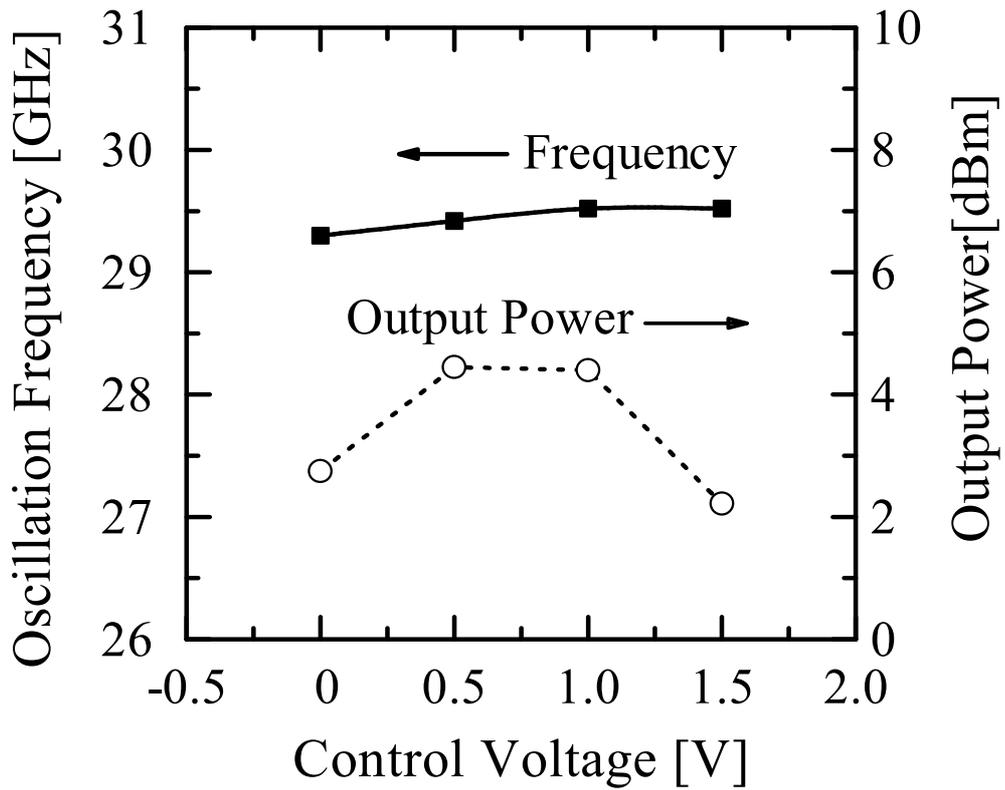


図 2-19. 制御電圧に対する発振周波数、発振出力測定結果.

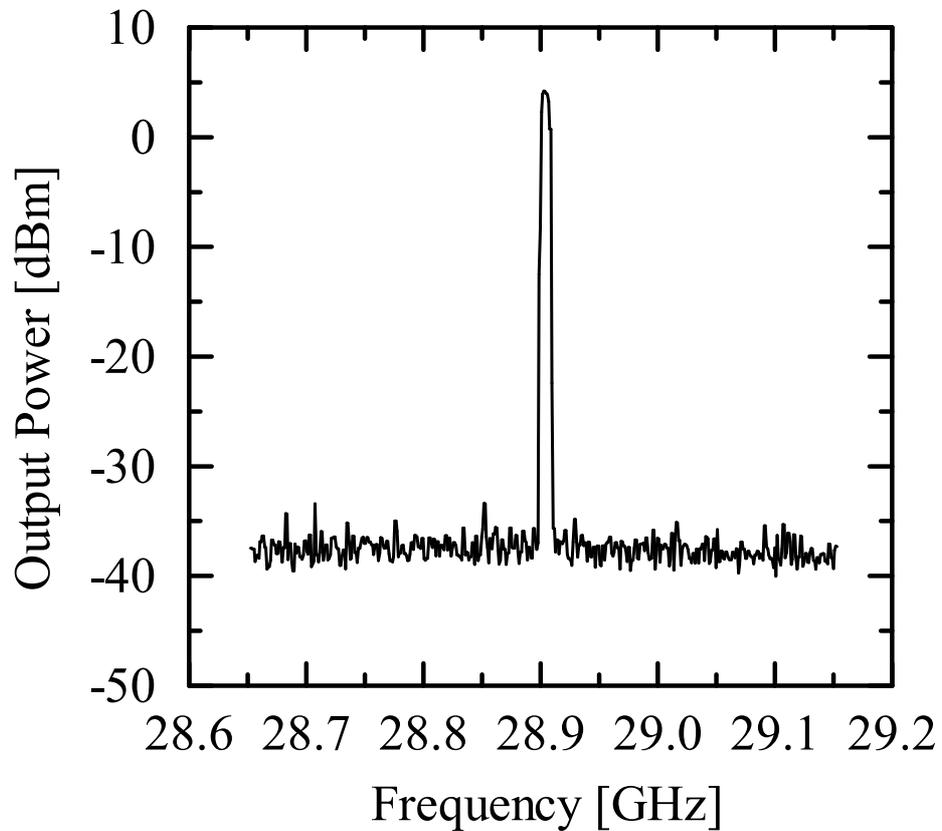


図 2-20. 発振スペクトラム測定結果.

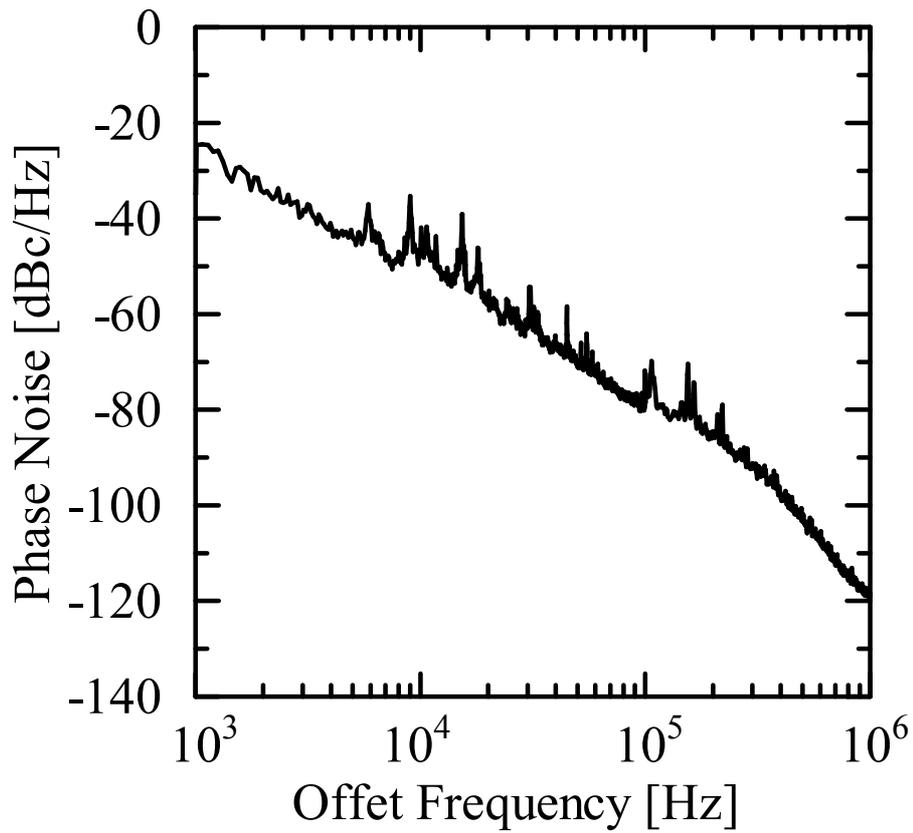


図 2-21. 位相雑音特性測定結果.

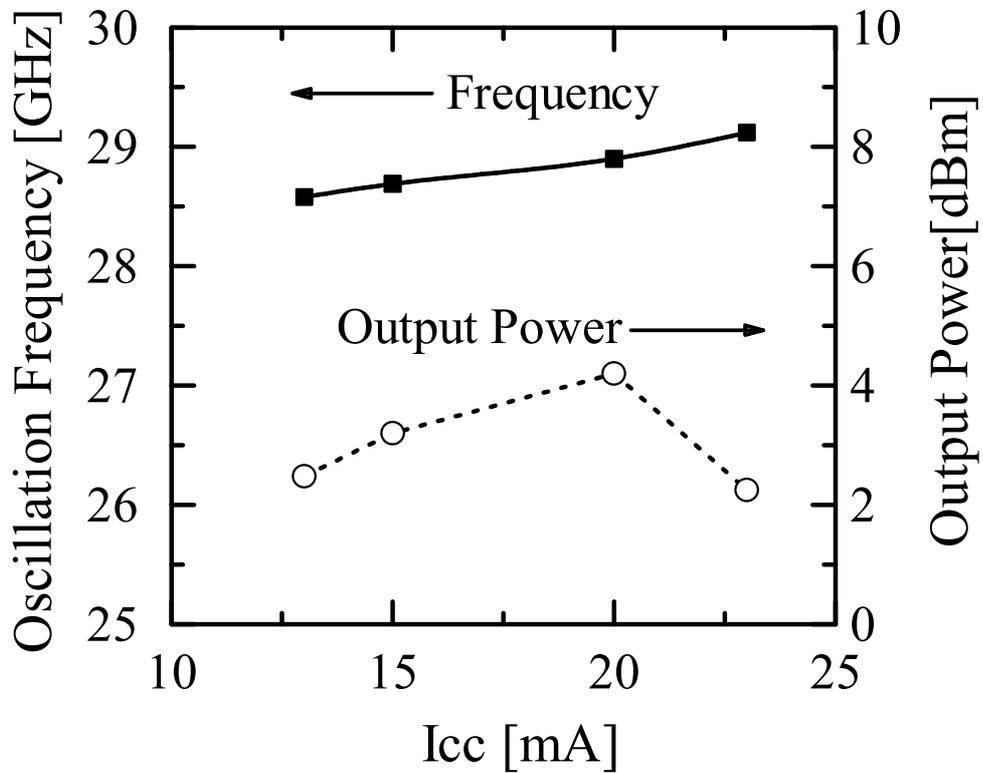


図 2-22. 電流変動に対する発振周波数、発振出力測定結果.

表 2-6. 測定結果まとめ.

発振周波数	29.2 – 29.5 GHz
チューニングレンジ	300 MHz (1.0 %)
消費電力	3.0 V, 20 mA
ベース電圧に対する周波数変動	Δ 500 MHz (1.7 %)
位相雑音@ 1 MHz offset	-118 dBc/Hz
FOM @ 1 MHz offset	-190

2-7-2. 性能比較

本設計では、評価結果より、優れた低位相雑音特性を確認し、本設計手法の有効性が実証された。低位相雑音 VCO IC と、他論文を比較し、定量的に本設計手法が優れていることを実証する。

FOM を用いて、低位相雑音 VCO IC の測定結果と、他論文 VCO との比較を行なった。比較を行なった VCO は、発振周波数 10 GHz から 60 GHz である。デバイスには、それぞれ InGaP/GaAs HBT、GaAs pHEMT、SiGe HBT、CMOS が用いられている。比較の結果を表 2-7 にまとめ、FOM に対する発振周波数の特性を図 2-23 に示す[8,9,15,18,19,29-36]。本設計の VCO IC の FOM は、InGaP/GaAs HBT を用いている VCO と比較すると 10 以上も小さく、また、同じ発振周波数帯域において、他のデバイス技術を用いた VCO と比較しても、FOM が優れていることがわかる。従って、本設計の VCO IC が優れた低位相雑音特性、FOM 特性を有することが定量的に実証された。

表 2-7. 低位相雑音 VCO IC と他論文 VCO との比較.

プロセス	発振周波数 [GHz]	位相雑音@ 1MHz offset [dBc/Hz]	FOM	Ref.
InGaP/GaAs HBT	29	-118	-190	This Work
InGaP/GaAs HBT	12	-108	-178	[8]
InGaP/GaAs HBT	34	-108	-172	[21]
InGaP/GaAs HBT	38	-108	-179	[18]
InGaP/GaAs HBT	59	-93	-166	[9]
GaAs pHEMT	12	-116	-186	[19]
GaAs pHEMT	55	-88	-166	[29]
GaAs pHEMT	39	-84	-168	[30]
SiGe HBT	33	-99	-184	[31]
SiGe HBT	21	-100	-176	[32]
SiGe HBT	42	-110	-178	[33]
CMOS	18	-117	-168	[34]
CMOS	14	-110	-186	[35]
CMOS	12	-122	-193	[36]

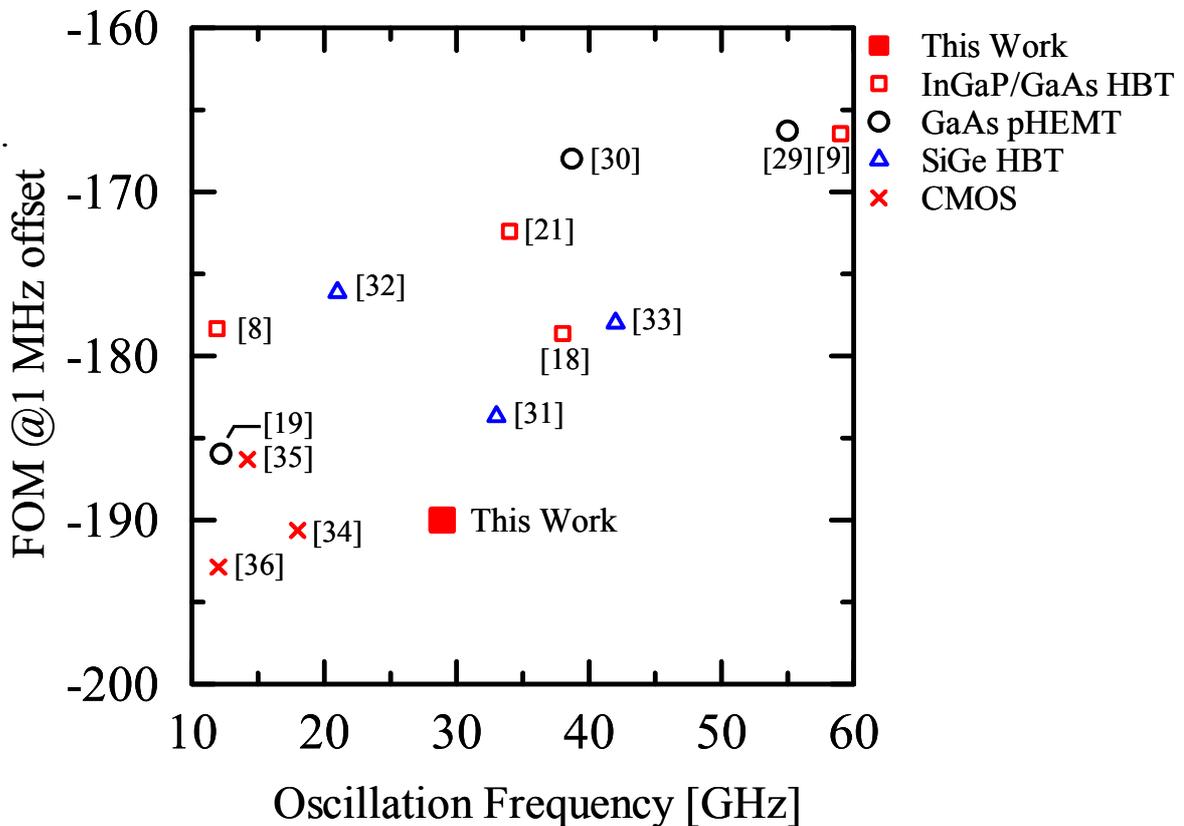


図 2-23. 低位相雑音 VCO IC と他論文 VCO との比較.

2-8. 結言

本章では、InGaP/GaAs HBT プロセスを用いて、増幅器の高出力化、線形化による発振器の低位相雑音化を目的とした新しい設計手法の考案を行ない、低位相雑音 VCO IC を試作し、評価し、発振器の低位相雑音化を実現した。

本設計では、まず、位相雑音の解析を行い、発振器の低位相雑音化に必要な解を示した。次に、InGaP/GaAs HBT について述べ、位相雑音に大きな影響を与えるフリッカ雑音が FET などと比較して小さい点から、発振器の低位相雑音化に対し、有効であることを示した。また、ベース層の高濃度化、薄膜化が可能な点から、ベース抵抗の低減、ベース層の電子走行時間の短縮による応答速度が大きく、優れた高周波特性を有することを示した。発振器の低位相雑音化には、発振器の高出力化が有効である。本設計では、増幅器の電圧振幅率が最大となるように負荷インピーダンスを設計することによって、発振器の高出力化のための回路設計手法の提案を行った。しかし、発振器の高出力化によって、出力に歪が生じ、出力の非線形性によって、発振器の位相雑音が劣化する。そこで、高出力化と低位相雑音化を同時に実現するための新しい設計手法の提案を行なった。本設計では、共振器のスタブ長を調整することによって、トランジスタの負荷線を調整し、出力をできるだけ大きく保ったまま、増幅器を A 級動作するように増幅器の負荷インピーダンスを設計した。そのため、本設計手法を用いた発振器は、基本波の高出力化と高調波の抑制を同時に実現し、半導体素子の非線形性の抑制が期待される。そこで、InGaP/GaAs HBT を用いて低位相雑音 VCO IC を設計し、試作し、評価した。その結果、チップ面積 $0.86 \text{ mm} \times 1.34 \text{ mm}$ 、電源電圧 3.0 V 、消費電流 20 mA 時において、発振周波数 28.7 GHz 、発振出力 5.1 dBm 、 1 MHz オフセット周波数における位相雑音 -118 dBc/Hz 、FOM が -190 という、ミリ波帯において優れた低位相雑音特性を有する VCO IC を実現した。低位相雑音 VCO IC と他論文を比較したところ、同じデバイス技術を用いた VCO よりも FOM が 10 以上も小さく、本設計手法を用いた VCO IC が優れていることが確認され、本設計手法の有効性が実証された。

第2章 参考文献

- [1] K. Araki, "Millimeter-wave activities in Japan," *IEEE International Microwave Symposium*, pp. 133-136, June 2007.
- [2] T. Yoneyama, "Millimeter wave research activities in Japan," *Topical Symposium on Millimeter Wave*, pp. 3-6, July 1997.
- [3] 黒田忠広 監訳, "RF マイクロエレクトロニクス," 丸善出版, ISBN: 4-621-07005-3, 2002.
- [4] 伊東, "低雑音 PLL シンセサイザの基礎," *Microwave Workshop Digest*, pp. 489- 498, Nov. 2004.
- [5] 高山洋一郎, "マイクロ波トランジスタ," 社団法人電子情報通信学会, ISBN: 4-88552-157-2, 1998.
- [6] 藤島, "ミリ波 CMOS," 2007 年電子情報通信学会総合大会, CT-1-3, pp. SS-14-SS-15, March 2007.
- [7] 原, 吉川, 高橋, 牧山, "化合物半導体デバイス (InP 系、GaN 系)," 2007 年電子情報通信学会総合大会, CT-1-4, pp. SS-160-SS-17, March 2007.
- [8] J. Kim, S. Jeon, S. Moon, N. Kim, and H. Shin, "A 12-GHz InGaP/GaAs HBT VCO based on push-push output extraction from capacitive common-node," *IEEE MTT-Symposium Technical Digest*, pp. 1705-1708, June 2005.
- [9] J. Kim, D. Beak, S. Jeon, J. Park, and S. Hong, "A 60 GHz InGaP/GaAs HBT push-push MMIC VCO." *IEEE MTT-Symposium Technical Digest*, vol. 2, pp. 885- 888, June 2003.
- [10] B. Kormanyos and G. Rebeiz, "Oscillator design for maximum added power," *IEEE Microwave and Guided. Wave Letter*, vol. 4, no. 6, pp. 205-207, Dec. 1994.
- [11] T. Lee and A. Hajimili, "Oscillation phase noise: A tutorial," *IEEE Journal of Solid-States Circuits*, vol. 35, no. 3, pp. 326-336, March 2000.
- [12] D. Leeson, "A simple model of feedback oscillation noise spectrum," *Proceedings of IEEE*, pp. 329-330, 1966.
- [13] J. Craninckx, and M. Steyaert, "Low-noise voltage-controlled oscillators using enhanced LC-tanks," *IEEE Transactions on Circuits and Systems*, vol. 42, no. 12, pp. 794-804, Dec. 1995.
- [14] A. Hajimili and T. Lee, "A general theory of phase noise in electrical oscillators," *IEEE Journal of Solid-State Circuits*, pp. 48-51, June 1998.
- [15] R. Plana and L. Escotte, "Noise properties of micro-wave heterojunction bipolar transistors," *Proceedings of International Conference on Microelectronics*, vol. 1, pp. 215- 222, Sept. 1997.
- [16] J. Chroboczek and G. Ghibaudo, "Has SiGe lowered the noise in transistors?," *IEE Proceedings of Circuits Devices Systems*, vol. 149, no. 1, pp. 51-58, Feb. 2002.

- [17] K. Choumei, T. Matsuzuka, S. Suzuki, S. Hamano, K. Kawakami, N. Ogawa, M. Komaru, and Y. Matsuda, "A Ka-Band direct oscillation HBT VCO MMIC with a parallel negative resistor circuit," *IEEE MTT-Symposium Technical Digest*, pp. 1175-1178, June 2005.
- [18] V. Manan and S. Long, "A low power and low noise p-HEMT Ku band VCO," *IEEE Microwave and Wireless Components Letters*, vol. 16, issue 3, pp. 131-133, March 2006.
- [19] F. Lenk, M. Schott, M. Schott, J. Hilsenbeck, J. Wurfl and W. Heinrich, "Low phase-noise monolithic GaInP/GaAs-HBT VCO for 77 GHz," *IEEE Microwave Symposium Digest*, vol. 2, pp. 903-906, June 2003.
- [20] 半導体技術ロードマップ専門委員会 (STRJ) ホームページ. Available: <http://strj-jeita.elisasp.net/strj/>
- [21] M. Heins, T. Juneja, D. Caruth, M. Hattendorf, and M. Feng, "Impact of 1/f noise in Ka-band InGaP/GaAs HBT Technology Sources," *IEEE MTT-Symposium Technical Digest*, vol. 2, pp. 1209-1212, June 2000.
- [22] 作野, 藤田, 川村, 長谷部, 高, 白川, 高橋, 劉, 山下, 岡, "ワイヤレス LAN 用アプリケーション," シャープ技報, 第 87 号, no. 19, pp. 22-27, 2003 年 12 月
- [23] H. Kroemer, "Heterostructure bipolar transistors and integrated circuits," *Proceedings of IEEE*, vol. 70, no. 1, pp. 13-25, Jan. 1982.
- [24] K. Kotzebue and W. Parrish, "The use of large signal S-parameters in microwave oscillator design," *Proceedings of IEEE International Symposium on Circuits and Systems*, Nov. 1975.
- [25] 菊池憲太郎, "理工学講座 伝送線路," 東京電機大学出版局, ISBN: 4-501-32060-5, 2000.
- [26] 藤井信生, "アナログ電子回路," 株式会社 昭晃堂, ISBN:4-7856-1140-5, 1995.
- [27] S. Kurachi and T. Yoshimasu, "Low phase noise, InGaP/GaAs HBT VCO MMIC for Millimeter-Wave applications," *IEICE Transactions on Electronics*, vol. E88-C, no. 4, pp. 1194-1198, April 2005.
- [28] 倉智, 島松, 山内, 吉増, "InGaP/GaAs HBT を用いたミリ波低位相雑音 VCO MMIC," *電子情報通信学会ソサイエティ大会*, C-2-25, p. 41, Sept. 2004
- [29] H. Siweris, H. Tischer, and E. Rohrer, "Monolithic 38 GHz coplanar feedback VCOs fabricated by a production pHEMT technology," *IEEE MTT-Symposium Technical Digest*, vol. 3, pp. 1555-1558, May 2001.
- [30] J. Jeong, and Y. Kwon, "A fully integrated V-band PLL MMIC using 0.15- μ m GaAs pHEMT technology," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 5, pp. 1042-1050, May 2006.
- [31] H. Zirarh, T. Masuda, R. Kozhuharow, and M. Ferndahl, "Development of 60-GHz front-end circuits for a high-data-rate communication system," *IEEE Journal of Solid-State Circuits*, vol. 39, no. 10, pp. 1640-1649, Oct. 2004.

- [32] Y. Chen, W. Kuo, Z. Jin, J. Lee, Y. Tretiakov, J. Cressler, J. Laskar, and G. Freeman, "A low-power Ka-band voltage-controlled oscillator implemented in 200-GHz SiGe HBT technology," *IEEE Transactions on Microwave Theory and Techniques*, vol. 53, no. 5, pp. 1672-1681, May 2005.
- [33] H. Li and H. Rein, "Millimeter-wave VCOs with wide tuning range and low phase noise fully integrated in a SiGe bipolar production technology," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 2, pp. 184-191, Feb. 2003.
- [34] C. Wei, H. Chiu, and W. Feng, "A 12-GHz low phase noise VCO by employing CMOS field-plate transistors," *IEEE Radio Frequency Integrated Circuits Symposium*, vol. 54, issue 10, pp. 2803-2807, Oct. 2007
- [35] W. Andress and D. Ham, "Standing wave oscillators utilizing wave-adaptive tapered transmission lines," *IEEE Journal of Solid-State Circuits*, vol. 40, no. 3, pp. 638-651, March 2005.
- [36] G. Grand, "A 18 GHz rotary traveling wave VCO in CMOS with I/Q outputs," *Proceedings of European Solid-State Circuits Conference*, pp. 489-492, Sept. 2003.

第3章

SiGe BiCMOS を用いた VCO IC の高線形化

3-1. 序言

第2章では、InGaP/GaAs HBT を用いて、低位相雑音化のための新しい設計手法の提案を行ない、VCO IC を試作し、評価し、設計手法の有効性を確認した。本章では、0.35 μm SiGe BiCMOS プロセスを用い、VCO ゲインである K_{vco} の線形化を目的とした 5 GHz 帯無線 LAN 用高線形 VCO IC を提案する。

発振器の位相雑音は、 K_{vco} が大きいほど劣化し、また、PLL 回路のセトリングタイムは、 K_{vco} が小さいほど長くなる。従って、VCO の位相雑音と PLL 回路のセトリングタイムは、トレードオフの関係にある。PLL 回路のセトリングタイムは、データのスループットに大きく影響するため、高速化が求められている[1]。また、QPSK や QAM などの位相変調をおこなう無線通信方式では、VCO の低位相雑音化が求められている。そのため、無線部に用いられる VCO の K_{vco} の非線形性は、大きな課題となっている。そこで、 K_{vco} の線形化を図る試みが報告されている[2-4]。このうち、[2,3]では、MOS バラクタを並列に接続し、それぞれのバラクタに対し異なる制御電圧を印加する手法によって、バラクタの $C(V)$ 特性を線形化し、 K_{vco} の線形化を図っている。これらの回路の K_{vco} の線形性を、 K_{vco} の制御電圧の可変範囲における最大値、最小値の比率 ($K_{\text{vco ratio}} = K_{\text{vco max}} / K_{\text{vco min}}$) で定義すると、[2]では 2.5、[4]では、1.5 が得られている。しかし、これらの回路では、発振周波数を制御するための電圧端子が複数必要であり、PLL 回路がより複雑になるため、セトリングタイムが長くなる[1]。

本設計では、制御電圧端子が単一で、 K_{vco} の線形化を目的とした、新しい共振回路の提案を行なう。まず、 K_{vco} の非線形性による PLL への影響を概説する。次に、従来型バラクタ回路について概説し、従来型バラクタ回路の問題点を明らかにする。そこで、 K_{vco} の線形化のために提案した新しい共振回路について詳述する。さらに、新しく提案した共振回

路を VCO IC に適用し、0.35 μm SiGe BiCMOS を用いて設計し、試作し、評価を行ない、本設計手法の有効性を実証する。なお、本設計の VCO IC は、(株) 東芝 セミコンダクター社に試作して頂いた。

3-2. K_{vco} の非線形性

本節では、 K_{vco} の非線形性による PLL 回路への影響を概説する。図 3-1 にチャージポンプ型 PLL 回路のブロックダイアグラムを示す[5]。チャージポンプ型 PLL 回路は、位相比較器、チャージポンプ、ループフィルタ、分周器、VCO から構成される。ここで、 K_{PD} は、位相比較器の利得であり、 K_{VCO} は、VCO の利得である。また、 I_{p} は、チャージポンプを流れる電流であり、 N は分周器の分周数である。

まず、PLL 回路の動作を概説する。VCO から出力された信号は、分周器において N 分周され、 ϕ_{out} をもつ位相として、位相比較器に入力される。もう一方の位相比較器の入力端子には、基準発振器 ($x(t)$) の信号 (位相 ϕ_{in}) を入力して、 ϕ_{in} と ϕ_{out} の位相比較をおこなう。位相比較器の出力信号は、チャージポンプを制御し、ループフィルタを通して、VCO の発振周波数を制御する電圧 (V_{ctrl}) に変換される。このように、基準発振器の位相に VCO の位相を同期させることで周波数の制御をおこなう。

次に、 K_{vco} の非線形性による PLL 回路への影響について述べる。 K_{vco} の制御電圧に対する非線形性は、PLL の特性に大きく影響を与える。理想的な VCO は周期的な信号を発生し、その周波数は V_{ctrl} に対して線形な特性を持つと仮定すると、VCO の発振周波数 (ω_{osc}) は、式 (3-1) によって示される。

$$\omega_{\text{osc}} = \omega_{\text{FR}} + K_{\text{VCO}} V_{\text{ctrl}} \quad (3-1)$$

ここで、 ω_{FR} はフリーラン周波数であり、これは、VCO の制御電圧の範囲内で ω_{osc} が、0 Hz ではないことを示している。VCO の利得である K_{vco} は、発振周波数を制御電圧で微分したものであり、式 (3-2) によって示される。

$$K_{\text{vco}} = \frac{\partial \omega_{\text{osc}}}{\partial V_{\text{ctrl}}} \quad (3-2)$$

従って、制御電圧に対して発振周波数が線形な特性を持てば、 K_{vco} は一定となる。LC-VCO では、発振周波数を同調するためのバラクタ素子として、pn 接合ダイオード、MOS バラクタが用いられる。これらの素子の印加電圧に対する容量変化の特性 (C(V)特性) は、制御電圧に対し非線形であり、発振周波数の制御電圧特性も非線形となる。従って、 K_{vco} も制御電圧に対して一定とならず、非線形性を持つ。この発振周波数特性の非線形性は、VCO が PLL と接続されて動作するとき、発振器全体の特性に影響が生じる。

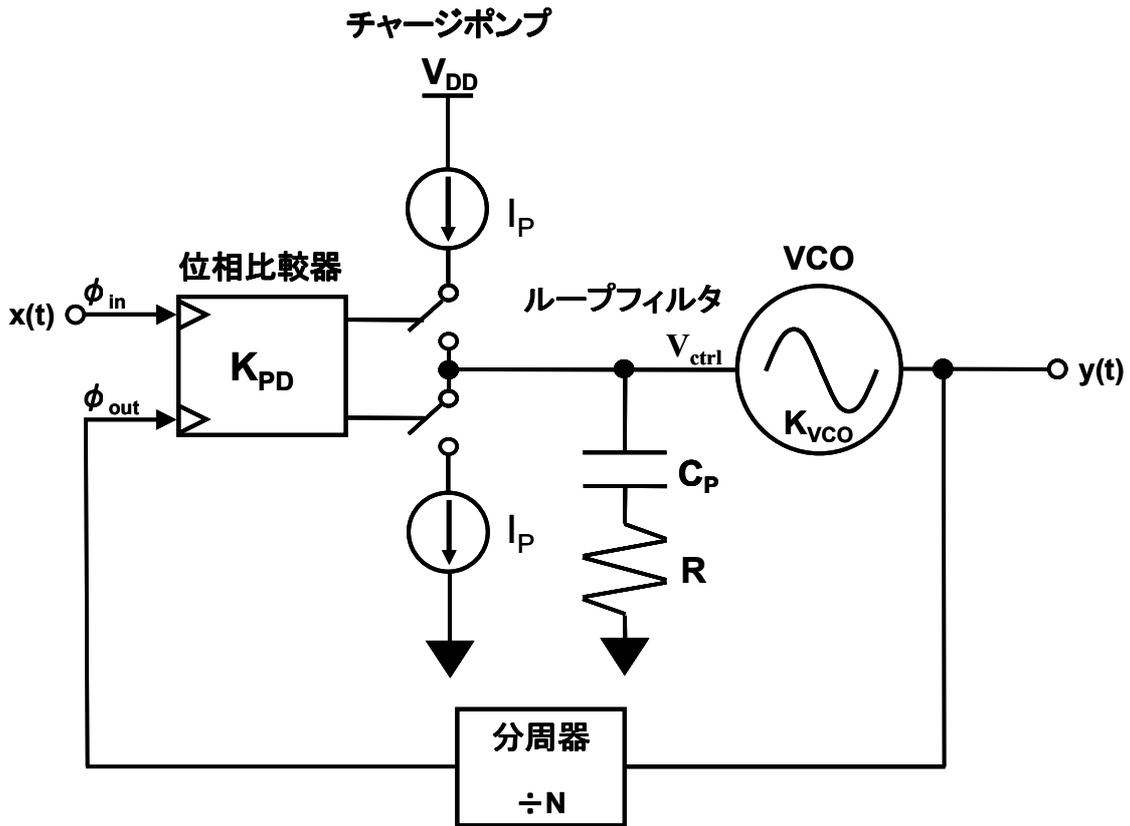


図 3-1. チャージポンプ型 PLL 回路.

図 3-1 に示したチャージポンプ型 PLL 回路の開ループ伝達関数を式 (3-3) に示す。

$$H(s) = \frac{\phi_{out}(s)}{\phi_{in}(s)} = \frac{\frac{K_{PD}}{s} \frac{K_{VCO}}{s}}{1 + \frac{K_{PD}}{s} \frac{K_{VCO}}{s}} = \frac{K_{PD} K_{VCO}}{s^2 + K_{PD} K_{VCO}} \quad (3-3)$$

次に、閉ループ伝達関数を求める。ループでの位相誤差 $\phi_{in} - \phi_{out} = \phi_e$ であるとする、容量素子を充電する電流の平均値は、 $\frac{I_p \phi_e}{2\pi}$ で与えられる。従って、VCO の制御電圧変化の平均値は、式 (3-4) によって与えられる。

$$V_{ctrl}(s) = \frac{I_p \phi_e}{2\pi} \left(R + \frac{1}{C_p s} \right) \quad (3-4)$$

ここで、 $\phi_{out} = \frac{V_{ctrl}(s) \cdot K_{VCO}}{s}$ とすると、式 (3-3) は式 (3-5) のように書き換えられる。

$$H(s) = \frac{\frac{I_p}{2\pi C_p} (RC_p s + 1) K_{VCO}}{s^2 + \frac{I_p}{2\pi} K_{VCO} R s + \frac{I_p}{2\pi C_p} K_{VCO}} \quad (3-5)$$

式 (3-5) より、回路はゼロ点として、 $\omega_z = \frac{-1}{RC_p}$ を持つ。また、閉ループ伝達関数よりもめられる固有角振動数 ω_n 、減衰係数であるダンピングファクタ ξ はそれぞれ式 (3-6)、(3-7) によって与えられる。

$$\omega_n = \sqrt{\frac{I_p}{2\pi C_p} K_{VCO}} \quad (3-6)$$

$$\xi = \frac{R}{2} \sqrt{\frac{I_p C_p}{2\pi} K_{VCO}} \quad (3-7)$$

式 (3-7) より、減衰係数は I_p と K_{VCO} の積で求まることが分かる。また、セトリングタイム (t_{settle}) は、式 (3-8) によって示される[6]。

$$t_{settle} = \frac{1}{\xi \omega_{BW}} \cdot \ln \left(\frac{\Delta \phi_e}{\Delta \phi_{err}} \right) \quad (3-8)$$

ここで、 ω_{BW} は、閉ループの帯域幅であり、 ϕ_{err} は、PLL 回路がロック状態になるときの ϕ_{in} と ϕ_{out} の位相差である。式 (3-8) より、セトリングタイムは、ダンピングクファクタに反比例するため、 I_p と、 K_{vco} の積に反比例する。従って、セトリングタイムは、 K_{vco} が小さいほど長くなる。また、発振器の位相雑音は、前章で示した位相雑音式に、 K_{vco} に寄与する項を加えると、式 (3-9) によって示される[7]。

$$L(\Delta\omega) = \left(\frac{\omega_{osc}}{2Q}\right)^2 \frac{\alpha}{\Delta\omega^3} + \left(\frac{\omega_{osc}}{2Q}\right)^2 \frac{1}{\Delta\omega^2} \left\{ \frac{2FkT}{P_{sig}} + \frac{1}{2} \left(\frac{K_{vco} V_m}{2} \right)^2 \right\} + \frac{2FkT}{P_{sig}} \quad (3-9)$$

ここで、 V_m は、低周波雑音である。式 (3-9) より、-6 dB/oct の傾きを持つ位相雑音は、 K_{vco} が大きくなるほど劣化する。従って、チャージポンプ型 PLL のセトリングタイムと VCO の位相雑音はトレードオフの関係が存在するため、 K_{vco} の非線形性によって以下の課題が生じる[5]。

- (1) チャージポンプ型の PLL をループゲインが最大 (K_{vco} 最大) で I_p を最適化した場合、 K_{vco} が小さい発振周波数 (制御電圧) で、ループゲインが小さくなり、PLL のセトリングタイムが長くなる。
- (2) ループゲインが最小 (K_{vco} 最小) で I_p を最適化すると、 K_{vco} の大きい発振周波数 (制御電圧) で、ループゲインが大きくなり、位相雑音が劣化する。

そこで、PLL 回路のループゲインを一定にするため、 I_p を可変する手法が提案されているが [8]、PLL 回路が複雑になる。そのため、これらの課題を解決するためには、 K_{vco} の線形化が求められる。

本章では、5 GHz 帯無線 LAN 規格 IEEE802.11a 用 VCO IC の K_{vco} の線形化のための新しい回路設計手法の提案を行なう。日本国内において、5 GHz 帯で無線 LAN に開放されている周波数帯域は、5150 MHz から 5350 MHz、5470 MHz から 5725 MHz であり [9]、無線 LAN 規格 IEEE802.11a は、変調方式に 64-QAM を用いた OFDM を用いる。第2章で述べたように、位相変調を用いる方式では、発振器の位相雑音によってビットエラーレートが劣化する。[10]によると、最大伝送速度 54 Mbps において、IEEE802.11a の規格を満たすためには、1MHz オフセットにおける位相雑音は、-107 dBc/Hz 以下が要求される。無線 LAN 規格 IEEE802.11a の中から、VCO にとって重要な項目を表 3-1 にまとめる。

表 3-1. 無線 LAN 802.11a 規格.

項目	規格値
発振周波数	5150 – 5350 MHz, 5470 MHz- 5725 MHz
位相雑音	-107 dBc/Hz @ 1 MHz offset

本設計は、無線 LAN 規格 IEEE802.11a で規定されている周波数帯の中から、5.2 GHz を中心周波数とし、チューニングレンジが約 10 %、位相雑音は、1 MHz オフセット周波数において -110 dBc/Hz を設計目標とする。また、電源電圧は 3.0 V、消費電流 3.4 mA とする。5 GHz 帯では多くの VCO 回路の発表がされている[11-15]。このうち、[11]、[12]は、それぞれ一般的な共振回路を用いており、 $K_{VCOratio}$ は、3.5 から 5.5 である。本設計では、従来型 VCO の $K_{VCOratio}$ を半分以下とする、すなわち、 $K_{VCOratio} < 2$ を設計目標とする。設計目標を表 3-2 に示す。

表 3-2. 高線形 VCO IC 設計目標.

プロセス	0.35 μ m SiGe BiCMOS
発振周波数	5.2 GHz
チューニングレンジ	10 %
$K_{VCOratio}$	< 2
位相雑音	-110 dBc/Hz @1 MHz offset
消費電力	3.0 V, 3.4 mA

3-3. SiGe BiCMOS

第2章においてミリ波低位相雑音 VCO IC に用いた InGaP/GaAs HBT は、ミリ波帯で優れた高周波特性を持つトランジスタである。一方、本説で詳述する SiGe BiCMOS は、Si 基板上に HBT、CMOS トランジスタを実現するプロセスであり、マイクロ波帯で多く用いられている[14-17]。Si 基板は、GaAs 基板と比較して、損失が大きいといった課題はあるが、安価であり、また、デジタル回路部の CMOS 化がすすんでいることから、回路全体のワンチップ化、SoC (Silicon on Chip) 化が可能になると期待されている。本節では、VCO のゲインセルに用いる SiGe HBT について述べ、マイクロ波帯における発振器への適用の有効性を明らかにする。

マイクロ波帯では、無線回路に使用されるバイポーラトランジスタには、高速化が求められており、Si を用いたバイポーラトランジスタに代わる SiGe HBT の開発がすすめられてきた[18]。SiGe HBT では、エミッタ層に n+型 Si、ベース層に p 型 SiGe、また、コレクタ層に n+型 Si を用いて構成される。SiGe HBT の断面構造図を図 3-2 に示す[19]。

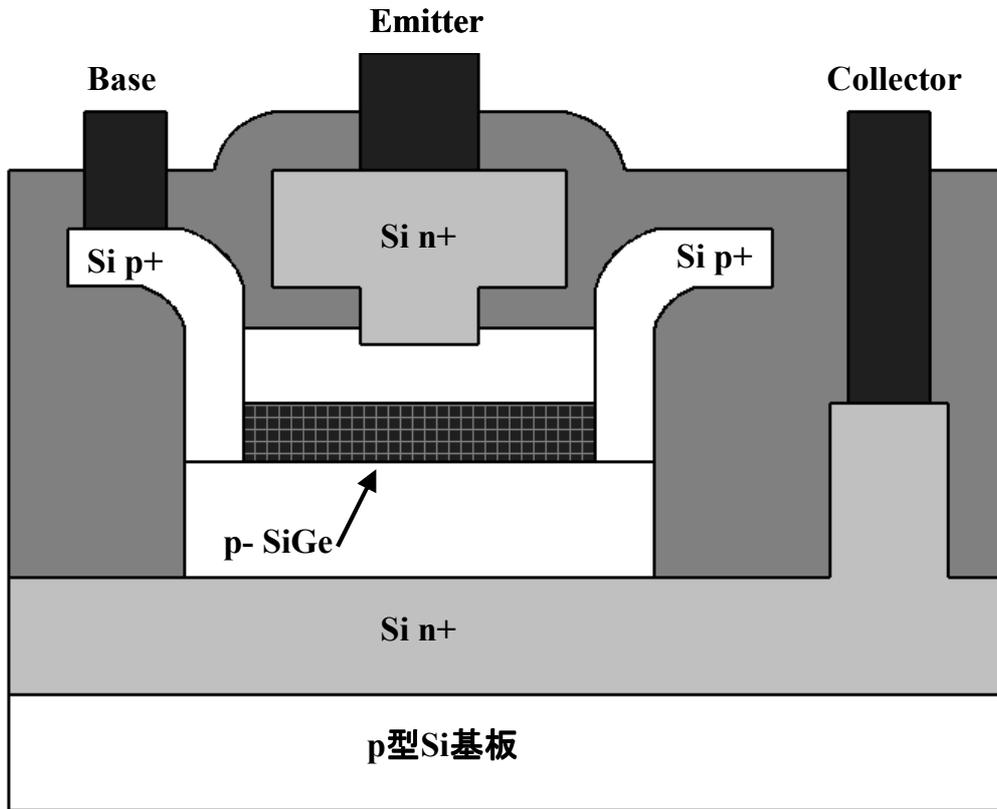


図 3-2. SiGe HBT の断面構造図.

前章で述べたように、トランジスタの高速化には、エミッタ領域からコレクタ領域への電子の走行時間を短くすることが重要である。バイポーラトランジスタでは、ベースの薄膜化のためにベースを高濃度化すると、電流増幅率が低下するといった課題がある。HBTでは、高速化のために、ベース領域のSiにGeを注入し、傾斜型Geプロファイルによる電界加速効果を用いている。ベース領域内にSiGe層を適用した場合のバンドギャップ図を図3-3に示す[18]。ベース領域からエミッタ領域に向かってGe含有量を連続的に減らし、傾斜Geプロファイルを形成させることで電界が発生する。そこで、エミッタから注入された電子が、ベース領域内で加速するため、トランジスタの高速化が可能となる。

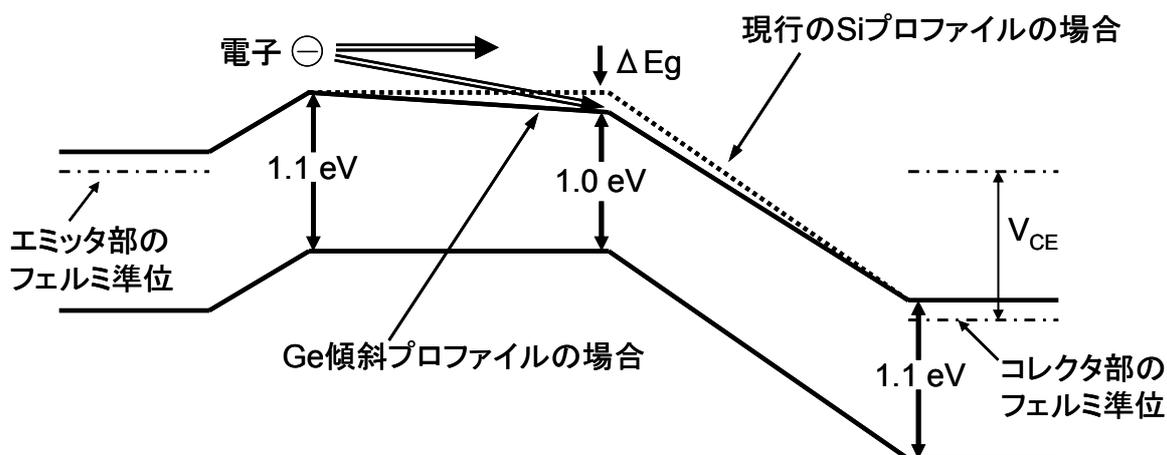


図 3-3. ベース領域に SiGe 層を適用した場合のバンドギャップ.

本章および次章で用いる 0.35 μm SiGe BiCMOS のモデルパラメータは、(株) 東芝 セミコンダクター社から提供して頂いたものである。コレクタ・エミッタ電圧 (V_{ce}) = 3.0 V、コレクタ電流 (I_{ce}) = 1.7 mA 時の小信号 S パラメータからシミュレータを用いて求めた電流利得 ($|H_{21}|^2$)、最大安定利得 (MSG)、最大有能利得 (MAG) と単方向利得 (U) の周波数特性を図 3-4 に示し、表 3-3 に SiGe HBT の特性をまとめる。また、表 3-4 に CMOS の特性をまとめる。本設計に用いる HBT の f_T は、36 GHz、 f_{MAX} は、41 GHz であり、マイクロ波帯において優れた高周波特性を有している。

表 3-3. SiGe HBT の特性.

BVceo	4.0 V
BVcbo	12.3 V
f_T	36 GHz
f_{MAX}	41 GHz
AE (Emitter Area)	0.2 μm × 8.0 μm × 4 fingers

表 3-4. CMOS の特性.

	nMOS	pMOS
BVdss	9.07 V	-8.04 V
V_{th}	0.706 V	-0.776 V

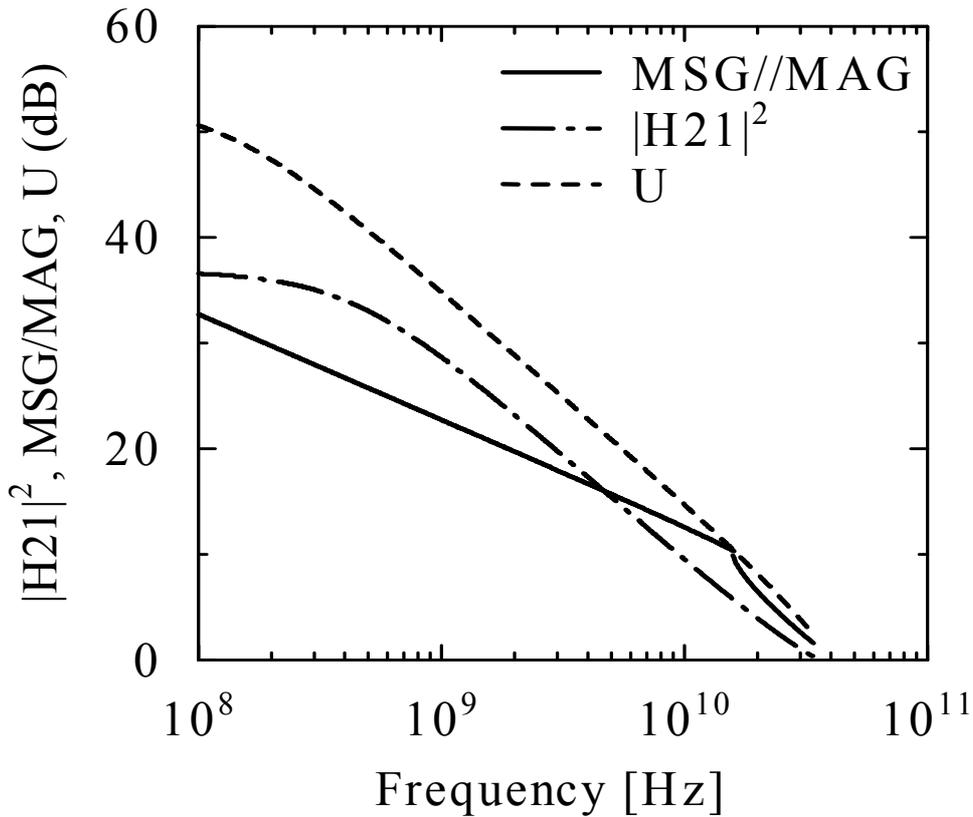


図 3-4. SiGe HBT の $|H_{21}|^2$ 、MSG、MAG と U の周波数特性.

3-4. K_{vco} 線形化のための共振回路の設計

LC-VCO の発振周波数 (ω_{osc}) は、共振回路のインダクタンス (L)、バラクタ回路の容量 (C_v) によって決まり、式 (3-10) によって示される。

$$\omega_{osc} = \frac{1}{\sqrt{L(C_v + C_p)}} \quad (3-10)$$

ここで、 C_p は、発振器の寄生容量である。3-2 節で述べたように、 K_{vco} は、発振周波数を制御電圧 (V_{ctrl}) で微分したものである。 K_{vco} を線形とするためには、 V_{ctrl} に対する ω_{osc} の二回微分がゼロとなればよい。従って、式 (3-11) を満たす必要がある。

$$\frac{\partial K_{\text{VCO}}}{\partial V_{\text{ctrl}}} = \frac{\partial^2 \omega_{\text{osc}}}{\partial V_{\text{ctrl}}^2} = 0 \quad (3-11)$$

K_{VCO} が線形になるようなバラクタ素子の $C(V)$ 特性は、式 (3-10)、式 (3-11) より、式 (3-12) によって示される[20]。

$$C_V = \frac{C_{j0}}{\left(1 - \frac{V_{\text{ctrl}}}{\psi}\right)^2} \quad (3-12)$$

ここで、 C_{j0} はゼロバイアス時の容量であり、 ψ は、ビルトインポテンシャルである。 $V_{\text{ctrl}} \ll \psi$ が成り立つとき、式 (3-12) は、式 (3-13) によって近似される[22]。

$$C_V = C_{j0} \left(1 + 2 \frac{V_{\text{ctrl}}}{\psi}\right) \quad (3-13)$$

従って、 K_{VCO} を線形にするためには、バラクタ回路の $C(V)$ 特性が線形とする必要がある。本設計では、容量変化が制御電圧に対して線形になるように、新しい共振回路の提案を行なう。

3-4-1. 従来型バラクタ回路

本節では、 K_{VCO} 線形化のための新しい共振回路の設計手法を述べる前に、従来型のバラクタ回路について概説し、従来型バラクタ回路の問題点を明らかにする。VCO のバラクタ回路として、MOS バラクタ、pn 接合ダイオードが多く用いられている[21,22]。まず始めに、MOS バラクタの特性について概説し、次に、pn 接合ダイオードの特性について述べる。

• MOS バラクタ

図 3-5 に、MOS バラクタの模式図を示す。ここで、 C_{ox} はゲート酸化膜容量であり、 C_d は可変空乏層容量である。nMOS バラクタの構造は、nMOS トランジスタと同等で、ソース、ドレインは、 n^+ 、チャンネル部は p-well で形成され、基板は p 型 Si で形成される[23]。MOS バラクタは、MOS トランジスタのように四端子デバイスではなく、三端子デバイスであり、ドレイン・ソース間を短絡して用いられ、基板は接地される。MOS バラクタの容量は、ゲート・ソース間の電圧 ($V_{gate} - V_{tune}$) を可変することで変化する。MOS バラクタの動作領域は、印加する電圧によって、蓄積領域 (Accumulation)、空乏領域 (Depletion)、反転領域 (Inversion) に分けることができる[21]。図 3-6 に MOS バラクタの $V_{gate} - V_{tune}$ に対する容量変化のシミュレーション結果を示す。なお、MOS バラクタの容量は、最小値で規格化を行なっている。

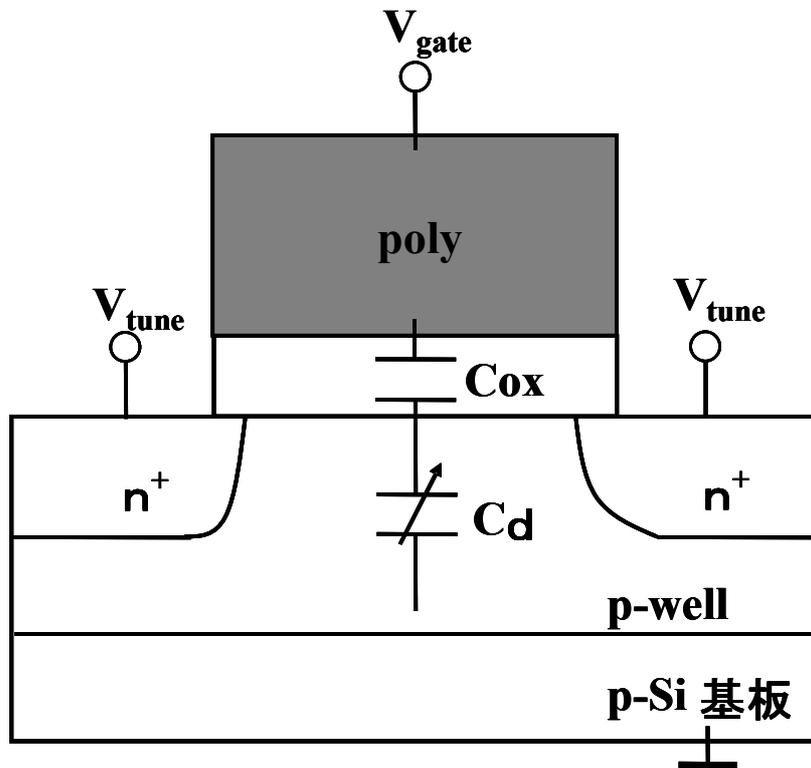


図 3-5. MOS バラクタの模式図.

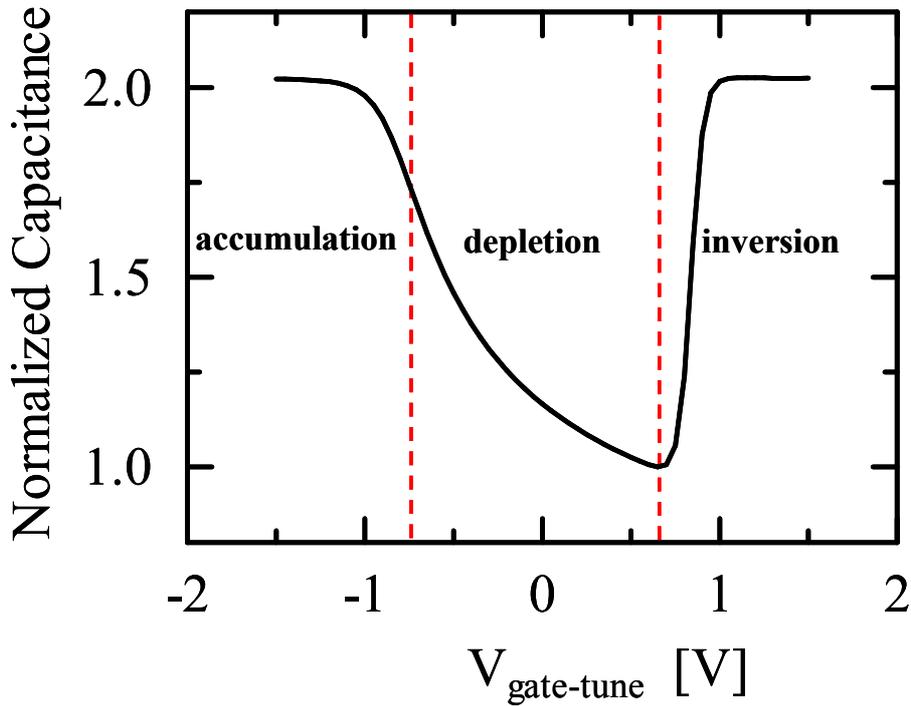


図 3-6. MOS バラクタの C(V)特性シミュレーション結果.

次に、それぞれの領域における容量変化を概説する。まず、ゲート電極に負の電圧を印加すると、半導体表面には $Q = CV$ に相当する正電荷（ホール）が集められる。この状態が蓄積状態であり、MOS バラクタの容量は、ゲートの酸化膜容量が支配的となり、式 (3-14) によって示される[23]。

$$\frac{1}{C_V} = \frac{1}{C_{OX}} \tag{3-14}$$

次に、ゲート電極に正電圧を印加して行くと、半導体表面からホールが追い払われて、空乏層が形成される。この状態が、空乏状態であり、MOS バラクタの容量としては、空乏層容量とゲート酸化膜容量が直列に接続された状態となり、式 (3-15) によって示される[23]。

$$\frac{1}{C_V} = \frac{1}{C_{OX}} + \frac{1}{C_d} \tag{3-15}$$

さらに、ゲート電極に正電圧を印加して行くと、半導体表面に少数キャリアである伝導電子が誘起される。この状態が、反転状態である。この状態では、ゲート電圧を大きくして

も反転層の伝導電子濃度が増加するだけであり、空乏層幅は変化しないため、MOS バラクタの容量は印加電圧に対し、一定となる。このときの容量変化は、蓄積状態と同様に式(3-14)によって示される。

MOS バラクタを用いる場合には、蓄積領域—空乏領域、または、空乏領域—反転領域が用いられる[21]。MOS バラクタは、容量の最小値 (C_{min})、最大値 (C_{max}) の変化量 (C_{max}/C_{min}) が大きい ($C_{max}/C_{min} \approx 2$)。従って、MOS バラクタを VCO に適用した場合、後述する pn 接合ダイオードを用いた場合よりも、大きなチューニングレンジが期待される。一方、C(V)特性は、空乏領域—反転領域を用いた場合、容量変化の傾きが大きく、 K_{vco} が大きくなることが予想される。また、蓄積領域—空乏領域を用いた場合、容量変化の傾きは小さいが、非線形性を持ち、 K_{vco} が非線形となることが予想される。

• pn 接合ダイオード

次に、pn 接合ダイオードの C(V)特性について概説する。pn 接合ダイオードは、ダイオードに逆方向の電圧を印加し、それによる空乏層の幅の大きさの変化を利用した素子である。

図 3-7 に pn 接合ダイオードの接合間電圧 (V_{pn}) に対する容量変化のシミュレーション結果を示す。容量は、最小値で規格化している。pn 接合ダイオードは、アノード・カソード間の接合電圧 (V_{pn}) を可変することで、容量を変化することができる。pn 接合ダイオードの C(V)特性は、式 (3-16) によって示される[24]。

$$C_j(V) = \frac{C_{j0}}{\sqrt{1 - \frac{V_{pn}}{\psi_0}}} \quad (3-16)$$

ここで、 C_{j0} は、ゼロバイアス時の容量であり、 ψ_0 は、ビルトインポテンシャルである。図 3-7、式 (3-16) より、pn 接合ダイオードの容量は、 V_{pn} の 1/2 乗に反比例することが分かる。また、 V_{pn} が小さいときは、C(V)特性が線形であるが、 V_{pn} が大きくなると、容量変化が飽和していくことが分かる。

pn 接合ダイオードは、 $C_{max}/C_{min} \approx 1.6$ が得られ、VCO に適用した場合、MOS バラクタを用いた場合よりも、チューニングレンジが小さくなると予想される。一方、C(V)特性は、MOS バラクタと比較すると線形に近く、 K_{vco} の線形化が期待できる。

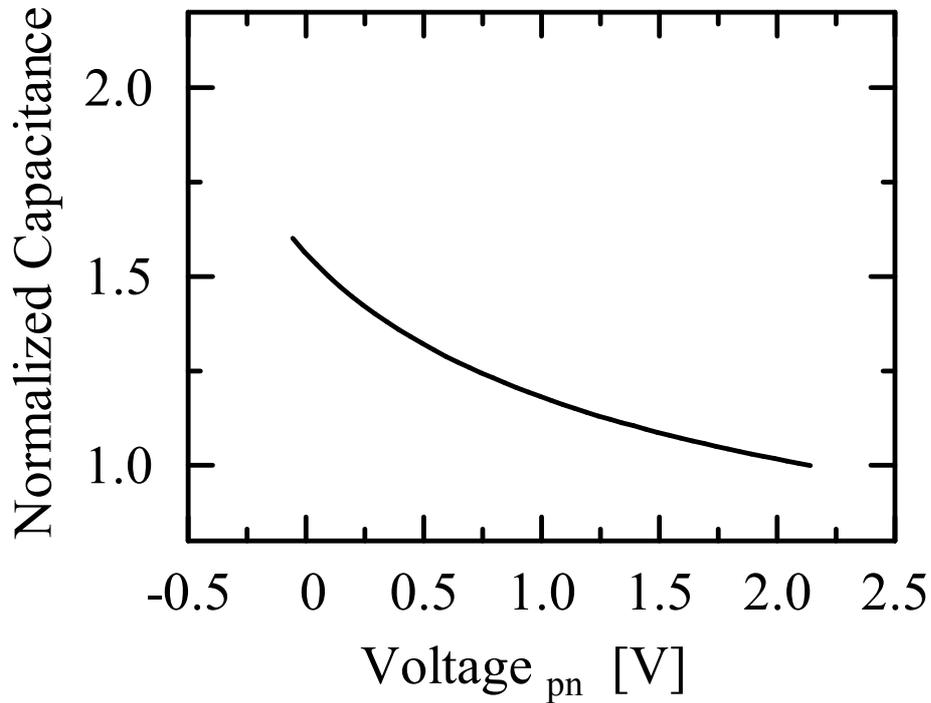


図 3-7. pn 接合ダイオードの容量変化シミュレーション結果.

以上の結果より、それぞれのバラクタ回路を VCO に適用した場合について概説する。MOS バラクタは、VCO のチューニングレンジの広帯域化が期待されるが、 $C(V)$ 特性は非線形であり、 K_{vco} の線形化は期待されない。一方、pn 接合ダイオードは、容量変化が小さいが、 $C(V)$ 特性が線形に近く、 K_{vco} の線形化が期待される。従って、従来型のバラクタ回路を VCO に用いた場合、表 3-5 のように示すことができる。

本設計では、 K_{vco} の線形化が期待される pn 接合ダイオードを用いて、 $C(V)$ 特性が線形となるような新しい共振回路の提案を行なう。

表 3-5. MOS バラクタと pn 接合ダイオードとの比較.

	チューニングレンジ	K_{vco} の線形化
MOS バラクタ	○	△
pn 接合ダイオード	△	○

3-4-2. 高線形共振回路の設計

図 3-8 に本章で提案する K_{vco} 線形化のための共振回路を示す。提案する共振回路は、並列に接続した pn 接合ダイオード (Var_1 から Var_4)、電圧レベルシフト回路を構成する pMOS トランジスタ (Tr_1 から Tr_3)、スパイラルインダクタから構成される。Var_1 から Var_4 のカソードの電位をそれぞれ V_1 から V_4 とする。

pn 接合ダイオードを用いたバラクタ回路の $C(V)$ 特性を線形とするためには、制御電圧 (V_{C_A}) の大きいところで容量変化が飽和しないようにしなければならない。そこで、並列に複数のダイオード (Var_1 から Var_4) を接続し、それぞれの制御電圧端子が徐々に on することによって、容量変化が飽和するのを防ぎ、 $C(V)$ 特性が線形となるような新しい共振回路を考案した。図 3-9 に容量変化の模式図と、 V_{C_A} に対する V_1 から V_4 のシミュレーション結果を示す。容量変化の模式図には、それぞれ Var_1 から Var_4 の各ダイオードの $C(V)$ 特性の模式図と、共振回路の $C(V)$ 特性の模式図を示す。以下に、提案する共振回路の動作原理を述べる。

まず、電圧レベルシフトダイオードの動作原理について述べる。制御電圧 (V_{C_A}) が 0 V から pMOS の $|V_{th}|$ (pMOS の V_{th} は、-0.776 V) の間は、Var_1 にのみ制御電圧 (V_1) が印加される。 V_1 が V_{th} をこえて大きくなると、ダイオード接続している Tr_1 が on し、Var_2 に制御電圧 (V_2) が印加される。次に、 V_2 が $2 V_{th}$ をこえて大きくなると、ダイオード接続している Tr_2 が on し、Var_3 に制御電圧 (V_2) が印加される。さらに、 V_3 が $3 V_{th}$ をこえて大きくなると、ダイオード接続している Tr_3 が on し、Var_4 に制御電圧 (V_4) が印加される。従って、 V_{C_A} に対して、Tr_1 から Tr_4 が徐々に on され、それぞれの pn 接合ダイオードの制御端子 (V_1 から V_4) に徐々に V_{C_A} が印加される。

次に、提案する共振回路のバラクタの動作原理について述べる。まず、Var_1 の V_1 に V_{C_A} が印加され、共振回路の容量が変化する。ここで、pn 接合ダイオードの $C(V)$ 特性は、3-4-1 節で述べたように、 $1/2$ 乗に比例する。式 (3-16) に示した pn 接合ダイオードの $C(V)$ 特性は、 V_{pn} の小さい範囲では、式 (3-17) によって近似できる。

$$C_j(V) = C_{j0} \left(1 + \frac{1}{2} \frac{V_{pn}}{\psi_0} \right) \quad (V_{pn} \ll \psi_0) \quad (3-17)$$

従って、 V_{C_A} が小さい範囲では、式 (3-17) より、 $C(V)$ 特性は線形となる。次に、 V_{C_A} が大きくなると、式 (3-17) を満足しなくなり、容量変化が飽和し、 $C(V)$ 特性が非線形となる。ここで、 V_{C_A} が V_{th} をこえると、Tr_1 が on され、Var_2 の V_2 に V_{C_A} が印加される。Var_2 の $C(V)$ 特性は、 V_2 が小さい範囲で線形であり、Var_2 の容量変化によって、Var_1 の $C(V)$

特性の非線形性を補い、共振回路の $C(V)$ 特性は線形となる。しかし、 V_{C_A} がさらに大きくなると、 Var_2 の $C(V)$ 特性は非線形となる。 V_{C_A} が $2V_{th}$ よりも大きくなると、 Tr_2 が on され、 Var_3 の V_3 に V_{C_A} が印加される。 Var_3 の $C(V)$ 特性は、 V_3 が小さい範囲で線形であり、 Var_3 の容量変化によって、 Var_1 、 Var_2 の $C(V)$ 特性の非線形性を補い、共振回路の $C(V)$ 特性は線形となる。さらに、 V_{C_A} が大きくなると、 Var_3 の $C(V)$ 特性は非線形となる。 V_{C_A} が $3V_{th}$ をこえると、 Tr_3 が on され、 Var_4 の V_4 に V_{C_A} が印加される。 Var_4 の $C(V)$ 特性は、 V_4 が小さい範囲で線形であり、 Var_4 の容量変化によって、 Var_1 、 Var_2 、 Var_3 の $C(V)$ 特性の非線形性を補い、共振回路の $C(V)$ 特性は線形となる。このように、電圧レベルシフト回路によって、 Tr_1 から Tr_4 が序々に on され、 Var_1 から Var_4 のそれぞれの pn 接合ダイオードによって、各 pn 接合ダイオードの $C(V)$ 特性の非線形性を補い、共振回路の $C(V)$ 特性の線形化が期待される。

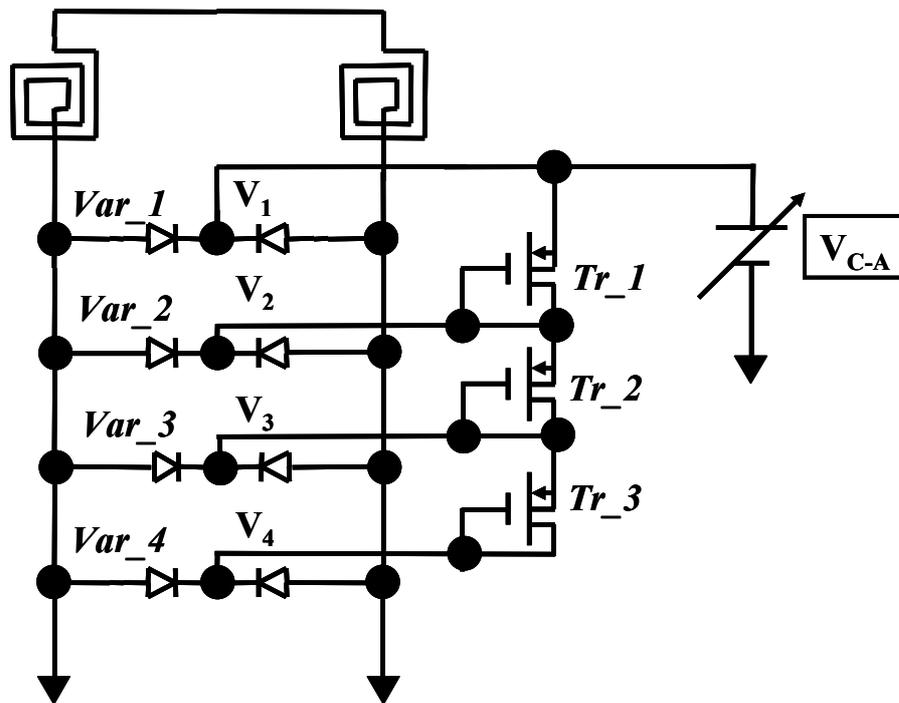


図 3-8. Kvco 線形化のための共振回路等価回路図.

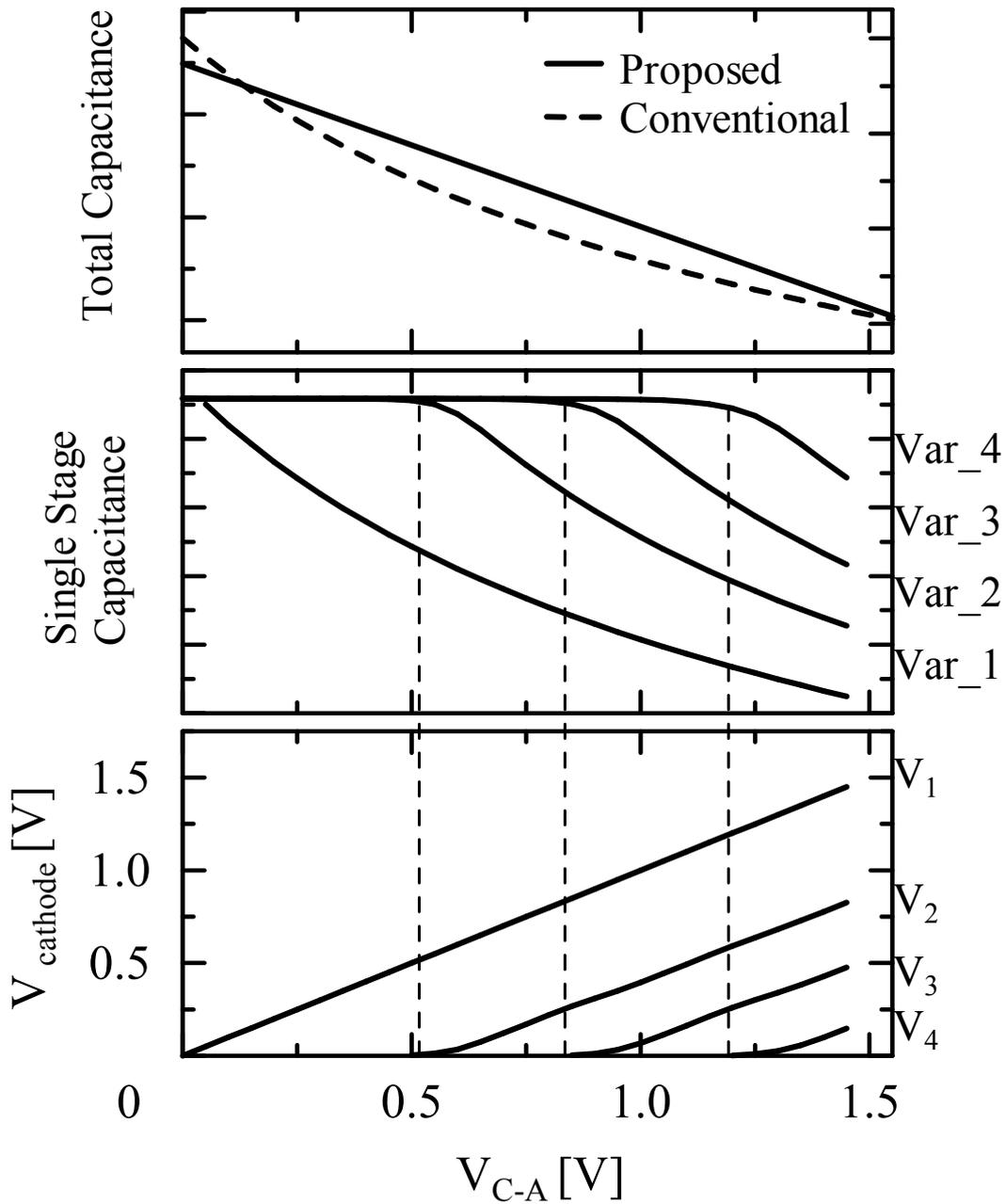


図 3-9. 各 pn 接合ダイオードの $C(V)$ 特性、共振回路の $C(V)$ 特性 (実線: 提案する共振回路、点線: 基本的な共振回路) の模式図と各ダイオードのカソードの電位.

提案する新しい共振回路と、基本共振回路に用いた pn 接合ダイオードのエミッタ面積を表 3-6 に示す。基本共振回路の pn 接合ダイオードのエミッタ面積は、設計目標である中心周波数 5.2 GHz、チューニングレンジ 10% を満たすように設計した。一方、提案する共振回路で用いる pn 接合ダイオードのエミッタ面積、段数は、基本共振回路と同等の容量変化、線形な C(V)特性が得られるように設計した。ここで、 V_{C_A} が小さいときは、Var_1 にのみ V_{C_A} が印加され、Var_1 の容量のみが変化し、他のバラクタの容量は一定である。このとき、Var_1 が他のバラクタと同じ大きさとする、共振回路の容量変化が小さくなり、 K_{vco} が小さくなる。そのため、 K_{vco} の線形化のためには、Var_1 のダイオードサイズを他のバラクタに比べて大きくする必要がある。本設計では、Var_1 を 6 ユニットとし、Var_2 から Var_4 は、それぞれ 2 ユニットと設計した。その結果、提案する共振回路の pn 接合ダイオードのユニットの総数は、基本回路のユニット数よりも小さくなる。そのため、提案する共振回路の容量変化は、基本回路の容量変化よりも小さくなると予想される。しかし、基本回路は、 V_{C_A} が大きい範囲では、容量変化が飽和し、一方、提案する共振回路は、C(V)特性の線形化が期待されるため、提案する共振回路の容量変化は、基本共振回路の容量変化とほぼ同等になると期待される。なお、基本共振回路、提案する共振回路には同じ大きさのスパイラルインダクタを採用した。スパイラルインダクタのインダクタンスは、0.65 nH であり、サイズは、長さ 125 μm 、線幅 15 μm 、線間 5.0 μm である。

次に、電圧レベルシフト回路には、nMOS トランジスタよりもフリッカ雑音の小さい pMOS トランジスタを用いる。それぞれのトランジスタのゲートのサイズは、 $W_g/L_g = 1.5 \mu\text{m}/0.35 \mu\text{m}$ とし、できるだけ小さくなるように設計した。これは、寄生容量を小さくするためである。また、電圧レベルシフト回路のトランジスタサイズを小さくすることで、基本回路と同等のチップサイズを実現できると考えられる。

表 3-6. 共振回路の pn 接合ダイオードのサイズ.

1 unit のサイズ: $x=2.0 \mu\text{m}$, $y=30 \mu\text{m}$		
	提案する共振回路	基本共振回路
Var_1	6 units	14 units
Var_2	2 units	
Var_3	2 units	
Var_4	2 units	

次に、回路シミュレータ（アジレント社 ADS）を用いて、バラクタ回路の制御電圧に対する容量変化を計算した。提案したバラクタ回路のシミュレーション結果を図 3-10 に実線で示す。比較のために、pn 接合ダイオードのみで構成される基本バラクタ回路の C(V)特性を点線で示す。提案したバラクタ回路の C(V)特性のシミュレーション結果は、容量変化が制御電圧に対して線形であり、また、 C_{max} / C_{min} が基本バラクタ回路とほぼ同等であることが確認できる。従って、新しく提案する共振回路を VCO に適用した場合、従来型 VCO と比較して、チューニングレンジを小さくすることなく、 K_{vco} の線形化が期待できる。

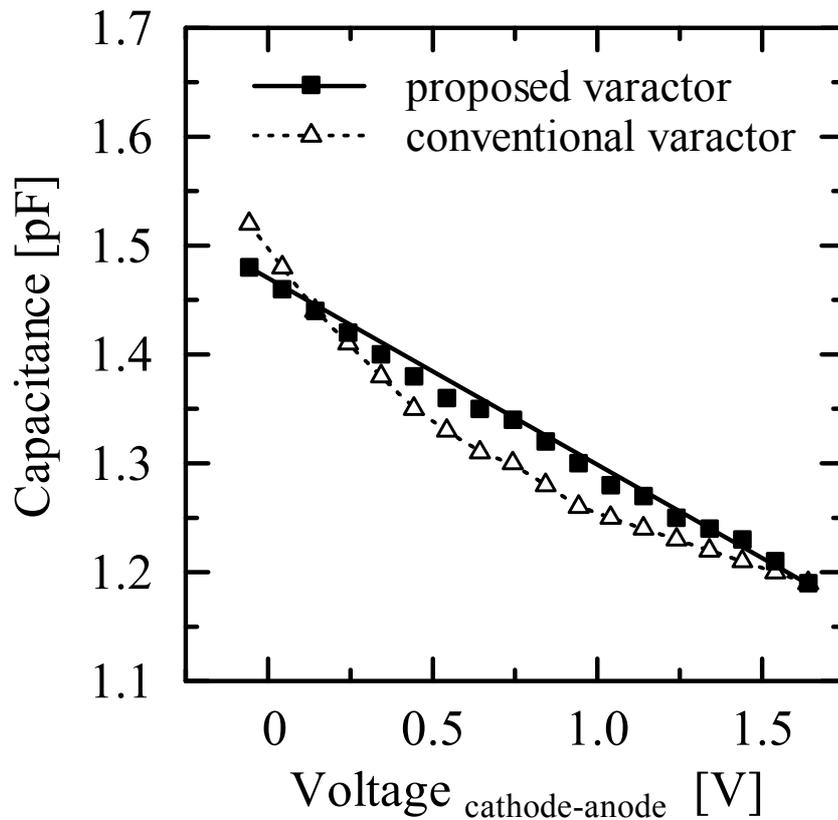


図 3-10. 共振回路の C(V)特性シミュレーション結果
(実線：提案するバラクタ回路、点線：基本バラクタ回路)

3-5. 高線形 VCO IC の設計

3-4 節で提案した K_{vco} 線形化のための共振回路を VCO IC に適用する。まず、提案する高線形 VCO IC と比較のために、基本となる基本 VCO IC の等価回路図を図 3-11 に示す。基本 VCO IC は、クロスカップル型を採用し、発振器のゲインセルには、SiGe HBT を用いる。また、電流源のトランジスタには、nMOS トランジスタよりもフリッカ雑音の小さい pMOS トランジスタを用いる。発振器のゲインセルは、共振回路の損失を負性抵抗によって補う必要がある。発振条件を満たすために、本設計では、ゲインセルに用いた SiGe HBT のエミッタ面積を、 $0.2 \mu\text{m} \times 8.0 \mu\text{m} \times 4$ ユニットとした。バイアスは、VCO IC の電源電圧を 3.0 V、VCO のコア部を流れる電流を 3.4 mA に設計した。共振回路には、前節で示した基本共振回路を用いる。pn 接合ダイオードの制御電圧は、0.8 V から印加する。これは、ゲインセルの HBT のドレインの電圧が 0.8 V であり、バラクタ回路の pn 接合ダイオードが順方向にバイアスされないようにするためである。

次に、バッファアンプの等価回路図を図 3-12 に示す。VCO の出力は、周波数プリングを防ぐために、また、出力で 50Ω にマッチングするため、差動アンプとエミッタフォロアから構成されるバッファアンプが接続されている。バッファアンプの差動出力のうち、片方をチップ内で 50Ω に終端している。

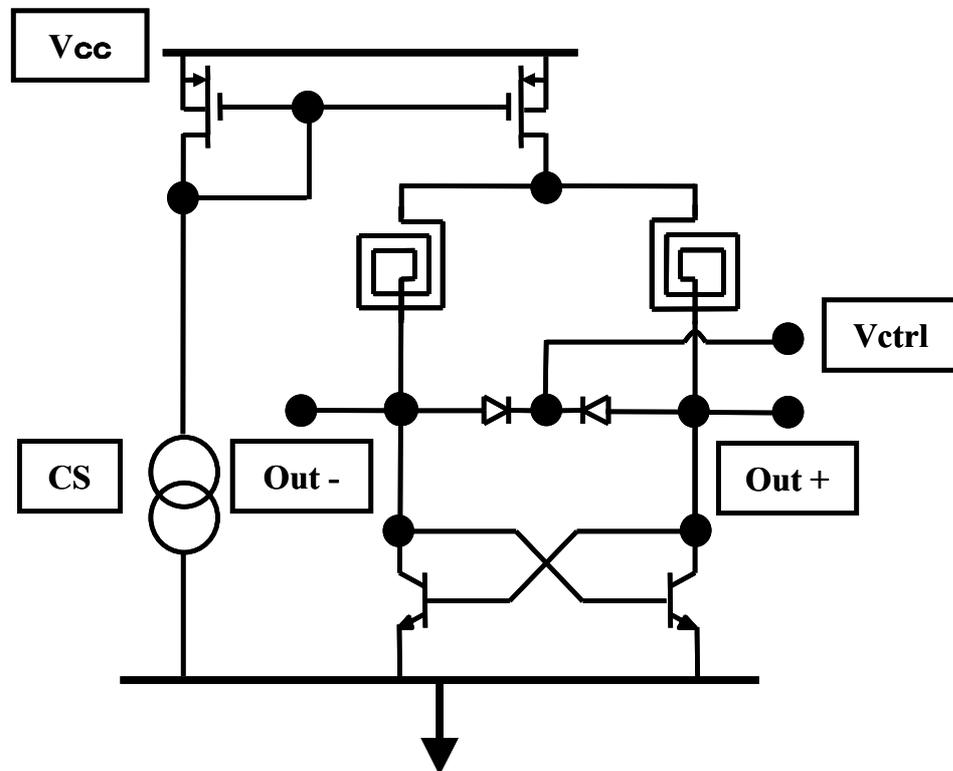


図 3-11. 基本 VCO IC の等価回路図.

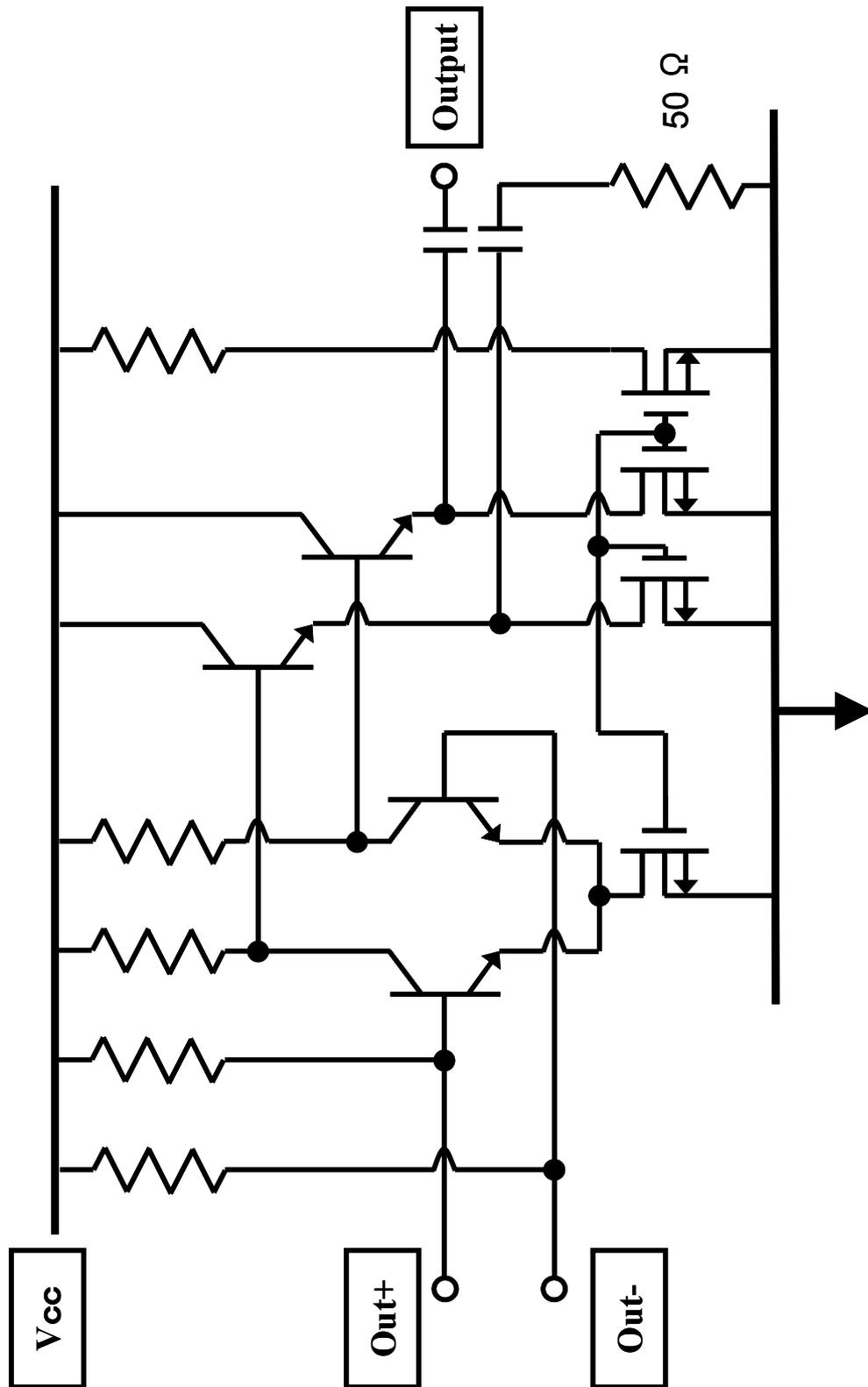


図 3-12. バッファアンプの等価回路図.

次に、3-4 章で提案した新しい共振回路を適用した高線形 VCO IC の等価回路図を図 3-13 に示す。高線形 VCO IC と基本 VCO IC は、同じプロセスを用いて設計し、共振回路以外の回路構成、トランジスタサイズなどはすべて同じである。バイアス条件は、基本 VCO IC と同等で、電源電圧、VCO コアに流れる電流は、それぞれ、3.0 V、3.4 mA に設計した。

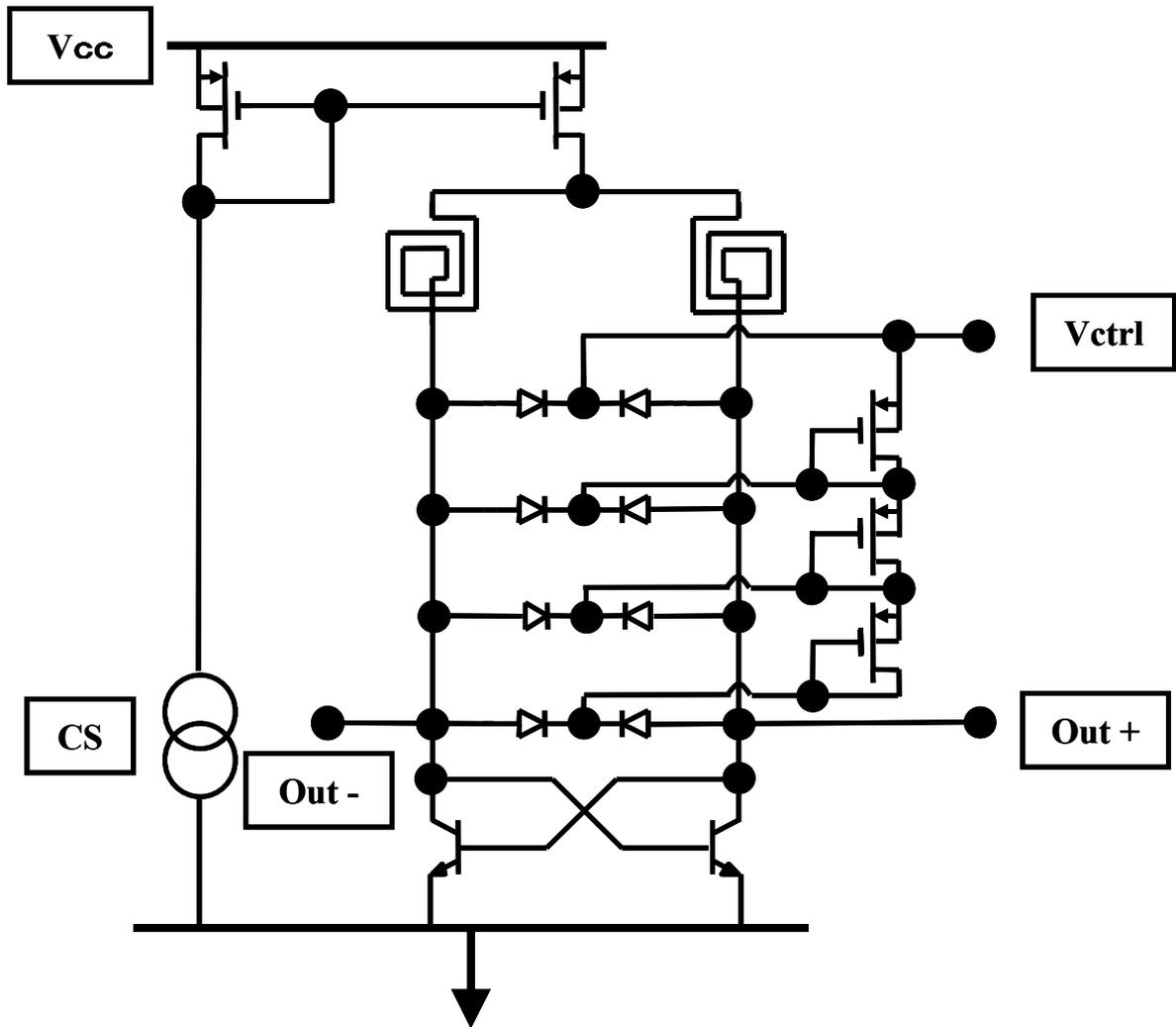


図 3-13. 高線形 VCO IC の等価回路図.

ハーモニックバランスシミュレータによる回路シミュレーション結果を示す。図 3-14 に発振周波数、 K_{VCO} の制御電圧特性シミュレーション結果を示す。また、図 3-15 にバッファアンプ出力端における発振出力の制御電圧特性シミュレーション結果を示す。それぞれ、高線形 VCO IC のシミュレーション結果を実線で示し、基本 VCO IC のシミュレーション結果を点線で示す。また、シミュレーション結果を表 3-7 にまとめる。シミュレーション結果より、提案した高線形 VCO IC は、 $K_{VCOratio} = 1.6$ であり、基本 VCO IC は、 $K_{VCOratio} = 3.8$ が確認された。従って、高線形 VCO IC の K_{VCO} の線形化が期待される。また、高線形 VCO IC の発振周波数は、4.88 GHz から 5.44 GHz であり、チューニングレンジは、9.4% が期待される。一方、基本 VCO IC の発振周波数は、4.93 GHz から 5.46 GHz であり、チューニングレンジは、10.2% が期待される。また、発振出力のシミュレーション結果より、高線形 VCO IC は、基本 VCO IC と同等の出力が期待される。従って、高線形 VCO IC は、基本 VCO IC と同等の発振出力、消費電力をもち、ほとんどチューニングレンジを劣化させることなく、 K_{VCO} の線形化が期待される。

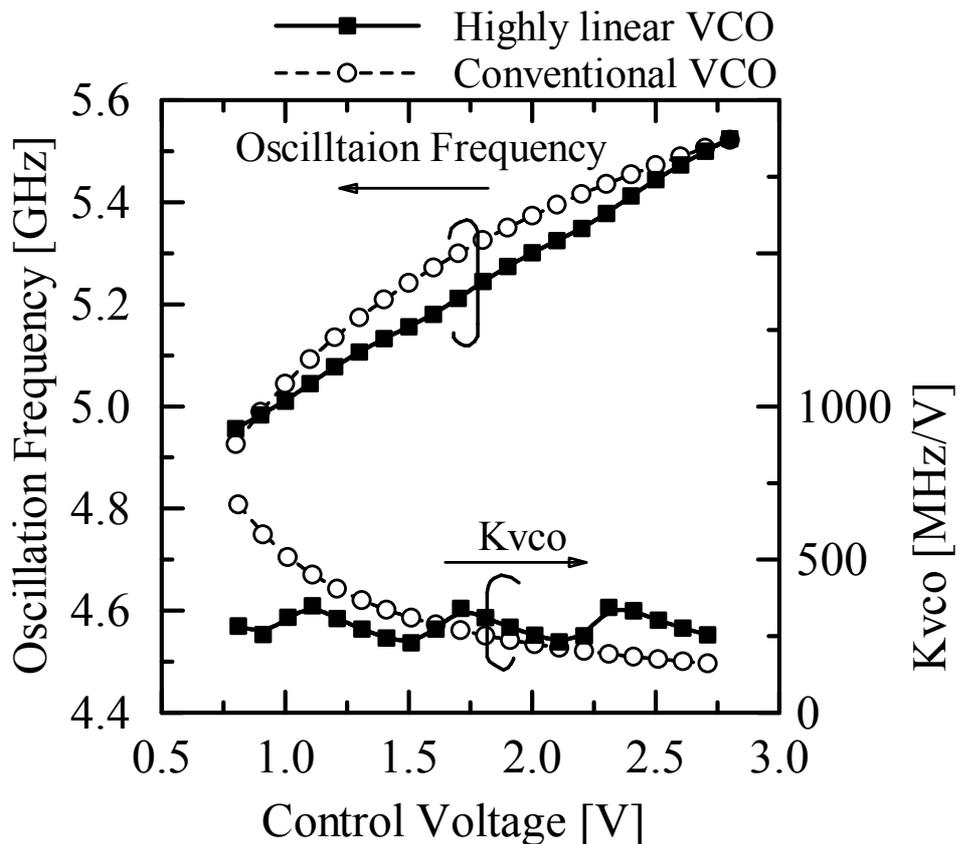


図 3-14. 発振周波数、 K_{VCO} の制御電圧特性シミュレーション結果
(実線：高線形 VCO IC、点線：基本 VCO IC) .

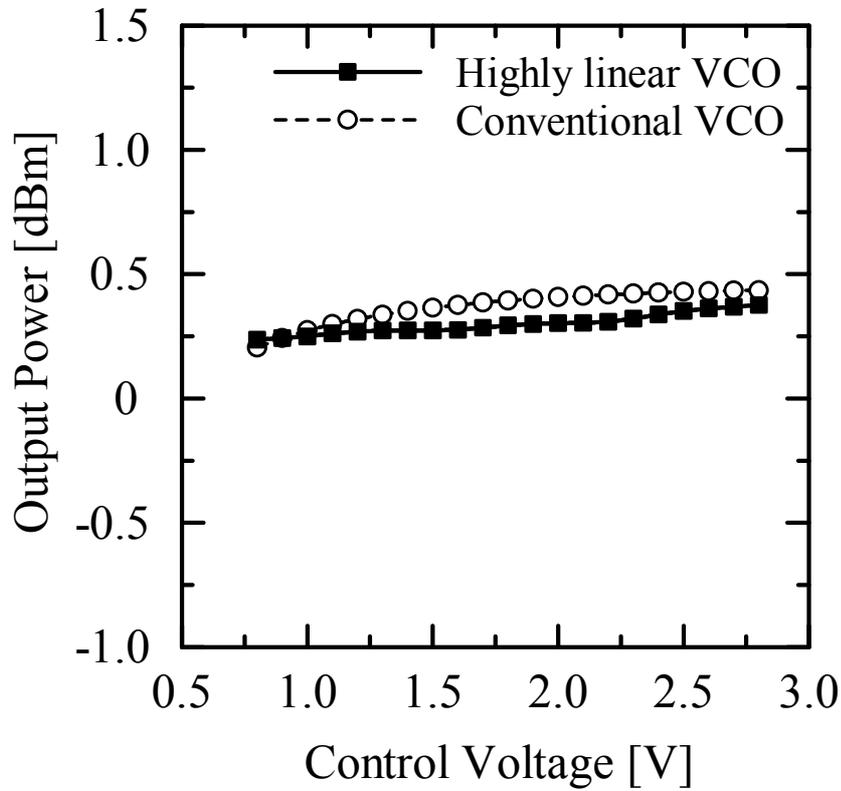


図 3-15. 発振出力の制御電圧特性シミュレーション結果
(実線：高線形 VCO IC、点線：基本 VCO IC) .

表 3-7. シミュレーション結果のまとめ.

	基本 VCO IC	高線形 VCO IC
発振周波数 (チューニングレンジ)	4.93 – 5.46 GHz (10.2%)	4.96 – 5.45 GHz (9.4%)
$K_{VCO\ ratio}$ (K_{VCO})	3.8 (210 – 800 MHz/V)	1.6 (270 – 420 MHz/V)
消費電力	3.0 V、3.4 mA	3.0 V、3.4 mA

3-6. チップ試作結果と考察

試作した基本 VCO IC のチップ写真を図 3-16 に示す。チップサイズは、 $0.73\text{ mm} \times 0.59\text{ mm}$ である。また、高線形 VCO IC のチップ写真を図 3-17 に示す[25-27]。チップサイズは、基本 VCO IC と同じ大きさである。チップは、(株) 東芝 セミコンダクター社に試作して頂いた。測定は、オンウエハプローブを用いておこなった。

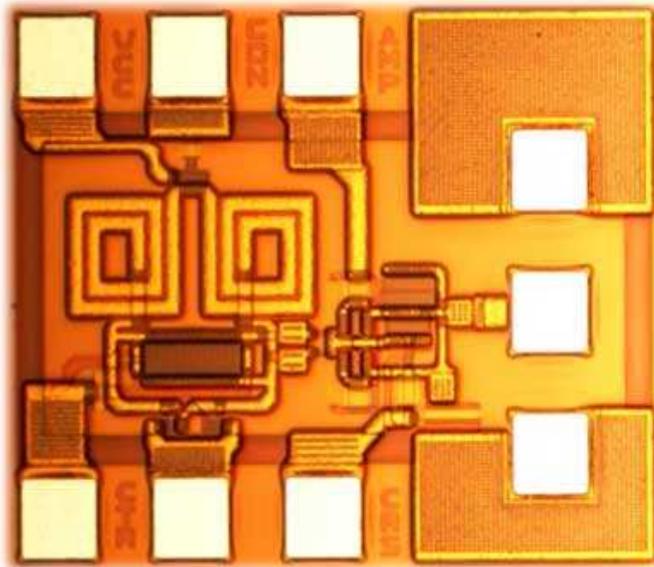


図 3-16. 基本 VCO IC チップ写真.

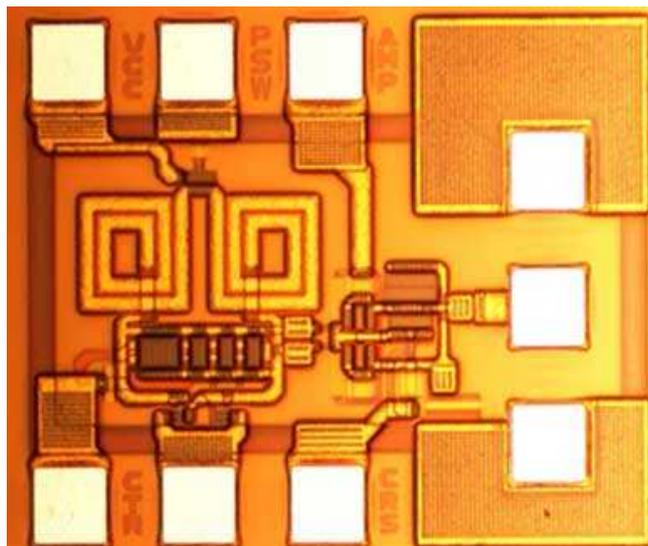


図 3-17. 高線形 VCO IC チップ写真.

3-6-1. 測定結果と考察

スペクトラムアナライザにてバラクタ制御電圧特性の測定をおこなった。発振周波数、 K_{VCO} の制御電圧特性測定結果を図 3-18 に示す。バイアス条件は、電源電圧(V_{CC})=3.0 V、消費電流 (I_{CC}) =3.4 mA である。実線が高線形 VCO IC、点線が基本 VCO IC の測定結果である。高線形 VCO IC の K_{VCO} の変化幅は、224 MHz/V から、341 MHz/V であり、 $K_{VCOratio} = 1.5$ が得られた。一方、基本 VCO IC の K_{VCO} の変化幅は、176 MHz/V から、572 MHz/V であり、 $K_{VCOratio} = 3.3$ が得られた。従って、高線形 VCO IC の $K_{VCOratio}$ は、基本 VCO IC の半分以下となり、3-2 節で述べた K_{VCO} の非線形性による PLL 回路への影響を大きく低下できると期待される。また、高線形 VCO IC の発振周波数は、5.45 GHz から、5.95 GHz であり、チューニングレンジは、8.8 % が得られた。一方、基本 VCO IC の発振周波数は、5.36 GHz から、5.91 GHz であり、チューニングレンジは、9.8 % が得られた。従って、高線形 VCO IC は、基本 VCO IC と同等のチューニングレンジを持つことが確認できた。また、それぞれの測定結果は、シミュレーション結果よりも、中心発振周波数が大きい、無線 LAN 規格 IEEE802.11a の規格値である、5.47 GHz から 5.725 GHz を満たしていることを確認した。

次に、発振周波数に関する測定結果とシミュレーション結果との差を考察する。測定結果とシミュレーション結果では、 K_{VCO} 、チューニングレンジは同等であったが、中心周波数に約 500 MHz の差が生じた。この理由としては、設計時の寄生容量の見積もりが小さかったことが主な原因であると推測される。レイアウトから、配線長を概算し、寄生容量を求めたところ、設計時に見積もっていた値の半分程度になっていることが確認された。

次に、VCO アナライザにて位相雑音の測定をおこなった。制御電圧 1.0 V 時における位相雑音のオフセット周波数に対する特性を図 3-19 に示す。また、スペクトラムアナライザにて測定をおこなった発振出力の制御電圧特性測定結果、VCO アナライザにて測定をおこなった 1 MHz オフセット周波数における位相雑音の制御電圧特性測定結果を図 3-20 に示す。実線が高線形 VCO IC、点線が基本 VCO IC の測定結果である。制御電圧 1.0 V 時の高線形 VCO IC の位相雑音は、100 kHz オフセット周波数において -88 dBc/Hz、1 MHz オフセット周波数において -116 dBc/Hz が得られた。また、制御電圧 1.0 V 時の基本 VCO IC の位相雑音は、100 KHz オフセット周波数において -92 dBc/Hz、1 MHz オフセット周波数において、-116 dBc/Hz が得られた。高線形 VCO IC、基本 VCO IC は、[10]に示されていた無線 LAN 規格 IEEE802.11a の 1 MHz オフセットにおける換算位相雑音の規格を満足していることが確認された。さらに、高線形 VCO IC は、基本 VCO IC と比較して、出力特性、位相雑音特性で、制御電圧に対して線形な特性が得られた。

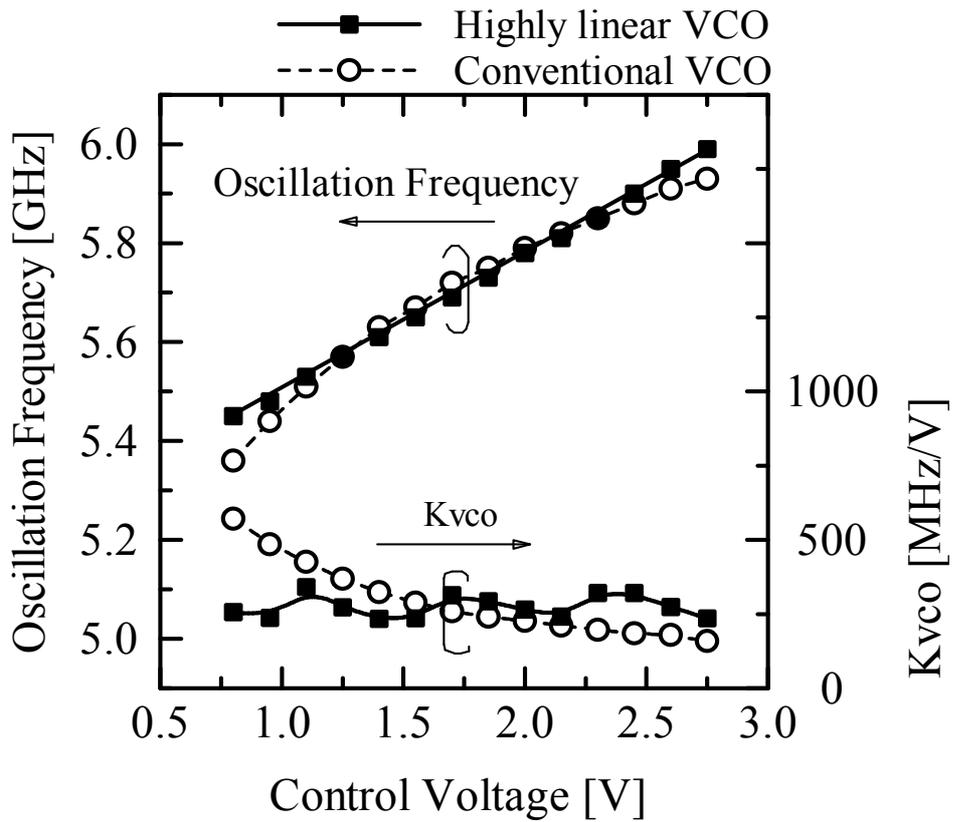


図 3-18. 発振周波数、 K_{vco} の制御電圧特性測定結果
(実線：高線形 VCO IC、点線：基本 VCO IC) .

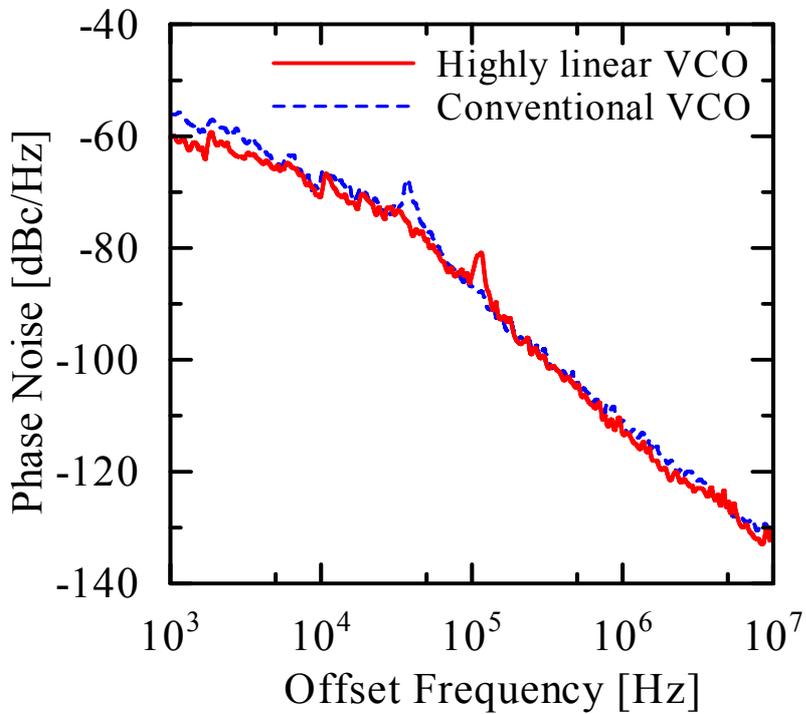


図 3-19. 制御電圧 1.0 V 時における位相雑音のオフセット周波数特性測定結果
(実線：高線形 VCO IC、点線：基本 VCO IC) .

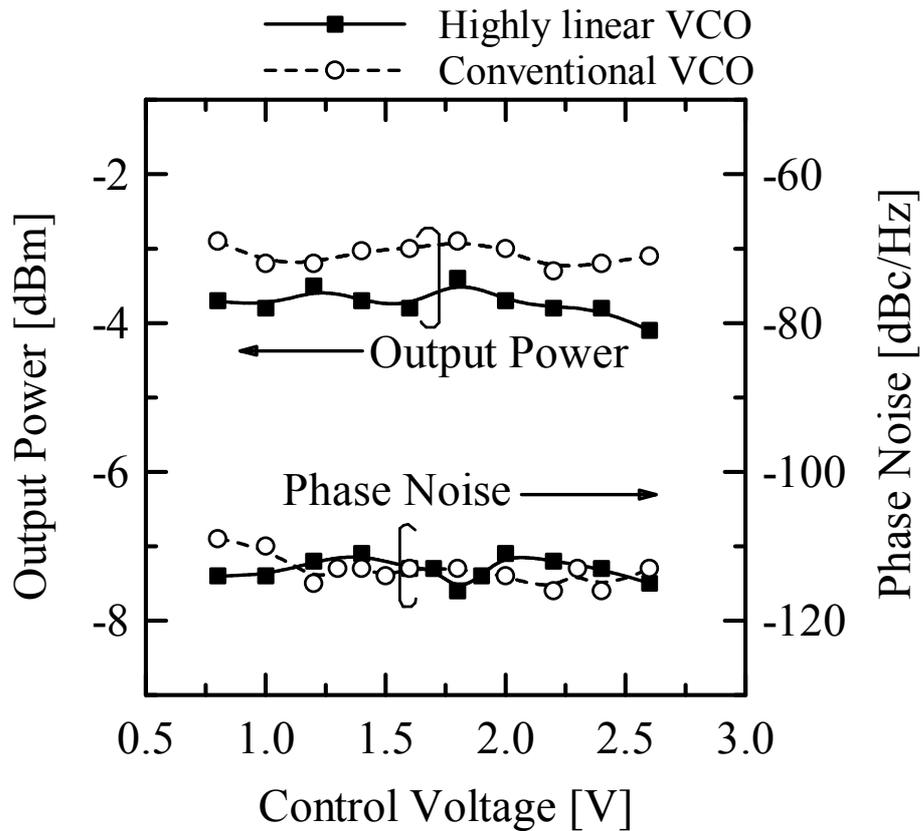


図 3-20. 出力、1MHz オフセット周波数における位相雑音の制御電圧特性測定結果
(実線：高線形 VCO IC、点線：基本 VCO IC) .

測定結果のまとめを表 3-8 に示す。高線形 VCO IC は、基本 VCO IC と比較すると、以下の特性を持つ。

- (ii) $K_{VCO\ ratio}$ が半分以下であり、PLL 回路のセトリングタイムと雑音のトレードオフに対して有効であると期待される。
- (iii) 位相雑音、チューニングレンジがほぼ同等であり、また、無線 LAN 規格 IEEE802.11a の規格を満足する。
- (iv) FOM、消費電力、チップ面積が同等である。

従って、本設計手法の有効性が確認された。

表 3-8. 測定結果のまとめ.

	基本 VCO IC	高線形 VCO IC
発振周波数 (チューニングレンジ)	5.36-5.91 (9.8%)	5.45-5.95 (9.4%)
$K_{VCO\text{ratio}}$ (K_{VCO})	3.3 (176-572 MHz/V)	1.5 (224-341 MHz/V)
位相雑音 @100 kHz offset @1 MHz offset	-92 dBc/Hz -116 dBc/Hz	-88 dBc/Hz -116 dBc/Hz
FOM @1 MHz offset	-181	-181
消費電力	3.0 V、3.4 mA	3.0 V、3.4 mA

3-6-2. 性能比較

高線形 VCO IC は、基本 VCO IC と比較して、位相雑音、チューニングレンジなどの特性を劣化させることなく、 K_{VCO} の線形化を確認し、本設計手法の有効性が実証された。高線形 VCO IC と他論文を比較し、本設計の設計手法が優れていることを実証する。

近年発表された CMOS、SiGe BiCMOS、SiGe HBT を用いた 5 GHz 帯の論文から、FOM、 $K_{VCO\text{ratio}}$ を算出し、本設計の高線形 VCO IC、基本 VCO IC との比較を行なった。性能比較結果を表 3-9、図 3-21 に示す[11,12,14,15,28-30]。比較の結果より、同じ SiGe BiCMOS プロセスを用いている VCO よりも、FOM が優れており、高線形 VCO IC の $K_{VCO\text{ratio}}$ が最も小さいことが分かる。従って、本設計の高線形 VCO IC は、FOM が小さいことから、位相雑音や消費電力などの VCO の性能を劣化させることなく、 $K_{VCO\text{ratio}}$ が小さいことが確認され、高線形 VCO IC が、定量的に優れた特性を持つことが確認された。

表 3-9. 性能比較結果.

Ref.	プロセス	FOM	$K_{VCO\text{ratio}}$
高線形 VCO	SiGe BiCMOS	-181	1.5
基本 VCO	SiGe BiCMOS	-181	3.3
[14]	SiGe BiCMOS	-174	1.8
[15]	SiGe BiCMOS	-169	8.7
[11]	0.18 μm CMOS	-176	3.6
[28]	0.18 μm CMOS	-190	8.7
[12]	0.13 μm CMOS	-180	5.3
[29]	SiGe HBT	-161	4.0
[30]	SiGe HBT	-179	5.0

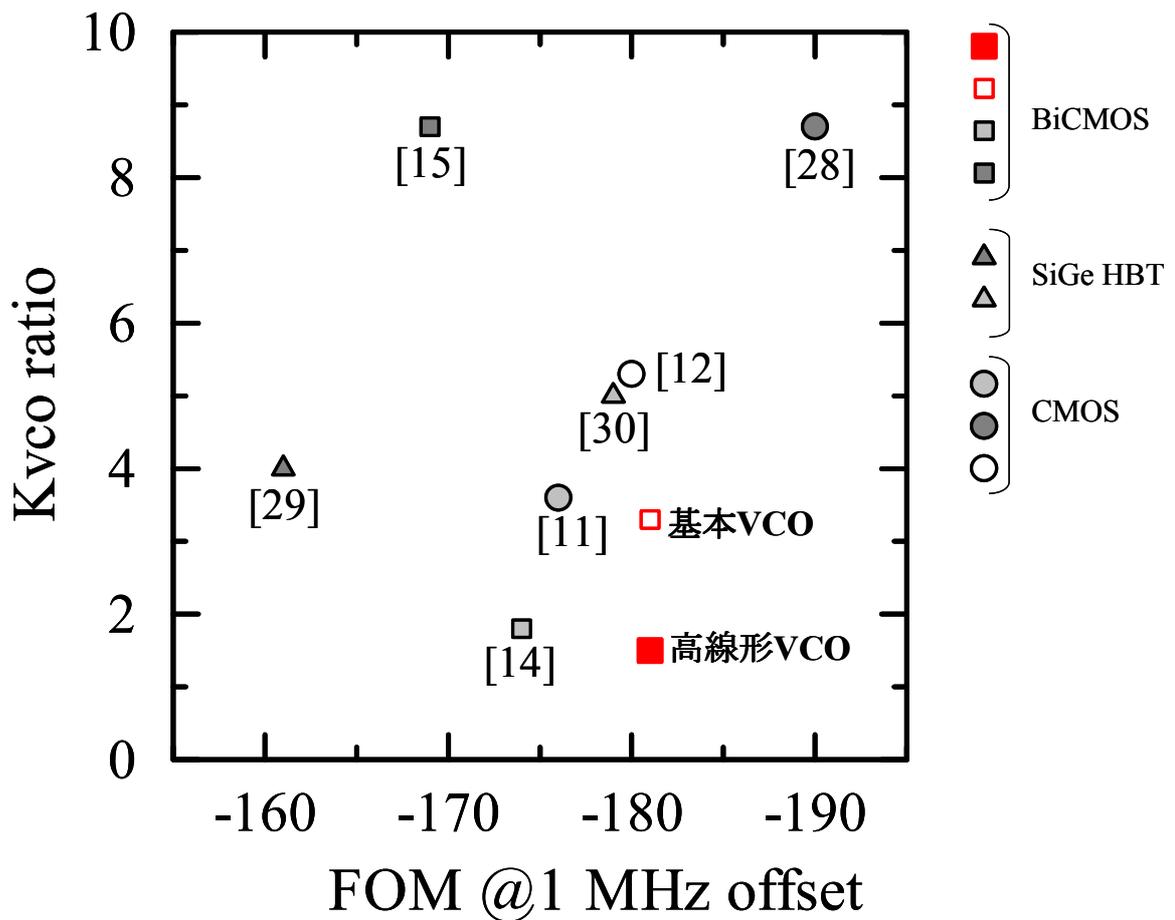


図 3-21. 性能比較結果.

3-7. 結言

本章では、0.35 μm SiGe BiCMOS プロセスを用いて、 $C(V)$ 特性が線形となるような新しい共振回路を考案し、VCO IC に適用し、試作、評価し、 K_{VCO} の線形化を実現した。

K_{VCO} の線形化を実現するため、pn 接合ダイオードをバラクタ回路に適用し、並列に接続し、pMOS トランジスタをダイオード接続した電圧レベルシフト回路を用いた新しい共振回路を提案した。新しく考案した共振回路は、従来型の共振回路と比較して、容量変化が同等で、 $C(V)$ 特性が線形であることが期待される。これを、0.35 μm SiGe BiCMOS プロセスを用いて、VCO IC に適用し、試作、評価をおこなった。その結果、高線形 VCO IC は、従来型の pn 接合ダイオードをバラクタ回路に採用し、設計し、同じプロセスを用いて試作、評価を行なった基本 VCO IC と比較して、 $K_{\text{VCO ratio}}$ を半分に抑制した。また、高線形 VCO IC は、基本 VCO IC と同等の FOM、チューニングレンジ、発振出力、位相雑音特性、チップ面積を実現した。従って、本提案の高線形 VCO IC は、VCO の性能をほとんど劣化させることなく K_{VCO} の線形化を実現した。

本提案の高線形 VCO IC の発振周波数は、5.45 GHz から 5.95 GHz が得られ、1 MHz オフセット周波数における位相雑音は、-116 dBc/Hz を得た。これらは、5GHz 帯の無線 LAN 規格 IEEE802.11a を満足する。さらに、近年発表されている VCO 回路と比較した結果、本提案の高線形 VCO IC は、 $K_{\text{VCO ratio}}$ が小さく、さらに、FOM が小さいことが確認された。従って、本設計手法の有効性が定量的に確認された。

第3章 参考文献

- [1] T. Lin and Y. Lai, "An agile VCO frequency calibration technique for a 10-GHz CMOS PLL," *IEEE Journal of Solid-State Circuits*, vol. 42, no. 2, pp. 340-349, Feb. 2007
- [2] J. Mira, T. Divel, S. Ramet, J. Begueret, and Y. Deval, "Distribute MOS varactor biasing for VCO gain equalization in 0.13/ μm MOS varactor biasing for VCO gain equalization," *IEEE Radio Frequency Integrated Circuits Symposium 2004*, pp. 131-134, June 2004.
- [3] J. Oehm and D. Pham-Stabner, "Linear Controlled temperature independent varactor circuitry," *Proceedings of European Solid-State Circuits Conference*, pp. 143-146, Sept. 2002.
- [4] T. Nakamura, T. Masuda, N. Shiramizu, K. Washio, T. Kitamura, and N. Hayashi, "A wide-tuning-range VCO with small VCO-gain fluctuation for multi-band W-CDMA RFIC," *Proceedings of European Solid-State Circuits Conference*, pp. 448-451, Sept. 2006.
- [5] 黒田忠広 監訳, "RF マイクロエレクトロニクス," 丸善出版, ISBN: 4-621-07005-3, 2002.
- [6] S. Levantino, M. Milani, C. Samori, and A. Lacaita, "Fast-switching analog PLL with finite-impulse response," *IEEE Transactions on Circuits and Systems*, vol. 51, no. 9, pp. 1697-1701, Sept. 2004.
- [7] J. Rogers, J. Macedo, and C. Plett, "The effect of varactor nonlinearity on the phase noise of completely integrated VCOs," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 9, pp. 1360-1367, Sept. 2000.
- [8] C. Lam and B. Razavi, "A 2.6 GHz/5.2 GHz frequency synthesizer in 0.4 - μm CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 35, No. 5, pp. 788-794, May 2000.
- [9] 総務省電波利用ホームページ. Available: <http://www.tele.soumu.go.jp/index.htm>
- [10] J. Bhattacharjee, D. Mukherjee, and J. Laskar, "A monolithic CMOS VCO for wireless LAN applications," *IEEE International Conference on Circuits and systems*, vol. 3, pp. III-441-III-444, May 2002.
- [11] Y. Chu and H. Chung, "A fully integrated 5.8 GHz U-NII band 0.18- μm CMOS VCO," *IEEE Microwave and Guided Wave Letter*, vol. 13, no. 7, pp. 287-289, July 2003.
- [12] L. Jia, Y. Choi, and W. Yeoh, "A 5.8-GHz VCO with precision gain control," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 701-704, June 2007.
- [13] Z. Li, W. Zhihua, and C. Hongyi, "A 5-GHz CMOS VCO for IEEE 802.11a WLAN application," *Proceedings of International Conference on Solid-State and Integrated Circuits Technology*, vol. 2, pp. 1311-1314, Oct. 2004.

- [14] H. Klepser, M. Scholtz, and J. Kucera, "A 5.7 GHz hiperlan SiGe BiCMOS voltage-controlled oscillator and phase-locked-loop frequency synthesizer," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 61-64, May 2001.
- [15] V. Kakani, F. Dai, and R. Jaeger, "A 5-GHz low-power series-coupled BiCMOS quadrature VCO with wide tuning range," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 6, pp. 457-459, June 2007.
- [16] N. Itoh, S. Ishizuka, and K. Katoh, "Integrated LC-tuned VCO in BiCMOS process," *Proceedings of European Microwave Integrated Circuits Conference*, pp. 329-339, Sept. 2001.
- [17] A. Koukab, Y. Lei, and M. Declercq, "Design and optimization of a linear wide-band VCO for multimode applications," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 527-530, June 2005.
- [18] 嶋田, 杉山, 吉武, "ディスクリートデバイスプロセス技術," *東芝レビュー*, vol. 59, no. 8, pp. 31-33, Aug. 2004.
- [19] J. Tang, G. Niu, J. John, D. Cressler, S. Zhang, A. Joseph, and D. Hareme, "Low-frequency noise figure-of-merit in RF SiGe HBT technology," *IEEE Radio frequency Integrated Circuits Symposium*, pp. 333-336, June, 2002.
- [20] S. Samadian, "A low phase noise quad-band CMOS VCO with minimized gain variation for GSM/GPRS/EDGE," *IEEE International Symposium on Circuits and Systems*, pp. 3287-3290, May 2007.
- [21] P. Andreani and S. Mattisson, "On the use of MOS varactors in RF VCO's," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 6, pp. 905-910, June 2005.
- [22] J. Mourant, J. Imbornone, and T. Tewksbury, "A low phase noise monolithic VCO in SiGe BiCMOS," *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 65-68, June 200.
- [23] M. Tiebout, "Low Power VCO Design in CMOS," Springer Berlin Heidelberg DOI, ISBN: 978-3-540-24324-3, 2006.
- [24] P. Gray, P. Hurst, S. Lewis, and R. Meyer, "Analysis and design of analog integrated circuits," fourth edition, John Willy and Sons INC, ISBN: 0-471-32168-0, 2001.
- [25] S. Kurachi, T. Yoshimasu, N. Itoh, and K. Yonemura, "5-GHz band highly linear VCO IC with a novel resonant circuit," *Topical meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 285-288, Jan. 2007.
- [26] S. Kurachi, T. Yoshimasu, H. Liu, N. Itoh, and K. Yonemura, "A SiGe BiCMOS VCO IC with highly linear K_{vco} for 5-GHz-Bands wireless LANs," *IEICE Transactions on Electronics*, vol. E90-C, no. 6, pp. 1228-1233, June 2007.
- [27] 倉智, 村田, 石川, 伊藤, 米村, 吉増, "SiGe BiCMOS を用いた高線形 VCO IC," *2007 年電子情報通信学会総合大会*, C-2-10, p. 43, March 2007.

- [28] M. Tsai, Y. Cho, and H. Wang, "A 5-GHz low phase noise differential colpits CMOS VCO," *IEEE Microwave and Wireless Components Letters*, vol. 15, no. 5, pp. 327-329, May 2005.
- [29] G. Grau, U. Langman, W. Winkler, D. Knoll, J. Osten, and K. Pressel, "A current-folded up-conversion mixer and VCO with center-tapped inductor in a SiGe-HBT technology for 5-GHz wireless LAN applications," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 9, pp. 1345-1352, Sept. 2000.
- [30] S. Tseng, C. Meng, Y. Chang, and G. Huang, "4-GHz fully monolithic SiGe HBT QVCO using superharmonic coupling topology," *Proceedings of European Microwave Integrated Circuits Conference*, pp. 161-164, Sept. 2006.

第4章

SiGe BiCMOS を用いた VCO IC の広帯域化

4-1. 序言

第3章では、0.35 μm SiGe BiCMOSを用いて、VCOゲインの線形化のための新しい設計手法の提案を行ない、VCO ICを試作し、評価し、設計手法の有効性を確認した。本章では、0.35 μm SiGe BiCMOSプロセスを用い、チューニングレンジの広帯域化を目的とした広帯域VCO ICを提案する。

チューニングレンジの広帯域化のためには、共振器に用いられるインダクタ、キャパシタなどの共振素子を制御電圧によって大きく可変させる必要がある。しかし、第3章で示したように、バラクタ回路の容量変化は、容量変化の大きなMOSバラクタを用いた場合でも2倍程度しか変化せず、また、序章で求めたように、寄生容量を考慮しない場合、33%のチューニングレンジしか得ることができない。そこで、MOSトランジスタをスイッチとして用い、共振器のインダクタを制御電圧によって切り替えることにより、広帯域化を図る試みが報告されている[1-4]。これらは、インダクタをスイッチで切り替え、インダクタンスとスイッチに用いるMOSの容量変化を利用する手法や[1]、インダクタをスイッチで切り替えバンド切り替えに利用し、また、MOSバラクタをチューニングに利用する手法である[2,3]。これらの回路は、複数のインダクタが必要となりチップサイズが大きくなる。そこで、MEMS (Micro Electro Mechanical System) 技術を用いてインダクタンスを可変させる手法が提案されているが[4]、特別なプロセス技術が必要となる等の課題がある。また、バラクタ回路の容量を可変して広帯域化を図る手法として、バラクタをチューニング用、バンド切り替え用に分けることによって広帯域化を図る試みが報告されている[5-7]。これらは、チューニング用にMOSバラクタ、または、pn接合ダイオードを用い、バンド切り替え用に、キャパシタとMOSトランジスタをスイッチとして適用し、キャパシタをデジタル的に可変させるキャパシタバンク回路を用いる手法である。これらの回路は、広帯域化と K_{vco} の低減が

同時に可能であることから、低位相雑音化が可能であるものの、バンド数が多くなればなるほど、制御電圧端子の数が多くなり、PLL回路が複雑となり、PLLのセトリングタイムが長くなる等の課題がある[8]。

本章では、制御端子が単一で、容量を広帯域に可変できる新しいバラクタ回路を提案する。第3章において、MOSバラクタが大きな容量変化を持つことを述べた。本設計では、MOSバラクタの大きな容量変化と、トランスコンダクタンスの変化による等価的な容量変化を用いて、バラクタ回路の容量変化の広帯域化を図る。また、第3章において、 K_{vco} の線形化には、バラクタ回路の容量変化を制御電圧に対し線形にすることが有効であることを導き、新しい共振回路を提案し、 K_{vco} の線形化を実現した。そこで、本章で提案する新しいバラクタ回路と、第3章で提案した電圧レベルシフト回路を用いて、 K_{vco} の線形化、低減を図りつつ、容量を広帯域に連続的に可変できる新しい共振回路を提案する。さらに、新しい共振回路をVCO ICに適用し、0.35 μm SiGe BiCMOSプロセスを用いて設計し、試作し、評価する。なお、本設計のVCO ICは(株)東芝 セミコンダクター社に試作して頂いた。

広帯域VCO ICの設計目標は、無線LAN規格のIEEE802.11a/b/gの通信規格に対応するため、発振周波数の設計目標を、2.4 GHzから5.2 GHzとする。2.4 GHzから5.2 GHzには、UWBに使用される周波数帯域の一部も含まれる。表4-1に、日本国内で無線LANなど小電力データ通信システムに使用される周波数帯域と屋内限定で大容量通信データ通信用に使用される周波数帯域を示す[9]。

表4-1. 無線LAN規格とUWB規格の周波数帯域.

2.4 GHz帯	2400 MHzから2483.5 MHz、2471 MHzから2497 MHz
5 GHz帯	5150 MHzから5350 MHz、5470 MHzから5725 MHz
UWB	3400 MHzから4800 MHz、7250 MHzから10250 MHz

また、位相雑音の設計目標は、第3章で示したとおり、最大伝送速度54 Mbps時の64-QAMを用いたOFDM方式の無線LAN規格IEEE802.11aを満たすために、1 MHzオフセット周波数における位相雑音-107 dBc/Hzを設計目標とする[10]。広帯域VCOの設計目標を表4-2にまとめる。

表 4-2. 広帯域 VCO 設計目標.

発振周波数	2.4 GHz から 5.0 GHz
チューニングレンジ	70 %
位相雑音 @1 MHz offset	< -107 dBc/Hz
消費電力	4.0 V、5.8mA

4-2. 容量変化の広域化のための共振回路の設計

4-2-1. 広帯域バラクタ回路の設計

第3章で示したように、MOSバラクタは、pn接合ダイオードと比較して、容量変化が大きなバラクタ素子であり、VCOに適用した場合、大きなチューニングレンジが期待される。本章では、チューニングレンジの広帯域化のために、容量変化が従来型バラクタ回路よりも大きな新しい広帯域バラクタ回路の提案をおこなう。

図4-1に本章で提案する広帯域バラクタ回路を示す。広帯域バラクタ回路は、MOSトランジスタ、pn接合ダイオードから構成される。本回路において、バラクタ回路に用いるMOSトランジスタは、第3章で示したMOSバラクタと異なり、ドレイン・ソース間を短絡せずに用いる。また、pn接合ダイオードは、発振を安定させるために用いる。ここで、MOSトランジスタは、ドレイン・ソース間を短絡せずに用いていることから、ゲート・ソース間、ゲート・ドレイン間、ドレイン・ソース間の容量を可変することができる。第3章で示したように、MOSバラクタは、制御電圧 (V_{ctrl}) が大きい範囲では、容量変化が飽和するため、大きな容量変化が得られない。一方、提案する新しいバラクタ回路では、 V_{ctrl} を大きくすると、ドレイン・ソース間のトランスコンダクタンスが大きくなっていく。このトランスコンダクタンスの変化により、等価的にバラクタ回路の容量を可変することができ、従来型MOSバラクタよりも大きな容量変化が期待される。

次に、広帯域バラクタに用いたMOSトランジスタサイズ、pn接合ダイオードのエミッタ面積を表4-3に示す。第3章で示したように、MOSトランジスタの容量変化は、pn接合ダイオードの容量変化よりも大きい。そこで、広帯域バラクタ回路は、MOSトランジスタの容量変化が支配的になるようにpn接合ダイオードのエミッタ面積が大きくなるように設計した。

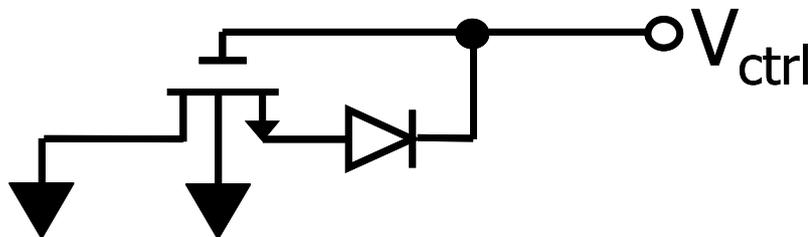


図4-1. 広帯域バラクタ回路.

表4-3. 広帯域バラクタ回路のMOSトランジスタサイズ、pn接合ダイオードのエミッタ面積.

素子	素子のサイズ
MOSトランジスタ	Wg: 15 μm , Lg: 0.8 μm , ゲート本数: 10
pn接合ダイオード	2.0 μm ×30 μm × 30 units

(Wg: ゲート幅, Lg: ゲート長)

回路シミュレータ (アジレント社ADS) を用いてC(V)特性を計算した。シミュレーション結果を図4-2に示す。それぞれ、 $V_{\text{ctrl}} = 0 \text{ V}$ の容量で規格化している。シミュレーション結果より、 V_{ctrl} が大きくなると、広帯域バラクタ回路の容量が、 $V_{\text{ctrl}} = 0.5 \text{ V}$ 程度から大きく増加し、 $V_{\text{ctrl}} > 1.0 \text{ V}$ においても増加していることが確認できる。第3章のMOSバラクタでは、 $V_{\text{ctrl}} > 1.0 \text{ V}$ において容量が飽和していたが、広帯域バラクタ回路では、トランスコンダクタンスの変化によって、等価的に容量が増加していることが確認できる。また、シミュレーション結果より、広帯域バラクタ回路の $C_{\text{max}} / C_{\text{min}} \cong 5$ であり、pn接合ダイオードの $C_{\text{max}} / C_{\text{min}} \cong 1.6$ であることが確認された。従って、広帯域バラクタ回路をVCOに適用した場合、チューニングレンジの広帯域化が期待できる

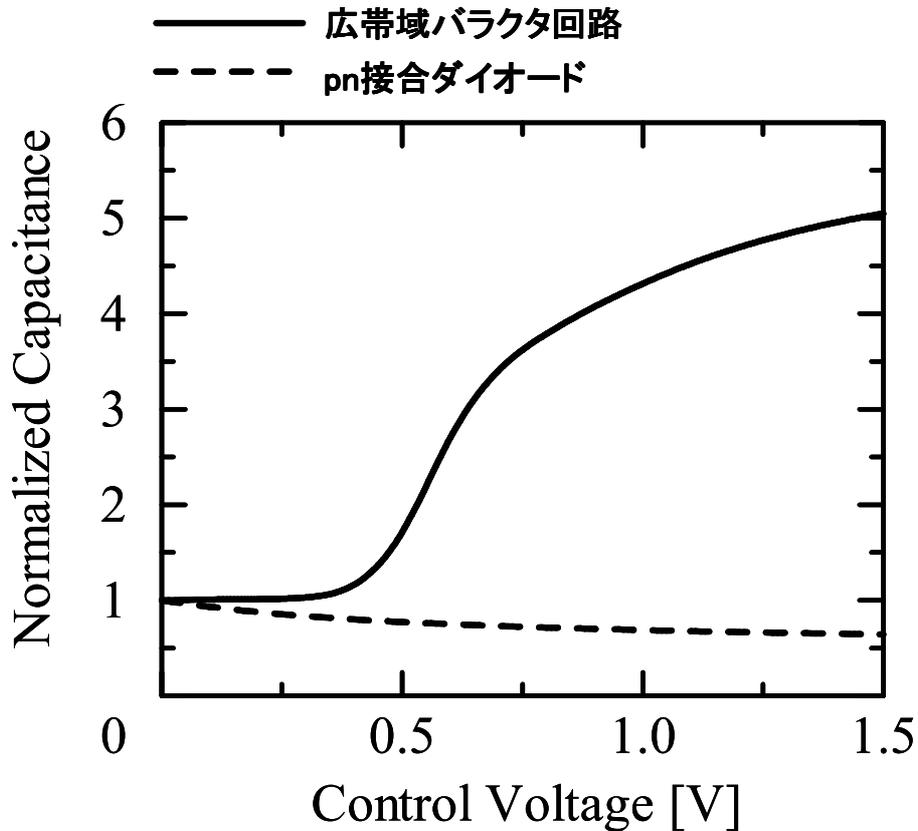


図 4-2. C(V)特性シミュレーション結果
(実線：広帯域バラクタ回路、点線：pn 接合ダイオード) .

次に、広帯域バラクタ回路の容量変化を、簡略化した等価回路を用いて考える。MOS トランジスタ、pn 接合ダイオードを簡略化した等価回路を図 4-3 に示す。pn 接合ダイオードをキャパシタ (C_D) で示し、また、MOS トランジスタ (C_M) をキャパシタとトランスコンダクタンス (G_M) の並列回路で示す。

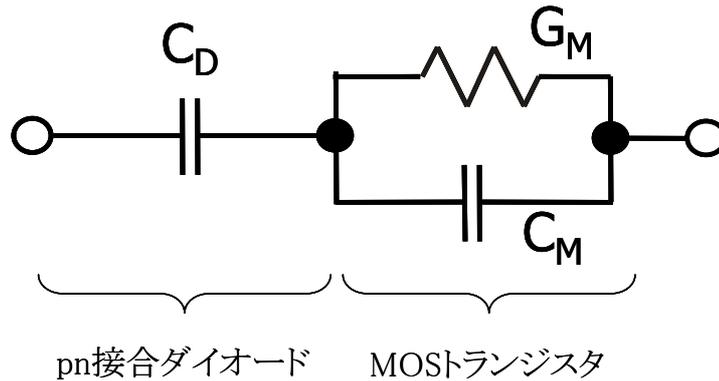


図4-3. 広帯域バラクタ回路を簡略化した等価回路.

図4-2に示した広帯域バラクタ回路のシミュレーション結果を、 V_{ctrl} に対する容量変化によって、次の3つの領域に分けて考える。

- (i) $V_{ctrl} = 0\text{ V} - 0.5\text{ V}$
- (ii) $V_{ctrl} = 0.5\text{ V} - 0.9\text{ V}$
- (iii) $V_{ctrl} = 0.9\text{ V} - 1.5\text{ V}$

以下に、それぞれの領域の広帯域バラクタの動作について述べる。

(i) $V_{ctrl} = 0\text{ V} - 0.5\text{ V}$

図 4-4 に V_{ctrl} が 0 V から 0.5 V における広帯域バラクタ回路の $C(V)$ 特性のシミュレーション結果（実線）と、pn 接合ダイオードの $C(V)$ 特性のシミュレーション結果（点線）をそれぞれ示す。本領域では、広帯域バラクタ回路の容量変化は小さいことが確認できる。

本領域では、第 3 章に示したように、MOS バラクタは、空乏領域で動作し、容量変化が小さい。また、MOS トランジスタの閾値電圧 (0.706 V) 以下であり、MOS トランジスタのドレイン・ソース間のトランスコンダクタンスは非常に小さい。従って、本領域におけるバラクタ回路は、 C_D と C_M が直列に接続されている状態と考えることができる。本設計で

は、pn 接合ダイオードのエミッタ面積を大きく設計したため、 C_D と C_M が直列に接続されている状態では、MOS トランジスタによる容量変化が支配的となる。従って、広帯域バラクタ回路の容量 (C_T) は、本領域において式 (4-1) によって示される。

$$C_T \approx \frac{C_D C_M}{C_D + C_M} \approx C_M \quad (4-1)$$

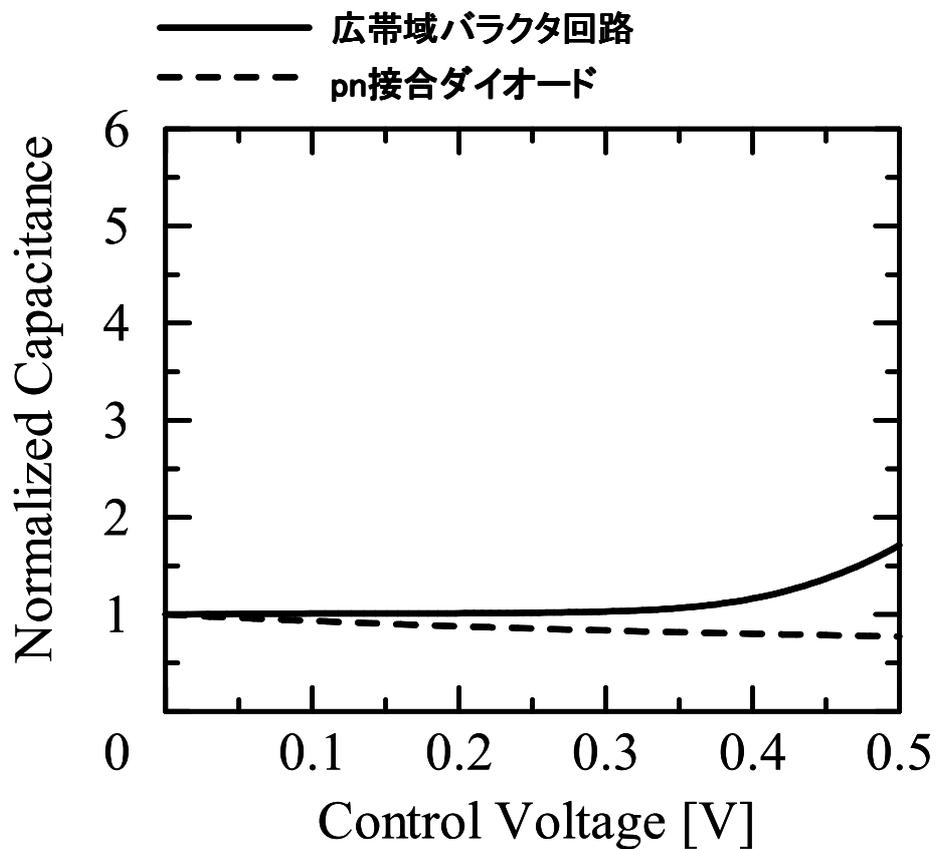


図 4.4. $V_{ctrl}=0\text{ V}-0.5\text{ V}$ における $C(V)$ 特性シミュレーション結果
(実線：広帯域バラクタ回路、点線：pn 接合ダイオード)。

(ii) $V_{ctrl} = 0.5\text{ V} - 0.9\text{ V}$

図4-5に V_{ctrl} が 0.5 V から 0.9 V における広帯域バラクタ回路の $C(V)$ 特性のシミュレーション結果（実線）と、pn 接合ダイオードの $C(V)$ 特性のシミュレーション結果（点線）をそれぞれ示す。本領域では、広帯域バラクタ回路の容量変化が大きいことが確認できる。

本領域では、MOS トランジスタが閾値電圧近傍で動作しているため、MOS トランジスタのトランスコンダクタンスは小さい。そのため、 C_T は、MOS トランジスタの容量が支配的であり、(i) の領域と同様に式 (4-1) によって示される。また、本領域は、第3章で示したように、MOS バラクタの動作領域が空乏領域から、反転領域に変わる領域である。従って、MOS バラクタの容量変化が大きく、 C_T が大きく変化する。

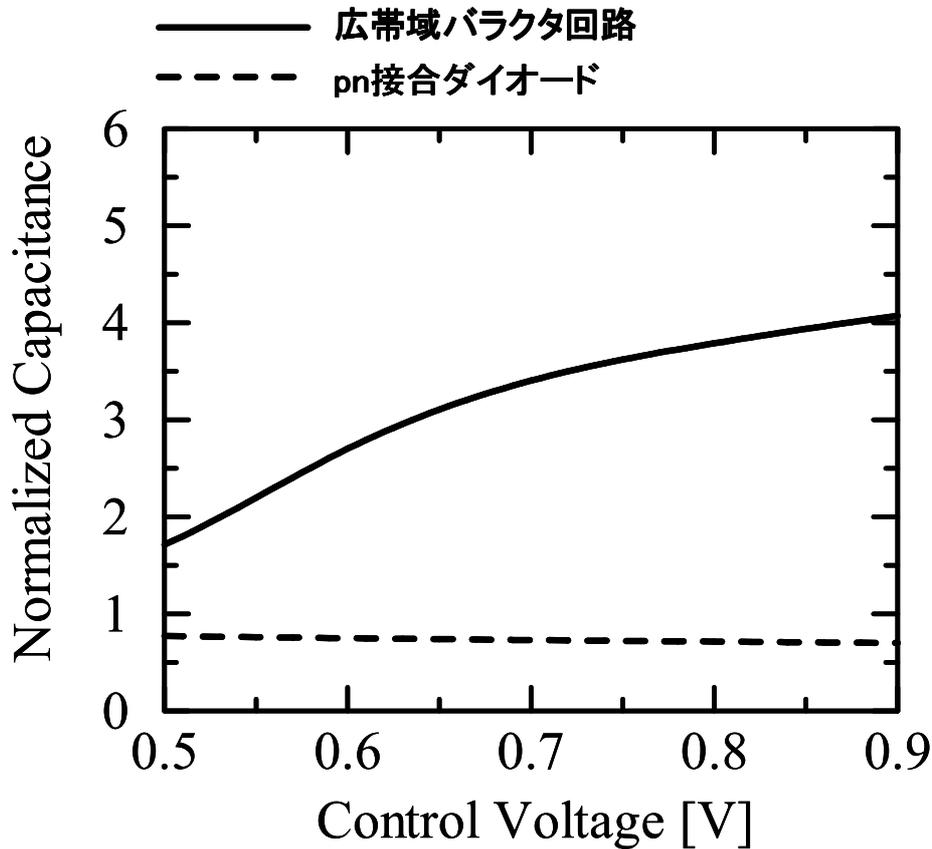


図 4-5. $V_{ctrl} = 0.5\text{ V} - 0.9\text{ V}$ における容量変化
(実線：提案するバラクタ回路、点線：pn 接合ダイオード)。

(iii) $V_{ctrl} = 0.9\text{ V} - 1.5\text{ V}$

図4-6に V_{ctrl} が 0.9 V から 1.5 V における広帯域バラクタ回路の $C(V)$ 特性のシミュレーション結果（実線）と、pn 接合ダイオードの $C(V)$ 特性のシミュレーション結果（点線）をそれぞれ示す。本領域では、(ii)の領域に比べて広帯域バラクタ回路の容量変化は小さいものの、 V_{ctrl} に対し容量が変化している。

第3章で示したように、 $V_{ctrl} > 1.0\text{ V}$ では、MOS トランジスタが強反転領域となり、 V_{ctrl} に対して容量変化が飽和する。しかし、本設計で提案するバラクタ回路の容量変化は、飽和していないことがシミュレーション結果によって確認できる。

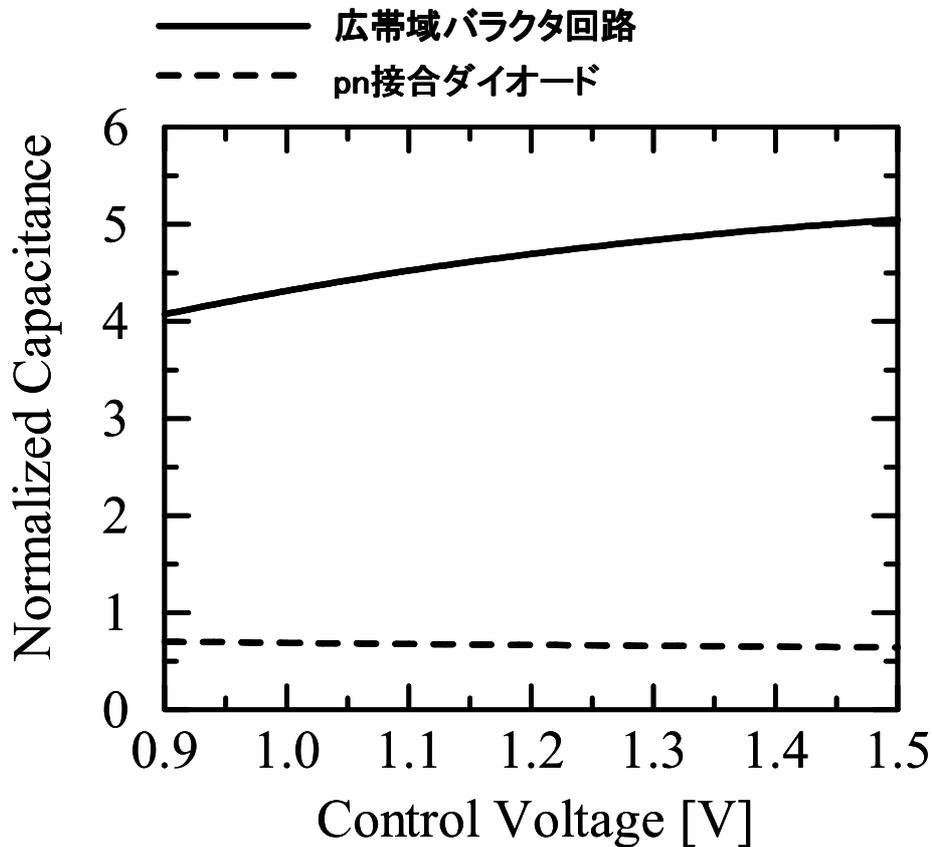


図4-6. $V_{ctrl} = 0.9\text{ V} - 1.5\text{ V}$ における容量変化
(実線：提案するバラクタ回路、点線：pn 接合ダイオード)。

次に、本領域における広帯域バラクタの容量変化について詳述する。MOS トランジスタのトランスコンダクタンスは、本領域では閾値電圧を超えるため、領域(i)、(ii)と異なり、無視することはできない。そこで、広帯域バラクタ回路のアドミタンスを考え、その虚数部を解析することで、容量変化を定量的に示す。

広帯域バラクタ回路のアドミタンスは、式 (4-2) によって示される。

$$\begin{aligned}
 Y &= \frac{1}{\frac{1}{j\omega C_M + G_M} + \frac{1}{j\omega C_D}} \\
 &= \frac{\omega C_D (\omega^2 C_M^2 + G_M^2) \omega C_D G_M + j\omega C_D (\omega^2 C_M^2 + G_M^2) \{G_M^2 + \omega^2 C_M (C_D + C_M)\}}{\omega^2 C_D^2 G_M^2 + \{G_M^2 + 2\omega^2 C_M (C_D + C_M)\}^2} \quad (4-2)
 \end{aligned}$$

さらに、式 (4-2) より、広帯域バラクタ回路のアドミタンスの虚数部は、式 (4-3) によって近似される。

$$\text{Im}(Y) \approx \frac{\omega C_D (\omega^2 C_M^2 + G_M^2)}{G_M^2 + \omega^2 C_M (C_D + C_M)} \quad (4-3)$$

ここで、式 (4-3) は、等価的に広帯域バラクタ回路の容量を示している。本領域において、トランスコンダクタンスの変化に対して、式 (4-3) の V_{ctrl} に対する微分を調べることによって、広帯域バラクタ回路の容量変化が増加しているか、飽和しているかを判断することができる。式 (4-4) に式 (4-3) の微分を示す。

$$\frac{\partial}{\partial G_M} \{ \text{Im}(Y) \} = \frac{2\omega^3 C_D C_M^2 G_M}{\{G_M^2 + \omega^2 C_M (C_D + C_M)\}^2} \quad (4-4)$$

式 (4-4) より、 $V_{\text{ctrl}} > 0.9 \text{ V}$ の領域において、微分値は、トランスコンダクタンスの変化に対し単調増加であり、広帯域バラクタ回路の容量は等価的に増加することが期待される。

次に、 V_{ctrl} がさらに大きくなったときについて考える。さらに V_{ctrl} が大きくなると、トランスコンダクタンスの変化が飽和するため、広帯域バラクタ回路の容量変化が等価的に飽和する。

従って、本設計で提案する広帯域バラクタ回路は、 V_{ctrl} が 0 V から 1.5 V の範囲で、 $C_{\text{max}} / C_{\text{min}} \doteq 5$ がシミュレーション結果より確認され、従来のバラクタ回路よりも大きな容量変化が期待でき、チューニングレンジの広帯域化に有効であると考えられる。

4-2-2. 広帯域共振回路の設計

4-2-1 節で提案した広帯域バラクタ回路を共振回路に応用する。以下に、広帯域共振回路の回路設計について詳述する。

広帯域バラクタ回路は、従来型のバラクタ回路よりも容量変化が大きく、大きなチューニングレンジが期待される。しかし、広帯域バラクタ回路の $C(V)$ 特性は、非線形であり、 $K_{VCOratio}$ が大きくなる。また、 $C(V)$ 特性の傾きが大きいため、 K_{VCO} が大きくなり、位相雑音が劣化すると考えられる。そこで、第3章で提案した電圧レベルシフト回路を採用する。第3章で提案した新しい共振回路は、従来型の共振回路と比較して、

- (i) チューニングレンジをほとんど小さくすることなく、
- (ii) 位相雑音を劣化させることなく、
- (iii) K_{VCO} の線形化を実現する、

という特徴を持つ。従って、電圧レベルシフト回路を提案した広帯域バラクタ回路に採用することで、チューニングレンジをほとんど小さくすることなく、 K_{VCO} の線形化と低減を同時に図ることができると考えられる。

図 4-7 に提案する広帯域共振回路の等価回路を示す。提案する広帯域共振回路は、スパイラルインダクタ、3 段に並列接続された広帯域バラクタ回路 (C_1, C_2, C_3) と nMOS トランジスタを用いた電圧レベルシフト回路 (Tr_1, Tr_2, Tr_3) から構成される。また、広帯域バラクタ回路の nMOS トランジスタのドレイン側のキャパシタは、DC カット用である。インダクタには、第3章と同じスパイラルインダクタを用いる。

次に、提案する共振回路の動作について述べる。まず、制御電圧 (V_{ctrl}) が C_1 の制御電圧端子 V_1 に印加される。 V_{ctrl} が nMOS トランジスタの閾値電圧 ($V_{th,n}$) を超えると、 Tr_1 が on し、 V_{ctrl} が C_2 の制御電圧端子 V_2 に印加される。さらに V_{ctrl} が大きくなり、 $2 V_{th,n}$ を超えると、 Tr_2 が on し、 V_{ctrl} が C_3 の制御電圧端子 V_3 に印加される。従って、それぞれのバラクタ回路に V_{ctrl} が徐々に印加されるため、 K_{VCO} の線形化が期待できる。また、提案する共振回路では、電圧レベルシフト回路によって、 V_{ctrl} が徐々に各バラクタ回路に印加されるため、チューニングレンジを小さくすること無く、容量変化の傾きを小さくすることができ、 K_{VCO} の低減が期待できる。これは、広帯域バラクタ回路は、 V_{ctrl} が 0 V から 1.5 V の範囲で容量が変化しているため、容量変化の傾きが急峻であるのに対し、新しく提案する共振回路では、 V_{ctrl} が 0 V から 3.0 V の範囲で容量が変化しているため、容量変化の傾きが緩やかになるからである。第3章で示したように、 K_{VCO} が大きいほど、位相雑音は劣化する。しかし、電圧レベルシフト回路を採用することにより、位相雑音の抑制が期待される。

表 4-4 に広帯域共振回路に用いた広帯域バラクタ回路の nMOS トランジスタサイズと pn 接合ダイオードのエミッタ面積をそれぞれ示す。本設計では、電圧レベルシフト回路に

pMOS トランジスタよりも閾値電圧が低い nMOS トランジスタを適用する。広帯域バラクタ回路の容量変化は、4-2-1 節で示したように、 V_{ctrl} が 0.5 V から 0.9 V の範囲で大きく変化し、0.9 V から 1.5 V の範囲で緩やかに変化する。nMOS トランジスタを用いた場合、2 段目のバラクタ回路の容量変化が大きい範囲は、 V_{ctrl} が 1.2 V から 1.6 V となり、pMOS トランジスタを用いた場合よりも V_{ctrl} が小さくなる。従って、閾値電圧の小さい nMOS トランジスタを用いるほうが、バラクタ回路の容量変化が線形になると考え、電圧レベルシフト回路に適用した。

図 4-8 に各バラクタ回路の制御電圧端子のノードの電位のシミュレーション結果を示す。バラクタ回路 C_1 から C_3 の制御電圧端子 V_1 から V_3 に徐々に電圧が印加されるのが確認できる。

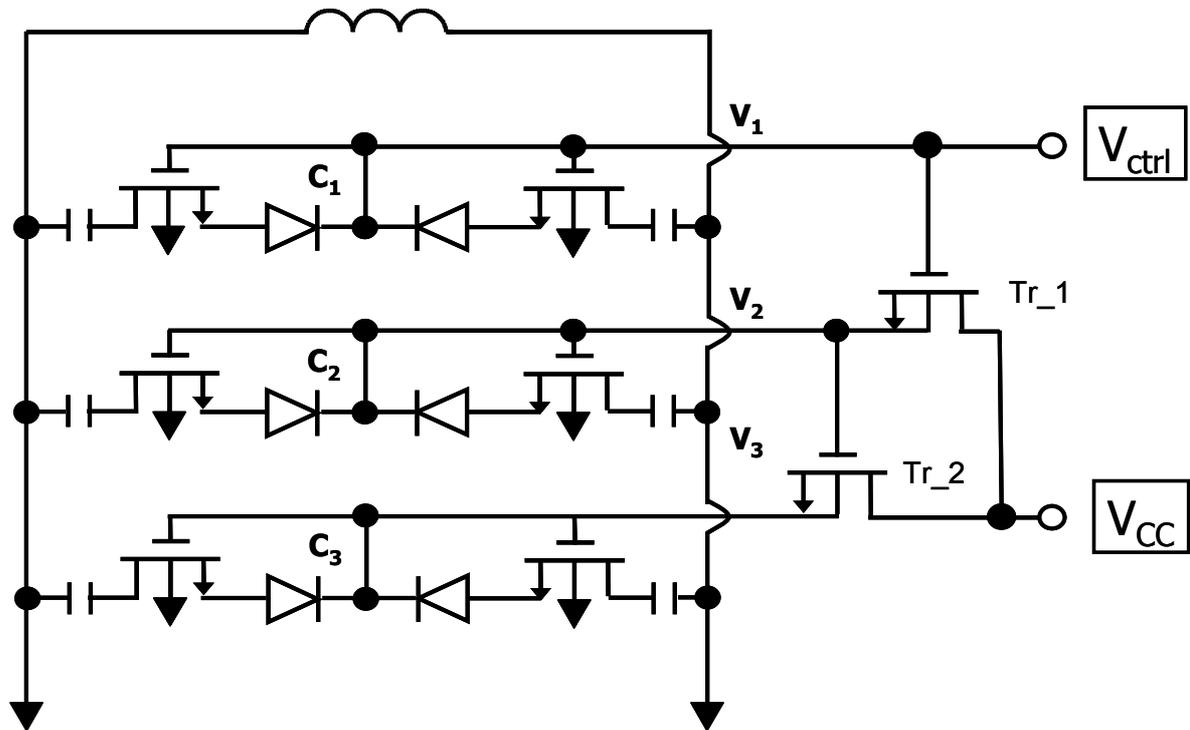


図 4-7. 提案する新しい共振回路.

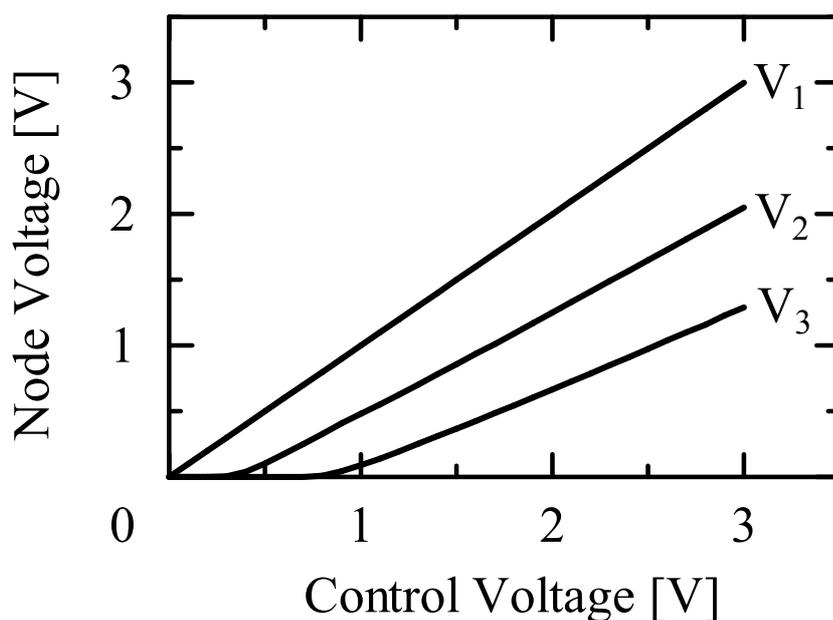


図 4-8. 各バラクタ回路の制御電圧端子の電位.

表 4-4. 共振回路の MOS トランジスタサイズ、pn 接合ダイオードのエミッタ面積.

	MOS トランジスタ (W_g , L_g , ゲート本数)	pn 接合ダイオード (エミッタ面積)
C_1	W_g 15 μm , L_g 0.8 μm , 10	2.0 μm × 30 μm × 30 ユニット
C_2	W_g 15 μm , L_g 0.8 μm , 30	2.0 μm × 30 μm × 30 ユニット
C_3	W_g 15 μm , L_g 0.8 μm , 40	2.0 μm × 30 μm × 30 ユニット

図 4-9 に提案する広帯域共振回路の $C(V)$ 特性のシミュレーション結果を実線で示す。比較のために、広帯域バラクタ回路の $C(V)$ 特性のシミュレーション結果をドット線で示し、pn 接合ダイオードで構成される基本バラクタ回路の $C(V)$ 特性のシミュレーション結果を点線で示す。提案する広帯域共振回路の容量変化は、基本バラクタ回路の容量変化の約 3 倍であり、広帯域バラクタの容量変化とほとんど同等である。また、広帯域共振回路の $C(V)$ 特性は、広帯域バラクタ回路の $C(V)$ 特性と比較すると、線形に近く、傾きが緩やかになっていることが確認できる。従って、提案する広帯域共振回路を VCO に適用した場合、チューニングレンジの広帯域化と、 K_{VCO} の線形化、低減が同時に期待できる。

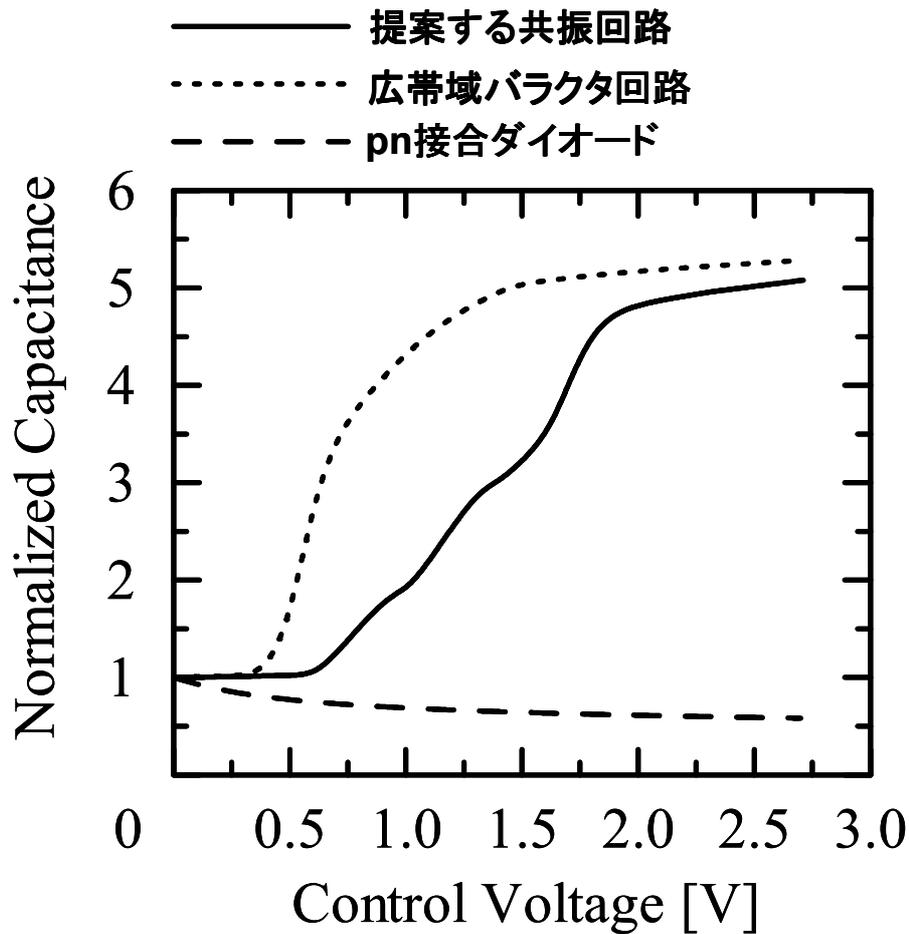


図 4-9. 提案する共振回路の容量変化シミュレーション結果.

4-3. 広帯域 VCO IC の設計

4-2 節で提案した発振周波数の広帯域化のための新しい共振回路を VCO IC に適用する。広帯域 VCO IC の等価回路図を図 4-10 に示す。広帯域 VCO IC の回路構成は、共振回路を除いて、第 3 章で示した基本 VCO IC、高線形 VCO IC と同じであり、同じ $0.35 \mu\text{m}$ SiGe BiCMOS プロセスを用いて設計した。また、VCO のゲインセルに用いた SiGe HBT のトランジスタサイズは、第 3 章と同様に、 $0.2 \mu\text{m} \times 8.0 \mu\text{m} \times 4$ ユニットである。VCO IC の出力には、基本 VCO IC と同様に、差動増幅器、エミッタフォロアからなるバッファが接続されている。

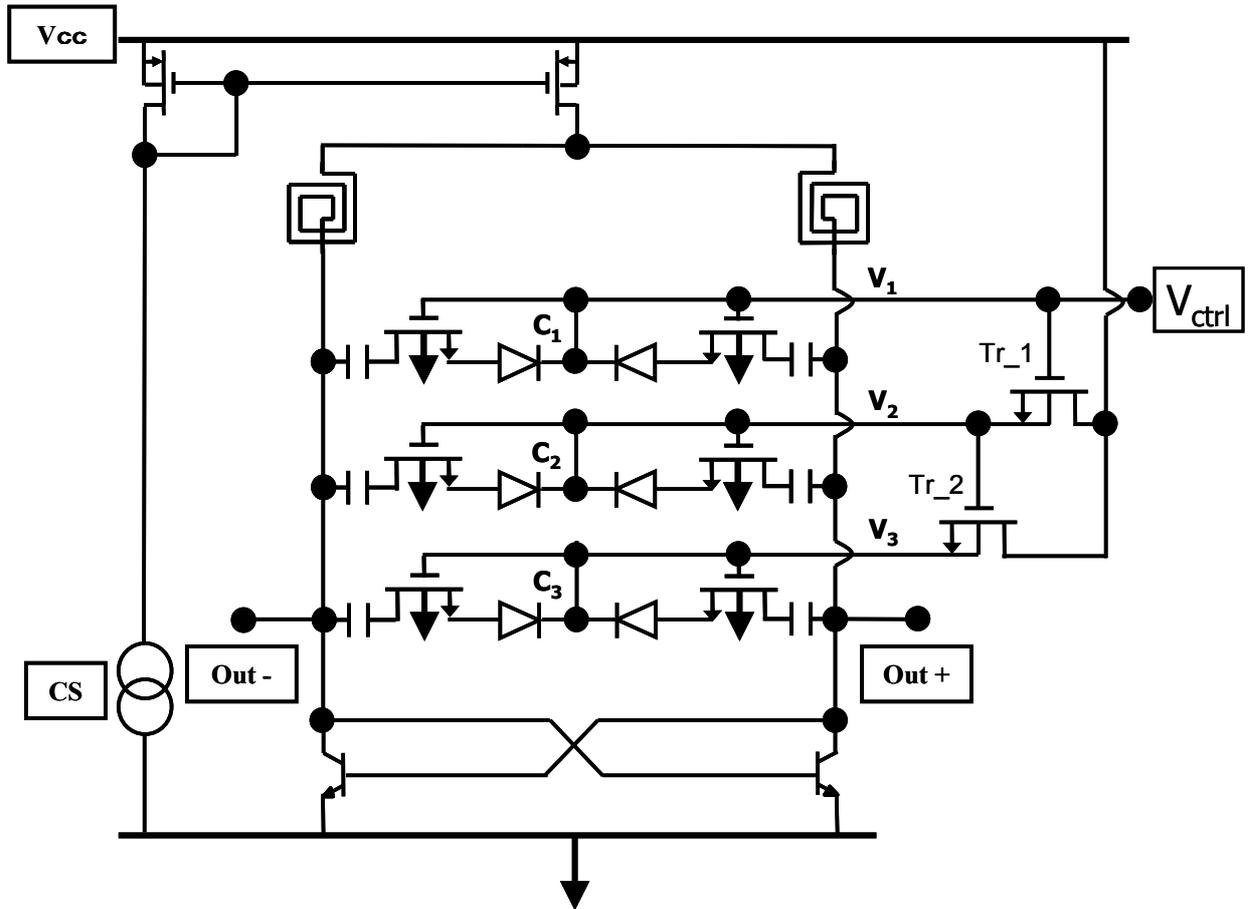


図 4-10. 広帯域 VCO IC の等価回路図.

ハーモニックバランスシミュレータによるシミュレーション結果を示す。発振周波数の制御電圧特性シミュレーション結果を図 4-11 に示す。実線が広帯域 VCO IC であり、点線が基本 VCO IC である。広帯域 VCO IC のバイアス条件は、 $V_{CC} = 4.0 \text{ V}$ であり $I_{CC} = 5.8 \text{ mA}$ である。第 3 章で示した基本 VCO IC、高線形 VCO IC よりも V_{CC} が大きいのは、広帯域に発振を持続するために大きな負性抵抗が必要であるからである。基本 VCO IC のバイアス条件は、第 3 章と同じで、 $V_{CC} = 3.0 \text{ V}$ であり $I_{CC} = 3.4 \text{ mA}$ である。また、 V_{ctrl} の範囲を 0.5 V から 3.0 V とした。これは、広帯域 VCO IC がバラクタ回路と VCO コアの間を DC カットのキャパシタで分離しているため、 V_{ctrl} が小さい電圧から使用できるからである。

次に、発振周波数のシミュレーション結果を表 4-5 にまとめる。シミュレーション結果より、制御電圧 0.5 V から 3.0 V の範囲において、提案する広帯域 VCO IC は、発振周波数 2.42 GHz から、 5.06 GHz 、チューニングレンジ 71% が確認された。これは、基本 VCO IC のチューニングレンジ 23% の 3 倍であり、本設計手法による発振周波数の広帯域化が期待される。

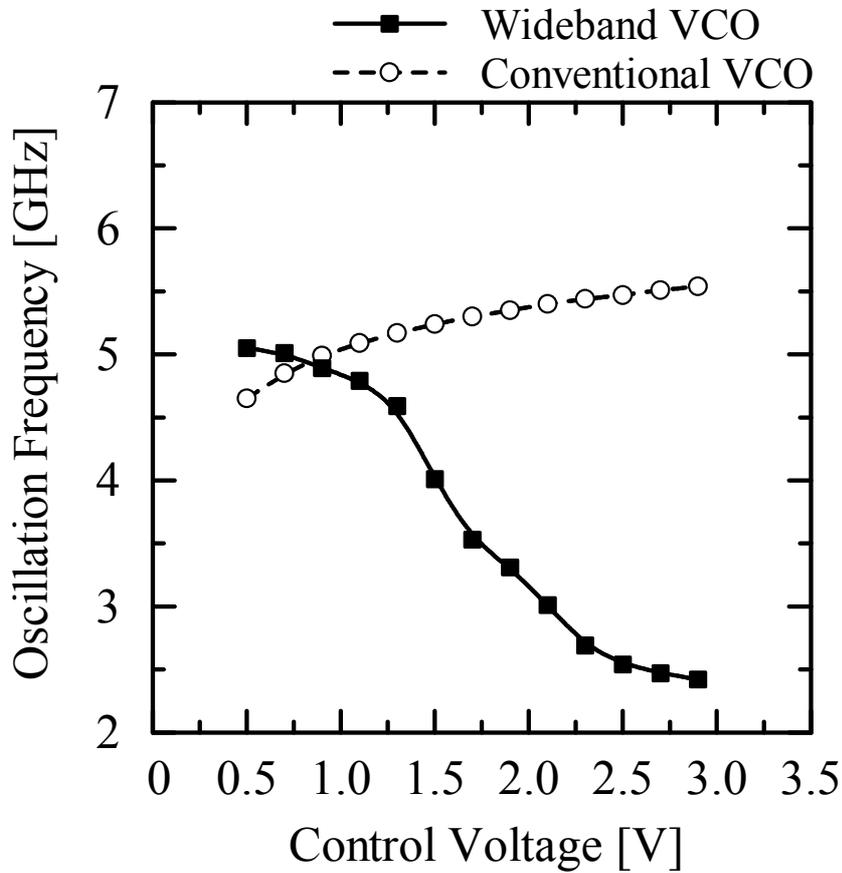


図 4-11. 発振周波数の制御電圧特性シミュレーション結果
(実線：広帯域 VCO IC、点線：基本 VCO IC).

表 4-5. 発振周波数シミュレーション結果まとめ.

	広帯域 VCO IC	基本 VCO IC
発振周波数 [GHz]	2.42 – 5.06	4.37 – 5.54
中心周波数 [GHz]	3.74	4.96
チューニングレンジ [%]	70.6	23.6
消費電力	4.0 V, 5.4 mA	3.0 V, 3.4 mA

4-4. チップ試作結果と考察

試作した広帯域 VCO IC のチップ写真を図 4-12 に示す[11]。チップサイズは、 $0.73 \times 0.90 \text{ mm}^2$ である。チップは、(株) 東芝 セミコンダクター社に試作して頂いた。測定は、オンウエハプローブを用いて行なった。

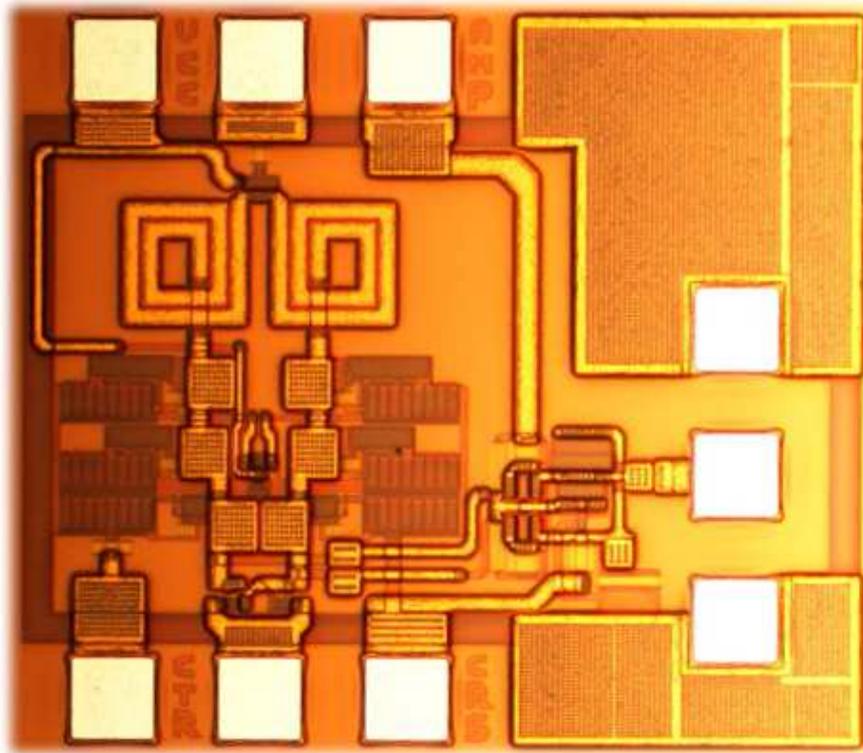


図 4-12. 広帯域 VCO IC のチップ写真.

4-4-1. 測定結果と考察

スペクトラムアナライザにてバラクタ制御電圧特性の測定をおこなった。制御電圧特性測定結果を図 4-13 に示す。実線が広帯域 VCO IC の測定結果であり、点線が基本 VCO IC の測定結果である。バイアス条件は、広帯域 VCO IC が、 $V_{CC}=4.0 \text{ V}$ であり $I_{CC}=5.8 \text{ mA}$ であり、基本 VCO IC が、 $V_{CC}=3.0 \text{ V}$ であり、 $I_{CC}=3.4 \text{ mA}$ である。また、 V_{ctrl} は、 0.5 V から 3.0 V まで印加した。広帯域 VCO IC の発振周波数は、 2.72 GHz から 4.40 GHz が得られ、

チューニングレンジは、48 %が確認された。一方、基本 VCO IC の発振周波数は、5.16 GHz から 6.02 GHz が得られ、チューニングレンジは 15 %が確認された。基本 VCO IC のチューニングレンジが第3章の測定結果よりも大きくなっているのは、広帯域 VCO IC の V_{ctrl} の可変範囲にあわせ、0.5 V から 3.0 V まで印加したためである。広帯域 VCO IC は、基本 VCO IC と比較して、約 3 倍のチューニングレンジを持ち、チューニングレンジの広帯域化を実現した。

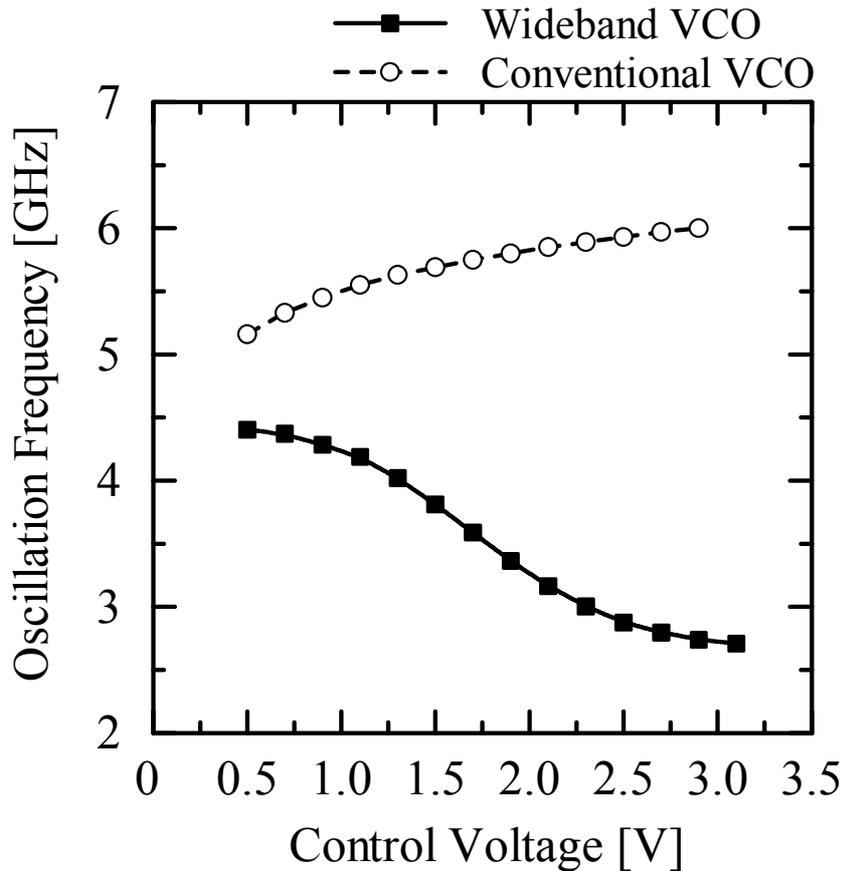


図 4-13. 発振周波数の制御電圧特性測定結果
(実線：広帯域 VCO IC、点線：基本 VCO IC) .

しかしながら、広帯域 VCO IC のチューニングレンジの測定結果とシミュレーション結果を比較したところ、大きな差が生じた。以下に測定結果とシミュレーション結果の発振周波数の違いについて考察する。

V_{ctrl} の小さい範囲では、発振周波数の測定結果は、シミュレーション結果よりも小さくなっており、一方、 V_{ctrl} の大きい範囲では、発振周波数の測定結果は、シミュレーション結果よりも大きくなっている。ここで、 V_{ctrl} の小さい範囲と大きい範囲に分けてそれぞれの発振周波数の違いについて考察する。

(i) V_{ctrl} の小さい範囲

$V_{ctrl} = 0$ V において、測定結果のほうがシミュレーション結果と比較して発振周波数が 600 MHz 低くなった。 V_{ctrl} が小さい範囲では、広帯域 VCO IC の共振回路の容量は小さいため、測定結果とシミュレーション結果との発振周波数の差は、寄生容量が大きく起因していると考えられる。その理由として、広帯域 VCO IC は、基本 VCO IC と比較して、共振回路が大きくなり、全体の配線が長くなっているからである。レイアウトから配線長を概算し寄生容量を計算し、広帯域 VCO IC と基本 VCO IC を比較したところ、広帯域 VCO IC の寄生容量が基本 VCO IC よりも約 3 倍大きくなっていることが分かった。また、計算した寄生容量を用いて再度シミュレーションを行なったところ、測定結果とシミュレーション結果との差が小さくなった。従って、広帯域 VCO IC は、バラクタ回路部分の配線が多く、それによって寄生容量が大きくなったため、測定結果のほうがシミュレーション結果よりも発振周波数が小さくなったと考えられる。

(ii) V_{ctrl} の大きい範囲

$V_{ctrl} = 2.5$ V において、測定結果のほうが、シミュレーション結果と比較して発振周波数が 300 MHz 高くなった。 V_{ctrl} が大きい範囲では、広帯域 VCO IC の共振回路の容量は大きく、また、発振周波数が低くなっていることから、寄生容量による影響は小さいと考えられる。従って、発振周波数に違いが生じた理由は、pn 接合ダイオード、または、MOS トランジスタの容量のモデルパラメータがモデルよりも大きく変化しなかったことが起因していると考えられる。

以上の結果から、測定結果とシミュレーション結果の発振周波数の違いを総括し、述べる。 V_{ctrl} が小さい範囲では、共振回路の面積が大きくなり、配線が長くなったため、配線の寄生容量が影響している。一方、 V_{ctrl} が大きい範囲では、pn 接合ダイオード、または、MOS バラクタの容量モデルパラメータがモデルよりも大きく変化しなかったことが起因していると考えられる。

次に、VCO アナライザを用いて位相雑音の測定をおこなった。 $V_{ctrl} = 0.5$ V 時における位相雑音のオフセット周波数に対する特性を図 4-14 に示す。それぞれ、広帯域 VCO IC の位相雑音特性を実線で示し、基本 VCO IC の位相雑音特性を点線で示す。広帯域 VCO IC の位相雑音は、100 kHz オフセット周波数において -87 dBc/Hz、1 MHz オフセット周波数において -111 dBc/Hz が得られた。一方、基本 VCO IC の位相雑音は、100 kHz オフセット周波数において -88 dBc/Hz、1 MHz オフセット周波数において -111 dBc/Hz が得られた。広帯域 VCO IC の位相雑音は、基本 VCO IC の位相雑音と比較して、同等の位相雑音特性を有していることがわかる。

また、広帯域 VCO IC と基本 VCO IC の測定結果を表 4-6 にまとめる。比較の結果から、広帯域 VCO IC は、基本 VCO IC よりも 3 倍のチューニングレンジを持ち、同等の位相雑音特性を有していることから、本設計手法の有効性が確認された。

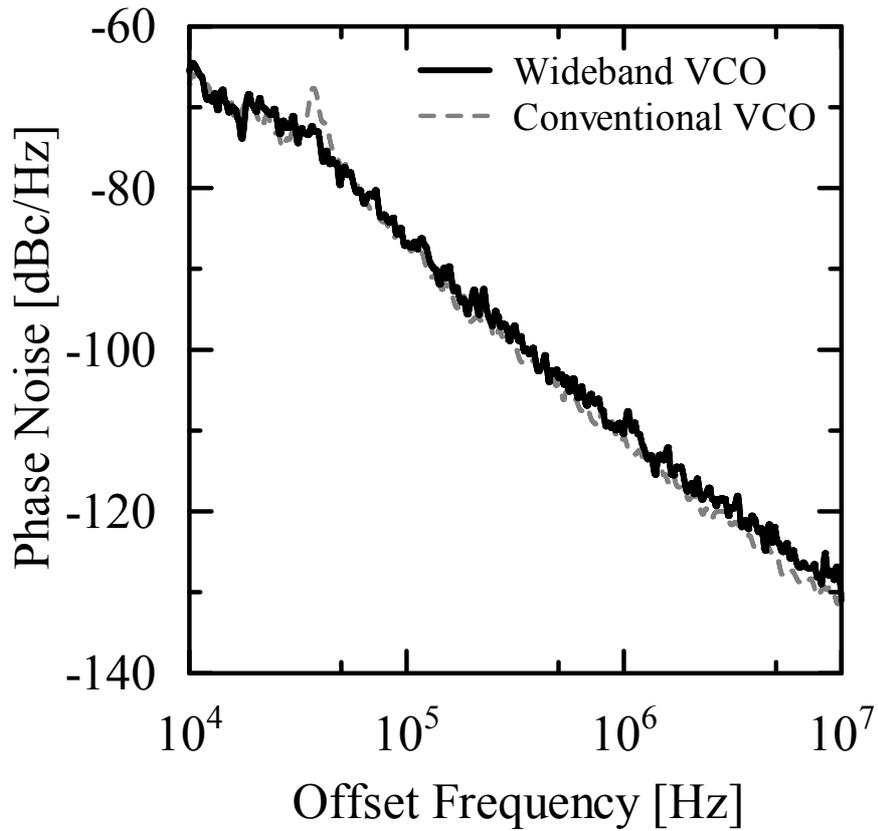


図 4-14. オフセット周波数に対する位相雑音の測定結果
(実線：広帯域 VCO IC、点線：基本 VCO IC) .

表 4-6. 測定結果のまとめ.

	広帯域 VCO IC	基本 VCO IC
発振周波数 [GHz]	2.72 – 4.40	5.16 – 6.02
中心周波数 [GHz]	3.56	5.59
チューニングレンジ [%]	48	15
位相雑音 [dBc/Hz]	-87	-88
100 kHz offset / 1 MHz offset	-111	-111
消費電力	4.0 V, 5.6 mA	3.0 V, 3.4 mA

4-4-2. 性能比較

広帯域 VCO IC は、基本 VCO IC と比較して 3 倍のチューニングレンジを持ち、本設計の回路設計手法の有効性が実証された。本設計の評価結果と、他論文を比較し、定量的に本設計手法が優れていることを実証する。他論文との比較の結果を表 4-7 にまとめ、図 4-15 に示す[11-16]。このうち、[11,14]は、アクティブインダクタを用いた VCO である。チューニングレンジは、本設計の広帯域 VCO IC よりも大きいのが、位相雑音が 20 dB も劣化している。本設計の広帯域 VCO IC は、単一の制御電圧で制御され、1 MHz オフセット周波数における位相雑音が、-100 dBc/Hz 以下において、これまでに発表されている VCO の中で、チューニングレンジが最も大きいことが確認された。従って、広帯域 VCO IC の回路設計手法が定量的に優れていることが確認された。

表 4-7. 他論文との比較.

プロセス	中心周波数 [GHz]	チューニングレンジ [%]	位相雑音 [dBc/Hz]	ref.
180nm CMOS	4.1	67	-90	[12]
350 nm CMOS	1.73	29	-110	[13]
250nm CMOS	5.3	22	-106	[14]
SiGe BiCMOS	7.3	55	-74	[15]
SiGe BiCMOS	5.2	25	-113	[16]
SiGe BiCMOS	4.7	15	-114	[17]
SiGe BiCMOS	5.6	15	-116	基本 VCO IC
SiGe BiCMOS	3.6	48	-111	広帯域 VCO IC

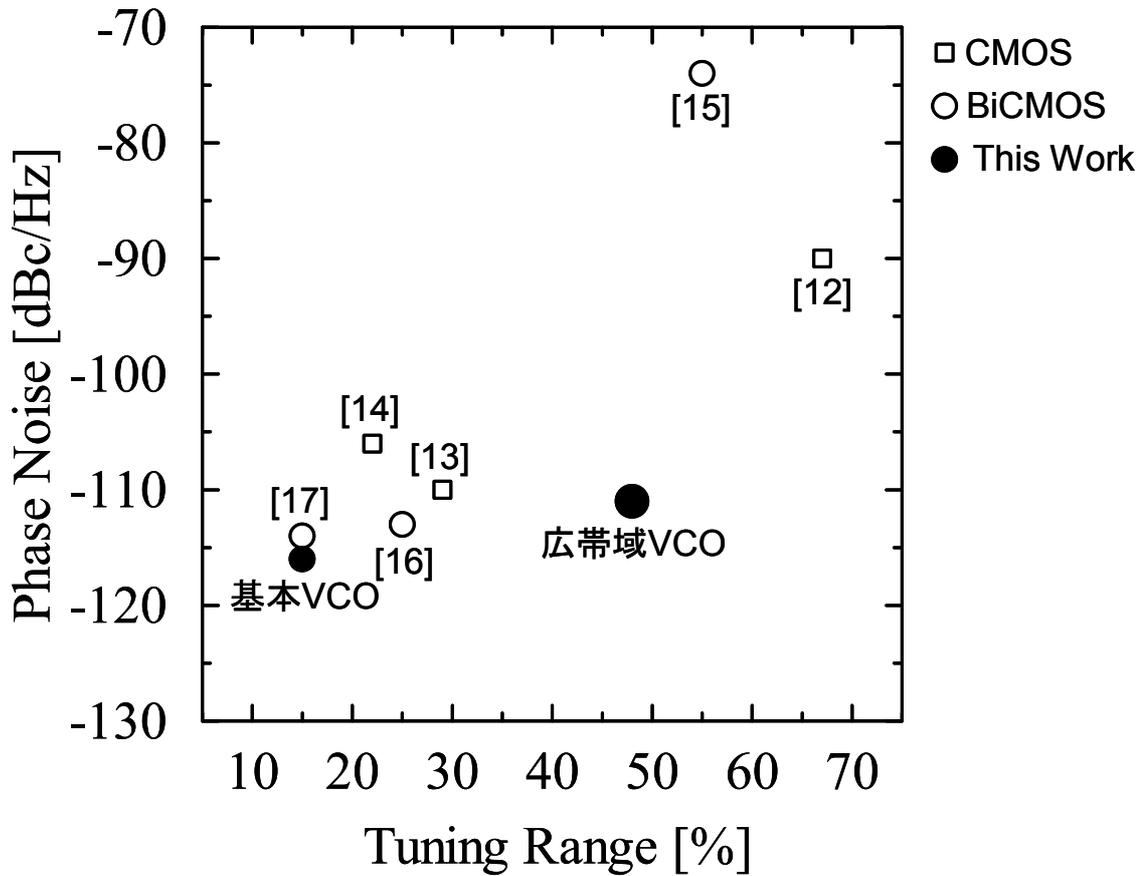


図 4-15. 他論文との比較結果.

4-5. 結言

本章では、0.35 μm SiGe BiCMOS プロセスを用いて、新しいバラクタ回路、共振回路の提案を行ない、VCO IC 回路に適用し、試作し、評価し、広帯域 VCO IC を実現した。

まず、MOS トランジスタと pn 接合ダイオードを直列に接続し、MOS トランジスタのドレイン・ソース間を短絡しない新しいバラクタ回路を提案した。新しいバラクタ回路は、ゲート・ソース間、ゲート・ドレイン間、ドレイン・ソース間の容量変化と、MOS トランジスタのトランスコンダクタンスの変化によって、従来型のバラクタ回路の容量変化よりも大きくなることを示した。また、第 3 章で提案した電圧レベルシフト回路と、本設計で提案した新しいバラクタ回路を適用し、大きな容量変化と、 K_{vco} の低減、線形化を同時に

実現する新しい共振回路を提案した。そこで、0.35 μm SiGe BiCMOS プロセスを用いて広帯域 VCO IC を設計し、試作し、評価した。その結果、チップ面積 0.73 mm \times 0.90 mm で、電源電圧 4.0 V、消費電流 5.8 mA、発振周波数帯域 2.67 GHz から 4.37 GHz、チューニングレンジ 48 %、発振出力 -2.2 dBm、1 MHz オフセット周波数における位相雑音 -111 dBc/Hz を得た。広帯域 VCO IC は、基本 VCO IC の約 3 倍のチューニングレンジをもち、位相雑音特性をほとんど劣化させることなく、チューニングレンジの広帯域化を実現した。

また、他論文と比較したところ、単一の制御電圧で制御され、1 MHz オフセット周波数における位相雑音が、-100 dBc/Hz 以下において、比較を行なった VCO のなかで、チューニングレンジが最も大きいことが確認された。従って、本設計手法の有効性が定量的に確認された。また、本設計の広帯域 VCO IC は、通信の広帯域化、無線部のマルチバンド化、マルチモード化に対し、有効であると考えられる。

第4章 参考文献

- [1] F. Herzel, H. Erzgraber, and N. Ilkow, "A new approach to fully integrated CMOS LC-oscillators with a very large tuning range," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 573-576, May 2000.
- [2] S. Yim and O. Kenneth, "Demonstration of a switched resonator concept in a dual-band monolithic CMOS LC-tuned VCO," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 205-208, May 2001.
- [3] Z. Li and O. Kenneth, "A 900-MHz 1.5-V CMOS voltage controlled oscillator using switched resonators with a wide tuning range," *IEEE Microwave and Wireless Components Letters*, vol. 13, no. 4, pp. 137-139, April 2003.
- [4] K. Ohashi, Y. Ito, Y. Yoshihara, K. Okada, and K. Masu, "A wideband CMOS LC-VCO using variable inductor," *Asia and South Pacific Design Automation Conference*, pp. 98-99, Jan. 2007.
- [5] A. Kral, F. Behbahani, and A. Adibi, "RF-CMOS oscillators with switched tuning," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 555- 558, May 1998.
- [6] N. Fong, J. Plouchart, N. Zamdmer, D. Liu, L. Wagner, C. Plett, N. Tarr, "Design of wide-band CMOS VCO for multiband wireless LAN applications," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1333- 1342, Aug. 2003.
- [7] J. Steinkamp, F. Henkel, P. Waldow, "A multi-mode wide-band 130 nm CMOS VCO for WLAN and GSM/UMTS," *IEEE International Workshop on Radio Frequency Integration Technology*, pp. 105-108, Nov. 2005.
- [8] T. Lin and Y. Lai, "An agile VCO frequency calibration technique for a 10-GHz CMOS PLL," *IEEE Journal of Solid-State Circuits*, vol. 42, no.2, pp. 340- 349, Feb. 2007.
- [9] 総務省電波利用ホームページ. Available: <http://www.tele.soumu.go.jp/index.htm>
- [10] J. Bhattacharjee, D. Mukherjee, and J. Laskar, "A monolithic CMOS VCO for wireless LAN applications," *IEEE International Symposium on Circuits and Systems*, vol. 3, pp. III-441-III-444, May 2002.
- [11] S. Kurachi, Y. Murata, S. Ishikawa, N. Itoh, K. Yonemura, and T. Yoshimasu, "A 4-GHz band ultra-wideband voltage controlled oscillator IC using 0.35 um SiGe BiCMOS technology," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 9-12, Oct. 2007.
- [12] C. Wei, H. Chiu, and W. Feng, "An ultra-wideband CMOS VCO with 3~5 GHz tuning range," *IEEE International Workshop on Radio Frequency Integration Technology*, pp. 87-90, Nov. 2005.

- [13] W. Cheng, C. Chan, K. Pun, and C. Choy, "A sub-1 V 1.6 GHz COS VCO with 29 % tuning range," *Proceedings of the European Microwave Integrated Circuits Conference*, pp. 165-168, Sept. 2006.
- [14] B. Jung, and R. Harjani, "A wide tuning range VCO using capacitive source degeneration," *IEEE International Symposium on Circuits and Systems*, pp. 145-148, May 2004.
- [15] J. Zhan, J. Duster, and K. Kornegy, "A 7.3-GHz, 55 % tuning range emitter degenerated active inductor VCO," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 60-63, Oct. 2004.
- [16] O. Esama, I. Tekin, and Y. Gurbuz, "A 4.5-5.8 GHz differential LC VCO using 0.35 μm SiGe BiCMOS technology," *Proceedings of European Microwave Integrated Circuits Conference*, pp. 417-420, Sept. 2006.
- [17] V. Kakani, F. Dai, and R. Jaeger, "A 5-GHz low-power series-coupled BiCMOS quadrature VCO with wide tuning range," *IEEE Microwave and Wireless Components Letters*, vol. 17, no. 6, pp. 457-459, June 2007.

第5章

結論

5-1. 序言

本研究は、通信機器の無線部の性能を決める重要な回路である無線通信用高周波電圧制御発振器を取り上げ、その高機能化のためのミリ波、マイクロ波集積回路を、回路設計の見地から提案することを目的とし、新しい回路の提案と試作による実証結果を集積したものである。電圧制御発振器の課題の中から、低位相雑音化、発振周波数の高線形化、広帯域化をテーマとして取り上げた。以下に、本研究の総括を述べる。

5-2. 各章の結論

第2章は、ミリ波帯を動作周波数とする VCO IC の低位相雑音化に関する研究である。まず、発振器の位相雑音式に対する解析を行ない、

- (1) 共振器の Q 値を大きくする、
- (2) フリッカ雑音の小さい半導体素子を用いる、
- (3) 発振器の基本波出力を大きくし、高調波を抑制する、
- (4) フリッカ雑音をアップコンバージョンする効果をもたらす半導体素子の非線形性を抑制する

ことによって、発振器の低位相雑音化が可能であることを明らかにした。本設計では、共振回路にマイクロストリップ線路を採用し、半導体素子に、GaAs FET などに比べてフリッ

カ雑音が小さい InGaP/GaAs HBT を採用した。また、InGaP/GaAs HBT は、ベース層の薄膜化が可能な点から、高周波特性が優れていることを示した。次に、発振器の高出力化のために電流増幅率を大きくする効果のあるダーリントン接続を採用し、増幅器の電圧振幅率が最大となるように、増幅器の負荷インピーダンスを設計した。しかし、発振器の高出力化と低位相雑音化の間はトレードオフの関係にある。発振器の高出力化によって、増幅素子の非線形性が大きくなり、出力電力が飽和し、高調波が大きくなる。増幅器の線形性は、負荷インピーダンスとバイアス点からなる負荷線によって決まり、線形動作させるためには、負荷線を A 級動作させることが重要である。本設計では、基本波の高出力化、高調波の抑制を同時に実現するために、増幅器の負荷線が A 級動作に近く、発振振幅ができるだけ大きくなるように、共振素子のマイクロストリップ線路を調整する新しい設計手法を提案した。そのため、本設計の発振器は、半導体素子の非線形性によるフリッカ雑音のアップコンバージョンの抑制が期待され、低位相雑音化が期待される。そこで、InGaP/GaAs HBT プロセスを用いて、ミリ波帯低位相雑音 VCO IC を設計し、試作、評価をした。その結果、低位相雑音 VCO IC は、チップ面積 $0.86 \times 1.34 \text{ mm}^2$ で、発振周波数 28.9 GHz において、1 MHz オフセット周波数において -118 dBc/Hz、FOM = -190 を得た。位相雑音、FOM は、同じ発振周波数帯域の他論文と比較したところ、InGaP/GaAs HBT を用いた VCO よりも FOM が 10 以上も小さいことが確認された。従って、ミリ波帯を動作周波数とする VCO IC の低位相雑音化のための新しい設計手法の有効性が実証された。

第3章は、5 GHz 帯の無線 LAN 用 VCO IC の VCO ゲインの線形化に関する研究である。まず、SiGe HBT が、ベース領域の Si に Ge を注入し、傾斜型 Ge プロファイルによる電界加速効果を用いることによって高速化が可能な点から、マイクロ波帯で優れた高周波特性を有することを示した。次に、PLL 回路の動作について概説し、PLL 回路のセトリングタイムと、VCO の位相雑音の間にトレードオフが生じる事から、VCO ゲインである K_{vco} の線形化の重要性を明らかにした。 K_{vco} の線形化には、バラクタ回路の容量変化が、制御電圧に対し線形にする必要がある。そこで、制御電圧に対し、容量変化が線形に近い pn 接合ダイオードをバラクタ回路に適用し、並列に接続した。また、pMOS トランジスタをダイオード接続した電圧レベルシフト回路を構成し、それぞれの pn 接合ダイオードの制御電圧端子に接続した新しい共振回路を提案した。新しい共振回路は、電圧レベルシフト回路によって、それぞれの pn 接合ダイオードに徐々に制御電圧が印加され、容量変化の線形化が期待される。そこで、SiGe BiCMOS プロセスを用いて、高線形 VCO IC 回路を設計、試作し、評価した。その結果、高線形 VCO IC は、チップ面積 $0.73 \times 0.59 \text{ mm}^2$ で、発振周波数 5.45 GHz から 5.95 GHz、チューニングレンジ 8.8 %、 $K_{vco_ratio} = 1.5$ 、1 MHz オフセット周波数における位相雑音 -116 dBc/Hz、FOM = -181 を得た。pn 接合ダイオードをバラクタ回路に使い、同じプロセス技術を用いた基本 VCO IC と比較すると、高線形 VCO IC は、 K_{vco_ratio} を半分抑制し、位相雑音特性をほとんど劣化させることなく、同等のチップサイズ、消費電力、FOM で、チューニングレンジを実現した。また、高線形 VCO IC は、位相雑音、発振周波

数が、無線 LAN 規格 802.11a を満足することを確認した。さらに、高線形 VCO IC は、他論文と比較したところ、 K_{vco_ratio} が半分以下であり、FOM が小さいことが確認された。従って、VCO ゲインの線形化のための新しい設計手法の有効性が確認された。また、高線形 VCO IC を PLL 回路に組み入れた場合、位相雑音とセトリングタイムのトレードオフが解決されると期待される。

第4章は、2.4 GHz 帯、5 GHz 帯の無線 LAN 用 VCO IC のチューニングレンジの広帯域化に関する研究である。まず、容量変化を大きくする新しい広帯域バラクタ回路の提案を行った。提案した広帯域バラクタ回路は、MOS トランジスタと pn 接合ダイオードから構成され、MOS トランジスタは、容量が大きく変化するように、ドレイン・ソース間を短絡せずに用いた。新しいバラクタ回路は、従来型の MOS バラクタの容量変化に加え、ドレイン・ソース間の容量変化とトランスコンダクタンスの変化を用いることができる。これらの容量変化と、トランスコンダクタンスの変化による等価的な容量変化によって、広帯域バラクタ回路は、従来型の pn 接合ダイオードを用いたバラクタ回路の2倍以上の容量変化が期待される。次に、提案した広帯域バラクタ回路に、第3章で提案した電圧レベルシフト回路を適用し、容量変化の広帯域化、 K_{vco} の線形化、低減を図った新しい広帯域共振回路を提案した。そこで、SiGe BiCMOS プロセスを用いて広帯域 VCO IC を設計、試作し、評価した。その結果、広帯域 VCO IC は、チップ面積 $0.73 \times 0.90 \text{ mm}^2$ で、発振周波数 2.67 GHz から 4.37 GHz、チューニングレンジ 48 %、1 MHz オフセット周波数における位相雑音 -111 dBc/Hz を得た。これは、pn 接合ダイオードをバラクタ回路に用いた基本 VCO IC と比較すると、約 3 倍のチューニングレンジを持ち、ほぼ同等の位相雑音特性を実現した。また、他の論文と比較したところ、制御電圧端子が単一であり、1MHz オフセット周波数における位相雑音が -100 dBc/Hz 以下では、広帯域 VCO IC は、今までに発表されている論文の中で、一番大きなチューニングレンジを持つことが確認された。従って、本設計手法の有効性が確認された。

以上、本研究は無線通信用高周波電圧制御発振器の高機能化を目的とし、ミリ波帯、マイクロ波帯において、VCO の低位相雑音化、発振周波数の高線形化、チューニングレンジの広帯域化について取り行ったものである。本研究の成果は、今後、検討されている様々な通信システムに応用、展開できる有効な技術であると考えられる。

5-3. 今後の展開

近年、ミリ波帯の電波の利用が注目されており、ミリ波帯の電波を用いたアプリケーションが、開発、実用化されている。日本国内のミリ波帯を用いたアプリケーションの市場規模は、2010年には US\$ 300-800 millions、また、2015年には US\$ 1400-4500 millions になるものと予想されており[1]、用途として、大容量の超高速無線 LAN、家庭内の配線の無線化を目的としたホームリンク、自動車衝突防止レーダがある[2-4]。現在、日本国内では、55.78 – 59.0 GHz が高速無線回線システム等に、59.0 GHz – 66.0 GHz がミリ波画像伝送システム及びミリ波データ伝送システム等に割り当てられており[5]、広い周波数帯域を利用できることから注目されている。また、2011年には、地上波放送が完全にデジタル化され、ハイビジョン放送を非圧縮で送信可能なミリ波帯の電波を用いたシステムが普及すると考えられている[6]。一方、ミリ波帯を用いたアプリケーションは、チップの製造技術に特殊なプロセスが必要であり、また、送受信回路の製造コストが高いという課題がある。これらの高速無線技術を家庭内でも普及させるためには、安価なプロセス技術を用いたチップの実現が必要である。今日、10 GHz 以下の周波数帯のトランシーバでは、Si CMOS、SiGe が主役となっており、それよりも高い周波数では、化合物半導体が主役となっている。近年のスケールリングによる CMOS の高周波特性の性能向上は著しく、 f_T のみで比較すれば、2010年ごろに、GaAs を上回るという予測がある[7]。また、量産に適した SiGe BiCMOS プロセスや、Si CMOS プロセスを用いてデジタル回路とともにミリ波無線部をワンチップ化すれば、超高速無線通信システムを低コストで実現する可能性がある。Si を用いた高周波回路技術の研究は進んでおり、動作周波数 60 GHz 帯でのトランシーバが、それぞれ Si CMOS、SiGe BJT を用いて報告されている[8,9]。また、VCO に目を向けてみると、0.13 μm CMOS プロセスを用いて、発振周波数 192 GHz の push-push 型 VCO が発表されている[10]。また、90 nm CMOS プロセスを用いて、基本波の発振周波数が 140 GHz の VCO が発表されている[11]。今後、CMOS によるミリ波帯の高周波回路技術の研究が加速すると考えられる。

現在、無線 LAN では、無線 LAN 規格 IEEE802.11n の標準化がすすめられている[12]。従来規格である無線 LAN 規格 IEEE802.11a/b/g は、最大伝送速度が、IEEE802.11a/g では 54 Mbps、IEEE802.11b では 10 Mbps である[12]。動画像や音楽などの大容量データを通信するためには、より高速な通信が求められている。そこで、IEEE802.11n では、最大伝送速度の目標を 130 Mbps 以上とし、高速大容量通信の実現を図っている[13]。IEEE802.11n には、MIMO 技術が用いられ、無線通信の送信と受信に使われるアンテナを双方ともに多重化することで、実質的な通信速度の向上を図っている。従来規格の IEEE802.11b/g では、1 チャンネル当たり約 20 MHz の帯域を通信に用いているが、4×4 の MIMO では、送受信のアンテナをそれぞれ 4 本ずつ用意して、全体として 40 MHz の帯域を使って通信を行うことが検討されている[13]。また、IEEE802.11n では、変調方式に、IEEE802.11a/g に用いられていた 64-QAM より

も複雑な 256-QAM を用いた OFDM を検討している。しかし、複雑な変調方式を用いることによって、PLL 回路のセトリングタイムと位相雑音とのトレードオフが大きな課題となる。[13]によれば、従来の無線 LAN 規格の PLL 回路のセトリングタイムは、224 μs 以下と定義しているが、IEEE802.11n では、伝送速度を高速化するために、PLL 回路の高速化が必要であり、PLL 回路のセトリングタイムを 10 μs 以下とする必要がある。セトリングタイムを小さくするためには、PLL 回路のループ帯域幅を大きくすれば良いが、帯域内の雑音が劣化する[14]。そのため、本論文の第3章で提案した VCO の高線形化の設計手法が有効であり、今後、拡大、発展していくと考えられる。

近年、無線データ通信の高速化を目的とした広帯域通信が着目されている。この中で、短距離無線通信技術である UWB は、最大伝送速度 480 Mbps をもつ無線通信方式であり、今後、普及すると考えられる。UWB は、周波数帯域が 3.1 GHz から 10.6 GHz であり、広帯域の周波数帯域をカバーするトランシーバが必要である[12]。また、無線 LAN 規格 IEEE802.11 には、2.4 GHz、5 GHz の二つの周波数帯域が存在し、携帯電話では、グローバルローミングサービスの提供が進んでおり、GSM や WCDMA など複数の通信規格が存在し、無線部は、マルチモード化、マルチバンド化が求められている[12]。これらを実現するためには、無線部の広帯域化が必要であり、VCO の広帯域化が求められる。現在、VCO の広帯域化には、キャパシタをデジタル的に可変させるキャパシタバンク回路を用いる手法が用いられているが[15-17]、PLL 回路が複雑になる。そのため、アクティブインダクタを用いた手法や[18,19]、本論文の第4章で提案した VCO の広帯域化の設計手法が有効であり、今後、拡大、発展していくと期待される。

今後、通信システムは、さらなる高速化、大容量化が予想される。高速・大容量無線通信を普及させるためには、安価で高機能な無線通信機器が求められる。無線通信用高周波電圧制御発振器の低位相雑音化、発振周波数の線形化、チューニングレンジの広帯域化は、それぞれ、高速・大容量通信を実現する有効な解である。本研究は、無線通信用高周波電圧制御発振器の高機能化を目的としたものであり、今後も様々な無線通信機器に向けて研究開発が活発になされると期待される。

第5章 参考文献

- [1] K. Araki, "Millimeter-wave activities in Japan," *IEEE International Microwave Symposium*, pp.133-136, June 2007.
- [2] W. Jones, "No strings attached (Wireless USB)," *IEEE Spectrum*, vol.43, Issue 4, pp.16-18, April 2006.
- [3] G. Yarovoy, and P. Ligthart, "UWB radars: Recent technological advanced and applications," *IEEE Rader Conference*, pp.43-48, April 2007.
- [4] J. Wenger, "Automotive radar – status and perspective," *IEEE Compound Semiconductor Integrated Circuit Symposium*, pp.21-24, Oct. 2005.
- [5] 総務省電波利用ホームページ. Available: <http://www.tele.soumu.go.jp/index.htm>
- [6] 藤島, "ミリ波 CMOS," 2007 年電子情報通信学総合大会, CT-1-3, pp. SS-14- SS-15, March 2007.
- [7] 半導体技術ロードマップ専門委員会 (STRJ) ホームページ. Available: <http://strj-jeita.elisasp.net/strj/>
- [8] B.Razavi, "CMOS transceivers at 60 GHz and beyond," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 1, pp.17-22, Jan. 2006.
- [9] B. Floyd, S. Reynolds, U. Pfeiffer, T. Zwick, T. Beukema, and B. Gaucher, "SiGe bipolar transceiver circuits operating at 60 GHz," *IEEE Journal of Solid-State Circuits*, vol. 40, no.1, pp. 156-167, Jan. 2005.
- [10] C. Cao, E. Seok, and K.K. O, "192 GHz push-push VCO in 0.13 μm CMOS," *IEEE Electronics Letters*, vol.42, no.4, Feb. 2006.
- [11] C. Cao and K.K. O, "A 140-GHz fundamental mode voltage-controlled oscillator in 90-nm CMOS technology," *IEEE Microwave and Wireless Components Letters*, vol.16, no.10, pp.555-557, Oct. 2006.
- [12] 日経エレクトロニクス, "初歩から学ぶワイヤレス機器開発の実践技術," pp. 10-33, 2007.4.19
- [13] A. Mohammadi, A. Ayatollahi, and A. Beygi, "Frequency synthesizer settling time and phase noise issues for WLAN transceiver application in IEEE 802.11n standard," *International Conference on Electrical Engineering*, pp.1-5, April 2007.
- [14] 黒田忠広 監訳, "RF マイクロエレクトロニクス," 丸善出版, ISBN:4-621-07005-3, 2002.
- [15] A. Kral, F. Behbahani, and A. Adibi, "RF-CMOS oscillators with switched tuning," *Proceedings of IEEE Custom Integrated Circuits Conference*, pp. 555- 558, May 1998.

- [16] N. Fong, J. Plouchart, N. Zamdmer, D. Liu, L. Wagner, C. Plett, N. Tarr, "Design of wide-band CMOS VCO for multiband wireless LAN applications," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 1333- 1342, Aug. 2003.
- [17] J. Steinkamp, F. Henkel, P. Waldow, "A multi-mode wide-band 130 nm CMOS VCO for WLAN and GSM/UMTS," *IEEE International Workshop on Radio Frequency Integration Technology*, pp. 105- 108, Nov. 2005.
- [18] C. Wei, H. Chiu, and W. Feng, "An ultra-wideband CMOS VCO with 3~5 GHz tuning range," *IEEE International Workshop on Radio Frequency Integration Technology*, pp. 87-90, Nov. 2005.
- [19] J. Zhan, J. Duster, and K. Kornejy, "A 7.3-GHz, 55 % tuning range emitter degenerated active inductor VCO," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 60-63, Oct. 2004.

付録 略語一覧

以下に本論文にて使用した主な略語の一覧を示す。

BiCMOS	Bipolar CMOS
CMOS	Complementary Metal-Oxide Semiconductor
CDMA	Code Division Multiple Access
FET	Field-Effect Transistor
f_{MAX}	maximum frequency of oscillation (最大発振周波数)
FOM	Figure of Merit (性能指数)
f_{T}	unity current gain cut-off frequency (遮断周波数)
GSM	Global System for Mobile communication
HBT	Heterojunction Bipolar Transistor
IEEE	Institute of Electrical and Electronic Engineers
K_{VCO}	VCO gain
$K_{\text{VCO ratio}}$	$K_{\text{VCO max}}/K_{\text{VCO min}}$
LAN	Local Area Network
LO	Local Oscillator (局部発振器)
MIMO	Multi Input Multi Output
OFDM	Orthogonal Frequency Division Multiplex
PLL	Phase Locked Loop (位相同期ループ)
QAM	Quadrature Amplitude Modulation
RF	Radio Frequency
UWB	Ultra Wideband
VCO	Voltage Controlled Oscillator (電圧制御発振器)

研究業績

學術誌原著論文

筆頭論文

1. S. Kurachi, T. Yoshimasu, H. Liu, J. Chen, Y. Shimamatsu, “An ultra-wideband amplifier MMIC for 3-10.6 GHz wireless applications with InGaP/GaAs HBT technology,” *IEEE Transactions on Electronics, Information and Systems*, vol. 127, no. 8, pp. 1194 - 1198, Aug. 2007.
2. S. Kurachi, T. Yoshimasu, H. Liu, N. Itoh, and K. Yonemura, “A SiGe BiCMOS VCO IC with highly linear Kvco for 5-GHz-Bands wireless LANs,” *IEICE Transactions on Electronics*, vol. E90-C, no.6, pp. 1228 - 1233, June 2007.
3. S. Kurachi, H. Liu, J. Chen, and T. Yoshimasu, “A low phase noise MMIC VCO in InGaP/GaAs HBT,” *International Journal of Microwave and Optical Technology*, vol. 1, no. 2, pp. 422 - 428, Aug. 2006.
4. S. Kurachi and T. Yoshimasu, “Low phase noise, InGaP/GaAs HBT VCO MMIC for millimeter-wave applications,” *IEICE Transactions on Electronics*, vol. E88-C, no. 4, pp. 678 - 682, April 2005.

共著論文

5. H. Liu, S. Ishikawa, A. An, S. Kurachi, and T. Yoshimasu, “Miniaturized microstrip meander-line antenna with very high-permittivity substrate for sensor applications,” *Microwave and Optical Technology Letters*, vol. 49, issue 10, pp. 2438 - 2440, Oct. 2007.
6. H. Liu, T. Yoshimasu, S. Kurachi, N. Itoh, and K. Yonemura, “A novel diode liberalizer for SiGe HBT power amplifier,” *Microwave and Optical Technology Letters*, vol. 48, issue. 8, pp. 1535 - 1537, Aug. 2006.
7. H. Liu, T. Yoshimasu, S. Kurachi, W. Hu, K. Yamaoka, and L. Sun, “Compact slot resonator-based photonic band gap for coplanar waveguide and its application to band stop filter,” *Microwave and Optical Technology Letters*, vol. 48, issue 8, pp. 1602 - 1606, Aug. 2006.

国際学会・シンポジウム論文（査読有り）

8. S. Kurachi, Y. Murata, S. Ishikawa, N. Itoh, K. Yonemura, and T. Yoshimasu, "A 4-GHz band ultra-wideband voltage controlled oscillator IC using 0.35 μ m SiGe BiCMOS technology," *IEEE Bipolar/BiCMOS Circuits and Technology Meeting*, pp. 9- 12, Oct. 2007.
9. S. Kurachi, T. Yoshimasu, N. Itoh, and K. Yonemura, "5-GHz band highly linear VCO IC with a novel resonant circuit," *Topical Meeting on Silicon Monolithic Integrated Circuits in RF Systems*, pp. 285-288, Jan. 2007.
10. A. An, T. Yoshimasu, K. Yamaoka, and S. Kurachi, "A novel microstrip meander-line antenna with a very high relative permittivity substrate for 315-MHz band applications," *International Symposium on Antennas, Propagation and EM Theory*, pp. 1-3, Oct. 2006.
11. S. Kurachi, M. Nakashima, T. Yoshimasu, N. Itoh, and K. Yonemura, "Ultra-Wideband SiGe VCO with a novel resonant circuit," *International Conference on Computer and Communication Engineering*, vol. 2, pp. 1269-1271, May 2006.
12. J. Chen, S. Kurachi, S. Shen, H. Liu, T. Yoshimasu, and Y. Suh, "A low-kickback noise latched comparator for high-speed flash analog-to-digital converters," *IEEE International Symposium on Communications and Information Technologies*, vol. 1, pp. 259-262, Oct. 2005.
13. H. Liu, T. Yoshimasu, S. Kurachi, and J. Chen, "Characteristics impedance of slow-wave microstrip lines with defected ground structure," *International Symposium on Microwave and Optical Technology Technical Digest*, pp. 426 - 428, Aug. 2005.
14. S. Kurachi, J. Chen, Y. Shimamatsu, H. Liu, and T. Yoshimasu, "A wide band amplifier MMIC with InGaP/GaAs HBT technology," *International Symposium on Microwave and Optical Technology Technical Digest*, pp. 764-766, Aug. 2005.
15. S. Kurachi, H. Liu, J. Chen, and T. Yoshimasu, "A low phase noise MMIC VCO in InGaP/GaAs HBT," *International Symposium on Microwave and Optical Technology Technical Digest*, pp. 756-759, Aug. 2005.
16. H. Liu, Z. Li, L. Sun, S. Kurachi, J. Chen, and T. Yoshimasu, "Bandstop response of microstrip lines with periodic defected ground structure," *IEEE MTT-Symposium International Conference on Microwave and Optoelectronics*, pp. 155-157, July 2005.
17. H. Liu, T. Yoshimasu, S. Kurachi, J. Chen, Z. Li, and X. Sun, "A novel microstrip diplexer design using defected ground structure," *International Conference on Communications, Circuits and Systems*, pp. 1099-1100, May 2005.

口頭発表

18. 倉智, 村田, 石川, 伊藤, 米村, 吉増, “SiGe BiCMOS を用いた高線形 VCO IC,” 電子情報通信学会総合大会, C-2-10, p. 43, March, 2007.
19. 島松, 倉智, 山内, 吉増, “InGaP/GaAs HBT を用いた広帯域増幅器 MMIC,” 平成 16 年度電気関係学会九州支部連合大会, 05-2P-02, p.309, Sept. 2004
20. 倉智, 島松, 山内, 吉増, “InGaP/GaAs HBT を用いたミリ波低位相雑音 VCO MMIC,” 電子情報通信学会ソサイエティ大会, C-2-25, p.41, Sept. 2004

謝辞

本研究を執筆するにあたり、終始親切なご指導、ご鞭撻を賜りました早稲田大学大学院情報生産システム研究科 吉増敏彦教授に甚大なる感謝の意を表します。また、本論文の執筆に当たり貴重なご指導、ご助言を頂いた早稲田大学大学院情報生産システム研究科 井上靖秋教授、同 吉原務教授に深謝いたします。

本研究は、InGaP/GaAs HBT のトランジスタモデルの提供、低位相雑音 VCO IC のレイアウト設計、チップ試作をシャープ（株）デバイス技術研究所にさせていただきました。本研究に際し、ご指導、ご助言をして頂いたシャープ（株）作野圭一氏、同 末松英治氏、同 山田敦史氏に深謝いたします。また、SiGe BiCMOS のトランジスタモデルの提供、高線形 VCO IC、広帯域 VCO IC のチップ試作を（株）東芝 セミコンダクター社にさせていただきました。本研究に際し、親切なご指導、ご鞭撻をいただいた、（株）東芝 セミコンダクター社 本脇喜博氏、同 伊藤信之博士、同 川口俊治氏、同 藤本竜一博士、同 米村浩二氏、同 吉富貞幸博士、同 加藤忠正氏、同 坂本寿博氏、同 君島秀樹氏、同社 研究開発センター 星野洋昭氏に深謝いたします。

筆者は、2003 年 3 月に国立 九州工業大学を中途退学し、2003 年 4 月に早稲田大学大学院情報生産システム研究科修士課程に入学しました。筆者の大学院への進学を薦めていただいた早稲田大学大学院情報生産システム研究科研究科長 平澤宏太郎教授に深く感謝します。

また、筆者は、2003 年～2007 年に文部科学省・科学技術振興調整費より早稲田大学が受託した人材養成プログラムを受講しました。卓越した教育者、研究者の方々より、システム LSI 設計のための基盤ソフトウェアの講義を受講し、多くの知識を得ました。人材養成プログラム代表である早稲田大学大学院情報生産システム研究科 後藤敏教授に深く感謝します。

本研究の遂行にあたって多大のご協力を頂いた、早稲田大学大学院情報生産システム研究科 島松裕一郎氏、同 鈴木英一氏、同 劉海文博士、同 潘俊氏、同 中嶋崇喜氏、同 陳佳氏、同 徐湧周氏、同 安安氏、同 島田晃一氏、同 堀川大介氏、同 山岡幸一氏、同 森隆寛氏、同 胡維亮氏、同 石川頌平氏、同 村田雄介氏、同 出穂剛史氏、同 太田宙志氏、同 三宅孝氏、同 孫江涛氏、同 劉台秀氏、ならびに、筆者の友人に深く感謝します。

最後に、筆者の博士後期課程までの進学を支えて頂き、また、本論文作成を応援してくれた筆者の家族に深く感謝します。