

早稲田大学大学院理工学研究科

博士論文概要

論文題目

Studies on Parallelism Improvement and Power Reduction
in Multigrain Automatic Parallelizing Compiler

マルチグレイン自動並列化コンパイラにおける
並列性の向上と低消費電力制御に関する研究

申請者

白子 準

Jun Shirako

情報・ネットワーク専攻 アドバンスド・コンピューティング・システム研究

2006年 12月

半導体集積度向上に伴ったスケーラブルな性能向上を達成できるプロセッサアーキテクチャとして、マルチコアアーキテクチャ(チップマルチプロセッサ)が大きな注目を集めている。また近年では処理性能のみでなく、増大する消費電力をいかに抑えるかが大きな課題であり、この問題を克服する手段としてもマルチコアは有望視されている。商用プロセッサにおいても、ソニー/IBM/東芝の Cell, NEC/ARM の MPCore と MP211, 富士通 FR-V, パナソニック Uniphier, ルネサステクノロジ SH-X3 といった情報家電向け組込み用マルチコアや、PC, サーバ向けのインテル Dual コア Xeon や Core 2 Duo, AMD の Dual/Quad コア Opteron, ワークステーション, ハイエンドサーバ用に開発された Sun SPARC T1, T2, そして IBM Power4, 5, 5+ といったように性能向上や低電力を目標とした様々なマルチコアが開発されている。

これらマルチコアプロセッサの実効性能向上のためには、プログラムからの適切なグレイン(処理粒度)での並列性抽出, キャッシュやローカルメモリの最適利用及び DMAC(Direct Memory Access Controller)利用を含めたプロセッサ間データ転送オーバーヘッドの最小化, そしてそれらの効果的なスケジューリングが必須である。これを実現するために従来から自動並列化コンパイラの研究が行われており, これらの研究・開発によりループ並列化技術は大きな進歩を遂げた。しかしながら現在ではループ並列化手法は成熟期に至っており, 今後マルチコアシステム上での大幅な性能向上を達成するためにループ並列性以外の並列性を利用する新たな並列化手法が必要とされている。

また一方で, プロセッサの動作周波数向上のための半導体の超高密度化(微細化)により, 近年ではプロセッサチップ上で消費される電力は急激に上昇している。このため処理性能のみならずこれら消費電力をいかに低減させるかも重要な問題となっており, 低消費電力化を実現するためプロセッサやメモリといったチップ上の資源に対する動作周波数・電圧制御や電源遮断を実現するハードウェアサポートを持つマルチコアプロセッサが開発されている。このようなマルチコアの能力を十分に引出し, 高実効性能・低消費電力を達成するためには, プログラムの適切な並列化に加え, チップ上のリソースのきめ細かな省電力制御を実現するコンパイラが必要不可欠である。

以上のような背景により, 本研究ではマルチグレイン並列処理におけるインライン展開による並列性の移動も考慮した並列性向上手法と, 各プロセッサの動作周波数・電圧および電源遮断の制御をマルチグレイン並列化環境下でコンパイラが適切に判断し低消費電力化を行なうコンパイル手法を開発すると共にそれらの性能評価を行った。

本論文は 5 章から構成される。以下に各章の概要を示す。

第 1 章「序論」では, 本研究の目的と研究背景について述べる。本章では自動

並列化コンパイラおよびマルチグレイン並列処理，低消費電力化制御の重要性を述べるとともに，従来研究との比較により本手法の独自性を明確にする．

第 2 章「マルチグレイン並列処理」では，本研究の基本要素であるマルチグレイン並列処理手法について述べる．

マルチグレイン並列処理では従来のループ並列処理に加えて，ループ間やサブルーチン間といった粗粒度レベルの並列性を利用する粗粒度タスク並列処理や，基本ブロック内でのステートメントレベルでの並列性を利用する近細粒度並列処理を利用することにより，プログラム中に存在する並列性を最大限に抽出する．この際，逐次プログラムを階層的な粗粒度タスクグラフ（マクロタスクグラフ）に変換し，様々なネストレベルにおける粗粒度タスク並列性・ループ並列性を利用する．このため効果的なマルチグレイン並列処理の実現のためには，プログラム中の各ネストレベルにおけるマクロタスクグラフの並列性や形状に応じ，インライン展開によるプログラム階層間での並列性の移動も考慮しつつ，各マクロタスクグラフに割当ててるプロセッサ数やどの粒度で並列処理するかを適切に決定することが必須である．

また本章では，本手法を実装した OSCAR マルチグレイン自動並列化コンパイラの構成について述べる．

第 3 章「選択的インライン展開と並列処理階層自動決定手法」では，マルチプロセッサシステム上の利用可能なプロセッサを，抽出された粗粒度タスク，ループレベルといったマルチレベルの並列性に効率よく割当ててるための選択的インライン展開手法を伴う並列処理階層自動決定手法について述べる．

本手法ではプログラム中の様々なネストレベルにおけるマクロタスクグラフに対し，粗粒度タスク並列性とループ並列性を考慮した総合的な並列度を算出する．算出した並列度に応じ，インライン展開による異なるネストレベル間での並列性の移動や，各マクロタスクグラフに割当ててるプロセッサ数およびどの粒度で並列処理するかを適切に決定する．

SPEC CFP95 ベンチマーク全 10 本と CFP2000 ベンチマーク 4 本を用いた性能評価において，本手法を用いた OSCAR コンパイラは IBM p5 550Q Power5+ 8 プロセッササーバ上で IBM XL Fortran コンパイラ version 10.1 の自動並列化性能に比べ平均 2.74 倍，IBM pSeries690 Power4 24 プロセッササーバ上で IBM XL Fortran コンパイラ version 8.1 の自動並列化性能に比べ平均 4.82 倍，SGI Altix350 Itanium2 16 プロセッサ cc-NUMA サーバ上で Intel Fortran Itanium コンパイラ 8.1 の自動並列化性能に比べ平均 2.35 倍の性能向上が得られた．

また NEC/ARM MPCore ARMv6 4 プロセッサ集積組込み用マルチコアにおいて，OpenMP API の一部機能をサポートすることで本手法を用いた OSCAR コン

パイラによる自動並列化を実現した。組込み用途を考慮しデータセットを縮小した SPEC CFP95 を用いた評価において、逐次処理に比べ tomcatv で 4.08 倍、swim で 3.90 倍、su2cor で 2.21 倍、hydro2d で 3.53 倍、mgrid で 3.85 倍、applu で 3.62 倍、turb3d で 3.20 倍の性能向上が得られた。

第 4 章「コンパイラによる低消費電力化手法」では、マルチグレイン並列処理におけるプロセッサの動作周波数/電圧制御および電源遮断制御をコンパイラが適切に判断し低消費電力化を行なうコンパイル手法について述べる。

マルチグレイン並列処理により、プログラム中に存在するマルチレベル並列性を最大限引き出すことが可能となる。しかし利用可能な計算資源に対し常に十分な並列性が抽出されるとは限らず、このような場合には必要以上のプロセッサを動作させるための無駄な電力消費が発生してしまう。また、定められた時刻までに処理を終了すればよいようなリアルタイム処理では、デッドラインを満たす範囲で低動作周波数・動作電圧を低減し処理を行うことにより、消費電力は周波数に比例、電圧の自乗に比例するため消費電力の大幅な低減が可能となる。

このような最小時間で処理を行う場合と、リアルタイム制約を満たす場合の両方に対する低消費電力化制御手法を提案する。実行時間最小スケジューリングモードでは、プログラムのクリティカルパスにあたる処理に対しては低消費電力制御を行わず、本手法適用前の最小実行時間を保証する。また、デッドライン制約モードではプログラム終了のデッドラインを保証する範囲で、電力消費を最小になるように制御を行う。本手法ではプログラム中の各マクロタスクグラフの処理時間と消費エネルギーを推定し、与えられた実行時間制約を考慮しつつ電力削減効果のより大きな箇所に対して優先的に低消費電力制御を適用する。

提案手法を実装した OSCAR コンパイラにより、科学技術計算とマルチメディアアプリケーションに対する評価を行った結果、SPEC CFP95 applu において 4 プロセッサ使用時に最小実行時間を維持したまま 60.7%の消費エネルギー削減、MPEG2 エンコーダにおいて 4 プロセッサ使用時に最小実行時間を維持し 27.2%の消費エネルギー削減を達成した。またデッドライン制約モードの評価では、4 プロセッサ使用時にデッドライン制約を保証しつつ、MPEG2 エンコーダにおいて 82.7%の消費エネルギー削減、SPEC CFP95 swim において 86.7%の消費エネルギー削減、SPEC CFP95 tomcatv において 85.6%の消費エネルギー削減、SPEC CFP95 applu において 74.0%の消費エネルギー削減が達成された。更に本低消費電力化手法を用いた 4 プロセッサでの並列処理は、逐次処理時の処理性能を維持したまま逐次処理に比べ、swim において 46.5%、tomcatv において 42.6%、MPEG2 エンコーダにおいて 30.8%消費エネルギーを削減した。

第 5 章「結論」では、本研究により得られた成果と今後の課題について述べる。

研究業績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
論文	<p>○ J. Shirako, M. Yoshida, N. Oshiyama, Y. Wada, H. Nakano, H. Shikano, K. Kimura, H. Kasahara, "Performance Evaluation of Compiler Controlled Power Saving Scheme", Proc. of 20th ACM International Conference on Supercomputing Workshop on Advanced Low Power Systems(ALPS2006), Jul., 2006.</p> <p>○ 白子 準, 吉田 宗広, 押山 直人, 和田 康孝, 中野 啓史, 鹿野 裕明, 木村 啓二, 笠原 博徳, ``マルチコアプロセッサにおけるコンパイラ制御低消費電力化手法``, 情報処理学会アドバンストコンピューティングシステム論文誌, 情報処理学会, 第 15 号, Vol. 47 No.SIG 12, p147-158, 2006 年</p> <p>○ J. Shirako, N. Oshiyama, Y. Wada, H. Shikano, K. Kimura, H. Kasahara, ``Parallelizing Compilation Scheme for Reduction of Power Consumption of Chip Multiprocessors``, Proc. of 12th Workshop on Compilers for Parallel Computers, Jan., 2006.</p> <p>○ J. Shirako, N. Oshiyama, Y. Wada, H. Shikano, K. Kimura, H. Kasahara, ``Compiler Control Power Saving Scheme for Multi Core Processors``, Proc. of 18th International Workshop on Languages and Compilers for Parallel Computing, Oct., 2005.</p> <p>K. Ishizaka, T. Miyamoto, J. Shirako, M. Obata, K. kimura, H. Kasahara, ``Performance of OSCAR Multigrain Parallelizing Compiler on SMP Servers``, Proc. of 17th International Workshop on Language and Compilers for Parallel Computing, Springer-Verlag, LNCS3602, pp319-331, 2005</p> <p>K. Kimura, Y. Wada, H. Nakano, T. Kodaka, J. Shirako, K. Ishizaka, H. Kasahara, ``Multigrain Parallel Processing on Compiler Cooperative Chip Multiprocessor``, Proc. of 9th Workshop on Interaction between Compilers and Computer Architectures, Feb., 2005</p> <p>○ 白子 準, 長澤 耕平, 石坂 一久, 小幡 元樹, 笠原 博徳, ``マルチグレイン並列性向上のための選択的インライン展開手法``, 情報処理学会論文誌, 情報処理学会, Vol. 45 NO.5, p1345-1356, 2004 年</p> <p>○ J. Shirako, K. Nagasawa, K. Ishizaka, M. Obata, H. Kasahara, ``Selective Inline Expansion for Improvement of Multi Grain Parallelism``, The IASTED International Conference on Parallel and Distributed Computing and Networks, Innsbruck, Austria, Feb., 2004</p> <p>小幡 元樹, 白子 準, 神長 浩気, 石坂 一久, 笠原 博徳, ``マルチグレイン並列処理のための階層的並列性制御手法``, 情報処理学会論文誌, 情報処理学会, Vol. 44 NO.4, p1044-1055, 2003 年 4 月</p>

研 究 業 績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
<p>講演 (査読付シンポジウム)</p> <p>講演 (研究会)</p>	<p>H. Kasahara, M. Obata, K. Ishizaka, K. Kimura, H. Kaminaga, H. Nakano, K. Nagasawa, A. Murai, H. Itagaki, and J. Shirako, ``Performance of Multigrain Parallelization in Japanese Millennium Project IT21 Advanced Parallelizing Compiler``, Proc. of 10th International Workshop on Compilers for Parallel Computers, Jan., 2003</p>
	<p>H. Kasahara, M. Obata, K. Ishizaka, K. Kimura, H. Kaminaga, H. Nakano, K. Nagasawa, A. Murai, H. Itagaki, and J. Shirako, ``Multigrain Automatic Parallelization in Japanese Millennium Project IT21 Advanced Parallelizing Compiler``, Proc. of IEEE International Conference on Parallel Computing in Electrical Engineering, Sep., 2002</p>
	<p>M. Obata, J. Shirako, H. Kaminaga, K. Ishizaka, and H. Kasahara, ``Hierarchical Parallelism Control for Multigrain Parallel Processing``, Proc. of 15th International Workshop on Language and Compilers for Parallel Computing, Jul., 2002</p>
	<p>白子 準, 吉田 宗広, 押山 直人, 和田 康孝, 中野 啓史, 鹿野 裕明, 木村 啓二, 笠原 博徳, ``マルチコアプロセッサにおけるコンパイラ制御低消費電力化手法``, 情報処理学会 SACSIS 2006 - 先進的計算基盤システムシンポジウム, 大阪府, 2006年5月</p>
	<p>白子 準, 田川 友博, 三浦 剛, 宮本 孝道, 中野 啓史, 木村 啓二, 笠原 博徳, “SMP サーバ及び組込み用マルチコア上での OSCAR マルチグレイン自動並列化コンパイラの性能”, 情報処理学会 第 162 回 計算機アーキテクチャ研究会(デザインガイア 2006), 福岡, 2006年11月</p>
	<p>鹿野裕明, 鈴木裕貴, 和田康孝, 白子準, 木村啓二, 笠原博徳, ``MP3 エンコーダを用いたヘテロジニアスチップマルチプロセッサの性能評価``, 情報処理学会 第 158 回 計算機アーキテクチャ研究会 (SHINING 2006), 東京, 2006年1月</p>
	<p>和田康孝, 押山直人, 鈴木裕貴, 内藤陽介, 白子準, 中野啓史, 鹿野裕明, 木村啓二, 笠原博徳, ``ヘテロジニアスチップマルチプロセッサにおける粗粒度タスクスタティックスケジューリング手法``, 情報処理学会 第 158 回 計算機アーキテクチャ研究会 (SHINING 2006), 東京, 2006年1月</p>
	<p>白子 準, 押山 直人, 和田 康孝, 鹿野 裕明, 木村 啓二, 笠原 博徳, ``ホモジニアスマルチコアにおけるコンパイラ制御低消費電力化手法``, 情報処理学会研究報告 ARC2005-164-10 (SWoPP2005), 佐賀県, 2005年8月</p>
<p>和田 康孝, 白子 準, 宮本 孝道, 中野 啓史, 小高 剛, 石坂 一久, 木村 啓二, 笠原 博徳, ``チップマルチプロセッサ上でのマルチグレイン並列処理``, EDS Fair 2005, 神奈川県, 2005年1月</p>	

研 究 業 績

種 類 別	題名、 発表・発行掲載誌名、 発表・発行年月、 連名者（申請者含む）
	<p>和田 康孝，白子 準，石坂 一久，木村 啓二，笠原 博徳，`OSCAR チップマルチプロセッサ上でのマルチグレイン並列性評価`，情報処理学会研究会報告 2004-ARC-159-11(SWoPP2004)，青森県，2004年7月</p> <p>白子 準，宮本 孝道，石坂 一久，小幡 元樹，木村 啓二，笠原 博徳，`共有メモリ型マルチプロセッササーバ上における OSCAR マルチグレイン自動並列化コンパイラの性能評価`，情報処理学会研究報告 ARC2005-161-5 (SHINING2005)，沖縄県，2004年</p> <p>白子 準，長澤 耕平，石坂 一久，小幡 元樹，笠原 博徳，`マルチグレイン並列性向上のためのインライン展開手法`，情報処理学会研究会報告 ARC2003-151-2 (SHINING2003)，京都府，2003年1月</p> <p>小幡 元樹，石坂 一久，白子 準，笠原 博徳，`SMP システム上での OSCAR マルチグレイン並列化コンパイラの性能`，情報処理学会研究報告 ARC2002-149-20(SWoPP2002)，大分県，2002年8月</p> <p>白子 準，神長 浩気，近藤 巧章，石坂 一久，小幡 元樹，笠原 博徳，`並列処理階層自動決定手法を用いた粗粒度タスク並列処理`，情報処理学会研究報告 ARC2002-148-4，東京都，2002年5月</p>
講演 (全国大会)	石坂 一久，白子 準，小幡 元樹，木村 啓二，笠原 博徳，`IBM pSeries 690 上での OSCAR マルチグレイン自動並列化コンパイラの性能評価`，情報処理学会第66回全国大会，神奈川県，2004年3月
その他 (ポスター)	笠原 博徳，木村 啓二，中野 啓史，白子 準，宮本 孝道，和田 康孝，`並列化コンパイラ協調型チップマルチプロセッサ技術`，STARC シンポジウム2005，大阪府，2005年9月
その他 (特許)	<p>笠原 博徳，木村 啓二，白子 準，伊藤 雅樹，鹿野 裕明，`マルチプロセッサシステム及びマルチグレイン並列化コンパイラ`，2005年4月（申請中，特願2005-114842）</p> <p>笠原 博徳，木村 啓二，白子 準，伊藤 雅樹，鹿野 裕明，`マルチプロセッサシステム及びマルチグレイン並列化コンパイラ`，2006年4月（申請中，国際出願番号:PCT/JP2006/308161）</p>