

博士論文審査報告書

論文題目

A Hybrid and Hierarchical
Network-on-Chip Architecture and its
Configuration Algorithm

ハイブリッドな階層的オンチップ
ネットワークに関する研究

申請者

Seungju	LEE
李	昇周

情報理工学専攻 情報システム設計研究

多数の異種プロセッサコアにより構成されるシステムオンチップ (System-On-a-Chip; SoC) は, MPSoC (Multi-Processor Systems-On-a-Chip) などと呼ばれる。これらプロセッサコア間は, 通常, 共有バスによって接続されるが拡張性, 柔軟性, 通信性能あるいは電力消費などの観点から必ずしも十分な性能を持つとは言えない。加えて, 半導体プロセスの微細化により, 配線遅延がゲート遅延に比較して相対的に増加しており, システムオンチップ全体で同期設計を実現することが極めて困難あるいは不可能にさえなっている。オンチップネットワークは, チップ全体にオンチップルータを分散配置しプロセッサコア間通信をオンチップルータを用いたパケット通信によって解決するものであり, 共有バス構造が持つ問題点を解決する有力な解である。

オンチップネットワークは, MPSoC の拡張性, 柔軟性を実現し, 通信性能の向上あるいは低消費電力化を実現するが, どのようなネットワーク形状によってこれらを実現するかが大きな鍵となる。これまでオンチップネットワークの形状に関する研究は多数見られるが, (1) 異種プロセッサコアを対象にこれらの特性を十分に考慮した上で, (2) オンチップルータを用いたネットワークとバス構造を階層的かつハイブリッドに構成することを実現した研究は存在しない。このような背景のもと本論文の研究は, まず少数の異種プロセッサコアを共有バスにより局所接続しクラスタノードを構成, これらクラスタノードをメッシュ型オンチップネットワークによりグローバル接続した構造を持つ BusMesh NoC (Bus-Mesh Network-on-chip) アーキテクチャを提案している。BusMesh NoC は, 異種プロセッサコアの局所通信をクラスタ化することによって共有バス通信を隠蔽し, さらに階層構成を持つメッシュ型オンチップネットワークによってクラスタノード間通信を実現するものであり, MPSoC 上で実行されるアプリケーションプログラムに応じて最適化されたネットワーク構成の決定が必要となる。この問題に対し本論文の研究は, BusMesh NoC を対象にタスクの局所性に注目したネットワーク構成決定アルゴリズムを提案している。加えて BusMesh NoC が持つオンチップルータについて, 効率的なパケット制御アルゴリズムを提案し BusMesh NoC 全体の高性能化を実現している。

本論文は 6 章から構成されている。以下, 各章の概要を述べ評価を加える。

第 1 章「Introduction」では, 本論文の背景と目的および概要をまとめ, マルチコアプロセッサと従来のオンチップネットワークの問題点を指摘し, 著者の研究の位置付けを明らかにしている。

第 2 章「BusMesh NoC: An NoC Architecture Composed of Bus-based Connection and Global Mesh Routers」では, 少数の異種プロセッサコアを共有バスにより局所接続してクラスタノードを構成し, さらにクラスタノードをメッシュ型オンチップネットワークによりグローバル接続した構造を持つ BusMesh NoC アーキテクチャを提案している。一般に, オンチップルータによる通信に比

べ共有バスによる通信は，面積・性能・電力といった観点から通信コストが小さく，相互通信量が多くかつ少数のプロセッサコア間の通信については，共有バス接続による実現が向く．そこで **BusMesh NoC** は，相互通信量が多い比較的少数の異種プロセッサコアによってクラスタノードを構成し，これらを共有バスによって接続する．これによってネットワークオンチップアーキテクチャ全体から見たとき，多くのプロセッサコア間相互通信を共有バス内に隠蔽することができる．さらに通信量が多い複数のクラスタノードをエッジスイッチにより接続，通信量が多い複数のエッジスイッチをオンチップルータによって接続する．最終的にオンチップルータは，メッシュ状のトポロジをとり相互通信する．より下位階層に局所通信を隠蔽する階層構造を持つことによって，**BusMesh NoC** は結果的に拡張性，柔軟性を実現すると同時に，通信性能の向上を実現することが可能となる．実験の結果，従来研究によるオンチップネットワークアーキテクチャに比較して，プロセッサコア間の通信レイテンシを 10% から 39% 向上することが示されている．

第 3 章「A Locality-aware NoC Configuration Algorithm Utilizing the Communication Volume among IP Cores」では，**BusMesh NoC** を対象にタスクの局所性に注目したネットワーク構成決定アルゴリズムを提案している．上述したように，**BusMesh NoC** は異種プロセッサコアの局所通信をクラスタ化することによって共有バス通信を隠蔽し，さらに階層構成を持つメッシュ型オンチップネットワークによってクラスタノード間通信を実現するものであり，**MPSoC** 上で実行されるアプリケーションプログラムの特性に応じて最適化されたネットワーク構成の決定が必要となる．この問題に対して，まずアプリケーションプログラムのタスク通信を表現したタスクグラフをベースに，最大のタスク間通信に注目し，これらタスクをシードとしてクラスタノードを構成する．続いて，構成済みのクラスタノードに対して，**BusMesh NoC** アーキテクチャに基づき，徐々にタスクグラフ中のシードを成長させ，**BusMesh NoC** アーキテクチャを順次構成する効率の良いアルゴリズムを提案している．特にタスクグラフ中の各タスクをクラスタノードに割り当てたとき，**BusMesh NoC** アーキテクチャの階層性・局所性に基づくコスト関数を設計することで，タスクグラフ中のプロセッサコア相互通信量と **BusMesh NoC** の階層性とを同時に考慮したネットワーク構成が実現されている．実験の結果，従来のネットワーク構成決定アルゴリズムを **BusMesh NoC** に適用した場合に比較して，プロセッサコア間の通信レイテンシを 41% から 46% 向上することが示されている．

第 4 章「BMNoC utilizing Packet Transmission Priority Control Method」では，**BusMesh NoC** のための効率的なパケット制御アルゴリズムを提案している．オンチップネットワークにおける最大の問題点の一つが通信量の増大によるパケットのデッドロックである．オンチップネットワークでは，通常，ラウンドロビ

ンと呼ばれる単純な制御アルゴリズムが用いられる。ラウンドロビンアルゴリズムは単純ゆえこのアルゴリズムをオンチップルータに実装した際の面積オーバーヘッドが極めて小さい反面、ネットワークの混雑を招き、通信レイテンシの増大を引き起こす可能性がある。これに対し、提案するパケット制御アルゴリズムは、パケットに優先度を付加することによりパケットのデッドロックを解消し、通信レイテンシの向上を図ったものである。しかもハードウェアオーバーヘッドは極めて小さい。実験の結果、ラウンドロビンによるパケット制御アルゴリズムを BusMesh NoC に適用した場合に比較して、わずかなハードウェアオーバーヘッドで Critical Traffic Load が最大で 20% から 23% 向上することが示されている。

第 5 章「Related Work」では、従来のオンチップネットワークアーキテクチャに関する研究、ネットワーク構成決定アルゴリズムを紹介している。バス構造とオンチップネットワーク構造をハイブリッドに構成したものとして Cluster-based NoC (C-NoC) ならびに Hermes NoC (H-NoC) を取り上げ、本論文の研究によって提案している BusMesh NoC の優位性を説明している。さらにネットワーク構成決定アルゴリズムに関する従来研究をまとめ、本論文の研究の優位性を説明している。

第 6 章「Conclusion」では本論文の成果の総括を行っている。

以上が本論文の概要であるが、著者は、まず複数の異種プロセッサコアを共有バスにより局所接続しクラスタノードを構成、これらクラスタノードをメッシュ型オンチップネットワークによりグローバル接続した構造を持つ BusMesh NoC アーキテクチャを提案し、続いて、MPSoC 上で実行されるアプリケーションプログラムに応じたネットワーク構成の最適化問題に対し、BusMesh NoC を対象にタスクの局所性に注目したネットワーク構成決定アルゴリズムを提案している。加えて BusMesh NoC が持つオンチップルータについて、効率的なパケット制御アルゴリズムを提案し BusMesh NoC 全体の高性能化を実現している。これら BusMesh NoC アーキテクチャならびにそのためのネットワーク構成決定アルゴリズムは、実験結果を通して、従来研究に比較し大きな有効性を持つことが実証されている。この成果は、高度情報化社会を支える重要な基盤情報技術たるシステムオンチップ技術の発展に寄与するところが大きい。よって本論文は博士(工学)の学位論文として価値あるものと認める。

2014 年 2 月

審査員	主査	早稲田大学教授	博士(工学)早稲田大学	戸川 望
		早稲田大学教授	工学博士(早稲田大学)	柳澤政生
		早稲田大学教授	工学博士(京都大学)	木村晋二
		早稲田大学教授	博士(工学)早稲田大学	木村啓二