

動的再構成可能並列VLSIプロセッサの設計と評価

著者	藤岡 与周, 宮崎 秀胤, 苫米地 宣裕
著者別名	FUJIOKA Yoshichika, MIYAZAKI Hidetugu, TOMABECHI Nobuhiro
雑誌名	八戸工業大学異分野融合科学研究所紀要
巻	4
ページ	89-92
URL	http://id.nii.ac.jp/1078/00002386/



動的再構成可能並列 VLSI プロセッサの設計と評価

藤岡 与周*・宮崎 秀胤**・苜米地 宣裕***

Design and Performance Evaluation of Dynamically Reconfigurable Parallel VLSI Processor

Yoshichika FUJIOKA*, Hidetugu MIYAZAKI** and Nobuhiro TOMABECHI***

Abstract

In the sensor feedback control of intelligent robots, the delay time must be reduced for a large number of multi-operand multiply-additions. To reduce the delay time for the multiply-additions, the architecture of the dynamically reconfigurable parallel VLSI processors are proposed. In each processor element (PE), a switch circuit is provided to change the direct connection between the multipliers and adders, so that the overhead in data transfer is reduced. In this paper, we report the delay time of the switch circuit based on a $0.18\ \mu\text{m}$ CMOS design rule.

Key words: small delay time, dynamic reconfiguration, VLSI, intelligent robot systems

1. まえがき

Fig. 1 に示すような自律的動作を目指した知能ロボットシステムを構築するためには、膨大な計算を短い遅れ時間で処理する必要がある。このため複数の汎用マイクロプロセッサや DSP (Digital Signal Processor: デジタル信号処理向けのプロセッサ) を PE (Processor Element: 要素プロセッサ) とした並列プロセッサを用いることが考えられる。このような場合、PE 間データ転送はソフトウェア手続きにより実現される。

しかし、PE の個数が増大すると、演算遅れ時間に対する PE 間のデータ転送の割合、すなわち通信オーバーヘッドが増大し演算器の稼働効率が減少するため、演算遅れ時間の減少が困難であるという問題があった。

そこで、所望とする演算器構造をプログラムステップ毎に動的に再構成しながら並列処理を行なうことにより、ソフトウェア手続きによるデータ転送をハードウェア接続切り替えに置きかえることができる動的再構成型並列 VLSI プロセッサが提案されている。本研究では、動的再構成に伴うスイッチ切り換え時間の影響などを評価することを目的としている。

2. 再構成可能並列プロセッサ

知能ロボット制御をはじめ、デジタル制御に必要な種々の多入力積和演算を高並列に実行し演算遅れ時間を減少するため、Fig. 2 に示す再構成可能並列アーキ

テクチャが提案されている。各 PE は 2 つの乗算器と加算器、ローカルメモリ、スイッチ回路を備えている。一例として 4 個の乗算器を含む多入力積和演算器を再構成する場合を Fig. 3 に示す。

Fig. 2 に示すように、各 PE は動的再構成のための隣接 PE 間接続に加えて多重バスで接続されている。各共通バスは再構成のためのスイッチ回路に接続されているので、再構成された多入力積和演算器の出力を直接他の多入力積和演算器の入力に直接接続できる。このため、PC クラスタやその他の並列プロセッサなどで見られるような PE 間データ転送のためのソフトウェア手続きを必要とせず高速にデータ転送を行なうことができる。

一例として加算時間と PE 間データ転送がそれぞれ乗算時間の $1/4$ であると仮定し、また 1 回の乗算時間を 1 クロックサイクルと定義する。スイッチ回路の遅延が十分少ない場合、Fig. 3 に示すように 4 個の乗算を含む多入力積和演算を 2 クロックサイクルで実行できるが、これは 4 個の乗算の並列実行に 1 クロックサイクル、4 個の乗算結果の加算と他の PE への演算結果転送に 1 クロックサイクルですむためである。これに対し、従来の DSP を用いた並列プロセッサでは、DSP 間のデータ転送に最低でも 1 クロックサイクル必要となるため、少なくとも 6 クロックサイクルが必要となる。

3. PE のチップレイアウト

$0.8\ \mu\text{m}$ COMS 設計ルールによる LSI チップレイアウトを Fig. 4 に、また諸元を Table. 1 に示す。現在では、設計ルールが約 $1/4$ つまり $0.18\ \mu\text{m}$ COMS 設計ルールを使用できるようになっているため、Fig. 5 のように 4×4 個の PE をシングルチップ内に備えることができるとの

平成 18 年 1 月 6 日受理

* システム情報工学科・助教授

** 電気電子工学専攻前期課程

*** システム情報工学科・教授

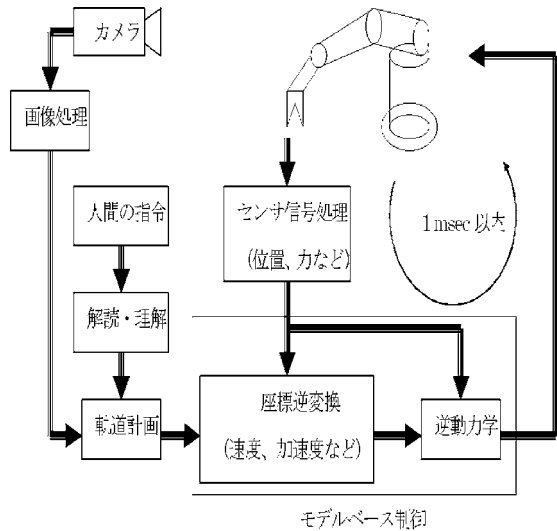
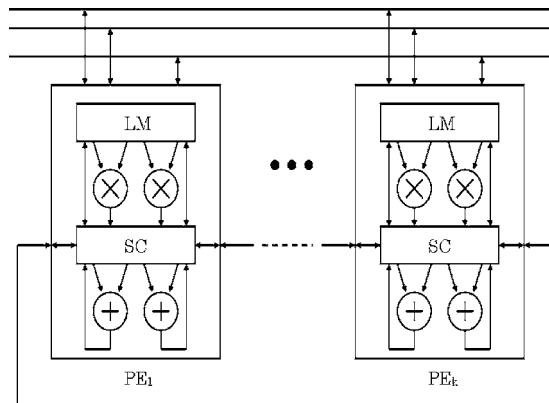


Fig. 1 知能ロボットシステム



- ⊗: 乗算器
- ⊕: 加算器
- LM: ローカルメモリ
- SC: スイッチ回路
- PE: 要素プロセッサ

Fig. 2 再構成可能並列アーキテクチャ

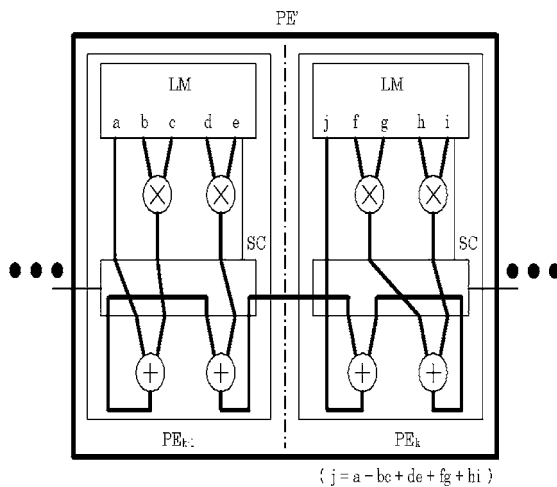


Fig. 3 多入力積和演算器の再構成

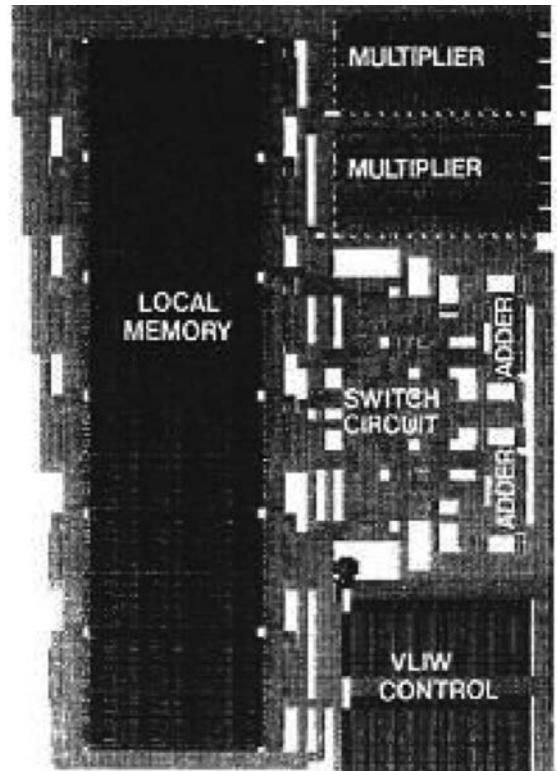


Fig. 4 PEのチップレイアウト

Table. 1 0.8 μmCOMS 設計ルールによる浮動小数点演算方式 PE の諸元

設計ルール	0.8 μmCOMS 2層メタル
動作速度	20 MHz
チップサイズ	10.9 mm×15.4 mm
数値表現	64 ビット浮動少数
ローカルメモリ	256×64 ビット 2ポートメモリ×6個
乗算器	64×64 ビット乗算器×2個 Boothのアルゴリズム キャリーセーブアダプター
加算器	64 ビット加算器×2個 キャリールックアヘッド
スイッチ回路	転送ゲート 64 ビット分×107個
入出力ポート数	64 bit 7本
制御方法	VLIW

見とおしが得られた。

現在、SUN ワークステーションに Solaris8 をインストールし、VDEC (VLSI Design and Education Center: 大規模集積システム設計教育研究センター) から学術用として無償で提供されている VLSI 設計 CAD ソフト (マスクレイアウト設計 CAD, HSPICE, FPGA-compiler など) をインストールし、かつ 0.18 μmCOMS 設計ルールの使用契約が終わっている。

4. スイッチ回路による遅延

再構成可能並列アーキテクチャの場合、各共通バスは再構成のためのスイッチ回路に接続されているので、再構成された多入力積和演算器の出力を直接他の多入力積和演算器の入力に直接接続できるが、このときスイッチ回路による遅延が発生する。その場合に、計算時間よりスイッチ回路による遅延が大きいのでは、意味がなくなってしまう。そこで、回路設計を行い、シミュレーション

を行う必要がある。

5. 設計 CAD ソフトを使用した回路設計

VDEC (VLSI Design and Education Center: 大規模集積システム設計教育研究センター) から無料で提供されている、cadence 社の設計 CAD ソフト IC を使用し、回路設計を行った。まず、pmos・nmos 型トランジスタの設定から始め、not 回路やパスゲートなどを設計し、シミュレーション用の回路を作成した。パスゲートはマルチプレクサ (スイッチ回路) と見立てたものである。

作成したシミュレーション用回路の例を、パスゲート 1 個の場合を Fig. 5、パスゲート 5 個の場合を Fig. 6 に示す。

6. Hspice を使ったスイッチ回路遅延の評価

回路設計と同じく VDEC から無料で提供されている

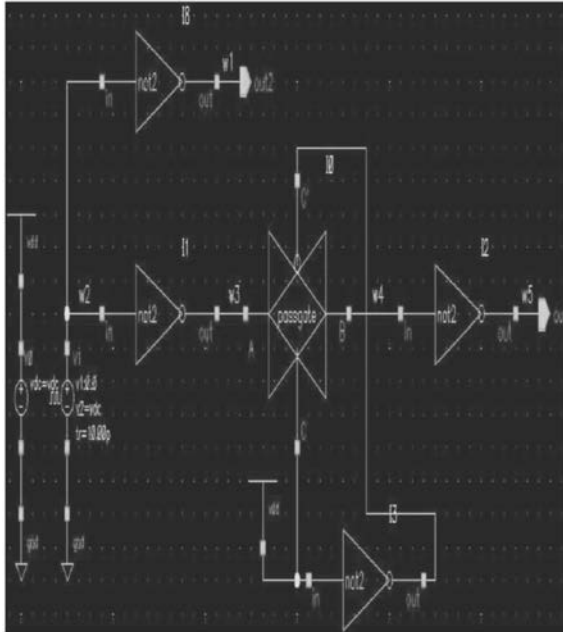


Fig. 5 シミュレーション用回路 (パスゲート 1 個の場合)

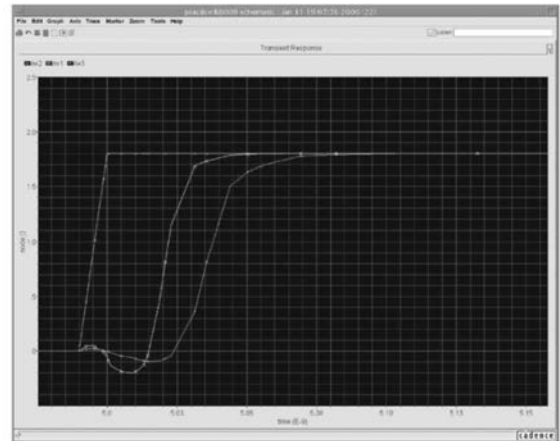


Fig. 7 シミュレーション波形 (パスゲート 1 個の場合)

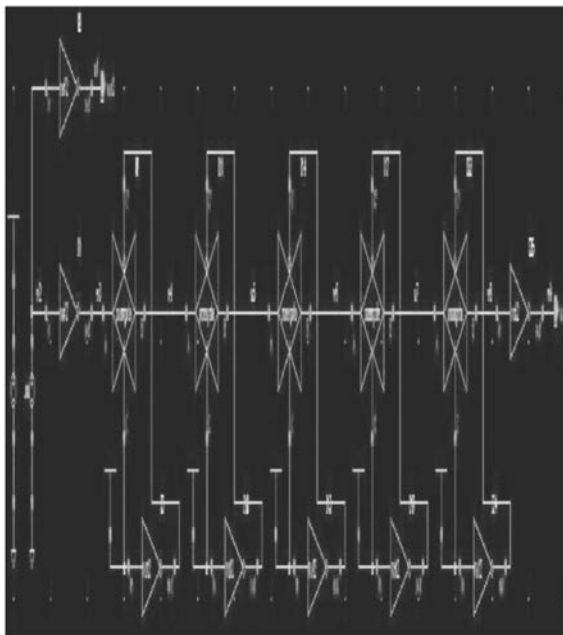


Fig. 6 シミュレーション用回路 (パスゲート 5 個の場合)

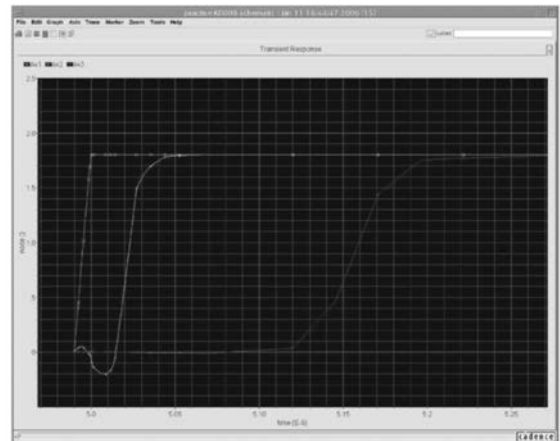


Fig. 8 シミュレーション波形 (パスゲート 5 個の場合)

Synopsys社のソフトウェアHspiceを使用しスイッチ回路遅延の評価を行った。ここで、not回路1個とパスゲートを5個並べて出力した場合のものを比較している。測定する範囲 (Analyses), 測定する電圧 (Design Variables), 測定する配線 (Outputs) を決めてシミュレーションした結果, not回路1個で出力した場合は35 p秒であるのに対し, パスゲートを1個並べて出力した場合は, 約50 p秒であった。また, パスゲートを5個並べて出力した場合は, 約160 p秒であった。そして, このときの波形のパスゲートを1個の場合をFig.7に, パスゲートを1個の場合をFig.8に示す。このことから, スイッチ回路の遅延は, nand回路などの3個分の遅延に相当すると予測される。

この程度の遅延は, 全加算器1個分程度の遅延に相当する。演算回路では32ビットや64ビットなどの乗算器や加算器が用いられる。この場合, 加算器の遅延時間はおおよそ全加算器の数倍程度, 乗算器の遅延時間はさらにその数倍程度であるため, 乗算や加算時間と比較してスイッチ回路素子自体の遅延時間は十分に小さいとの見通しが得られた。

ただし, 実際にはスイッチ回路素子自体の遅延のみならず, 配線遅延の影響も無視できない。配線遅延の評価は, 実際にLSIチップレイアウトを行ってその際の配線長などを元に行う必要がある。

7. むすび

スイッチ回路の遅延が, どの程度あるかわかった。演算器構成レベルでの動的再構成において, このスイッチ回路遅延と粒度との関係を考慮し, 今後最適なアーキテクチャ設計を行う必要がある。

謝辞: 本研究は東京大学大規模集積システム設計教育研究センターを通し, 日本ケイデンス株式会社およびシノプシス株式会社の協力で行われたものである。

参考文献

- 1) 宮崎秀胤, 藤岡与周, 苫米地宣裕: “動的再構成型VLSIにおけるスイッチ回路遅延の評価”, 平成17年度第2回情報処理学会東北支部研究会資料, 5-2-4, pp.1-4 (2006).
- 2) 亀山充隆, 藤岡与周: “ロボット用VLSIプロセッサシステム”, 日本ロボット学会誌, Vol.14, No.1, pp.22-25 (1996).
- 3) 西久保康彦: “よくわかるCPUの基本と仕組み—CPU内部構造とソフトウェアの動作”, 秀和システム.
- 4) 富沢 孝, 松山泰男 監訳: “CMOS VLSI設計の原理システムの視点から”, 丸善.