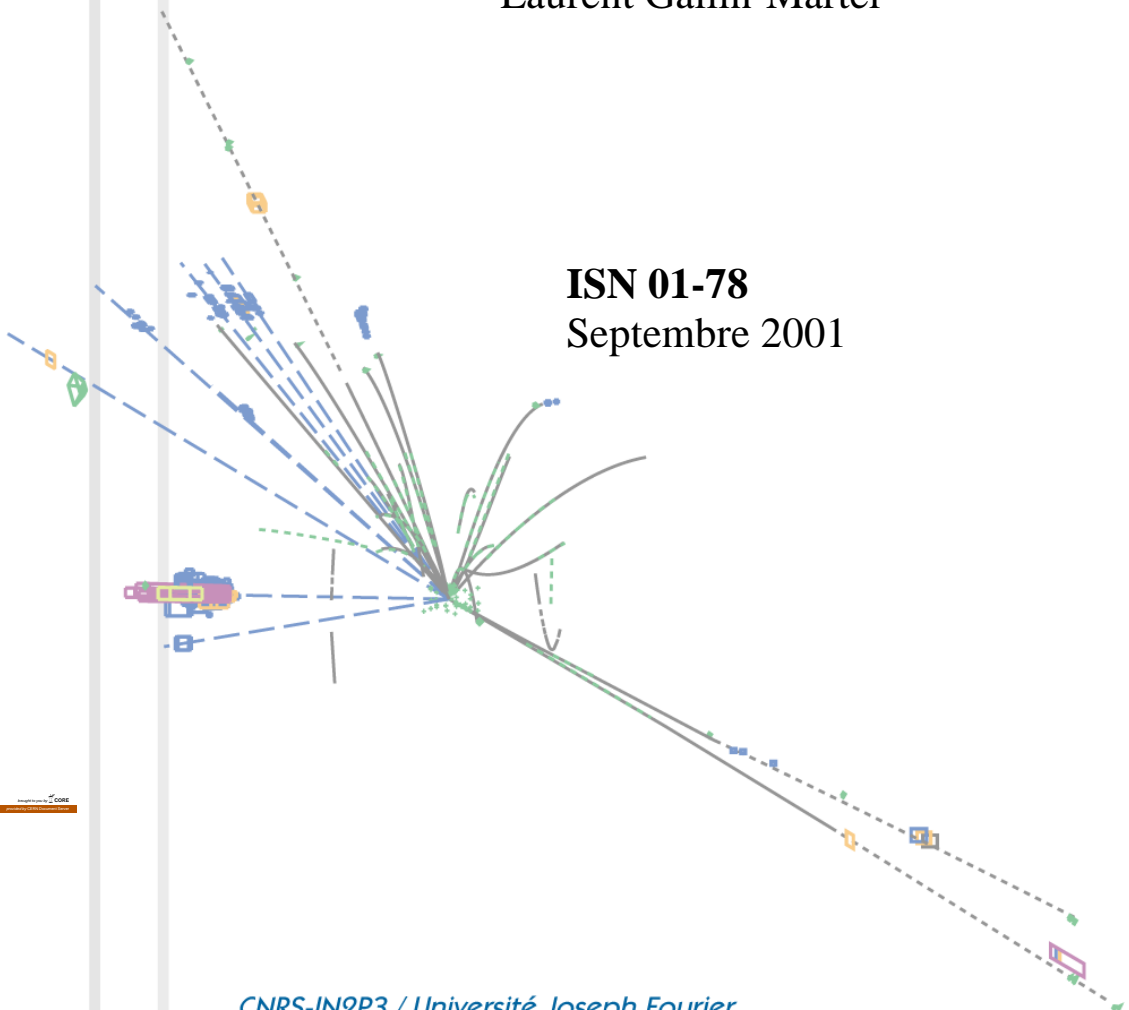


A Bit ERror Tester for ATLAS ECAL OPTICAL LINKS

Laurent Gallin-Martel

ISN 01-78

Septembre 2001



CNRS-IN2P3 / Université Joseph Fourier

Unité mixte de recherche n° 5821 associée scientifiquement à l'INPG

SOMMAIRE

1. Introduction	2
2. Présentation d'une liaison optique unidirectionnelle @ 1.6 Gb/s	3
3. Tests des liens optiques	4
1. Facilités d'irradiation neutrons et protons	4
<i>2. Tests en faisceau sans multiplexeur</i>	5
<i>3. Tests en faisceau du Dual Mux Chip (DMC)</i>	6
<i>4. Qualification et quantification des erreurs</i>	7
4. Description du BERT	8
<i>1. Schéma synoptique</i>	8
<i>2. Carte COMPAR</i>	9
<i>3. Carte CONTROL</i>	10
5. Acquisition de données et contrôle	12
<i>1. Carte d'acquisition</i>	12
<i>2. Interface graphique</i>	12
6. Générateur de patterns externe	14
7. Conclusion	15
8. Bibliographie	16

1. Introduction

L'ISN, en collaboration avec le CPPM, le KTH (Stockholm), le SMU (Dallas) et l'université de Taipei (Taiwan), est chargé de l'étude et du développement de liaisons optiques numériques pour la transmission des données du calorimètre d'ATLAS. Ces liens seront au nombre de 1600 et devront transmettre des données 32 bits à 40 MHz sur une distance comprise entre 100 et 200 mètres. La partie émettrice de chaque lien sera située sur la Front End Board qui lui est associée (une FEB traite 128 voies du calorimètre) [1]. Les circuits électroniques et optiques présents sur ces cartes seront exposés sur un total de 10 années à un flux de neutrons de $3 \cdot 10^{13}$ (1 MeV Si) neutrons/cm² et un rayonnement gamma de 4 MGy (Si) [2]. Ces niveaux d'irradiation étant particulièrement élevés, il est donc impératif d'étudier à l'avance le comportement des composants dans un tel milieu radiatif. Le groupe lien optique a testé différents candidats du commerce tant en laboratoire, qu'auprès du Système Accélérateur Rhônes Alpes (SARA), du Centre d'Etudes et de Recherches par Irradiation (CERI) à Orléans ou du Centre de Recherche du Cyclotron (CRC) à Louvain-La-Neuve en Belgique. La première partie de ces tests a permis de sélectionner les candidats supportant la dose totale de rayonnement prévue par la simulation. Ces composants sont, néanmoins, sensibles aux rayonnements qui provoquent des erreurs transitoires induites par l'interaction des neutrons avec la matière. Ces phénomènes d'erreurs transitoires Single Event Effects (SEE) peuvent affecter gravement le fonctionnement (voire détruire) des circuits électroniques. Les SEE sont de deux types : les Latchups et les Single Event Upsets (SEU).

Le Latchup se traduit par la mise en conduction d'un thyristor parasite existant entre les différentes zones dopées du semi conducteur. Dans le cas où ce phénomène n'est pas destructif, le retour à un fonctionnement normal est obtenu par une coupure de l'alimentation du circuit. Le Latchup concerne aussi bien les circuits logiques qu'analogiques.

Les SEU concernent presque exclusivement les circuits logiques et se traduisent par le changement d'état d'une bascule (ou autre cellule mémoire). Dans le cas d'un circuit programmé un RESET du système peut être nécessaire pour un retour à un fonctionnement normal.

Durant les tests d'irradiation aucun Latchup n'a été observé avec les candidats retenus. Les SEE induisent des erreurs dans les données transmises et la qualité du lien dépend directement du nombre d'erreurs par unité de temps [3]. La nécessité de mesurer ce taux d'erreurs a conduit au développement du BERT (Bit Error Tester).

Le BERT fournit les données 32 bits @ 40 MHz aux émetteurs, reçoit les données en provenance des récepteurs et compare bit à bit chacun des mots de 32 bits. L'apparition de SEU est un phénomène statistique et l'estimation du BER nécessite le test de plusieurs liens simultanément. Le BERT est prévu pour tester jusqu'à 16 liens 32 bits @ 40 MHz. Il peut, soit générer des séquences simples de mots de 32 bits (compteur, ...), soit recevoir (et transmettre aux émetteurs) des données en provenance d'un générateur de patterns externe. Le groupe lien optique a développé un générateur de mots dont les séquences sont au format des données du calorimètre d'ATLAS (en tête, parité, ...). Le contrôle du BERT, l'acquisition des erreurs, ainsi que le contrôle du générateur de patterns s'effectuent au moyen d'un PC. Le BERT se compose de différents modules s'interconnectant dans un châssis VME, il utilise les bus et les alimentations du châssis mais ne respecte pas le standard VME. Les modules du BERT sont basés sur des circuits programmables (EPLD de chez ALTERA) et peuvent donc être reconfigurés, in situ, pour le test de différents liens optiques ou électriques.

2. Présentation d'une liaison optique unidirectionnelle @ 1.6 Gb/s

La partie émettrice de cette liaison (à gauche sur la figure ci-dessous) est composée de circuits électroniques assurant le passage 32 bits @ 40 MHz vers 1 bit @ 1.6 Gb/s (MUX + HDMP-1022) [4] et d'un circuit opto-électronique (MDS-19-4-1-S) réalisant la conversion électrique-optique. Ces transceivers sont prévus pour des liaisons bidirectionnelles et se composent d'un amplificateur et d'une diode VCSEL (Vertical Cavity Surface Emitting Laser) en émission (TX) et d'une diode PIN et d'un amplificateur en réception (RX). Dans le cas de liens unidirectionnels, seule une de ces deux fonctions est utilisée à chaque extrémité du lien. Emission et réception sont reliées par une fibre multimode 50 /125 manufacturée par Fujikura, choisie pour sa tolérance aux irradiations [5].

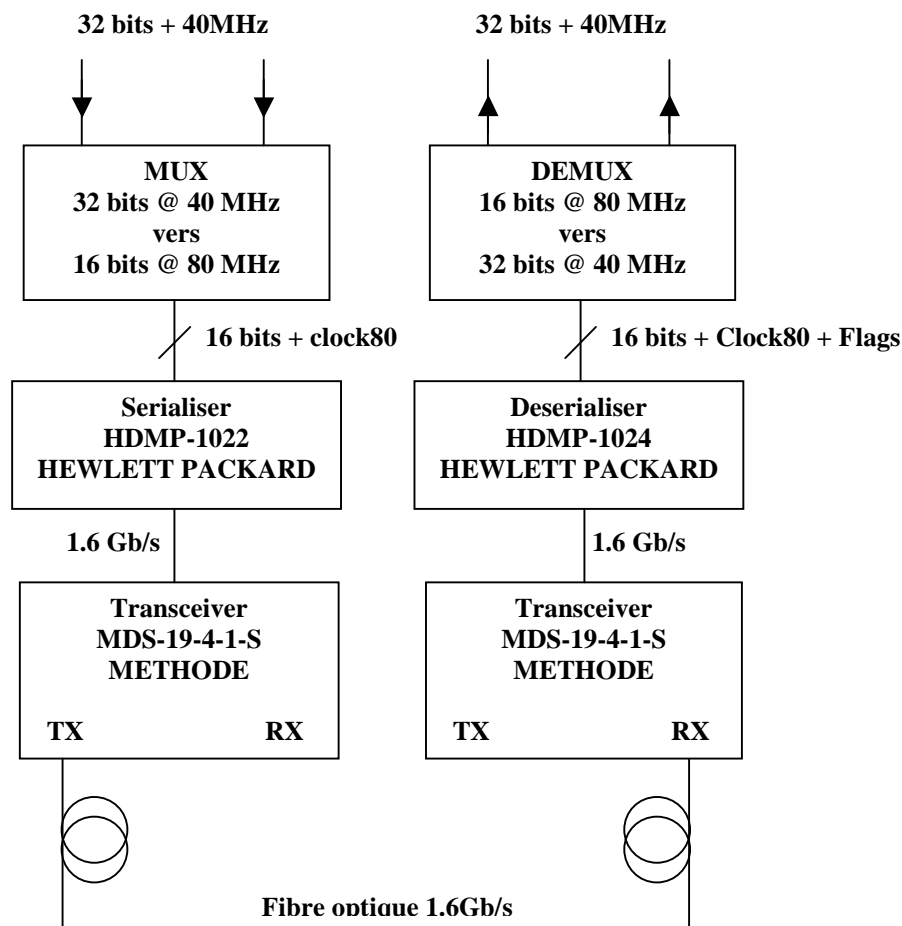


Figure 1

Dans le schéma synoptique ci-dessus, les données à 40 MHz et à 80 MHz sont des signaux TTL. Le circuit HDMP-1022 (HDMP-1024) fournit (accepte) un signal PECL différentiel. Ce standard logique permet une transmission des données sur lien optique ou cuivre. Des tests en irradiation ont eu lieu avec des liens cuivre. La distance entre les parties émission et réception du lien étant imposée par les conditions expérimentales (15 mètres), la vitesse de transmission était réduite à 160 Mb/s. Il s'agissait d'une première tentative pour séparer l'action des

neutrons sur les différents composants présents sur la carte d'émission du lien (principalement Glink-HDMP1022 et transceiver optique) [6]. Le circuit HDMP-1022 ajoute un champ de contrôle de 4 bits aux 16 bits de données à transmettre (1.6 G = 20x80 M). Ce champ permet au récepteur (HDMP-1024) de se verrouiller sur la fréquence de 80 MHz et il lui indique le type de données transmises (simple ou double trame, trame complétée, ...). Toutes les combinaisons des 4 bits ne sont pas utilisées et le récepteur signale un mot de contrôle inconnu avec un flag ERREUR. Ce protocole de détection d'erreurs, basé sur le test des 4 bits de contrôle, ne peut donner qu'un ordre de grandeur du véritable taux d'erreurs du lien. Dans un premier temps, la fonction MUX fut assurée, pour les tests en laboratoire, par un circuit programmable de type EPLD (famille 7000s de chez ALTERA). Cette technologie ne pouvant supporter les doses atteintes durant les tests en faisceau, l'ISN a développé un ASIC dans une technologie résistante aux rayonnements : DMILL de chez TEMIC [7]. En revanche, la partie réception du lien n'étant pas exposée aux irradiations, la fonction DMUX est implémentée dans un EPLD (7128s de chez ALTERA). Pour minimiser l'effet des SEU, le groupe Lien Optique a mis au point une transmission redondante en doublant chaque lien et en utilisant, en réception, un circuit programmable chargé de la détection d'erreurs (parité,...) et de la commutation d'un lien sur l'autre. Cette solution n'a pas été retenue pour des raisons de coûts. Le circuit développé à l'ISN, conçu pour ce type de liaison est composé de deux multiplexeurs. Il a été livré en Février 2001, testé en laboratoire puis en faisceau au CERI en Mars 2001 [8] ainsi qu'au CRC en Juin 2001 [9]. Une version, sans redondance, de ce circuit a été soumise au fondeur en Mai 2001.

3. Tests des liens optiques

1. *Facilités d'irradiation neutrons et protons*

Les premiers tests en neutrons se sont déroulés à la facilité neutronique installée à SARA [10] dans les locaux de l'ISN. Un faisceau de deutons de 20 MeV est dirigé sur une cible de béryllium. Les neutrons ainsi produits ont une énergie maximale de 20 MeV et une énergie moyenne de 7 MeV. L'intensité du faisceau peut varier entre quelques nA et 5 μ A permettant ainsi d'obtenir différents flux de neutrons (fluence max = $2 \cdot 10^{14}$ n cm⁻² s⁻¹ en 24 heures).

A partir de juillet 1998, à la fermeture de SARA, le site du CERI à Orléans a été désigné pour poursuivre les tests d'irradiation neutronique. Comme à SARA, les neutrons sont produits par l'interaction d'un faisceau de deutons sur une cible de béryllium. Cependant dans le cas particulier du CERI, l'énergie (respectivement l'intensité) du faisceau de deutons peut varier de 5 MeV à 25 MeV (respectivement de quelques nA à 35 μ A) permettant ainsi d'obtenir différents spectres neutroniques utiles pour les analyses physiques.

Les tests en protons ont eu lieu au CRC à Louvain-La-Neuve en Belgique. Un faisceau monoénergétique de protons est produit. L'énergie (respectivement le flux) peut varier de 23 MeV à 60 MeV (respectivement de 10^7 à 10^{13} p cm⁻² s⁻¹). La possibilité de focaliser le faisceau de protons a permis de séparer les contributions respectives des composants (multiplexeur, GLINK, transceiver) au taux d'erreurs global d'un lien. Ce type d'analyse n'est pas possible dans le cas de tests en neutrons.

2. Tests en faisceau sans multiplexeur

Le BERT est composé de deux types de cartes se connectant dans un châssis VME, une carte CONTROL (en vert dans la figure ci-dessous) et une carte COMPAR pour chaque lien testé (en marron). Pour le test des liens optiques le BERT est contrôlé par un PC auquel il communique les erreurs détectées. Les données de référence proviennent, soit de la carte CONTROL (pour des séquences simples), soit d'une carte interne au PC [11]. Les séquences de ce générateur respectent le format des données du calorimètre [12]. La carte CONTROL transmet ces données, d'une part aux émetteurs (TX) distants d'une vingtaine de mètres durant les tests en faisceau et d'autre part aux cartes COMPAR grâce au bus du châssis VME. L'absence de multiplexeur impose de transmettre des données dont les 16 bits de poids fort sont égaux aux 16 bits de poids faible. Dans ce cas, cette fonction est assurée par la carte CONTROL. Chaque carte de réception (RX) se connecte, à l'arrière du châssis, sur la carte COMPAR qui lui est dédiée (connecteur P2). La transmission des données du Module 0 du calorimètre actuellement en développement et en test au CERN est assurée par des liens cuivre 32 bits@40MHz. Le standard logique utilisé est le PECL différentiel et des cartes de translation PECL/TTL assurent, en réception, l'interface avec l'acquisition VME (P2). Le brochage du connecteur de RX (et donc de COMPAR) est compatible avec celui de l'acquisition du Module 0, ce qui a permis le test de liens (simples et redondants) sur ce Module.

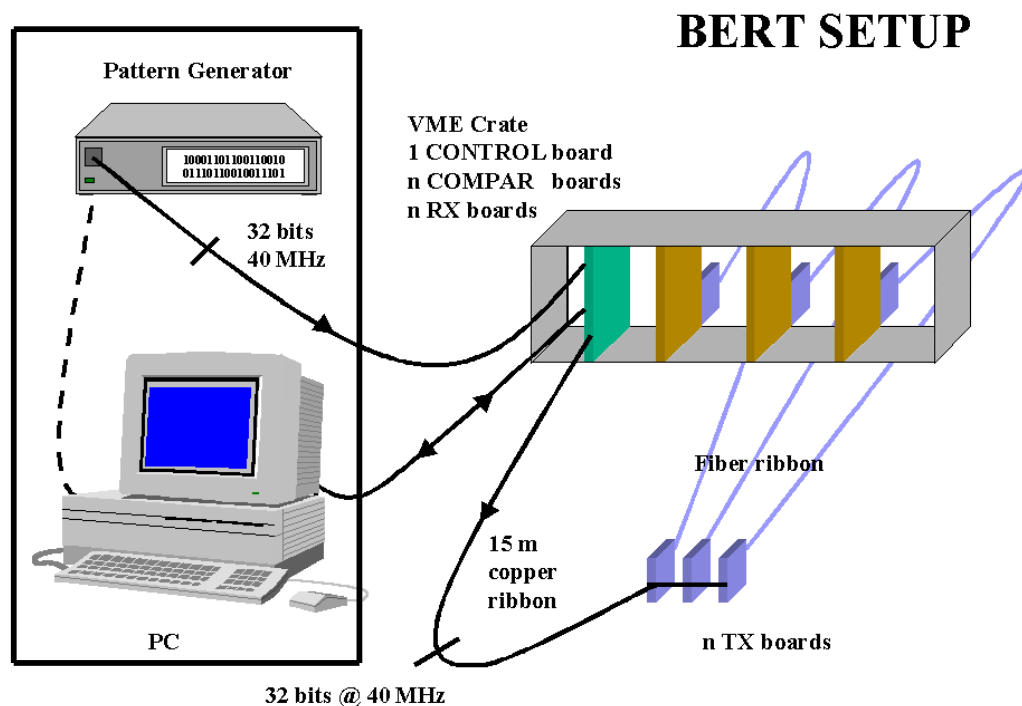


Figure 2

Chaque carte COMPAR reçoit les données d'un lien et les compare aux données de référence présentes sur le bus du châssis. Cette comparaison n'est possible qu'après une phase de synchronisation (exécutée indépendamment par chaque carte COMPAR) qui permet de

compenser le retard entre le flux de données en provenance d'un lien et celui de référence. La fonction de démultiplexage (16 bits @ 80 MHz / 32 bits @ 40 MHz) est assurée, sur les cartes RX, par un circuit programmable. Ce circuit peut être configuré pour permettre le contrôle du GLINK de réception par la carte COMPAR. De même les signaux provenant du GLINK de RX (ERREUR, LINKDOWN, ...) peuvent être acquis par le PC en transitant par les cartes COMPAR et CONTROL.

3. Tests en faisceau du Dual Mux Chip (DMC)

Les cartes Pattern Generator Intertace (PGI) et DUALTX ont été réalisées pour les tests du double multiplexeur (DMC). La carte PGI reçoit les données 32 bits (TTL) du générateur de patterns, les transmet d'une part à la carte CONTROL du BERT (TTL) et d'autre part à la carte DUALTX (LVDS). Cette dernière, située dans le faisceau durant les tests d'irradiation, est équipée d'un DMC, de deux GLINK ainsi que de deux transceivers. Deux cartes RX, identiques à celles décrites précédemment, sont connectées, à l'arrière du châssis VME, à deux cartes COMPAR.

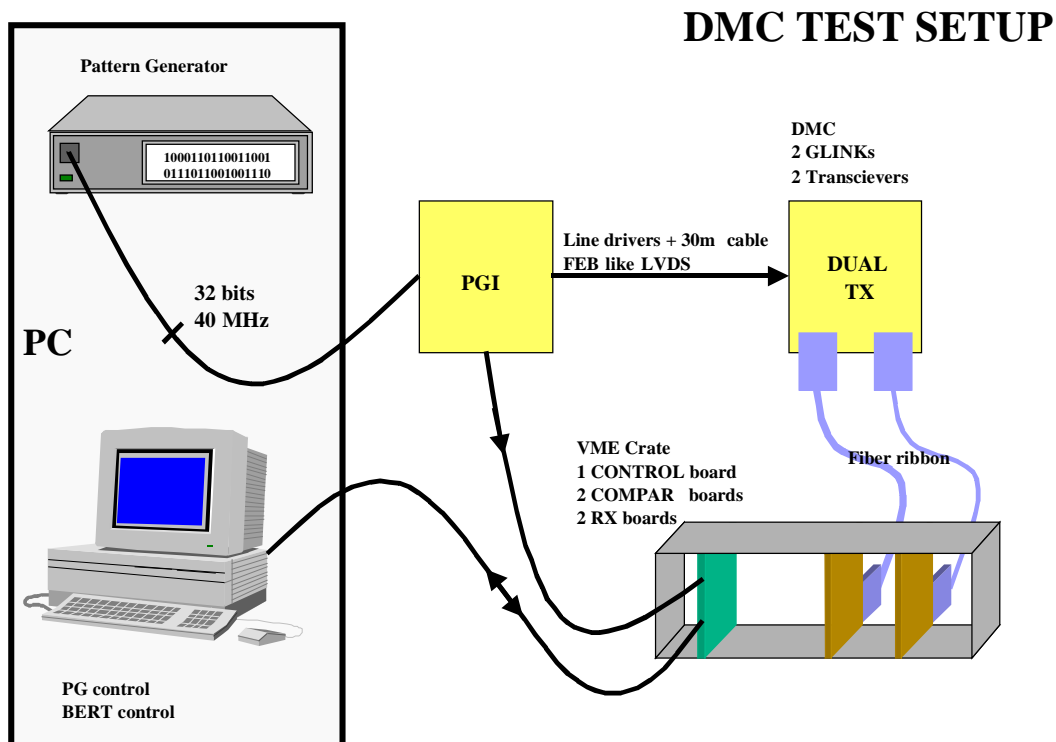


Figure 3

4. Qualification et quantification des erreurs

Les premiers tests en neutrons, réalisés à SARA, étaient basés sur la lecture des flags ERREUR du Glink (voir paragraphe 2). L'introduction du BERT dans le dispositif expérimental a permis d'affiner considérablement les résultats de mesure du taux de SEU. En effet l'analyse des fichiers de données a démontré que les erreurs détectées par le GLINK (erreur de type LINKDOWN) ne représentent que 10% du nombre total d'erreurs.

Cinq types d'erreur ont pu être ainsi répertoriés et sont résumés dans le tableau suivant.

Type d'erreur	Pourcentage relatif (%)
1 bit flip	72
2p bit flip	4
2p+1 bit flip	5
Clock corruption	9
Link-down	10

Où

- « 1 bit flip » correspond à un seul bit en erreur sur un mot de 32 bits
- « 2p bit flip » (« 2p+1 bit flip ») correspond à un nombre pair (impair) de bits en erreur
- « Clock corruption » correspond à la perte du signal d'horloge en réception
- « Link-down » correspond à un déverrouillage entre émetteur et récepteur

Le format des événements du calorimètre d'ATLAS comprend, entre autres, des bits de parité. Un test de parité, effectué par le système d'acquisition du calorimètre, permet de détecter la majeure partie des erreurs de transmission. C'est pourquoi dans le tableau ci-dessus on distingue « 2p bit flip » de « 2p+1 bit flip », les premières pouvant ne pas affecter la parité. Dans le but de maintenir un « DC BALANCE » le GLINK d'émission peut inverser les 16 bits de la trame, ce qu'il signale au récepteur par le champ de contrôle. Ce champ de contrôle peut être affecté par les effets des irradiations au même titre que les données et donc le récepteur GLINK peut être conduit à inverser intempestivement une trame. Ce type particulier d'erreur n'entraîne pas une modification de la parité. Pour plus de détails sur le format des événements voir Réf [12].

Une erreur de type « clock corruption » survient quand le GLINK de réception ne peut extraire l'horloge 80 MHz du flux de données à 1.6 Gbit/s. Si cet état n'excède pas quelques périodes d'horloge, le lien reste synchronisé mais cela conduit à une mémorisation incomplète des données 32 bits (un ou quelques mots consécutifs absents). Cet inconvénient peut être supprimé en utilisant, pour la mise en mémoire, une horloge LHC externe et non celle qui transite par le lien. Si la durée pendant laquelle l'horloge est corrompue se prolonge au delà de quelques périodes, cela conduit à un nouveau type d'erreur : « Link-down ».

Les erreurs de type « Link-down » sont les plus dramatiques car elles impliquent la resynchronisation totale entre le Glink émetteur et le Glink récepteur. Cela rend le lien

inopérant pendant une durée qui peut atteindre plusieurs millisecondes, ce qui représente, à la fréquence de 40 MHz, la perte d'un grand nombre de données.

En tests d'irradiation neutrons tous les composants de la carte d'émission sont exposés au flux de neutrons. Le taux d'erreurs mesuré sur le lien est donc global. Le test en protons de Louvain-La-Neuve a permis au contraire de focaliser le faisceau sur le GLINK puis sur le multiplexeur DMILL et finalement sur le transceiver Methode. L'analyse séparée des fichiers produits par le BERT a démontré que le GLINK était à l'origine de 99.9 % des erreurs du lien.

Le BERT peut fournir une estimation précise du taux et du type d'erreur d'un lien pour un faisceau donné. Une estimation du taux d'erreur dans les conditions futures de l'expérience ATLAS a pu être calculée. Ce taux d'erreur a été estimé à 0.65 +/- 0.30 erreur/liens/heure. Le détail de l'analyse figure dans la Réf [13].

4. Description du BERT

1. Schéma synoptique

La figure ci-dessous est une vue plus détaillée de la figure 2 (Tests en faisceau sans multiplexeur). Le châssis VME, symbolisé par la ligne discontinue, est équipé avec une carte CONTROL, deux cartes COMPAR et deux cartes de réception RX.

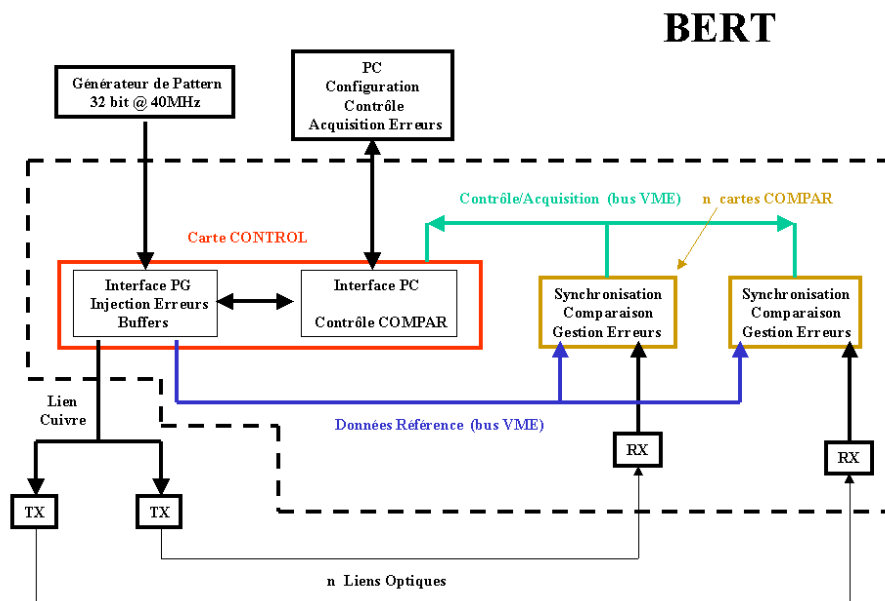


Figure 4

Les données 32 bits ainsi que l'horloge 40 MHz proviennent d'un générateur externe connecté à la carte CONTROL. Cette dernière transmet les données d'une part aux cartes COMPAR (Données Référence bus VME) et d'autre part aux émetteurs TX distants d'une vingtaine de mètres. Elle assure de plus le contrôle des cartes COMPAR ainsi que la lecture des erreurs détectées par ces dernières (Contrôle/Acquisition bus VME). Le PC connecté à la carte CONTROL permet la configuration et la commande du BERT, il est également chargé de l'acquisition des mots en erreur (lien et référence).

2. Carte COMPAR

Le rôle de cette carte est de comparer les données en provenance du lien (carte RX sur connecteur P2) aux données de référence présentes sur le bus du châssis VME. Les mots en erreur (lien et référence) sont stockés en mémoire sur cette carte avant d'être transmis au PC (par l'intermédiaire de la carte CONTROL). La carte COMPAR permet également de surveiller certains signaux générés par le GLINK de réception (Link Flags : ERROR, LINKDOWN, ...). Un signal d'interruption indique à la carte CONTROL que des données mémorisées sont en attente de lecture. Des boutons poussoir permettent le démarrage de la comparaison ainsi que la remise à zéro des mémoires et registres de la carte. Ces commandes sont également disponibles depuis le PC. De plus des DEL indiquent, à l'utilisateur, l'état de la carte (attente, synchronisation, comparaison, mémoires pleines/vides, ...). Les fonctions attribuées à ces DEL peuvent être rapidement reprogrammés. La carte COMPAR est composée des trois circuits programmables SEQUENCER, INTERFACE et COMPARATOR ainsi que de circuits mémoire de type FIFO.

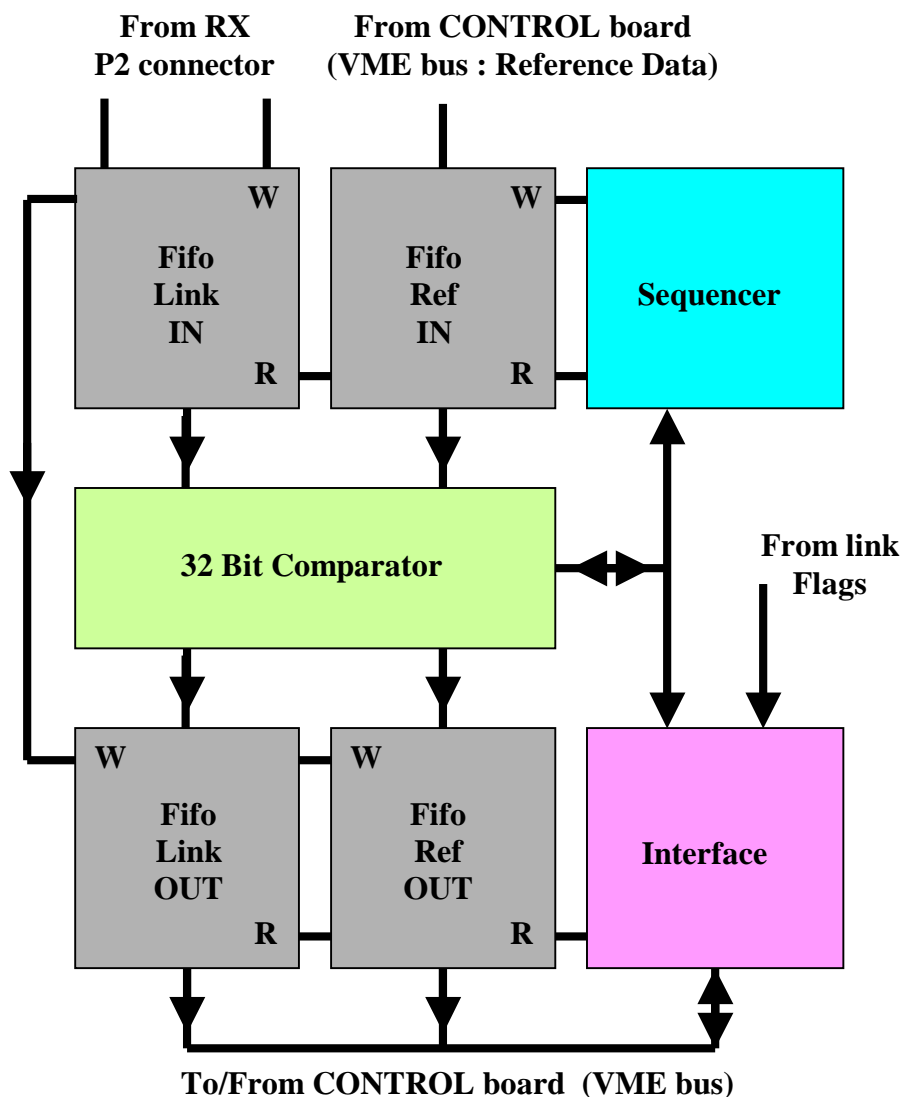


Figure 5

La fonction INTERFACE assure le décodage des instructions et des adresses générées par la carte CONTROL (bus du châssis VME). De plus elle contrôle le circuit SEQUENCER, génère les interruptions et permet l'acquisition des données mémorisées (signal R des FIFO_X_OUT). Pour pouvoir comparer les deux flux de données il est nécessaire, dans un premier temps, de synchroniser ces deux flux en compensant le retard des données du lien par rapport au flux de référence. Cette compensation est effectuée, par le circuit SEQUENCER, dans les FIFO d'entrée (FIFO_X_IN). Le circuit FIFO_LINK_IN reçoit les données 32 bits du lien, le signal d'écriture (W) étant l'horloge 40 MHz de ce même lien. Les données de référence sont écrites dans le circuit FIFO_REF_IN en utilisant l'horloge 40 MHz globale du BERT. Pour synchroniser les deux flux de données le circuit SEQUENCER autorise l'écriture dans FIFO_LINK_IN et FIFO_REF_IN, autorise la lecture de FIFO_LINK_IN et interdit celle de FIFO_REF_IN tant que le retard n'a pas été compensé. Le test de synchronisation dépend des caractéristiques des patterns transmises. Si, comme dans le cas de celles d'ATLAS, ces dernières comportent une en tête, la synchronisation est obtenue quand cette en tête est présente en sortie des deux FIFO d'entrée. L'algorithme de synchronisation peut être facilement reprogrammé, dans le circuit SEQUENCER, pour accepter différents type de patterns. Une fois cette phase de synchronisation achevée, le circuit SEQUENCER autorise la comparaison des flux et assure l'écriture des données dans les FIFO de sortie lorsque le circuit COMPARATOR lui signale une erreur.

3. Carte CONTROL

Cette carte est composée des deux circuits programmables INTERFACE et PGI (Pattern Generator Interface).

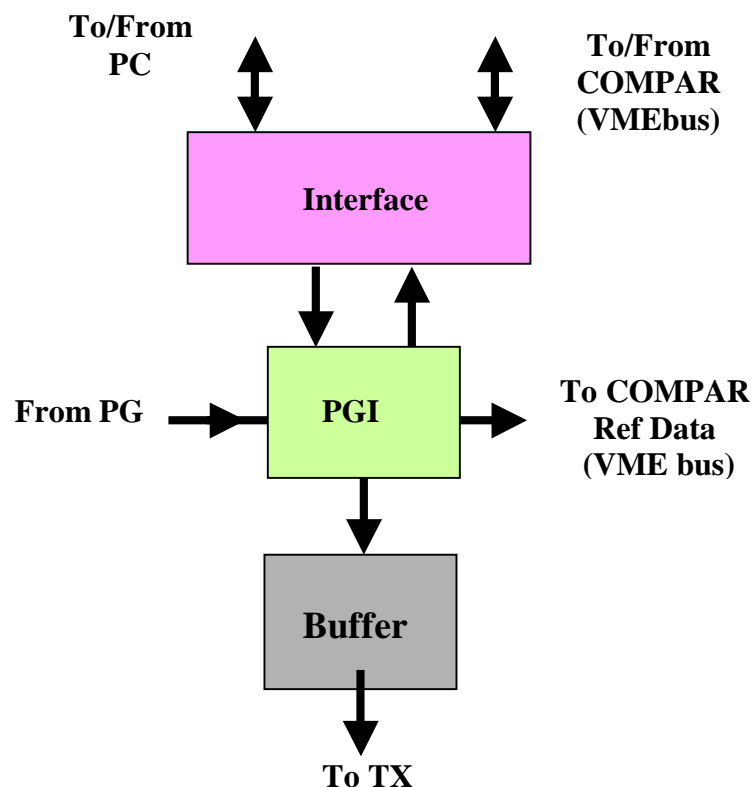


Figure 6

Le circuit INTERFACE décode les instructions en provenance du PC (Start, Stop, Reset pour chaque carte COMPAR, injection d'erreurs ...) et transmet à ce dernier les erreurs détectées sur chaque lien testé en assurant le contrôle des cartes COMPAR présentes dans le BERT. Ces dernières signalent une erreur en activant un signal d'interruption, la carte CONTROL vérifie alors le registre d'état de chaque carte COMPAR (fonction INTERFACE de COMPAR) pour déterminer quel lien est à l'origine de cette interruption. Un événement (une erreur) se compose de cinq mots de 16 bits :

- registre d'état de COMPAR
- 16 bits de poids faible du lien
- 16 bits de poids fort du lien
- 16 bits de poids faible de la référence
- 16 bits de poids fort de la référence

Le registre d'état de COMPAR est composé de :

Etat du lien	# COMPAR	Non utilisé	Etat des FIFO
--------------	----------	-------------	---------------

Dans le cas d'une erreur de type « clock corruption » (paragraphe 3.4) un décalage entre le flux de référence et celui du lien se crée dans les FIFOs d'entrée rendant la comparaison impossible. La carte COMPAR détecte ce type d'erreur et exécute automatiquement une remise à zéro suivie d'une nouvelle phase de synchronisation (paragraphe précédent). Elle signale cette action à l'acquisition grâce au champ 4 bits appelé « Etat du lien ». Ce champ de contrôle permet également à la carte COMPAR de signaler une erreur de type « Link down » ainsi qu'une remise à zéro manuelle. Ce champ ainsi que celui appelé « Non utilisé » peuvent être reprogrammés (dans INTERFACE de COMPAR) de manière à, soit acquérir différents signaux du GLINK de réception, soit détecter différents états de COMPAR. Comme pour la carte COMPAR, des boutons poussoir permettent à l'utilisateur de démarrer les comparaisons, d'effectuer une remise à zéro générale du BERT ou d'injecter des erreurs. Le circuit PGI peut, soit générer des patterns simples (compteurs, ...), soit recevoir des séquences en provenance d'un générateur externe. Il transmet ces données aux cartes COMPAR (REFDATA VMEBUS) ainsi qu'aux émetteurs (TX). Des circuits BUFFER permettent la transmission de signaux TTL à 40 MHz sur une distance pouvant atteindre 20 mètres.

5. Acquisition de données et contrôle

1. Carte d'acquisition

Le contrôle du BERT ainsi que l'acquisition des erreurs se font au moyen d'une carte du type AT-DIO-32HS de chez National Instruments. Cette carte est prévue pour réaliser des transferts de données de format 8, 16 ou 32 bits et supporte différents protocoles de transferts. Dans le cas du BERT l'acquisition se fait par mots de 16 bits, les 16 autres bits étant utilisés pour assurer le « slow » contrôle.

2. Interface graphique

Le programme d'acquisition et de contrôle est écrit avec LABVIEW de chez National Instrument. La partie contrôle permet de :

- effectuer une remise à zéro générale du BERT
- démarrer et remettre à zéro chaque carte COMPAR
- remettre à zéro chaque GLINK d'émission
- injecter des erreurs
- supprimer l'horloge des émetteurs (tests de link down)

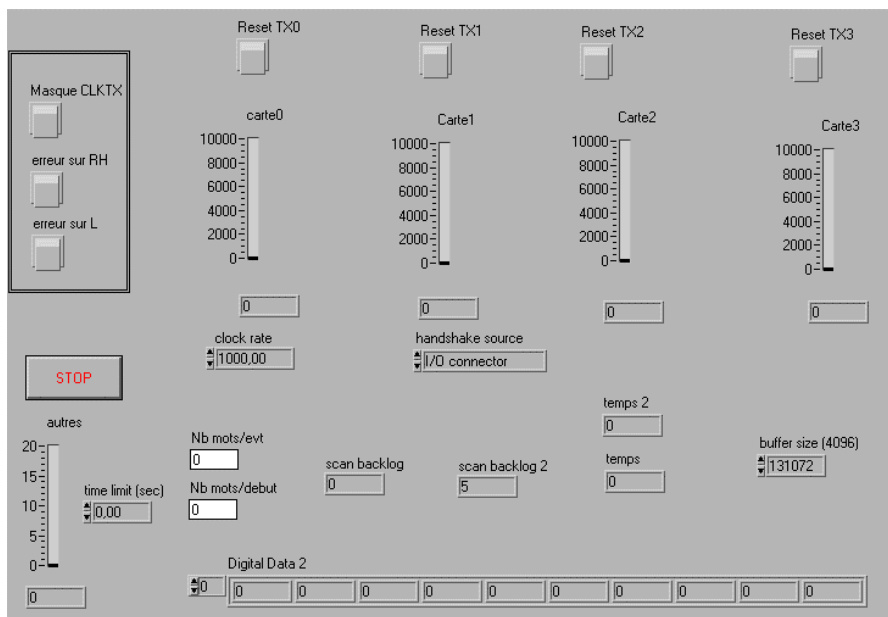
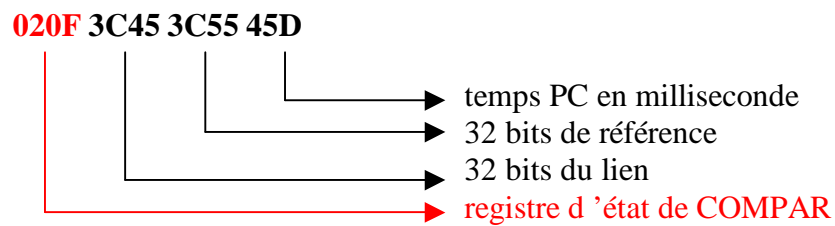


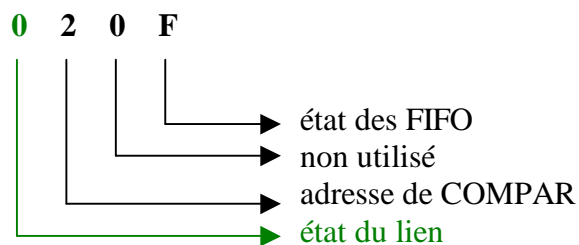
Figure 7

Comme nous l'avons vu précédemment l'acquisition d'une erreur implique la lecture de cinq mots de 16 bits, le programme d'acquisition ajoute une information qui représente le temps écoulé entre l'événement et le début de la prise de données (en millisecondes). Durant les tests d'irradiation en neutron, l'intensité du faisceau de deutons peut subir des variations d'environ +/- 10% autour de la valeur nominale choisie. Ces fluctuations en fonction du temps sont enregistrées pendant toute la durée du run par un dispositif de surveillance du faisceau. L'information « temps », fournie par le PC, permet lors de l'analyse d'établir la correspondance entre les éventuelles variations du nombre d'erreurs par minute et les

fluctuations de l'intensité du faisceau. Les fichiers de sortie créés par l'acquisition sont au format texte et ont la structure suivante :



Comme nous l'avons vu précédemment le registre de la carte COMPAR est composé de :



Le digit hexadécimal qui donne l'état du lien peut prendre les valeurs suivantes :

- 0 pour une erreur de type « n bits flip »
- 2 pour une erreur de type « clock corruption »
- 4 pour une remise à zéro manuelle
- 8 pour une erreur de type « link down »
- $x = 2 + 8 = A$, etc ... pour une superposition des erreurs précédentes

6. Générateur de patterns externe

Comme cela a été décrit précédemment, le BERT peut soit générer des séquences simples de mots de 32 bits soit accepter des données en provenance d'un générateur externe. Pour les tests des liens optiques du calorimètre d'ATLAS, un générateur de patterns a été développé. Il est basé sur une carte CompuGen 3250 manufacturée par la société GaGe Applied Science [11]. Cette carte est connectée dans le même PC que la carte d'acquisition du BERT. Le logiciel GageBit fourni avec cette carte permet d'éditer, de modifier et finalement de charger en mémoire dans la carte des fichiers binaires au format SIG. Les patterns peuvent alors être générés soit en boucle soit un nombre de fois déterminé. Une interface graphique écrite sous MATHLAB (figure 8) permet de créer ces fichiers qui respectent le format des données du calorimètre d'ATLAS [12].

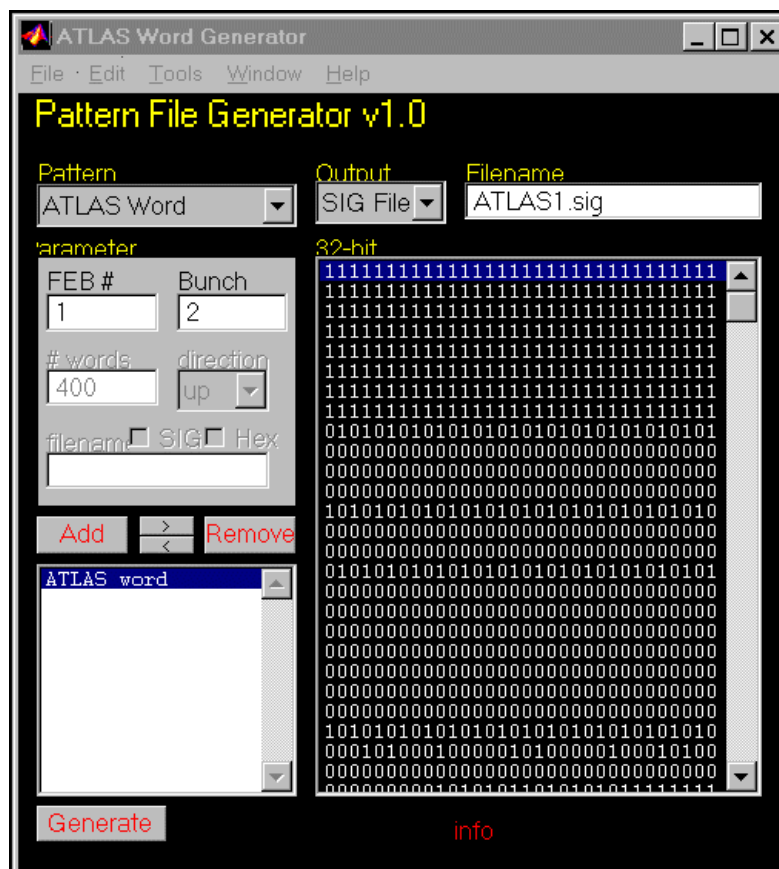


Figure 8

5. Conclusion

La nécessité de connaître le taux ainsi que les conséquences des SEU observés lors des test d'irradiation des liens optiques du calorimètre d'ATLAS a conduit au développement du BERT. Ces principales fonctions sont de :

- fournir des données de référence 32 @ 40 MHz, ces données peuvent être soit générées directement par le BERT soit par un générateur externe (carte PC),
- recevoir les données en provenance des récepteurs et les comparer aux données de référence,
- assurer l'acquisition et l'affichage des erreurs par un PC.

Il offre la possibilité d'analyser simultanément et en temps réel le comportement de plusieurs liens optiques fonctionnant à la vitesse de 1.6 Gb/s ce qui permet une étude statistique. De plus, sa modularité lui permet de s'adapter au test de différentes liaisons optiques ou électriques. Les cartes existantes peuvent être facilement reprogrammées avec le logiciel MAX + PLUS II installé sur le même PC et de nouvelles cartes peuvent être installées dans le châssis VME.

Le BERT a été développé dans le cadre d'un projet « Jeunes chercheurs, jeunes équipes ». Les résultats qu'il a permis de collecter ont joué un rôle prépondérant dans l'interprétation physique des phénomènes observés en test d'irradiation neutrons et protons.

8. Bibliographie

- [1] The ATLAS Collaboration, « Liquid Argon Calorimeter Technical Design Report », CERN/LHCC/96-41, décembre 1996.
- [2] M. Dentan et Ph. Farthouat, « ATLAS Policy on Radiation Tolerant Electronics », ATC-TE-QA-0001, juillet 2000.
- [3] M.-L. Andrieux et al., Nucl. Instr. and Meth. A 456 (2001) 342.
- [4] Ces composants sont manufacturés par Hewlett Packard – Agilent Technologies, P.O. Box #10395, Palo Alto, CA 94303, plus de détails sur <http://www.semiconductor.agilent.com/>
- [5] G. Mahout et al., Nucl. Instr. and Meth. A 446 (2000) 426.
- [6] <http://isnpx0162.in2p3.fr/atlas/andrieux/irrad/testmai.html>
- [7] M.-L. Andrieux et al., « Development of DMILL MUXs for the Glink Optical Link candidates », ATL-AL-ES-0015, Décembre 2000.
- [8] <http://isnwww.in2p3.fr/atlas/andrieux/irrad/mar01.html>
- [9] http://isnwww.in2p3.fr/atlas/andrieux/irrad/louv_jun01.html
- [10] J. Collot et al., Nucl. Instr. and Meth. A 350 (1994) 525.
- [11] Cette carte est fabriquée par GaGe Applied Science, Inc., 2000, 32 Avenue Lachine, Montréal, QC Canada H8T 3H7, plus de détails à l'adresse suivante <http://www.gage-applied.com/>.
- [12] J. Lundquist, « A Radiation Tolerant Optical Link for the Read-Out of the ATLAS LAr Calorimeter », Licenciat Thesis, juin 2000, <http://www.particle.kth.se/~lundq/PATTGEN/>
- [13] M.-L. Andrieux et al., « Single Event Upset Studies Under Neutron Radiation of a High Speed Digital Optical Data Link », proceedings de la conférence IEEE Lyon, 15 – 20 octobre 2000.