



Université  
de Toulouse

# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

**Délivré par :**

Institut National Polytechnique de Toulouse (Toulouse INP)

**Discipline ou spécialité :**

Génie Electrique

---

**Présentée et soutenue par :**

M. FRANCOIS BOIGE

le vendredi 27 septembre 2019

**Titre :**

Caractérisation et modélisation électrothermique compacte étendue du MOSFET SiC en régime extrême de fonctionnement incluant ses modes de défaillance. Application à la conception d'une protection intégrée au plus proche du circuit de commande.

---

**Ecole doctorale :**

Génie Electrique, Electronique, Télécommunications (GEET)

**Unité de recherche :**

Laboratoire Plasma et Conversion d'Energie ( LAPLACE)

**Directeur(s) de Thèse :**

M. FREDERIC RICHARDEAU

M. STÉPHANE LEFEBVRE

**Rapporteurs :**

M. ERIC LABOURE, SUPELEC

M. HERVÉ MOREL, CNRS

**Membre(s) du jury :**

M. ZOUBIR KHATIR, IFSTTAR, Président

M. DAVID TREMOUILLES, CNRS TOULOUSE, Invité

M. FREDERIC RICHARDEAU, TOULOUSE INP, Membre

M. NATHALIE BATUT, UNIVERSITE DE TOURS, Membre

M. NICOLAS GINOT, UNIVERSITE DE NANTES, Membre

M. STÉPHANE AZZOPARDI, GROUPE SAFRAN, Invité

M. STÉPHANE LEFEBVRE, ECOLE NORMALE SUPERIEURE PARIS-SACLAY, Membre

*À Diane*  
*À Florine*  
*À Papo et Mamo*

## REMERCIEMENT

Je tiens en premier lieu à exprimer toute ma reconnaissance et gratitude à mon directeur de thèse, Frédéric Richardeau, pour son implication et son soutien sans faille dans l'élaboration de cette thèse. Je tiens à souligner, à la fois, ses qualités professionnelles de très haut niveau, sa passion de la recherche ainsi que ses qualités humaines exemplaires. Il a toujours su se montrer à l'écoute et disponible pour me guider et m'épauler tout au long de ces trois ans. Merci encore Frédéric ! Mes remerciements vont aussi à Stéphane Lefebvre, co-directeur de thèse, pour son important soutien et conseils.

Je remercie les membres de mon jury de thèse à qui j'ai eu le privilège de présenter mes travaux. Je remercie tout d'abord Hervé Morel et Eric Labouré pour avoir accepté la lourde tâche d'être rapporteur du mémoire. Je remercie Zoubir Khatir pour m'avoir fait l'honneur de présider le jury. Je remercie ensuite Nathalie Batut, Nicolas Ginot, Stéphane Azzopardi et David Tremouilles d'avoir accepté d'examiner cette thèse. L'ensemble des discussions que nous avons pu avoir ont été très riches et intéressantes. Les commentaires élogieux que vous avez pu faire sur mon travail m'ont beaucoup touché, je vous en remercie.

Je remercie également l'ensemble des personnes avec qui j'ai été amené à travailler :

- Jean-Marc Blaquière et Sebastien Vinnac, ingénieurs du laboratoire LAPLACE, pour leur implication dans la réalisation des bancs de test et prototypes sans qui rien n'aurait été possible.
- David Tremouilles, CR du LAAS, pour son soutien scientifique, technique et humain tout au long de la thèse.
- Gérald Guibaud et Vanessa Chazal, de Thales site CNES, pour l'ensemble des travaux d'analyse de défaillance qu'ils ont effectué ainsi que leur expertise.
- Alberto Castellazzi, Asad Fayyaz et Alessandro Borghese pour leur expertise et leur accueil chaleureux à l'Université de Nottingham.

J'adresse remerciements à Thierry Lebey, directeur du LAPLACE, pour m'avoir accueilli au sein du laboratoire.

Je remercie ensuite tous mes collègues du laboratoire pour tout ce que l'on aura pu partager au cours de ces 3 ans et demi. En particulier :

- Remi et Jonathan pour l'ensemble de ces pauses-café et les interminables débats qui s'y déroulaient.
- L'ensemble de mes collègues de bureau et amis : Yazan, Plinio, Adel et Mohammad.
- Les membres de l'ADeL et les membres du bureau 2016-2017 (Cyril, Andrea, Simo) pour tous ces moments de convivialité partagés ensemble.
- Tous les membres du groupe CS.

« Last but not least » je remercie ma famille et ma belle-famille pour leur support durant cette thèse. Tout particulièrement Florine, mon amour, qui m'a donné une superbe petite fille, Diane, durant cette thèse. Merci pour ton soutien et ton amour.

## TABLE DES MATIERES

<b>Remerciement</b> .....	<b>3</b>
<b>Table des matières</b> .....	<b>4</b>
<b>Introduction Générale</b> .....	<b>8</b>
<b>Chapitre 1 : Etat de l’art</b> .....	<b>14</b>
I.    Introduction .....	14
II.   Principes de base du dimensionnement des MOSFET SiC.....	17
II.A  Dimensionnement en fonctionnement nominal .....	17
II.B  Les technologies usuelles.....	20
II.C  L’intérêt des composants grands gaps .....	22
II.D  Principe de fonctionnement du MOSFET SiC.....	24
II.E  Contraintes technologiques .....	25
II.F  Conclusion sur les technologies MOSFET SiC .....	29
III.  Robustesse et modes de défaillance en court-circuit.....	30
III.A  Les tests de robustesse en court-circuit .....	30
III.B  Comportement des composants MOSFET SiC en court-circuit. ....	33
III.C  Marqueurs de dégradations des MOSFET SiC .....	38
IV.   Conclusion du chapitre 1 .....	43
<b>Chapitre 2 : Étude de MOSFET SiC en régime de court-circuit et compréhension des mécanismes de défaillance</b> .....	<b>45</b>
I.    Introduction .....	45
II.   Dispositif expérimental .....	46
III.  Comparatif des composants et des technologies .....	51
III.A  Composants à caractériser .....	51
III.B  Cas du composant ROHM G2.....	52

III.C	Comparaison des composants .....	56
IV.	Analyse de l'origine physique de la fuite de grille dynamique en régime de court-circuit. Application au diagnostic thermique. ....	61
IV.A	Résultats expérimentaux .....	61
IV.B	Exploration des phénomènes de conduction à travers des oxydes de champ ....	62
IV.C	Comparaison des mesures en court-circuit avec le modèle d'émission Schottky et le modèle de FN .....	66
IV.D	Confrontation du modèle Schottky et du modèle thermique.....	66
IV.E	Conclusion.....	67
V.	Caractérisation et discrimination des modes de défauts.....	69
V.A	Bibliographie sur l'analyse des modes de défaut .....	69
V.B	Discrimination des modes de défaut sur un composant (CREEG2) .....	72
V.C	Modes de défaut des composants étudiés .....	78
V.D	Le cas du composant Microsemi .....	81
V.E	Conclusion .....	83
VI.	Analyses de défaillance .....	84
VI.A	Analyse des défaillances « molles » grille source, vieillissement.....	84
VI.B	Analyse des défauts francs grillés-source .....	92
VI.C	Conclusion.....	97
VII.	Conclusion du chapitre 2.....	98
<b>Chapitre 3 : Modélisation électrothermique d'un MOSFET SiC en régime de court-circuit</b>		<b>100</b>
.....		
I.	Introduction .....	100
II.	Modélisation comportementale de la fuite de grille.....	102
II.A	Construction du modèle comportemental de la fuite de grille .....	102
II.B	Estimation et robustesse du modèle .....	104
III.	Modélisation thermique.....	106
III.A	Principe de la modélisation thermique 1D .....	107

III.B	Premier modèle (SiC et paramètres constants) .....	110
III.C	Second modèle (paramètres physiques variables et chaleur latente de fusion) .....	114
III.D	Influence de l'épaisseur d'Al sur la température de jonction.....	117
IV.	Modélisation électrothermique du courant.....	118
IV.A	Modélisation du courant de saturation ( $I_{DSat}$ ).....	119
IV.B	Modélisation du courant d'emballage thermique du composant ( $I_{th}$ ) .....	121
V.	Modélisation des modes de défauts.....	125
V.A	Modélisation du défaut critique « fail-to-short » .....	126
V.B	Modélisation du défaut doux « fail-to-open ».....	127
VI.	Modélisation complète dans PLECS .....	128
VI.A	Présentation du modèle .....	129
VI.B	Résultats en pulse court.....	130
VI.C	Résultats en pulse long et modes de défauts .....	131
VII.	Conclusion.....	133
<b>Chapitre 4 : Application des propriétés singulières du MOSFET SiC en régime de court-circuit afin de sécuriser un convertisseur .....</b>		<b>134</b>
I.	Introduction .....	134
II.	Utilisation de la fuite de grille pour détecter un court-circuit .....	134
II.A	Bibliographie sur les techniques de détection d'un court-circuit.....	134
II.B	Principe de la détection du court-circuit par surveillance de la fuite de grille.....	139
II.C	Mise en œuvre du premier prototype .....	142
II.D	Mise en œuvre du second prototype .....	144
II.E	Conclusion et perspectives.....	148
III.	Exemple de gestion d'un défaut dans un convertisseur DC/DC synchrones buck 3-phases entrelacées composées de composants présentant un mode de défaut en « fail-to-open » .....	150
III.A	Introduction .....	150
III.B	Cas d'une cellule de commutation. ....	153

III.C	Cas d'un hacheur parallèle entrelacé 3 phases .....	158
III.D	Conclusion et perspectives .....	163
IV.	Etude de la défaillance en mode FTO de puces MOSFET SiC mises en parallèle	164
IV.A	Introduction .....	164
IV.B	Objectifs et banc de test. ....	166
IV.C	Essais sans protection active .....	168
IV.D	Essais avec protection active.....	170
IV.E	Perspectives d'isolation du composant défectueux avec fusibles .....	172
IV.F	Conclusion.....	173
V.	Conclusion du chapitre.....	175
<b>Conclusion Générale .....</b>		<b>176</b>
VI.	Conclusion.....	176
VII.	Perspectives .....	178
<b>Bibliographie.....</b>		<b>180</b>
<b>Bibliographie de l'auteur au moment de la soutenance (27/09/2019) .....</b>		<b>188</b>
	Articles de revue.....	188
	Articles de conférences .....	188

## INTRODUCTION GENERALE

Les principales sources d'énergie renouvelable, comme le photovoltaïque (PV) et l'éolien, exigent des investissements initiaux de plus en plus importants afin de répondre aux besoins de la décarbonation de notre énergie. Cependant, l'augmentation des coûts peut mettre à mal la rentabilité économique de ces installations, cruciale pour le développement et l'augmentation des capacités de production. Un seuil de rentabilité à dix ans semble être raisonnable pour les centrales de la prochaine génération, mais ce seuil n'est intéressant que si la durée de vie de l'installation est poussée à 20 ans et plus [1]. Pour cette raison, la fiabilité est devenue cruciale pour réduire les coûts et pour rendre possible le grand défi d'une production d'énergie 100% renouvelable pour l'humanité. Dans l'horizon temporel considéré, les défaillances aléatoires ne peuvent plus être négligées. En effet, les industriels observent des défaillances inattendues se produisant beaucoup plus tôt que la maintenance programmée et, d'autre part, très souvent, les composants semi-conducteurs de puissance sont remplacés bien avant la fin de leur durée de vie utile, avec une perte évidente d'argent et des temps d'arrêt de l'installation inutiles. Un récent projet du FP7 (*European Framework Programme 7*) intitulé Reliawind [2] a mis en évidence les principales causes de défaillance et de demande de maintenance pour un grand nombre d'éoliennes en exploitation (environ 350). Comme présenté en Fig. 0.1, les trois principaux sous-systèmes ayant causé des temps d'arrêt des éoliennes sont, par ordre décroissant d'importance : 1) le module de puissance ; 2) le module rotor (support des pales) et 3) la commande. À l'intérieur du premier groupe, la partie la plus sensible est l'électronique de puissance. En effet, le convertisseur de puissance principal est responsable d'environ 17% du temps d'arrêt, ce qui est plus important que le générateur lui-même (10 %). Le pourcentage précédent s'aggrave considérablement si l'on inclut les défauts de contrôle dans le montant total des pannes de l'électronique de puissance. Dans une autre étude, cette fois-ci menée en

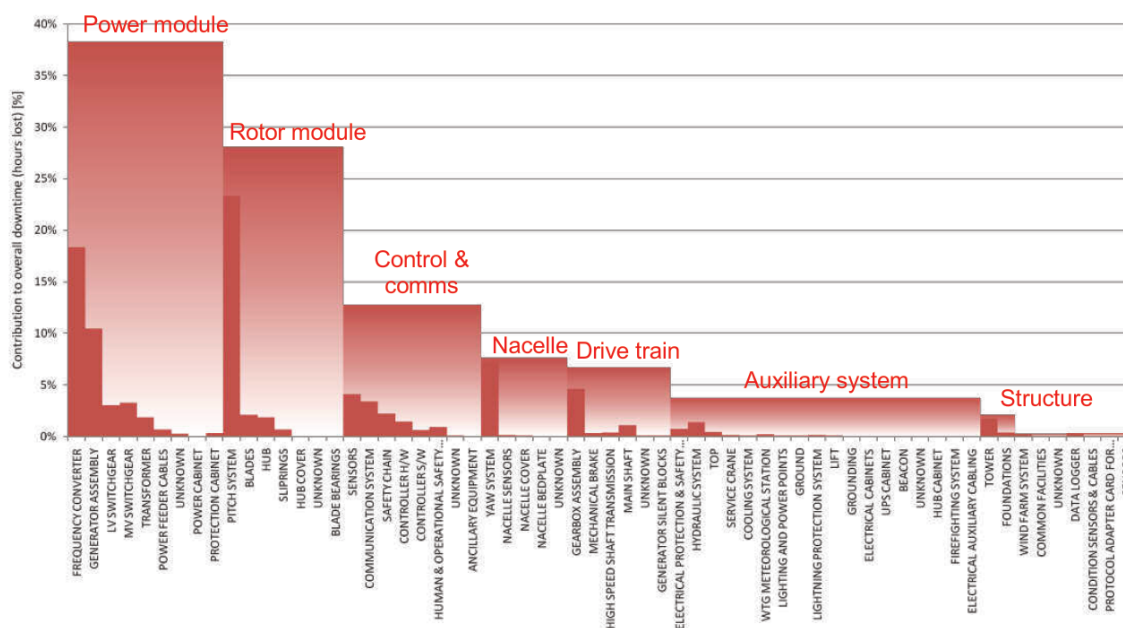


Fig. 0.1 : Nombre d'heures normalisées perdues par an pour chaque sous-système d'une éolienne en moyenne (environ 350 éoliennes dans la base de données).



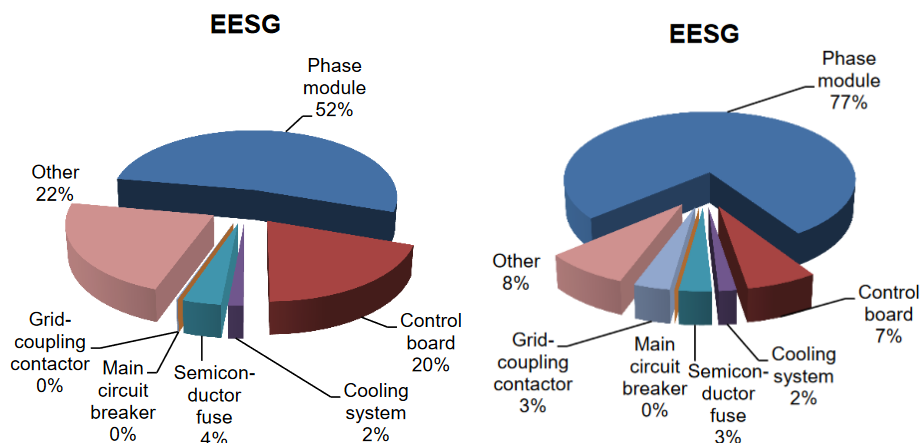


Fig 0.2 : (gauche) distribution du temps d'arrêt de l'éolienne relatif à la défaillance du convertisseur de puissance (droite) Distribution des coûts de réparations pour chaque catégorie.

Allemagne entre 2003 et 2014 [3], la répartition de l'origine des défauts dans le convertisseur de puissance est détaillée dans le cas d'éoliennes équipées de machine synchrone excitée électriquement (EESG). Dans ce cas, c'est la défaillance d'un bras de l'onduleur (IGBT, driver, DC-link) qui est le plus critique à la fois en matière de coût de réparation et de temps d'arrêt de l'éolienne comme présenté en Fig. 0.2.

La raison principale d'un tel manque de fiabilité est la forte imprévisibilité de beaucoup de défaillances survenant en électronique de puissance. En se référant à la Fig. 0.3, les défaillances peuvent être approximativement classées en trois catégories en rapport à la durée de vie d'un système : en premier, les défaillances de jeunesse dues à un défaut de fabrication, les défaillances aléatoires souvent catastrophiques et les défaillances dues au vieillissement. Si l'on examine les causes profondes, les défaillances de jeunesse sont principalement dues à un problème de qualité et d'imperfections technologiques de la part du fabricant. Les défaillances dues au vieillissement sont essentiellement dues à l'endommagement cumulatif et donc à un effet d'usure des composants de puissance, principalement au niveau du *package* alors que les défaillances aléatoires, catastrophiques car imprévisibles par nature, sont essentiellement dues à des surcharges extrêmes (forte surintensité, mise en avalanche, court-circuit d'une puce de puissance ou rayonnement cosmiques) ou d'une instabilité de l'alimentation électrique

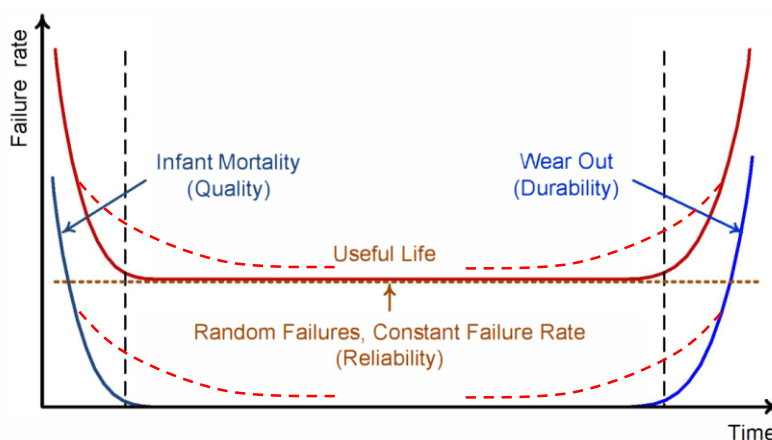


Fig. 0.3 : En bleu le taux de défaillance lié au vieillissement ou aux défauts de fabrication. En orange, le taux de défaillance lié aux événements anormaux et aléatoires. En rouge, la somme du bleu et de l'orange : taux de défaillance d'un système ou d'un composant en fonction du temps.

(perturbation électromagnétique, surtension externe,...). Dans cette dernière catégorie, l'origine des stress est à rechercher au niveau des conditions environnementales et au niveau des conditions d'usage. Les défaillances dites aléatoires ou pseudo-aléatoires sont à considérer selon deux groupes :

- Un premier groupe, caractérisé par la superposition de mécanismes issus des deux autres catégories, à savoir, une qualité insuffisante associée à des imperfections technologiques résiduelles soumises à des cycles répétés d'où naissent des processus d'endommagement. Dans la courbe en baignoire de la Fig. 0.3, cette catégorie de défaillance est modélisée par une portion de courbe quasi-plate réalisant la jonction entre les deux autres catégories. En pratique, les portions de courbes associées aux processus "qualité" et "vieillesse" ne présentent pas un coude aussi prononcé et les deux processus se superposent donnant lieu à "un mélange" de plusieurs mécanismes dont les dynamiques temporelles d'occurrence se compensent car les pentes sont de signe opposé. Cette superposition tend à donner par conséquent une courbe quasi-plate. Bien qu'en termes de probabilité cette propriété de courbe plate soit assimilable théoriquement à un processus de nature purement aléatoire, sur le plan technologique, il faut bien considérer un effet de superposition de phénomènes bien physiques.
- un second groupe, caractérisé par des surcharges extrêmes se produisant de façon accidentelle, i.e. imprévisible car dépendantes des conditions environnementales et d'usage de manière combinée dans des situations de pire cas où les limites "contraintes – acceptabilité" sont dépassées. À la différence du premier groupe, ce deuxième groupe de défaillances peut réellement être assimilé à un processus aléatoire et donc modélisé par un taux d'occurrence indépendant du temps.

Les défaillances aléatoires, catastrophiques, sont d'autant plus difficiles à prédire qu'elles peuvent résulter d'une combinaison complexe de plusieurs paramètres, comme : la température, les interférences électromagnétiques, variations d'impédance, le comportement du circuit de commande, etc. La problématique se complexifie d'autant plus lorsqu'il y a des interactions entre les facteurs environnementaux et les surcharges et *vice versa*. C'est le cas par exemple, d'une perturbation électromagnétique qui viendrait amorcer un composant sur un bras d'onduleur, mettant le bras en court-circuit. Il est, d'ailleurs connu que la situation la plus critique est celle du court-circuit local et interne, consécutif à la défaillance d'un semi-conducteur de puissance. En effet, un tel scénario met en jeu une source pouvant stocker plusieurs centaines de joules connectés à des composants, par nature fragiles car de très petite taille et dont la capacité d'absorption ne dépasse pas une dizaine de joules par centimètre carré.

Pour concevoir un système durable, il faut utiliser des composants fiables dans le sens où leur durée de vie est prédictible. Étant par nature imprédictible (car accidentel), pour se protéger des surcharges et des instabilités, il faut utiliser des composants robustes qui pourront résister à ces stress importants. Dans des applications critiques, des systèmes de protection pourront aussi être implémentés au plus proche des composants de puissance afin de limiter l'impact de ces événements accidentels, par une action locale et rapide, par exemple, des protections implémentées dans le gate driver (ex : détection de court-circuit, détection de surtension, *active Miller clamp*,...).

Il arrive cependant, que dans le cas où les composants sont peu robustes ou lorsque les stress sont trop importants, les composants peuvent casser. Après avoir préalablement déterminé leurs modes de défaillance, des éléments de protection (ex : fusible, limiteur de courant - disjoncteur, ...) devront absolument être placés au plus proche afin de confiner la défaillance et éviter des risques plus importants pour le système et l'utilisateur tel que des explosions ou des départs de feu. Dans le cas de la casse d'un composant sur une application ayant un fort besoin de continuité de fonctionnement (ex : système embarqué, difficilement accessible), des éléments de redondance pourront être mis en place afin d'augmenter la fiabilité globale du système au prix d'une complexité accrue et possiblement d'une défiabilisation du système qu'il faudra donc évaluer et maîtriser. Effectuer cette redondance au plus proche des cellules de commutation est, sur le principe, la solution la plus efficace et la plus robuste [4]. Cependant, ce n'est pas nécessairement la solution la plus économique !

D'un autre côté, les contraintes de rendement et de compacité sont aussi très fortes pour les utilisateurs de convertisseurs de puissance. Pour répondre à cette demande, les transistors de puissance en matériaux à large bande interdite (WBG) tel que le carbure de silicium (SiC) ou les composites III-V en nitrure de gallium (GaN) ont connu un développement considérable ces dernières années fournissant des propriétés exceptionnelles en matière de vitesse de commutation et de perte. En conséquence, les convertisseurs équipés de MOSFET (acronyme anglais de *Metal Oxide Semiconductor Field Effect Transistor*) en SiC ont été spectaculairement développés pour combiner à la fois un rendement élevé et un haut niveau de compacité pour les applications dans les domaines des transports, de la traction ferroviaire et des onduleurs PV raccordés au réseau dans des gammes de puissance allant de 10 kW à 100 kW en moyenne tension (400 à 900 V). Les composants utilisés pour ces gammes de tension sont généralement des composants 1,2 kV et 1,7 kV suivant la marge de sécurité utilisée. Cependant, les MOSFET en SiC sont plus coûteux que leurs homologues en silicium, leur fiabilité et surtout leur robustesse en court-circuit sont de niveau inférieur à ceux des composants en silicium de calibre équivalent ce qui freine une plus large pénétration de cette technologie dans l'industrie. Malgré la faiblesse de ces composants, la bibliographie montre que sur le MOSFET SiC d'un des principaux fabricants, deux propriétés se dégagent : un fort courant de grille après quelques micro-secondes de court-circuit ainsi que la présence de deux modes de défaillance antagonistes dont l'un se traduit par un court-circuit entre les électrodes grille et source du composant de puissance [5], [6]. Ces deux propriétés sont très intéressantes dans l'objectif de pallier la faible robustesse des MOSFET SiC : la première pourrait être exploitée comme indicateur d'état pour la détection d'un évènement de court-circuit et la seconde, encore peu connue, est susceptible de représenter une caractéristique majeure pour la protection native d'un bras d'onduleur. Cependant, tous les composants MOSFET SiC disponibles commercialement ne semblent pas présenter ces deux caractéristiques [5], [6]. Durant cette thèse, les composants des principaux fabricants de MOSFET SiC ont été caractérisés, analysés puis modélisés du point de vue de ces deux propriétés.

L'approche par l'étude de la physique des défaillances (*Physics of Failure* (PoF) en anglais) a servi de fil conducteur à l'étude développée durant cette thèse, car elle peut permettre de comprendre pourquoi et comment le composant a cassé après l'application d'un stress ou après vieillissement. Cette analyse combine l'inspection matérielle du composant endommagé et sa modélisation numérique durant la phase de stress. L'objectif premier étant de permettre au fabricant de comprendre l'origine de la défaillance afin d'effectuer des modifications sur le

composant ou dans le processus de fabrication afin de le rendre plus robuste. L'objectif second est de permettre à l'utilisateur de connaître les limites du matériel utilisé et de pouvoir les simuler afin d'intégrer la fiabilité et la robustesse en amont de la conception du convertisseur en lui-même. L'objectif tiers est de fixer un cahier des charges et de faciliter la conception d'organes de protection permettant d'augmenter la fiabilité du matériel au niveau du système.

En résumé, dans le but de fiabiliser les convertisseurs de puissance équipés de MOSFET en carbure de silicium, une caractérisation aux différents types de stress ( court-circuit, surcourant ,avalanche, ...) est nécessaire pour observer le comportement des différents composants aujourd'hui disponibles et en extraire des caractéristiques génériques malgré les différentes technologiques mises en jeu (structures de grille, taille de puce, densité de courant,...). L'étude présentée se limitera aux court-circuits. En effet, les MOSFET SiC, par leur fort courant de saturation et leur faible surface de puce, présentent une très faible tenue au court-circuit. Le court-circuit est aussi le stress le plus extrême et le plus courant pour les composants de puissance. Le régime d'avalanche, bien que critique, peut être bien plus aisément évité en choisissant un *derating* approprié de l'utilisation du composant dans une maille de puissance adaptée. Une analyse de défaillance permettra de comprendre les racines des mécanismes physiques mis en jeu afin d'en tirer parti et de proposer des pistes d'amélioration. Enfin, une modélisation compacte en court-circuit de ces composants, c'est-à-dire nécessitant peu de puissance de calcul, est primordiale afin de pouvoir l'intégrer à des logiciels de simulation dans le but de concevoir des dispositifs de détection ou de tirer parti des modes de défaillance intrinsèques des MOSFET SiC.

Dans ce sens, ce mémoire s'articule autour de quatre chapitres :

Dans le premier chapitre, le sujet de la thèse sera contextualisé. La première partie sera dédiée à la présentation de la technologie MOSFET verticale dédiée à la puissance ainsi que la particularité et la diversité des MOSFET en carbure de silicium. La seconde partie présentera les méthodologies de caractérisation des composants de puissance en court-circuit et s'efforcera de présenter de manière exhaustive les dégradations observées des MOSFETs SiC en régime de court-circuit dans la littérature. Le régime de court-circuit étant le régime de stress le plus contraignant pour ces composant provoquant très rapidement des dégradations critiques pouvant avoir de très forts impacts sur le système.

Dans le second chapitre, la caractérisation des MOSFET en SiC est présentée et la compréhension des mécanismes de défaillance propres à ces composants est explorée. Dans une première partie, le banc de test est présenté. Dans une seconde partie, une comparaison exhaustive de composants MOSFET SiC en court-circuit est faite en respect des différentes technologies et des tailles des puces. Dans une troisième partie, une analyse de l'origine physique de la fuite de grille dynamique en court-circuit est présentée. Dans une quatrième partie, une discrimination des deux modes de défaillance est proposée à l'aide d'une modélisation thermique sous COMSOL. Dans une cinquième partie, des analyses de défaillance sur les puces présentant des dégradations grille-source est proposée et liée à l'analyse de la partie précédente.

Dans le troisième chapitre, la modélisation électrothermique compacte d'un des MOSFET SiC étudiés, incluant les modes de défaut et introduite comme outil support dans le second chapitre, est présentée en détail puis intégrée dans le logiciel PLECS. Dans une première partie, une

modélisation comportementale de la fuite dynamique de grille est proposée. Dans une seconde, la modélisation thermique de la puce en court-circuit est explorée via plusieurs modèles thermiques. Dans une troisième partie, les modélisations électrothermiques du courant de saturation et de la composante de génération thermique sont proposées en lien avec les modèles thermiques. Dans une quatrième partie, la modélisation des modes de défaut est proposée en accord avec les analyses du deuxième chapitre. Enfin, dans une cinquième partie, les modèles développés sont associés dans le logiciel de simulation PLECS et comparés avec l'expérimentation.

Dans le quatrième chapitre, les propriétés singulières des MOSFET SiC en court-circuit, explorées et modélisées dans les chapitres précédents, sont exploitées dans le but de sécuriser et de fiabiliser globalement les systèmes de conversion et ainsi les rendre plus disponibles. Dans une première partie, la fuite de grille dynamique est utilisée comme marqueur de court-circuit, une nouvelle méthode de détection de court-circuit basée sur la mesure du courant de grille est présentée et mise en application via un démonstrateur. Dans une seconde partie, des scénarios de court-circuit sur un convertisseur DC/DC synchrones buck 3-phases entrelacées sont explorés et l'intérêt du défaut « doux » grille-source est mis en valeur. Dans une troisième partie, l'étude expérimentale de la défaillance en court-circuit de puces mises en parallèle est explorée.

Enfin, les perspectives de ces travaux seront proposées.

L'ensemble de ces travaux a été développé dans le cadre et avec le soutien financier de l'ANR HIT-TEMP pilotée par Denis Labrousse (SATIE – CNAM Paris)

# CHAPITRE 1 : ETAT DE L'ART

## I. Introduction

Le but de l'électronique de puissance est d'adapter ou de moduler la forme de l'énergie électrique par le biais de convertisseurs à découpage. Par nature, il existe une multitude d'architectures, de composants et de techniques de commande pour y arriver. Celles-ci sont propres à l'application visée et à ses contraintes électriques (tension d'entrée/sortie, puissance utile, ...). En revanche, en termes d'architectures, on peut identifier des briques élémentaires avec lesquelles un convertisseur va être construit. En effet, l'association en série de deux interrupteurs commandés de manière complémentaires (un interrupteur fermé et un ouvert à chaque instant) constitue une cellule de commutation. Cette cellule va permettre d'interfacer deux sources de natures différentes (tension/courant) et va pouvoir être utilisée de différentes manières pour arriver à la fonction désirée. Par exemple, afin de convertir une tension continue en une tension alternative, l'utilisation d'un onduleur est nécessaire. Pour ce faire, ce convertisseur va être constitué de plusieurs cellules de commutations en parallèle sur un bus continu et connecté sous forme différentielle à la charge. Le nombre de cellules sera en relation avec le nombre de phases de la charge. Sur la Fig. 1.1a [7], le schéma d'une cellule de

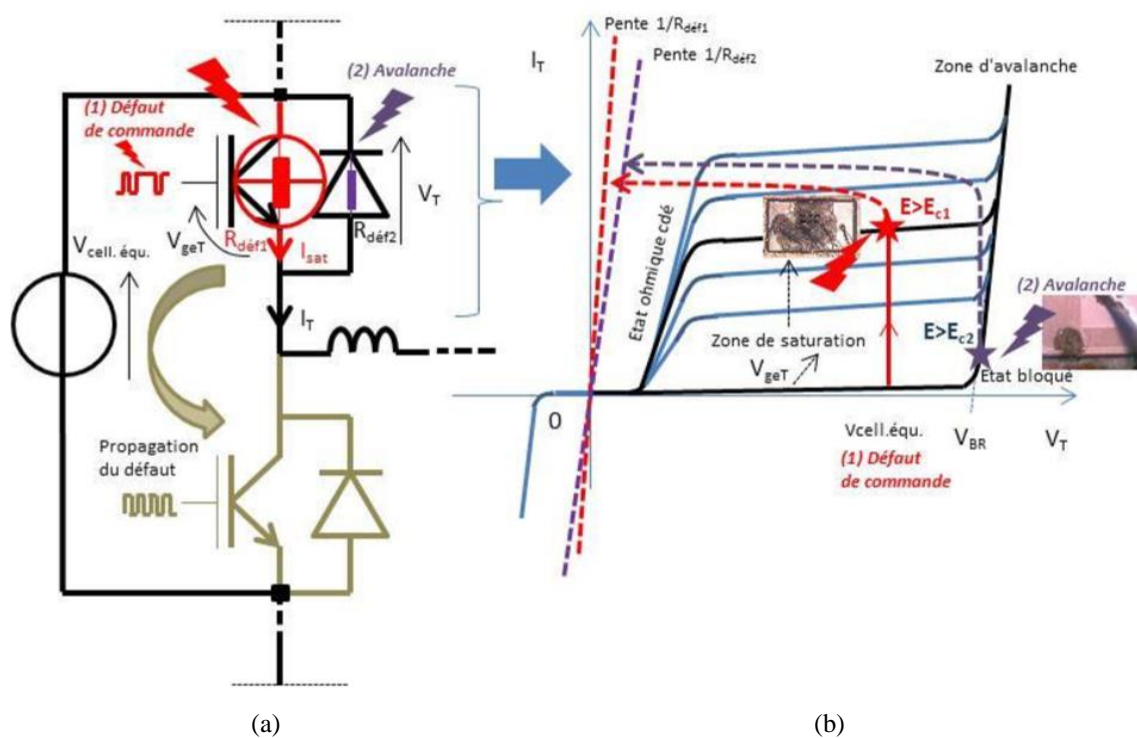


Fig. 1.1 (a) Récapitulatif des défauts possibles et illustration de la propagation du défaut dans le cas d'un bras d'onduleur. (b) Illustration du point de fonctionnement durant et après un défaut sur le plan ( $V_{gs}$ ,  $I_{ds}$ )

commutation de type bras d'onduleur formé de transistors IGBT (*Isolated Gate Bipolar Transistor* en anglais) et de diodes de roue-libre en parallèle est présenté.

Au sein d'une cellule de commutation, les interrupteurs de puissance sont constitués de puces à base de semi-conducteurs commandables. Au cours de leur fonctionnement en commutation, ceux-ci peuvent être le siège de contraintes sévères amenant leur point de

fonctionnement aux limites de leurs capacités électrique et thermique. Les origines de ces défauts sont multiples :

- Dans un premier cas, un mauvais refroidissement ou une augmentation des pertes peut entraîner une destruction par emballement thermique. De plus, une maille de commutation trop inductive peut entraîner un claquage par avalanche. Physiquement, sur les composants connus en silicium, emballements et claquages se traduisent par une densité de courant élevée très localement sur la puce amenant la fusion du cristal puis un perçage métallisé entre les électrodes de drain et de source. Le chemin résistif, ainsi créé à travers la puce est très faiblement ohmique. Afin de mieux illustrer le propos, l'apparition du défaut est représentée sur le plan ( $V_{ds}, I_{ds}$ ) (Cf. Fig. 1.1a et 1.1b). Dans ce cas, le composant passe d'un point de sa caractéristique usuelle à une caractéristique affine à forte pente (en violet). Le composant détruit est ainsi dans un état faiblement ohmique et il est incapable de supporter une tension élevée. En conséquence, le transistor homologue du bras va devoir supporter toute la tension du bus. Lorsque celui-ci va être amorcé, la source de tension va lui être appliquée et imposera un régime de saturation forcé et de limiteur de courant. Cependant, l'énergie thermique accumulée dans ce mode de fonctionnement (tension et courant de forte valeur pendant un temps court), va rapidement entraîner un emballement thermique de la puce jusqu'à la destruction de celle-ci sur une échelle de temps allant de quelques microsecondes à quelques dizaines de microsecondes selon le matériau utilisé et la structure du composant. Enfin, après l'emballement thermique, plus aucun composant ne sera en mesure de limiter le courant au sein de la maille de commutation et celui-ci va augmenter très rapidement dans ce circuit très faiblement résistif. Cela peut provoquer un échauffement localisé de l'encapsulant, une surpression et fissuration de celui-ci, la fusion des fils de connexion avec un risque d'explosion locale du boîtier, un départ de feu et une destruction de tous les éléments à proximité du convertisseur. En règle générale, des éléments de protections (fusible, disjoncteurs) sont présents pour éviter une montée du courant trop importante et limiter les dégâts. Néanmoins, le convertisseur sera totalement inutilisable.
- Dans un second cas, des perturbations CEM subies ou créées par le convertisseur peuvent à leur tour générer des courants dans les étages de commande à faible tension. S'ils sont suffisamment importants, ils entraîneront des défauts de commande ou une destruction partielle du driver. En conséquence, il peut y avoir une mise en conduction des deux interrupteurs de puissance simultanément. Dans une telle configuration, les deux composants vont se partager la tension et vont, à tour de rôle, limiter le courant dans le bras. La puissance instantanée dissipée sera telle que leur température de cristal augmentera très rapidement entraînant à tour de rôle sur chacun d'eux, un emballement thermique puis un "perçage" métallique drain-source comme décrit ci-dessus et, de manière concomitante ou retardée, la mise en court-circuit de la grille.

Les deux cas présentés sont les mécanismes de destruction « classiques » d'un bras d'onduleur composé d'interrupteurs de puissance en Si. La tenue des composants en Si au court-circuit et en avalanche est en général connue et relativement bien maîtrisée ainsi que leurs modes de défaillance par un « perçage » métallique drain-source critique. Cette connaissance a permis de développer des circuits intégrés de protection au court-circuit et une riche littérature sur la protection et la reconfiguration de convertisseur en cas de défaut critique. Cependant,

l'introduction des composants à large bande interdite (« grands gaps » ou WBG) et en particulier les MOSFET (acronyme anglais de *Metal Oxide Semiconductor Field Effect Transistor*) en carbure de silicium qui par leurs excellentes propriétés électrothermiques et leur faible taille de puce dévoilent des mécanismes d'endommagement et de défaillance singuliers en court-circuit au regard de ceux connus en silicium. Les dispositifs de protection et de reconfiguration ne sont donc plus nécessairement adaptés à l'utilisation des MOSFET SiC et il convient d'en développer de nouveaux en accord avec lesdites propriétés. Aujourd'hui, le comportement des MOSFET SiC en court-circuit est bien étayé dans la littérature, mais certains phénomènes, pourtant très prometteurs pour fiabiliser les convertisseurs équipés de composants SiC, n'ont été que très peu explorés tels que le courant de fuite de grille dynamique et le mode de défaut en circuit ouvert. Il convient donc de caractériser, d'explorer les causes racines des phénomènes physiques observés et de les modéliser afin de pouvoir tirer parti de ces caractéristiques au sein du convertisseur de puissance.

Dans ce chapitre bibliographique, les interrupteurs de puissance de type MOSFET en carbure de silicium sont présentés ainsi que leur robustesse et leurs modes de défaillance en régime de court-circuit. Dans une première partie, les principales contraintes de dimensionnement des interrupteurs de puissance sont présentées et les particularités de la structure du MOSFET SiC abordées. Dans une seconde partie, le principe des tests en court-circuit et les résultats de la littérature sur le comportement et les modes de défaillance du MOSFET SiC soumis à ce type de stress sont détaillés.



## II. Principes de base du dimensionnement des MOSFET SiC

Les interrupteurs utilisés dans la conversion de l'énergie électrique sont principalement destinés à permettre le transfert d'énergie entre une source et une charge, permettant la conversion des caractéristiques électriques (par exemple, le changement du niveau de tension et de courant), avec un minimum de pertes énergétiques dans le processus. Idéalement, il faudrait des dispositifs dotés d'une capacité de conduction de courant infinie avec une tension à l'état passant nul (un conducteur parfait), une capacité de tension de blocage infinie avec un courant de fuite nul (isolant parfait) et des transitions passant/bloqué non-dissipatives (interrupteur parfait). Les composants semi-conducteurs modernes permettent d'approcher ces caractéristiques comportementales raisonnablement avec une grande diversité de caractéristiques. Dans la pratique, la conception des interrupteurs de puissance en semi-conducteurs est nécessairement caractérisée par des compromis entre les performances à l'état passant, les pertes en commutation et la capacité de blocage. Chercher à améliorer conjointement ces caractéristiques permet d'obtenir un meilleur rendement et de réduire les contraintes thermomécaniques, mais aussi de réduire considérablement la taille et le poids des convertisseurs de puissance en réduisant le volume des filtres électromagnétiques et les dimensions des dissipateurs thermiques, ce qui est primordial et qui permet également une réduction des coûts (volume  $\sim$  matière  $\sim$  coût)

### II.A Dimensionnement en fonctionnement nominal

En fonction de l'application visée, le composant semi-conducteur sera dimensionné en conséquence (ex : faible courant de sortie mais haute tension ou vice versa).

L'équation (1.1) donne les composantes de courant pour décrire le régime de conduction statique du semi-conducteur à l'état passant [8].

$$\mathbf{j} = q\mu_n n \cdot \nabla \mathbf{E} + q\mu_p p \cdot \nabla \mathbf{E} + qD_p \cdot \nabla \mathbf{p} + qD_n \cdot \nabla \mathbf{n} \quad (1.1)$$

Avec  $\rho$  la résistivité [ $\Omega \cdot \text{m}$ ],  $q$  la charge d'un électron [C],  $\mu_{n,p}$  les mobilités des électrons et des trous dans le semi-conducteur, respectivement [ $\text{m}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ].  $n, p$  les concentrations en électrons et trous, respectivement [ $\text{m}^{-3}$ ],  $D_{p,n}$  les coefficients de diffusion des électrons et des trous, respectivement [ $\text{m}^2 \text{s}^{-1}$ ].  $\nabla \mathbf{E}$  le gradient de champ électrique appliqué [ $\text{V} \cdot \text{m}^{-1}$ ].  $\nabla \mathbf{p}, \nabla \mathbf{n}$  les gradient de concentration des porteurs de charge.

Le courant à l'état passant est donc la somme des composantes de conduction et de diffusion, dues aux flux des électrons et des trous, entraînées par le champ électrique et les gradients de charges. Les pertes à l'état passant sont inversement proportionnelles à la mobilité et à la concentration de porteurs dans le semi-conducteur. Donc pour minimiser les pertes à l'état passant il faut choisir des matériaux semi-conducteur avec une forte mobilité et, pour les composants unipolaires avoir un fort dopage.

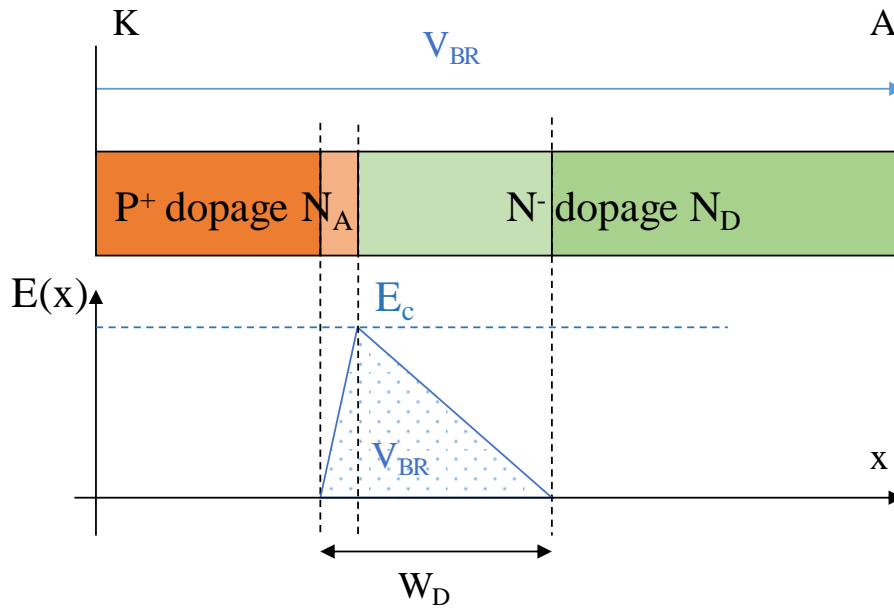


Fig. 1.3 : Distribution unidimensionnelle du champ électrique dans une jonction PN abrupte polarisée en inverse sous sa tension de claquage  $V_{BR}$

Cependant, dans le cas d'une jonction PN abrupte comme cela est illustré en Fig. 1.3, la tension de claquage à l'état bloqué du semi-conducteur est inversement proportionnelle au niveau de dopage.

$$V_{BR} = \frac{\epsilon_s}{2qN_D} \cdot E_c^2 \quad (1.2)$$

Avec,  $V_{BR}$  la tension de claquage du matériau [V],  $\epsilon_s$  la constante diélectrique totale du matériau,  $E_c$  le champ électrique critique du matériau [ $V \cdot m^{-1}$ ],  $N_D$  la concentration en atomes donneurs [ $m^{-3}$ ],  $N_A$  la concentration en atomes en accepteurs [ $m^{-3}$ ].

La partie la plus résistive du composant de puissance est la zone la moins dopée. Il faut donc chercher à maximiser son dopage et à réduire son épaisseur. Cependant, la largeur minimale de cette zone est limitée par l'épaisseur de la zone de déplétion ( $W_D$  [m]) qui est elle-même dépendant de la tension maximale à tenir au blocage :

$$W_D = \sqrt{\frac{2\epsilon_s}{qN_D} \cdot V_{BR}} \quad (1.3)$$

Au regard des équations (1.1), (1.2) et (1.3) on arrive à l'expression de la résistance spécifique à l'état passant :

$$R_{Drift} = 4 \cdot \frac{V_{BR}^2}{\epsilon_s \mu E_c^3} \quad (1.4)$$

Il est évident qu'à surface de puce donnée, les composants ayant une faible tension de blocage présenteront une résistance à l'état passant moins élevée. Pour avoir des composants à haute tenue en tension avec peu de pertes à l'état passant, il faut à la fois utiliser les deux types

de porteurs et augmenter la surface des puces. La combinaison de ces deux propriétés conduit à augmenter les charges stockées et par conséquent également les pertes par commutation essentiellement au blocage de l'interrupteur

Cette analyse qualitative très simplifiée, permet de mettre en lumière l'existence d'un compromis fondamental entre trois critères de performances : les performances à l'état passant, les pertes en commutation et la capacité de blocage. Seuls deux critères parmi les trois énoncés peuvent être satisfaits en même temps.

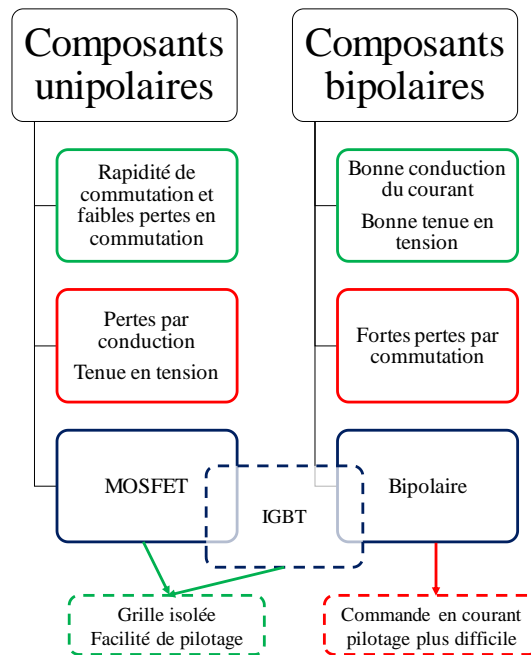


Fig. 1.4 : (a) Comparaison des deux familles de composants (bipolaires et unipolaires).

En électronique de puissance, il est fondamental de minimiser les pertes des semi-conducteurs à la fois pour avoir un haut rendement de l'application mais aussi pour limiter l'auto-échauffement des composants de puissance. ( $\Delta T = P_T \cdot R_{th}$ ). En régime permanent, la variation de la température de fonctionnement de la zone active est liée à la dissipation de puissance en conduction et en commutation. La température joue un rôle majeur dans un certain nombre de considérations liées à la conception thermique et à l'obtention des performances statiques et dynamiques optimales des composants à semi-conducteurs de puissance [8]–[10]. En effet, la conception d'un composant à semi-conducteur est conditionnée par le fait que ses niveaux de dopage sont toujours bien supérieurs à la concentration intrinsèque des porteurs. Du fait d'une température de la zone active susceptible d'être élevée, la concentration en porteurs intrinsèques peut dans certains cas dépasser la concentration en dopage. Le dispositif perd ses caractéristiques prévues notamment de tenue en tension, ce qui peut entraîner un risque d'emballement thermique local si la puce est associée à une résistance thermique trop forte ou soumise à une température ambiante excessive. Une étude des conditions de stabilité thermique est nécessaire pour lever ce risque. D'une manière générale, la sensibilité thermique de la puce pose une limite claire à la température opérationnelle maximale du convertisseur. Sur la plage autorisée, la valeur réelle de la température influe sur l'état en marche (ex : diminution de la

mobilité des porteurs), l'état bloqué (ex : augmentation des courants de fuite) et la performance de commutation. Enfin, la température moyenne d'utilisation du composant associée à l'amplitude des cycles thermiques a un impact direct sur sa fiabilité et sa durée de vie opérationnelle.

## II.B Les technologies usuelles

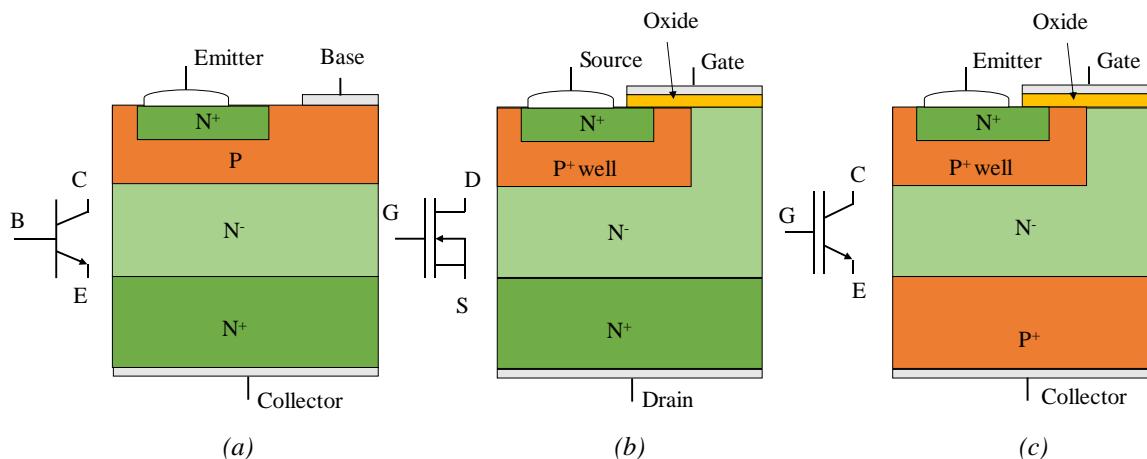


Fig. 1.5 : vues en coupe des cellules élémentaires des transistor usuels avec leur symbole , (a) transistor bipolaire, (b) transistor MOSFET et (c) transistor IGBT. (épaisseur des couches non à l'échelle)

Aujourd'hui, la majorité des composants de puissance est fabriquée en silicium et l'on distingue deux familles: les composants unipolaires et les composants bipolaires, respectivement avec un type et deux types de porteur de charge. Comme nous l'avons vu dans la partie précédente, la mise en jeu de deux types de porteurs de charge va permettre de diminuer la résistivité à l'état passant à tension claquage donnée. Cependant, les importantes charges stockées vont grandement impacter la rapidité de commutation et, par conséquent, les pertes par commutations. De plus, ces courants de diffusion ont tendance à provoquer des courants de fuite excessifs, des instabilités thermiques en régime extrême voir un amorçage des transistors parasites des structures MOSFET (BJT parasite) ou IGBT (Thyristor parasite). Dans cette étude, seuls les composants actifs récents, commandables à l'amorçage et au blocage, sont étudiés (Thyristor, GTO, diodes ne sont pas étudiés). En Fig. 1.4, sont résumés les avantages et inconvénients des composants unipolaires et bipolaires. Il existe une grande variété d'agencement des couches de dopage, type de grille, ... On distingue cependant 3 principaux composants utilisés en électronique de puissance : Le MOSFET, composant unipolaire, le transistor bipolaire et l'IGBT qui est un composant bipolaire, hybride entre un MOSFET en surface de puce et un transistor à jonction bipolaire. Les symboles et les vues en coupe de ces différents composants de type N (les électrons sont les porteurs majoritaires) sont présentés en Fig. 1.5. A l'état bloqué, au niveau de la région centrale de type N, comme dans le cas d'une jonction PN abrupte, le champ électrique est très majoritairement distribué dans la zone de déplétion dopé N<sup>-</sup>, c'est donc la partie la plus résistive de ces 3 composants.

Le transistor bipolaire, par l'injection de porteurs excédentaires, est très bien adapté pour être parcouru par des densités de courant très importantes (200-300 A/cm<sup>2</sup>) [10]. Cette propriété permet de concevoir des composants à zone de déplétion épaisse (forte tenue en tension) et à faibles pertes en conduction sans augmenter la surface active de puce et donc une partie du coût. Leur principal défaut est leur pilotage en courant dans une industrie habituée au

pilotage en tension de composant à grille isolée. Il a été remplacé par l'IGBT pour les technologies silicium mais il est toujours présent en carbure de silicium en raison de sa très faible chute de tension à l'état passant avec des calibres en tension disponibles de plusieurs milliers de volts [11].

Le MOSFET a été développé pour pallier le problème de la commande du transistor bipolaire. En effet, la structure MOS (*Metal Oxide Semiconductor*) est une structure de commande isolée où une grille interdigitée en métal ou en polysilicium est utilisée sur un oxyde mince en dioxyde de silicium. L'application d'une polarisation sur la grille permet de former un réseau de canaux de conduction sur l'ensemble des cellules élémentaires au niveau du puit dopé P et l'oxyde sous l'électrode de grille. Cette technologie permet de seulement piloter le composant en tension car il suffit d'une faible quantité de charge pour polariser la capacité équivalente vue de l'électrode de grille formée par l'oxyde de grille lui-même, et la capacité équivalente à la région de déplétion inter-cellulaire JFET et la région drift jusqu'à l'électrode de drain. Cependant, ce mécanisme se fait au détriment de la résistance à l'état passant car il n'y a plus qu'un type de porteur de charge mis en jeu ce qui limite la densité de courant à 10A/cm<sup>2</sup> pour des composant 600V en silicium. Les structures trench-Mos et surtout MOS à super-jonctions permettent une amélioration mais elles sont tout de même limitées entre 600V et 900V et présentent des capacités parasites très importantes. Le fonctionnement plus complet du MOSFET sera présenté en partie II.D. Ce composant est plutôt réservé aux applications faibles tension et fréquence de commutation importantes.

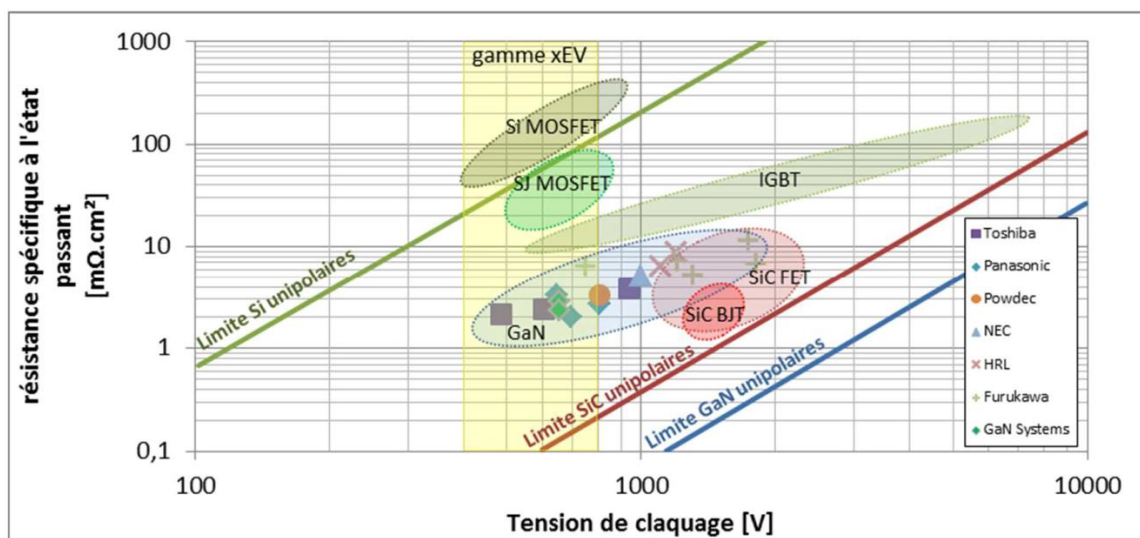


Fig 1.6: Résistance spécifique à l'état passant en fonction de la tension de claquage pour divers composants et les figures de mérites pour différents matériaux semi-conducteurs [11]

Afin d'allier les avantages des transistors bipolaires et MOSFET, le transistor IGBT en Silicium (*Isolated Gate Bipolar Transistor* en anglais) a été créé. Il allie les faibles pertes à l'état passant et une forte tenue en tension par l'utilisation d'un effet bipolaire mais avec une commande par grille isolée. Cependant, sa technologie étant complexe, il peut présenter un courant de trainage, source de pertes supplémentaires en commutation dure. L'IGBT étant une structure à quatre couches, il présente un thyristor parasite entre le drain et la source, susceptible de produire un effet de latch-up dans des régimes extrêmes combinant fort courant et haute température du cristal comme en court-circuit. Il est aujourd'hui le composant en silicium le plus utilisé des applications de moyenne et forte puissance.

Aujourd'hui, les limites théoriques du silicium en tant que semi-conducteur pour la conversion d'énergie sont atteintes et même un peu dépassées via l'utilisation de composant complexe tel que MOSFET à superjonction (SJ MOSFET). Cependant, comme nous l'avons présenté en Fig. 1.6 d'après [12], cette technologie est limitée par les compromis "tenue en tension – densité de courant – vitesse de commutation ". Nous verrons dans la partie suivante que l'utilisation de nouveaux matériaux permet d'améliorer ces compromis.

## II.C L'intérêt des composants grands gaps

Les composants dits « grands-gaps », i.e. à large bande interdite par rapport au silicium, sont des matériaux semi-conducteurs particulièrement prometteurs pour remplacer le silicium dans les applications des puissance afin de diminuer les pertes et augmenter les vitesses de commutation. Les principales propriétés thermiques et électriques des principaux matériaux semi-conducteurs sont présentées en Fig. 1.7 d'après [13]. On s'aperçoit que ces composants grands gaps présentent une énergie de bande interdite bien plus importante, ce qui implique que les conditions d'ionisation du cristal, en particulier le champ électrique critique correspondant, sont plus importantes que pour le silicium. Si l'on se réfère à l'équation (1.2) et (1.3) un champ critique plus important permet d'augmenter le niveau de dopage et de réduire la largeur de la zone de déplétion. La combinaison des relations précédentes (1.4) montre que la résistance spécifique est divisée par la valeur du champ critique au cube. Inversement, à tension donnée et résistivité donnée, la surface de la puce sera bien plus faible (Fig. 1.8 [14]) il en résultera un bénéfice en miniaturisation et, potentiellement, une réduction des coûts. En plus de leur plus faible résistance à l'état passant, la large bande interdite résulte en une plus faible génération de porteurs intrinsèques dans leur zone de déplétion permettant, à la fois, d'avoir une densité dopage très importante et de pouvoir fonctionner à haute température. Cette température maximale est donnée par la température où la densité des porteurs intrinsèques dépasse la densité du dopage dans la région de tenue en tension. Les semi-conducteurs à grand gap ayant une plus faible densité de porteurs intrinsèques que le Si et leur dopage étant plus important à même tenue en tension (pour diminuer l'épaisseur de la zone de charge d'espace sous contrainte de champ critique) les semi-conducteurs grand gap peuvent donc fonctionner à des températures bien plus importantes, ce qui peut être avantageux pour les applications situées dans des conditions environnementales à haute température. Au regard de ses propriétés, le diamant serait potentiellement le matériau idéal pour l'électronique de puissance. Qualifié de matériau ultra grand-gap, de nombreuses barrières technologiques empêchent pour l'instant son utilisation (ex : production de wafer en diamant, dopage de type N, impossibilité de réaliser des diffusions, ...).

Aujourd'hui le cristal 4H-SiC est le plus largement employé parmi les variations cristallines existantes (6H, 3C,...) par la bonne mobilité électronique. Il n'en reste pas moins que ce matériau ne possède pas d'oxyde natif, source de défauts d'interface, et que la réalisation du substrat P est problématique tout comme les techniques de dopage local par diffusion de type P. En effet, le coefficient d'ionisation des trous est bien plus important que celui des électrons dans le 4H-SiC amenant à de nombreux problèmes de fiabilité et de dégradation si les trous sont utilisé en tant que porteurs (*basal plan degradation*). Ainsi, la grande majorité des composant en SiC sont unipolaires. Les premiers composants développés ont été les diodes Schottky, les JFET puis les MOSFET et dernièrement les Trench-MOSFET sont maintenant commercialisés mais présentent un retard important en matière de fiabilité par rapport au Silicium et en particulier sur leur robustesse en court-circuit. Il existe aussi quelques références de transistors bipolaires mais très marginaux (GeneSiC). Les composants de puissance en SiC sont verticaux contrairement aux composants en composites III-V (GaN, Ga<sub>2</sub>O<sub>3</sub>) qui ont des structures latérales. En effet, les composants en GaN sont construits sur des substrats Silicium

par épitaxie d'une couche de GaN. La conduction du courant est effectuée par la création d'une zone conductrice à la jonction entre une couche de GaN et d'AlGaN appelée 2DEG. Le substrat en Silicium n'étant pas utilisé pour la conduction du courant, ces composants sont nécessairement latéraux. Cette latéralité est limitante à la fois sur la tenue en tension des composants mais aussi sur leur robustesse en court-circuit. La conduction du courant de saturation se produisant dans une zone extrêmement réduite, la montée en température de la zone active est extrêmement rapide pouvant conduire à des défaillances « électriques » extrêmement rapides ( $T_{SC} < 1\mu s$ ) [15].

	Semiconducteurs conventionnels		Semiconducteurs grand gap				
	Si	GaAs	3C-SiC	6H-SiC	4H-SiC	GaN	C
Bande interdite $E_g$ (ev)	1,2	1,43	2,3	2,9	3,2	3,39	5,6
Mobilité des électrons $\mu_n$ ( $cm^2.V^{-1}.s^{-1}$ )	1450	8500	1000	415	950	1000	2200
Mobilité des trous $\mu_p$ ( $cm^2.V^{-1}.s^{-1}$ )	450	400	45	90	115	350	1800
Champ critique $E_C$ ( $V.cm^{-1}$ )	$3.10^5$	$4.10^5$	$2.10^6$	$2,5.10^6$	$3.10^6$	$5.10^6$	$5,6.10^7$
Vitesse de saturation $V_{sat}$ ( $cm.s^{-1}$ )	$10^7$	$2.10^7$	$2,5.10^7$	$2.10^7$	$2.10^7$	$2.10^7$	$3.10^7$
Conductivité thermique $\lambda$ ( $W.cm^{-1}.K^{-1}$ )	1,3	0,5	5	5	5	1,3	20
Permittivité relative $\epsilon_r$	11,7	13,1	9,6	9,7	9,7	8,9	5,7

Fig 1.7 : Comparatif des propriétés des matériaux semi-conducteurs [12]

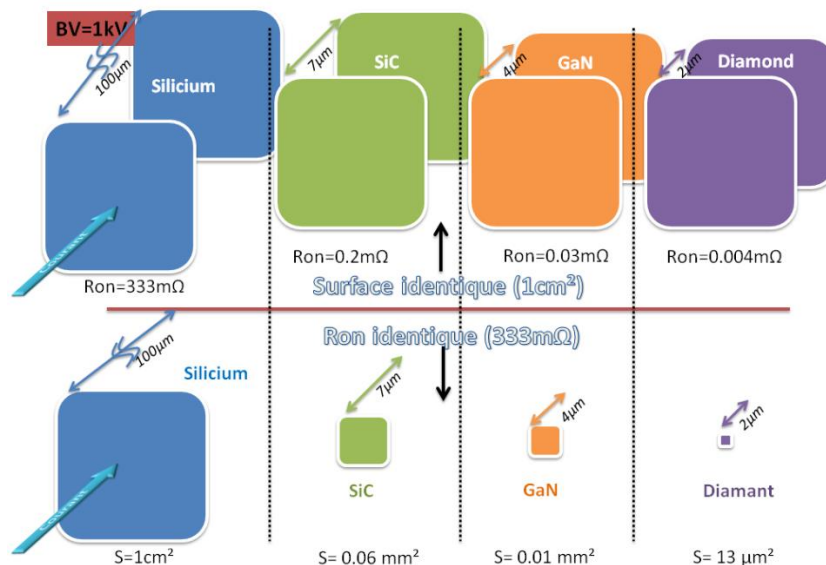


Fig 1.8 : Illustration de l'intérêt des composants grand gap pour l'électronique de puissance par rapport au compris tenue en tension/ résistance à l'état passant. L'épaisseur du substrat n'est pas pris en compte dans le calcul de l'épaisseur et de la résistance spécifique. La terminaison périphérique de tenue en tension n'est pas comptabilisée dans l'estimation de la surface [13]

## II.D Principe de fonctionnement du MOSFET SiC

Bien que le carbure de silicium soit connu et utilisé depuis plus d'une centaine d'années, son utilisation en tant que semi-conducteur est plus récente. Les premières diodes en SiC ont fait leur apparition sur le marché en 2001, il a fallu attendre 2007 pour l'arrivée des premiers composants JFET et 2011 pour les MOSFET. Le SiC possède des propriétés intrinsèques très intéressantes :

- Son champ électrique de rupture (3-5 MV/cm) est environ dix fois supérieur à celui du Si (0,34 MV/cm).
- Sa bande interdite (3,26 eV) est environ trois fois plus grande que celle du Si (1,11 eV).
- Sa conductivité thermique est environ trois fois supérieure (4,9 W/cm·K) au Si (1,5 W/cm·K).
- Sa résistance électrique spécifique "théorique" est beaucoup plus faible (0,2 mΩ/cm<sup>2</sup>) que celle du Si (330 mΩ/cm<sup>2</sup>) à température ambiante et 1kV de tenue en tension.

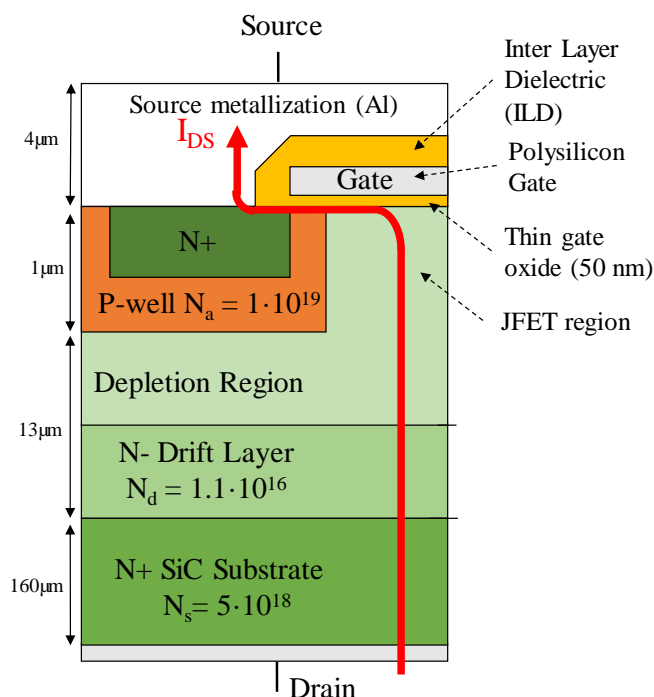


Fig 1.9 : vue en coupe d'une demi-cellule MOSFET SiC à grille « planar » avec les valeurs usuelles et épaisseurs des couches de dopage pour un composant 1200V.

Comme présenté en partie II.B, les MOSFET sont composés de 3 électrodes: la grille (G), le drain (D) et la source (S). La structure classique du MOSFET SiC à grille *planar* est présentée en Fig. 1.9, les valeurs de dopages usuelles sont aussi fournies d'après la référence [10]. En version grille *planar*, l'intégralité du courant passe par une zone intercellulaire étroite, appelée zone JFET, comprise entre le caisson porte-canal double diffusé P+/P et l'oxyde de champ. Cette zone de rétrécissement disparaît sur les structures à grille en tranchées. La modulation du champ électrique dans cette zone par le biais de la polarisation de grille permet de former, par inversion dans la région P du caisson, un canal d'électrons pour rendre conducteur le composant.



## II.E Contraintes technologiques

En général en électronique, le prix d'un composant dépend fortement de la surface de semi-conducteur utilisée. C'est en partie cette raison qui pousse les fabricants d'électronique à continuellement diminuer la surface de puce utilisée. Dans le cas de la technologie CMOS, la taille des transistors a été progressivement diminuée afin d'implanter bien plus de transistors sur une même surface de silicium jusqu'à arriver à des longueurs de grille 7 nm en FinFET. Les composants de puissance et en particulier les composants grands gaps n'échappent pas à cette logique. La fabrication de wafer de SiC ne dépassant pas les 6 pouces de diamètre (150 mm), il faut en extraire un maximum de puces. Cependant, en raison d'une faible mobilité des porteurs dans la région de canal en régime d'inversion, inférieure au silicium, le MOSFET SiC présente une résistance surfacique de canal bien plus importante que pour une structure identique au silicium. Il faut donc adapter la structure du MOSFET Si à sa transposition en SiC et en particulier dans la région de grille. L'objectif de cette partie est de présenter dans les grandes lignes les principaux choix technologiques relatifs à la réduction de la résistance surfacique à l'état passant.

### II.E.1 Résistance à l'état passant

On peut décomposer la résistance spécifique à l'état passant d'un MOSFET *planar*, comme présentée en Fig. 1.6 gauche, en 4 zones principales : la résistance de canal  $R_{CH}$ , la résistance de la zone intercellulaire de JFET  $R_J$ , la résistance de la zone de drift  $R_D$  et la résistance du substrat  $R_{Sub}$  :

$$R_{tot} = R_{CH} + R_{JFET} + R_D + R_{Sub} \quad (1.5)$$

L'objectif est de minimiser chacune de ces résistances.

La résistance de la zone de drift est proportionnelle à l'épaisseur de celle-ci qui est directement dépendante de la tenue en tension maximale du composant (1.4)(cf. §II.A). La résistance de substrat est aussi proportionnelle à l'épaisseur de la zone de substrat qui est bien plus épaisse que la zone de drift à cause des contraintes mécaniques du wafer (wafer de 20  $\mu\text{m}$  d'épaisseur trop cassants et impossibles à réaliser). Il y a donc peu d'optimisation possible. En revanche, la résistance de canal et la résistance de la zone de JFET peuvent être grandement modulées par la conception.

### II.E.2 Résistance de canal et contraintes au niveau de l'oxyde de grille

La résistance spécifique du canal qui est donnée par [10]:

$$R_{CH} = \frac{L_{CH}}{W_{CH} \cdot \frac{\mu_{inv} \epsilon_{ox}}{t_{ox}} \cdot (V_{GS} - V_{GS(th)})} \quad (1.6)$$

Avec  $L_{CH}$  la longueur du canal,  $\mu_{inv}$  la mobilité dans le canal,  $\epsilon_{ox}$  la permittivité relative de l'oxyde de grille,  $t_{ox}$  son épaisseur et  $W_{CH}$  la largeur du canal.

La mobilité des électrons dans le SiC étant plus faible que dans le Si (cf. Fig.1.7), afin de réduire la valeur de  $R_{CH}$ , il faut à la fois augmenter la polarisation de la grille (20V typiquement) mais aussi réduire l'épaisseur de l'oxyde de grille (50 nm en moyenne). Cela va aussi contribuer à diminuer la tension de seuil elle-même dépendante de l'épaisseur de l'oxyde de grille. En revanche, les défauts d'interface entre le SiO<sub>2</sub> et le SiC lors du processus d'oxydation thermique et de recuit provoqué par la migration des atomes de carbone du SiC vers le SiO<sub>2</sub> ont pour effet l'accumulation de charges piégées à cette interface et dans la région du canal qui conduit à un phénomène de dépolarisation local, à une plus faible mobilité des électrons et une augmentation de la tension de seuil, généralement compensée par une plus forte tension sur la grille.

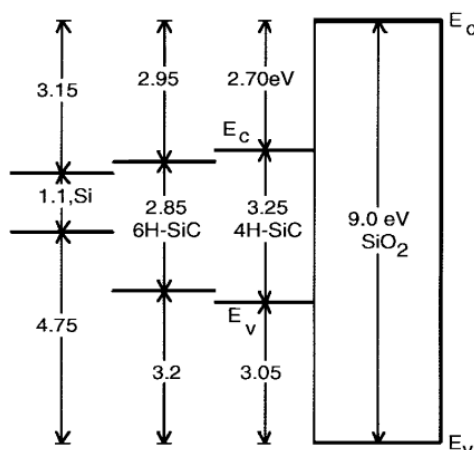


Fig. 1.10 : Diagramme de bande du Si, 6H-SiC, 4H-SiC et du SiO<sub>2</sub>. [15]

L'oxyde de grille est en dioxyde de silicium (SiO<sub>2</sub>) comme en technologie silicium, mais lorsqu'il est polarisé sous 20V le champ électrique est de 4MV/cm. Cependant, le SiC étant un matériau grand gap, la différence entre l'énergie de la bande de valence du SiC et du SiO<sub>2</sub> est plus faible qu'entre le Si et le SiO<sub>2</sub>, comme présenté en Fig. 1.10. Cela implique qu'un courant de Fowler-Nordheim peut apparaître à partir de 6 MV/cm à 25°C [16]. La présence de courants dans l'oxyde peut induire l'apparition de pièges (injection de porteurs chauds) qui peuvent conduire aux changements de caractéristique du composant voire le claquage du diélectrique. La diminution de l'épaisseur de l'oxyde de grille sous fort champ permet une nette diminution de la résistance à l'état passant mais diminue grandement la fiabilité de la grille (injection de porteurs chaud, piégeage de charges, instabilité du  $V_{th}$ , changement de la capacité grille-source, percolation,...). Une étude bibliographique de ces phénomènes sera présentée dans la section suivante.

Enfin, lorsque  $V_{DS} > V_{GS} - V_{GS(th)}$  le composant sature, conduisant à un courant de saturation entièrement dépendant des paramètres du canal :

$$I_{Dsat} = \frac{2}{R_{CH}} \cdot (V_{GS} - V_{GS(th)}) \cdot (1 + \lambda \cdot V_{DS}) \quad (1.7)$$

Avec  $\lambda$  un paramètre permettant de rendre compte de la diminution du canal sous l'effet de la tension de drain appelé effet Early. Un canal court (faible  $L_{ch}$ ) permet de réduire  $R_{ch}$  aux dépens d'une plus forte sensibilité à la tension  $V_{DS}$  en zone saturée (plus grand  $\lambda$ ). Au regard de

l'équation (1.7), il est évident que l'optimisation de la résistance de canal induira un courant de saturation plus important et *a priori* à une tenue au court-circuit moins importante.

### II.E.3 Résistance de la zone de JFET et contraintes au niveau de l'oxyde de grille

En structure « *planar* » présentée Fig. 1.6 gauche, la zone de JFET est la zone par laquelle passe le courant sous l'oxyde de grille entre les zones dopées P. La résistance de cette zone dépend de sa largeur ( $W_{JFET}$ ), la profondeur de la zone dopée P ( $t_p$ ) et de la conductivité de la zone de drift ( $\rho_D$ ) [10].

$$R_{JFET} \propto \rho_D \cdot \frac{t_p}{W_{JFET}} \quad (1.8)$$

L'épaisseur est fixée par l'épaisseur de la zone P qui est directement dépendante des contraintes techniques de maîtrise de la profondeur et de l'homogénéité de l'implantation du dopage P surtout en SiC. Le paramètre optimisable est la largeur de cette zone. Plus la distance intercellulaire est importante, plus la zone de JFET est large et sa résistance est faible. Cependant, lors du blocage du MOSFET, le potentiel de drain ne se distribue pas exactement dans la zone de déplétion comme dans une jonction PN abrupte. En effet, la distance entre deux zones dopées P doivent être suffisamment resserré afin qu'aucune équipotentielle de drain ne parvienne à l'oxyde de grille par la zone de JFET. Cet effet d'écrantage impose une valeur maximale à  $W_{JFET}$ . De plus, diminuer  $W_{JFET}$  a pour effet d'augmenter la densité des cellules élémentaires, augmenter la surface du canal et donc réduire la résistance de canal. Cependant, cela va augmenter la résistance de  $R_{JFET}$ . Il faut donc trouver un compromis entre  $R_{CH}$  et  $R_{JFET}$ .

### II.E.4 Structure shield planar : Réduction de la résistance de JFET

La structure « *shield planar* », détaillée Fig. 1.11a [6], présente deux zones différentes de dopage de type P. Une zone au niveau du canal faiblement dopée P, qui permet de réduire la tension de seuil et d'avoir une mobilité acceptable en régime d'inversion et donc une faible résistance de canal comme dans une structure « *planar* ». Une zone fortement dopée P sous cette zone faiblement dopée, appelée "P+ Shielding Region", et sous la source. Cette zone fortement dopée P permet de diminuer l'épaisseur de la zone de JFET, mais permet aussi de renforcer l'écrantage électrostatique la zone de JFET, c'est-à-dire de limiter l'excursion du champ électrique venant du drain vers l'oxyde de grille. Cet écrantage, également appelé "effet d'auto-blindage", permet donc d'augmenter la largeur de la zone de JFET et de diminuer sa résistance. Cette structure, bien qu'avantageuse, implique cependant une maîtrise technologique supérieure. On notera aussi que le composant *planar* à une moins bonne robustesse au court-circuit que le composant *shield planar* alors que celui-ci, par le blindage électrostatique, devrait avoir une surface de puce plus faible et donc être moins robuste aux court-circuit.

### II.E.5 Structure Trench : Disparition de la zone de JFET

La structure trench, largement utilisée en Si, cherche à supprimer l'effet JFET par un oxyde de grille enfoui dans une tranchée, comme présentée en Fig. 1.11b [17]. Le canal devient perpendiculaire à la surface de la puce, ce qui permet une plus grande densité d'intégration par une augmentation de la surface de canal tout en conservant une région P d'inversion de dopage raisonnable vis-à-vis des contraintes sur le  $V_{th}$  la diminution de sa résistance. La résistance de ce type de structure est donc bien moins importante que pour les autres structures. Inversement,

cette structure autorise une réduction de la surface active de la puce et donc un plus faible coût, pour la même résistance à l'état passant. Cependant, il n'y a aucun effet d'auto-blindage de l'oxyde en bas de la tranchée, ce qui peut provoquer sa destruction lors de l'application d'une polarisation importante sur le drain. Face à ce problème, les principaux fabricants de MOSFET SiC proposent des structures hybrides où les grilles sont « trench » mais où il y a des zones de

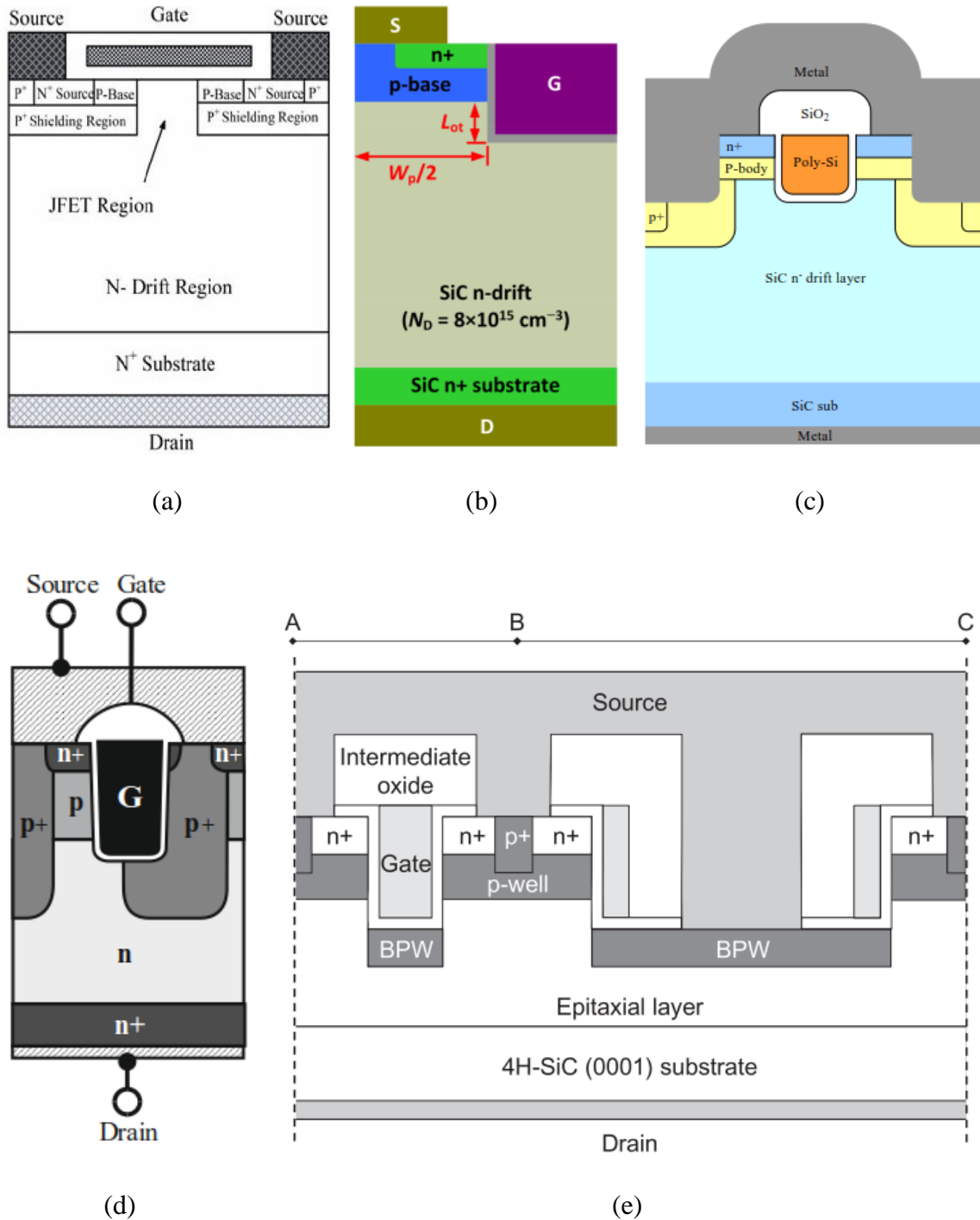


Fig. 1.11 : Différentes structures de MOSFET SiC possibles, (a) structure « shield planar » [6], (b) structure « trench » [16] (c), structure « double trench » [17] de ROHM™, (d) structure « trench » avec un canal asymétrique d'Infineon™ [18], (e) structure « trench » avec zone p enfouie soit en anglais Buried P-Well (BPW) de Mitsubishi™[19].

blindage électrostatiques dopées P+ sous la forme d'implantations profondes pour une meilleure gradation du champ, comme par exemple la structure « double trench » de Rohm™ présenté en Fig. 1.11c [18], la structure « trench » à canal asymétrique proposée par Infineon™ en Fig. 1.11d [19] ou la structure « trench » avec une zone P enfouie sous la région de grille développée par Mitsubishi (Fig. 1.11e) [20]. Ces zones d'implantation fortement dopées P+ contribuent à une plus forte efficacité d'injection de porteurs en conduction inverse du composant par la diode de corps du MOSFET et donc à une plus faible résistance à l'état passant.

## II.F Conclusion sur les technologies MOSFET SiC

Les interrupteurs de puissance ne sont pas parfaits, il y a toujours un compromis à trouver entre la tenue en tension, la faculté à conduire du courant et la vitesse de commutation. La figure de mérite de ce compris est propre au matériau semi-conducteur utilisé. Aujourd'hui, les limites théoriques du Silicium sont atteintes. Des interrupteurs de puissance en rupture sont donc développés à base de matériaux dit « grand gap » tel que le carbure de silicium, le nitrure de gallium et le diamant. Le niveau de maturité des composants en carbure de silicium est aujourd'hui important car les mêmes structures (transistor bipolaire, JFET, MOSFET, diode Schottky,...) peuvent être employées et certains processus de fabrication maîtrisés en silicium peuvent être employés par exemple pour le dépôt de l'oxyde de grille en SiO<sub>2</sub> dans le cas du MOSFET. Cependant, les spécificités du carbure de silicium imposent un dimensionnement dédié des structures, en particulier, la présence d'un oxyde de champ mince sous fort champ électrique et l'introduction de structures « *shield* » et « *trench* ».

L'introduction de ces structures et d'un oxyde de champ mince sous fort champ électrique permet une réduction très importante de la résistance du canal et par conséquent de diminuer la surface de semi-conducteur à résistance de puce donnée. La réduction des capacités parasites permettant du même coup une plus faible énergie de commande et une vitesse de commutation du composant plus élevée en régime nominal. En revanche, en cas de court-circuit, la forte polarisation du canal va imposer un courant de court-circuit très important qui, par la faible surface de puce, va échauffer extrêmement rapidement le composant. Cette propriété est exacerbée par la présence d'un canal "court" dans beaucoup de structures Mosfet SiC de manière à réduire davantage la résistance à l'état passant (terme R<sub>ch</sub> dans la relation (1.5)). Ce canal court est beaucoup plus sensible au niveau de polarisation de drain en phase de court-circuit (pente  $\Delta I_{dsat}/\Delta v_{ds}$  élevée équivalent à un effet Early, visible également en commutation avec un plateau Miller non pas horizontal mais avec une inclinaison) amenant à une majoration du courant de saturation par rapport à un canal long d'un Mosfet Si. La densité surfacique de perte considérablement plus élevée en SiC qu'en Si est à l'origine d'une défaillance apparaissant bien plus rapidement pour les MOSFET SiC que pour les MOSFET Si. L'étude bibliographique de la robustesse du MOSFET SiC en court-circuit est présentée dans la section suivante.

### III. Robustesse et modes de défaillance en court-circuit

Dans le cadre de la fiabilisation d'un système, il faut connaître la robustesse de chacun des composants pour pouvoir estimer la criticité d'un incident sur le système. Les stress que peuvent subir de manière aléatoire les composants de puissance, de par leur environnement et l'usage qui en est fait, sont de multiples natures : électriques (court-circuit, surtension), thermique (température ambiante extrême), mécanique (chocs,..), électrostatique (ESD). L'étude présentée se focalisera plus sur les stress électriques et en particulier le court-circuit.

Le MOSFET SiC semble présenter de très bonnes caractéristiques en avalanche avec des énergies d'avalanche très raisonnables comparées aux composants silicium de même calibre. Cependant, les composants MOSFET SiC présentent des temps de tenues au court-circuit bien plus faibles que les composants silicium de même calibre [5], [13], [21]–[23]. De nombreux IGBT Si sont spécifiés pour 1000 impulsions de court-circuit de 10  $\mu$ s (généralement spécifié sous  $V_{DS} = V_{BR}/2$ ) [24]. Les MOSFET SiC sont aujourd'hui encore très loin de ces performances mis à part pour certaines références où le fabricant s'est attaché à concevoir la région de canal de manière à limiter le courant de saturation pour tenir la contrainte de 10 $\mu$ s (dopage réduit sur les implantations N+ dans la région de canal) aux dépens d'une pénalité pouvant atteindre +30% sur la résistance spécifique à 1,2kV [25]. D'une manière générale, les MOSFET SiC présentent un comportement en court-circuit singulier avec un fort courant de saturation, un courant de fuite au niveau de la grille après de quelques microsecondes et deux modes de défaut différents dépendant des conditions électriques de court-circuit et de la technologie des MOSFET SiC.

Dans une première partie seront présentées les principales méthodes de test en court-circuit proposées dans la littérature. Dans un second temps, les formes d'ondes caractéristiques aux MOSFETs SiC en régime de court-circuit seront présentées.

#### III.A Les tests de robustesse en court-circuit

Il existe deux principaux types de court-circuit [26]:

- Le court-circuit de type I appelé aussi « *hard switching fault* ». Il correspond à la mise en conduction du composant de puissance alors qu'il est préalablement polarisé par une source de tension à ses bornes [27]. Dans ce cas, le composant doit supporter la tension de bus tout en limitant le courant par la saturation de son canal. Sur la Fig. 1.12a, un schéma typique de caractérisation est présenté. Les tensions en bleu sont les grandeurs mesurées pendant les essais.
- Le court-circuit de type II appelé aussi « *fault under load* ». Il correspond à la mise en conduction d'un des composants du bras alors que le composant homologue était préalablement en conduction. Au moment du défaut, la tension du bus vient polariser le composant précédemment en conduction à travers l'impédance parasite de la maille de commutation et amène la saturation de son canal. Sur le plan électrique, le défaut de type II se distingue du défaut de I par la présence d'un  $dv/dt$  ohmique à ses bornes puis d'un effet Miller. Cet enchaînement de mécanismes vient majorer transitoirement le

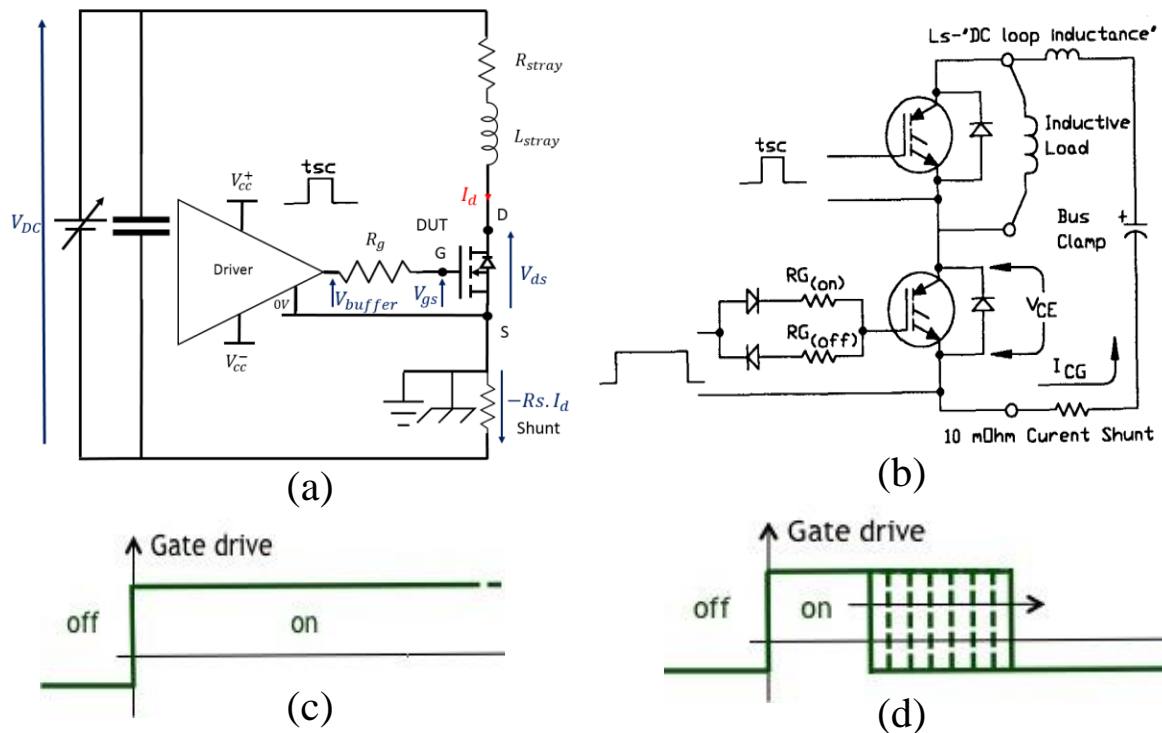


Fig. 1.12: (a) Schéma de principe d'un banc de test pour un court-circuit de type I, (b) pour un court-circuit de type II (c) Essai de type "pulse long"[21], (d) Essai de type "pulse court"[21]

courant maximum de saturation et amène plus de complexité dans l'analyse des formes d'ondes qui sont bien souvent plus perturbées qu'en type I. Sur la Fig. 1.12b, un schéma électrique de principe du test est présenté. Le DUT est le composant du bas. L'essai débute par un amorçage du DUT qui est en série avec une charge inductive. Le composant du haut est ensuite mis en conduction pour provoquer le court-circuit. La mise en place de l'essai est plus complexe que pour le type I et l'impact du type II sur les MOSFET SiC en court-circuit est très similaire au type I [5]. Il existe aussi un court-circuit de type III très proche du court-circuit type II [28] qui correspond au court-circuit deux bras d'onduleur à travers un court-circuit court de la charge en phase de roue libre. Le type III ne sera pas traité dans ces travaux.

Dans les deux cas, lors de la caractérisation du composant, le temps de mise en court-circuit du composant est maîtrisé par la grille de celui-ci et l'on peut distinguer 3 essais différents :

- Sur la Fig. 1.12c, l'essai est dit à « pulse long ». Dans ce cas, le composant est mis en conduction permanente jusqu'à la destruction de celui-ci à un instant appelé  $T_{SC(MAX)}$ . L'énergie reçue par ce composant durant le court-circuit est appelée  $E_{c(MAX)}$  : énergie critique maximale de destruction .

$$E_{c(MAX)} = \int_{t=0}^{t=T_{SC(MAX)}} I_{ds} V_{ds} dt \quad (1.9)$$

- Sur la Fig. 1.12d, l'essai est dit à « pulse-court ». En effet, il y a une augmentation progressive de la durée du court-circuit à pas fixe jusqu'à la destruction du composant, généralement de manière différée pour les MOSFET SiC. Le temps du pulse précédent la destruction est appelé  $T_{SC(MIN)}$ . L'énergie que le composant a reçue pendant le dernier

pulse amenant à sa destruction est calculée et appelée  $E_{c(MIN)}$ : Energie critique minimale de destruction.

- L'essai en vieillissement par court-circuit dans lequel on se place à un temps de court-circuit donné inférieur à  $T_{SC(MIN)}$  et l'on répète les essais jusqu'à destruction ou dégradation suite à une évolution notable des caractéristiques.

Les 3 essais présentés ont plusieurs intérêts :

- L'essai en pulse long permet d'identifier le mode de défaillance ultime en cas de défaut prolongé et critique.
- L'essai en pulse court permet d'identifier le temps maximal auquel peut être soumis le composant de manière impulsif. Le mode de défaillance peut être différent de l'essai précédent en grande partie par la différence d'énergie dissipée pendant le test ( $E_{c(Min)} < E_{c(Max)}$ ). La connaissance de  $T_{sc(Min)}$  permet de définir la rapidité avec laquelle la fonction de protection intégrée au driver doit réagir pour éviter le défaut différé, i.e.  $T_{dprotection} \ll T_{sc(Min)}$ .
- L'essai en vieillissement en court-circuit permet de déterminer le nombre de court-circuits que peut soutenir le composant avant défaillance ou dégradation irréversible. A travers cet essai, et en fonction de l'énergie (ou la durée) du court-circuit, la criticité de la répétition de courts-circuits est mise en évidence. Ce type d'essai va généralement mettre en évidence une évolution des caractéristiques électriques du composant, qui pourront être utilisées comme signatures de la dégradation du composant en vue d'une surveillance de l'état de santé du composant. Le mode de défaillance peut être différent des deux autres essais ce qui constitue une réelle richesse d'étude pour mettre en lumière les zones de fragilité du composant les mécanismes de dérive / endommagement associés.



### III.B Comportement des composants MOSFET SiC en court-circuit.

#### III.B.1 Formes d'ondes particulières et fuite de grille

Durant une caractérisation en court-circuit, les grandeurs généralement mesurées sont : la tension grille-source ( $V_{GS}$ ), le courant de drain ( $I_D$ ), la tension drain-source ( $V_{DS}$ ) et la tension en sortie du driver ( $V_{buffer}$ ).

On peut observer les formes de tension/courant typiques d'un court-circuit de type I en pulse court non destructif sur la Fig. 1.13 [29]. Au moment du passage de  $V_{buffer}$  de 0 V à +18 V ou 15 V on observe une montée rapide de  $I_{DS}$  jusqu'à sa valeur maximale appelée  $I_{DS(peak)}$  supérieure à 150A. On remarquera la forte dépendance du courant de saturation à la polarisation de grille due au champ électrique dans l'oxyde de grille. Dès le début du court-circuit, la température de la puce augmente rapidement, car la puissance dissipée dans celle-ci ( $P = I_{ds} \cdot V_{ds}$ ) est très importante : environ 50 kW. Cette augmentation de la température fait, dans un premier temps, diminuer la tension de seuil du composant provoquant une augmentation du courant de saturation. Dans un second temps, la mobilité des porteurs libres dans le canal sous la grille diminue avec le température [13], ce qui entraîne une baisse du courant de saturation. On remarquera également une légère chute de  $V_{DS}$  due à la résistance interne du circuit de puissance et principalement celle de la capacité de bus.

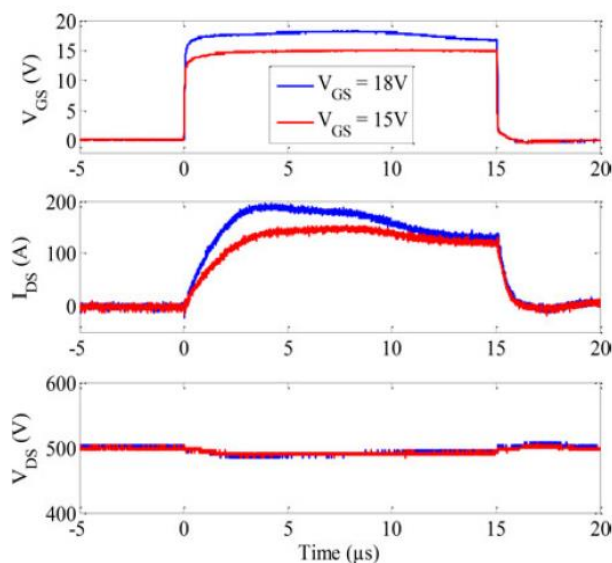


Fig. 1.13: Essai de court-circuit de type I sur un composant planar pour  $V_{DS} = 500V$  et  $V_{GS}=15V$  et  $18V$  [29]

Pour l'essai à  $V_{buffer} = 18V$  (en bleu), on observe une chute de la tension  $V_{gs}$  en fin de court-circuit. En effet, celle-ci est créée par un courant (fuite de grille) passant dans la résistance de grille externe en sortie de buffer tant que la puce est polarisée en court-circuit. On peut remarquer que ce phénomène de fuite de grille est, d'un point de vue « circuit », dépendant à la fois de la tension de grille de la tension drain source et de la durée du test (Cf. Fig. 1.14a pour  $V_{GS}$  et 1.14b pour  $V_{DS}$  [29]). De plus, cette propriété sur la fuite de grille est propre aux SiC, en effet sur les Fig. 1.14a et 1.14b [29], le transistor MOSFET en silicium ne faisant pas apparaître un tel comportement.

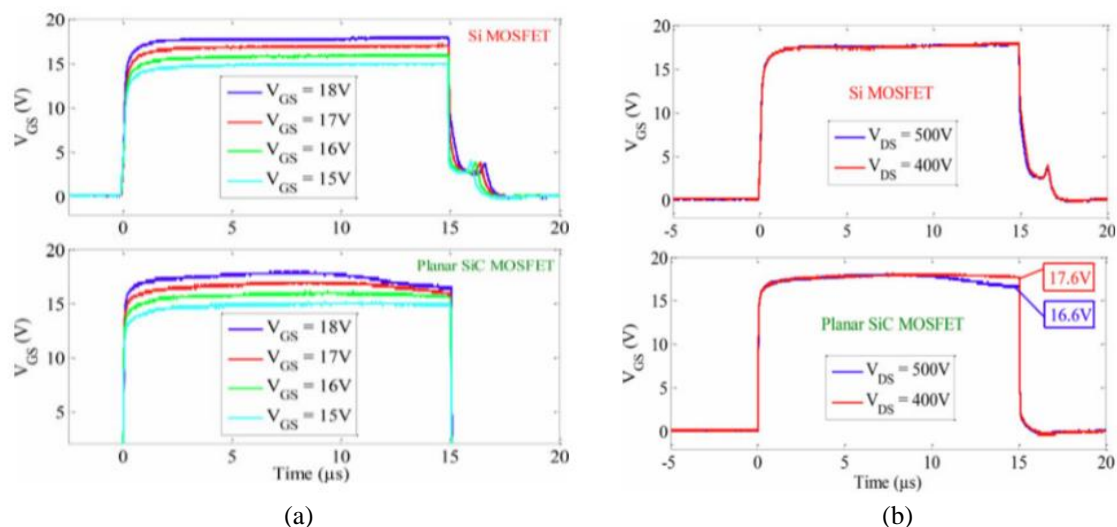


Fig. 1.14 : Comparaison de la variation de tension  $V_{GS}$  en fonction du temps (a) pour différentes valeurs de  $V_{buffer}$  et (b) pour 2 valeurs de  $V_{DS}$  par rapport à un composant en silicium de calibres similaires. [29]

D'autre part, la chute de tension sur  $V_{GS}$ , à travers la résistance de grille externe, conduit aussi à la diminution du courant de saturation et donc à une diminution de la puissance dissipée. qui implique un ralentissement de la montée en température. Cette propriété est donc à souligner, car elle tend à limiter le stress thermique sur la puce à condition que la résistance de grille soit de valeur suffisante au moment où le court-circuit apparaît.

### III.B.2 Décorrélation entre énergie et tenue en court-circuit

Le temps de tenue au court-circuit d'un composant de puissance  $T_{SC}$  (min ou max) est dépendant des conditions de polarisation de celui-ci. En effet, il est généralement supposé que la défaillance d'un composant en court-circuit est causée par un phénomène d'emballement thermique. Cet emballement se produit lorsque la température de jonction devient telle que la concentration des porteurs intrinsèques dépasse la concentration en dopant. L'augmentation de la température est causée par l'importante quantité de chaleur par  $cm^2$  dissipée dans le composant au niveau de la jonction. L'augmentation ou la diminution de la puissance dissipée va donc augmenter ou diminuer le  $T_{SC}$  (min ou max). Une augmentation de la polarisation de grille va augmenter la valeur du courant de saturation, ce qui va diminuer le  $T_{SC}$  (Cf. Fig. 1.15c [30]). La diminution de la tension de drain va avoir tendance à augmenter le  $T_{SC}$ . (Cf. Fig. 1.15f).

Dans le but de prédire le  $T_{SC}$  du composant il faut déterminer la température de jonction. Le lien entre le  $T_{SC}$  et la température est complexe, car la température de jonction n'est pas mesurable directement durant un court-circuit de seulement quelques microsecondes. Usuellement, pour les IGBT Si, la valeur de  $E_{SC}$ , sauf pour différentes températures de boîtier, reste constante [31].  $E_{SC}$  est donc une image de la température de jonction, une diminution de la puissance dissipée dans la puce va donc augmenter de manière proportionnelle le  $T_{SC}$ . Par exemple, une réduction de 50 % de  $V_{DS}$  permet de doubler environ  $T_{SC}$ . Le MOSFET SiC ne présente pas une telle propriété. Il faut donc utiliser un modèle thermique représentatif sur une très large plage pour avoir une image de la température dans le cristal et son environnement

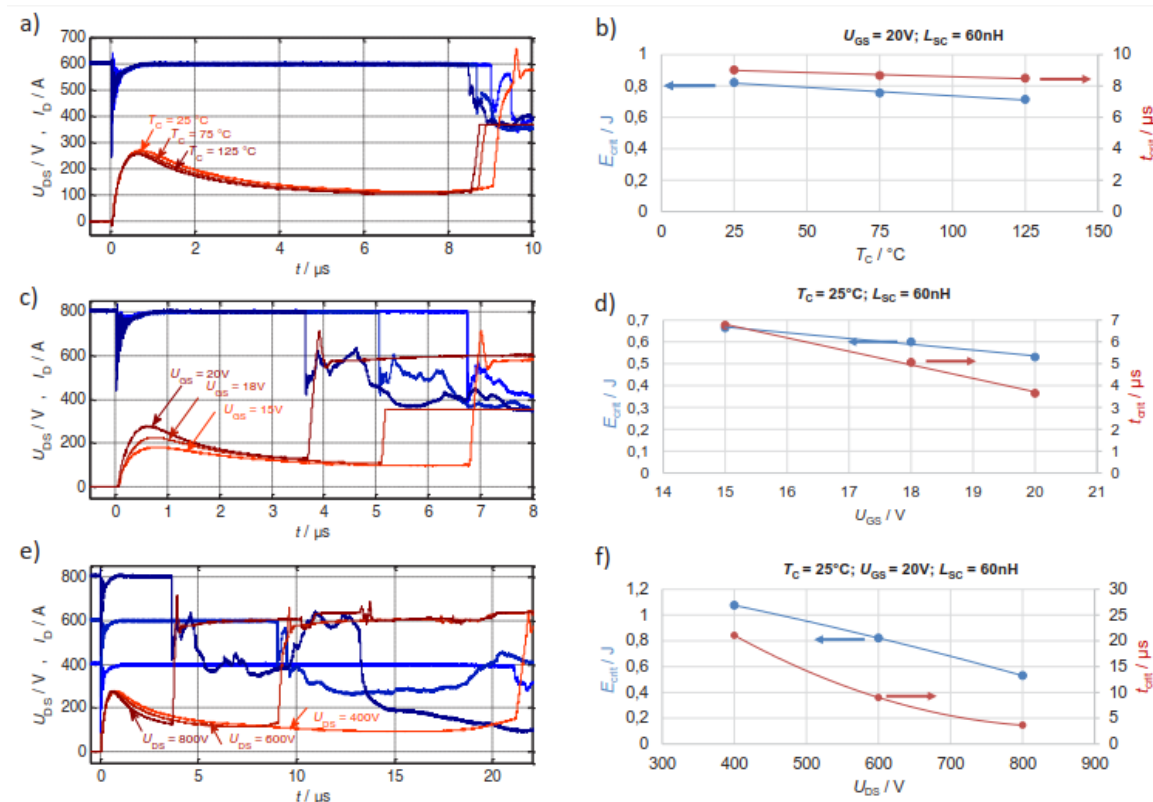


Fig. 1.15 (a) Impact de la température sur le courant de saturation durant un court-circuit de type I en pulse long, (b) l'énergie critique et  $T_{SC}$  afférents, (c) Impact de la polarisation de grille, (d) l'énergie critique et  $T_{SC}$  afférents, (e) Impact de la polarisation de drain, (f) l'énergie critique et  $T_{SC}$  afférents [30]

proche. Cette problématique a été traitée durant cette thèse dans le chapitre 3 pour le modèle thermique et dans le chapitre 2 pour la relation la température de défaillance et  $T_{SC}$  surtout qu'il existe plusieurs  $T_{SC}$  et plusieurs modes de défaillance suivant les conditions de tests.

### III.B.3 Les modes de défaillances

Dans la littérature nous observons 3 modes de défaillance des MOSFET SiC en court-circuit :

1. Le défaut de type « court-circuit » critique ou aussi « fail-to-short » (FTS), c'est le type de défaut le plus classique des composants de puissance. Il se traduit par la fusion locale de la puce et la formation d'un perçage métallique de faible résistance entre le drain et la source. Généralement, la grille est également mise en court-circuit avec la source et le drain. Pour un composant *planar* de seconde génération, le défaut est observable de manière différée sur le test présenté Fig. 1.16a [5] en pulse court à 25°C et sans délai sur la Fig. 1.16c en pulse court à 200°C. Dans le premier cas, il y a un affaissement de la tension  $V_{GS}$  par la fuite de grille et la présence d'une seconde fuite juste après le blocage dans le sens drain-source. Les destructions entre drain-source et source-grille semblent simultanées à l'échelle de la base de temps du graphique. Dans le second cas, les défaillances entre drain-grille et drain-source se produisent avant le blocage. Notons

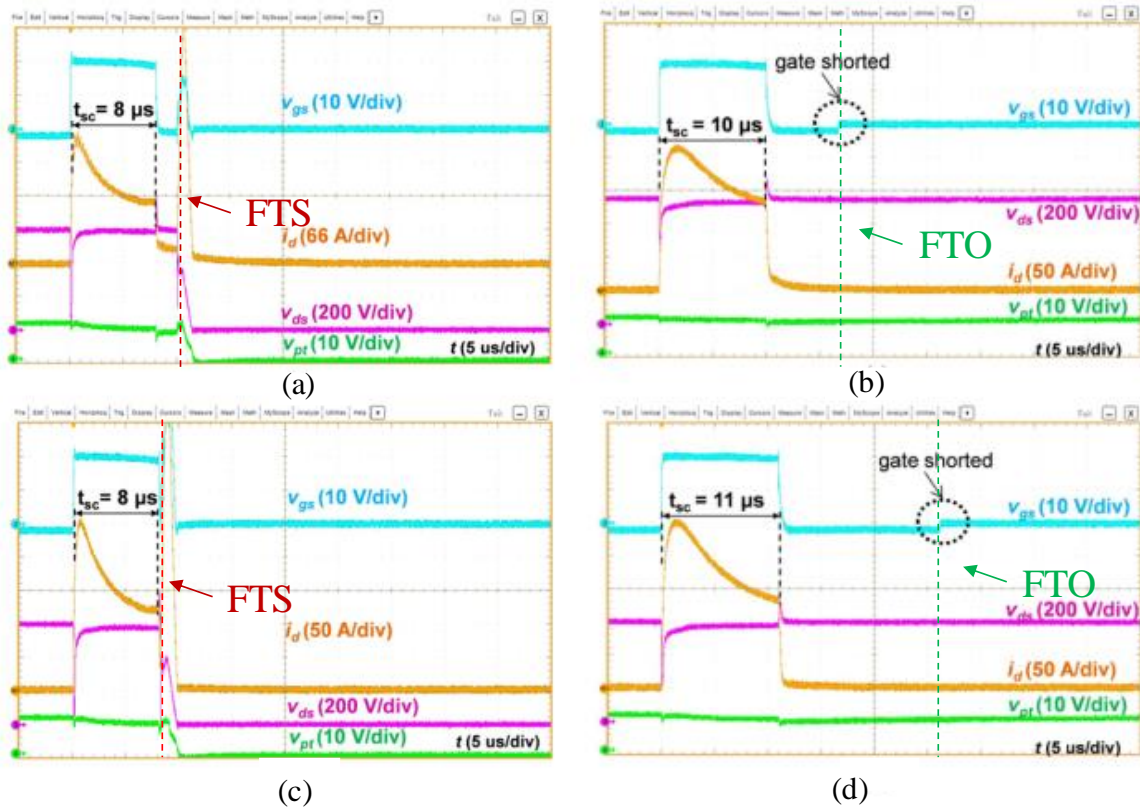


Fig. 1.16: Test en court-circuit de type I en pulse court pour deux MOSFET SiC @  $V_{DS} = 600V$ ,  $V_{GS} = 20V$ . Composant Planar température initiale (a)  $T_{case} = 25^{\circ}C$ , (c)  $T_{case} = 200^{\circ}C$ , Composant Shield Planar température initiale (b)  $T_{case} = 200^{\circ}C$ , (d)  $T_{case} = 25^{\circ}C$  [5]

qu'un transistor auxiliaire en série avec le montage de test vient limiter le courant de défaut après la destruction du composant.

2. Le défaut de type « circuit ouvert » ou aussi « fail-to-open » (FTO) pour lequel la défaillance se traduit par un court-circuit entre la grille et la source [32]. Vis-à-vis de ses électrodes de puissance, la puce reste toutefois fonctionnelle, et l'annulation de la tension  $V_{GS}$  imposée par le court-circuit faiblement ohmique entre Grille et Source permet un auto-blocage irréversible, *a priori*, du composant de puissance et la mise en court-circuit du buffer de commande à travers la résistance externe de grille. Le défaut est observable sur la Fig. 1.16d [5] en pulse court à  $25^{\circ}C$ . Le défaut apparaît après le blocage d'un composant *shield planar* et il s'accompagne dans cet essai d'un courant de queue drain-source après le blocage du composant. La Fig. 1.16b montre le même comportement à  $200^{\circ}C$  où le défaut retardé est plus rapide à apparaître.
3. Il existe aussi dans certains cas un mode de défaut « couplé », c'est-à-dire une apparition du mode de défaut en FTO puis, quelques instants après, le mode de défaut en FTS apparaît. Le défaut est observable dans des essais du type « pulse long », à forte énergie (Cf. Fig. 1.17a)[27]. On observe l'apparition d'un courant de fuite de grille pendant le court-circuit qui s'accompagne d'une réduction de la tension  $V_{GS}$ . Le court-circuit entre grille et source apparaît, le composant reste contrôlable et l'annulation de la tension  $V_{GS}$  permet d'annuler le courant de saturation. Il subsiste toutefois un courant de fuite de drain d'allure croissante (à la différence d'un pulse court, Fig. 1.16b, où l'allure est

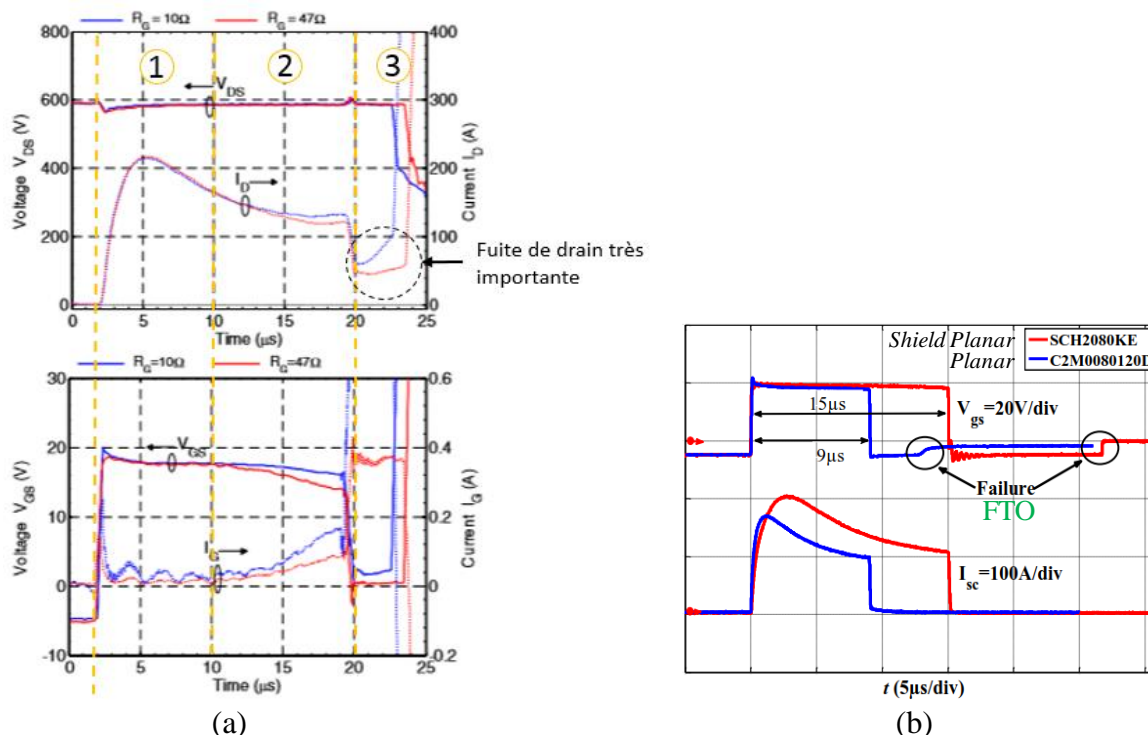


Fig. 1.17 : (a) Test d'un composant Shield planar en court-circuit de type I en pulse long pour 2 valeurs de résistance de grille (bleu)  $R_g = 10\Omega$  (rouge)  $R_g = 47\Omega$  @  $V_{gs} = 18V / -2V$ ,  $V_{ds} = 600V$ , [27] (b) Test d'un composant planar et shield planar en court-circuit de type I en pulse court les deux composants présentent un défaut FTO retardé @  $V_{DS} = 600V$  et  $T_c = 25^\circ C$  [33]

décroissante) dont la valeur suffisamment élevée permet d'entretenir l'auto-échauffement de l'ensemble de la puce et assure l'emballage thermique amenant à la défaillance irréversible en FTS. L'enchaînement des défauts FTO&FTS est très intéressant car il montre bien qu'il y a une mise en compétition entre les deux modes de défaillances observés et qu'ils semblent être causés par des mécanismes physiques de défaillance différents. De plus, il a été montré que le composant *planar* peut présenter le mode FTO ou FTS suivant sa polarisation de drain en Fig. 1.17b [33] tout comme le composant *shield planar* comme présenté en Fig. 1.16b, 1.16d et 1.17a.

En conclusion, la défaillance des MOSFET SiC en régime de court-circuit peut apparaître selon deux modes : circuit ouvert (FTO) ou circuit fermé (FTS). La bibliographie montre que ces deux modes de défaillance peuvent se produire sur le même composant selon sa polarisation de drain et la nature de l'essai en court-circuit (pulse court / pulse long) voir même de manière consécutive. Les deux composants : *planar* et *shield planar* semblent présenter, tous les deux, les deux modes de défaillance mais le composant *planar* semble privilégier le défaut FTS à  $V_{DS} = 600V$ .

Il serait donc intéressant d'explorer la physique de ces deux modes de défaillance, de pouvoir définir les conditions d'apparition de chaque mode et de mieux comprendre en quoi la technologie d'un MOSFET pourrait venir influencer l'apparition d'un mode de défaillance plutôt qu'un autre.

### III.C Marqueurs de dégradations des MOSFET SiC

Durant la vie d'un composant de puissance, avant d'arriver à une défaillance irréversible du type FTO ou FTS telle que décrite dans la partie précédente, les composants peuvent présenter des dérives de leurs caractéristiques électriques suite à leur utilisation normale ou suite à un vieillissement accéléré par exemple en cas de stress du composant hors de sa zone de SOA. Dans cette partie, les principales dégradations des caractéristiques électriques des MOSFET SiC sont présentées. Certaines dégradations sont très courantes pour des composants de puissance comme l'augmentation de la résistance de l'électrode de source, d'autres beaucoup moins comme une fuite de grille permanente causée par la dégradation de la grille.

#### III.C.1 Fuite de grille permanente

Lors d'essais de vieillissement en commutation à haute température ambiante, la réf. [34] rapporte l'apparition d'un courant de grille sous 5 V de  $V_{GS}$ , visible en Fig. 1.18a. Après une microsection dans la zone de la puce défaillante, le composant présente des dégradations au niveau de la grille (Fig. 1.18b, 1.18c) mais sans pouvoir distinctement voir un chemin résistif. L'auteur suppose que le défaut est un chemin résistif à travers l'oxyde de grille mince (50 nm) et donc non visible avec le microscope électronique à disposition. Le même type de signature a aussi été décelé lors de court-circuits très courts de faible énergie après plus de 50 000 pulses [6], [27], [32] ou pour un stress en sur-courant [35]. Ce type de dégradation, qui peut résulter d'un phénomène de chemins de percolation [36] suite à l'accumulation de défauts de proche en proche dans l'oxyde de grille à cause d'un phénomène d'injection de porteurs chauds [10]. Cependant, aucune constatation de percolation dans l'oxyde du MOSFET SiC n'a été observée à ce jour.

Le court-circuit partiel de la grille peut aussi arriver après quelques court-circuits fortement énergétiques comme présentés en Fig. 1.19a [37]. En effet, après seulement 3 court-circuits le composant présente une fuite de grille permanente qui se traduit par la chute de la

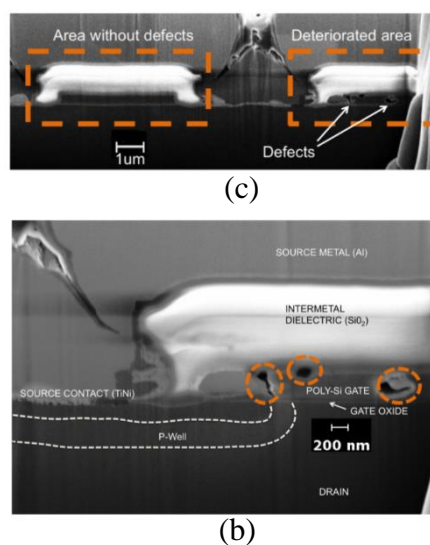
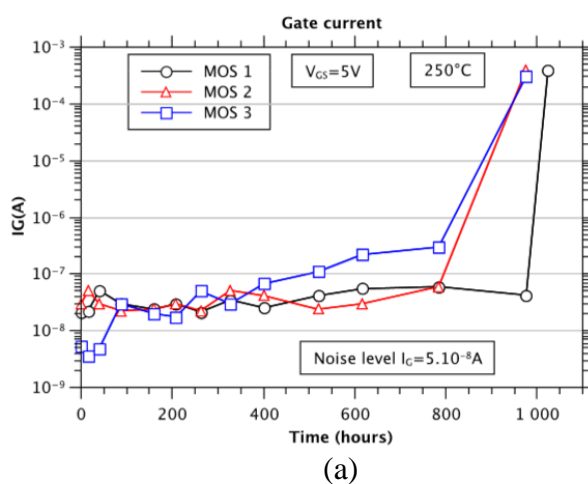


Fig. 1.18. (a) Apparition d'un courant de grille de plusieurs mA après vieillissement en commutation à haute température ambiante – 250°C. (b) microsection d'une puce défectueuse. (c) zoom de la microsection précédente [34]

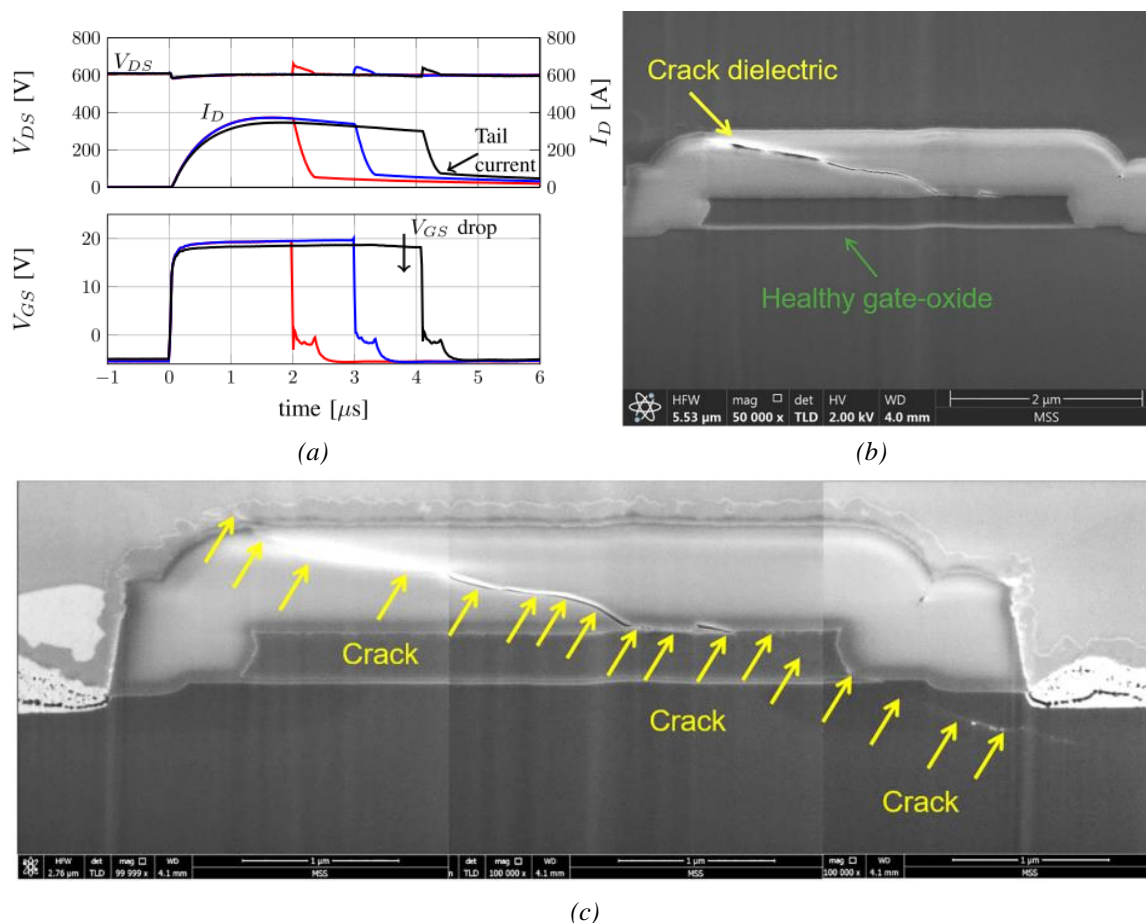


Fig 1.19 : (a) test en court-circuit de type I en pulse court avec augmentation progressive du temps sur un MOSFET SiC 1200V 90A. (b) Image MEB après FIB d'une cellule endommagée. (c) même image avec changement de contraste qui fait apparaître une propagation de la fissure dans le substrat.[37]

tension de grille du composant, qui entraîne à son tour une diminution du courant saturation. Après une microsection (*Focused Ions Beams* (FIB)), une fissure traversante dans le diélectrique épais au-dessus de la grille (*Inter Layer Dielectric* (ILD)) est visible en Fig. 1.19b. Cette fissure peut être à l'origine du chemin résistif entre la grille et la source. Ce type de signature a aussi été observé dans cette thèse et investigué dans le chapitre 2. Des preuves convaincantes de l'origine de ce court-circuit partiel y sont avancées. Il est à remarquer que malgré ce claquage partiel, le composant est toujours utilisable, c'est-à-dire qu'il peut être amorcé et bloqué en régime nominal, mais avec des performances fortement dégradées causé par la dépoliarisation de la grille (vitesse de commutation réduite,  $R_{DS}$  plus élevé,...)

Le phénomène de fissuration au niveau de la région est supposé être causé par l'important choc thermique durant le court-circuit lié à des constantes de dilatation thermiques très différentes entre les matériaux de la région de grille ( $\alpha_{Al} = 23\text{ppm/K}$ ,  $\alpha_{SiO_2} = 0,5\text{ppm/K}$ ,  $\alpha_{PolySi} = 6\text{ppm/K}$ ,  $\alpha_{SiC} = 4\text{ppm/K}$ ). En effet, la différence dans les coefficients de dilatation ( $\alpha_{Al} \gg \alpha_{SiO_2}$ ) crée des contraintes mécaniques importantes pouvant amener à des fissurations. Les fissurations semblent se localiser dans l'ILD (Fig. 1.19b) [37], [38] et peuvent aussi apparaître dans le PolySi (Fig. 1.18b) [39] voir se propager jusque dans le substrat SiC (Fig. 1.19c).

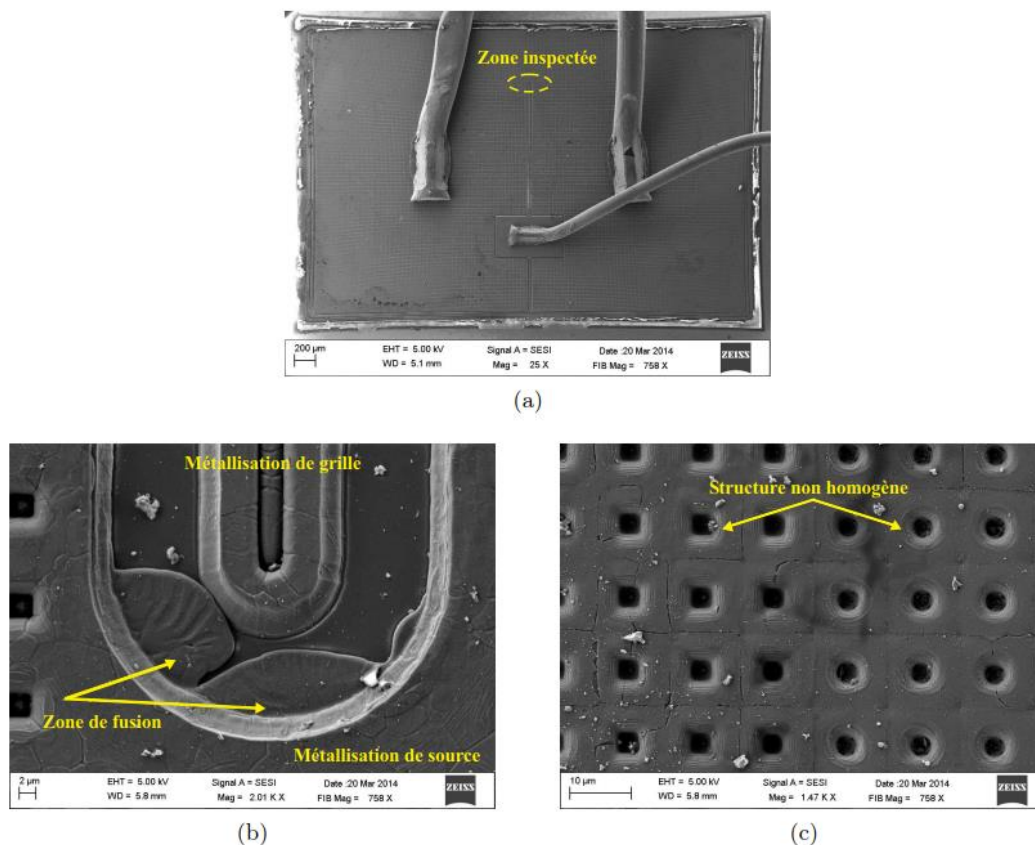


Fig. 1.20 : (a) Inspection du top métal du composant Rohm GI après décapsulation et dépassivation. (b) zoom sur la zone de fusion au niveau de la passivation entre la métallisation de grille et de source. (c) Craquelure et travail de la métallisation de source [13]

Le phénomène de fissuration de l'ILD semble être une amorce à défaillance grille-source en FTO reporté dans en §III.B.3. Cependant, la seule analyse de défaillance convaincante du défaut franc grille source de la littérature est avancée par D. Othman dans sa thèse [13]. Il y est présenté une observation MEB d'un composant *shield planar* ayant cassé en FTO après un test en court-circuit de 13 $\mu$ s. Le composant a été décapsulé et dépassivé, il est présenté Fig. 1.20a . Il peut être observé une zone de débordement de l'aluminium de source sous la passivation qui atteint la métallisation de grille au centre de la puce et qui est supposée être l'origine de la défaillance grille-source, Fig 1.20b. De plus, on retrouve, à droite de cette zone de fusion, en Fig. 1.20c, des craquelures au niveau de la métallisation de source et une modification de la structure de métallisation est observable.

Il est raisonnable de supposer que la très importante température durant le court-circuit à pousser l'aluminium jusqu'à la fusion lui permettant d'ensuite diffuser sous la passivation et causer le court-circuit grille source et expliquant aussi la dégradation de la déformation de l'aluminium en surface. Ce phénomène de diffusion d'aluminium semble être en concurrent avec le phénomène de fissuration au niveau de l'ILD.

Durant cette thèse, une dégradation sous forme d'une fissuration de l'ILD avec diffusion d'aluminium dans les fissures sera présentée dans le Chap.2§IV.A. Le défaut par diffusion de l'aluminium sur la surface de la puce sera confirmé et présenté en Chap.2§IV.B.



### III.C.2 Dégradation de la métallisation de source

Durant des essais en court-circuit en pulse court de type I, le vieillissement peut se traduire par une diminution du courant de saturation. Une des raisons déjà exposées ici concerne l'apparition d'un chemin résistif faiblement ohmique entre grille et source qui implique une diminution de la polarisation de grille via la chute de tension dans les résistances (interne et externe) de grille et donc une réduction du courant de saturation ( $I_{Dsat}$ ) dont l'équation simplifiée est présentée ci-dessous [9] :

$$I_{Dsat} = \frac{\mu_n \cdot C_{ox} \cdot W}{2 L} \cdot (V_{GS} - V_{GS(th)})^2 (1 + \lambda V_{DS}) \quad (1.10)$$

Avec  $\mu_n$  la mobilité des électrons,  $C_{ox}$  la capacité surfacique de grille,  $W$  la largeur du canal,  $L$  la longueur du canal et  $V_{GS(th)}$  la tension de seuil du composant,  $\lambda$  le facteur d'Early.

Cependant, plus classiquement, des court-circuits répétés avec un vieillissement électrothermique du composant peuvent dégrader la métallisation de source sur le dessus d'une puce d'IGBT [40] avec pour conséquence une augmentation de la résistivité de l'aluminium utilisé pour réaliser le contact de source sur la surface supérieure de la puce. Dans le cas d'un court-circuit, la chute de tension latérale apparaissant dans l'électrode de source tend à dépoliariser les cellules les plus éloignées des fils de *bonding* suite à l'augmentation de la résistivité de l'aluminium et donc à réduire là encore le courant de saturation.

$$V_{GS} = V_{buffer} - I_{Dsat} \cdot R_s - I_G \cdot R_G \quad (1.11)$$

Avec  $V_{buffer}$  la tension de commande,  $R_s$  la résistance (équivalente latérale ...) de source,  $I_G$  le courant de grille,  $R_G$  la résistance de grille. Juste après l'amorçage le courant de grille est

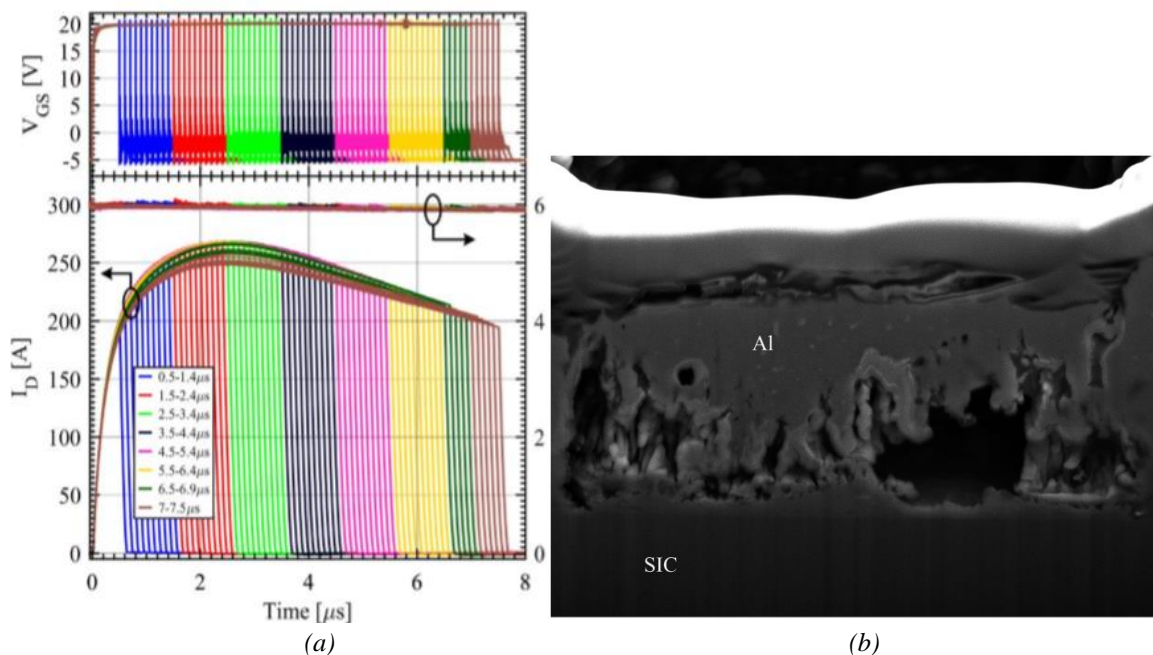


Fig. 1.21 (a) Tests en court-circuit de type I en pulse court avec augmentation progressive du temps sur un (a) MOSFET SiC 10kV 10A. [42] (b) Microsection montrant la migration de l'Aluminium de source

nul. S'il y a eu une augmentation de la résistance de source, le fort courant de drain va faire diminuer la polarisation de grille qui va elle-même impacter le courant de saturation dans (1.10).

On observe ce type de comportement également sur des MOSFET SiC [41], [42] avec une diminution du courant de saturation sans présence de courants de fuite de grille comme présenté en Fig. 1.21a. Une micro-section a également été menée et montre une forte dégradation de la métallisation de source, Fig. 1.21b.

#### IV. Conclusion du chapitre 1

Le dimensionnement des interrupteurs de puissance est toujours un compromis entre la vitesse de commutation, les pertes à l'état passant et la capacité de tenue en tension. Une meilleure tenue en tension conduit à augmenter l'épaisseur de la zone de déplétion et amène à une augmentation des pertes à l'état passant. L'utilisation d'une structure à effet bipolaire utilisant deux types de porteurs de charge (électrons et trous) tend à diminuer la résistance à l'état passant mais diminue la vitesse de commutation (temps de destockage des porteurs minoritaires). Aujourd'hui, les limites physiques des interrupteurs de puissance en silicium sont atteintes et afin de repousser la limite du compromis vitesse/pertes/tenue en tension, des interrupteurs de puissance à semi-conducteur à large bande interdite (SiC, GaN, Diamant) sont développés. Bien que le Diamant soit le semi-conducteur le plus prometteur, la technologie la plus mature, pour des composants de calibre supérieur à 1kV, est celle reposant sur le SiC avec en particulier les structures MOSFET verticaux de type N en SiC. Contrairement au silicium, la faible mobilité des électrons dans le canal et les contraintes technico-économiques (wafer 6" maximum et composants bien plus onéreux que les composants Si) imposent des contraintes de conception telles qu'un oxyde de grille en SiO<sub>2</sub> très mince (50 nm) et une surface de puce extrêmement réduite. Ces composants présentent des caractéristiques très performantes en régime de fonctionnement nominal. En revanche, en partie à cause des contraintes de dimensionnement et des propriétés du matériau, les MOSFET SiC présentent des fragilités en régime extrême de fonctionnement en particulier en régime de court-circuit comparé à l'IGBT et au MOSFET Si. En effet, les composants MOSFET SiC présentent un fort courant de saturation lié à la faible épaisseur de la grille et une importante polarisation de grille. Ce courant de saturation couplé à la forte polarisation de drain en court-circuit chauffe plus rapidement les puces SiC que Si, ce qui fragilise les composants plus rapidement. Cependant, les propriétés électrothermiques excellentes du SiC font que l'énergie critique de défaillance surfacique en court-circuit de ces composants est bien supérieure aux composants Si. Il est proposé de développer un modèle thermique du composant afin d'estimer la température de celui-ci et pouvoir prédire la tenue en court-circuit du composant et mieux comprendre ses mécanismes de défaillance. Les défaillances des composants SiC sont différentes de celles sur Si. En effet, le perçage métallique « critique » des IGBT très largement traités dans la littérature se retrouve sur certains MOSFET SiC cependant, certains d'entre eux présentent, aussi, un mode de défaillance « doux » déclenché par un court-circuit grille-source qui bloque naturellement le composant de manière différée ou non. Cette propriété semble très prometteuse pour sécuriser de manière native un bras d'onduleur. Il conviendra donc de caractériser les différentes structures de MOSFET SiC afin d'identifier si certaines d'entre elles privilégient ce mode de défaillance et, par la suite, en explorer la physique de la défaillance afin de pouvoir la garantir. On remarque aussi l'apparition d'un courant de fuite de grille « dynamique » durant le court-circuit qui a tendance à dépolariser la grille. Ce courant disparaît après le blocage de la grille s'il n'y a pas de défaillance. Il semble donc être un bon marqueur que le composant est en train de subir un court-circuit et pourrait servir à protéger le composant via une électronique adaptée. Cependant, cette fuite est supposée être un phénomène de conduction à travers l'oxyde mince de grille en étant une conséquence à la fois de l'important champ à travers l'oxyde de grille et de la forte température de la puce en court-circuit. Il conviendra de caractériser l'existence et l'amplitude de cette fuite suivant les différentes structures de MOSFET SiC étudiées afin de voir si une détection de court-circuit par ce moyen est généralisable à tous les MOSFET SiC. Une étude de l'origine physique de ce phénomène pourra aussi être utile afin de comprendre si

cette propriété et la cause ou une conséquence du mode de défaut « doux » grille source et si elle devrait perdurer dans les prochaines générations de composants. D'autant que les principaux marqueurs de dégradation d'un MOSFET SiC en régime de court-circuit se situent dans la région de grille, à la fois par l'apparition d'une fuite permanente de la grille qui se caractérise par un chemin résistif en parallèle de la capacité de grille et une dégradation de l'aluminium de source. Des fissures à travers la région d'oxyde d'une cellule MOSFET, entre le métal et le polysilicium, ont aussi été observées, pour expliquer la fuite de grille. Cependant, d'autres études avancent qu'un court-circuit grille source peut aussi se produire sur le dessus de la puce sous la passivation par diffusion de l'aluminium de source. Une étude de ce type de dégradation serait intéressante à mener afin d'en connaître les causes et de proposer une explication cohérente des différents types de dégradation et des défaillances observées.

Dans le chapitre II, une analyse comparative de la tenue en court-circuit, de la fuite de grille dynamique et des modes de défaillances des différentes structures de MOSFET SiC est présentée. Une attention particulière a été portée à l'étude de l'origine physique des différents phénomènes présentés telle que la fuite de grille dynamique et permanente ainsi que les conditions d'existence des différents modes de défaillance,

## CHAPITRE 2 : ÉTUDE DE MOSFET SiC EN REGIME DE COURT-CIRCUIT ET COMPREHENSION DES MECANISMES DE DEFAILLANCE

### I. Introduction

La littérature sur les MOSFET SiC en régime de court-circuit montre des caractéristiques qui semblent communes à l'ensemble des composants : fort courants de saturation, faible tenue au court-circuit, des dégradations de la grille. Cependant, la grande diversité des structures de composant et des conditions de tests semble se traduire aussi par une grande variabilité à la fois de la tenue au court-circuit et des modes de défaillance. Il semble aussi que la fuite de grille observée en fin de court-circuit, très prometteuse pour détecter des court-circuits, n'apparaisse pas sur tous les composants testés dans la littérature et si c'est le cas, à des amplitudes bien différentes.

Dans l'objectif de comprendre et de confirmer les observations de la littérature, une large gamme de MOSFET SiC 1200V 80mΩ a été testée sur un dispositif expérimental développé durant cette thèse. Un intérêt particulier a été apporté à la caractérisation électrique fine des différents phénomènes (fuite de grille, mode de défaut, comportement des formes d'ondes) par des plans d'expériences sur de larges plages de polarisation. Des interprétations des phénomènes physiques observés sont proposées en s'appuyant sur de la modélisation en particulier thermique et de l'analyse de défaillance.

Dans une première partie, le banc de test développé durant cette thèse sera présenté. Dans une seconde partie, les comportements de composants de différents fournisseurs, de différentes technologies et de différentes générations seront caractérisés en court-circuit et comparés. Dans une troisième partie, l'origine physique du courant de fuite dynamique de grille caractérisé dans la partie précédente sera explorée puis modélisée. Dans une quatrième partie, les modes de défaillance destructifs des composants seront analysés et discriminés, puis enfin, dans une dernière partie, des analyses physiques de composant présentant des défaillances au niveau de la grille seront présentées.

**II. Dispositif expérimental** Durant cette thèse, un banc de caractérisation en court-circuit a été développé. Il a pour but de pouvoir à la fois tester des court-circuits de type I et de type II et d'effectuer des caractérisations de commutations en double pulse. Pour ce faire, comme présenté dans le chapitre 1 §III.A, le banc doit donc comporter une cellule de commutation avec la possibilité de câbler une charge sur le point milieu. Le schéma de principe du banc est visible Fig. 2.1.

Les principales contraintes pour de dimensionnement de ce banc sont :

- Fonctionner jusqu'à 600V avec des courants impulsions jusqu'à 500 A dans la maille principale sans variation significative de la tension de bus. Soit une variation de 1% de la tension de bus pour un courant de 500 A pendant 10  $\mu$ s sous 600V
- Minimiser l'inductance de boucle pour éviter de trop grandes surtensions au blocage, surtout en court-circuit (blocage de courants de plus de 250 A).
- Installer des moyens de protection rapide et redondants afin d'éviter tout risque de destruction du banc ou d'explosion des composants lors de la défaillance critique des semi-conducteurs testés.
- Mesurer précisément le courant de la maille de puissance.

Les contraintes secondaires, contraintes non dimensionnantes, mais importantes:

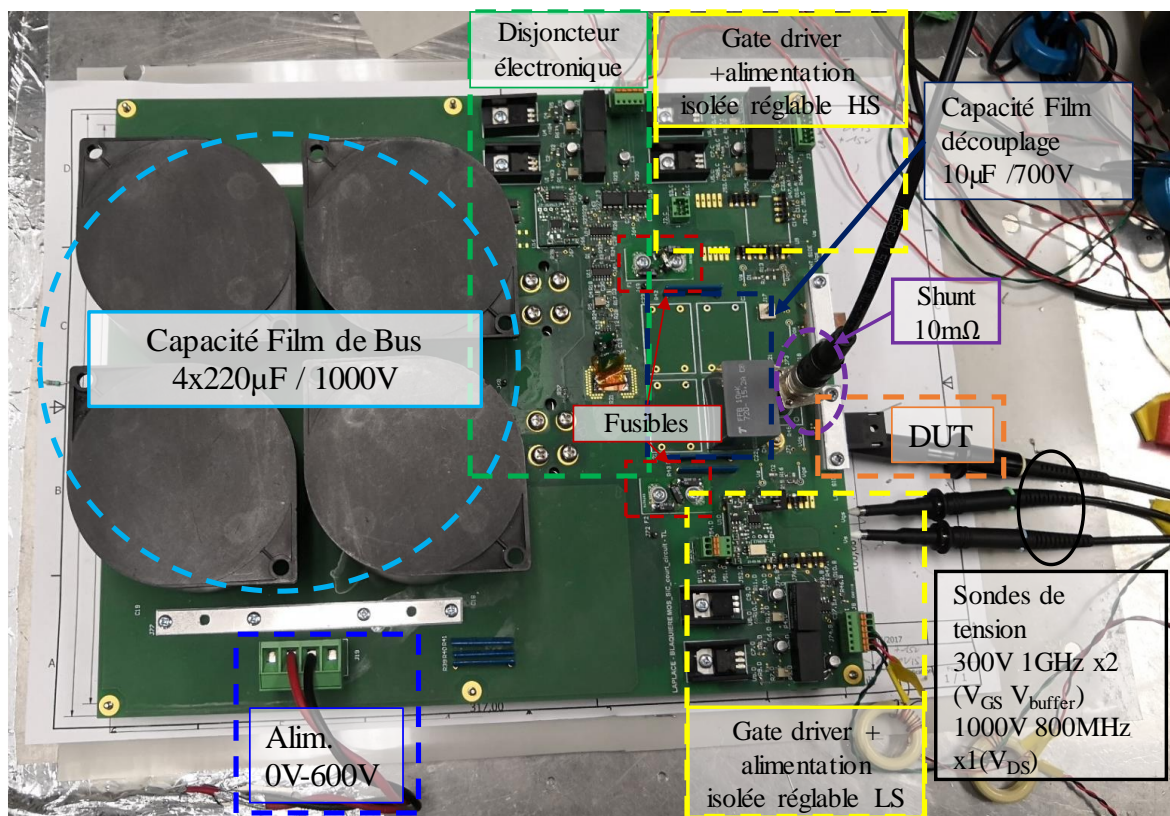


Fig. 2.2 : Photo du banc de test

- Régler facilement les tensions de polarisation positive et négative de la grille
- Remplacer facilement le gate driver

- Changer aisément les composants à tester (DUT)

Ce banc de test a été réalisé en prenant en compte ces contraintes et une photo de celui-ci est visible en Fig. 2.2. L'ensemble des éléments répondant à ce cahier des charges est présenté ci-dessous.

### Source de tension

Une alimentation continue réglable en tension (0V-600V) limitée en courant a été utilisée. Afin de satisfaire la condition sur la variation de tension de 1% à 600V pendant un court-circuit de 500 A et 10 $\mu$ s, 4 condensateurs films de 220 $\mu$ F ont été placés en parallèle de la source de tension.

Puis, au plus près de la maille de puissance, 1 condensateur film de 10 $\mu$ F a été inséré pour diminuer au maximum la tension inductive au moment des commutations et la chute de tension ohmique des capacités film de bus. La faible valeur d'ESL et d'ESR de cette capacité permet de minimiser l'inductance de boucle. Une seule capacité a été mise dans ce second banc de capacité car l'énergie doit y être réduite. En effet, étant placée après le disjoncteur, en cas de défaut du DUT l'énergie sera dissipée dans le défaut du composant de puissance pouvant provoquer son explosion. La valeur qui permettait de répondre aux deux contraintes a été déterminé expérimentalement.

### PCB

Un unique PCB quatre couches est utilisé pour la partie puissance et la partie commande (driver, alimentations isolées). Il permet la compacité du banc, de minimiser les longueurs de connexions et les perturbations électromagnétiques par un blindage de l'électronique faible niveau qui a été positionnée au dessus de grandes plages de cuivre à leur référence de potentiel. Afin de minimiser l'inductance de la maille de commutation, la partie puissance du circuit de caractérisation est réalisée avec de larges plages de cuivre en regard sur les différentes couches du PCB à l'image d'un busbar. La face arrière est utilisée comme plan de masse.

La mesure du courant se fait via un shunt placé entre la référence de terre et le potentiel bas de l'alimentation permettant de mesurer toute les grandeurs ( $V_{GS}$ ,  $V_{buffer}$ ,  $V_{DS}$ ,  $I_{DS}$ ) avec le même oscilloscope référencé à la terre. En effet, l'amenée de terre s'effectue à la source kelvin du composant du bas. Le mesure du courant est donc négative.

Dans une configuration de court-circuit de type I, l'emplacement du composant en High Side (HS) est court-circuité par une barrette en cuivre via des brides de serrage en téflon. La connectique est adaptée à des composants en boîtier TO-247 avec une adaptation possible pour les boîtiers TO-220. Une fois le DUT monté sur la carte, l'inductance de la maille principale de commutation a été estimée. Au moment du blocage du composant, nous avons mesuré une surtension de 52 V pour un  $di/dt = 1$  kA/ $\mu$ s. L'inductance de maille totale est donc d'environ 52 nH.

### Moyens de protection

L'énergie stockée dans le banc de condensateur est très élevée, jusqu'à 200J sous 600V. Dans le cas d'une défaillance critique d'un composant de puissance qui se traduirait par une faible résistance drain-source, l'ensemble de l'énergie stockée dans ces condensateurs viendrait se dissiper dans ce défaut et les pistes du PCB, avec des risques élevés de destruction d'une partie du banc, d'explosion du composant sous test et de projection de matière en fusion. Les risques pour l'utilisateur du banc et pour le matériel nécessitent la mise en place de moyens de protection électrique rapides intégrés au banc afin de limiter et d'annuler le courant de défaut.

Trois niveaux de protections ont été implémentés :

- Des barrettes de fusibles rapides de type CMS sur les deux polarités du banc, qui ont été dimensionnées pour couper le courant en dernier recours.
- Un disjoncteur électronique, composé de deux IGBT (1700 V 95 A) en parallèle entre les deux bancs de capacité. Lors d'un court-circuit, le courant traversant les IGBT est mesuré, s'il dépasse un seuil correspondant à un courant de défaut, les deux IGBT se bloquent en mode Soft-Shut-Down (blocage lent pour éviter une trop forte surtension qui pourraient les mettre en danger). Le courant est mesuré via un shunt CMS de  $500\mu\Omega$  différent du shunt de mesure du courant de drain. Une électronique au potentiel de la source de tension, intégrée au plus proche des éléments de puissance, permet de traiter le signal et de procéder à la protection. Une forme d'onde du courant à travers le shunt CMS est présentée en Fig. 2.3. On s'aperçoit que dès l'apparition du défaut critique entre drain-source d'un composant de puissance, le courant augmente extrêmement rapidement et qu'il s'annule après avoir atteint 500A correspondant au seuil fixé par le disjoncteur électronique. Il est à remarquer que le disjoncteur se plaçant avant la capacité de découplage, l'énergie



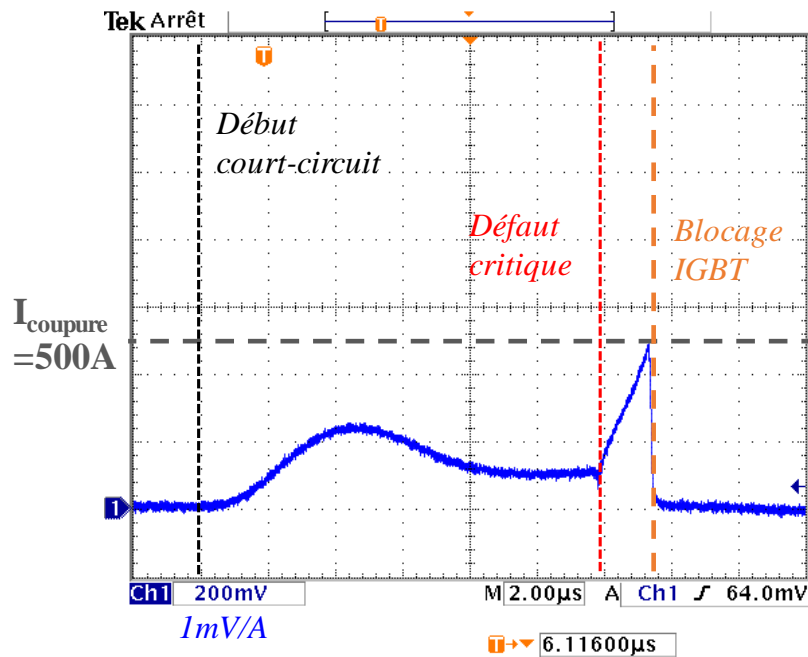


Fig. 2.3 : Courant dans le disjoncteur électronique durant une situation de court-circuit et blocage de celui-ci au seuil prédéfini. @  $V_{DC}=600\text{V}$

contenue dans celle-ci va quand même se dissiper dans le défaut pouvant entraîner l'explosion du composant. Au départ, au nombre de 4, une seule capacité de  $10\mu\text{F}$  a été laissée sur le banc pour éviter ce phénomène.

- Un capot de protection amovible en plexiglass qui vient s'insérer dessus le banc en dernier recours pour protéger l'utilisateur en cas de projection de matière et l'isoler la haute tension ( $600\text{V}_{DC}$  max).

## Driver

Une carte « driver rapide » basée sur une isolation par optocoupleur ( $10\text{ kV}/\mu\text{s}$  de tenue minimum aux  $dV/dt$ ) et un buffer rapide fort courant (charge de  $15\text{ nF}$  en  $50\text{ ns}$ ) à large plage d'alimentation a été développée antérieurement au Laboratoire. Le signal de commande est issu d'un FPGA sur lequel le temps de court-circuit est réglable manuellement par pas de  $1\mu\text{s}$  avec un minimum à  $1\mu\text{s}$  et un maximum de  $255\mu\text{s}$ . La carte driver est directement connectée sur la carte de puissance via des connecteurs au plus près du DUT. Un emplacement un peu plus conséquent que nécessaire a été réservé afin de laisser de la place à un driver pouvant intégrer plus de fonctionnalités comme celui qui sera présenté au chapitre 4 §II. Son alimentation est assurée par deux convertisseurs isolés à faible capacité de mode commun associés à des régulateurs linéaires afin de pouvoir aisément modifier les tensions de commande du composant. La tension d'amorçage du composant ( $V_{\text{buffer(on)}}$ ) est réglable de  $14\text{ V}$  à  $21,5\text{ V}$  et la tension de blocage ( $V_{\text{buffer(off)}}$ ) est réglable de  $0\text{ V}$  à  $-6\text{ V}$ . On appelle la tension de commande du composant en amont de la résistance de grille  $V_{\text{buffer}}$ . On peut d'ailleurs très facilement modifier la résistance de grille CMS.

## Instrumentation

En général, le DUT est le composant placé en position Low Side (LS). Les mesures de tension peuvent donc se faire avec des sondes de tension « classiques » : la référence de potentiel des mesures a été prise sur l'électrode de source du composant, elle est au potentiel de terre. Les mesures de tension  $V_{GS}$  et  $V_{buffer}$  ont été faites avec des sondes de tensions auto-compensées (300 V et 1 GHz de bande passante (BP) Tektronix TPP1000). La mesure de  $V_{DS}$  est réalisée avec une sonde (1000 V et 800 MHz de BP Tektronix TPP0850). Le courant  $I_{DS}$  a été mesuré avec un shunt coaxial aselfique blindé d'une résistance de  $10\text{m}\Omega / 2\text{J}$  relié par un câble coaxial classique de longueur minimale. Si un composant est placé au High Side (HS), une sonde de tension différentielle 1000 V est utilisée. Un oscilloscope 1GHz de bande passante (Tektronix DPO414B) est utilisé pour mesurer les différents signaux. Le temps de propagation des sondes a été compensé afin d'aligner les formes d'ondes. L'oscilloscope présentant un offset sur une voie, celui-ci est compensé visuellement sur l'oscilloscope et numériquement dans le traitement des données.

### Traitement numérique des données

La majorité des mesures faites avec ce banc sont sauvegardées et ensuite post-traitées sous MATLAB. Le post-traitement permet de reconstruire la forme d'onde du courant de grille par la différence de potentiel entre  $V_{buffer}$  et  $V_{GS}$  à travers la résistance de grille, de calculer l'énergie dissipée dans la puce durant le court-circuit. Un filtrage gaussien est utilisé pour lisser les courbes avant de les tracer.

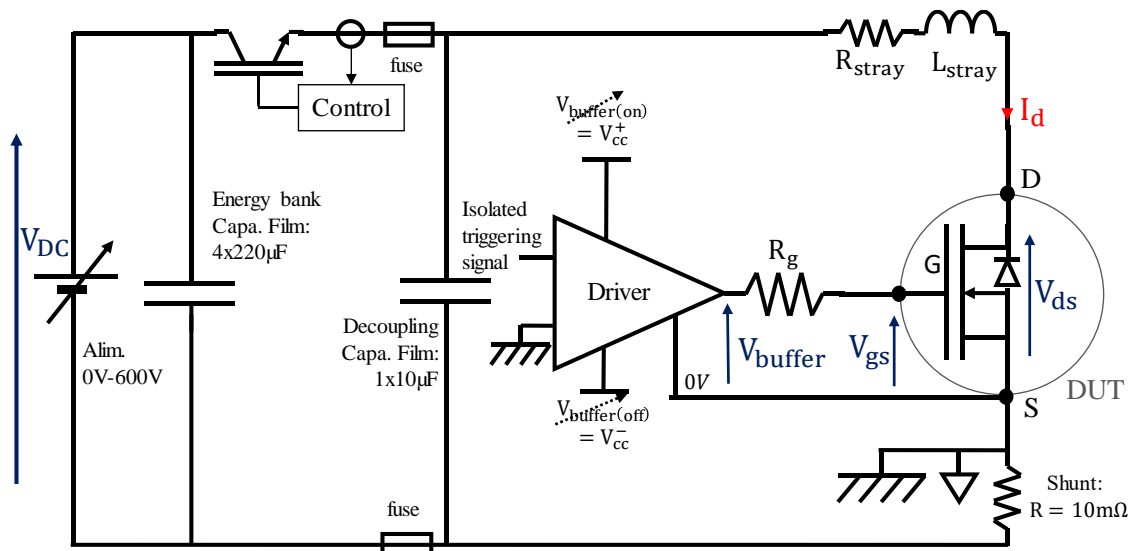


Fig. 2.4 : Schéma de principe de câblage du banc de test pour effectuer des essais en court-circuit de type I

### III. Comparatif des composants et des technologies

La diversité des comportements des MOSFET SiC présentés dans la littérature ainsi que l'apparition d'une fuite de grille dynamique durant le court-circuit peuvent faire penser que ces propriétés sont liées à la structure interne des composants [6]. Dans cette partie, une étude approfondie du comportement des principaux MOSFET SiC disponibles au cours de la thèse, de différents fabricants et de technologies différentes incluant différentes générations de composants, ont été caractérisés en court-circuit (CC) de type I. Le schéma de câblage de principe est présenté en Fig. 2.4 et l'emplacement du composant High Side est remplacé par une barrette de strap. L'accent a été mis sur l'étude du comportement du courant de fuite de grille dynamique pendant la phase de CC et l'analyse de l'influence de la technologie sur cette fuite sans casser les composants testés.

Dans une première partie, les composants à caractériser sont présentés. Dans une deuxième partie, l'influence des paramètres de test sur le composant Rohm™ de 2<sup>nd</sup> génération (R2) sont investigués en détail. Dans une troisième partie, les formes d'ondes des composants étudiés sont présentées et les caractéristiques comparées vis-à-vis de la surface de puce.

#### III.A Composants à caractériser

Dans l'objectif de comparer des MOSFETS SiC de différentes structures de grille et de différentes générations, il a été décidé de tester des MOSFET SiC 1200V avec un  $R_{DS(on)}$  de  $80 \text{ m}\Omega @ T_j = 25^\circ\text{C}$ , un calibre presque standard chez les principaux fondeurs. Cela représente des calibres en courant, selon les fabricants et les surfaces de puce, de 26 A à 45A. 3 générations de composants des fabricants Cree et Rohm sont étudiées ainsi que 4 structures de grille différentes (planar, shield planar et deux types de trench) présentées dans le chapitre 1§II.E.4. Les composants sont de type monopuce dans des boîtiers TO-247. Le récapitulatif des principales caractéristiques des composants étudiés ainsi que leur structure de grille est présenté dans le tableau 2.1. Il est à noter que la surface totale de chaque puce a été mesurée après décapsulation de chacune d'entre elles.

Manufacturer	Cree			Rohm			Micro semi	Infineon	Little Fuse	ST
	1	2	3	1	2	3	1	1	1	1
$S_{chip}$ (mm <sup>2</sup> )	16.5	10.4	6.48	13.6	12.4	5.3	16.7	11.8	10.6	13.7
$V_{DSS}$ (V)	1200	1200	900	1200	1200	1200	1200	1200	1200	1200
$I_D @ 25^\circ\text{C}$ (A)	42	36	36	26	40	31	41	*	25	45
$V_{GSnom(on/off)}$ (V)	20/-5	20/-5	15/-3	18/-5	18/-5	18/-5	20/-5	15/-3	20/-5	20/-2
$R_{DS(on)}$ (m $\Omega$ ) @ $V_{GSnom}$	80	80	65	90	80	80	80	80	80	80
Technology	planar	planar	planar	shield-planar	shield-planar	trench	planar	trench	*	planar
Year of production	2012	2013	2017	2010	2012	2016	2017	2017	2017	2015

\* Information not available

Tableau 2.1 : Principales caractéristiques des composants étudiés durant cette thèse à 25°C.

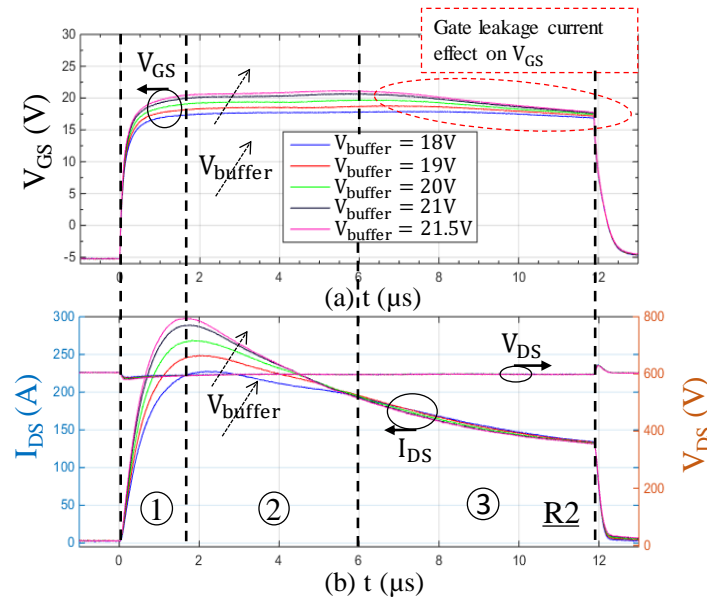


Fig. 2.5 : Formes d’ondes expérimentales durant un court-circuit de type I non destructif sur le composant R2 @ ( $V_{DS} = 600\text{ V}$ ;  $V_{\text{buffer(ON)}} = [18\text{ V}; 21\text{ V}]$ ;  $T_{\text{case}} = 25\text{ }^{\circ}\text{C}$ ;  $R_G = 47\text{ }\Omega$ )

### III.B Cas du composant ROHM G2

Le but de cette partie est d’évaluer l’influence des différents paramètres de polarisation sur le composant Rohm de 2<sup>nd</sup> génération et en particulier les variations du courant de fuite dynamique de la grille. Le composant Rohm de 2<sup>nd</sup> génération a particulièrement été étudié au début de la thèse car présentant une très bonne tenue au court-circuit, un mode de défaillance FTO en pulse court à 600 V et une fuite de grille de bonne amplitude. Pour ne pas dégrader le composant, le temps de court-circuit est de 2  $\mu\text{s}$  inférieur à son  $T_{SC}$  en pulse court (Cf. Chap 1§III.B.3) à  $V_{DS} = 600\text{ V}$ .

#### III.B.1 Influence de la polarisation de grille

Sur la Fig. 2.5, on peut voir la forme typique de formes d’ondes que l’on peut obtenir avec le banc de test présenté dans la section précédente l’allure de la tension de grille ( $V_{GS}$ ), du courant drain source ( $I_{DS}$ ) et de la tension drain source ( $V_{DS}$ ) en fonction du temps y sont présentées. Les différentes courbes sont données à différentes valeurs de polarisation positive de grille  $V_{\text{buffer(on)}}$ .

On peut segmenter l’évolution des formes d’onde en 4 parties :

- En premier, on observe la charge de la grille dont la pente et l’amplitude dépendent de la tension de buffer pour une résistance de grille fixée. L’intégrale du courant sur cette séquence correspond à la charge totale de la capacité de grille sous  $V_{DS} = 600\text{ V}$ . On remarquera l’absence de plateau Miller contrairement aux formes d’ondes en commutation car il n’y a pas de commutation de la tension drain-source. Au niveau du courant de drain, on observe une montée rapide du courant de saturation jusqu’à un maximum, lui-même très dépendant de la polarisation de grille : à tension de drain imposée, plus la polarisation est importante plus important est le courant comme présenté dans l’équation 1.8 du Chap. 1§II.E.3.

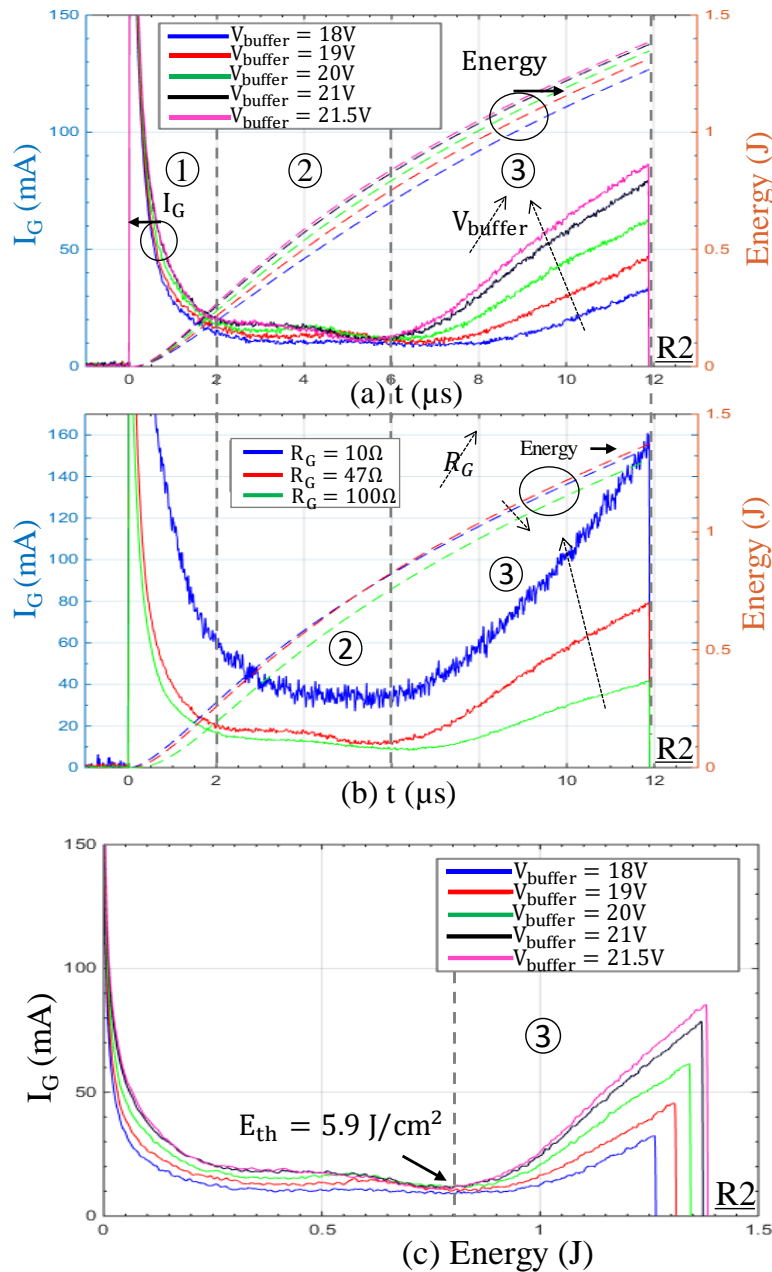


Fig. 2.6 : Courant de grille pour différentes conditions de test. (a)  $I_G(t)$  et énergie(t) vs  $V_{buffer(on)}$  @ ( $V_{DS} = 600 \text{ V}$ ;  $T_{case} = 25 \text{ }^\circ\text{C}$ ;  $R_G = 47 \Omega$ ). (b)  $I_G(t)$  et énergie(t) vs  $R_G$  @ ( $V_{DS} = 600 \text{ V}$ ;  $V_{buffer(ON)} = 21 \text{ V}$ ;  $T_{case} = 25 \text{ }^\circ\text{C}$ ). (c)  $I_G(energie)$  vs  $V_{buffer(on)}$  (mêmes conditions que (a)). (c)  $I_G(t)$  et énergie(t) vs  $V_{DS}$  @ ( $V_{buffer(ON)} = 21 \text{ V}$ ;  $T_{case} = 25 \text{ }^\circ\text{C}$ ;  $R_G = 47 \Omega$ ).

- En second, on observe une diminution du courant de saturation avec l'augmentation de l'énergie dissipée dans le composant est donc supposément avec l'augmentation en température du composant. L'influence de la polarisation de grille diminue peu à peu ce qui a pour effet que les courants de saturation se rejoignent à la même valeur en fin de seconde partie. Ce phénomène est supposé être lié à l'influence de la température sur les différentes composantes de mobilité des électrons dans le canal [13] et la diminution de la tension de seuil avec la température. L'explication physique du phénomène sera traitée plus en détail lors de la modélisation de celui-ci dans le Chap 3§IV.A. Dans le même temps, si l'on regarde le courant de grille en Fig. 2.6a, une fuite résiduelle reste sous forme d'un offset, d'autant plus fort que la tension de grille est élevée. Cette

évolution présente une faible dynamique temporelle, c'est-à-dire qu'elle est peu dépendante de l'échauffement de la puce. On peut supposer que cette composante de fuite pourrait provenir d'un effet parasite du montage et, en particulier, de l'impédance entre la broche de source du composant et la prise de référence de source sur le PCB, les boîtiers TO-247 utilisées n'ayant pas de broche dédiée de source Kelvin.

- En phase 3, les courants de saturation se rejoignent et continuent de diminuer. L'influence de la polarisation de grille n'est plus visible. De plus, on constate un effondrement de la tension de polarisation de grille liée à la consommation du courant de grille dynamique dû à la montée rapide en température de la puce et à la conduction d'électrons chauds à travers l'oxyde de grille mince. La compréhension physique de ce phénomène est présentée dans le §IV.
- Dans un quatrième temps, le blocage du composant et l'annulation du courant de saturation avec une légère fuite dynamique sous la forme d'un trainage de moins d'une microseconde. Il est remarqué que le courant de drain avait tendance à devenir négatif après le blocage du DUT dans les plupart des essais présentés. Ce phénomène semble être dû à un artefact de mesure au moment du blocage. Le courant de fuite de grille dynamique disparaît également. On peut remarquer que si la grille avait été dégradée, un courant de fuite statique négatif apparaîtrait car le blocage se fait à -5 V.

De plus, la Fig. 2.6c montre le courant de grille en fonction de l'énergie dissipée dans la puce (intégrale de  $I_{DS} \times V_{DS}$  en fonction du temps), on s'aperçoit que, quelle que soit la polarisation de grille, le courant de fuite de grille apparaît, avec un effet de seuil, approximativement à la même valeur d'énergie dissipée dans le composant, c'est-à-dire à une température relativement proche. Cette valeur d'énergie est désignée énergie de seuil  $E_{th}$  avec pour valeur  $5,9 \text{ J/cm}^2$  pour le composant R2. L'apparition du phénomène est donc principalement lié à un phénomène thermique cependant, la différence dans les courants de fuite à la fin du court-circuit montre également une influence importante de la polarisation de grille sur ce courant.

### III.B.2 Influence de la résistance de grille sur le courant de grille

La Fig. 2.6b montre l'influence de la résistance de grille sur le courant de grille. Le courant de grille est plus important dès lors que la résistance de grille est plus faible et peut atteindre des valeurs très importantes pour une résistance de grille de  $10 \Omega$  (160 mA au maximum). Au cours de la deuxième partie du phénomène, il y a une très grande différence d'offset. Dans la troisième partie du phénomène, l'évolution du courant est inversement proportionnelle à la résistance ce qui montre que l'effet thermique est couplé à la polarisation de la grille car la chute de tension aux bornes de la résistance de grille est bien moins importante avec une faible résistance et que les valeurs d'énergies de seuil sont très similaires pour  $10 \Omega$  et  $100 \Omega$ . ( $E_{th} = 5,95 \text{ J/cm}^2 @ R_G = 47 \Omega$ ,  $E_{th} = 5,89 \text{ J/cm}^2 @ R_G = 100 \Omega$ ,  $E_{th} = 5,97 \text{ J/cm}^2 @ R_G = 10 \Omega$ )

### III.B.3 Influence de la polarisation de drain sur le courant de grille

La Fig. 2.7 montre l'influence de la polarisation de drain sur le courant de grille. Durant les zones 1 et 2, la polarisation de drain n'a pas d'influence significative sur le courant de grille car il correspond principalement à la charge de la grille. Cependant, dans la zone 3, la

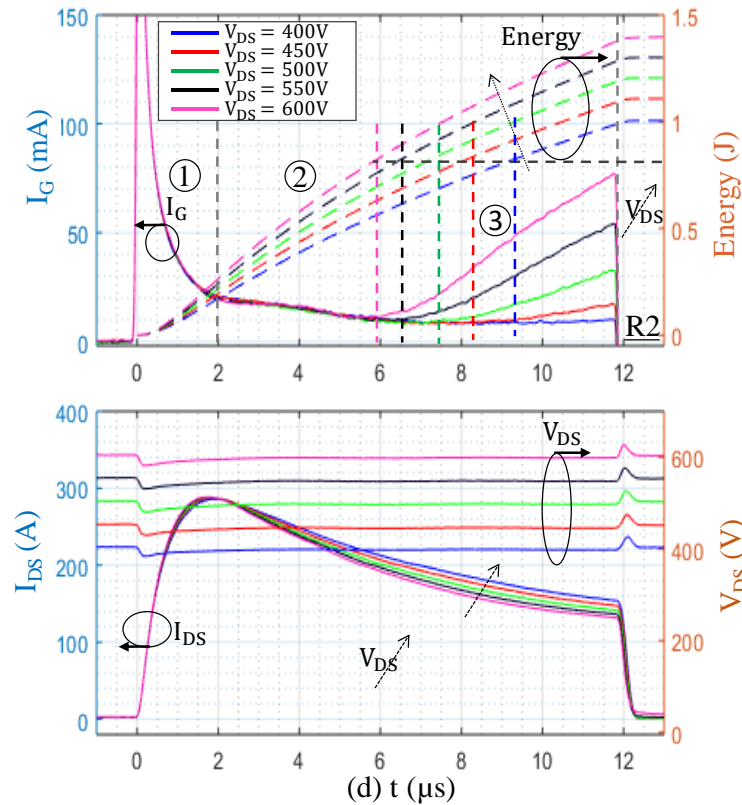


Fig. 2.7 : Formes d'ondes expérimentales durant un court-circuit de type I non destructif sur le composant R2 @ ( $V_{DS} = [400\text{ V}; 600\text{ V}]$ ;  $V_{\text{buffer(ON)}} = 21\text{ V}$ ;  $T_{\text{case}} = 25\text{ }^\circ\text{C}$ ;  $R_G = 47\text{ }\Omega$ )

dynamique du courant de fuite de grille est logiquement fortement dépendante de ce paramètre. En effet, l'augmentation de  $V_{DS}$  augmente la puissance dissipée dans la puce et donc la dynamique thermique. La différence entre les valeurs d'énergie en Fig. 2.7 est importante et, par conséquent, la température de la puce également. Cela se confirme par une divergence de plus en plus marquée des valeurs d'énergie et de l'amplitude du courant de grille. De plus, le courant de fuite dynamique apparaît également ici aussi pour une même valeur d'énergie de seuil comme nous l'avons déjà remarqué lors de l'étude de l'influence de la polarisation en tension, confirmant la très forte dépendance de ce phénomène à la température et faiblement à la tension de grille.

En conclusion, le courant de fuite de grille dynamique est un phénomène transitoire qui ne semble pas immédiatement dégrader la grille car il s'annule dès que l'on bloque de composant. Il est principalement déclenché par un effet thermique et la température semble avoir un impact prépondérant sur l'amplitude du phénomène. L'amplitude du courant de grille est en premier lieu gouverné par un effet ohmique déduit de la relation du diviseur de tension entre le buffer et la grille, via la résistance externe et la résistance équivalente interne au transistor entre grille et source. De plus, ce courant de grille apparaît après un effet de seuil à iso-énergie désigné par  $E_{th}$ . Les niveaux de polarisation de grille et de drain ont aussi une action indirecte sur l'amplitude de ce courant de grille. En effet, elles agissent toutes deux sur l'amplitude du courant de drain et donc sur la puissance dissipée, et par voie de conséquence sur la dynamique thermique, laquelle conditionne à son tour, directement, la fuite de grille dynamique. Une forte dépolarisation de la grille, ne modifie pas le courant de saturation en phase 3. Par contre, la diminution de la tension de grille peut servir d'observable pour la protection, tout comme le courant de grille.

### III.C Comparaison des composants

#### Méthodologie de test

Les dix composants présentés dans le tableau 2.1 ont été testés jusqu'à défaillance afin de déterminer leur  $T_{SC}$  en pulse court et leur  $T_{SC}$  pulse long en court-circuit de type I pour  $V_{DS} = 600\text{ V}$  et  $V_{buffer(on/off)} = V_{GSnom(on/off)}$ . Ensuite, ils ont été caractérisés en court-circuit de type I sur un temps de  $2\ \mu\text{s}$  de moins que leurs  $T_{SC}$  en pulse court à  $600\text{ V}$  afin d'éviter toute défaillance des composants.

#### Considérations générales sur la tenue en court-circuit

La Fig. 2.8 résume les résultats expérimentaux sur la tenue en court-circuit des composants étudiés ainsi que la surface totale de puce de chaque composant étudié. Le type de mode de défaillance dans chacun des cas n'est pas présenté et fera l'objet du §V de ce chapitre. L'étude de ce graphique montre des surface de puces et des temps de tenue en court-circuit très différents malgré des composants étudiés de même calibre. De manière extrême, il existe un rapport trois entre la surface du composant Rohm G3 et celle du composant Microsemi ou un rapport deux entre le  $T_{SC}$  du composant ST et Rohm G2. On s'aperçoit aussi que les nouvelles générations de composant (de surface plus faible) ont tendance à être moins robustes que les précédentes ( $5\ \mu\text{s}$  max pour le Cree G3 !). De manière triviale, une plus petite puce à  $R_{DSon}$  donné implique un échauffement plus rapide et donc un composant plus fragile. Il faut

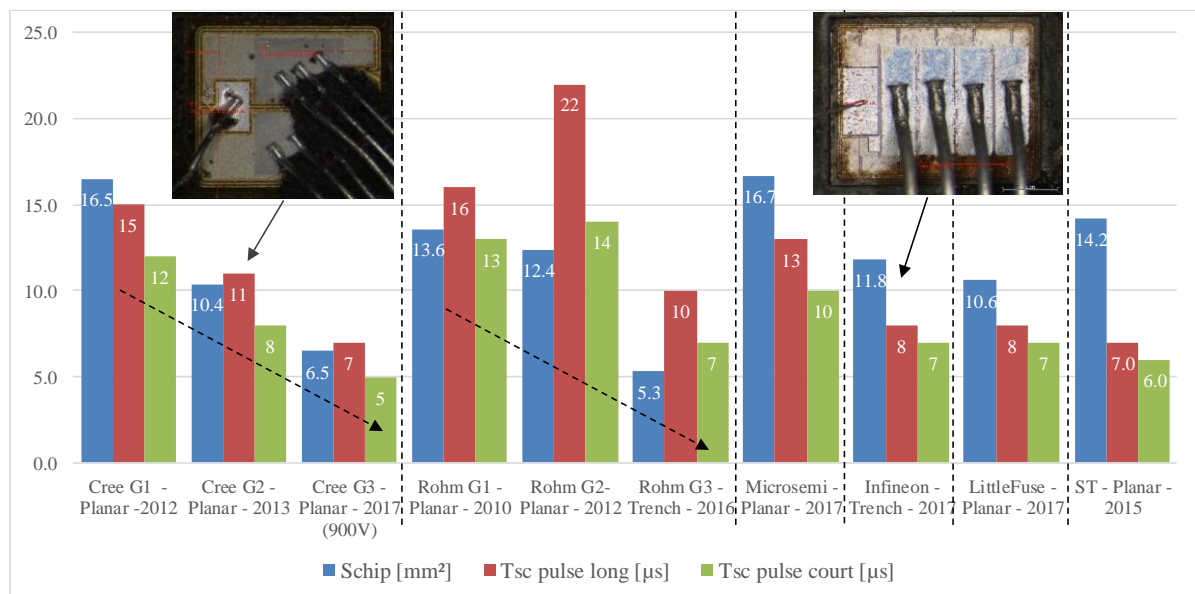


Fig. 2.8 : Récapitulatif de la surface de puce, temps de tenue en court-circuit en pulse long et en pulse court des composants étudiés @  $V_{DS} = 600\text{ V}$ ,  $V_{buffer(on/off)} = V_{GSnom(on/off)}$  et  $R_G = 47\ \Omega$  ( $V_{DS} = 450\text{ V}$  pour le composant Cree G3).

cependant moduler cette fragilité par rapport à la technologie employée et surtout à la densité de courant de saturation que le composant admet. En effet, la densité de courant de saturation est directement liée à la surface de puce à iso- $R_{DSon}$  comme présenté dans l'équation (1.8) du Chap.1 §II.E.3. et une grande densité de courant implique un faible  $T_{SC}$ . Cependant, malgré ce constat, certaines puces sont plus résilientes en matière de densité d'énergie admissible. Par exemple, les puces Rohm admettent plus d'énergie de court-circuit que leurs concurrentes en particulier le composant de troisième génération mais cette bonne propriété n'influe que peu



sur la tenue en court-circuit comparé à la surface de puce et le courant de saturation. La densité de courant de saturation maximale dans la puce ( $J_{Sat}$ ) et l'énergie admissible équivalente ramenée à la surface par un composant pendant un court-circuit ( $E_{SC}$ ) sont présentées en Fig. 2.9.

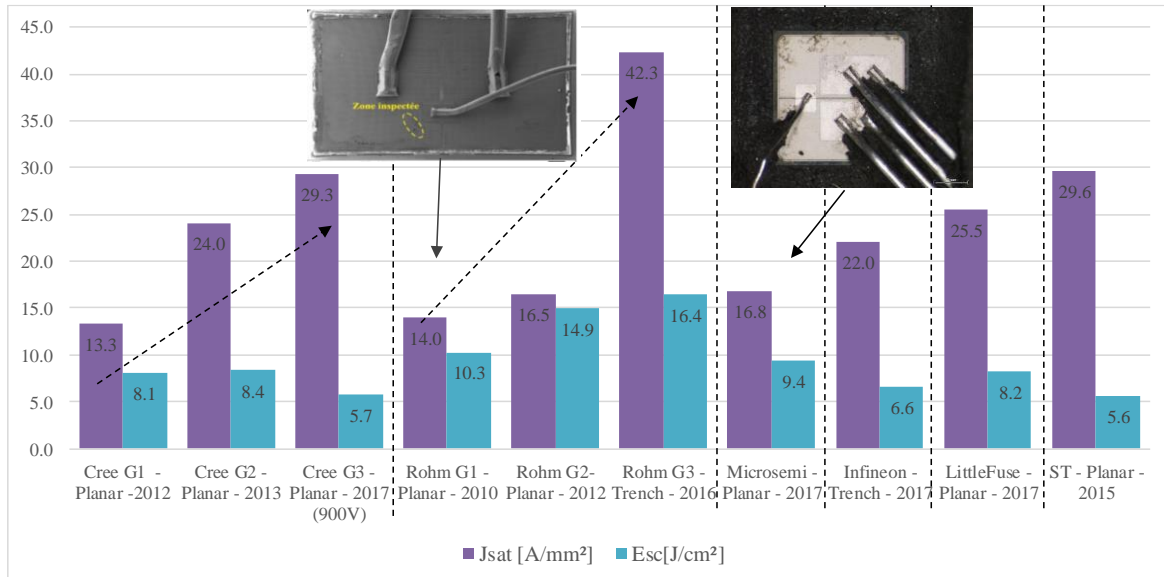


Fig. 2.9 : Récapitulatif de la densité de courant de saturation maximale et de la densité d'énergie maximale @  $V_{DS} = 600$  V,  $V_{buffer(on/off)} = V_{GSnom(on/off)}$  et  $R_G = 47$   $\Omega$  (excepté Cree G3:  $V_{DS}=450$ V pour le composant).

Enfin, la densité de courant de fuite dynamique de grille ( $J_{OX}$ ) et la densité surfacique d'énergie de seuil d'apparition de la fuite dynamique ( $E_{th}$ ) sont présentées en Fig. 2.10. Le courant de fuite de grille est mesuré à  $T_{SC}-2$   $\mu$ s à  $V_{buffer}$  nominal puis normalisé par la surface totale de la puce. On remarquera que l'ensemble des composants étudiés présentent une fuite de grille dynamique et qu'elle apparait pour un  $E_{th}$  d'environ 50% de  $E_{SC}$  pour quasiment chaque composant, c'est-à-dire pour approximativement pour  $T_{SC}/2$  en pulse court. Ce résultat est très important car le courant de fuite de grille dynamique est un indicateur de stress du

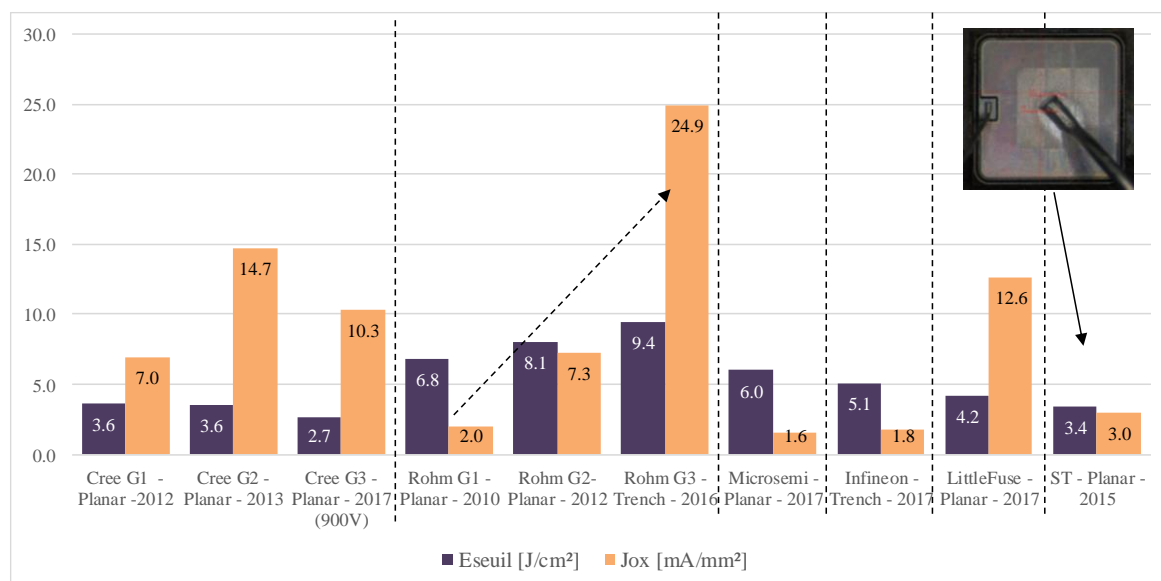


Fig. 2.10 : Récapitulatif de la densité de courant de grille dynamique maximale et de la densité d'énergie de seuil d'apparition @  $V_{DS} = 600$  V,  $V_{buffer(on/off)} = V_{GSnom(on/off)}$  et  $R_G = 47$   $\Omega$  ( $V_{DS} = 450$  V pour le composant Cree G3).

composant en court-circuit et il apparait donc suffisamment tôt pour qu'il puisse être détecté et utilisé pour bloquer le composant et donc le « sauver ». Sur la base de ce résultat, un driver de détection et de protection au court-circuit a été développé durant cette thèse et sera présenté dans le Chap. 4§II.

Les différences de comportement entre les différents composants testés sont présentés ci-dessous :

- CREE : les deux composants G1[43] et G2[44] présentent une structure V-DMOSFET avec une optimisation des couches dopées entre les générations [45]. Cette modification a augmenté la densité de courant de saturation ( $J_{sat}$ ) de 77% ce qui a permis une réduction de  $S_{chip}$  de 37% avec un  $R_{DS(on)}$  identique. Cependant, l'augmentation de  $J_{sat}$  et la diminution de  $S_{chip}$  conduisent à un auto-échauffement plus rapide de la puce et cela diminue le critère  $T_{SC}$  de 30%. En effet, les tests en pulse courts donnent un  $T_{SC}$  de 12 $\mu$ s pour le Cree G1(C1) et de 8 $\mu$ s pour Cree G2 (C2). La densité de courant de fuite de grille ( $J_{ox}$ ) des composants C1 et C2t sont égales. Enfin, le critère  $E_{th}$  est le même pour C1 et C2 à 3J/cm<sup>2</sup>. Ce résultat peut laisser supposer que les deux générations utilisent la même épaisseur d'oxyde et la même technologie de réalisation de la grille. CREE a étendu sa gamme à des calibres 900V avec des références certifiées AEC-Q101 (E-series™ en 65 m $\Omega$ , 120 m $\Omega$ , 280 m $\Omega$ ). Le composant C3 ( $V_{DSmax} = 900V$ , 80 m $\Omega$ ) bien que ne répondant pas à la norme s'inscrit dans la gamme. La tenue aux court-circuits de ce composant est très faible (5  $\mu$ s en pulse court) avec une diminution de l' $E_{SC}$  par rapport aux composants 1200V. Il serait intéressant de savoir quelle exigence a été utilisée concernant la tenue aux court-circuits sur la norme AEC-Q101, celle-ci ne précisant pas les tests en court-circuit pour des composants de plus de 12V ni la tenue en temps de court-circuit et ni en nombre de cycles.
- ST : Une seule référence était disponible en début de thèse (G1 – 2015 [46]) et aucune documentation sur cette technologie n'a été publiée. Depuis ST a mis sur le marché une seconde génération en 2017 ( $V_{DSS} = 650V$ ) et une gamme certifiée automobile en 2019 (AEC-Q101,  $V_{DSS} = 650V$ ). Cependant, avec une densité  $J_{ox}$  et avec un critère  $E_{th}$  similaire à ceux de Cree (C1 et C2), la technologie de l'oxyde est supposée être *planar*. Une micro section l'a confirmé (structure *planar* ou *shield planar*). De plus, la transconductance du composant ST est bien supérieure aux autres composants, ce qui implique une densité  $J_{sat}$  plus élevée (max 3 kA/cm<sup>2</sup> ou 30 A/mm<sup>2</sup>). Il en résulte une très faible tenue aux court-circuits (< 6 $\mu$ s) et ce composant a besoin d'un circuit de protection plus rapide.
- ROHM : entre les composants Gen 1, Gen 2 (R1 [47], R2 [48]) et le composant G3 (R3[49]), la technologie a changé. En effet, R1 et R2 sont des composants *planars* V-DMOSFET avec un blindage en implantation P profond [6]. Cette technologie a l'avantage de renforcer l'écrantage dans la région intercellulaire. Cela a sans doute permis de réduire une modification des géométries des cellules MOSFET menant à des valeurs de  $J_{ox}$  et  $E_{th}$  supérieures à celles de C1, C2 et ST. D'autre part, R3 est un MOSFET à structure verticale à tranchées avec blindage à puits P profonds [18]. Cette technologie a l'avantage de supprimer les régions JFET et de permettre une densité de cellules supérieure. Ces caractéristiques impliquent une augmentation de  $J_{sat}$  de 150% et permettent une réduction de la taille des puces de 61% avec le même  $R_{DSon}$  comme présenté dans le Chap. 1§II.E.5. De plus, comme pour la génération précédente, le

blindage profond protège l'oxyde de la grille. Par conséquent, R3 peut autoriser une densité d'énergie dissipée plus élevée de 23 % au sein de la puce. Pour R3, le  $J_{ox}$  est de 33% inférieur à celui de R2 et le  $E_{th}$  est de 27% supérieur. En ce qui concerne la capacité en  $T_{SC}$ , R2 montre une robustesse aux court-circuits supérieure à  $10\mu s$ , de manière similaire à la plupart des IGBT cependant, la tenue aux cycles de court-circuit n'a pas été testée. Au final, la combinaison d'un  $J_{sat}$  plus élevé et de la réduction de la taille des puces sur R3 conduit à un  $T_{SC} = 7\mu s$ , qui est inférieur de 50% à R2 mais qui, proportionnellement à la taille de la puce, est d'une robustesse équivalente en terme de  $E_{SC}$ . En 2017 et 2018, Rohm a étendu sa gamme à des calibres 650V et 1700V avec des références certifiées AEC-Q101.

- Microsemi [50]: une seule génération était disponible en début de thèse, c'est une structure *planar* ou *shield planar*. La surface de puce, la tenue en court-circuit et la densité de courant sont très similaires à ce qui a été relevé sur le composant Cree G1. La principale différence réside dans une fuite de grille bien plus faible similaire à celle du composant Rohm G1. Le principal intérêt de ce composant se situe dans son mode de défaillance que nous étudierons dans la partie suivante. Depuis, la gamme Microsemi s'est étendue avec des composants de deuxième génération et de nouveaux calibres 700V et 1700V dont certains sont certifiés AEC-Q101.
- Infineon : le composant présente une structure *trench* particulière à flancs obliques, explicitée plus en détail dans le Chap. 1§II.E.5. Il présente une robustesse similaire aux composants de dernière génération avec un  $T_{sc}$  d'environ  $8\mu s$ . La fuite de grille est peu importante comparée à l'autre composant trench R3 cela est sans doute dû à la dissymétrie de la structure qui rajoute une grande zone dopée P qui masque 50% de l'oxyde de grille pour permettre à la fois un bon écrantage mais aussi une meilleur caractéristique en conduction de la diode body. Ce ratio de 50% se retrouve dans le rapport des surfaces de puces entre ce composant et le composant R3. Cette structure, ne semble pas pénaliser ce composant en court-circuit comparativement aux composants de structure *planar* de surface équivalente comme le MOSFET Cree G2 ou le composant LittleFuse. Cependant, la fuite de grille dynamique est moins importante ce qui impliquera une meilleur stabilité sur le long terme. La gamme actuelle d'Infineon reste sur le calibre 1200V avec une large gamme de  $R_{DSon}$   $30m\Omega$  à  $350m\Omega$ .
- LittleFuse [51]: la structure de grille de ce composant n'est pas connue. En revanche, la surface de puce est très similaire à celle du composant C2 tout comme son courant de saturation maximal, son  $E_{SC}$  et surtout l'amplitude de la fuite de grille. Bien que son temps de tenue au court-circuit soit plus réduit, à la vue des différents marqueurs, il est supposé que la structure de ce composant soit planar. Récemment, un composant 1700V est proposé au catalogue LittleFuse.

En conclusion, sur les dix composants étudiés, seuls quatre ont une tenue en court-circuit en pulse court supérieure ou égale à  $10\mu s$ , le standard pour les IGBT. Les dernières générations de composants tendent à une réduction drastique de la surface des puces afin d'optimiser les coûts mais aussi réduire les capacités parasites pour minimiser les pertes en commutation à une même valeur de  $R_{DSon}$ . Pour ce faire, les zones les plus résistives du composant telles que la zone de drift et la zone de JFET sont optimisées, comme présenté dans le Chapitre 1§II.E.3-5. Les nouvelles générations de MOSFET SiC présentent donc, à  $R_{DSon}$  donné, la même amplitude de courant de saturation (204A max pour R2 et 220A max pour R3) mais une surface de puce bien plus faible (rapport 2 sur les surfaces des puces entre R2 et R3). Par conséquent, la tenue

en court-circuit des composants étudiés varie inversement à leur densité surfacique de courant de saturation. De plus, le type de structure de grille ne semble pas avoir d'influence directe sur la robustesse des composants étudiés. Par exemple, la diminution très importante de la surface de puce et l'augmentation importante du courant de saturation dans le cas du composant trench R3 le rend potentiellement très fragile mais on n'observe pas de fragilité particulière vis-à-vis du composant Infineon (trench) qui est dans la tendance des composants planar de dernière génération (C1, littlefuse). Les modes de défaillances résultant de ces tests en court-circuit destructifs seront étudiés plus en détail dans la section V. Le vieillissement sur cycles de court-circuit a peu été étudié durant cette thèse. En effet, bien que certains composants aient un  $T_{SC}$  supérieur à 10  $\mu$ s, le nombre de cycles avant dégradation est un élément important qui nécessiterait une étude à part entière. En particulier, les marqueurs des dégradations du vieillissement des composants en court-circuit sont très importants dans le but de détecter l'état de « santé » du composant pouvant amener à une maintenance du système (maintenance prédictive). Durant la thèse, des vieillissements ont été observés sous forme d'une dégradation de la grille sur les composants ST et Cree G2 et seront traités en §VI.A.

Comme vue dans la partie précédente, l'amplitude du courant de grille est dépendante, au premier ordre, de la température du composant et au second ordre de la tension de grille. Les surfaces de puces étant différentes tout comme les densités de courants de saturation, les structures de grilles et les tensions de polarisation nominales, aucune tendance ne peut être extraite de ces caractéristiques vis-à-vis de l'amplitude de la fuite de grille dynamique. Il paraît donc intéressant d'étudier l'origine physique de ce phénomène dans la partie suivante.

#### IV. Analyse de l'origine physique de la fuite de grille dynamique en régime de court-circuit. Application au diagnostic thermique.

Le courant de fuite de grille dynamique a été étudié de manière comportementale dans la partie précédente. Cependant, l'origine physique de ce phénomène n'est pas clairement établie aujourd'hui. Comme présenté dans la partie précédente, le courant est dépendant de la température du composant et de la polarisation de grille. Certains auteurs [6], [39] supposent que l'origine physique du courant de grille est une émission d'électrons par effet de champ à travers l'oxyde de grille aussi appelé effet tunnel de Fowler-Nordheim (F-N). Cependant, ce type de conduction d'électrons est fortement dépendant du champ électrique et peu de la température contrairement à ce qui a été observé en court-circuit avec des MOSFET SiC. En conséquence, d'autres mécanismes de conduction à travers des oxydes « épais » (50 nm) de MOSFET SiC ont été investigués sachant que la température de jonction peut atteindre 1200 K à 1800 K [5], [52] et que le champ électrique nominal à travers l'oxyde est d'environ 4 MV/cm.

Les mécanismes physiques de conduction et leur modélisation ont été confrontés à des mesures expérimentales sur un MOSFET SiC de référence et à un modèle thermique 1D adiabatique développé durant la thèse. Le modèle thermique est composé de la couche d'aluminium supérieure et des différentes couches constituant le MOSFET SiC. La chaleur, produite pendant le court-circuit, est supposée diffuser de part et d'autre de la jonction, vers la zone de drift d'un côté et vers le métal de l'autre, sans sortir de la puce. Tous les paramètres physiques dépendent de la température. Pour des raisons de clarté, le modèle thermique sera présenté séparément au niveau du chapitre 3§II.

Dans la première section, les résultats expérimentaux et les hypothèses principales sont discutés. Dans la deuxième section, le modèle de F-N et le modèle d'émission thermo-ionique sont présentés et comparés. Enfin, ces modèles sont discutés en regard des résultats expérimentaux.

##### IV.A Résultats expérimentaux

Le type de composant testé (DUT) est un MOSFET de puissance *planar* 1200 V 80 mΩ (Cree G2). Deux composants ont été testés en court-circuit de type I en pulse long sous deux polarisation de drain différentes et de faible valeur ( $V_{DS} = 250$  V et 225 V). Le dispositif expérimental est présent en §II et les formes d'ondes des essais sont présentées à la Fig. 2.11a. Pendant le court-circuit, le DUT subit un pic de densité de puissance élevée qui entraîne une augmentation rapide de sa température de jonction. Le modèle thermique 1D permet d'estimer la température dans l'épaisseur du composant et en particulier la température de l'oxyde de champ. Dans les deux essais présentés à la Fig. 2.11a, les courants de grille augmentent jusqu'à 200 mA et se comportent de manière similaire par rapport à la température estimée (Fig. 2.11b), ce qui démontre une forte corrélation entre les deux grandeurs physiques. De plus, comme présenté dans le §III, ce courant de grille dynamique ne semble pas générer d'endommagement de la grille directement car le courant s'annule après le blocage du composant. Si le composant est soumis à quelques court-circuits de quelques microsecondes, nous avons vérifié que la dynamique du courant de grille reste la même et qu'aucune dégradation mesurable n'a pu être observée. Sur la base de ce constat, le courant dynamique de grille doit être un courant de conduction à travers l'oxyde de champ du MOSFET.

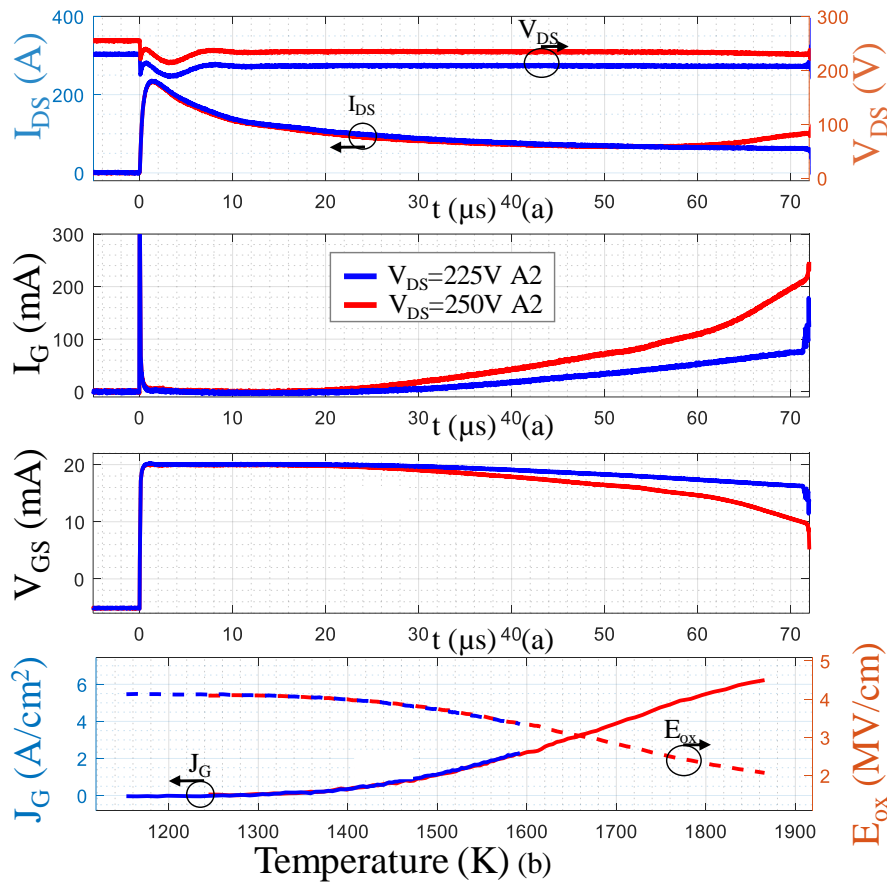


Fig. 2.11 : (a) Formes d'onde du MOSFET SiC Cree G2 1200V 80 m $\Omega$  en court-circuit de type I pour deux  $V_{DS}$ . ( $R_G=47 \Omega$ ,  $V_{buffer(on/off)}=20 V/-5 V$ ). (b) Densité de courant de grille et champ dans l'oxyde de grille vs Temperature @  $R_G=47 \Omega$ ,  $V_{buffer}=20 V$   $e_{ox}=50 nm$   $S_{ox}=3,32 mm^2$

La surface d'oxyde de champ a été estimée par un ratio entre la surface de puce active, déterminée via la décapsulation du composant, et la largeur de l'oxyde par rapport à la largeur d'une cellule élémentaire MOSFET déterminée par une microsection du composant présenté en §VI.A. On estime la surface d'oxyde à  $S_{ox} = 3,32 mm^2$

#### IV.B Exploration des phénomènes de conduction à travers des oxydes de champ

Selon Chiu *et al* [53], si un isolant a une faible densité de piège comme pour le SiO<sub>2</sub> considéré dans ce travail, deux principaux mécanismes de conduction coexistent dans les films diélectriques épais : l'émission Schottky aussi appelée émission thermo-ionique et le courant par effet tunnel de F-N. Ces mécanismes sont illustrés en Fig. 2.12a et 2.12b par le biais d'un diagramme de bandes d'énergies aux interfaces poly-Si/SiO<sub>2</sub>/4H-SiC dans la cas d'une polarisation positive de grille et donc d'un flux d'électron du 4H-SiC vers le poly-SiC. En effet, lorsque la polarisation de la grille est suffisamment importante, l'électron voit une barrière "triangulaire" formée par le diélectrique. Dans ce cas, l'électron acquiert suffisamment d'énergie cinétique pour lui affecter une certaine probabilité de traverser la barrière et le courant résultant est appelé courant par effet tunnel de F.-N. L'électron peut aussi acquérir suffisamment d'énergie thermique pour franchir la barrière à l'interface diélectrique, le courant résultant est

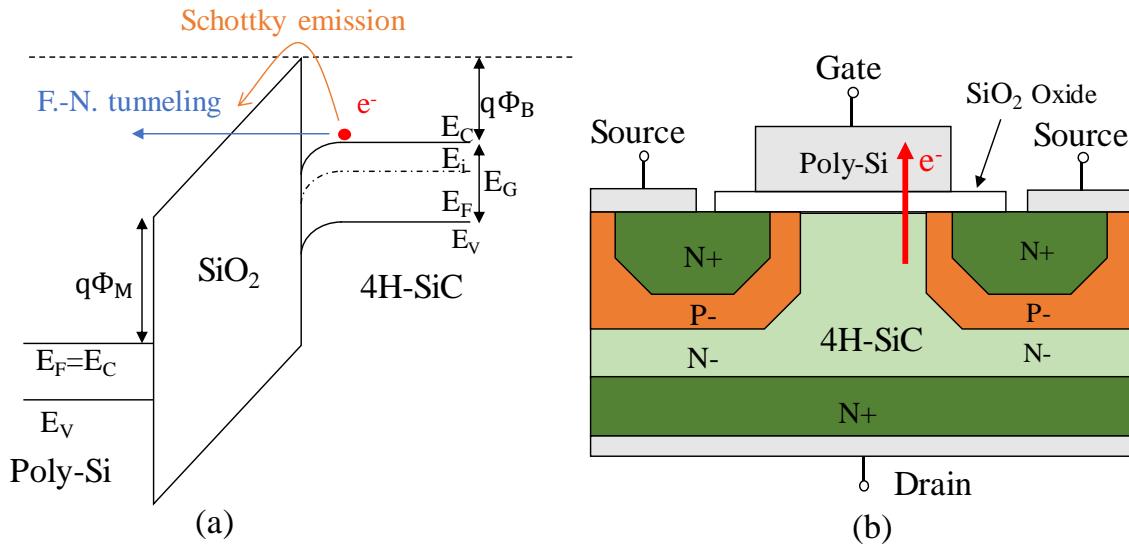


Fig. 2.12 : Diagramme de bande pour  $V_{gs} > 0$  V d'une structure MOS (Metal Oxide Semiconductor) constituée d'un poly-Si hautement dopé, de dioxyde de silicium et de 4H-SiC. (a) L'effet tunnel de F.-N. et l'émission Schottky sont illustrés (b) Coupe transversale d'un VDMOS, en rouge le sens de circulation des électrons.

appelé émission Schottky (également appelée émission thermo-ionique). Compte tenu de l'épaisseur de l'oxyde de grille du MOSFET de puissance SiC vertical (typiquement  $\approx 50$  nm) [54] et des conditions de fonctionnement du test en court-circuit : le champ électrique nominal ( $E \leq 4$  MV/cm) et la forte élévation de température, les modèles qui pourraient s'adapter au mécanisme physique sont un modèle d'effet tunnel de F-N étendu par une dépendance de la température [55] et un modèle d'émission Schottky [53].

#### IV.B.1 Modèle de courant par effet tunnel de F-N dépendant de la température

L'expression du courant F-N (2.1) n'est pas une fonction explicite de la température. Cependant, des paramètres physiques peuvent être modélisés en fonction de la température du SiC telle que la hauteur de la barrière d'oxyde semi-conducteur  $\Phi_B$  [55]. Afin de savoir comment  $\Phi_B$  dépend de la température, le courant F-N à forte polarisation de grille doit être mesuré à différentes températures puis l'équation (2.1) *fittée* sur les mesures expérimentales pour estimer la valeur de  $\Phi_B$  pour chaque valeur de température. Pour se faire, le courant de grille a été mesuré en fonction de la polarisation de la grille à différentes températures stabilisées (300 K à 575 K) avec drain et source court-circuités et à la terre. Les mesures sont effectuées en salle de caractérisation au LAAS. Elles reposent sur un bloc thermo-régulé avec des sondes connectées à une unité de mesure source (SMU). Les mesures sont pulsées et le courant est limité à 100nA, comme illustré Fig. 2.13a.

$$J_{FN} = \frac{q^3}{8\pi h \Phi_B} \cdot E^2 \cdot \exp \left[ -\frac{8\pi \sqrt{2m_{ox}} \Phi_B^3}{3qhE} \right] \quad (2.1)$$

où :  $q$  est la charge élémentaire,  $h$  la constante de Plank,  $\Phi_B$  la hauteur de la barrière d'oxyde semi-conducteur,  $m_{ox} = 0.42 \cdot m_0$  la masse effective de l'électron dans l'oxyde [56],  $m_0$  la masse de l'électron libre et  $E$  l'amplitude du champ électrique.

Tableau 2.2: Parameters fitted

Parameters	Min/Mean/Max
$\Phi_B$ at 300K(eV)	2.6/2.7/2.8 min/max <u>imposed</u>
$\frac{d\Phi_B}{dT}$ (eV/K)	$-7.379 \cdot 10^{-4} / -7.116 \cdot 10^{-4} / -6.876 \cdot 10^{-4}$ <u>estimated</u>
$e_{ox}$ (nm)	46/48,5/51 <u>estimated</u>

L'équation (2.1) a été utilisée pour *fit* le courant mesuré. C'est-à-dire que l'on a minimisé l'écart quadratique entre les points mesurés et la fonction définie par (2.1) avec 3 variables d'ajustement :  $(\Phi_{B0}, \frac{d\Phi_B}{dT}, e_{ox})$  pour l'ensemble des valeurs de température. En effet, pour contraindre le problème,  $\Phi_B$  a été choisi comme fonction linéaire de la température ( $\Phi_B = \Phi_{B0} + d\Phi_B/dT \cdot T$ ) comme justifié dans [57]. La valeur de  $\Phi_B$  à 300 K a été contrainte dans une plage conforme aux valeurs physiques de la littérature, c'est-à-dire entre 2,6 eV et 2,8 eV [16]. Le champ électrique est approximé via la tension de grille par la relation  $E = V_G / e_{ox}$  où  $e_{ox}$  est l'épaisseur de l'oxyde de grille. Bien que pour un MOSFET de puissance SiC, l'épaisseur de l'oxyde de grille est généralement d'environ 50 nm, la valeur n'est pas connue avec précision et c'est donc l'un des paramètres à estimer.

Les autres paramètres de l'équation (2.1) sont considérés fixes en particulier la masse effective de l'électron dans l'oxyde de champ.

L'optimisation a été effectuée pour les 3 paramètres  $(\Phi_{B0}, d\Phi_B / dT, e_{ox})$  avec des bornes fixes récapitulées dans le tableau 2.2 et résolue avec l'algorithme CMA-ES [58] sous Matlab. Les valeurs des paramètres estimés sont résumées dans le tableau I et le modèle obtenu est comparé aux résultats expérimentaux de la Fig. 2.13a. Le modèle optimisé est ensuite extrapolé et représenté dans un plan température vs champ électrique pour une densité de courant fixée à 1  $\mu\text{A}/\text{cm}^2$  à la Fig. 2.13b. Les barres d'incertitudes sont liées à l'incertitude sur les valeurs de  $e_{ox}$ ,  $\Phi_B$  et  $\frac{d\Phi_B}{dT}$  déterminées dans la partie précédente et présentées dans le tableau 2.2. Comme prévu, le modèle FN correspondait très bien aux résultats des mesures réalisées à fort champ, à température réduite et donc à faible courant de grille (1  $\mu\text{A}/\text{cm}^2$  en mesure sous pointe contre 1 A/cm<sup>2</sup> mesuré en court-circuit)

#### IV.B.2 Modèle de courant par Emission Schottky

Expression du modèle par émission Schottky [53] :

$$J_{SE} = \frac{4\pi q k^2 m_{ox}}{h^3} \cdot T^2 \cdot \exp \left[ \frac{-\Phi_B + \sqrt{q^3 E / (4\pi \epsilon_r \epsilon_0)}}{kT} \right] \quad (2.2)$$

où :  $k$  est la constante de Boltzmann,  $\epsilon_0$  la permittivité du vide,  $\epsilon_r = n^2 = 1.45^2$  [59] est la constante électrique dynamique du SiO<sub>2</sub> qui est proche du carré des indices de réfraction optique [53]. Dans ce modèle, l'équation (2.2) dépend explicitement de la température, de sorte que  $\Phi_B$  ne dépend pas de la température, la valeur à température ambiante est donc utilisée (300 K). Le modèle est extrapolé et représenté dans un plan température vs champ électrique pour une densité de courant donnée à la Fig. 2.13b. Les barres d'incertitudes sont liées à l'incertitude sur les valeurs de  $e_{ox}$  et  $\Phi_B$  déterminées dans la partie précédente et présentées dans le tableau 2.2.



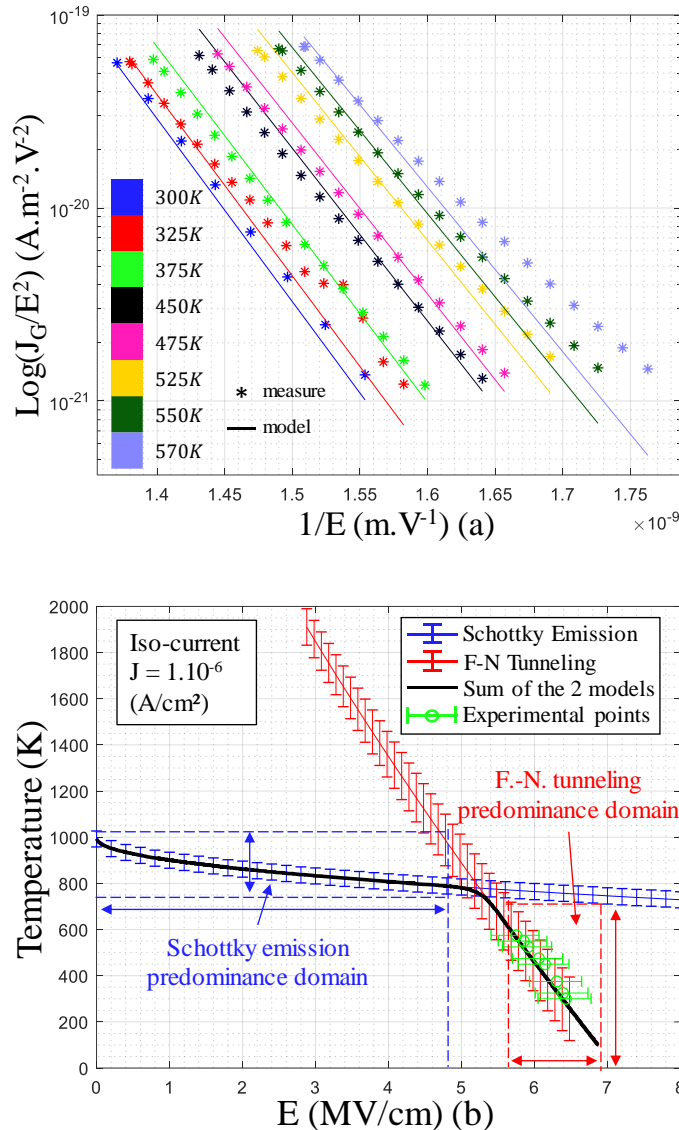


Fig. 2.13 (a) Comparaison entre le modèle et les mesures du courant en fonction du champ électrique pour différentes températures de test (b) Iso-densité de courant du modèle de F-N et du modèle Emission Schottky dans le plan température vs champ électrique. Les points de mesures expérimentaux sous pointes à température fixée sont en vert.

La ligne noire représente une iso-densité de courant qui est la somme du courant des deux modèles étudiés. Les deux modèles étant croissants vis-à-vis de la température et du champ électrique, le modèle prépondérant dans le terme du courant est donc celui le plus proche de l'origine des axes (0, 0) dans le plan Température vs champ électrique. En conséquence, il est clair qu'entre 5,7 et 6,9 MV/cm, le courant produit par courant de FN est dominant et peu sensible à la température et fortement au champ électrique. Entre 0 et 4,8 MV/cm, le courant dominant est le courant par émission Schottky, il est peu sensible au champ électrique mais fortement à la température. Il y a cependant une zone intermédiaire autour de 5,2 MV/cm et de 800K, pour une densité de courant de  $1 \mu A/cm^2$ , où il y a une compétition entre les deux types de conduction et cette zone de jonction évolue avec la densité de courant. Il faut donc déterminer dans quelle zone de ce plan le composant de puissance se trouve durant un court-circuit et quel modèle convient le mieux pour le décrire durant le court-circuit.

#### IV.C Comparaison des mesures en court-circuit avec le modèle d'émission Schottky et le modèle de FN

Le but de l'étude est de trouver le modèle le plus approprié pour expliquer l'origine du fort courant de grille expérimental observé pendant le fonctionnement en court-circuit. La densité de courant dynamique est présentée en Fig. 2.11b. Il est clair que ce courant est fortement une fonction de la température et du champ électrique tout comme les modèles d'émission Schottky et de F-N. La température des points expérimentaux de l'essai en court-circuit est estimée à l'aide d'un modèle thermique 1D présenté dans le Chap. 3§III.C. Les points expérimentaux sont placés dans le diagramme de température vs champ électrique de la Fig. 2.14 avec les modèles FN et Schottky à une iso-densité de courant de 1 A/cm<sup>2</sup>. Le point expérimental ne peut pas être placé dans le même diagramme que la Fig. 2.13b car le courant minimal mesurable durant un court-circuit est de l'ordre de 1 mA pour un courant maximal de mesure de 100 nA dans le cas des mesures sous pointe sur plaque thermo-régulée.

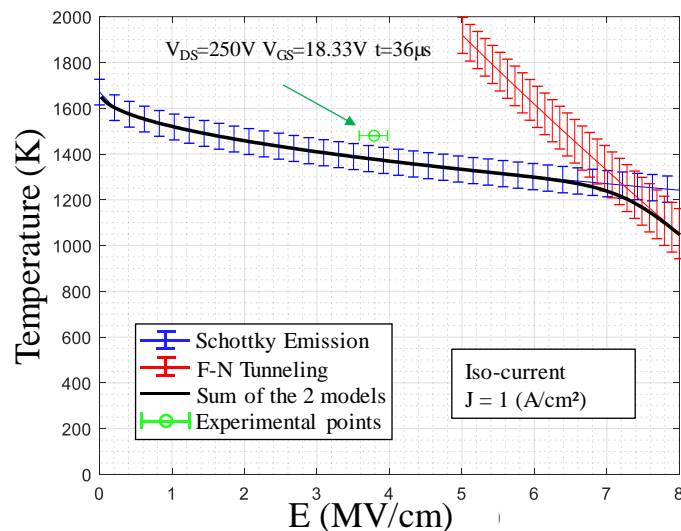


Fig. 2.14: Iso-densité de courant du modèle de F-N et de la modèle émission Schottky dans le plan température vs champ électrique. Le point de mesure en court-circuit en vert.

Dans le diagramme Fig. 2.14, par rapport au champ électrique et à la température estimée durant le court-circuit, le point expérimental est très proche du modèle d'émission Schottky. A l'opposé, le modèle de FN conduit à une valeur de champ électrique ou de température excessives vis-à-vis des conditions expérimentales. En conclusion, le modèle par émission Schottky est clairement le plus approprié pour modéliser et expliquer les résultats expérimentaux. Cependant, ce résultat s'appuie sur la température estimée par le modèle thermique 1D, ce modèle thermique est donc confronté aux deux modèles de conduction dans la partie suivante

#### IV.D Confrontation du modèle Schottky et du modèle thermique

Afin de confirmer les résultats de la section précédente, la température de l'oxyde a été estimée à l'aide des modèles d'émission Schottky et de courant FN et les résultats ont été comparés au modèle thermique 1D. Afin d'estimer la température, les équations (2.1) et (2.2)

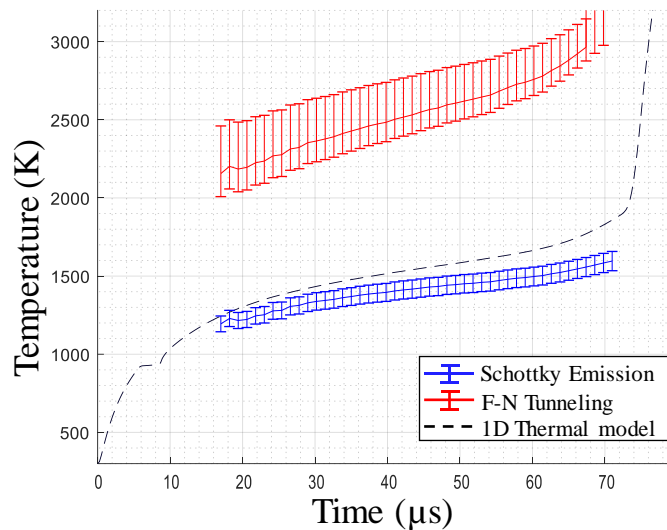


Fig. 2.15 : Température estimée avec le modèle émission Schottky, le modèle de F-N et le modèle thermique 1D.

sont résolues numériquement avec comme inconnue la température et comme entrée la densité de courant de grille qui est la grandeur imposée. Le champ électrique de la grille et le courant de grille sont issus des mesures en court-circuit ( $I_G$ ,  $V_{GS}$ ) sur le banc. Dans le cas du modèle thermique, la puissance dissipée dans la puce ( $V_{DS} \cdot I_{DS}$ ) issue des mesures sur le banc de court-circuit constitue le terme source du modèle 1D pour estimer la température. Avec cette méthodologie, deux mesures électriques différentes sont utilisées pour estimer la température d'un même composant pendant le même essai en court-circuit. Les températures estimées sont indiquées à la Fig. 2.15, respectivement pour le modèle Schottky et le modèle de F-N. Les températures estimées avec le modèle d'émission Schottky sont de 10% à 20% inférieures à celles du modèle thermique 1D. Cependant, les températures estimées avec le modèle de F-N sont de 35 à 50 % plus élevés que celles du modèle thermique 1D. En conclusion, les températures estimées avec le modèle thermique Schottky et le modèle thermique 1D sont très similaires malgré une estimation basé sur des grandeurs électriques différentes ( $I_G$ ,  $V_{GS}$ ) vs ( $V_{DS} \cdot I_{DS}$ ) et des modèles différents. La différence résiduelle entre les deux températures estimées pourrait être attribuée au fait que le modèle thermique 1D est connu pour toujours surestimer la température. Par exemple, les modèles 1D ne prennent pas en compte la diffusion de la chaleur de manière latérale sur les bords de la puce.

#### IV.E Conclusion

L'émission Schottky est très probablement le mécanisme qui explique le courant de grille dynamique observé dans les MOSFET SiC pendant leur fonctionnement en court-circuit. Il est important de noter que ce mécanisme pourrait exister dans le MOSFET en silicium mais la température requise pour que ce courant soit mesurable ne peut être atteinte car elle est bien supérieure à la température d'emballage thermique du silicium. De plus, la hauteur de la barrière  $\Phi_B$  est plus élevée pour le Si/SiO<sub>2</sub> que pour le SiC/SiO<sub>2</sub>. D'une manière générale, on peut s'attendre à observer un courant d'émission Schottky à travers l'oxyde de composant dans d'autres matériaux à large bande interdites tels que le GaN et le diamant, qui peuvent également supporter des températures extrêmes. Enfin et en perspective, la mesure du courant de grille pourrait fournir une image de la température de l'oxyde à l'aide du modèle Schottky, même si

la détection de ce courant est déjà un indicateur que le composant est déjà extrêmement chaud (1160 K-1300 K). Il est aussi à noter qu'un courant de cette amplitude dans un oxyde provoque l'injection de porteurs chauds dans l'oxyde et dans le poly-Si pouvant provoquer une diminution importante de la fiabilité de celui-ci voire un claquage de l'oxyde comme il peut être observé dans des MOS en Si [36]. Il est donc intéressant d'explorer les mécanismes de défaillance des MOSFET SiC, en particulier le mode de défaut en circuit ouvert par court-circuit de la grille afin de déterminer si la défaillance de la grille est causée par cette injection de porteur ou par un autre phénomène déclenché par la forte température. Dans la partie suivante, une caractérisation des modes de défaut des composants étudiés est présentée et analysée en particulier avec l'aide du modèle thermique 1D. L'analyse de défaillance de ces composants est présentée dans le §VI.A et l'on montre que le mode de défaut est causé par une diffusion de métal entre la grille et la source plutôt qu'un claquage de l'oxyde de champ.

## V. Caractérisation et discrimination des modes de défauts

Le but de cette partie est de présenter une caractérisation des deux modes de défaillance en compétition qui peuvent apparaître lors du fonctionnement en court-circuit des MOSFET SiC 1,2kV étudiés. La robustesse et la sélectivité des modes de défaillances sont identifiées en fonction de la densité de puissance dissipée par la puce et de la température de jonction simulée.

En effet, comme présenté dans le chapitre 1 §III.B.3 la littérature des MOSFET SiC en court-circuit présente, deux modes de défaillance distincts. Le premier est le mode en "fail-to-short" (FTS), c'est-à-dire que le composant, après destruction, présente une faible résistance entre le drain et la source. Ce mode de défaillance est généralement le seul observé avec des composants silicium. Le second est un court-circuit permanent entre la grille et la source de la puce conduisant au blocage du composant. Le composant tient la tension et ne peut plus être amorcé de nouveau. Ce mode a la caractéristique d'un circuit ouvert, il est donc appelé "fail-to-open" (FTO). Toujours d'après la littérature, un composant peut présenter un ou les deux modes selon sa technologie, les conditions de polarisation ( $V_{\text{buffer}}, V_{\text{DS}}$ ) et le type de test en court-circuit (pulse court avec destruction différée ou pulse long). Certains composants présentent le mode FTO à  $V_{\text{DS}}$  nominal (600V) et d'autres seulement à faible  $V_{\text{DS}}$  (200V) en pulse long. D'autres composants vont présenter un mode FTS à 600V en pulse long mais un FTO en pulse court. Il est donc intéressant d'étudier l'impact des conditions de test sur les différents composants étudiés dans le cadre de cette thèse dans le but d'amener des éléments de compréhension sur l'apparition et la discrimination de ces modes de défaillance. La cause principale de la défaillance de ces composants étant principalement supposée d'origine thermique, l'utilisation du modèle thermique 1D développé durant cette thèse va permettre une comparaison des essais et des composants d'une manière similaire à la normalisation par la surface de puce vue dans la partie III.

Dans une première partie, une synthèse de bibliographie sur la discrimination des modes de défaut est présentée. Dans une seconde partie, les modes de défaut du composant Cree G2 sont caractérisés pour différentes polarisations de grille et de drain. L'apparition de chaque mode de défaut est reliée à la densité de puissance dissipée dans la puce et à la température estimée via le modèle thermique 1D. Dans une troisième partie, les modes de défaillance des composants étudiés seront analysés pour différentes polarisations de drain conduisant au mode FTO.

### V.A Bibliographie sur l'analyse des modes de défaut

#### V.A.1 *Le Mode FTS*

Comme présenté dans le chapitre 1 §III.B.2, la défaillance des MOSFET SiC ne peut pas être reliée à une énergie critique dissipée dans la puce comme pour les IGBT Si. D'après [30], cela est principalement dû au fait que le court-circuit se produit dans une fraction du volume de la puce bien plus faible que pour les IGBT. En effet, la zone de déplétion, dans laquelle se dissipe l'énergie de court-circuit, correspond à la couche épitaxiée sur le substrat SiC. Cette couche épitaxiée représente une dizaine de micromètres soit moins de 10% de l'épaisseur totale de la puce pour le MOSFET SiC tandis qu'elle est presque égale à l'épaisseur de la puce dans le cas d'un IGBT. Il en résulte un échauffement bien plus local du semi-conducteur en MOSFET

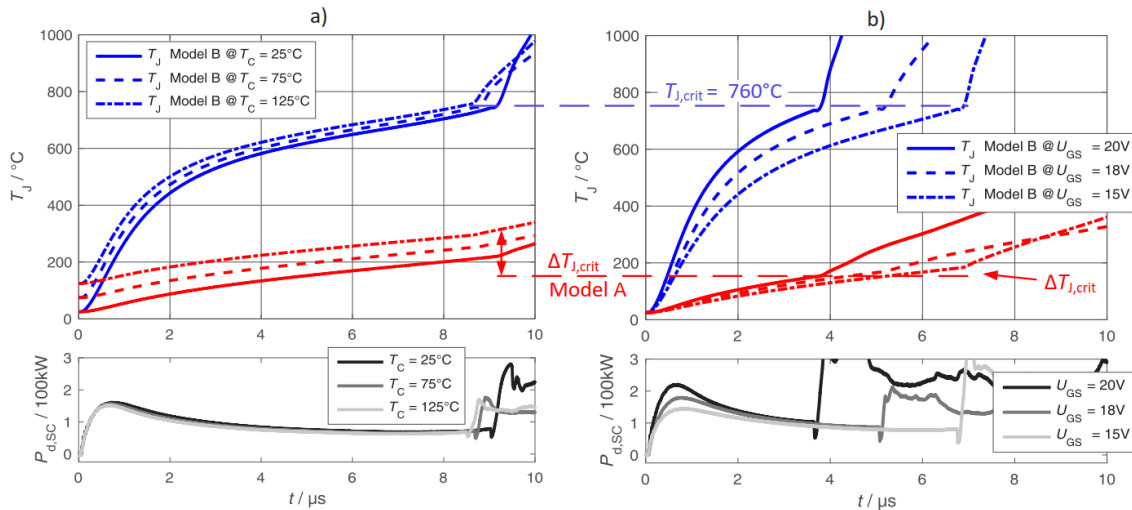


Fig. 2.16 : Température de jonction estimée via un modèle qui discrétise un réseau de Caueur dans l'épaisseur de la puce (courbes en bleu), un modèle qui considère un seul élément RC pour l'épaisseur de la puce (courbes en rouge). (a) pour différentes températures de boîtiers (b) différentes polarisations de grille. [30]

SiC. Les auteurs proposent donc d'estimer la température dans l'épaisseur de la puce par le biais d'un modèle thermique 1D sous forme d'un réseau de Caueur d'environ 10 cellules. Grâce à cette modélisation, ils montrent que la température de défaillance en FTO des MOSFET SiC étudiées est identique quel que soit l'essai considéré comme présenté en Fig. 2.16 sur les courbes en bleu (modèle B). Il existe donc une température critique et unique d'apparition de la défaillance en FTO pour un composant donné. En revanche, la valeur de la température issue du modèle ( $760^{\circ}\text{C}$ ) ne permet pas de statuer sur un mécanisme de destruction précis. En particulier car la modélisation considérée est critiquable tant par le nombre de cellules Caueur prises en compte que par la non-dépendance des paramètres thermiques à la température.

Il serait donc intéressant de pouvoir estimer les températures de défaillance en FTS mais aussi en FTO avec un modèle thermique plus complet et plus précis afin de pouvoir relier la défaillance à un mécanisme de destruction physique.

#### V.A.2 Distinction entre le mode FTO et FTS

Dans la partie précédente, il est proposé que le mode de défaut FTS se produit à isotherme. En revanche, la littérature ne propose pas de température de défaillance pour le défaut FTO. G. Romano et al [33] ont proposé une méthode novatrice afin d'expliquer l'apparition des deux modes de défaut et leur lien avec la température du composant..

Leur approche, résumée en Fig. 2.17 [33], consiste à proposer que la destruction en FTS se produit dès qu'une température donnée appelée  $T_{TH\_RNW}$  est atteinte. Cependant, pour atteindre cette température dite « d'emballage thermique », la température passe par une température dite « de dégradation » ( $T_{DEG}$ ). Si la température du composant reste pendant suffisamment de temps entre la température de dégradation et la température d'emballage, le composant devrait arriver dans un défaut de type FTO. Cela implique que pour isoler le défaut de type FTO la température au sein de la puce ne doit pas augmenter trop vite. Il y a deux moyens de diminuer la densité de puissance dissipée dans une puce en court-circuit : diminuer la tension de polarisation de drain ou diminuer le courant de saturation par dépoliarisation de la grille du composant. Les auteurs de cet article ont donc abouti à un défaut en FTO sur le

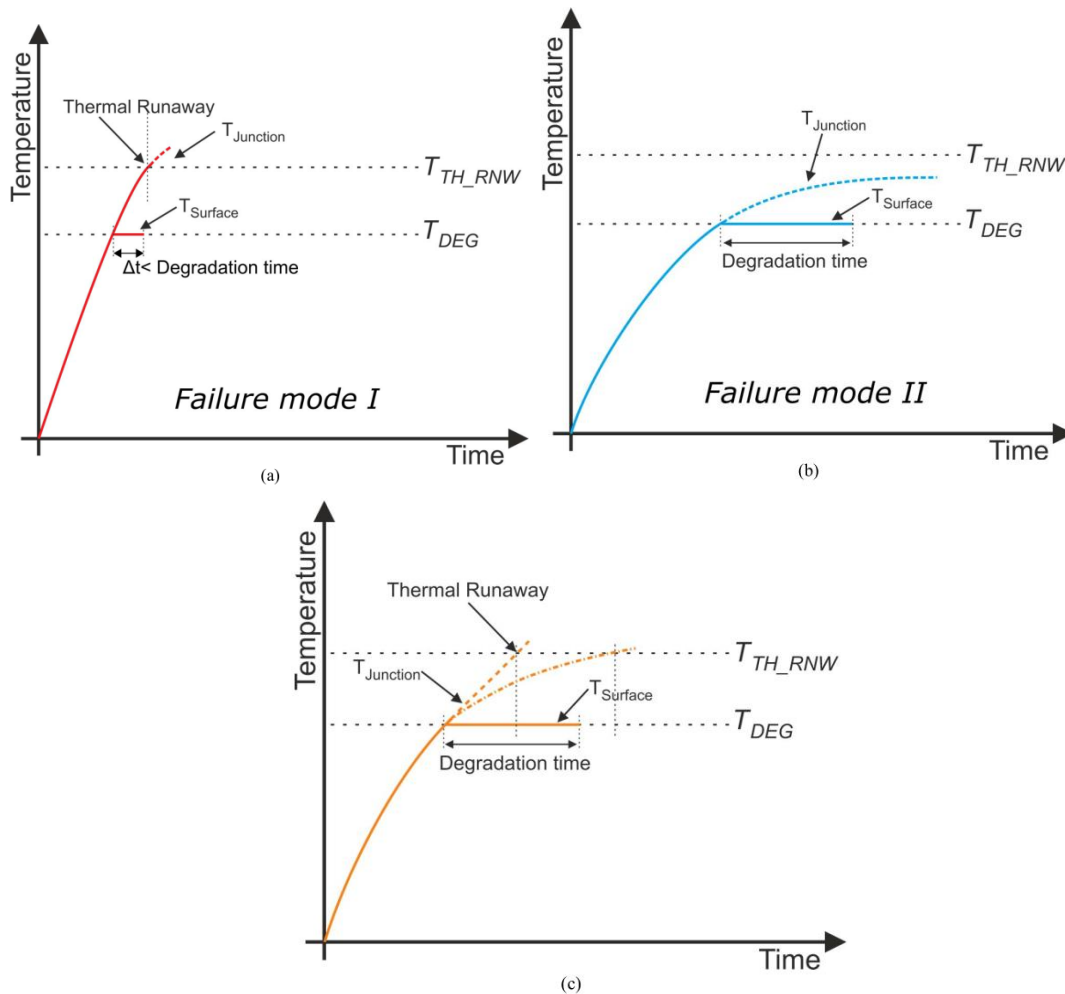


Fig. 2.17 : Interprétation des deux modes de défaillance (a) Défaut en FTS (b) Défaut en FTO (c) cas général, selon [33].

composant Cree G2 à 200V alors qu’il présente un mode de défaut FTS à 600V. En revanche, les auteurs ne proposent pas de température seuil.

Il serait donc intéressant de tester en régime de court-circuit les composants étudiés pour différentes polarisations de drain, injecter les données dans un modèle thermique dans le but d’identifier les valeurs des seuils en température présentées Fig. 2.17.

## V.B Discrimination des modes de défaut sur un composant (CREEG2)

Comme présenté dans le chapitre 1 §III.B.3, il apparaît que le composant Cree G2 présente les deux modes de défaillance (FTO et FTS). Le défaut FTS semble prédominant en pulse court et en pulse long à 600 V [5] mais le défaut FTO peut apparaître à faible polarisation de drain (200V) [33]. Afin de trouver les limites entre les deux modes, une étude approfondie a été menée. Les composants ont été testés en pulse long, c'est-à-dire jusqu'à apparition de la défaillance sur le banc de test présenté en §II.A. Dans un premier temps, les tests ont été effectués à polarisation de grille nominale (20 V) pour différentes polarisations de drain et dans un second temps une polarisation de grille réduite a été utilisée.

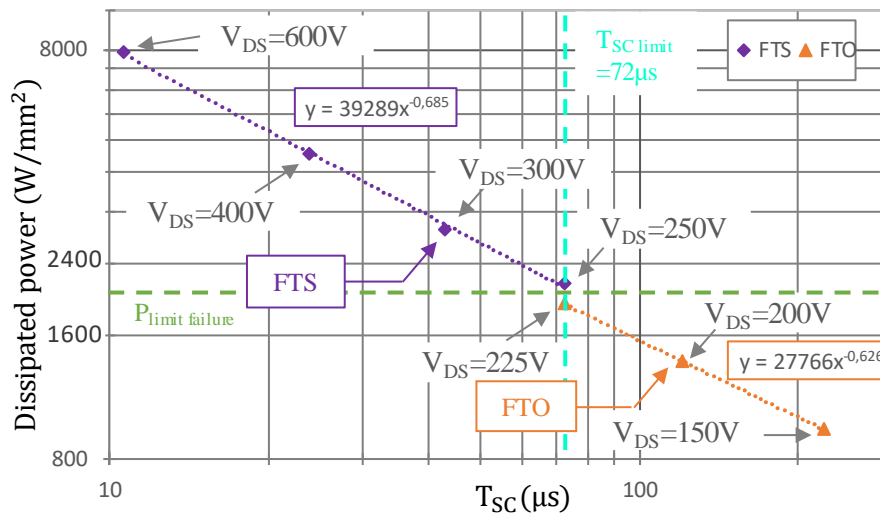


Fig. 2.18 : Puissance dissipée dans la puce par  $mm^2$  vs le temps de court-circuit en pulse long ( $T_{sc}$ ) pour différentes polarisations de drain à  $V_{buffer(on/off)} = 20V / -5V$  (composant Cree G2). En violet les composants défaillants en FTS en orange les composants défaillants en FTO.

### V.B.1 Essais à $V_{buffer(on)}$ nominale (20 V)

Sur le Fig. 2.18, chaque point représente un composant testé à polarisation de drain donnée jusqu'à ce que la destruction se produise en pulse long. Les points sont disposés dans le plan densité de puissance moyenne vs temps jusqu'à la défaillance ( $T_{sc}$ ). La densité de puissance moyenne dissipée dans la puce est calculée par l'énergie totale dissipée durant le court-circuit divisé par le  $T_{sc}$  et la surface de la puce. Sur cette figure, il apparaît clairement que le mode FTO n'apparaît que sous  $V_{DS} = 250 V$  et après  $72 \mu s$  de durée de court-circuit. En revanche, le mode FTS apparaît de  $250V$  à la tension de test maximale ( $600V$ ) et avec  $T_{sc}$  inférieure à  $72 \mu s$ .

Il apparaît aussi que chaque mode de défaut suit une même courbe de tendance linéaire sur une échelle logarithmique dans le plan puissance vs  $T_{sc}$ . Soit une relation telle que

$$P_m = K \cdot T_{sc}^{-\frac{1}{n}} \quad (2.3)$$

La bibliographie usuelle sur la résolution de l'équation de la chaleur en 1D dans une puce durant une phase de court-circuit [60], selon une hypothèse de condition aux limites de type mur semi-infini, donne une estimation de la température de jonction telle que :



$$T_j \propto P_0 \cdot t^{\frac{1}{2}} \quad (2.4)$$

La puissance de  $T_{SC}$  dans l'équation (2.3) est proche de  $\frac{1}{2}$ , on peut donc identifier l'équation (2.3) à l'équation (2.4). Dans ce cas, le terme  $K$  de (2.3) est proportionnel à la température de jonction au moment de la défaillance, celui-ci étant constant, la température de jonction l'est aussi. En première approximation, il semblerait donc que, pour un défaut donné, la température de défaillance soit constante. En comparant les valeurs des constantes  $K$  des deux modes de défaut (39289 pour le FTS vs 27766 pour le FTO), la température de défaillance du FTS est logiquement plus importante que la température de défaillance du FTO. On peut donc supposer que pour apparaître, le mode FTO ait probablement besoin d'une dissipation thermique plus faible et donc d'une montée en température transitoire plus lente afin de consolider le mécanisme de défaillance.

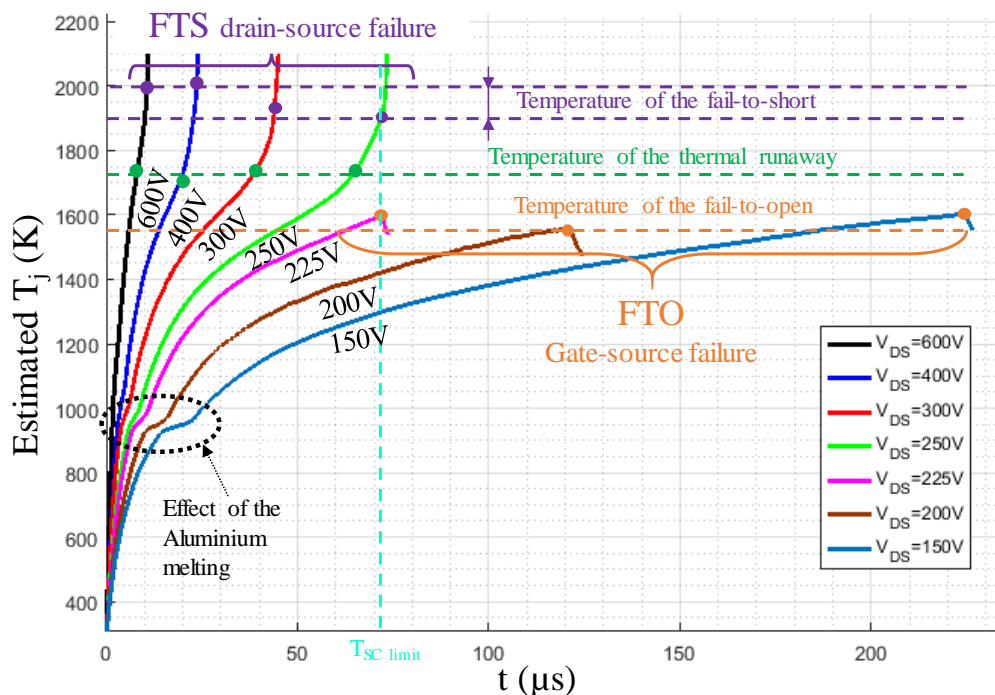


Fig. 2.19 : Température de jonction estimée via le modèle thermique pour les tests effectués pour différentes polarisations de drain @  $V_{buffer(on/off)} = 20V / -5V$ ,  $R_G=47\Omega$  composant Cree G2

Pour confirmer cette hypothèse et la première approche thermique, le modèle thermique transitoire 1D développé durant cette thèse, présenté dans le Chap. 3§III.C a été utilisé pour estimer la température de jonction pour chaque essai. Le modèle thermique considéré modélise la dépendance des paramètres thermiques à la température ainsi que la fusion de l'Aluminium sur le dessus de la puce. Il est à noter que la température estimée par le modèle ne peut pas être calibrée aujourd'hui par des mesures thermiques directes ou indirectes. L'estimation de cette température doit être considérée avec prudence. Cependant, les résultats présentés dans la section précédente sur l'estimation de la température via l'utilisation du modèle d'émission Schottky à travers l'oxyde de grille sont du même ordre de grandeur que ceux de ce modèle à partir de l'instant où la température atteint les 1200 K. La température de jonction et la

température de l'oxyde de grille sont quasiment identiques car les deux régions ne sont séparées que d'environ 1  $\mu\text{m}$ .

L'estimation de la température pour chaque essai est présentée à la Fig. 2.19. L'évolution de la température est bien distincte selon les deux modes de défaut :

- Le mode de défaut en FTS apparaît lorsque la puissance dissipée dans la puce est la plus importante, c'est-à-dire entre 250V et 600V de polarisation de drain. La température du composant augmente très rapidement et atteint un seuil vers 1700K correspondant à un début d'emballement thermique. L'emballement thermique est caractérisé par un changement dans la dynamique du courant de drain du composant qui augmente avec la température au lieu de diminuer. En effet, avant la phase d'emballement thermique, le courant de saturation décroît avec la température, ce qui a tendance à freiner l'augmentation de celle-ci. En revanche en phase d'emballement thermique, l'augmentation de la température fait augmenter le courant de drain qui accélère l'augmentation de température, etc. Dans ce cas, il y a un changement net de la pente de la température visible par un point d'inflexion sur le graphique  $T_j(t)$ . La différence dans l'évolution des courants de drain est présentée Fig. 2.20 entre l'essai à 250 V et 225 V. Les deux composants ont un  $T_{SC}$  similaire mais quelques microsecondes avant la défaillance du composant testé à 250 V, le courant de drain croît contrairement à l'essai à 225 V. Si l'on se réfère ensuite à l'évolution de la température, le composant testé à 250 V a une température de jonction toujours supérieure au test à 225 V. Cette

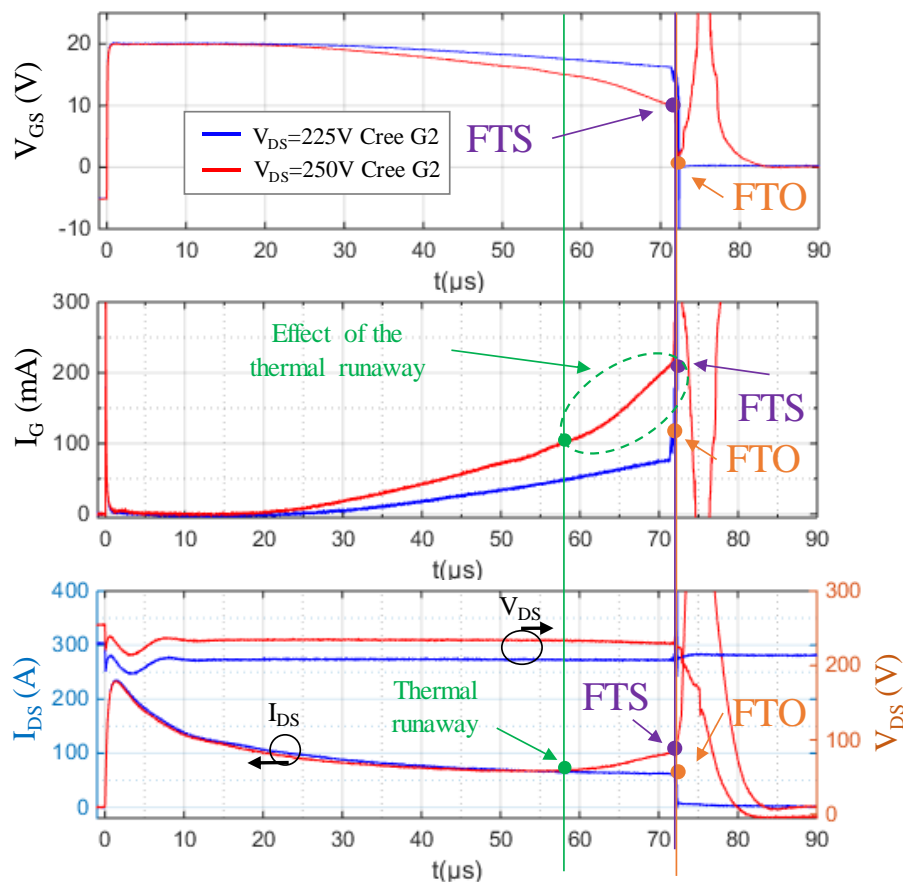


Fig. 2.20 : Formes d'ondes du composant Cree G2 court-circuit à 225V et 250V. ( $V_{buffer(on/off)} = +20V/-5V$ ;  $T_{case} = 25^{\circ}\text{C}$ ;  $R_G = 47\Omega$ )

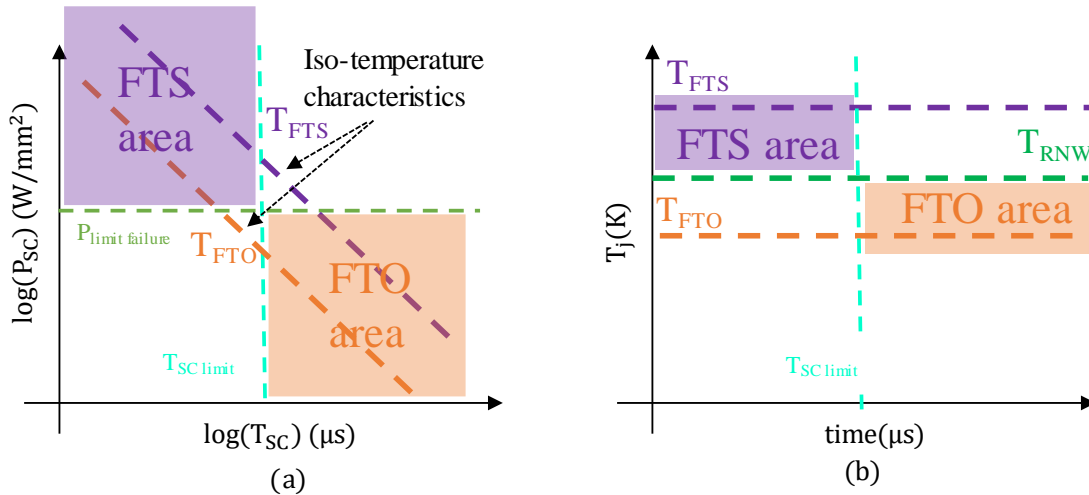


Fig. 2.21 : Segmentation des zones d'apparition des défaillances FTS et FTO (a) dans le plan  $P_{sc}$  vs  $T_{sc}$  (b) dans le plan  $T_j$  vs temps

différence de température des deux composants est aussi visible sur l'évolution du courant de grille qui est l'image de la température du composant comme présenté dans la partie précédente, l'apparition de l'emballement thermique est aussi visible sur l'évolution du courant de grille pour l'essai à 250V par une augmentation de la pente. Pour l'ensemble des essais présentant un emballement thermique, il y a une accélération de l'augmentation de la température pour aboutir à la défaillance drain-source FTS entre 1900 K et 2000 K. L'origine de la défaillance drain source peut être causée par la mise en conduction du transistor bipolaire parasite de la structure MOSFET ou par la focalisation des courants dans une partie de la puce qui amène à une destruction locale de la jonction et un perçage métallique de celle-ci [41].

- Le mode de défaut FTO apparait lorsque la puissance dissipée dans la puce est plus faible, c'est-à-dire en dessous de 225V de polarisation de drain. Il est à remarquer qu'il faut un temps minimal, appelé  $T_{sc\ limit}$ , en dessous de la température d'emballement thermique afin que le défaut apparaisse. Ce temps minimal n'est pas le seul facteur, il faut aussi que le composant atteigne une température critique autour de 1600 K

Sur la base de ces observations du comportement du composant Cree G2 en court-circuit de type I en pulse long à  $V_{GSnom}$ , une segmentation du plan densité de puissance vs  $T_{sc}$  et du plan  $T_j$  vs [temps] sont proposés en Fig. 2.21a et 2.21b respectivement. En observant cette segmentation, on s'aperçoit que pour atteindre le mode FTO il faut diminuer la quantité de chaleur dissipée dans la puce. On peut supposer que réduire la polarisation de grille du composant, permettrait d'atteindre le mode de défaillance en FTO à polarisation de drain plus élevée, cette approche sera traitée dans la partie suivante.

De plus, cette segmentation est pertinente concernant les essais considérés, il est aussi à noter qu'en cas de pulse court, tant que la température d'emballement thermique et que le  $T_{sc\ limit}$  ne sont pas atteints, il n'y a pas de défaillance comme présenté dans l'évolution en température.

En revanche, cette approche ne permet pas l'interprétation de l'enchaînement des défaillances FTO puis FTS dans le cas du composant Rohm G2 présenté dans le Chap.1§III.B.3 car les deux zones d'appariations des défauts FTO et FTS sont bien disjointes en Fig. 2.21a et 2.21b.

### V.B.2 Essais à $V_{buffer(on)}$ réduit

Le but des essais à  $V_{buffer(on)}$  réduit est d'essayer de diminuer la puissance dissipée dans la puce par diminution du courant de saturation et non de la polarisation de drain afin d'obtenir

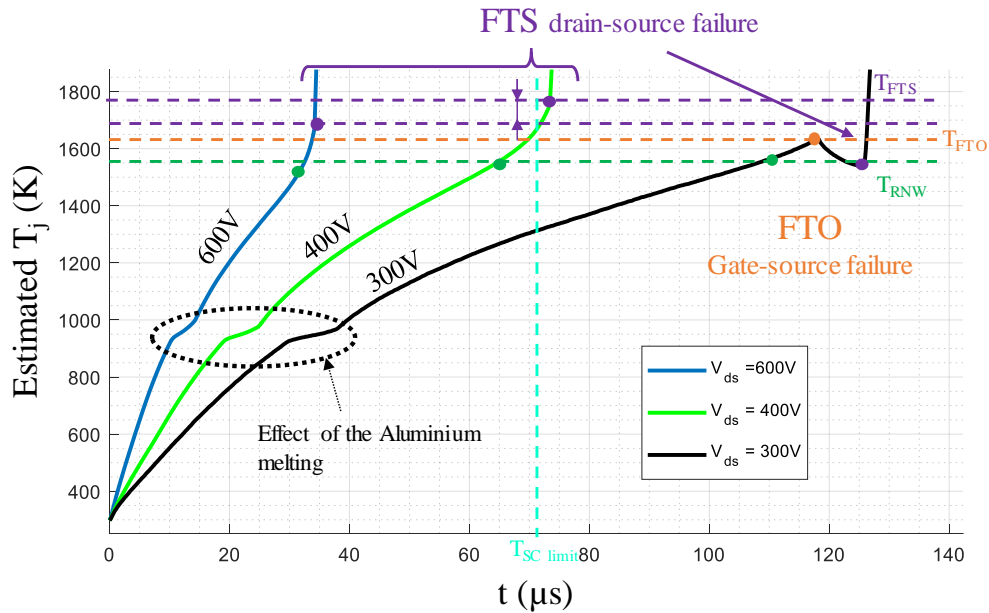


Fig. 2.22 : Température de jonction estimée via le modèle thermique pour les tests effectués pour différentes polarisations de grille @  $V_{buffer(on/off)} = 9V / -5V$ ,  $R_G=47\Omega$  composant Cree G2

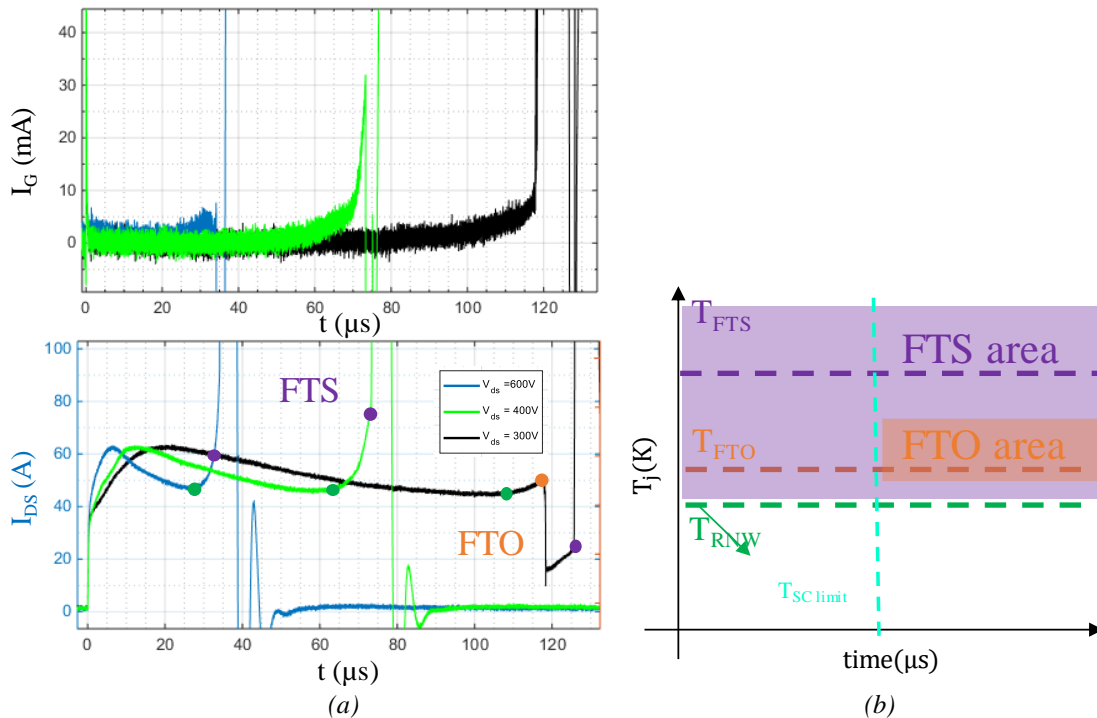


Fig. 2.23 : (a) Formes d'ondes du composant Cree G2 ( $V_{buffer(on/off)} = +9V / -5V$ ;  $T_{case} = 25^\circ C$ ;  $R_G = 47\Omega$ ) (b) Modification de la segmentation des modes de défaut pour  $V_{buffer}=9V$

un mode de défaillance en FTO. La température estimée des puces et les formes d'ondes d'essais menées pour différentes polarisations de drain et une polarisation de grille de 9V sont présentées en Fig. 2.22 et Fig. 2.23. Il y a effectivement une diminution très importante du courant de saturation  $I_{Dsat(peak)} = 60$  A contre 250 A à 20 V et donc de la puissance dissipée dans la puce. Par exemple, à 600V le  $T_{SC}$  passe de 11  $\mu$ s à 34  $\mu$ s. En revanche, il est à remarquer qu'une diminution de la polarisation de grille diminue aussi la température d'emballage thermique (1550K) visible en Fig. 2.22. Il y a donc une modification de la segmentation des zones d'existence des modes de défaillance présentés en Fig. 2.21b, la température d'emballage thermique devient plus faible que la température de FTO, les deux zones semblent se recouvrir et il existe donc une zone d'intersection dans laquelle il y a une mise en concurrence entre les deux modes de défaillance comme présenté en Fig. 2.23b. Cette concurrence est illustrée par l'essai à 300 V par un FTO à la même température de FTO qu'à 20 V mais après le début de l'emballage thermique. Le courant ne s'annule pas au moment du court-circuit grille-source et finit par casser en FTS.

Le problème principal de cette théorie est la dépendance de la température d'emballage thermique à la polarisation de grille alors que les principaux phénomènes d'emballage thermique n'en sont pas dépendants [61]. Il est supposé, qu'à très faible polarisation de grille, les phénomènes de focalisation des courants reportés en [62] durant une phase de court-circuit soient exacerbés tandis que le modèle thermique considéré représente une température moyenne de jonction et ne peut pas prendre en compte les échauffements locaux. Localement la température de la puce dépasse la température d'emballage thermique pour arriver à la défaillance, cela explique aussi pourquoi la température estimée de FTS pour l'essai à 300 V est plus basse que celle de FTO. En revanche, le modèle thermique semble tout de même adapté à la représentation de la défaillance grille-source qui semble être causée par une diffusion d'aluminium en phase liquide à travers des fissurations de l'oxyde épais entre la grille et la source du MOSFET comme présenté dans §VI sur l'analyse de défaillance des composants en FTO.

En conclusion, le composant considéré (Cree G2) présente le mode de défaillance en FTO à polarisation de grille nominale à partir de 225 V. Le temps minimal d'apparition du FTO est d'environ 70  $\mu$ s et il apparait autour de 1600 K. À faible polarisation de grille, les résultats sur le FTO sont toujours corrects. Cependant, il y a des phénomènes de focalisation de courant qui, en valeur moyenne, placent la température d'emballage thermique en dessous de celle du FTO qui ne peut plus être que transitoire; c'est-à-dire suivi par une défaillance critique en FTS car le courant ne s'annule pas au moment du court-circuit grille source.

### V.C Modes de défaut des composants étudiés

Les autres composants étudiés (Tableau 2.1) ont également été testés afin de trouver leurs modes de défaillance et, dans le cas où les deux modes de défaillance seraient en concurrence, le temps  $T_{SCmini}$  qui sépare les deux modes de défaillance. Les formes d'ondes ont aussi été injectées dans le modèle thermique précédemment cité afin de déterminer les températures des défaillances des composants. Généralement, les composants ont été testés en type I en pulse long (pire cas) à  $V_{GSnom}$  et à deux polarisations de drain,  $V_{DS} = 600\text{ V}$  et  $200\text{ V}$  pour avoir un grand différentiel de puissance dissipée dans la puce et laisser le temps au défaut FTO d'apparaître. La température de chaque composant a été estimée via le modèle thermique 1D. Les composants ont aussi été testés en court-circuit de type I en en pulse court afin de confirmer le mode de défaillance. L'objectif premier de ces tests était de trouver un composant

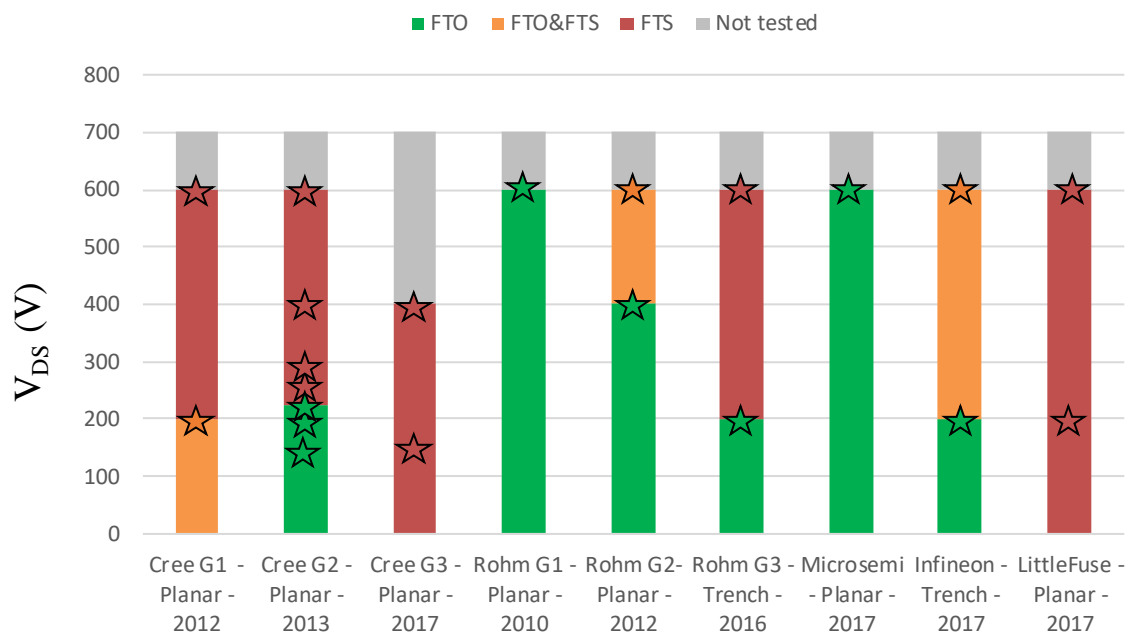


Fig. 2.24 : Sommaire des modes de défaillance en court-circuit de type I des composants étudiés pour différentes polarisations de drain en pulse long et polarisation nominale de grille

Tableau 2.3 : Récapitulatif des  $T_{SCmini}$  et des températures de FTO et d'emballement thermiques estimées via le modèle thermique 1D pour chaque composant

	Cree G1 - Planar - 2012	Cree G2 - Planar - 2013	Cree G3 - Planar - 2017 (900V)	Rohm G1 - Planar - 2010	Rohm G2 - Planar - 2012	Rohm G3 - Trench - 2016	Microsemi - Planar - 2017	Infineon - Trench - 2017	LittleFuse - Planar - 2017
$T_{SCmini}$	240 $\mu\text{s}$	72 $\mu\text{s}$	--	16 $\mu\text{s}$	22 $\mu\text{s}$	108 $\mu\text{s}$	11 $\mu\text{s}$	8 $\mu\text{s}$ (cas particulier)	--
$T_{FTO}$	1600 K	1600 K	--	1800 K	1700K	2000K	1600 K	1400K (cas particulier)	--
$T_{Rnw}$	1400 K	1700K	1600 K	--	2000K	2400K	--	Focalisation de courant température non fiable	1600K

Tableau 2.4 : Récapitulatif des modes de défaillance en court-circuit de type I en pulse long et pulse court à 600V et  $V_{GSnom}$

	Cree G1 - Planar - 2012	Cree G2 - Planar - 2013	Cree G3 - Planar - 2017	Rohm G1 - Planar - 2010	Rohm G2 - Planar - 2012	Rohm G3 - Trench - 2016	Microsemi - Planar - 2017	Infineon - Trench - 2017	LittleFuse - Planar - 2017	ST - Planar - 2015
<b>Pulse court</b>	FTS	FTS grille dégradé	FTS	FTO	FTO	FTS	FTO	FTS grille dégradée	FTS grille dégradée	FTS grille dégradée
<b>Pulse long</b>	FTS	FTS	FTS	FTO	FTO&FTS	FTS	FTO	FTO&FTS	FTS	FTS

présentant un mode de défaillance en FTO à 600V (50% de  $V_{DDs}$ ) afin de pouvoir l'utiliser dans des convertisseurs « fail-safe ».

### V.C.1 Vue d'ensemble des composants

Les résultats des essais sont présentés sur la Fig. 2.24. Sur neuf composants testés, six d'entre eux présentaient le mode de défaillance FTO, quatre à faible polarisation de drain (Cree G2, Rohm G2, Rhom G3, Infineon) et deux à  $V_{DS} = 600$  V (Rhom G1 & Microsemi). Le mode de défaut FTO est largement représenté quelle que soit la structure de grille du composant. En effet, les composants *trench* présentent aussi ce mode de défaillance comme les composants *planar*. Cinq composants présentent aussi le mode de défaut FTO & FTS illustré en §V.B2. Les composants présentant cette compétition de modes de défaut sont plus susceptibles de casser en FTO si l'on diminue la puissance dissipée dans la puce, c'est-à-dire à faible  $V_{DS}$  où s'ils sont testés en pulse court (Rohm G2). Il est à remarquer que les composants qui cassent en FTO à  $V_{DS}$  réduit vont casser à un  $T_{SCmini}$  long par rapport aux composant qui cassent en FTO à 600V comme récapitulé dans le tableau 2.3. Les températures de FTO sont identiques pour les composants *planar* en revanche elle est plus élevée pour les composants *shield planar* (Rohm).

Le récapitulatif des modes de défaut en pulse court et pulse long est présenté dans le tableau 2.4. On remarquera que certains composants (Cree G2, Infineon, LittleFuse, ST) peuvent présenter une dégradation de leur grille durant les tests en pulse court, similaire au court-circuit grille source provoquant le FTO, mais avec une résistance de défaut importante, présentant des sauts pendant le court-circuit ou après le blocage. Malgré l'endommagement du composant, les tests en pulse court ont été menés jusqu'à la destruction du composant, dans tous ces cas, en FTS. Cet endommagement ne sera pas traité dans cette partie dédiée aux modes de défaillance car le composant reste fonctionnel, il peut toujours être bloqué ou amorcé. Il sera traité plus en détail dans la partie VI.B sur l'analyse de défaillance.

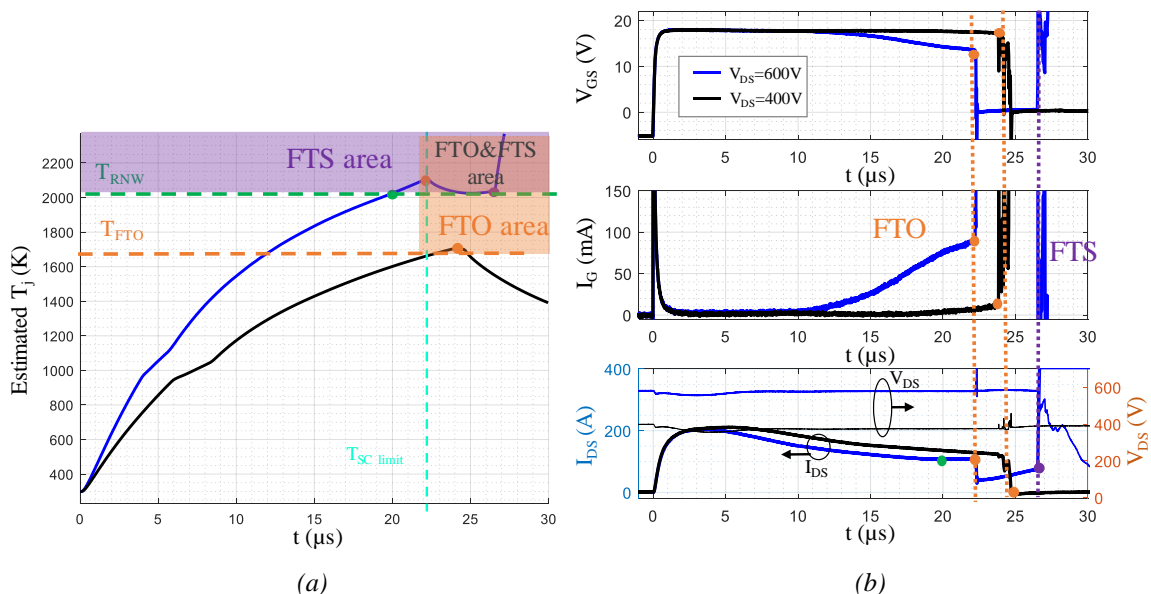


Fig. 2.25 : (a) Température de jonction estimée via le modèle thermique pour les tests effectués pour différentes polarisations de drain @  $V_{buffer(on/off)} = 18V / -5V$ ,  $R_G = 47 \Omega$  composant Rohm G2 (b) Formes d'ondes du composant Rhom G2 ( $V_{buffer(on/off)} = +18V / -5V$ ;  $T_{case} = 25^\circ C$ ;  $R_G = 47\Omega$ )

Enfin, les deux composants (Rohm G1 & Microsemi) sont clairement les composants les plus intéressants car ils présentent un mode de défaillance en FTO à 600V (50% de  $V_{DDS}$ ) sans présence du mode FTS. Le composant Rohm de première génération étant obsolète, le composant Microsemi est le plus prometteur pour les applications futures « fail-safe ».

### V.C.2 Cas du composant Rohm G2

Le composant Rohm G2 bien que ne présentant pas de mode FTO en pulse long à 600 V, à un  $T_{SC}$  très intéressant de 14  $\mu s$  en pulse court. Il présente un mode FTO à 400 V en pulse long (limite basse d'utilisation des composant 1200 V) et un FTO en pulse court à 600 V. Il est donc en deuxième position des composants retenus pour une application « fail-safe ». La compréhension de la discrimination de ses modes de défaillance est donc importante.

L'estimation de la température de jonction pour les deux tests en pulse long est présentée en Fig. 2.25a et les formes d'ondes présentées en Fig. 2.25b. À 600V, la jonction atteint la température d'emballement thermique avant d'atteindre le temps minimal d'apparition du défaut FTO. Il en résulte un court-circuit grille source mais sans extinction du courant. Cette signature de défaillance est similaire à celle du composant Cree G2 à  $V_{buffer(on)} = 9 V$  (Fig. 2.22). Cependant, contrairement au cas d'une faible polarisation de grille, la température d'emballement thermique est supérieure à la température de FTO, ce qui permet de consolider le défaut FTO si la densité de puissance dissipée dans la puce est moins importante. La mise en compétition des deux modes de défaillance apparait sur ce composant et non sur le Cree G2 étudié ci-dessus car la dissipation de chaleur permet d'atteindre la zone FTO&FTS du plan  $T_j$  vs time.

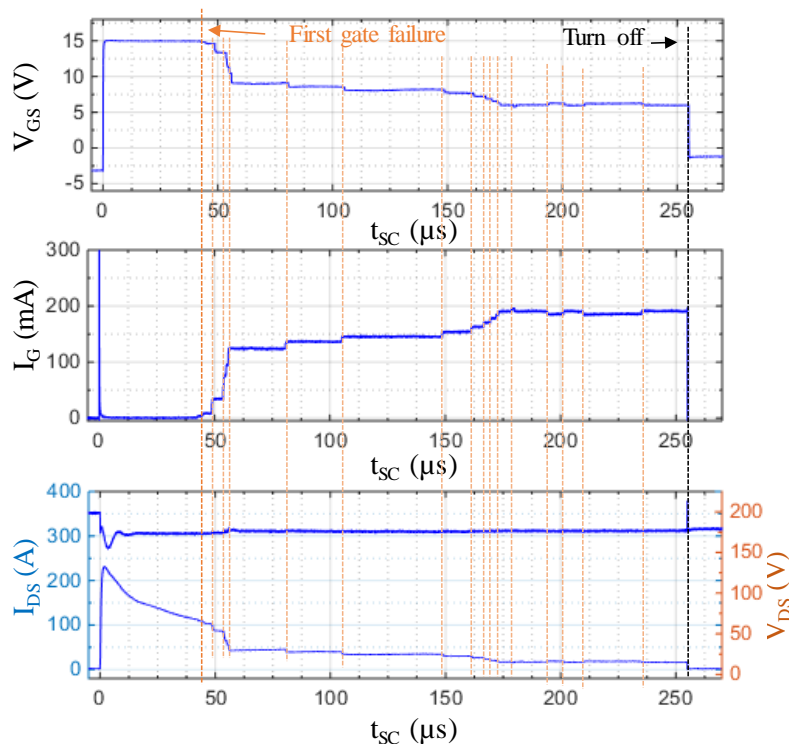


Fig. 2.26 : Formes d'ondes du composant Infineon en court-circuit de type I à  $V_{DS}=600V$  ( $V_{buffer(on/off)} = +15V/-3V$ ;  $T_{case} = 25^{\circ}C$ ;  $R_G = 47\Omega$ )



### V.C.3 Cas du composant Infineon

Le composant infineon présente une signature de défaut en FTO à 200V très particulière qui se traduit pas une dégradation graduelle de la grille comme présenté en Fig. 2.26. En effet, le courant de grille croit par paliers à mesure que la grille se dégrade provoquant une diminution du courant de saturation aussi par paliers bien visibles sur les formes d'ondes. Il est à noter que le composant est bloqué par la commande au bout de 255  $\mu$ s, temps maximal d'un pulse long fixé lors de la mesure. Il est à supposer que le composant aurait continué sa lente dégradation pour arriver à un court-circuit grille source franc.

### V.D Le cas du composant Microsemi

Le composant Microsemi est le seul composant encore disponible présentant un FTO à 600 V en pulse long de type I. Cette propriété a été confirmée par plusieurs tests en pulse long, court et par un essai de type II.

#### V.D.1 Essai en court-circuit de type I en pulse long et pulse court.

Le composant présente un  $T_{SC}$  en pulse long entre 12 $\mu$ s et 14 $\mu$ s et  $T_{SC}$  de 10 $\mu$ s en pulse court. La température estimée et les formes d'ondes des différents essais sont présentées en Fig. 2.27. Plusieurs essais à 600 V ont été menés afin de confirmer la propriété en FTO sachant que le stress en pulse long est le plus critique. On remarquera que le  $T_{SC}$  ainsi que la dynamique thermique sont différentes alors que les essais sont effectuée avec les mêmes paramètres. Cela est causé par une dispersion relativement importantes de la tension de seuil des MOSFET SiC en général et ce phénomène est particulièrement important pour le composant Microsemi où la variation de tension de seuil peut atteindre 1 V. Cet écart de tension de seuil peut particulièrement être délétère dans le cas de mise en parallèle de puces dans un module par exemple. Le cas de puces en parallèle en court-circuit sera traité plus en détail dans le Chap 4§IV. Cependant, pour les essais en court-circuit présenté, cet écart de  $V_{th}$  implique une

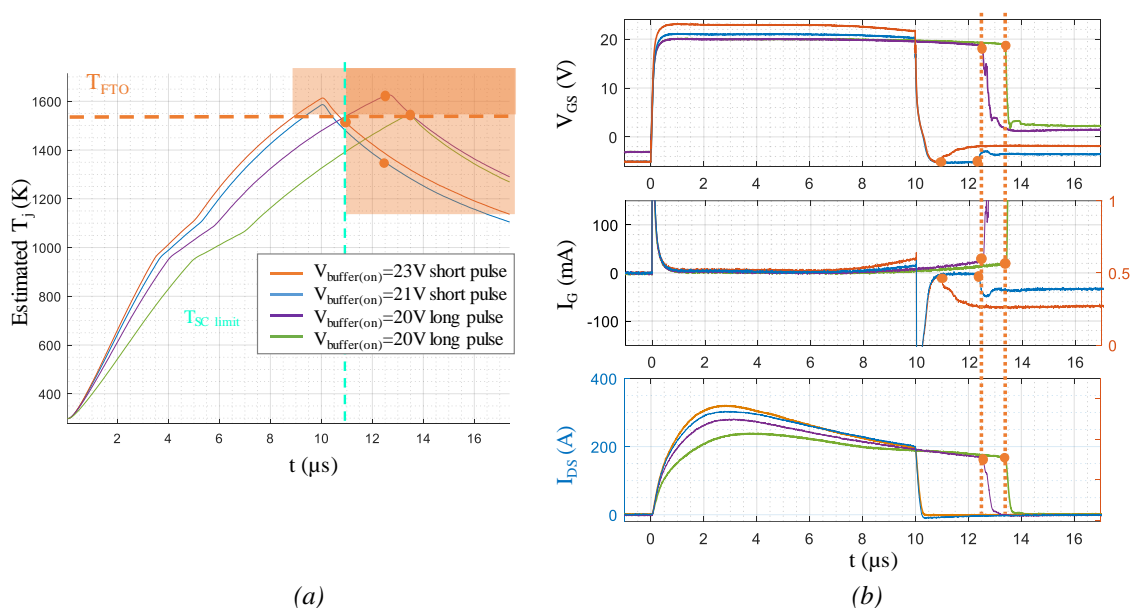


Fig. 2.27 : (a) Température de jonction estimée via le modèle thermique @  $V_{DS}=600V$ ,  $R_G = 47 \Omega$  composant Microsemi (b) Formes d'ondes du composant Microsemi ( $V_{DS}=600V$ ;  $T_{case} = 25^\circ C$ ;  $R_G = 47\Omega$ )

variation faible du  $T_{SC}$  (moins d'1  $\mu s$  dans ce cas) et ne remet pas en question les résultats présentés jusqu'à présent.

Ensuite, des essais en pulse court ont été menés en sur-polarisant la grille afin d'augmenter la puissance dissipée dans le composant : cela ne modifie pas le mode de défaut du composant. Il est à remarquer que dans le cas d'un pulse court, le composant atteint la température de FTO mais ne casse que quelques microsecondes plus tard alors que la température est devenue inférieure à la température de FTO. De manière analogue à l'emballement thermique, dès que la température de FTO est atteinte, le composant cassera en FTO. Un temps minimal avant défaillance peut donc être identifié.

### V.D.2 Essai en court-circuit de type II

Toujours dans l'objectif de confirmer le mode défaut du composant MicroSemi, un test en court-circuit de type II destructif est présenté dans cette partie. L'essai présenté n'est pas

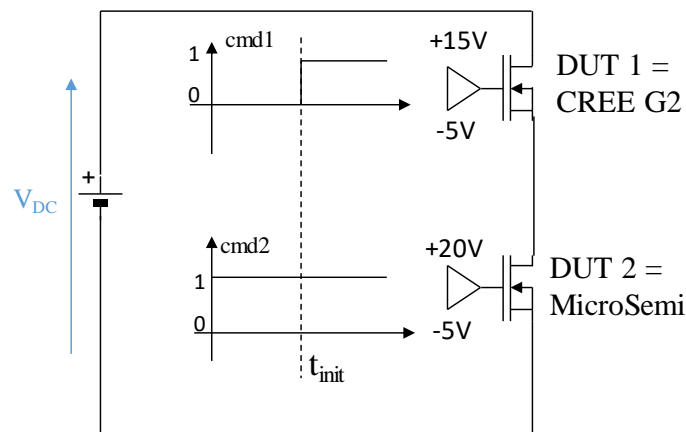


Fig. 2.28 : Schéma de principe de l'essai du court-circuit complet de bras pour aboutir à un court-circuit de type II sur le DUT2

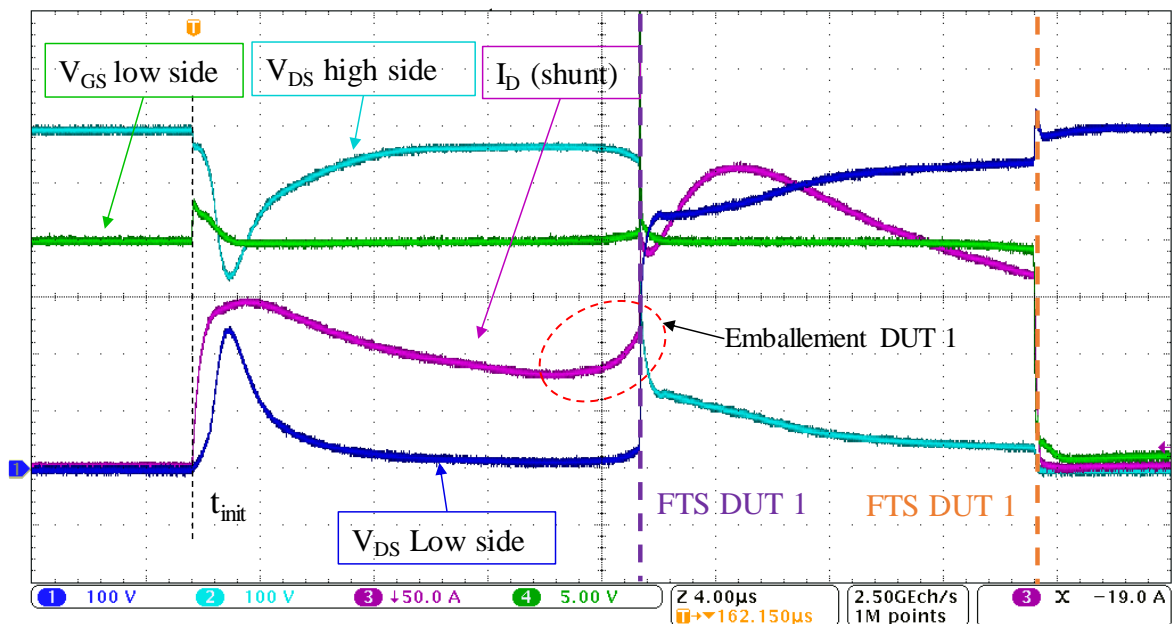


Fig. 2.29 : Formes d'ondes de l'essai @  $V_{DS}=600V$ ,  $R_G=47\Omega$ ,  $V_{buffer}$  se reporter à la figure 27

celui introduit dans le chap. 1 §III.A mais s'en inspire et a été réalisé sur le banc d'essai présenté en §II.A. L'objectif de l'essai est que le composant testé subisse à la fois un  $dV/dt$  au niveau du drain tout en saturant. Dans le cas présenté, cela correspond à la mise en court-circuit d'un bras d'onduleur sans charge connectée au point milieu comme schématisé en Fig. 2.28. Le composant Cree G2 est mis en conduction à faible tension de grille (15 V) afin d'être le seul composant à saturer. Après quelques microsecondes il casse en FTS. La tension de bus se reporte alors sur le composant Microsemi, à l'état passant depuis le début du test. Il sature à son tour pour aboutir à sa défaillance en FTO. La forme d'onde de l'essai est présentée en Fig. 2.29. Le mode FTO est bien confirmé pour le composant Microsemi en court-circuit long de type II.

## V.E Conclusion

L'étude exhaustive en court-circuit des composants MOSFET SiC qui étaient disponibles durant cette thèse a permis de montrer que la défaillance de la grille est un phénomène très courant en régime de court-circuit. La défaillance se traduit par un chemin résistif entre la grille et la source plus ou moins prononcé et pouvant aller jusqu'à un court-circuit de la grille. Sur l'ensemble des composants étudiés, un seul n'a pas présenté de dégradation au niveau de la grille.

Concernant les modes de défaillance des composants, l'étude de l'évolution de la température durant le court-circuit permet d'identifier qu'il existe, à la fois, une température ( $T_{FTO}$ ) et un temps minimal ( $t_{SCmini}$ ) en dessous duquel le court-circuit grille source ne se produit pas. On identifie aussi une température dite « d'emballage thermique » ( $T_{RNW}$ ) au-delà de laquelle le composant cassera, au bout de quelques microsecondes par un court-circuit drain-source, sauf cas particulier d'une très faible polarisation de grille,  $T_{FTO} < T_{RNW}$ . Si la dissipation de chaleur dans une puce en court-circuit est très importante, la température va avoir tendance à atteindre  $T_{RNW}$  avant  $t_{SCmini}$  et casser en court-circuit drain-source. D'un autre côté, si la dissipation de chaleur est plus faible, le composant pourra être en court-circuit pendant  $t_{SCmini}$ , atteindre  $T_{FTO}$  sans atteindre  $T_{RNW}$  et, par conséquent, casser par un court-circuit grille-source stable qui auto-bloquera celui-ci (FTO). En revanche, tous les composants ne présentent pas les mêmes modes de défaillance ni au même moment car ils ont des caractéristiques électrothermiques toutes différentes et soumis à des polarisations différentes, ce qui va modifier l'augmentation de leur température. De plus, les processus de fabrication différents des composants vont certainement impacter le  $t_{SCmini}$  et le  $T_{FTO}$ . Par exemple, le composant Microsemi, présente un  $t_{SCmin}$  faible (quelques  $\mu s$ ) qui lui permet de casser en FTO même lorsque la dissipation dans la puce est très importante (600V) et ne présente pas de court-circuit drain-source tandis que le composant Cree G2 présente un  $t_{SCmin}$  important (70 $\mu s$ ) ne permettant l'apparition d'un FTO qu'à polarisation de drain très réduite (225V).

Une analyse matérielle des composants dégradés au niveau de la grille est donc indispensable afin de comprendre les différences dans les comportements alors que les températures estimées et les temps de court-circuit sont similaires.

## VI. Analyses de défaillance

Après les essais et analyses présentés dans la section précédente, une analyse de défaillance des composants dégradés au niveau de la grille a été menée afin de déterminer la cause physique de ces dégradations. Ces analyses de défaillance ont été effectuées par Thales Communication & Security sur le site du CNES.

Deux types de dégradation de grille sont à distinguer : le défaut franc grille source provoquant le FTO et une dégradation semblable à un chemin résistif de forte impédance entre la grille et la source appelée aussi défaut « mou ». Dans chaque cas, une analyse électrique de composants dégradés a été menée suivie d'une décapsulation et d'une analyse optique afin de repérer la source de la défaillance.

Dans une première partie, le défaut « mou » est exploré électriquement sur trois composants et deux microsections ont été faites. Dans une deuxième partie, le défaut franc est caractérisé électriquement pour six composants, l'inspection visuelle des puces nues est faite sur trois d'entre eux et une microsection a été menée.

### VI.A Analyse des défaillances « molles » grille source, vieillissement

Au cours d'essais en court-circuit de type I en pulse court répétitifs de composant MOSFET SiC 1200 V, certains d'entre eux ont présenté une dégradation permanente au niveau de la grille. En effet, ces composants dégradés ont présenté un courant de fuite de grille important sous polarisation positive mais ceux-ci restent toujours fonctionnels, c'est-à-dire qu'ils peuvent toujours être amorcé et bloqué. Comme présenté en §V.C.1 tableau II, quatre types de composants ont présenté ce type de défaillance pendant nos essais (Cree G2, Infineon, LittleFuse, ST). L'étude présentée se focalise sur trois composants en particulier : deux composants ST nommés ST1 et ST2 et un composant Cree G2 nommé C1.

L'objectif de cette section est d'étudier les dégradations électriques et physiques des MOSFET SiC commerciaux présentés. Dans la partie 1, le scénario de dégradation est décrit et analysé. Dans la partie 2, une méthode de mesure spécifique est présentée et appliquée afin d'analyser les dégradations et de proposer des explications physiques aux endommagements. Cette analyse est ensuite confrontée aux résultats expérimentaux. Dans la partie 3, les résultats expérimentaux sur les défaillances sont corrélés à l'étude physique et à l'analyse des endommagements.

#### VI.A.1 Scénario de défaillance.

Les essais aboutissant à la défaillance des composants considérés ont été effectués avec le banc de test décrit en §II.A.

Les formes d'ondes de plusieurs essais en court-circuit sur le composant ST1 sont présentées à la Fig. 2.30. Des essais en court-circuit ont été réalisés sur ce composant en augmentant la tension de la source de drain (300 V à 500 V) et en augmentant la durée des impulsions (2  $\mu$ s à 7  $\mu$ s). La première dégradation permanente s'est produite pendant le 19<sup>e</sup> essai de court-circuit de manière différée peu de temps après le blocage du composant (courant de fuite permanent d'environ -5mA sous -5V). Enfin, une 20<sup>ème</sup> impulsion d'une durée

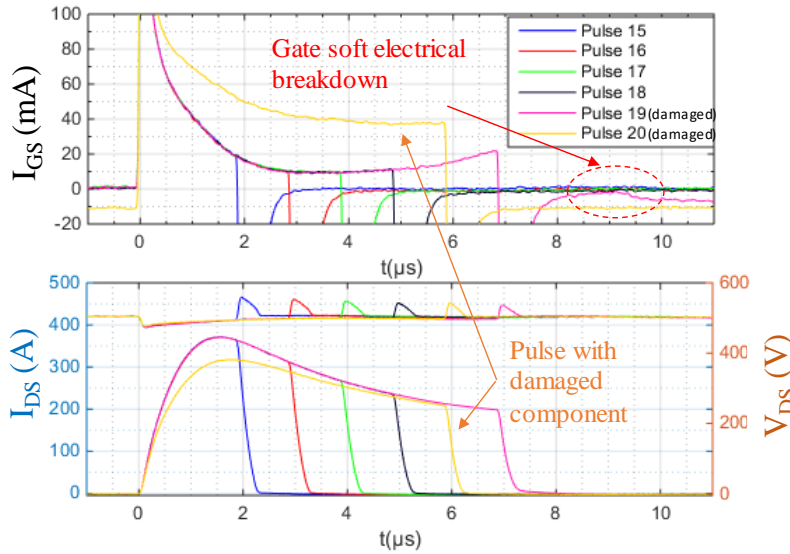


Fig. 2.30 : Formes d’ondes en court-circuit de type 1 du composant ST1 pour plusieurs essais avec incrémentation de la durée du court-circuit ( $V_{DS} = 500V$  ;  $V_{buffer(ON/OFF)} = 18V/-5V$  ;  $T_{case} = 25^{\circ}C$  ;  $R_G = 47\Omega$  ; ST1)

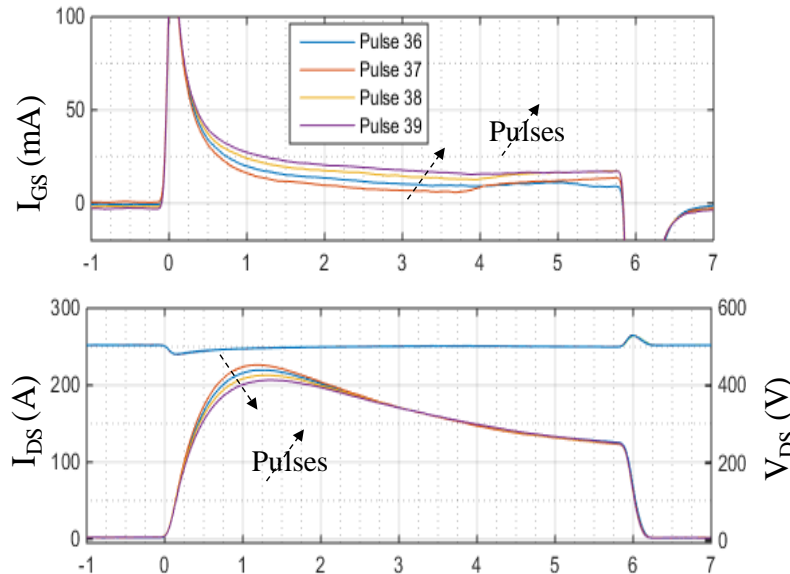


Fig. 2.31 : Formes d’ondes en court-circuit de type 1 du composant C1 pour plusieurs essais avec incrémentation de la durée du court-circuit ( $V_{DS} = 500V$  ;  $V_{buffer(ON/OFF)} = 21V/-5V$  ;  $T_{case} = 25^{\circ}C$  ;  $R_G = 100\Omega$  ; C1)

légèrement plus courte (6  $\mu s$ ) a été réalisée après la dégradation afin d’évaluer son impact sur le composant sans accentuer le vieillissement. Par conséquent, après la dégradation, le composant peut toujours être amorcé ou bloqué malgré le courant de fuite de grille élevé pendant le fonctionnement en court-circuit (Fig. 2.30). De plus, la chute de tension grille-source à travers  $R_G$  causée par l’augmentation du courant de grille dépoliarise la grille et impacte à la baisse le courant de saturation. L’endommagement du composant ST2 s’est effectué de manière similaire. Les formes d’ondes ne sont pas montrées par souci de lisibilité

Dans la Fig. 2.31, le composant C1 a été testé de la même manière que le composant ST1. Cependant, un nombre plus élevé de cycles a été nécessaire pour observer l’apparition d’un courant de fuite permanent de grille. À partir de la 36ème impulsion, une augmentation du courant de grille est perceptible signe d’une dégradation de la grille. À la 37ème impulsion,

le courant de grille est légèrement inférieur à l'impulsion précédente, la caractéristique de la défaillance se modifie avec le temps et peut même diminuer. Pour chaque impulsion suivante, le courant de fuite augmente pas à pas. Les court-circuits fortement énergétiques ont donc tendance à faire travailler le chemin de fuite dans le sens d'une aggravation du défaut avec l'énergie dissipée. Par conséquent, le courant de saturation maximal diminue également en fonction de l'augmentation du courant de grille, comme expliqué précédemment.

Les dégradations observées sont le signe d'une dégradation de l'isolation de la grille qui s'est produite de manière similaire à ce qui est observé sur des mesures en vieillissement en court-circuit fortement énergétique [22] bien qu'aucun phénomène de diminution de courant n'ait été observé jusqu'à présent. L'objectif de la partie suivante est de proposer une méthode de localisation de l'emplacement de la dégradation en fonction de la signature électrique de la défaillance.

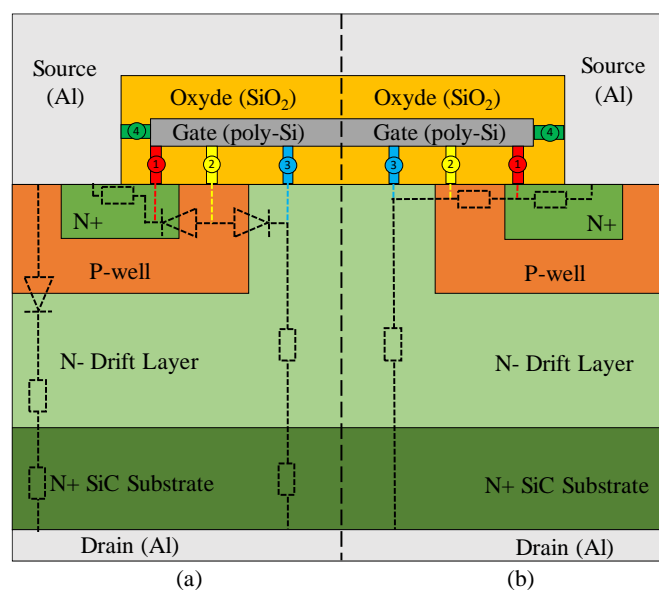


Fig. 2.32 : Cellule élémentaire V-DMOSFET. Les résistances locales nommées 1, 2, 3 et 4 modélisent les dommages dans l'oxyde. (a)  $V_{GS} < V_{GS(th)}$ , le canal est bloqué (b)  $V_{GS} > V_{GS(th)}$ , le canal est passant

### VI.A.2 Diagnostique électrique des défauts

#### Méthode

Dans les MOSFET étudiés, l'électrode de grille est isolée du substrat épitaxié par une mince couche de SiO<sub>2</sub> diélectrique (généralement 50 nm). Après dégradation, la grille n'est plus isolée et le courant de fuite de la grille est certainement causé par des chemins résistifs à travers le SiO<sub>2</sub>. Les chemins résistifs sont reliés soit à la couche N-, soit au P-Well, soit à la couche N+, soit à l'électrode métallique supérieure à travers l'oxyde épais (respectivement nommé type de chemin n°1, 2, 3, 4). Les Fig. 2.32a & 2.32b montrent l'emplacement possible des différents chemins résistifs. L'influence de la polarisation de grille sur le schéma électrique équivalent du MOSFET SiC est exprimée en pointillé en Fig. 2.32a dans le cas d'une polarisation inférieure à la tension de seuil et en Fig. 2.32b dans le cas d'une polarisation supérieure à la tension de seuil en Fig. 2.32b.

Afin de déterminer quel chemin résistif existe et lequel domine, une procédure électrique, adaptée à l'origine pour le Si CMOS planaire [63] a été ajustée pour le SiC V-DMOSFET. L'approche est basée sur deux mesures distinctes :

- La mesure du courant de grille et du courant de source pour  $V_{DS} = 0V$  et  $V_{GS}$  variable. Le schéma de principe du montage de mesure est présenté Fig. 2.33a. Une polarisation est appliquée sur la grille tandis que le drain et la source sont court-circuités. Les courants traversant la grille et la source sont mesurés. Le courant entrant par la grille va sortir soit par la source, soit par le drain en fonction de la résistance proposée par les chemins possibles de circulation du courant. La résistance du trajet va dépendre de la polarisation de la grille par rapport à la tension de seuil (Fig. 2.32a ou 2.32b) et de la résistivité des dégradations.
  - Si  $V_{GS} < 0V$ , le canal n'est pas formé et les jonctions PN intrinsèques (P-well/N+, P-well/N-) du MOSFET sont bloquées. Dans ce cas, le chemin n°2 à travers le P-well est inhibé, le courant ne peut pas le traverser car il débouche sur deux jonctions bloquées.
    - Si  $I_{GS} < 0A$ , le courant passera à travers les résistances n°1, n°3 ou n°4. Il faut noter qu'il est impossible de différencier entre les chemins n°1 et n°4. Cependant, distinguer les chemins n°1/n°4 du chemin n°3 s'effectue en analysant le courant de source. En effet, plus le courant de source est proche de la valeur du courant de grille, plus les chemins n°1 ou n°4 prévalent sur le chemin n°3.
    - Si  $I_G = 0A$ , il n'y a pas de chemin n°1/n°4 ou n°3 de conduction mais le chemin n°2 peut exister.
  - Si pour  $0 < V_{GS} < V_{bi}$  (où  $V_{bi}$  est la tension d'une des jonctions PN)  $I_G = 0A$ , et que le courant commence à augmenter lorsque  $V_{GS} > V_{bi}$ , alors les jonctions PN intrinsèques (P-well/N ou P-well/N-) sont passantes et le chemin de dégradation n°2 est le chemin de fuite dominant. De plus, si les chemins n°1, 3 ou 4 existent selon le premier test, et s'il y a un changement dans la pente de  $I_G$  pour  $V_{GS} > V_{bi}$ , il y a une concurrence entre les chemins n°1, 3 ou 4 et le chemin n°2.
- La mesure du courant de fuite de grille pour différents  $V_{DS}$  et  $V_{GS} = 0V$ . Dans ce cas, le canal est fermé et la grille est au même potentiel que la source. Le schéma de principe

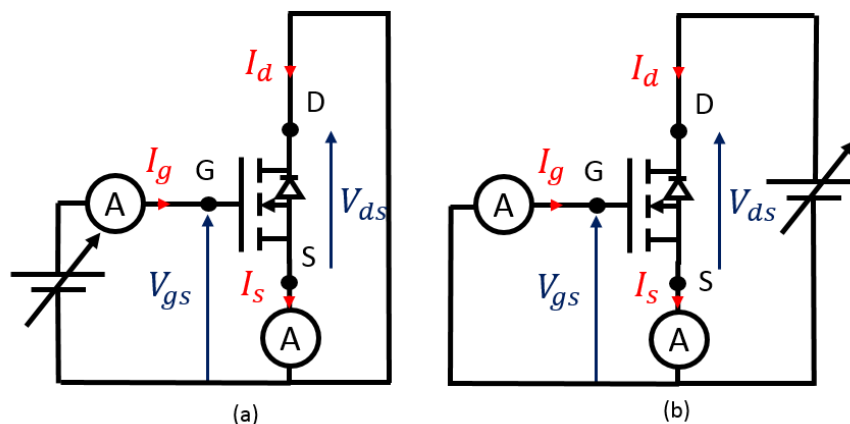


Fig. 2.33 : Schéma de câblage des essais effectués avec un SMU (Source Meter Unit) et un multimètre. (a)  $I_G$ - $I_S(V_{GS})$  (b)  $I_G$ - $I_S(V_{DS})$

du montage de mesure est présenté Fig. 2.32b. Les défauts n°1, 2 et 4 son inhibés. La mesure d'un courant dans le drain est la signature d'un chemin n°3 ou de la fuite de la jonction en polarisation inverse. Si un courant de grille est mesuré, cela signifie que le chemin n°3 existe.

## Mesures

Les mesures des caractéristiques des défauts de grille ont été effectuées avec un SMU (*Source Meter Unit Agilent B2902A*) avec les montages présentés Fig. 2.33. Les courants de mesure sont pulsés (40  $\mu$ s) et limités à 80 mA durant les mesures pour éviter le risque d'auto-échauffement à travers des chemins ohmiques et de risquer d'en modifier leur signature. Les résultats des mesures sont présentés en Fig. 2.34.

Sur la base de la méthode d'analyse décrite dans le paragraphe précédent et des résultats de mesures présentés en Fig. 2.34a les trajets de dommages n°1/n°4 sont clairement prédominants dans les composants ST1 et C1 (courant de source non représenté ici). Cependant, après la seconde mesure (Fig. 2.34c et 2.34d), on remarque qu'il existe un chemin n°3 sur ces deux composants mais moins prédominant que le défaut n°1/n°4. Il est à remarquer que le comportement des défauts de ces deux composants est très similaire alors qu'ils proviennent de deux fabricants différents. Concernant le composant ST2, le chemin d'endommagement n°2 peut être clairement identifiés en Fig. 2.34b avec  $V_{bi}$  et  $V_{GS(th)}$ . En Fig. 2.34c, un chemin de type 3 est aussi mesurable. Il est à remarquer que la caractéristique du défaut de type 3 n'est pas linéaire car la polarisation de la grille via le drain ne l'est pas non plus car elle se fait via la zone de JFET et le blindage des zones P-well.

Enfin, il convient de rappeler que la structure réelle du composant est constituée d'un grand nombre de cellules similaires à celle de la Fig. 2.32. Il est donc fort probable que les voies

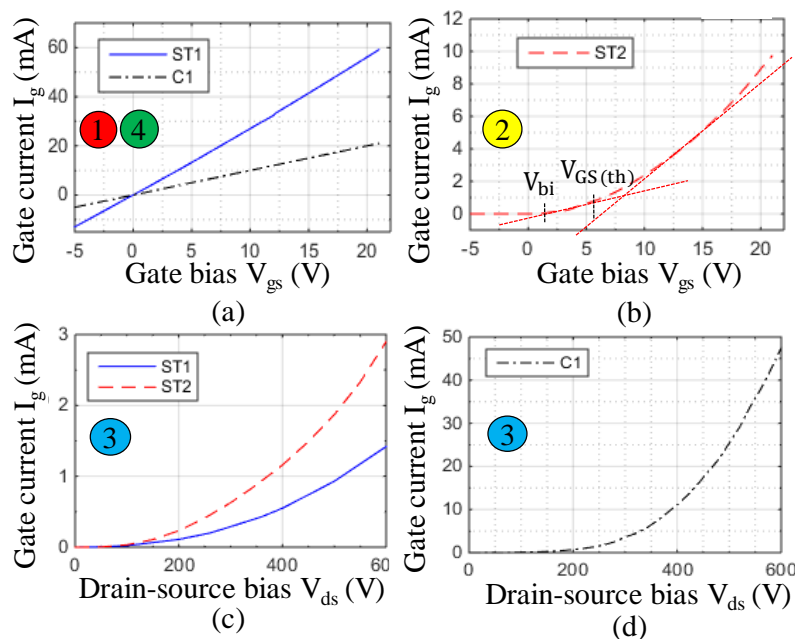


Fig. 2.34 : Résultat des mesures pour les composants endommagés (a)&(b)  $I_G(V_{GS}) @ V_{DS} = 0V$ . (c)&(d)  $I_G(V_{DS}) @ V_{GS} = 0V$ .



résistives identifiées par la méthode proposée n'impliqueront qu'une petite portion des cellules étudiées et n'implique pas non plus le même type de défaillance.

Pour conclure, cette méthode permet de mettre en évidence, de manière indirecte un endommagement de l'oxyde de champ sous la grille, par des mesures électriques simples, d'autant précieuses qu'il n'est pas possible d'observer précisément cette région par une microsection conventionnelle (50nm d'épaisseur) et que la littérature sur le sujet montre que les défauts sont très localisés (perçage de l'oxyde) et très difficile à localiser.

### VI.A.3 Analyse physique des puces

#### Localisation thermique du défaut (ST et Cree G2)

Afin d'observer les dommages et de confirmer la théorie sur les chemins résistifs développée dans les parties précédentes, une étude physique de la défaillance a été réalisée sur les composants ST1, ST2 et C1. L'étude a été effectuée par Thales Communication & Sécurité sur le site du CNES à Toulouse.

Dans un premier temps, les puces étant empaquetées dans un boîtier TO-247, la résine sur le dessus de la puce a été partiellement enlevée par usinage laser suivi d'une gravure

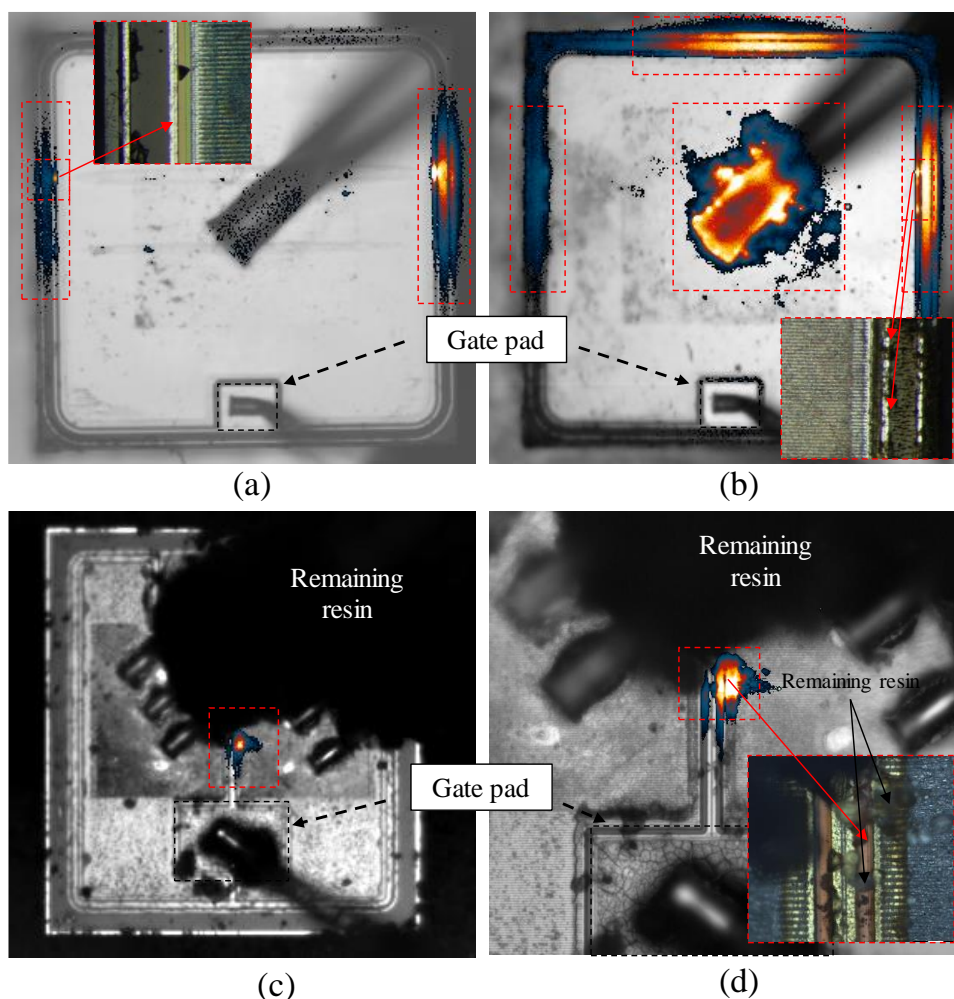


Fig. 2.35 : Images de la thermographie infrarouge : image de l'amplitude (a) ST1 (b) ST2 (c) C1 (d) zoom C1.

chimique afin de dévoiler la puce sans dégradation. Dans un second temps, un appareillage de thermographie infrarouge (LIT) à très haute sensibilité et fonctionnant en mode d'intégration synchrone d'un signal basse fréquence 25 Hz a été utilisé pour localiser les zones défaillantes. Ce signal, issu d'un GBF à haute stabilité, permet aussi de synchroniser une source de courant pulsée connectée entre grille et source qui permettra d'auto-échauffer la zone de défaillance de la grille [64]. En effet, le passage d'un courant de grille dans le défaut sous une polarisation de la grille échauffera la puce et induira des points chauds à la surface de la puce [5] sous lequel pourra résider le défaut recherché. Une information en amplitude et en phase est fournie par l'outil de thermographie permettant de localiser la source du défaut, la zone émettant le plus de photon n'étant pas nécessairement le lieu du défaut à la fois par des phénomènes de diffusion de la chaleur mais aussi à cause de l'hétérogénéité de l'émissivité des matériaux sur le dessus des puces (Al, passivation, résidus de résine, voire des mélanges si le composant a beaucoup chauffé). Les résultats sont présentés à la Fig. 2.35. Pour les composants ST, les points chauds sont localisés autour de l'anneau périphérique de grille de la puce qui permet la distribution du potentiel de grille à la structure interdigitée de grille. Pour le composant C1, le défaut semble être localisé proche d'un doigt de grille sur le plan de source au centre de la puce. De plus, certains défauts pourraient se trouver sous la résine restante, mais celle-ci n'a pas pu être enlevée dans la zone où se trouvent les connexions filaires. Après la localisation au LIT, une observation des puces au microscope optique n'a montré aucune dégradation sur la surface de celles-ci.

En conclusion, l'analyse thermique a localisé des points chaud, signature de dommages mais aucun n'endommagement ne semble visible sur le dessus des puces, ils sont donc dans le volume. Par conséquent, des microsections sont nécessaires pour explorer des dommages dans le volume.

### Microsection (Cree G2)

Pour le composant C1, un faisceau d'ions Ga focalisés (FIB) a été utilisé à proximité du point chaud afin d'obtenir une microsection et pouvoir observer l'oxyde. Dans la Fig. 2.36, la région supérieure du SiC V-DMOSFET est facilement reconnaissable. La couche d'aluminium au-dessus de l'oxyde, sous la passivation, semble avoir fondu puis migré (Fig. 2.36a). De plus, le diélectrique autour de l'électrode de la grille en poly-silicium, appelé aussi ILD, près de ses coins supérieurs, s'est fissuré avec diffusion métallique à l'intérieur pour certains d'entre eux (Fig. 2.36b). Ces fissures métalliques ont pu être antérieures au stress appliqué durant les essais en court-circuit, mais elles ont très probablement été induites par la contrainte thermomécanique pendant ceux-ci. En effet, les coefficients de dilatation thermique entre le SiO<sub>2</sub> et l'aluminium étant très différents (0.55 vs 23 [10<sup>6</sup>/K]), l'application d'un fort gradient de température a certainement pu endommager le SiO<sub>2</sub>. La diffusion du métal est très probablement causée par la fusion de l'aluminium sur le dessus de la puce (660°C) [13] ou par la migration de l'aluminium dans l'oxyde de SiO<sub>2</sub> à travers la mince couche barrière de titane. Par conséquent, le chemin de type n°1/n°4 (Fig. 2.34 a) mesuré sur C1 est très probablement causé par ce trajet métallique. Il s'agirait donc d'un chemin n°4. Malheureusement, à ce stade, la résolution SEM à notre disposition ne permet pas d'observer finement l'oxyde mince de champ (≅50nm largeur). Ainsi, les chemins éventuels de dégâts n°1 ou n°3 ne sont pas visualisables et donc ne peuvent pas être infirmés ou confirmés.

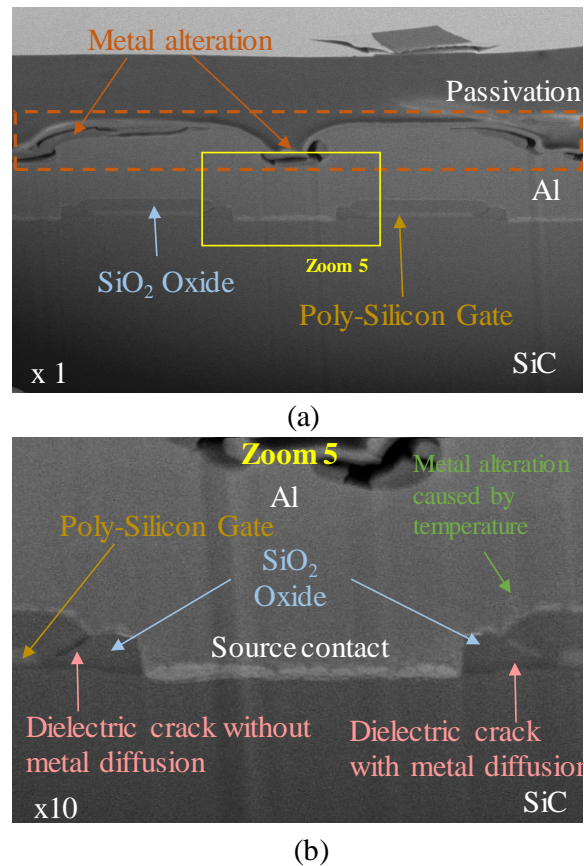


Fig. 2.36 :Image issue d'un microscope électronique (SEM) de la zone endommagée du composant C1 (a) image (b) zoom.

De plus, ces chemins sont probablement causés par des phénomènes de percolation suivis de fusions diélectriques très locales [65]. Dans ce cas, la position de la dégradation est très difficile à trouver pour les très grandes surfaces de grille des composants de puissance en raison du caractère très local de la dégradation.

Pour le composant ST2, plusieurs microsections conventionnelles de la puce nue avec un polissage suivant un axe de coupe perpendiculaire aux doigts de grille ont été réalisées mais aucun dommage n'a été clairement identifié.

#### VI.A.4 Conclusion

Pour le composant C1, l'analyse électrique a permis de déterminer qu'il y a au moins deux chemins résistifs : un entre la grille et la source, et un autre, entre la grille et la zone de JFET. L'analyse physique de la défaillance a permis de conclure que l'importante chaleur dissipée durant le court-circuit a amené à la fissuration de l'ILD suivie par une diffusion de l'aluminium dans la fissure. Cependant, le chemin résistif entre la grille et la zone de JFET n'a pas pu être observé car supposé très localisé et reparti sur l'ensemble de la surface de grille.

Les composants ST1 et ST2 présentent des caractéristiques de défaillances différentes. En particulier le composant ST2 dont le courant de fuite à la caractéristique d'une diode. En revanche, aucune défaillance n'a été observée au niveau des points chauds relevés au LIT.

## VI.B Analyse des défauts francs grillés-source

Au cours des essais en court-circuit présentées en §V, 6 composants ont présenté un défaut « franc » entre la grille et la source c'est-à-dire de l'ordre de l'Ohms en opposition au défaut « mou » présenté dans la partie précédente.

Dans une première partie, la seule analyse de défaillance convaincante du défaut franc grille source de la littérature sera présentée. Dans une seconde partie, la défaillance grille-source sera caractérisée électriquement ainsi que la diode de corps des composants en FTO. Dans une troisième partie, la localisation thermique de la défaillance sera montrée sur 3 composants (Infineon, Cree G2 et Microsemi) suivie d'une microsection FIB sur le composant Microsemi

### VI.B.1 Bibliographie sur le défaut franc grille-source.

D. Othman dans sa thèse [13], présente une observation MEB d'un composant Rohm G1 ayant cassé en FTO après un test en court-circuit de 13  $\mu$ s. Le composant a été décapsulé et dépassivé est présenté Fig. 2.37a . Il peut être observé une zone de débordement de l'aluminium de source sous la passivation qui atteint la métallisation de grille au centre de la puce et qui est supposée être à l'origine de la défaillance grille-source, Fig. 2.37b. De plus, à droite de cette zone de fusion, des craquelures au niveau de la métallisation de source et une modification de la structure de métallisation sont observables.

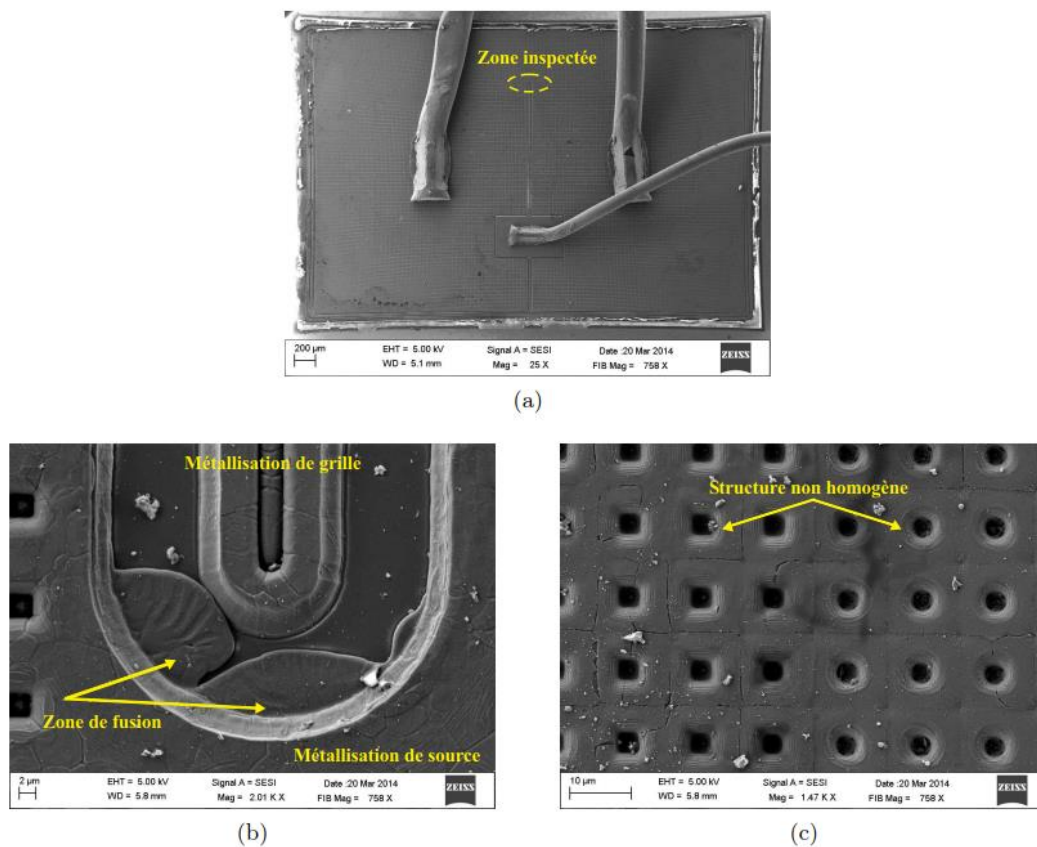


Fig. 2.37 : (a) Inspection du top métal du composant Rohm G1 après décapsulation et dépassivation. (b) zoom sur la zone de fusion au niveau de la passivation entre la métallisation de grille et de source. (c) Craquelure et travail de la métallisation de source. [13]

Il est raisonnable de supposer que la très importante température durant le court-circuit à pousser l'aluminium jusqu'à la fusion lui permettant ensuite de diffuser sous la passivation et causer le court-circuit grille source et expliquant également la dégradation et la déformation de l'aluminium en surface. Enfin, les différentes estimations de température présentées en §V montrent que la température du composant peut monter bien au-dessus de la température de fusion de l'aluminium, ce qui va dans le sens de cette observation.

### VI.B.2 Caractéristiques électriques

Le mode FTO est un court-circuit entre la grille et la source menant au blocage du composant. Afin de profiter de ce mode de défaillance pour une utilisation « fail-safe », l'impédance entre la grille et la source ainsi que les performances de la diode de corps doivent être caractérisées après le FTO.

Tableau 2.5: Récapitulatif des résistances de défaut grille-source

Device	Cree G2	Rohm G1	Rohm G2	Rohm G3	Microsemi	Infineon
$R_{GS\ Def} (\Omega)$ (Min/Max)	0,2/0,5	0,8	0,6	0,2	2/5	17

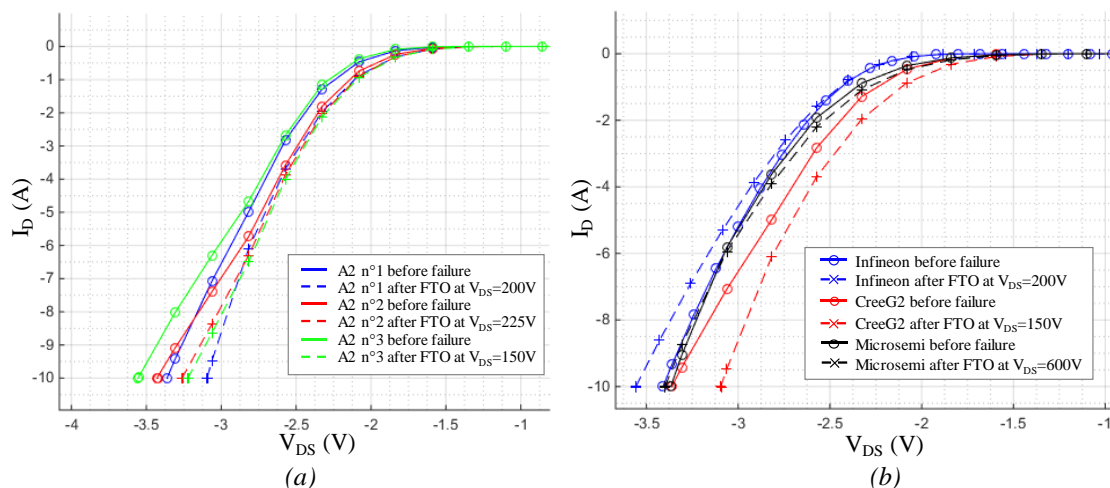


Fig. 2.38 : Caractéristique du MOSFET SiC en inverse (diode de corps) avant et après défaillance en FTO à  $V_{GS}=0V$ . (a) Composant Cree G2 pour plusieurs essais. (b) Composant Infineon, Cree G2 et Microsemi

La résistance de défaut entre la grille et la source ( $R_{GSDef}$ ) pour chaque composant en FTO est récapitulée dans le tableau 2.5. Deux types de FTO sont identifiables : ceux qui ont une faible résistance par défaut (inférieure à  $1 \Omega$ ) et ceux qui ont une résistance supérieure. Il faut faire attention avec les composants présentant une résistance de défaut plutôt importante car, si le courant injecté par la grille est suffisant pour fortement polariser le composant, celui-ci peut encore conduire. Cette particularité doit être bien prise en compte pour les futures applications « fail-safe ».

De plus, malgré la défaillance de la grille, la diode de corps des composants cassés en FTO est toujours fonctionnelle. La caractéristique de la diode a été mesurée avant et après la défaillance, comme le montre les Fig. 2.38a et 2.38b. Concernant le composant Cree G2, on remarque une diminution de la tension de seuil de la diode et la diminution de la résistance à l'état passant. Il ne semble pas y avoir de modification de la caractéristique pour le composant

Microsemi et le composant Infineon semble présenter une augmentation de la résistance à l'état passant. Il n'y a pas de tendance nette de modification de caractéristique entre les composants. Cela peut sans doute s'expliquer par le comportement en inverse du MOSFET SiC. En effet à  $V_{GS} = 0$  V, il y a une contribution du canal dans la caractéristique de la diode. Il faut appliquer une polarisation de grille fortement négative pour ne voir que la caractéristique de la diode de corps. Après un long stress en court-circuit, il y a sans doute une modification de la caractéristique de la diode mais aussi des caractéristiques du canal pouvant modifier dans un sens comme dans l'autre la caractéristique globale en inverse. Cela dit, la diode reste fonctionnelle, ce qui est l'essentiel pour les applications « fail-safe » s'il faut évacuer l'énergie d'une charge inductive (la majorité des applications).

### VI.B.3 Analyse physique des puces

#### Cree G2

Le composant Cree G2 ayant cassé en FTO à 200V en pulse long, il a été décapsulé par attaque laser puis chimique. Une observation au microscope optique de la puce est présentée Fig. 2.39a. Plusieurs zones de dégradation sont visibles sur le pad de source et sur les bords du pad de grille ainsi que des fissurations sur le pad de source proche des fils de bonding signe du très important stress thermomécanique subi par le composant durant l'essai en court-circuit. Ensuite, un LIT à 25 Hz a été réalisé par excitation de la grille, le résultat en amplitude est visible en Fig. 2.39b. Les points chauds se situent sur le bord du pad de grille dans la zone de distribution du potentiel de grille. Là encore, aucune fusion métallique en surface n'est visible, le défaut est donc supposé dans le volume. Étant donné la position très proche des résultats déjà obtenus par FIB sur un autre composant Cree G2 présenté en §VI.A.3, il est très probable que les défauts de ce composant soient une version plus étendue du phénomène de fissuration et de diffusion du métal à travers l'ILD entre l'aluminium de source et le polysilicium des doigts de grille. Par conséquent, aucune microsection n'a été effectuée.

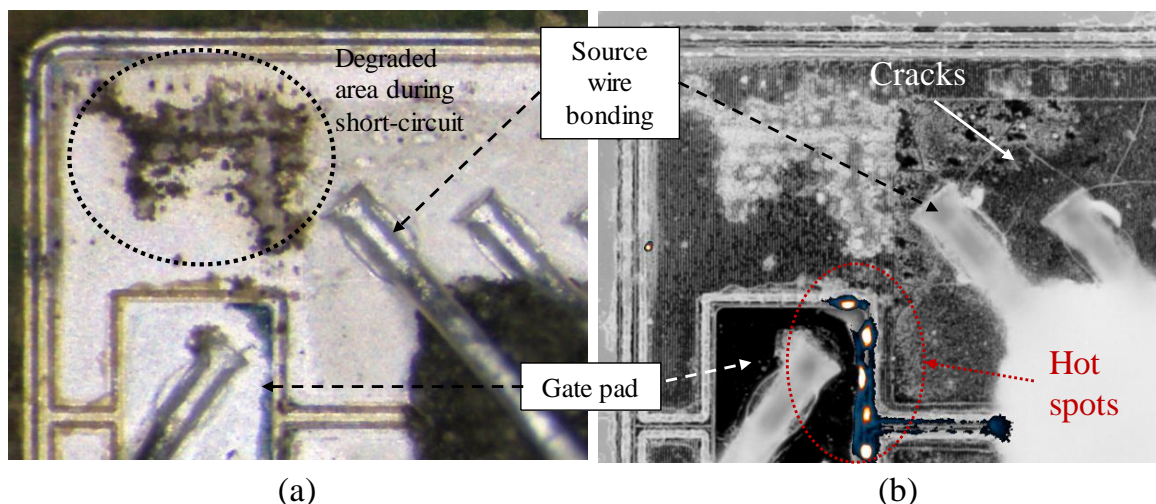


Fig. 2.39 : (a) Inspection optique du top métal du composant Cree G2 après décapsulation (b) résultat du LIT à 25Hz

## Infineon

Le composant Infineon présente un FTO à 200V dont les formes d'ondes sont présentées en Fig. 2.25 §V.C.3. Il a été décapsulé de la même façon que les composants précédemment présentés. L'inspection visuelle de la puce en Fig. 2.40a montre des traces d'un échauffement excessif avec un changement de couleur des pads de source et des diffusions de métal le long

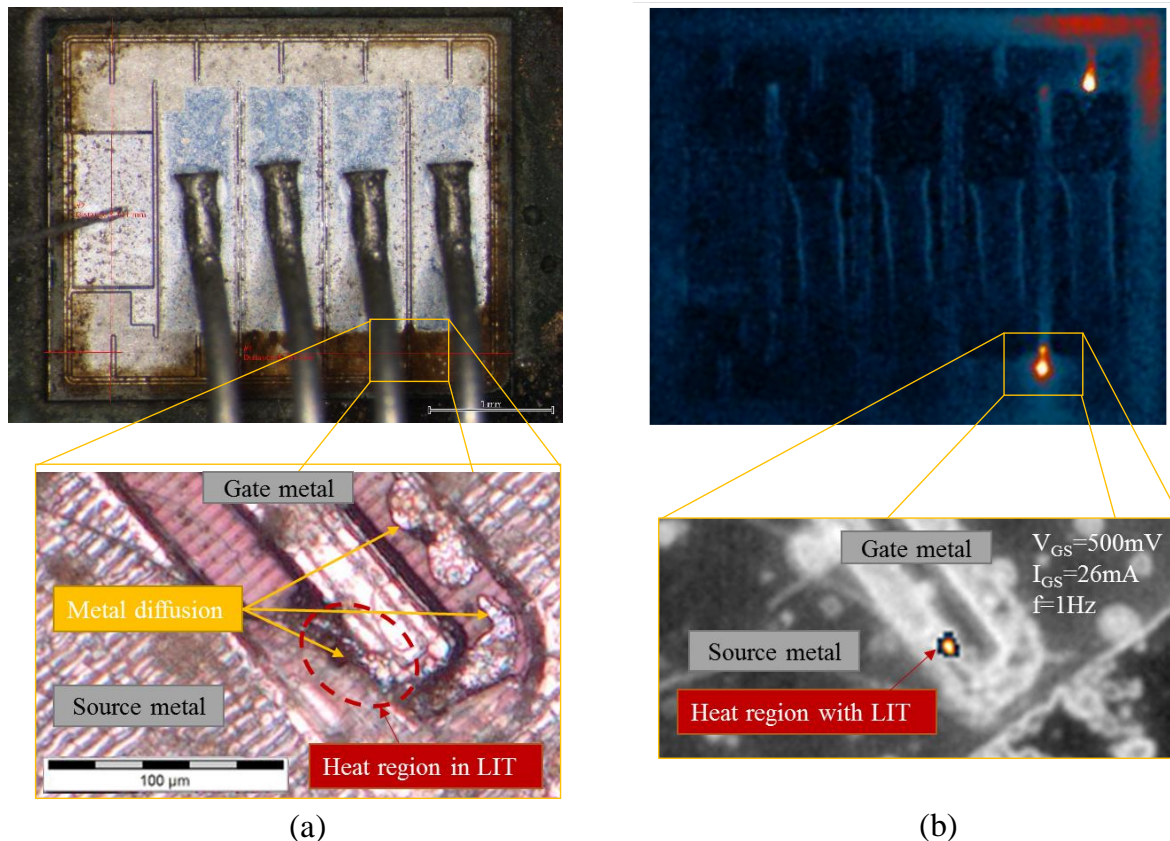


Fig. 2.40 : (a) Inspection optique du top métal du composant Infineon après décapsulation et zone sur une des deux zones défaillantes (b) résultat du LIT à 1Hz et zoom sur la zone défaillante

des doigts de métallisation de grille entre les pads de grille. Contrairement à ce que qui aurait pu être attendu les chemins de passage de courant sont localisés en 3 points visibles via l'image LIT en Fig. 2.40b. Une observation plus fine d'un des points chauds montre une diffusion du métal de source jusqu'à la métallisation de grille sous la passivation et avec une très bonne corrélation avec le point chaud de la même façon que reporté en VI.B.1 sur le composant Rhom G1. Il est raisonnable de supposer que l'intégralité de la défaillance soit surfacique bien que l'on ne puisse pas complètement écarter la possibilité qu'une partie de la défaillance soit volumique à cause des « sauts » observés au cours de la défaillance, de manière similaire à un claquage partiel d'un diélectrique.

## Microsections (Microsemi)

Le composant Microsemi présente un FTO à 600V et 20V de polarisation de grille en pulse long dont les formes d'ondes sont présentées en Fig. 2.27 §V.D. Il a été décapsulé de la même façon que les composants précédemment présentés. L'inspection visuelle globale montre des fissures du top métal et quelques zones présentant un échauffement comme présenté en Fig.

2.41b. L'imagerie LIT montre que le défaut de grille est localisé sur le bord de la puce mais cette fois sans aucune trace de diffusion de métal en surface. Une multitude de microsection FIB a été menée à travers la zone identifiée avec la prise d'une image après chaque gravure. Une des images recueillie est présentée en Fig. 2.41c. À gauche, la métallisation de l'anneau de grille permettant la distribution du potentiel de grille autour de la puce est visible. Au centre, il n'y a pas de métal, le potentiel de grille est amené via une large plage de polysilicium encapsulée dans du SiO<sub>2</sub>. La plage est ensuite divisée en doigts et descend via une marche au plus près du SiC seulement isolée via la très fine couche d'oxyde de champ (50nm) (non représentée sur la photo Fig. 2.41c). Au-dessus de la marche, sur la gauche, le début du pad de source en Aluminium est visible. La zone défaillante se situe au niveau de cette marche. En effet, un filament de métal est observable dans le volume de SiO<sub>2</sub> entre deux doigts de grille juste en dessous du début de la métallisation de source. Ce filament métallique, distribué entre plusieurs doigts de grille, est supposé créer le court-circuit grille-source. Il est aussi à remarquer que juste au-dessus du défaut une fissure de la passivation dans laquelle a diffusé de l'aluminium est visible. On peut supposer qu'à cause de la très importante température de la puce durant le court-circuit, les contraintes thermomécaniques ont créé des fissurations sur les

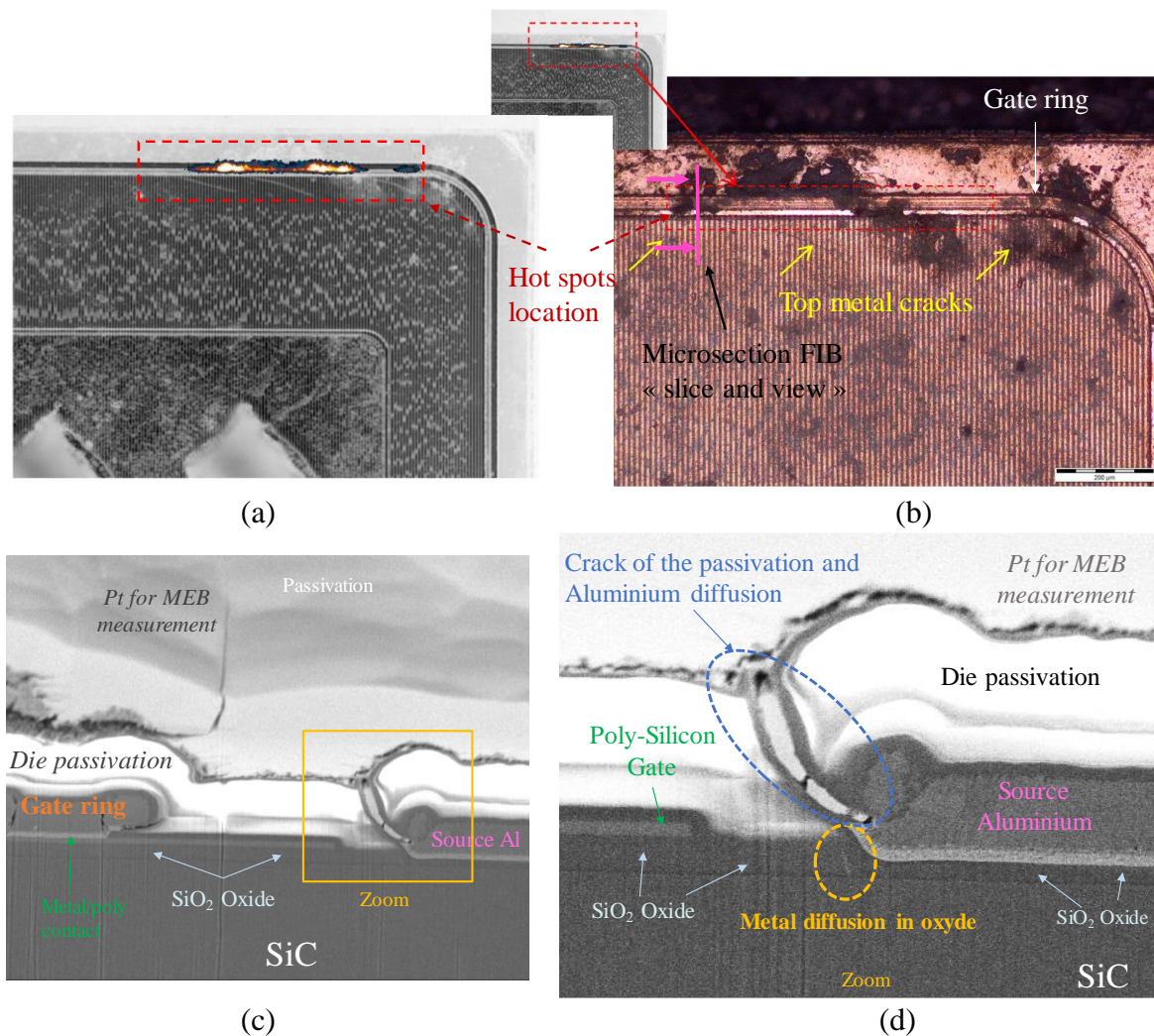


Fig. 2.41 : (a) Image LIT à 25 Hz de la puce microsemi au bord de la puce. (b) Image microscope optique de la zone de présence des points chauds. (c) Image MEB de la microsection FIB perpendiculaire à la structure inter-digité de grille. (d) zoom de l'image précédente et visualisation des défauts.



bords de la puce supposée plus fragile. A travers ces fissures, de l'aluminium sous forme liquide a diffusé de manière similaire à ce qu'a pu être observé pour le composant Cree G2 avec une défaillance plus résistive.

#### VI.C Conclusion

Comme montré dans la section précédente, le mode FTO est largement présent chez les composant MOSFET SiC de manière transitoire ou permanente. Cependant, le mécanisme de défaillance physique à l'origine du court-circuit grille-source n'avait été que peu exploré. Les résultats présentés durant cette thèse montrent qu'il existe deux principales manifestations de ce court-circuit grille source. Le premier cas est une diffusion de l'aluminium de la source vers la métallisation de grille sur le dessus de la puce. Ce mécanisme est observé sur le composant Infineon et le composant Rohm G1. Le second cas, mis en lumière pour la première fois dans cette thèse, correspond à la diffusion de l'aluminium de source à travers le diélectrique épais isolant électriquement le polysilicium de grille et la source. La diffusion du métal n'est possible que par une fissuration préalable ou concomitante du  $\text{SiO}_2$  due à la grande différence des coefficients de dilatation des matériaux en présence, mais aussi par la fusion de l'aluminium.

Ces deux résultats montrent que le mécanisme de défaillance principal est causé par le changement de phase de l'aluminium. En effet, cette interprétation est cohérente avec les profils de température issue du modèle thermique car pour quasiment la totalité des composants étudiés, il suffit de quelques microsecondes pour atteindre le point de fusion de l'aluminium. De plus, la défaillance ne serait pas instantanée à partir de la fusion car il est supposé qu'un temps minimal soit nécessaire afin que le métal se propage jusqu'à la grille sur la puce ou dans le volume. La différence entre les deux chemins possibles de diffusion du métal serait alors principalement due aux différences dans l'agencement des métallisations et les processus de fabrication produisant ou non des fissures ou permettant la diffusion du métal.

La dégradation de l'oxyde de champ semble être une hypothèse très vraisemblable compte tenu de la densité de porteurs chauds qui traverse l'oxyde durant le court-circuit. Cependant, à part des mesures électriques de chemin de défaut aucune analyse de défaillance n'a pu confirmer un claquage local de l'oxyde.

## VII. Conclusion du chapitre 2

Durant cette thèse, les MOSFET SiC 1200V 80mΩ de plusieurs générations et différentes technologies ont été amplement étudiés en régime de court-circuit. Afin de procéder aux essais de manière sûre, un banc de test équipé d'un disjoncteur électronique a été développé.

Dans un premier temps, les composants étudiés ont été caractérisés. Il a été observé que la tendance dans le développement de nouveaux composants en SiC est à la diminution des surfaces de puces et l'augmentation des densités de courant avec le développement de structures *trench* bien que les structures *planar* restent majoritaires. Adjointe aux contraintes intrinsèques de dimensionnement de ces composants (forte polarisation de grille, faible épaisseur d'oxyde) l'augmentation des densités de courant mène à des temps de tenue en court-circuit de plus en plus faible bien inférieurs au standard de 10 μs des IGBT Si. Cependant, tous les composants testés ont présenté une fuite de grille « dynamique » qui apparaît à environ la moitié du temps de tenue au court-circuit. Cette propriété remarquable sera utilisée au chapitre 4 dans un circuit au plus proche du driver afin de protéger le composant des événements de court-circuit.

Dans un second temps, l'origine physique du phénomène de fuite de grille dynamique a été étudié afin de comprendre, à la fois, pourquoi il était présent sur chaque composant et si cette propriété devrait perdurer dans les futures générations de composants. Après étude, il semblerait que ce phénomène soit une conduction d'électrons à travers l'oxyde de grille appelée émission thermionique. Cette conduction est causée à la fois par la très importante température du SiC durant le court-circuit (supérieure à 1200K) mais aussi par la hauteur de la barrière  $\Phi_B$  plus faible pour le couple SiC/SiO<sub>2</sub> que pour le Si/SiO<sub>2</sub> faisant du SiO<sub>2</sub> un moins bon isolant pour le SiC que pour le Si. La présence de ce courant aurait tendance à piéger des charges dans l'oxyde bien que les mécanismes ultimes de dégradation de la grille semblent plutôt être dus à des phénomènes métallurgiques. Le courant de grille dynamique est dorénavant considéré comme un indicateur de la température extrême du composant.

Dans une troisième partie, les deux modes de défaillance des composants (FTO, FTS) sont étudiés afin de déterminer avec l'aide d'un modèle thermique les raisons d'apparition d'un mode plutôt que l'autre sur chaque composant. Le mode FTS apparaît dès lors que le composant atteint une température critique d'emballement thermique. Le mode FTO apparaît dès lors qu'une température suffisante est atteinte et dans un temps donné minimal propre à chaque composant. L'évolution de cette température est fixée par la caractéristique thermique de la puce mais aussi par la puissance dissipée ( $I_{DSat} \times V_{DS}$ ). Il en ressort qu'en règle générale pour atteindre le défaut FTO il faut utiliser le composant à faible  $V_{DS}$  pour limiter la dynamique en courant et ainsi la dynamique thermique. Le couplage de cette analyse avec l'étude spécifique des dégradations et des défaillances de la grille menant au mode FTO présentée dans la quatrième partie permet une meilleure compréhension du défaut FTO. En effet, il semble que le court-circuit grille source soit principalement causé par une diffusion d'aluminium dans le volume de la puce à travers des fissures ou sur le dessus de la puce sous la passivation. Le temps minimal d'apparition du défaut FTO étant bien supérieur au temps nécessaire pour atteindre la fusion de l'aluminium, on peut raisonnablement supposer que la différence entre les deux soit le temps nécessaire à la diffusion de l'aluminium et le temps requis pour fissurer l'ILD du composant par la forte dynamique thermique. Il reste cependant encore compliqué aujourd'hui de relier la température de FTO (environ 1600K pour la plupart des composants) à un

phénomène physique précis car cette température ne correspond, a priori, à aucune température de fusion probable de matériau utilisé dans la fabrication de ces puces.

Finalement, la durée de tenue en court-circuit des composants étudiés peut être très différente à polarisation similaire mais elle est principalement corrélée à la densité de courant de court-circuit que la puce admet. Les formes d'ondes sont, en revanche, très proches : fort courant de saturation (5 à 10 fois  $I_{Dnom}$ ) qui décroît rapidement avec l'augmentation de la température et l'apparition d'un courant de fuite de grille dynamique. Ces caractéristiques sont causées par la faible épaisseur d'oxyde de grille et la forte polarisation de grille mais le courant de grille ne peut exister que parce que les propriétés physiques particulières du 4H-SiC déplacent la température de l'emballement thermique à un niveau beaucoup plus élevé que celui déjà observé avec les composants Si. Par conséquent, de nouveaux mécanismes de défaillance sont découverts, en particulier dans la région de grille (une des plus sollicitée thermiquement) avec la défaillance grille-source causée par la fusion de l'aluminium de source. Cependant, l'apparition de ce mode de défaillance, résultant de mécanismes de fissuration parasites et de phénomènes de micro-écoulement, ne permet pas nécessairement d'exister en fonctionnement nominal du composant ni même de manière définitive. Il pourrait même être amené à disparaître avec une meilleure maîtrise des processus technologiques. En revanche, un composant a été identifié (Microsemi) car il casse en FTO à tension nominale et donc semble le plus approprié à des utilisations « fail-safe ».

## CHAPITRE 3 : MODELISATION ELECTROTHERMIQUE D'UN MOSFET SiC EN REGIME DE COURT-CIRCUIT

### I. Introduction

Dans un objectif d'étude de la physique de la défaillance (PoF) des composants MOSFET SiC en régime de court-circuit, la construction d'un modèle électrothermique complet du comportement et de la défaillance du composant est primordiale pour identifier les phénomènes physiques mis en jeu mais aussi pour prédire le fonctionnement de celui-ci. La modélisation électrothermique fine d'un semi-conducteur et la prédiction simultanée de son comportement au sein d'un système sont difficilement conciliables en raison de la complexité et des facteurs d'échelle à prendre en compte. À titre d'exemple, un modèle comportemental du composant semi-conducteur sur des plages de fonctionnement très précises est nécessaire afin de pouvoir estimer les pertes dans un convertisseur statique du point de vue de l'utilisateur. Au contraire, une modélisation fine en 2D ou 3D, se basant sur des phénomènes physiques précis, va être nécessaire au concepteur du composant afin d'évaluer l'impact des nombreux paramètres régissant son fonctionnement et trouver les meilleurs compromis. La question du niveau de modélisation est donc centrale dans ce type d'approche et dépendra de la finalité principale du modèle.

Le but premier est d'utiliser le modèle afin de simuler des scénarios de défaut au sein d'un convertisseur statique et d'aider à la conception de convertisseurs «fail-safe» équipés de MOSFET SiC. La contrainte principale de la modélisation est de développer un modèle représentatif du comportement électrique du composant en court-circuit et de l'implémenter dans un logiciel spécialisé dans la simulation de convertisseurs statiques PLECS (similaires à PSIM). Un modèle comportemental « haut niveau » avec un faible temps de calcul est donc nécessaire, c'est-à-dire avec une bonne précision des grandeurs considérées sans trop de complexité dans leur modélisation. Par exemple, la discrimination des modes de défaillance et la dynamique du courant de saturation sont largement imposées par la large dynamique thermique du composant (300K à 1800K). Il a donc fallu isoler les grandeurs importantes à notre modélisation : la température de jonction et la température du dessus de la puce. Il a été supposé que ces températures étaient uniformes sur la surface de la puce, ce qui a permis de les estimer avec un modèle 1D, « léger » en temps de calcul. Ces modèles, une fois adaptés à la modélisation circuit, ont été la colonne vertébrale autour de laquelle sont venus s'indexer des modèles basés sur des phénomènes physiques. Il faut donc bien choisir l'échelle de modélisation par rapport à l'objectif de celle-ci.

Le modèle a été conçu sur la base d'un MOSFET en fonctionnement nominal, comme introduit dans la thèse de T. Rossignol [12] et sera plus amplement détaillé dans la partie VI. Il correspond au modèle en noir sur la Fig. 3.1. Le modèle a ensuite été amélioré de manière incrémentale tout le long de cette thèse, en augmentant progressivement son domaine de validité. En commençant par le modèle comportemental de la fuite de grille dynamique, suivi de la modélisation thermique, des modèles du courant de saturation, de la tension de grille, de l'emballage thermique du composant et des modes de défaillance. Les fonctions développées dans cette thèse sont présentées en rouge dans la Fig. 3.1. Le modèle s'appuie sur le comportement du composant Rohm G2 qui est bien représentatif des comportements des

MOSFET SiC en court-circuit. En effet, il présente une importante fuite de grille dynamique et plusieurs modes de défaillance. Il présente cependant un fort  $T_{SC}$  contrairement à la plupart des MOSFET SiC. Le modèle pourrait être adapté à d'autres MOSFET SiC. Le modèle de composant développé dans ce chapitre a été implémentés dans PLECS™, un logiciel de simulation de circuits électriques. PLECS™ présente les avantages d'être communiquant avec MATLAB et de pouvoir simuler rapidement des circuits électriques complexes.

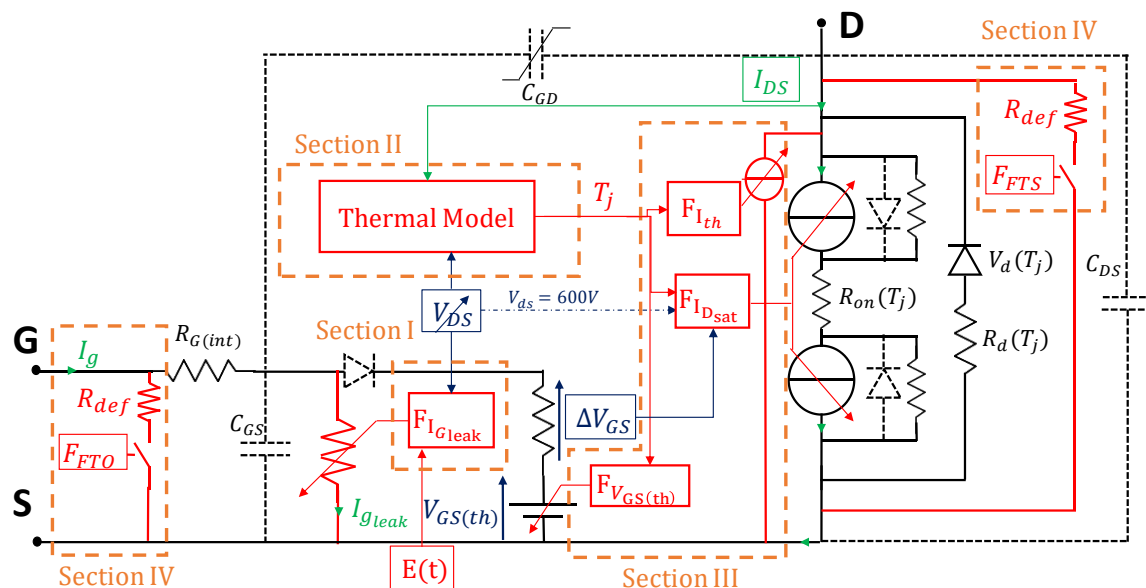


Fig. 3.1 : Modèle électrothermique d'un MOSFET SiC. En noir, le modèle précédemment développé modélisant le comportement du composant dans son SOA. En rouge les nouvelles fonctions permettant de modéliser le composant en régime de court-circuit.

Dans une première partie, la modélisation comportementale de la fuite de grille est présentée. Dans une seconde partie, les différentes modélisations thermiques 1D sont explorées, et en particulier la comparaison entre un modèle analytique et des modèles discrétisés sous forme de ligne de propagation. L'influence de la dépendance à la température des paramètres physiques telle que la conductivité thermique ou la prise en compte de la chaleur latente de fusion de l'aluminium seront analysées. Des méthodes de résolution de ces problèmes adaptées à la simulation circuit seront présentées. Dans une troisième partie la modélisation du courant de drain du composant sera présentée. Elle comporte à la fois la variation du courant de saturation et de la tension de seuil en fonction de la température ainsi que la modélisation du courant de génération thermique aboutissant à la défaillance drain-source du composant. Dans une quatrième partie, les modes de défaillances sont modélisés en accord avec les résultats présentés dans le chapitre 2. Dans une cinquième partie, la modélisation des différentes parties est présentée dans PLECS ainsi que la comparaison du modèle avec des mesures expérimentales.

## II. Modélisation comportementale de la fuite de grille

### II.A Construction du modèle comportemental de la fuite de grille

À partir des résultats expérimentaux obtenus dans le Chap. 2§III.B pour le composant Rohm G2, un modèle de courant de fuite de grille dynamique comportemental a été élaboré. Le but de ce modèle est de décrire avec précision le comportement du composant afin de l'intégrer dans le logiciel de type circuit PLECS™ pour faciliter le développement d'un circuit de protection.

L'origine physique de ce courant est supposé être un courant de conduction à travers l'oxyde de grille déclenché par la très importante température atteinte par le dessus du substrat durant le court-circuit comme présenté dans le Chap.2§IV. Le modèle physique de ce phénomène est rappelé ci-dessous.

$$J_{SE} = \frac{4\pi q k^2 m_{ox}}{h^3} \cdot T^2 \cdot \exp \left[ \frac{-\Phi_B + \sqrt{q^3 E / (4\pi \epsilon_r \epsilon_0)}}{kT} \right] \quad (3.1)$$

Le modèle présenté dans l'équation (1) est dépendant du carré de la température de l'oxyde et en exponentielle de la racine carré du champ électrique. L'évolution temporelle de la fonction dépend très fortement de l'estimation de la température, une erreur de quelques degrés peut donner des résultats à une décade de différence. Il est donc extrêmement difficile de régler ce type de modèle.

De plus, la Fig. 3.1 présente les points expérimentaux (cercles) pour quatre polarisations de grille différentes, (18, 19, 20 et 21V). Les différents points se placent naturellement sur la caractéristique de la source de tension de grille constituée par le buffer et la résistance de grille dans le plan  $I_G V_{GS}$  (caractéristiques affines décroissantes). Les points expérimentaux sont classés par valeur d'énergie dissipée dans la puce ( $E_n = V_{DS} \cdot I_{DS} \cdot t$ ;  $E_n = 1 ; 1,05 ; 1,1$  et  $1,17$  J). Il est remarquable que pour une énergie donnée et une polarisation de grille différente, une

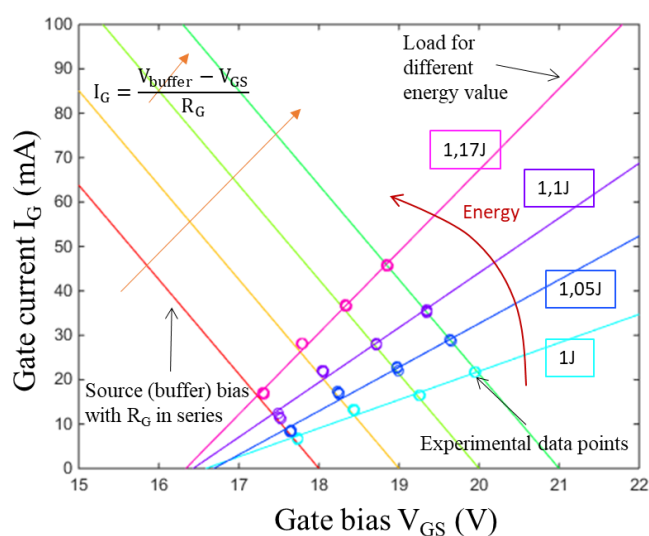


Fig. 3.2 : Points de mesure du courant de grille à l'intersection de la caractéristique du driver-résistance de grille et de la caractéristique du phénomène de conduction à travers l'oxyde de grille dans le plan  $(I_G, V_{GS})$  (essais effectués @  $R_G=47\Omega$   $V_{DS}=600V$ )

caractéristique de charge se forme (caractéristiques affines croissantes). Un comportement ohmique du phénomène de conduction est donc identifiable et servira de modèle comportemental à la fuite de grille. Ce comportement ohmique est très clairement dépendant de l'énergie dissipée dans la puce qui est elle-même une image de la température du composant dans un court-circuit de type I. Ce comportement est d'autant plus surprenant que dans la relation (3.1) la relation entre le champ électrique et le courant n'est pas linéaire.

Le modèle du courant de fuite de grille dynamique est donc choisi comme une fonction affine de la tension de grille et les paramètres de la fonction sont eux dépendant de l'énergie dissipée dans la puce comme présentée en (3.2), (3.3) et (3.4). De plus, le courant n'apparaît qu'à partir d'une valeur d'énergie fixée ( $E_{th}$ ) comme mis en évidence de façon expérimentale (chap2.II.B).

$$I_g = a_1(E_n) \cdot V_{GS} + a_2(E_n) \quad (3.2)$$

Avec

$$a_1(E_n) = p_{01} + p_{11}E_n + p_{21}E_n^2 \quad (3.3)$$

$$a_2(E_n) = p_{00} + p_{10}E_n + p_{20}E_n^2 + p_{30}E_n^3 \quad (3.4)$$

( $p_{00}, p_{01}, \dots$ ) sont des paramètres estimés. Le modèle (3.1) est ainsi dépendant des grandeurs électriques  $V_{GS}$ ,  $V_{DS}$  et  $I_{DS}$  au travers de l'expression de l'énergie. Il faut cependant ajuster le modèle vis-à-vis de la polarisation de drain en faisant dépendre les termes ( $p_{00}, p_{01}, \dots$ ) linéairement à  $V_{DS}$ .

Cette modélisation a l'avantage d'être facilement calculable dans PLECS. En revanche, elle présente quelques limitations. Le modèle est paramétré en énergie et non en température, la température initiale du composant au moment du court-circuit ne peut donc pas être prise en compte. Comme tout modèle comportemental, ce modèle sera limité dans son domaine de validité. En effet, celle-ci sera déterminée par les données expérimentales utilisées pour estimer les paramètres du modèle.

Tableau 3.1: Paramètre du modèle estimés pour le composant Rohm G1 en fonction de  $V_{DS}$

p00	$174.2161 - 0.5505 \cdot V_{ds}$
p10	$192.8417 - 0.5720 \cdot V_{ds}$
p01	$-11.8436 + 0.0356 \cdot V_{ds}$
p20	$52.8609 - 0.1482 \cdot V_{ds}$
p11	$-13.7143 + 0.0386 \cdot V_{ds}$
p30	$-0.9317 + 0.0026 \cdot V_{ds}$
p21	$-4.1480 + 0.0111 \cdot V_{ds}$

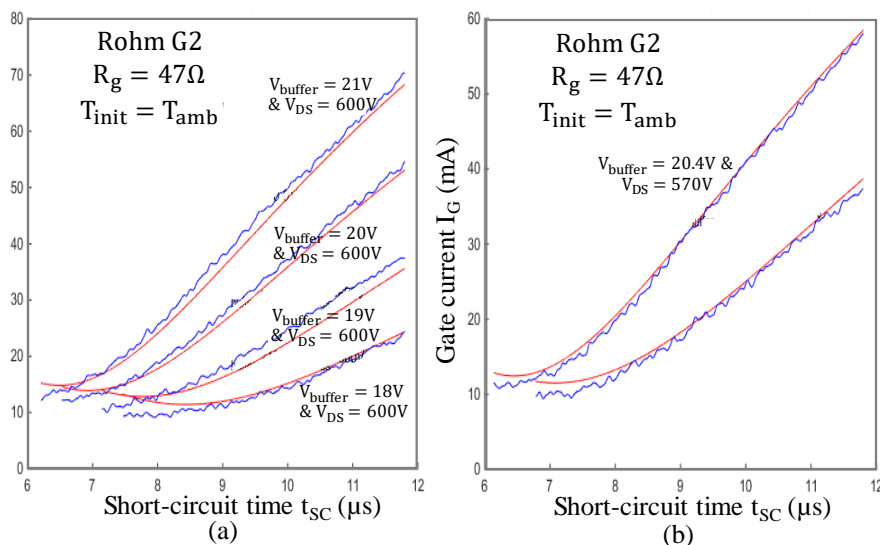


Fig. 3.3 : Modèle (en rouge), Mesures (en bleu) du courant de fuite de grille dynamique durant un court-circuit composant Rohm G2. (a) Test de robustesse du modèle sur des données non utilisées pour estimer le modèle. (b) Résultat de l'estimation des paramètres du modèle

### II.B Estimation et robustesse du modèle

Les paramètres du modèle sont estimés sous MATLAB à partir de données expérimentales de nombreux court-circuits de type I en pulse court du composant Rohm G2. La plage de validité du modèle est de  $V_{DS} \in [400V, 600V]$ ,  $V_{buffer(ON)} \in [18V, 21.5V]$  et  $T_{jinit} = 25^\circ C$  pour les paramètres des essais et compris entre  $[E_{th}, 1.5J]$  pour l'énergie. La valeur des paramètres est présentée dans le Tableau 3.1.

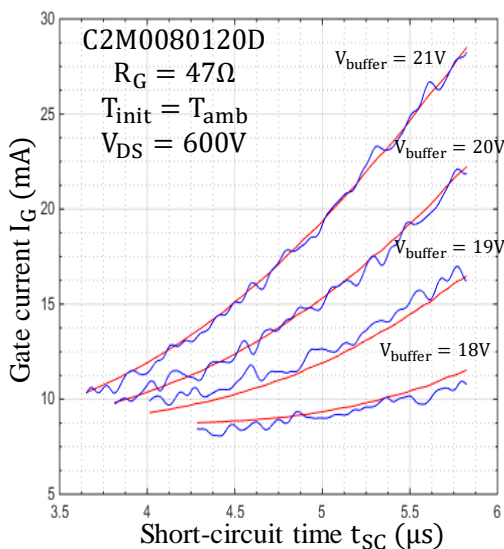


Fig.3.4 : Modèle (en rouge), Mesures (en bleu) du courant de fuite de grille dynamique durant en court-circuit composant Cree G2

Afin de déterminer la robustesse du modèle, deux tests différents ont été effectués. Le modèle proposé a d'abord été comparé aux données obtenues à partir d'un autre composant Rohm G2, c'est-à-dire pour de nouveaux résultats expérimentaux (Fig. 3.3a). Dans une deuxième étape, le modèle proposé a été comparé à des résultats expérimentaux différents de



ceux qui sont utilisés pour estimer les paramètres du modèle (Fig. 3.3b). Au regard des résultats, le modèle semble robuste et très proche des résultats expérimentaux.

De plus, le modèle peut être facilement adapté à d'autres composants MOSFET SiC. En effet, dans la Fig. 3.4, les paramètres du modèle ont été estimés avec les données expérimentales du composant Cree G2. Ces résultats valident l'approche proposée et démontrent la robustesse du modèle pour différents composants.

### III. Modélisation thermique

Durant un évènement de court-circuit, un champ électrique très important est distribué dans la zone de déplétion tout en laissant passer une très forte densité de courant à travers le composant. Cette configuration particulière induit une densité de puissance dissipée dans un MOSFET SiC en boîtier TO-247 de plusieurs kW/cm<sup>2</sup> amenant à une augmentation extrêmement rapide de la température à l'intérieur du composant en quelques microsecondes. Provoquant des contraintes thermomécaniques extrêmes pouvant amener à la défaillance du semi-conducteur comme présenté dans le chapitre II.

Une augmentation aussi rapide de la température est, par nature, impossible à mesurer. La littérature montre des techniques ultrarapides de thermographie infrarouge sur le dessus des puces permettant de se rendre compte de la répartition surfacique de la température [33]. Bien que spectaculaire, cette technique ne peut pas quantifier la température de manière absolue, en grande partie car la température instantanée de la puce durant le court-circuit monte à des niveaux bien supérieures à l'étalonnage possible des appareils utilisés ainsi qu'à l'hétérogénéité de l'émissivité des matériaux sur le dessus des puces (aluminium, passivation, polysilicium,...).

Disposer d'un outil permettant de simuler avec précision la température de jonction lors d'un tel essai serait d'un grand intérêt. En fait, il pourrait être utilisé pour prédire la robustesse d'un circuit et pour aider à comprendre les mécanismes de défaillance tels que les températures critiques et les dynamiques thermiques, etc. Il pourrait également être utilisé dans la conception des semi-conducteurs et des boîtiers afin d'optimiser la robustesse, par exemple en étudiant l'influence de l'épaisseur du métal sur le dessus de la puce ou celle de la *base-plate*. De plus, un tel outil adjoint avec une modélisation électrique pourrait être utilisé pour estimer le temps de réponse maximal acceptable d'un circuit de protection.

La littérature présente une grande variété d'approches permettant d'estimer la température durant une phase de court-circuit, à la fois sur la dimension du problème : 1D, 2D ou 3D et allant d'une estimation moyenne de la température de la puce à la distribution du courant dans une grande quantité de cellules. D'un côté, les modèles 1D ont une validité modérée mais facilement calculable et, de l'autre, les modèles 3D sont bien plus riches mais coûteux. Certains modèles couplent les modèles électriques et thermiques alors que d'autres utilisent des mesures électriques expérimentales pour définir une source de chaleur. Les conditions aux limites, les dimensions géométriques utilisées ainsi que la valeur des paramètres thermiques sont autant de paramètres différents qui vont influencer sur les résultats de la modélisation.

L'approche développée durant cette thèse a été d'utiliser un modèle 1D en augmentant progressivement la complexité de la modélisation et en s'attachant à implémenter les modélisations dans PLECS.

Dans une première partie, le principe de la modélisation thermique 1D est développé ainsi que les principales hypothèses employées. Une première résolution du problème analytique sera présentée. Dans une seconde partie, le modèle le plus simple est présenté et résolu avec PLECS sous forme d'un réseau de Cauer à 180 éléments. Dans une troisième partie le modèle le plus complexe, prenant en compte la chaleur latente de fusion de l'aluminium et

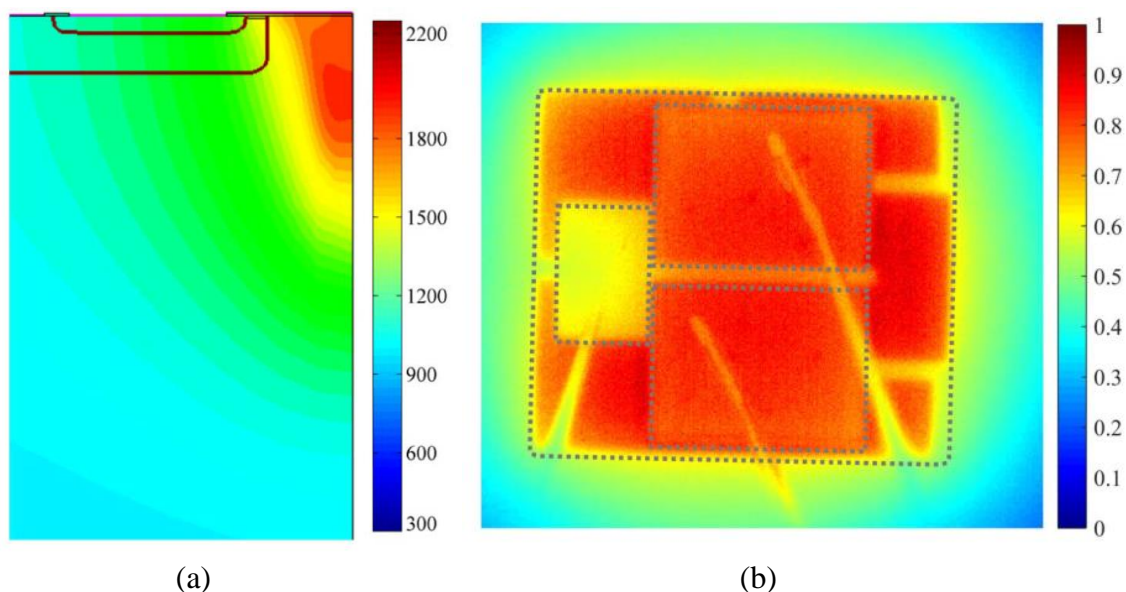


Fig. 3.5 : (a) Simulation électrothermique 2D montrant le pic de température au niveau de la zone intercellulaire JFET en court-circuit @  $t=18,5\mu s$   $V_{DS}=400V$ ,  $V_{GS}=18V$   $T_{CASE}=27^{\circ}C$  (échelle en Kelvin) [33] (b) Thermographie infrarouge d'une puce en régime de court-circuit à  $t=10\mu s$  (zone la plus chaude à 1 sur l'échelle). [33]

la dépendance à la température des paramètres thermiques des éléments considérés sera présenté. Dans une quatrième partie, l'influence de l'épaisseur de la couche d'aluminium de source sur la température de jonction sera étudiée.

### III.A Principe de la modélisation thermique 1D

#### III.A.1 Hypothèse de la validité d'un modèle 1D

Durant un évènement de court-circuit, la densité de puissance maximale se situe à la jonction entre la zone de JFET et la zone de déplétion à l'endroit où le champ électrique et la densité de courant sont maximaux. Une simulation 2D d'une cellule *planar* MOSFET SiC en régime de court-circuit issu de [33], montre que ce pic de température est très localisé, en Fig. 3.5a En effet, l'augmentation de la température se fait dans la zone de JFET, elle-même extrêmement proche de la surface de la puce due à la faible épaisseur de la zone de déplétion (très fort dopage du SiC)[10] avec une propagation de la chaleur très limitée dans l'épaisseur du composant. De plus, la thermographie infrarouge toujours effectuée par [33] en Fig. 3.5b, montre une distribution plutôt homogène de la température sur le dessus de la puce durant le court-circuit. En effet, les cellules élémentaires présentées en Fig. 3.5a sont disposées très densément aboutissant à une température bien couplée entre les cellules et donc relativement homogène sur le dessus de la puce. Par conséquent, étant donné la dissipation de la chaleur très localisée sur le dessus de la puce et ses dimensions géométriques (largeur de puce  $\gg$  épaisseur de la puce) il est supposé que la diffusion de la chaleur dans la puce se fait seulement dans l'épaisseur de manière orthogonale à la surface. Une modélisation de la propagation de la chaleur selon une seule dimension est donc acceptable. La température estimée étant la température moyenne surfacique de la puce à une profondeur donnée dans l'épaisseur de la puce [60], [66]. Il est supposé que la chaleur est dissipée seulement dans la partie active de la puce.

### III.A.2 Structure de l'assemblage réel

Le modèle thermique 1D est décrit par couches de matériaux d'épaisseurs différentes comme sur la puce réelle. Les surfaces actives des puces ont été extraites après décapsulation des puces. Les épaisseurs des couches ont été extraites des différentes micro-sections [44], [46] et effectuées sur des composants MOSFET SiC présentés dans le Chap. 2.VI et de la littérature [10], [22]. Les épaisseurs des différentes couches sont généralement très proche. Il y a une couche d'environ  $4\ \mu\text{m}$  d'aluminium sur le dessus de la puce. L'oxyde épais et le poly-silicium de grille, de très faibles épaisseurs ne sont pas modélisés. Le substrat, fortement dopé N mesure  $160\ \mu\text{m}$ , sur lequel une épitaxie de  $14\ \mu\text{m}$  est réalisé, suivi de l'implantation ionique des caissons porte-canaux P+/P et des régions N+. La puce est brasée avec SAC 305 d'une épaisseur moyenne de  $50\ \mu\text{m}$  sur une *baseplate* en cuivre de  $1,5\ \text{mm}$ . La prise en compte des différentes couches dans la modélisation thermique dépendra à la fois de la vérification des conditions aux limites et de la complexité/précision souhaitée. Les différentes couches sont représentées en Fig. 3.6.

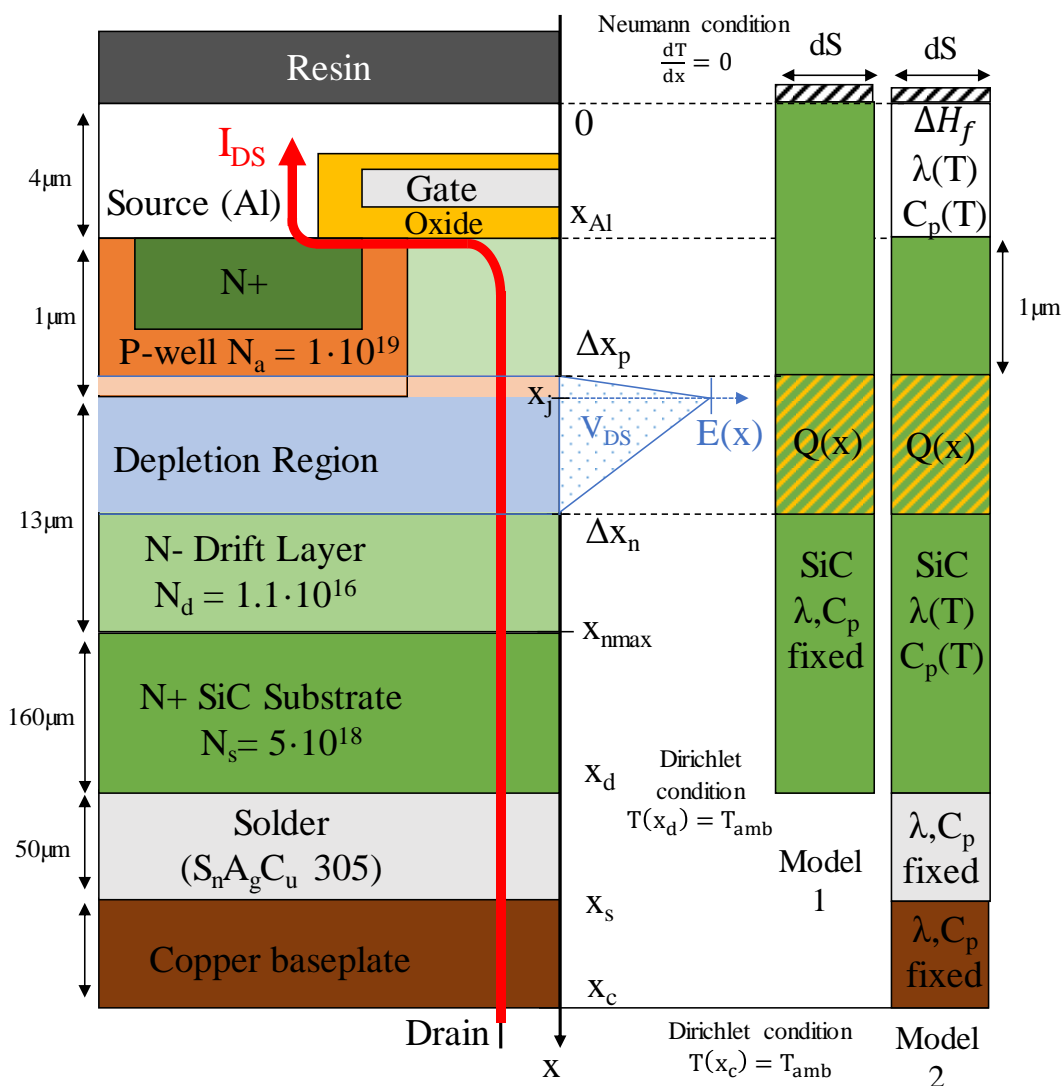


Fig.3.6 : (gauche) représentation en 2D d'une cellule MOSFET SiC avec les couches dopées et la distribution du champ électrique et le chemin du courant lors d'un court-circuit. (droite) les deux modèles

### III.A.3 Source de chaleur

Pendant le court-circuit, la tension du bus continu,  $V_{DC}$ , est appliquée au composant de puissance ( $V_{DS}=V_{DC}$ ) et conduit à créer une zone de déplétion d'une largeur  $\Delta x_p$  (3.5) dans le caisson P ( $N_A$  fortement dopé) et  $\Delta x_n$  (3.6) dans la région épitaxiée N-drift ( $N_D$  peu dopé). La distribution électrique qui en résulte dans la région de la charge d'espace, donnée par l'intégration de la loi de Gauss telle que décrite en [5], a une forme triangulaire et est présentée en (3.7) et (3.8), en supposant une jonction non tronquée, c'est à dire sans débordement du champ dans la région N+ de Drain (3.9). La zone où le champ électrique est maximal se situe à la jonction entre le caisson P et la zone de drift et peut-être retrouvée sur la Fig. 3.6. Cette modélisation néglige l'effet du courant de drain, c'est-à-dire le déplacement des charges dans la zone de charge d'espace.

$$\Delta x_p = \frac{N_d}{N_d + N_a} \sqrt{\frac{2\epsilon_s}{q} \frac{N_d + N_a}{N_d N_a} V_{ds}} \quad (3.5)$$

$$\Delta x_n = \frac{N_a}{N_d + N_a} \sqrt{\frac{2\epsilon_s}{q} \frac{N_d + N_a}{N_d N_a} V_{ds}} \quad (3.6)$$

$$E(x) = \frac{qN_a}{\epsilon_s} (x + \Delta x_p - x_j) \text{ pour } x \in [x_p, x_j] \quad (3.7)$$

$$E(x) = -\frac{qN_d}{\epsilon_s} (x - \Delta x_n - x_j) \text{ pour } x \in [x_j, x_n] \quad (3.8)$$

$$E(x) = 0 \text{ pour } x \in [0, x_p] \cup [x_n, x_d] \quad (3.9)$$

Où  $\epsilon_s$  est la constante diélectrique du 4H-SiC,  $q$  la charge d'un électron,  $N_A$  &  $N_D$  sont les densités de dopage dans le caisson P et la zone de drift, respectivement. Les valeurs de dopage et les dimensions présentées en Fig. 3.6 sont choisies en accord avec la littérature [10]. Suivant les valeurs de dopage issues de la littérature,  $x_n = 7,6 \mu\text{m}$  et  $\Delta x_p = 8 \text{ nm}$  à  $V_{DS}=600\text{V}$ .

La source de chaleur  $Q(x, t)$  [W/m<sup>3</sup>] (3.10) est ainsi distribuée le long du profil de champ électrique (V/m) par la variable "x" et fonction du courant de drain de manière spatio-temporelle avec la formulation suivante basée sur le produit scalaire entre le profil de champ électrique et la densité du courant.

$$Q(x, t) = \frac{E(x, t) \cdot I_D(t)}{S_{chip}} \quad (3.10)$$

Où  $I_D(t)$  est le courant de drain et  $S_{chip}$  la surface active du composant considéré.

### III.A.4 Conditions aux limites

Généralement, il est supposé que la résine d'encapsulation du composant a une conductivité thermique très inférieure à celle des autres matériaux considérés (métaux et SiC)

et donc que le transfert du flux de chaleur par cette région est négligeable. Le haut de la puce est donc considéré adiabatique et une condition de Neumann ( $dT/dx=0$ ) est appliquée. Concernant le bas de l'assemblage, le délai de diffusion permettant à l'onde chaleur de traverser le substrat étant bien plus important que le temps du court-circuit il est usuellement considéré comme un puit de chaleur à température constante (température initiale). La base de l'assemblage est donc soumise à une condition de Dirichlet ( $T(x_{\text{bottom}})=T_{\text{amb}}$ ). Pour chaque modélisation et assemblage considéré, la condition de Dirichlet à la limite basse de l'assemblage a été vérifiée systématiquement. En effet, pour des pulse de court-circuit court (dizaine de microseconde), le puit de chaleur peut être placé au niveau du bas de la puce SiC. Cependant, pour des court-circuits plus longs ( $>100 \mu\text{s}$ ) l'onde chaleur a le temps d'atteindre le bas de la puce. Il faut donc appliquer le puits de chaleur au bas de la couche de brasure voir en bas de la *baseplate* en cuivre suivant les dynamiques temporelles considérés.

### III.A.5 Les modèles utilisés et leur finalité

Deux modèles ont été utilisés dans deux optiques différentes : le premier pour la simulation électrothermique intégrée sous PLECS et le deuxième pour le diagnostic des défaillances et des modes de défaut vu dans le chapitre 2.

Le premier, historiquement parlant, est simple dans sa conception ce qui en fait un modèle léger. Il peut être résolu à la fois analytiquement et décrit pour la thermique par une chaine de Caue. Il est donc aisément calculable et intégrable. La température issue de ce modèle a été utilisée pour estimer la dépendance du courant de saturation et de la tension de seuil à la température. Cependant, il est apparu que ce modèle avait des limites car il ne prenait pas en compte la dépendance des paramètres thermiques à la température ainsi que la température de fusion de l'aluminium. Le second modèle a donc été construit en prenant en compte ces changements et en modélisant les couches de brasure et de la *baseplate*. Il a permis de développer une théorie plus consistante concernant les modes de défaillance. Cependant, bien plus complexe, il a nécessité l'utilisation de logiciel métier bien plus lourd à interfacer avec un logiciel circuit. Il a donc été adapté au premier ordre dans le modèle PLECS en ajout du premier modèle pour arriver à un modèle représentatif de la réalité.

### III.B Premier modèle (SiC et paramètres constants)

Le premier modèle a été construit sur la base des hypothèses de [60]. Pour simplifier le problème, seul le SiC est considéré dans l'assemblage et l'aluminium du dessus de la puce est considéré comme du SiC. Il est présenté en Fig. 3.6 *Model 1*. Les paramètres physiques sont indépendants de la température et sont pris à 25 °C, récapitulés dans le tableau 3.2. Une

Tableau 3.2 : Paramètres thermiques du SiC utilisé pour  $T=25^{\circ}\text{C}$

Paramètres thermiques	Densité $\rho$ (kg/m <sup>3</sup> )	Capacité $c$ (J/(kg.K))	Conductivité (K/(m.K))
SiC	3210	750	490

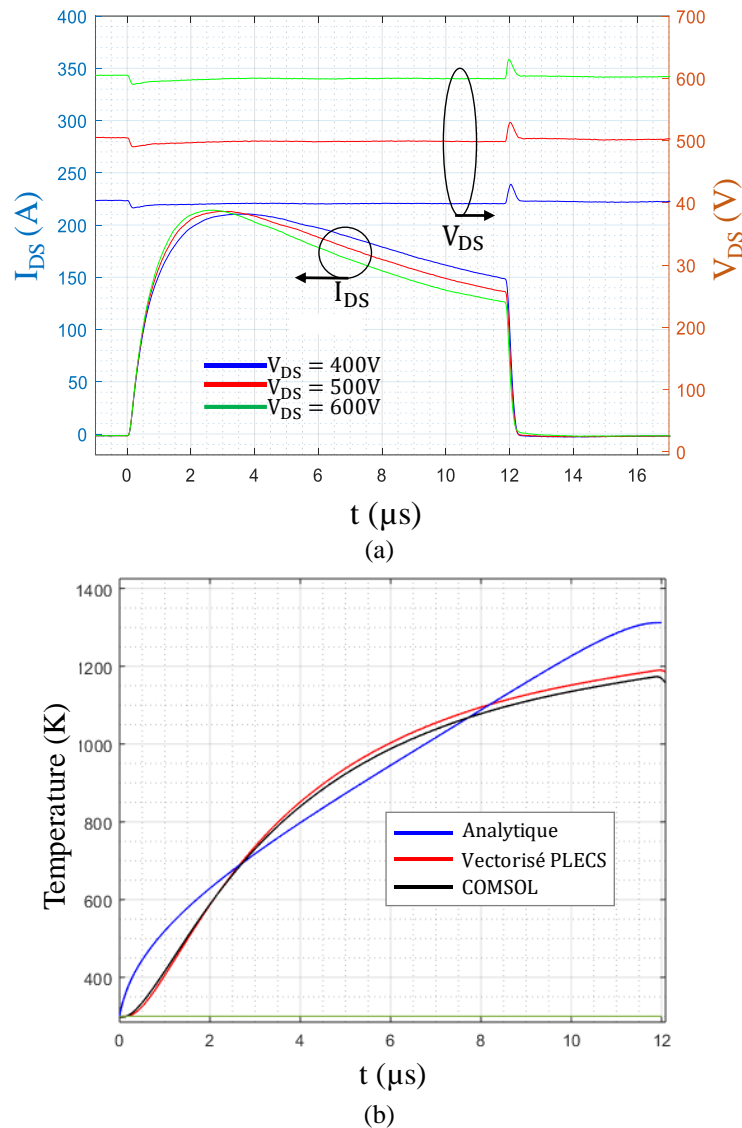


Fig. 3.7 : (a) Formes d'ondes d'essais test d'un composant Rohm G2 @ $T_{SC}=12\mu s$   $V_{buffer(on/off)}=20V/-5V$   $R_G=47\Omega$ . (b) Température estimée avec les différentes méthodes proposées pour l'essai à  $V_{DS}=600V$

condition adiabatique est appliquée sur le dessus de la puce et un puit de chaleur au bas de la puce.

Le modèle est ensuite résolu de trois façons : par l'intégration de la résolution analytique de l'équation de la chaleur dans ce type de problème [66]. Par la résolution dans un outil de simulation éléments finis (COMSOL) et enfin par une résolution sous PLECS sous forme d'un réseau de Cauer de 180 éléments. Plusieurs essais expérimentaux sont utilisés pour comparer les modes de résolutions pour un  $T_{SC}$  de 12  $\mu s$  et pour différentes tensions de drain.

### III.B.1 Résolution analytique

Le problème a été analysé par Carslaw et Jaeger [66] qui donnent l'équation suivante pour déterminer la température sur le dessus de la puce.

$$\Delta T = \frac{1}{\rho c \sqrt{\pi \alpha}} \int_0^t \frac{P(t - \tau)}{\sqrt{\tau}} d\tau \quad (3.11)$$

Avec,  $\rho$  le densité du SiC,  $c$  la capacité thermique du SiC,  $\alpha$  diffusivité thermique du Si,  $\tau$  la variable d'intégration et  $P(t)$  la puissance surfacique dissipée dans la puce ( $W/m^2$ ).

Dans ce cas, la source de chaleur est une densité surfacique de puissance appliquée sur le dessus de la puce et la température estimée est celle du dessus de la puce. L'équation (3.11) est résolue numériquement avec comme entrée un puissance mesuré expérimentalement sur un essai en court-circuit à 600V présenté en Fig. 3.7a. La température estimée est présentée en Fig. 7b. La température maximale au bout de 12  $\mu s$  est d'environ 1300K

### III.B.2 Résolution COMSOL

La transposition du modèle 1 décrit dans la Fig. 3.6 a été faite sous COMSOL et le problème résolu par éléments finis. La source de chaleur, décrite par l'équation (3.11), est triangulaire suivant l'épaisseur de la puce comme le champ électrique décrit par les équations (3.5), (3.6), (3.7) et (3.8) mais seulement dans la zone de drift et non dans le caisson P. L'empiètement du champ électrique dans le caisson P est considéré comme négligeable. Le maillage est non linéaire et choisi « fin » dans le logiciel (environ 150 éléments). La température estimée est présenté en Fig. 3.7b.

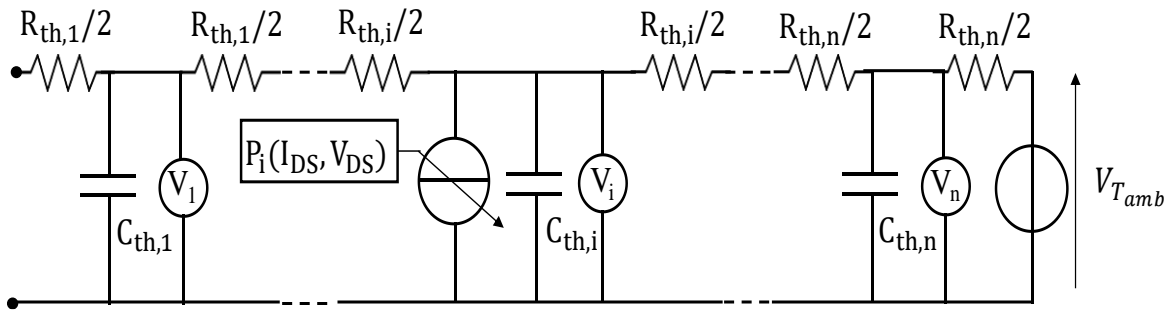


Fig. 3.8 : Réseau de Cauer vectorisé avec source de puissance distribuée

### III.B.3 Résolution PLECS sous forme d'un réseau de Cauer

Le modèle 1 a été implémenté dans PLECS au moyen d'un réseau de Cauer d'éléments série RC avec une source de puissance distribuée. Le modèle de Cauer a été construit en utilisant un modèle vectorisé [67] de 180 cellules RC. La puce fait environ 180  $\mu m$ , chaque cellule représente donc 1  $\mu m$  d'épaisseur. Les résistances thermiques ( $R_{th}$ ) et les capacités ( $C_{th}$ ) sont calculées comme présenté en (3.12).

$$R_{th,i} = \frac{1}{\lambda} \cdot \frac{d_{chip}}{S_{chip} \cdot n} \quad \& \quad C_{th,i} = c \cdot \rho \cdot \frac{d_{chip}}{n} \cdot S_{chip} \quad (3.12)$$

Avec  $n$ , le nombre de cellules RC,  $\lambda$  la conductivité thermique du matériau,  $S_{chip}$  la surface active de la puce et  $d_{chip}$  son épaisseur. La disposition des cellules Cauer est représentée en Fig. 3.8.

Le champ électrique est discrétisé dans l'épaisseur de la zone de déplétion par une intégration trapézoïdale entre deux points de discrétisation. La source de chaleur est donc décrite comme suit :



$$P_i = I_D \cdot V_i = I_D \cdot \frac{(E(x_i, t) + E(x_{i-1}, t))}{2} \cdot (x_i - x_{i-1}) \quad (3.13)$$

Chaque source de puissance discrétisée représente la valeur moyenne de la puissance entre 2 points d'échantillonnage, par conséquent les sources de puissance ont été insérées entre deux points de discrétisation comme présenté en Fig. 3.8.

Afin de réaliser ce modèle thermique vectorisé, un seul élément RC Cauer relié par deux blocs : "seriesConnect" et "starConnect" est nécessaire sous PLECS. Les deux blocs, décrits avec précision dans [67], dupliquent et connectent en série le circuit électrique entre eux en un nombre de fois égal à la finesse de discrétisation retenue pour le modèle. Dans ce cas, le modèle thermique est composé de 180 cellules. Une fois le nombre fixé, une matrice de  $R_{th}$ ,  $C_{th}$  et la distribution de puissance sont créées selon l'équation (3.12-3.13) pour chaque élément RC selon le modèle choisi. La description du modèle dans PLECS est présentée en Fig. 3.9.

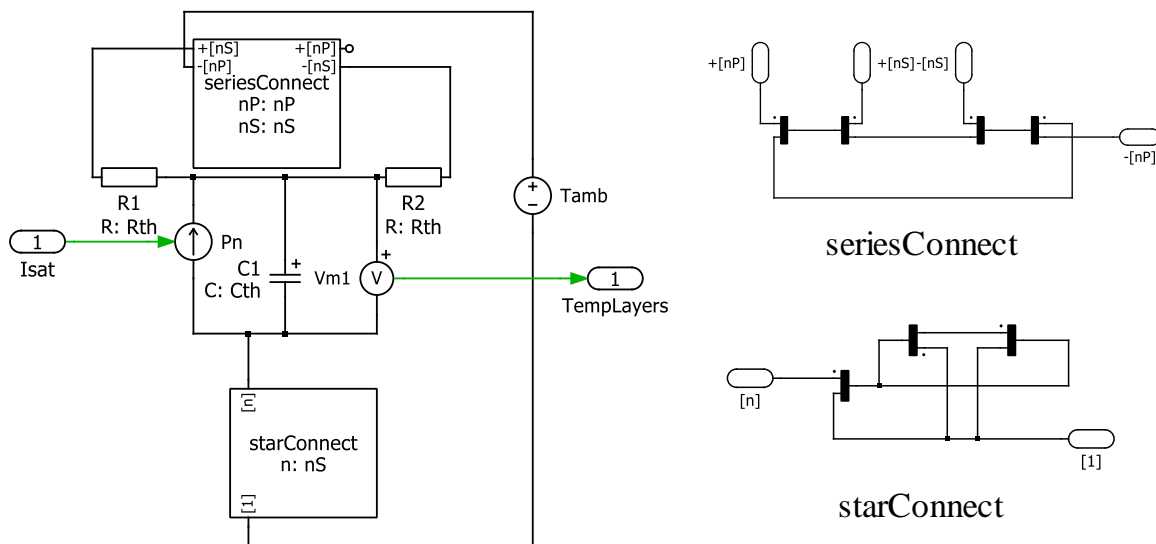


Fig. 3.9 : Réseau de Cauer vectorisé avec sources de puissance distribuées implémenté dans PLECS

#### III.B.4 Comparaison des méthodes de résolution.

Le résultat obtenu avec la méthode analytique est différent des résultats obtenus avec les deux autres méthodes. Les hypothèses de ce problème sont aussi différentes en particulier la source de puissance ponctuelle située sur le dessus de la puce. Les résultats de la résolution sous PLECS et sous COMSOL sont quasiment identiques, ce qui confirme que la résolution couteuse sous COMSOL peut être adapté à moindre coût par un réseau de Cauer sous PLECS. La différence réside principalement dans la discrétisation de l'assemblage qui est à pas fixe pour le modèle sous PLECS et à pas variable sous COMSOL.

Dans l'objectif de faire une simulation électrothermique sous PLECS. Le modèle intégré dans PLECS est bien évidemment le plus adapté tandis que le modèle analytique présente un produit de convolution relativement complexe à intégrer dans une simulation temporelle. La

résolution sous COMSOL est, semble-t-il, la plus précise car adaptée à ce type de problème ; elle est cependant trop complexe à intégrer en co-simulation avec PLECS.

### III.C Second modèle (paramètres physiques variables et chaleur latente de fusion)

#### III.C.1 Présentation du modèle.

Le second modèle est plus complet que le premier modèle afin d'être plus représentatif de la réalité physique de la montée en température du composant pendant le court-circuit. Le principe de la modélisation 1D est tout de même conservé. L'assemblage de matériaux considérés est présenté en Fig. 3.6 *Model 2*. En particulier, la modélisation de la métallisation d'aluminium en surface de la puce est très importante à modéliser car la défaillance grille-source semble être causée par une diffusion d'aluminium comme présenté au Chap. 2. La brasure et la *base plate* en cuivre très épaisses sont également intégrées au modèle, la condition de Neumann est appliquée sur le bas de la *base plate* mais n'a aucune influence sur la température de jonction tant le cuivre est épais. Les paramètres thermiques à 25°C des matériaux utilisés sont présentés dans le tableau 3.3.

Tableau 3.3 : Paramètres thermiques utilisés pour  $T=25^{\circ}\text{C}$

Paramètres thermiques	Densité (kg/m <sup>3</sup> )	Capacité (J/(kg.K))	Conductivité (W/(m.K))
SiC	3210	750	490
Al	2700	900	237
SnAgCu305	7380	230	58.7
Cu	8960	385	400

La dépendance à la température de la conductivité thermique et de la capacité thermique spécifique des matériaux des puces (Al et SiC) sont également modélisées à partir de [68], [69] ainsi que la transition de phase de l'état solide à l'état liquide autour de 660°C (933K). L'évolution de ces grandeurs sont présentées en Fig. 3.10a et 3.10b. Sur la base de [69], la capacité thermique à l'état solide et à l'état liquide sont affichées à la Fig. 3.10c. La relation (3.14) donne respectivement la relation entre la capacité à l'état solide, celle à l'état liquide et l'ajout de l'énergie de transition de phase.

$$C_p = C_{pS}(T) \cdot (1 - \alpha(T)) + C_{pL} \cdot \alpha(T) + L_f \cdot \frac{d\alpha}{dT} \quad (3.14)$$

Avec pour l'aluminium :  $C_{pS}$ , capacité thermique à l'état solide qui dépend de la température [69];  $L_f$ , chaleur de fusion ( $L_f = 397 \text{ kJ/kg}$  [69]) ;  $C_{pL}$ , capacité thermique à l'état liquide qui est généralement considérée comme une valeur constante ( $C_{pL} = 1,175 \text{ kJ/(kg.K)}$  [69]) ;  $\alpha(T)$  est

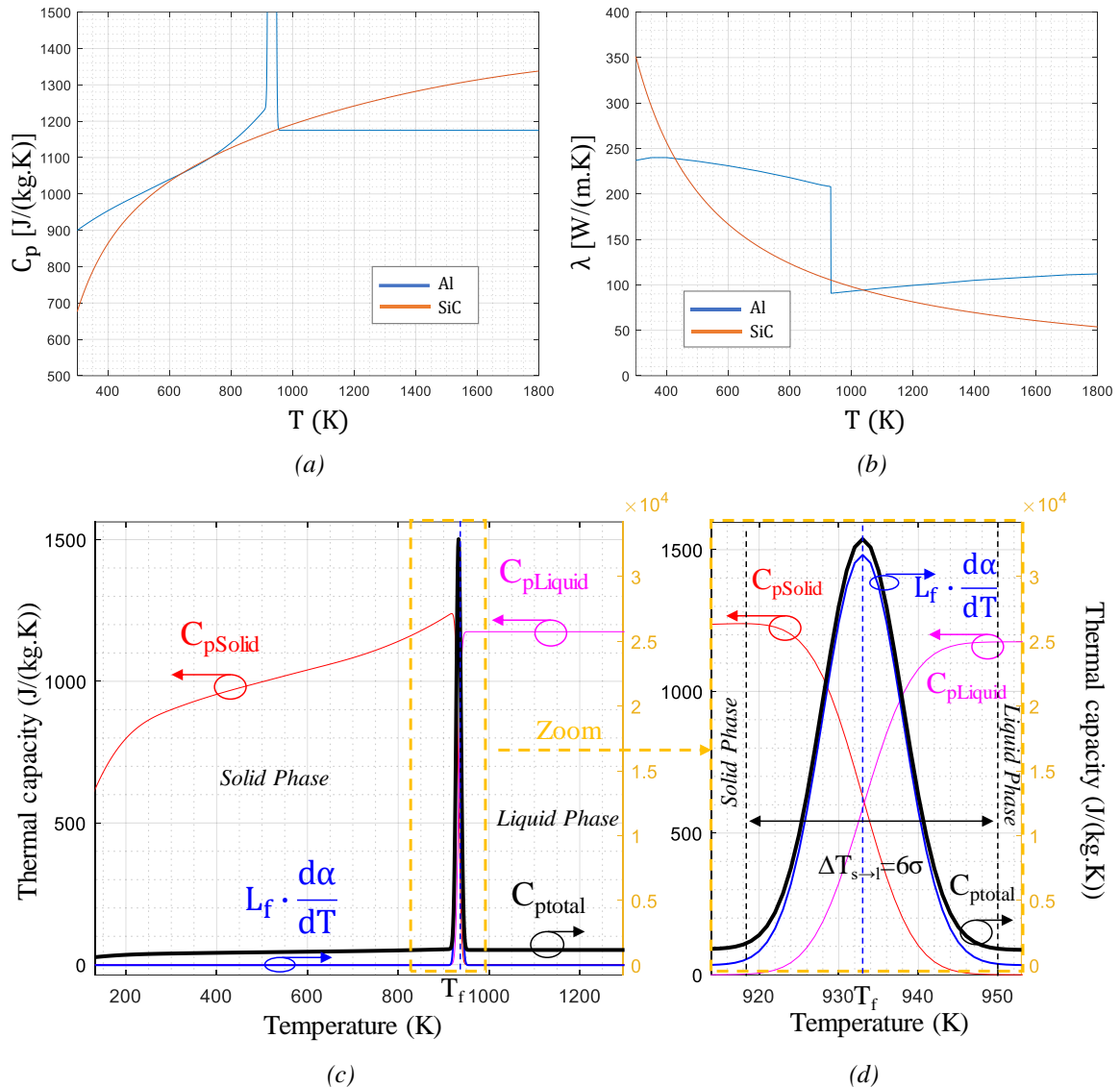


Fig. 3.10 : (a) Capacité thermique de l'aluminium et du carbure de silicium en fonction de la température (b) Conductivité thermique de l'Al et du SiC en fonction de la température. (c) Visualisation en détail de la capacité thermique de l'Al (d) zoom sur la zone de transition de phase.

une fonction de transition de phase choisie comme fonction cumulative d'une distribution normale (3.15) comme indiqué en Fig. 3.10d. La distribution normale est centrée en  $T_f$  et avec une variance  $\sigma = 5$  K. Les phases solides et liquides des capacités thermiques sont combinées avec la fonction de transition de phase pour obtenir une transition en douceur pendant la fusion. L'intégration de la loi normale donne 1 et sa multiplication par la chaleur de fusion donne la quantité de chaleur latente libérée pendant la transition de phase. La transition de phase se fait dans un intervalle de  $6\sigma = \Delta T_{(s \rightarrow l)}$ , représenté en Fig. 3.10d. Pour assurer la convergence du modèle numérique,  $\Delta T_{(s \rightarrow l)} = 30$  K et la fonction de transition de phase est aussi utilisée pour la conductivité thermique de l'aluminium de manière similaire à la capacité thermique. Pendant le temps de la transition de phase, le matériau est supposé dans un état intermédiaire entre l'état liquide et solide.

$$\alpha(T) = \int_{-\infty}^T \frac{d\alpha}{dT}(x) dx \quad (3.15)$$

La modélisation proposée est par défaut implémentée sur Comsol™.

### III.C.2 Comparaison avec le modèle 1

Sur la Fig. 3.11 sont présentés l'estimation de températures relatives aux mesures expérimentales test présentées en Fig. 3.7a. Les quasi-plateaux des simulations du second modèle correspondent à la quantité d'énergie latente à dissiper pour produire le changement de phase de la couche Al. La différence avec les deux modèles résolus sous COMSOL est très importante de plusieurs centaines de degrés. Cette différence est expliquée par la diminution très importante de la conductivité thermique du SiC en fonction de la température malgré l'augmentation de la capacité thermique, ce qui conduit à une augmentation plus rapide de la température de jonction.

Le modèle est ensuite utilisé afin d'estimer la température de jonction de tous les composants MOSFET SiC considérés dans cette étude. Néanmoins, il faut modifier la surface de puce active de l'équation (3.10) pour adapter le modèle à chaque composant.

Des essais ont été menés pour implémenter sous forme vectorisée le modèle sous PLECS, néanmoins, d'importants problèmes de convergence sont apparus en particulier à cause de l'importance de la non linéarité de la capacité thermique. Un modèle bien plus simple a été intégré sous PLECS sous forme d'un réseau de Cauer de 8 éléments et sera présenté plus en détail dans la partie V sur la modélisation des modes de défaut.

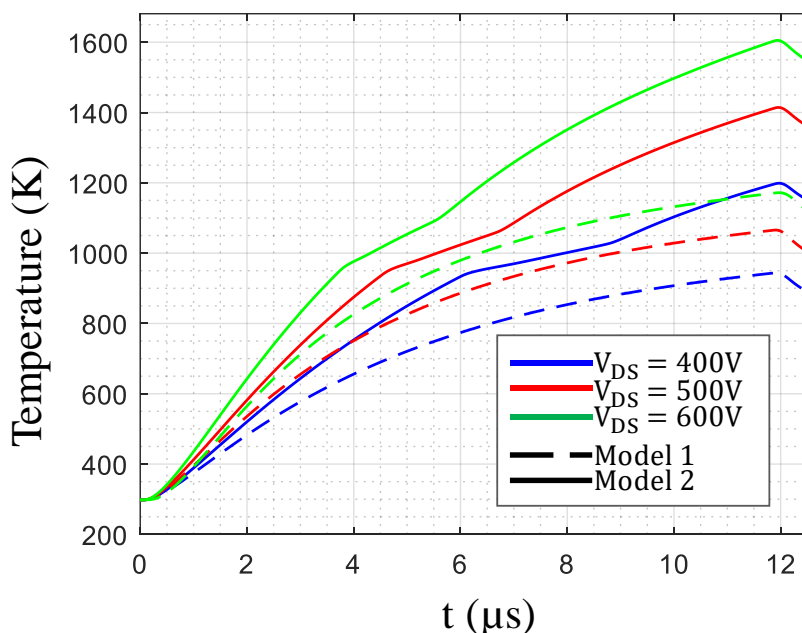


Fig. 3.11 : Température de jonction estimée pour les deux modèles proposés résolus avec COMSOL pour différents essais en court-circuit en pulse court de type I présenté en Fig. 7a (modèle 1 : non prise en compte de la température sur les paramètres thermique et non prise en compte de la fusion de l'Al ; modèle 2 : prise en compte de la température et de la fusion Al).

### III.D Influence de l'épaisseur d'Al sur la température de jonction

L'influence de l'épaisseur de la métallisation de source a été évaluée en Fig. 3.12 vis-à-vis d'un pulse à 600V et 12  $\mu$ s. On remarque une diminution très importante de la température de jonction maximale avec quelques micromètres d'Aluminium supplémentaire. La diminution de la température est moins importante pour des épaisseurs supérieures à 10  $\mu$ m. Ce phénomène est causé par la présence de la source de chaleur très proche de la surface de la puce et du rôle de capacité thermique joué par la couche d'aluminium. Plus de matière est rajoutée, moins l'augmentation en température est rapide. Dans le chapitre 2, il a été montré que la défaillance critique drain-source (FTS) était causée par une augmentation trop rapide de la température et que le mode de défaut « doux » grille-source (FTO) n'avait pas le temps de s'installer durablement. Limiter l'augmentation de la température du composant serait donc bénéfique pour, à la fois, augmenter la tenue en court-circuit du composant et assurer le mode de défaut grille-source. Cependant, le défaut grille-source semble être causé par une fusion de l'aluminium, une trop grande couche d'aluminium pourrait ne pas rentrer en fusion et pourrait empêcher aussi le mode FTO d'apparaître. Au niveau des perspectives, il pourrait être intéressant d'augmenter l'épaisseur de la métallisation pour vérifier son impact positif sur la robustesse en court-circuit du composant. Dans une première approche, la suppression des fils de *bonding* et l'utilisation d'un clip en cuivre brasé sur la puce serait un moyen plus simple d'augmenter l'épaisseur de métal sur le dessus de la puce et d'en observer l'intérêt sur la robustesse en court-circuit bien que le métal de brasure sera sans doute le principal contributeur à l'absorption de la chaleur par sa forte épaisseur ( $\approx 50 \mu$ m).

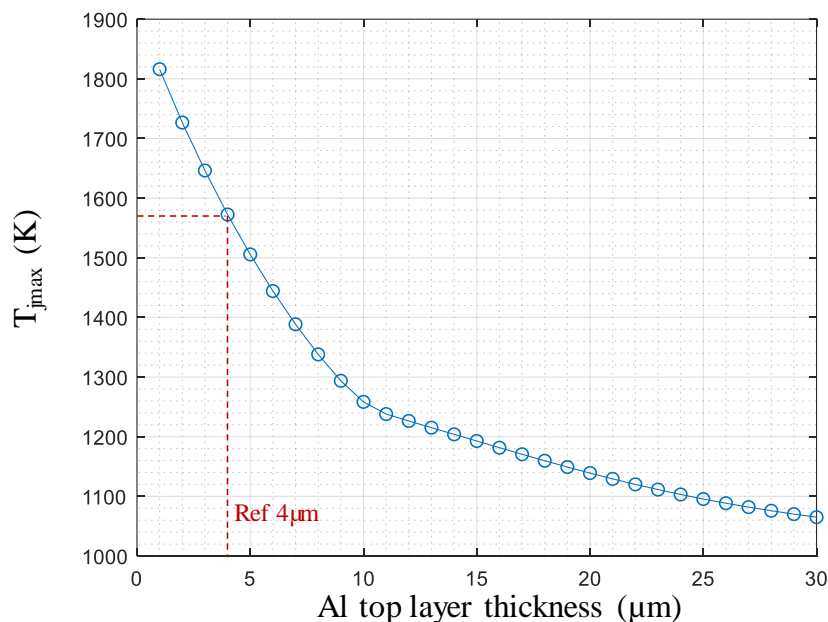


Fig. 3.12 : Température de jonction maximale ( $t = 12 \mu$ s) pour différentes épaisseurs d'aluminium au-dessus de la puce. (source de puissance issue de l'essai Fig. 7a @  $V_{DS}=600V$ ,  $R_G=47\Omega$ ,  $V_{buffer(on/off)}=20V/-5V$ ).

#### IV. Modélisation électrothermique du courant

Dans le but de modéliser le comportement du courant de drain sur toute la durée du court-circuit il a fallu dissocier la modélisation de deux phénomènes de nature différente : la modélisation du courant de saturation et du courant de génération thermique. Le principe de cette modélisation est basé sur des sources de courant pilotées par une fonction dépendant de différentes grandeurs intrinsèques (température, tension de seuil,...) ou extrinsèque au composant (polarisations de drain, de source,...). En particulier, la température est la grandeur essentielle qui impose la dynamique du courant en régime de court-circuit alors qu'elle n'est pas mesurable. L'utilisation des modèles thermiques développés dans la partie précédente est alors essentielle, pour à la fois estimer les paramètres des modèles et faire de la co-simulation afin de proposer un modèle électrothermique. L'approche utilisée peut être résumée dans la Fig. 3.13. Les données expérimentales électriques sont utilisées pour estimer la température durant un essai en court-circuit via COMSOL et identifier les paramètres des différents modèles des grandeurs électriques conjointement avec la température estimée. Ensuite, un modèle thermique sous forme d'une chaîne de Cauer est développé pour permettre de représenter l'évolution de la température déterminée avec le modèle COMSOL. Les modèles représentant les grandeurs électriques et les modèles thermiques sont ensuite implémentés dans PLECS pour aboutir à une simulation électrothermique du composant.

Dans une première partie, la modélisation du courant de saturation sera explorée à l'aide du premier modèle thermique. Dans une seconde partie, la modélisation du courant de génération thermique basée sur le second modèle thermique sera présentée.

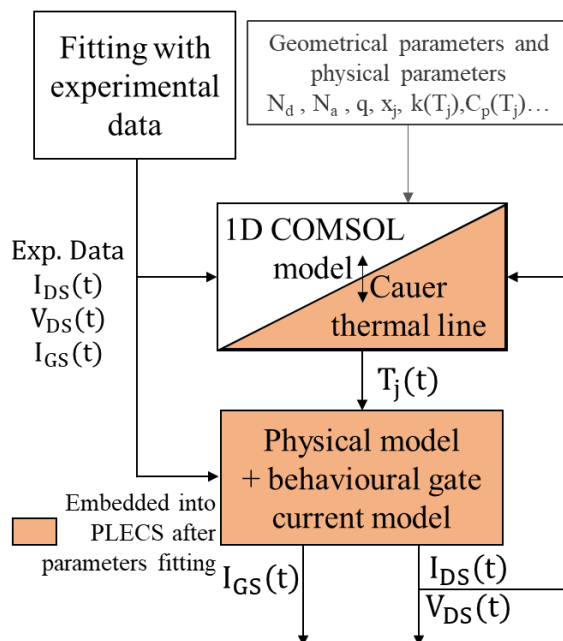


Fig. 3.13 : Méthodologie utilisée pour déterminer les paramètres des modèles électriques

#### IV.A Modélisation du courant de saturation ( $I_{Dsat}$ )

Dans le but de modéliser le courant de saturation du MOSFET, il faut choisir un modèle physique représentatif. Les modèles couramment utilisés dépendent d'un grand nombre de paramètres physiques qui ne sont pas connus sur une large gamme de températures [70]. Différents modèles ont été testés mais, finalement, le modèle suivant a été choisi en raison de sa forme classique [18] :

$$I_{Dsat}(T_j) = \frac{K_{gm}(T_j)}{2} \cdot (V_{gs} - V_{gs(th)}(T_j))^2 \quad (3.16)$$

avec

$$K_{gm}(T_j) = \frac{\mu_n(T_j) \cdot C_{ox} \cdot Z}{L} \quad (3.17)$$

où  $C_{ox}$  est la capacité surfacique d'oxyde,  $Z$  et  $L$  sont respectivement la largeur et la longueur du canal. La mobilité des porteurs dans le canal,  $\mu_n$ , est la combinaison parallèle de trois fonctions de mobilité avec une sensibilité différente à la température [71], [72]. La règle de Matheissen donne :

$$\mu_n(T_j) = \frac{\mu_{a0} \left(\frac{T_j}{T_0}\right)^a}{1 + \frac{\mu_{a0}}{\mu_{b0}} \left(\frac{T_j}{T_0}\right)^{b-a} + \frac{\mu_{a0}}{\mu_{c0}} \left(\frac{T_j}{T_0}\right)^{c-a}} \quad (3.18)$$

Où  $\mu_{a0}$ ,  $\mu_{b0}$ ,  $\mu_{c0}$  sont les paramètres de mobilité à température ambiante et  $a$ ,  $b$ ,  $c$  sont des coefficients de sensibilité thermique. De plus, vis-à-vis de l'équation 3.16, la littérature [10], préconise de modéliser linéairement la tension de seuil avec la température de jonction:

$$V_{gs(th)}(T_j) = x_1 \cdot T_j + x_2 \quad (3.19)$$

où  $x_1$  est la sensibilité thermique (V/K) et  $x_2$  la température à 0 K

Tous les paramètres précédents sont estimés en deux étapes. Dans un premier temps,  $K_{gm}(T)$  a été estimée sur l'ensemble de la plage de température estimée par le premier modèle thermique résolu avec COMSOL (cf. §III.B). Pour ce faire, un algorithme a été développé pour trouver la meilleure paire de paramètres ( $x_1$ ,  $x_2$ ) qui minimise la différence entre  $I_{Dsat}$  mesuré pour différentes valeurs de polarisation de grille et estimée avec l'équation (3.16). Les paramètres ( $x_1$ ,  $x_2$ ) sont bornés pour que la valeur de  $V_{GS(th)}$  soit celle mesurée à 25°C expérimentalement. Cette estimation donne  $K_{gm}(T)$  et  $V_{GS(th)}$  présentés en Fig. 3.14a, avec le couple ( $x_1=-0.025$  V/K,  $x_2=15.4$  V). On détermine ainsi la dynamique de  $K_{gm}$  avec la température. Dans un second temps, les paramètres du modèle de mobilité (3.18) sont estimés en minimisant les valeurs de  $K_{gm}$  estimé avec l'optimisation précédente et avec le  $K_{gm}$  de l'équation (3.17) dans laquelle est injecté (3.18). Les valeurs estimées des paramètres de l'équation (18) sont : en [ $cm^2 \cdot V^{-1} \cdot s^{-1}$ ],  $\mu_{a0} = 2.33$ ,  $\mu_{b0} = 2.95$ ,  $\mu_{c0} = 1.94 \cdot 10^3$  et :  $a = -1.48$ ,  $b = -4.8$ ,  $c = 2.56$ . Le résultat global de la modélisation du courant de saturation est présenté en

Fig. 3.14b. La différence entre l'estimation et l'expérimentation est très faible et robuste aux variations de polarisation de grille.

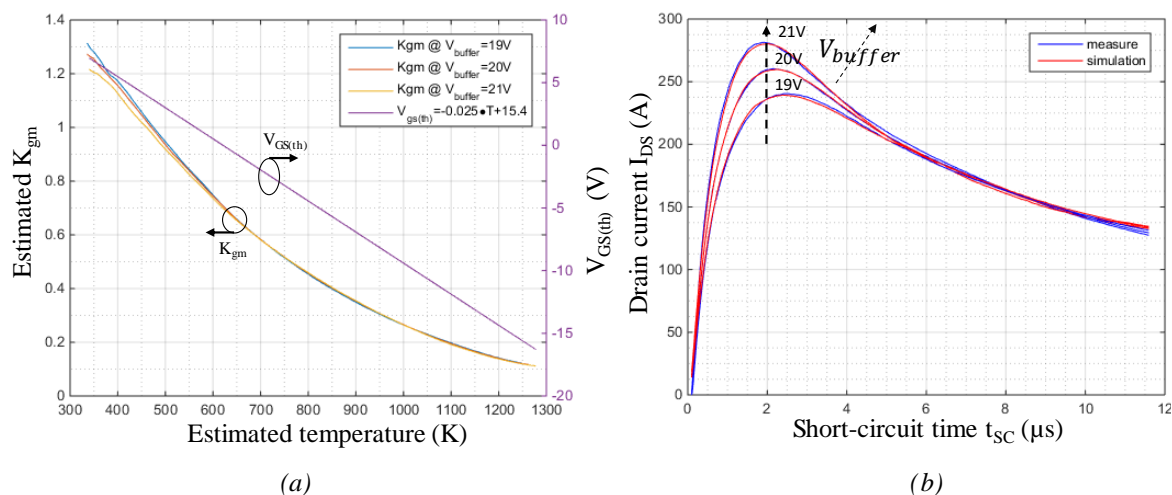


Fig. 3.14 : (a)  $K_{gm}$  estimé et  $V_{gs(th)}$  avec  $x_1, x_2$  estimés avec les données expérimentales de 3 essais à  $V_{DS}=600V$  et trois valeurs polarisation de grilles différentes. (b)  $I_{DSsat}$  estimé avec le modèle développé et mesuré.

Il est à noter que le modèle n'est pas dépendant au premier ordre de la polarisation de drain dans le modèle présenté. Cependant,  $V_{DS}$  influence en grande partie l'échauffement thermique du composant et cela est suffisant pour avoir une modélisation électrothermique robuste par rapport à  $V_{DS}$ . Il est aussi à noter que la tension de seuil peut devenir négative dans le modèle considéré comme représenté en Fig. 3.14a. En revanche, cela n'impacte pas la capacité de blocage du composant en simulation par la méthode de simulation du courant de saturation comme présenté en §VI.A.

Enfin, ce modèle est valable sur une plage de température limitée par l'emballage thermique du composant. En effet, comme expliqué dans le chap. 2 §V.C.2, à partir d'une température donnée, le courant présente un gradient positif avec la température amenant à la défaillance critique drain-source du composant. Le modèle de courant de saturation ne prend pas en compte ce type de phénomène qui sera traité dans la partie suivante. Les résultats de la simulation électrothermique comportant le modèle présenté dans cette partie, le modèle de fuite de grille dynamique (cf. §II) et le premier modèle thermique sous forme d'un réseau de Cauer (cf. §III.B.3) sont présentés en §VI.B. La simulation est comparée à des formes d'ondes expérimentales faite sur un temps court ( $12\mu s$ ) afin de ne pas voir apparaître de phénomène d'emballage thermique ni de défaillance dont la modélisation sera traitée dans les parties suivantes.



#### IV.B Modélisation du courant d'emballage thermique du composant ( $I_{th}$ )

Généralement, il est dit que l'emballage thermique d'un composant se produit lorsque la concentration de porteurs intrinsèques ( $n_i$ ) dépasse la concentration de dopant [10]. D'après [10],  $n_i$  peut s'exprimer en fonction de la température :

$$n_{iSiC} = 1.7 \cdot 10^{16} \cdot T^{\frac{3}{2}} \cdot e^{-\frac{2.08 \cdot 10^4}{T}} \quad (3.20)$$

Pour du 4H-SiC dopé N (classiquement  $N_D = 1.10^{16} \text{ cm}^{-3}$  pour 1200V de tension de claquage) la concentration de porteur intrinsèques dépasse le dopage entre 1700K et 1800K. Cependant, cela ne permet pas de modéliser le courant généré ni le mécanisme physique associé.

D'après la littérature, [5], [61], il y a 3 principaux mécanismes de courant pouvant être amorcé par une importante température : la génération thermique dans la zone de charge d'espace, les courants de diffusions et les courants de génération par avalanche.

##### IV.B.1 La génération thermique dans la zone de charge d'espace (Space-Charge Generation).

Sous l'hypothèse d'un taux de génération uniforme dans la zone de déplétion, le courant de génération thermique peut s'exprimer par [9], [73].

$$I_{gen} = \frac{qn_i W}{\tau_{gen}} \cdot S \quad (3.21)$$

Avec  $W = x_p + x_n$  l'épaisseur de la zone de déplétion (5)(6) et  $\tau_{gen}$  la constante de temps de génération thermique. Dans le MOSFET SiC, l'électron est le porteur majoritaire pour lequel la constante de temps de génération thermique est comprise entre  $10^{-9}$  et  $10^{-6}$  [5], [10]. Ce courant dépend indirectement de la température par la concentration de porteurs intrinsèques. Il est à noter que la constante de temps est aussi dépendante de la température mais aucune loi de comportement n'a été identifiée pour le 4H-SiC. Par conséquent, le modèle a été évalué pour différentes valeurs de  $\tau_{gen}$  et comparé aux autres modèles de courant pouvant être générés thermiquement en §IV.A.4

##### IV.B.2 Courants de diffusion.

Les porteurs intrinsèques minoritaires dans le caisson P et la zone de drift N augmenteront rapidement en raison de l'augmentation de la température de jonction pendant le court-circuit. Ces porteurs minoritaires se diffusent dans la région de déplétion et de drift à travers la jonction p-n conduisant à la création d'un courant. Dans le cas d'une jonction bloquée, comme en court-circuit, les courants de diffusion respectent l'équation de Shockley, qui est l'équation d'une diode idéale [73].

$$I_{diff} = qS \left( \frac{n_i^2 D_n}{L_n N_a} + \frac{n_i^2 D_p}{L_p N_d} \right) \quad (3.22)$$

Selon [5], [10], [71], [74], [75], la dépendance à la température du courant de diffusion ( $I_{diff}$ ) est donnée par les coefficients de diffusions des porteurs ( $D_p$  et  $D_n$ ), la longueur de diffusion des porteurs minoritaires ( $L_p$  et  $L_n$ ) et la concentration intrinsèque de porteurs ( $n_i$ ) comme suivant :

$$L_p = \sqrt{D_p \tau_p} \quad L_n = \sqrt{D_n \tau_n} \quad (3.23)$$

$$D_p = \frac{kT}{q} \mu_p \quad D_n = \frac{kT}{q} \mu_n \quad (3.24)$$

$$\mu_p(T) = \mu_{p0} \left( \frac{T}{300} \right)^{-2.2} \quad \mu_n(T) = \mu_{n0} \left( \frac{T}{300} \right)^{-2.6} \quad (3.25)$$

$$\tau_p(T) = \tau_{p0} \left( \frac{T}{300} \right)^{1.5} \quad \tau_n(T) = \tau_{n0} \left( \frac{T}{300} \right)^{2.32} \quad (3.26)$$

Avec  $k$  la constante de Boltzmann,  $\mu_p$  et  $\mu_n$  la mobilité des porteurs du 4H-SiC en ( $\mu_{p0} = 80 \frac{cm^2}{V} \cdot s @ N_D = 1.10^{-19}$  et  $\mu_{n0} = 800 \frac{cm^2}{V} \cdot s @ N_A = 1.10^{-16}$ ) [71],  $\tau_p$  et  $\tau_n$  la durée de vie des porteurs ( $\tau_{p0} = 700 ns$  [76] et  $\tau_{n0} = 1 ns$ )

#### IV.B.3 Courant de génération par avalanche

Durant un court-circuit, l'ensemble des porteurs de charges seront accélérés par le fort champ électrique dans la zone de charge d'espace. Il se peut alors que l'énergie cinétique des porteurs soit suffisamment importante pour générer une nouvelle paire d'électron-trou produisant un courant supplémentaire. Ce phénomène est la base du courant d'avalanche pouvant arriver à la destruction du composant. Ce courant est donné par [61] :

$$I_{av} = S \int_0^W (\alpha_n(x) |J_n| + \alpha_p(x) |J_p|) dx \quad (3.27)$$

Avec  $J_n$  et  $J_p$  les densités de courant d'électrons et de trous.  $\alpha_n$  et  $\alpha_p$  sont les coefficients d'ionisation pour les électrons et les trous. Comme présenté en [10], [77], ces coefficients suivent la loi de Chynoweth :

$$\alpha = a \cdot e^{-\frac{b}{E}} \quad (3.28)$$

Les paramètres  $a$  et  $b$  sont estimés via des données expérimentales en fonction de la température ce qui donne [10], [77] :

$$\alpha_n(T) = (6.3 \cdot 10^6 - 1.07 \cdot 10^4 \cdot T) \cdot \exp\left(\frac{-1.75 \cdot 10^7}{E(x)}\right) \quad (3.29)$$

$$\alpha_p(T) = (1.6 \cdot 10^5 - 2.67 \cdot 10^2 \cdot T) \cdot \exp\left(\frac{-1.72 \cdot 10^7}{E(x)}\right) \quad (3.30)$$

Le coefficient d'ionisation des trous est bien plus important que celui des électrons, c'est celui-ci qui est limitant vis-à-vis de la tenue en tension du composant. En revanche, durant le court-circuit d'un MOSFET SiC, le courant est majoritairement d'électron, on suppose donc que  $J_p=0$  et  $J_{SC}=J_n$ .

#### IV.B.4 Comparaison des modèles

Les différents modèles présentés ci-dessus ont été estimés à partir d'un essai effectué en pulse long sur le composant Rohm G2 à 600V présentée en Fig. 3.15a. Le courant de drain présente un début d'emballlement thermique à partir de 18  $\mu s$ . La température de jonction (Fig. 3.15a) du composant a été estimée via le deuxième modèle thermique (cf. §III.C) et servira de température de test des modèles. L'estimation des courants issus des trois modèles est présentée en Fig. 3.15b. Le modèle de génération de porteurs a été estimé pour trois valeurs de durée de vie  $\tau_{gen}$  (1ns, 10ns et 100ns). Il apparaît que le courant de génération thermique de porteurs est bien supérieur aux courants d'avalanche et de diffusion qui ne représentent que quelques ampères. Il est à noter qu'une seule valeur de durée de vie pour l'estimation du courant de

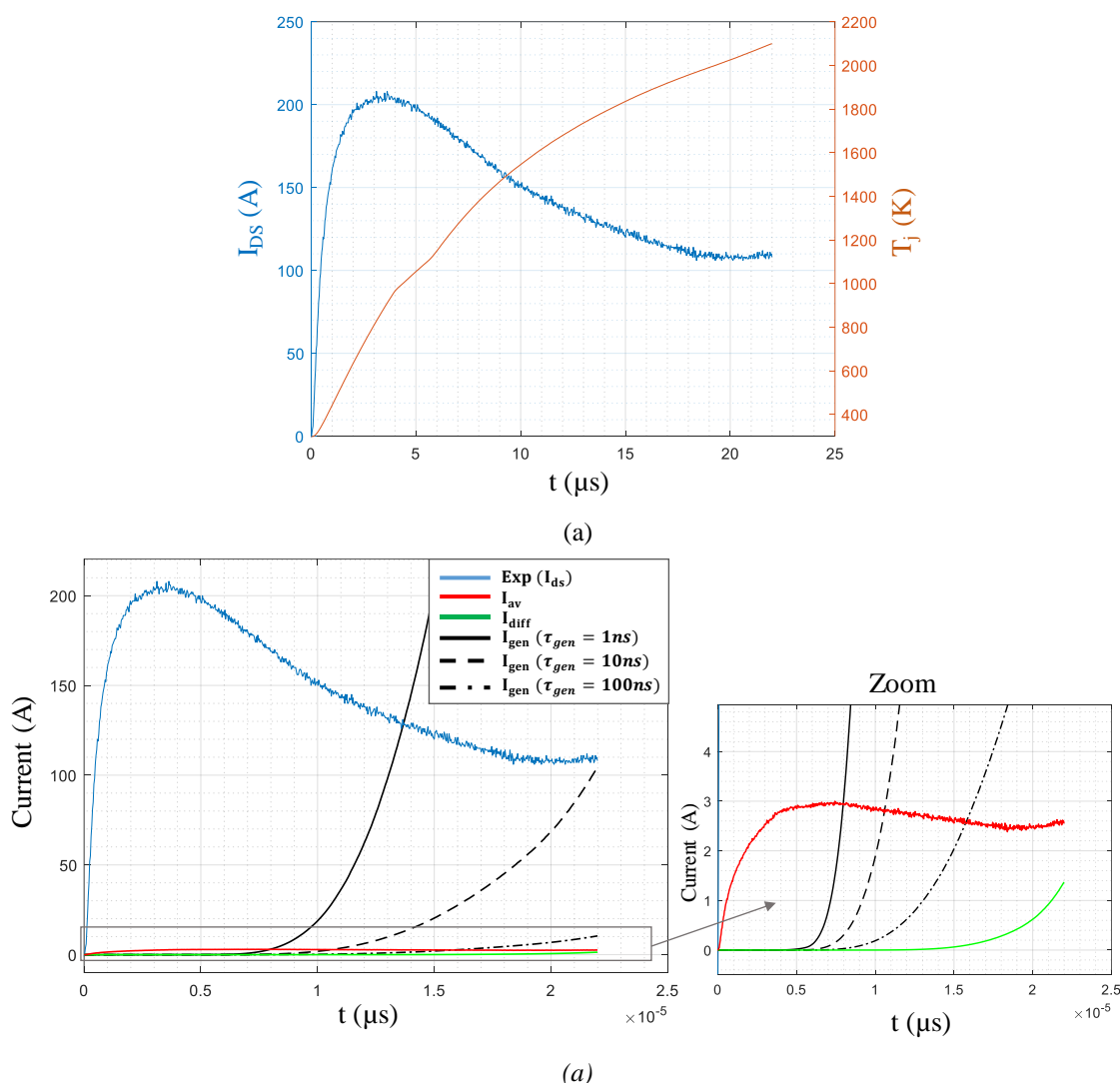


Fig. 3.15 : (a) formes d'ondes expérimentale du courant de saturation pour un essai en pulse long sur le composant Rohm G2 avec température estimée via le deuxième modèle thermique @  $V_{DS}=600V$ ,  $R_G=47\Omega$ ,  $V_{buffer(on/off)}=20V/-5V$ . (b) Courants de génération thermique estimés durant le court-circuit.

diffusion a été utilisée. Il apparait aussi que la constante de temps de génération thermique des porteurs doit être proche de 10 ns au moment de l'emballage thermique, le courant étant bien trop important pour des valeurs plus petites comparées à l'amplitude du courant mesuré. La génération dans la zone de charge d'espace semble donc être le phénomène prédominant dans la composante d'emballage thermique du MOSFET SiC en régime de court-circuit. Ce modèle est donc intégré dans le modèle PLECS et l'estimation du courant thermique dans la simulation électrothermique complète présentée dans la partie VI.C. Il faut cependant noter que la dépendance à la température de la constante de temps de génération thermique n'a pas pris en compte ni la variation paramétrique des durées de vie des courants de diffusion.

## V. Modélisation des modes de défauts

Le composant Rohm G2 que l'on cherche à modéliser présente les deux modes de défaillance comme présenté dans le chap.2§V.C.2. Les formes d'ondes de deux essais en court-circuit en pulse long sont de nouveau présentées en Fig. 3.16a. Le composant présente la particularité de faire apparaître la succession des deux modes de défaillances observés sur des MOSFET SiC : le court-circuit grille-source suivi d'un emballement thermique et du court-circuit drain-source. D'après l'analyse développée dans le chap.2§V, la défaillance du composant est supposée complètement dépendante de la température du composant. Pour

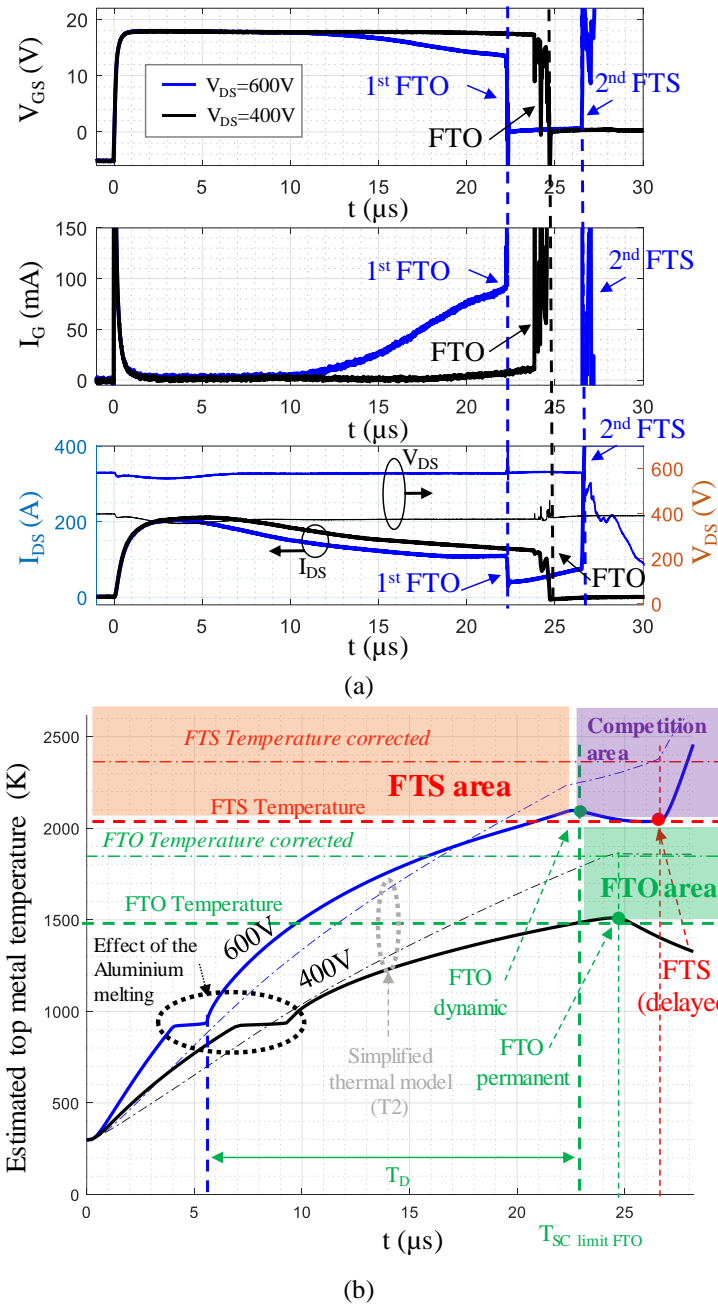


Fig. 3.16 : (a) Formes d'ondes du composant Rohm G2 en pulse long jusqu'à défaillance ( $V_{buffer(on/off)} = +18\text{V}/-5\text{V}$ ;  $T_{case} = 25^\circ\text{C}$ ;  $R_G = 47\Omega$ ) (b) Température estimée des formes d'ondes de (a) avec le deuxième modèle thermique (ligne pleine) et la ligne de Causer implémentée dans PLECS (ligne tiré-point). Définition des températures des modes FTO, FTS et du temps minimum de FTO ( $T_D$ ).

arriver à cette conclusion, la température du top métal des composants a été estimée via le second modèle thermique prenant en compte la chaleur latente de fusion de l'Aluminium et la dépendance des paramètres thermiques avec la température comme présentée en §II.C. La température des essais considérés en Fig. 3.16a est présentée en Fig. 3.16b en traits pleins. En traits tirés-points, est présentée l'estimation de la température à travers un modèle sous forme de réseau de Caueur de 6 éléments permettant de transcrire le comportement hautement non-linéaire de l'évolution de la température, estimée par le deuxième modèle thermique, dans un modèle bien moins couteux intégrable dans PLECS. Ce modèle a été estimé sur la réponse thermique du modèle COMSOL par le biais d'un réseau de Foster qui a ensuite été transposé en réseau de Caueur numériquement. Ce modèle est moins couteux mais présente une erreur importante avec le modèle thermique COMSOL. En effet, la dynamique de montée en température est similaire même si l'on ne peut pas représenter l'effet de la fusion de l'Al. Ce modèle est donc implémenté dans PLECS et servira de référence à la fois au courant d'emballage thermique et de référence à la modélisation des modes de défaillance. Il faudra donc corriger l'erreur d'estimation des températures de défaillance dans la modélisation des modes de défaut intégré dans PLECS. Il présente aussi le défaut de devoir être estimée pour chaque composant alors que les modèles 1D basés sur une représentation des couches de matériaux sont adaptables directement à tous les composants considérés par la modification de la surface de puce active.

#### V.A Modélisation du défaut critique « fail-to-short »

Comme présenté en chap.2§V, le mode de défaut « fail-to-short » est initié par un emballement thermique. En pratique, ce phénomène est à considérer de manière locale sur la puce et conduit à atteindre une température critique, qui, de façon locale entrainera la focalisation des lignes de courant puis destruction du composant après décomposition chimique du SiC, fissuration traversante de la jonction ou du substrat consécutive au choc thermique produit par le court-circuit dans laquelle l'Aluminium en fusion peut diffuser)[41]. L'impédance drain-source de la puce devient très faible.

La modélisation est simplement effectuée par une comparaison de la température de jonction avec un seuil ( $T_{FTS}$ ). Lorsque la température devient supérieure au seuil, un interrupteur

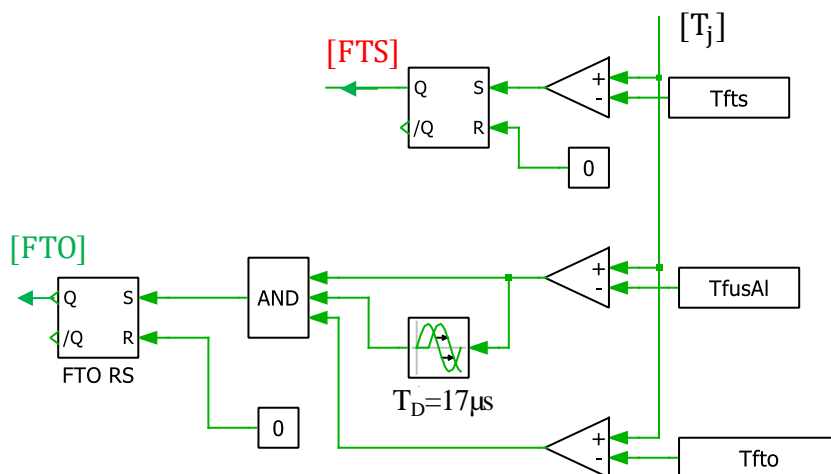


Fig. 3.17 : Schéma logique de management des défaillances FTO et FTS

idéal est amorcé entre le drain et la source à travers une résistance de défaut de faible valeur ( $R_{Def}$ ) pour simuler la défaillance. Le schéma logique est présenté en Fig. 3.17 et l'interrupteur est présenté en Fig. 3.1. D'après la Fig. 3.16b,  $T_{FTS} = 2050K$  mais la valeur implémenté dans PLECS est choisie à  $T_{FTScorrected} = 2400K$  pour se référencer au modèle thermique simplifié implémenté dans PLECS. Les résultats de la modélisation sont présentés en VI.C.

#### V.B Modélisation du défaut doux « fail-to-open »

Comme présenté en chap.2§V, le mode de défaut « fail-to-open » est causé par le court-circuit grille-source dû à la diffusion d'aluminium en fusion sur la surface de la puce sous la passivation ou à travers l'ILD. On déduit de ce constat 2 paramètres : la température de fusion de l'aluminium ( $T_{fusAl}$ ) et un temps minimal de diffusion après la fusion de l'aluminium ( $T_D$ ). D'après l'analyse des températures des essais sur le composant Cree G2, il y a une troisième température, à laquelle se produit effectivement le défaut grill-source ( $T_{FTO}$ ). Cette température n'a pas pu être reliée, à ce jour, à un phénomène physique particulier mais on s'aperçoit, qu'un composant ne va présenter la défaillance en FTO qu'au-dessus de cette température et les température estimée sont relativement proche ([1500K-1700K] sauf R3 à 2000K). Il est à noter qu'il n'y a pas de défaut si le composant est bloqué avant d'atteindre  $T_D$  même si la température est au-dessus de  $T_{FTO}$ .

Le schéma logique de gestion du défaut est présenté en Fig. 3.17. Le défaut est activé si la température est restée au moins un temps  $T_D$  au-dessus de la température de fusion de l'aluminium et si elle est au-dessus de la température de FTO. Une fois ces conditions réunies, le signal est gardé à l'état haut dans une bascule et va commander la fermeture d'un interrupteur relié en série à une résistance de défaut ( $R_{Gdef}$ ) afin de simuler le court-circuit grille source, comme présenté en Fig. 3.1. Compte tenu de la modélisation du courant de saturation utilisée et en particulier d'une tension de seuil qui peut devenir négative avec la température, il se peut qu'une fois le défaut activé le courant de saturation ne s'annule pas. Ce type de comportement n'est pas observé expérimentalement, il a donc été choisi d'ajouter un interrupteur en série pour déconnecter la branche centrale au modèle et ainsi forcer l'annulation du courant de saturation, comme présenté en VI.C. D'après la Fig. 3.16b,  $T_{FTO} = 1500 K$  mais la valeur implémentée dans PLECS est choisie à  $T_{FTOcorrected} = 1900 K$  pour se référencer au modèle thermique simplifié implémenté dans PLECS.  $T_{FusAl} = 900 K$  et  $T_D = 16 \mu s$ . Les résultats de la modélisation sont présentés en VI.C.

## VI. Modélisation complète dans PLECS

L'objectif de cette section est de présenter tous les résultats précédents mis en œuvre dans un modèle de type circuit unique tel que résumé à la Fig. 3.1. Le modèle MOSFET classique (Fig. 1 ligne noire) est complété (ligne rouge) par le modèle de courant de fuite de grille présenté précédemment, le modèle de courant de saturation, le courant de génération thermique et la modélisation des modes de défaut. Les différents modèles sont réalisés par blocs de fonctions PLECS ou par scripts en code C.

Dans une première partie, le modèle est présenté. Dans une seconde partie, le modèle est évalué pour des essais en court-circuit de courte durée sur une large plage de paramètres afin d'estimer la pertinence de la modélisation du courant de grille et du courant de saturation. Dans une troisième partie, le modèle est évalué pour des essais en pulse long destructif afin d'estimer la modélisation du courant d'emballage thermique et les modes de défaut.

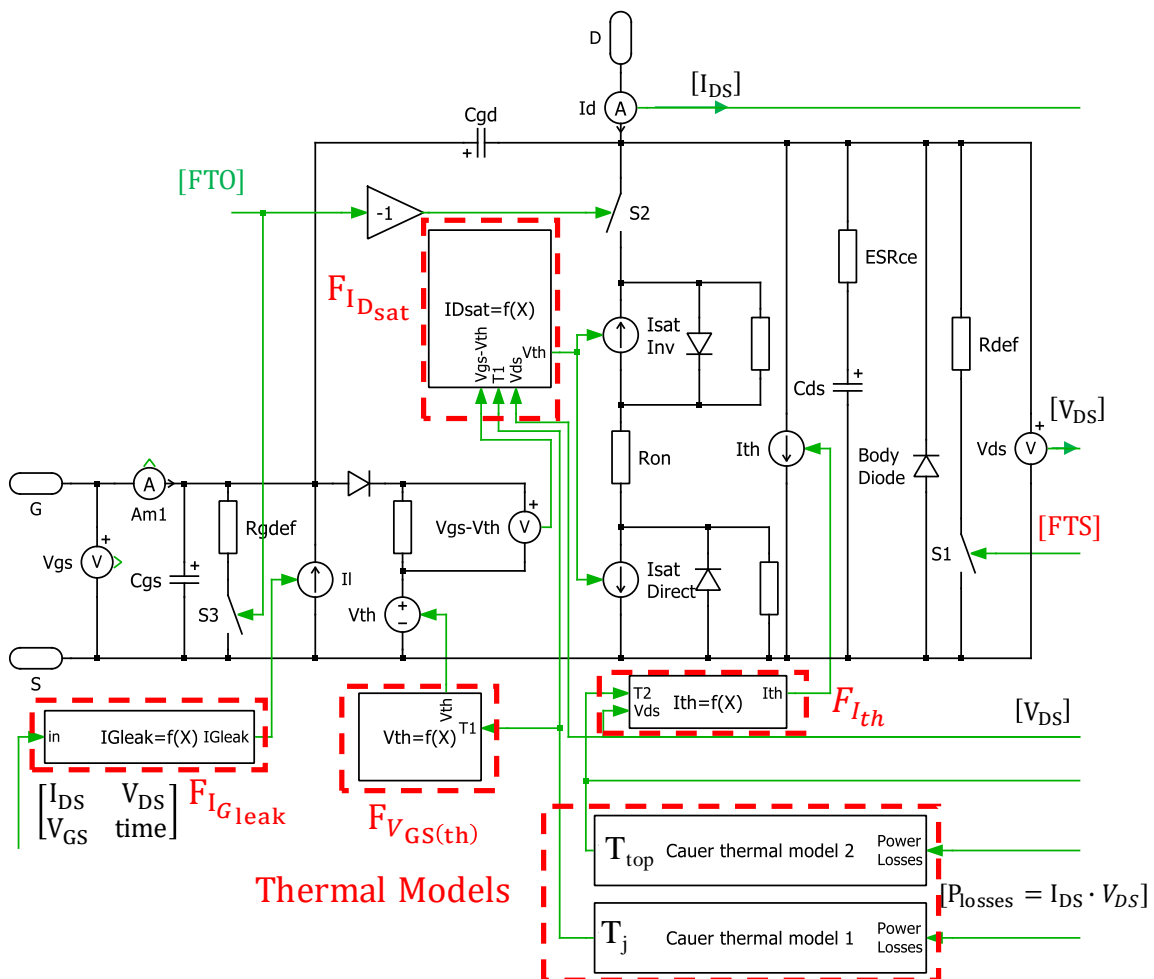


Fig. 3.18 : Modèle électrothermique proposé pour simuler le comportement en court-circuit des MOSFET SiC. Ce modèle inclut la simulation des modes de défaut et de l'emballage thermique.



## VI.A Présentation du modèle

Le modèle présenté à la Fig. 3.1 (lignes noires) a été introduit dans une thèse de doctorat [12]. Le modèle dans PLECS est présenté en Fig. 3.18. Le courant de saturation,  $I_{\text{satDirect}}$ , est une source de courant contrôlée en parallèle avec une diode idéale ( $V_f=0V$ ) et une résistance de grande valeur. Dans le cas où le courant de drain est inférieur au courant de saturation, le courant est imposé par la charge, la diode bypass le courant de saturation. Dans le cas où le courant de drain devient égal au courant de saturation, le composant passe dans sa zone de saturation, c'est la source de courant qui impose le courant de drain. La résistance en parallèle est placée pour modéliser un effet équivalent à l'effet Early (effet du canal court typique du Mosfet SiC). Cette résistance permet aussi une meilleure convergence du modèle. De manière symétrique, une deuxième source, de courant, dite  $I_{\text{sat Inv.}}$ , contrôlée avec sa diode parallèle associée est placée tête-bêche avec la première source de manière à pouvoir inhiber la diode interne du modèle Direct, lorsque le canal est bloqué, dans le troisième quadrant, afin d'activer la diode de corps seule. La résistance centrale est placée de manière à simuler la résistance à l'état passant  $R_{\text{DS(on)}}$  (valeur fixe). Une diode est placée entre le drain et la source (cathode au drain) pour modéliser la diode de corps évoquée précédemment. Compte tenu de l'usage du modèle sous  $V_{\text{ds}}$  nominal, des condensateurs de valeurs constantes sont utilisées pour modéliser les capacités parasites du composant. La tension de seuil ( $V_{\text{th}}$ ) est modélisée en utilisant une source de tension en série avec une résistance de haute valeur et une diode. La tension mesurée à travers la résistance est la différence entre  $V_{\text{GS}}$  et  $V_{\text{th}}$ .

Les autres blocs ont été implémentés durant cette thèse :

- Le courant de grille dynamique est modélisé par une source de courant pilotée par l'équation (2). La fonction est implémentée dans le bloc  $F_{\text{Igleak}}$  en langage C.
- Le modèle thermique 1 est basé sur le premier modèle thermique développé durant la thèse avec les paramètres thermiques fixes, il a été implémenté sous forme d'un réseau de Cauer vectorisé. L'implémentation du modèle est détaillée en III.B.2.
- Les modèles de courant de saturation et de tension de seuil ont été implémentés en langage C dans deux blocs différents et sont indexés sur la température du premier modèle thermique.
- Le modèle thermique 2 est basé sur une approximation du second modèle thermique prenant en compte la chaleur latente de fusion de l'aluminium et la dépendance des paramètres thermiques à la température. Il a été implémenté par un réseau de Cauer de 6 éléments.
- Le modèle de courant de génération dans la zone de charge d'espace (IV.B.1) modélisé par une source de courant pilotée en parallèle avec la branche de simulation du courant de saturation. Le pilotage a été implémenté en langage C dans la fonction  $F_{\text{Ith}}$  et dépend de la température issue du second modèle thermique.
- Les modes de défaillance ont été implémentés par des interrupteurs. L'interrupteur  $S_1$  pour le défaut en FTS qui vient provoquer un court-circuit drain-source. Les interrupteurs  $S_2$  et  $S_3$  pour le défaut en FTO pour provoquer le court-circuit grille-source et isoler la branche modélisant le courant de saturation. La commande est effectuée par le biais de circuits logiques pilotés par la température issue du deuxième modèle thermique. Comme présenté en §V.B.

## VI.B Résultats en pulse court

La première évaluation du modèle a été effectuée en pulse court de 12  $\mu\text{s}$ . Pour des petits temps de court-circuit, il n'y a pas de génération thermique ni de défaut, cela permet de seulement évaluer le modèle de courant de saturation et de courant de grille dynamique. Le modèle a été comparé à des formes d'ondes expérimentales pour plusieurs paramètres d'essais différents ( $V_{DS}$  et  $V_{buffer}$ ) en Fig. 3.19. Les résultats de la simulation sont proches des formes d'onde expérimentales pendant le court-circuit. En particulier sur le courant de grille, le modèle est robuste aux changements de polarisation de grille (18 V-20 V). Concernant le courant de saturation, à 600V, le modèle a tendance à surestimer le courant de saturation en début de court-circuit mais colle très bien en fin de court-circuit. À 400 V, l'erreur est plus importante en particulier par surestimation du courant en fin de court-circuit. Cependant, ces erreurs ont un impact très limité sur l'estimation de l'énergie dissipée dans la puce d'où la bonne estimation du courant de grille et une bonne convergence des modèles.

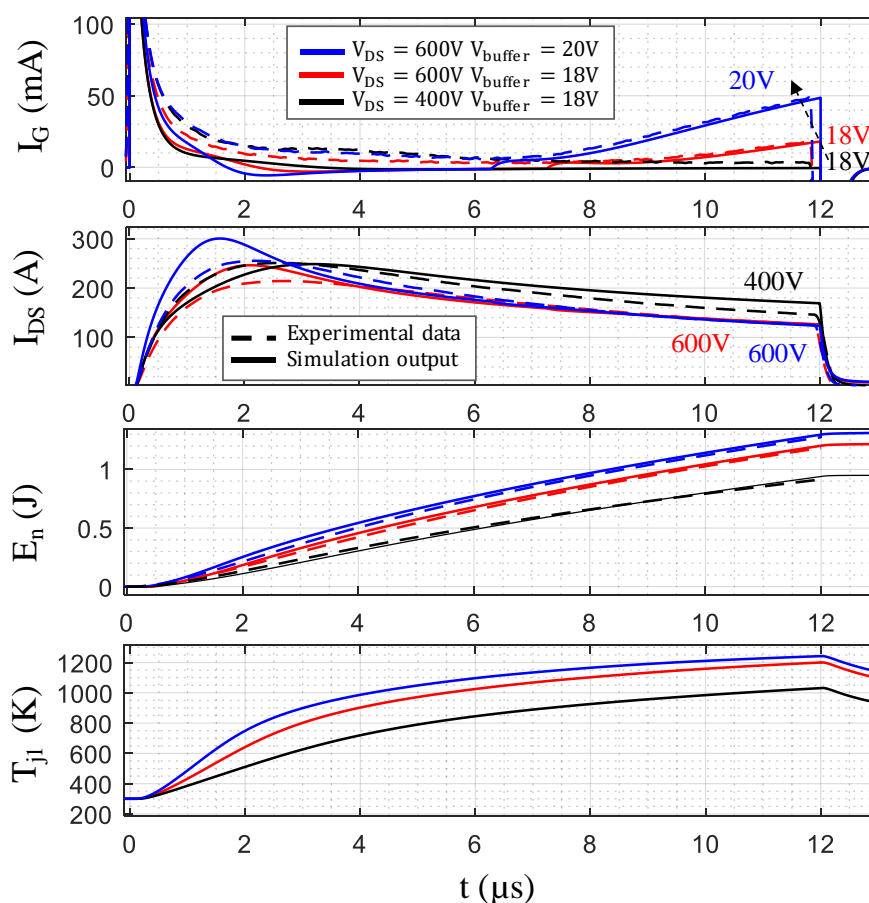
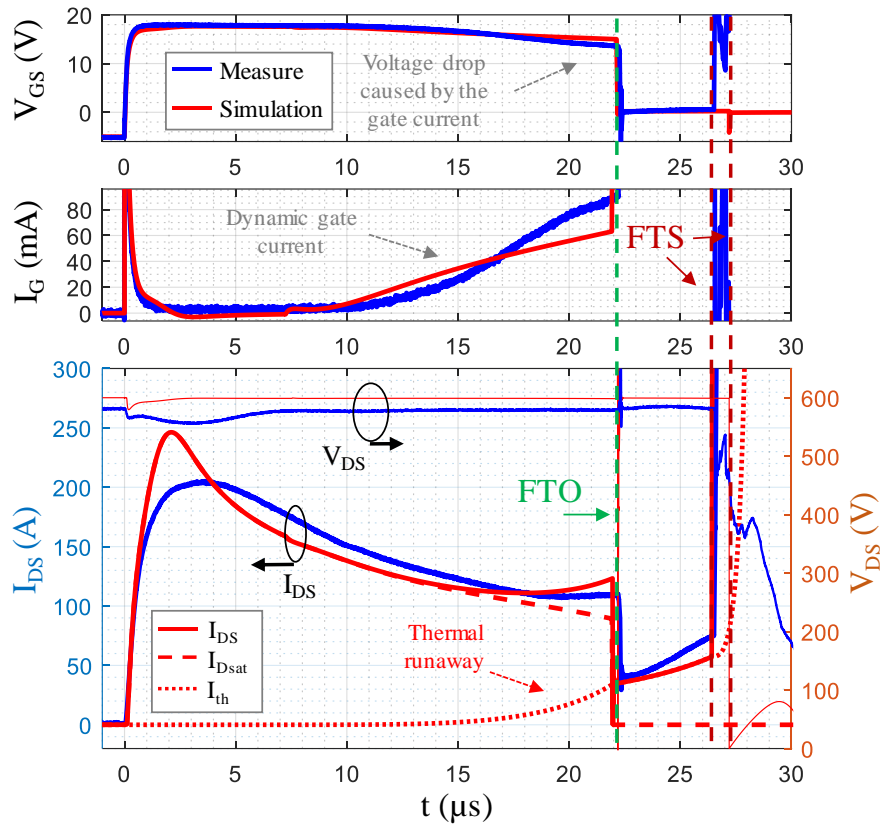


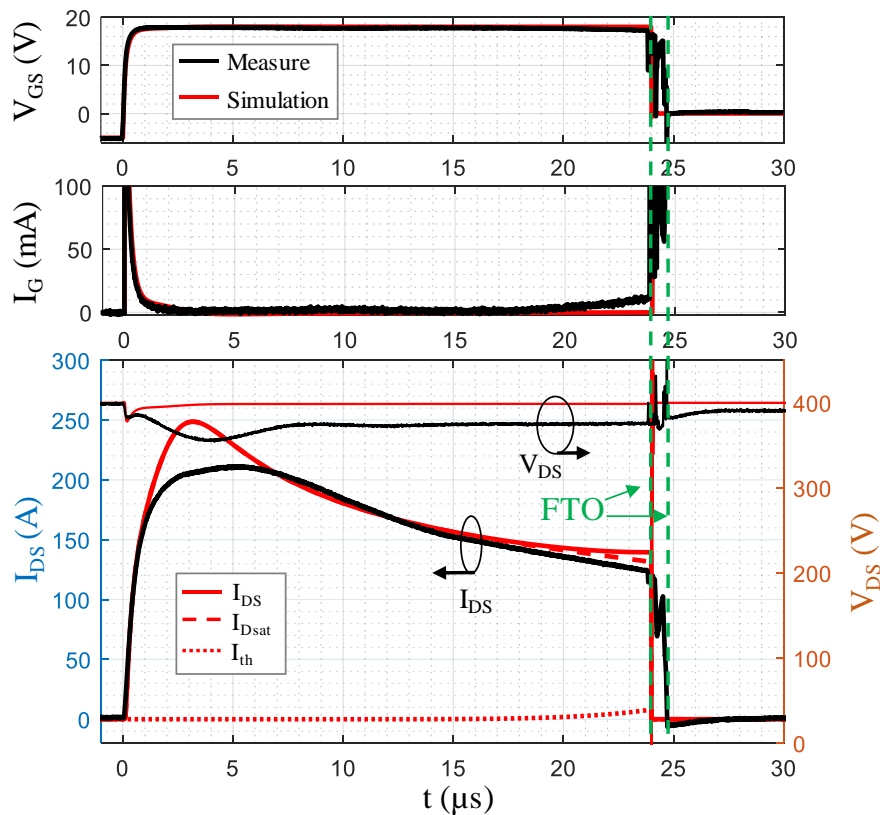
Fig. 3.19 : Formes d'ondes simulées du modèle électrothermique proposé sous PLECS et comparées à des formes d'ondes expérimentales. (@ $R_G=47\Omega$   $T_{case}=25^\circ\text{C}$ )

## VI.C Résultats en pulse long et modes de défauts

Le modèle est ensuite estimé en pulse long jusqu'à la défaillance et comparé aux formes d'ondes expérimentales en Fig. 3.20a et 3.20b. À 600 V, à la Fig. 3.20a, en raison de la contrainte thermique dynamique élevée appliquée à la puce, le modèle proposé est capable de mettre en évidence les modes FTO et FTS en cascade. En effet, à 22  $\mu$ s, le court-circuit grille-source se produit, il y a une annulation du courant de saturation mais le courant thermique est trop important pour pouvoir limiter la densité de puissance appliquée après le blocage et limiter la dynamique thermique. Au contraire, la poursuite de l'auto-échauffement de la puce amène à un emballement de la fuite. Cela conduit au défaut en FTS à 27  $\mu$ s de manière très similaire au comportement expérimental. Néanmoins, pour obtenir cette forme d'onde il a fallu recalibrer le modèle d'emballement thermique en choisissant la durée de vie ( $\tau_{gen}$ ) à 1 ns au lieu de 10 ns comme déterminé en IV.A.4. À 400V, à la Fig 20b. En raison de la faible contrainte thermique appliquée à la puce, le mode FTO est le mode unique et stable. Le faible courant de fuite drain-source n'est clairement pas suffisant pour déclencher l'emballement thermique et le mode FTS n'apparaît pas.



(a)  $V_{DS}=600V$



(b)  $V_{DS}=400V$

Fig. 3.20 : Comparaison des formes d'ondes du modèle proposé et de mesures expérimentales (a) Cascades des modes de défaut FTO et FTS @  $V_{DS}=600V$  (b) Mode FTO consolidé @  $V_{DS}=400V$

## **VII. Conclusion**

L'objectif de ce chapitre était de présenter une méthode de modélisation complète et novatrice des composants MOSFET SiC de puissance en régime extrême et en particulier en régime de court-circuit. Il a fallu modéliser toutes les particularités du MOSFET SiC en court-circuit : le courant de fuite de grille dynamique, le courant de drain et les modes de défaillances. Chacun de ces modèles a été exploré et validé indépendamment en s'appuyant sur les données expérimentales pour déterminer les paramètres des modèles. Une attention particulière a été mise dans le développement de modèles légers se basant sur la physique. Pour y arriver, différentes modélisations thermiques ont été explorées pour, à la fois, avoir une estimation fine de la température permettant une meilleure compréhension des phénomènes de défaillance mais aussi pour exploiter des modèles plus légers dans la simulation électrothermique. Les modèles ont ensuite été intégrés dans un macro-modèle sous le logiciel de type circuit PLECS. Les résultats montrent une très bonne corrélation entre le modèle et les mesures expérimentales. En particulier la modélisation de la génération thermique de drain combinée aux seuils thermiques FTO et FTS qui permettent de simuler et de mettre en évidence les phénomènes de cascade de mode de défaut que présentent de nombreux composants et de montrer que ce défaut FTO existe de manière stable à plus basse tension telle qu'analysée par expérimentation.

Le modèle a permis l'exploration de mécanismes complexes et interdépendants se produisant dans le MOSFET SiC en court-circuit. En particulier, la validation, conjointement à l'analyse de défaillance, des mécanismes amenant au défaut des composants en court-circuit.

Le modèle peut aussi servir de modèle prédictif au sein d'une structure plus complexe pour la détection de court-circuit par exemple ou plus généralement pour l'analyse de la sécurité de systèmes critiques. En effet, le modèle peut à la fois servir à la conception d'un organe de détection et de protection contre les court-circuits, par exemple par la mesure du courant de fuite de grille. Il peut aussi servir à simuler des scénarios de défaut dans des convertisseurs statiques et pouvoir évaluer l'impact d'un mode de défaut FTO ou FTS dans la structure de manière dynamique.

De plus, l'amélioration proposée du modèle est peu coûteuse en temps de calcul et est entièrement compatible avec les modèles MOSFET numériques classiques. L'ensemble de la modélisation a été réalisé sur le composant ROHM G2 mais la méthode est applicable pour d'autres MOSFET SiC tels de ceux de CREE, par exemple comme démontré pour la modélisation du courant de grille.

## CHAPITRE 4 : APPLICATION DES PROPRIETES SINGULIERES DU MOSFET SiC EN REGIME DE COURT-CIRCUIT AFIN DE SECURISER UN CONVERTISSEUR

### I. Introduction

L'objectif de ce chapitre est de présenter les stratégies mises en œuvre afin de protéger le MOSFET SiC dans le cas où le composant serait soumis à un stress de court-circuit. La compréhension fine et la modélisation pointue, présentées dans les chapitres précédents, ont permis le développement des solutions dont la mise en œuvre sera exposée dans ce chapitre.

Dans une première partie, une surveillance du courant de grille permettant de détecter une augmentation du courant de grille consécutif à un court-circuit ou à un vieillissement est présentée et démontrée. Dans une seconde partie, le mode de défaut en « fail-to-open » a été étudié et valorisé dans le cas d'une défaillance volontairement reproduite dans un convertisseur DC/DC multiphasé par une séquence de commande erronée. Dans une troisième partie, l'étude d'une mise en court-circuit de puces en parallèle présentant une grande dispersion a été étudiée ainsi que la propagation d'une première défaillance "fail-to-open" issue d'un composant "faible". Dans une quatrième partie, la possibilité d'ajouter un « switch thermique » hybridé sur une puce afin d'assurer un défaut unique en « fail-to-open » est explorée.

### II. Utilisation de la fuite de grille pour détecter un court-circuit

Dans cette partie, une nouvelle méthode de détection de court-circuit basée sur la mesure du courant de grille est présentée et mise en application via un démonstrateur.

Dans un premier temps, les méthodes actuellement utilisées pour détecter des court-circuits (SC) sont présentées et évaluées succinctement. Dans un second temps, notre méthode de détection est expliquée. Dans un troisième temps, le prototype et les résultats associés sont présentés.

#### II.A Bibliographie sur les techniques de détection d'un court-circuit.

Il existe plusieurs méthodes pour détecter un SC, que ce soit un court-circuit de type I ou de type II. Elles seront brièvement expliquées et évaluées en ce qui concerne les caractéristiques de commutation des MOSFET SiC.

##### II.A.1 Utilisation d'un shunt

La méthode la plus simple consiste à utiliser un shunt pour mesurer directement le courant de drain comme proposé dans [78]. Atteindre un certain seuil déclenche la détection d'un SC ou d'une surintensité. L'avantage évident est la possibilité de détecter sans attendre la saturation du canal, ce qui est important pour les transistors à fort courant de saturation comme c'est le cas généralement pour le MOSFET SiC. Il y a des inconvénients évidents : en plus de ne pas être isolée galvaniquement et de présenter un faible rapport signal sur bruit, la résistance du shunt a souvent une valeur très proche du  $R_{DS, on}$  du MOSFET SiC, ce qui ajoute des pertes de conduction qui ne peuvent pas être négligées. Le principal inconvénient est l'inductance

parasite supplémentaire rajoutée à la boucle de commutation par le shunt, qui détériore considérablement la capacité de commutation des composants SiC ou GaN à commutation rapide. Par conséquent, cette méthode n'est pas une option et ne fera pas l'objet d'un examen plus approfondi.

### *II.A.2 Mesure du courant par une puce en parallèle (Sense FET)*

Le principe de cette méthode est aussi de détecter directement le courant de court-circuit par le biais d'un composant identique au composant de puissance mais d'un calibre en courant bien plus petit et commandé de la même façon que le composant de puissance. En effet, le courant passant dans le « petit » composant sera bien plus faible mais néanmoins une image du courant passant dans le composant de puissance. Il suffit de mesurer le courant passant dans ce composant en parallèle pour avoir une image du courant de drain. Bien qu'il n'y ait pas d'ajout d'inductance parasite, la conception de la mesure de courant est complexe. Cette méthode est utilisée pour les IGBT Si [79]. Cependant, en pratique, le composant de petit calibre est intégré sur la puce de puissance sous la forme d'une électrode "sense" à connecter à une électronique de surveillance à très basse impédance d'entrée car le ratio de mesure dépend du potentiel présent sur cette électrode tout comme l'effet de la température. Ainsi, nous voyons que cette solution diminue la densité de puissance, rajoute un coût non négligeable pour les composants grands gaps qui sont déjà très coûteux et, enfin, présente une mise en œuvre délicate. Cette méthode ne sera pas plus détaillée ici, elle est essentiellement pertinente pour les applications dites Automotives, couvertes par de nombreuses normes de sécurité, lesquelles peuvent imposer une surveillance du courant pour anticiper tout risque de surcharge thermique excessive et de risque de surchauffe voire d'incendie

### *II.A.3 Mesure de la charge de la capacité de grille*

Le principe de cette détection est de mesurer la charge de la capacité de grille et, par la mise en place d'un seuillage, de déterminer la présence d'un court-circuit [80], [81]. Dans le cas d'un court-circuit de type I, la valeur de la charge est plus faible que dans le cas de la charge en commutation, car il n'y a pas de plateau Miller, comme présenté Fig. 4.1 [82]. Le principal avantage de cette méthode est que la détection s'effectue en basse tension au plus proche du gate driver, ce qui permet d'être peu onéreux et rapide car utilisant des composants issus de la microélectronique. En revanche, la distinction entre les valeurs de charges peut être complexe. En effet, en considérant les oscillations créées par le  $di_D/dt$ , les inductances parasites, la chaîne d'amplification et le bruit, le calcul de  $Q_g$  demande une grande précision. De plus, pour les composants SiC MOSFET et encore plus pour les composants en GaN, la capacité Miller  $C_{GD}$  est très faible, il peut donc être difficile de faire la différence entre un court-circuit et une commutation classique. Enfin, cette méthode ne peut pas être utilisée dans le cas d'un montage cascade.

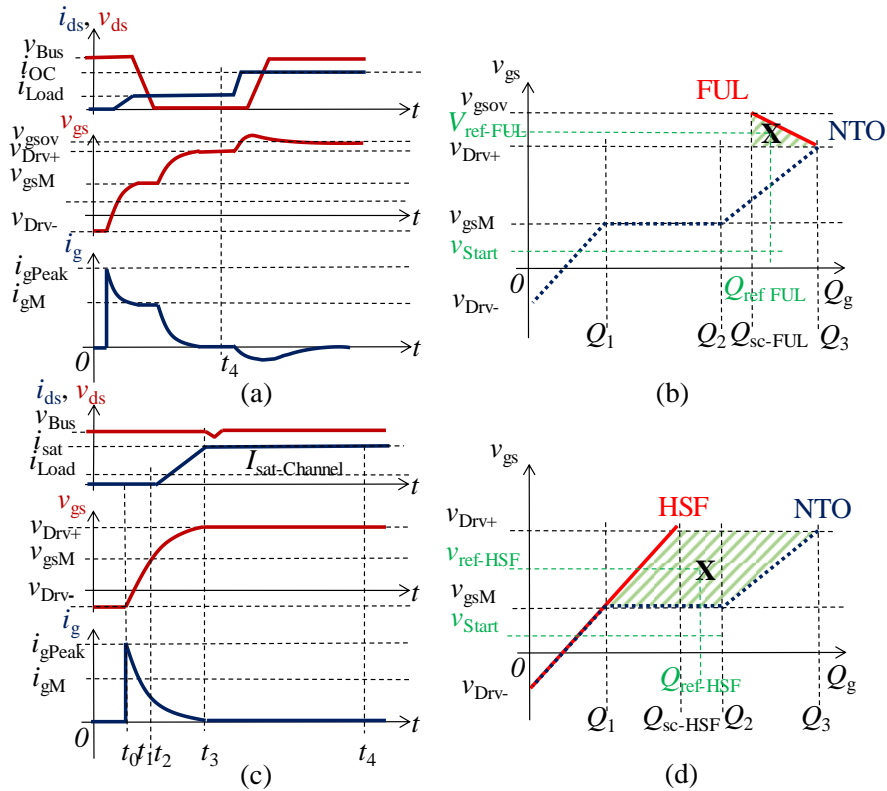


Fig 4.1 : Formes d'ondes à l'amorçage pour un court-circuit de Type II (a) et Type I (c). Charge de la capacité de grille dans le plan tension – charge de la grille pour un court-circuit de type II (b) et Type I (d). La zone hachurée en vert représente l'espace du plan dans lequel peut être effectuée la détection.

#### II.A.4 La désaturation

La méthode la plus classique consiste à surveiller la tension aux bornes du composant lorsque celui-ci est commandé. En effet, lorsqu'un composant de type IGBT ou MOSFET est passant, il se trouve dans sa zone ohmique : sa résistance est très faible tout comme la tension à ses bornes. En revanche, si le composant homologue dans la cellule de commutation est incapable de tenir la tension ou si la charge elle-même est en court-circuit, le composant se retrouve à devoir tenir toute la tension de l'alimentation. Dans ces conditions de stress extrêmes, le point de fonctionnement du composant se déplace dans sa zone de saturation et la densité de courant dans le canal est 5 à 10 fois la valeur nominale. À partir de ce constat, la technique de détection de défaut va être de mesurer la présence anormale de la tension lorsque le composant est commandé à l'état passant.

Afin d'illustrer notre propos, il nous paraît important d'étudier le circuit de détection et de correction de défaut d'un driver d'IGBT [83] présenté en Fig. 4.2 Une ou plusieurs diodes de détection haute tension et rapides en série avec une résistance de découplage de forte valeur sont connectées à un amplificateur opérationnel qui va comparer la tension avec une tension de seuil. Dans le cas où le composant est bloqué, la ou les diodes tiennent la haute tension. S'il est passant, l'amplificateur opérationnel (AOp) voit la tension de drain moins la chute de tension des diodes et de la résistance. S'il y a un défaut, la tension sera supérieure au seuil. Alors, la sortie de l'AOp passera à l'état haut et le circuit commandera le blocage du composant par une coupure lente afin d'éviter une destruction du composant par surtension. Cependant, en fonctionnement normal, la mise en conduction du composant n'est pas instantanée et le circuit



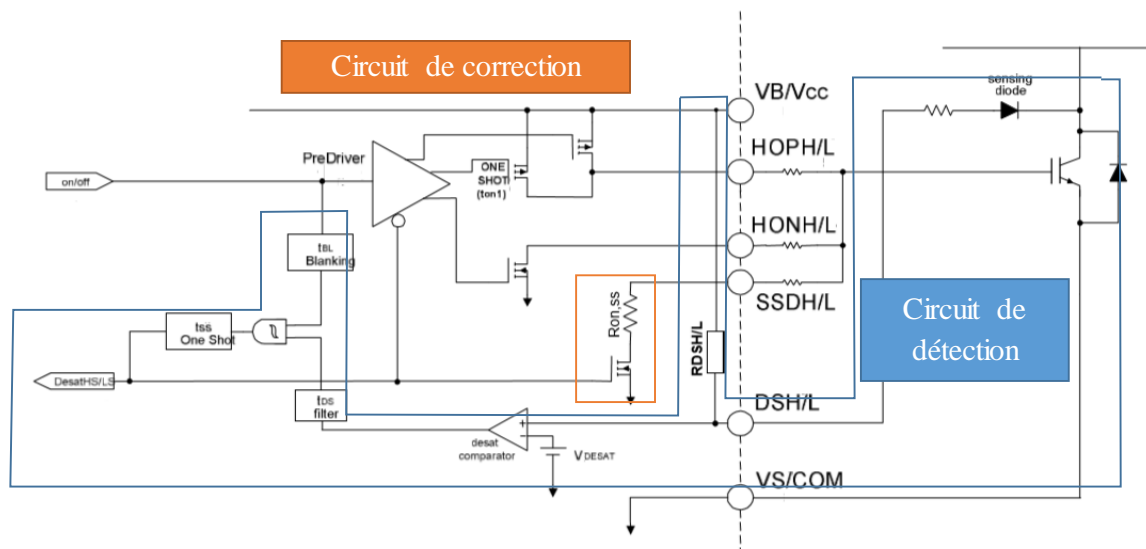


Fig. 4.2 : Driver avec fonction de diagnostic et de protection sûre de défaut

de protection peut ordonner faussement le blocage du composant à cause du délai de commutation de la tension. Pour pallier ce problème, l'installation d'un filtre en sortie du comparateur vient masquer la détection, pendant un temps suffisant, pour laisser commuter le composant à l'amorçage et laisser s'éteindre le régime oscillatoire qui suit. Ce délai correspond à quelques microsecondes de masquage donnant ainsi le temps de réponse minimal de la protection. Pendant ce délai, le composant doit être capable de tenir la puissance instantanée et, *in fine*, la quantité d'énergie correspondante sans être détruit. Pour répondre à ce besoin, les fabricants d'IGBT garantissent leurs composants pour une durée au moins égale, typiquement à 10  $\mu$ s, ce qui permet d'aménager une marge de sécurité.

Cette méthode est aujourd'hui très utilisée pour détecter des défauts sur des IGBT moyenne tension dans les applications industrielles. Elle est bien adaptée à des composants bipolaires présentant un seuil de conduction "net" et une zone ohmique "à faible valeur, i.e à pente raide" amenant à une mise en saturation "franche" garantissant ainsi un seuillage robuste. De telles caractéristiques sont à l'opposé de celles des composants unipolaires tels le MOSFET SiC qui ne semble donc pas le mieux placé pour être protégé de cette manière et qui pourrait provoquer un déclenchement sur de simple surcharge en courant. Par ailleurs, cette méthode montre d'autres limites dans son utilisation sur des composants rapides mettant en jeu des  $dv/dt$  de commutation et des courants de saturations plus importants. L'augmentation de la puissance instantanée, à énergie de destruction donnée, conduit à devoir réduire le délai de réaction du circuit de protection à moins de 5  $\mu$ s pour "sauver la puce". En effet, certains MOSFET SiC semblent bien moins robustes aux courts-circuits et les fréquences de commutations sont plus

Tableau 4.1: Comparaison des méthodes de détection des court-circuits

Méthode	Rapidité	Facilité d'implémentation	Coût	Fiabilité WBG
Shunt	++	--	-	-
Sense FET	++	--	--	+
Gate Charge	++	<b>0</b>	++	-
Desaturation	+	+	+	+
Méthode proposée	--	+	++	++

importantes. La tenue à 10  $\mu\text{s}$  pour 1000 cycles de court-circuit, bien connus pour les IGBT de classe industrielle, n'est aujourd'hui absolument pas garantie pour les MOSFET SiC. Par conséquent, le dispositif de détection devra être bien plus rapide et plus immunisé aux  $dv/dt$ . Ces contraintes sont en opposition avec la présence d'une diode haute tension (ou plusieurs diodes en série pour réduire la capacité parasite de déplétion équivalente) et d'un filtre en sortie du comparateur. Ces éléments diminuent fortement la réactivité et l'immunité. Néanmoins, une équipe de l'institut Royal de Technologie de Stockholm a montré que le système serait viable en utilisant des diodes à recouvrement rapides et de l'électronique très faible bruit [84]. Le défaut de ce système réside dans son prix pour une application industrielle.

#### II.A.5 Conclusion

Quatre méthodes de détection de court-circuit ont été présentées. Elles présentent des avantages et inconvénients, résumés dans le tableau 4.1, tels que la facilité d'implémentation, le coût, la fiabilité vis-à-vis des composants grand-gap et la rapidité.

Nous avons aussi montré qu'il n'y avait pas aujourd'hui de méthode performante "évidente", i.e. simple, robuste, rapide et intégrable sur driver en basse tension pour protéger un composant unipolaire comme le MOSFET SiC.

L'objectif de notre étude est de contribuer à pallier ce manque. Nous allons ainsi présenter la conception d'un driver basse tension permettant de faire une détection rapide de défaut en utilisant uniquement l'évolution singulière du courant de grille du MOSFET SiC. En effet, comme montré dans le Chap. II, les courants de grille statique et dynamique sont, respectivement, un marqueur du vieillissement du composant et un indicateur de court-circuit. Ce dispositif a comme avantage de n'utiliser que des composantes basses tensions et donc peu onéreux et intégrables sur un ASIC gate-driver. En revanche, il est tributaire de l'apparition du courant de fuite dynamique pour détecter le court-circuit, soit plusieurs  $\mu\text{s}$ . Cependant, il permet, sur le principe, de détecter avec la même circuiterie un niveau anormal de vieillissement de l'oxyde (ILD ou oxyde de champ mince) ce que ne font pas les autres méthodes de détection de court-circuit.

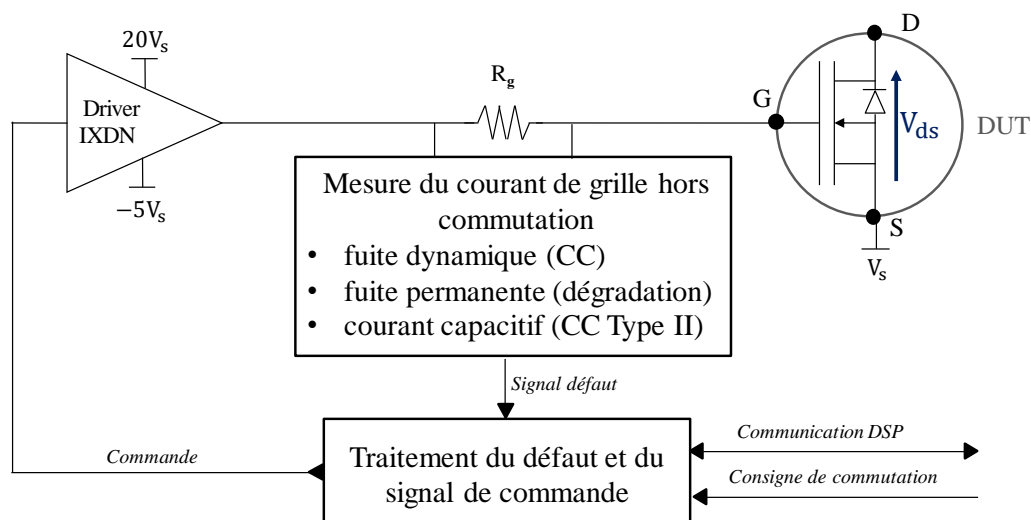


Fig 4.3 : Schéma de principe de la fonction de protection

## II.B Principe de la détection du court-circuit par surveillance de la fuite de grille.

### II.B.1 Cahier des charges de l'organe de détection

Le but du circuit qui a été développé durant cette thèse est de détecter une situation de court-circuit de type I, type II et un vieillissement de l'oxyde de grille. La détection est effectuée par une mesure du courant de grille à travers la résistance de grille.

En effet, comme présenté dans le Chap 2.III.B tous les composants MOSFET SiC étudiés présentent une fuite de grille « dynamique » durant un stress en court-circuit, ce stress étant causé par un phénomène de conduction à travers l'oxyde de grille appelé émission Schottky, présenté Chap 2.IV, qui est déclenché par l'intense température de la puce. Ce courant apparaît à environ  $T_{SC}/2$  ce qui donne le temps de bloquer au plus vite le composant et de « sauver » la puce. Cependant, à  $T_{SC}/2$  ce courant est très faible et augmente avec une faible dynamique. Il convient à l'organe de détection de pouvoir mesurer ce faible courant et d'être robuste aux perturbations pouvant venir du circuit de puissance.

De plus, comme vu dans le Chap 2.V.D, nous pouvons aussi être en présence d'un court-circuit de type II, dans ce cas, en plus d'une fuite « dynamique » analogue à celle du type I, un courant capacitif de réinjection vers le buffer causé par un  $dV_{DS}/dt$  ohmique apparaît dès le début du court-circuit. Si l'on considère par convention que le courant de fuite « dynamique » est positif, le courant capacitif relatif au type II sera de signe négatif. En

Tableau 4.2: Cahiers des charges sur la détection des différents événements

Type de défaut à détecter	Cahier des charges
<b>Court-circuit Type I</b>	Protection rapide (<500ns) Mesure courant positif faible niveau ( $\approx 10\text{mA}$ )
<b>Court-circuit Type II</b>	Mesure courant négatif transitoire court
<b>Fuite permanente</b>	Mesure courant faible niveau positif et négatif

revanche ce courant est bien plus rapide et de plus forte amplitude que ce qui est mesurable en type I

Enfin, comme vu dans le Chap 2.VI.B, un courant de fuite « permanent » peut apparaître par un effet de vieillissement du composant. Sous 20V, ce courant peut être compris entre 100  $\mu$ A et 100 mA. La présence d'un courant si important est un indicateur qu'il faut arrêter le convertisseur pour remplacer le composant. Il convient donc de pouvoir détecter ce courant et agir en conséquence. Dans notre étude, il n'y a pas de discrimination entre un courant de fuite

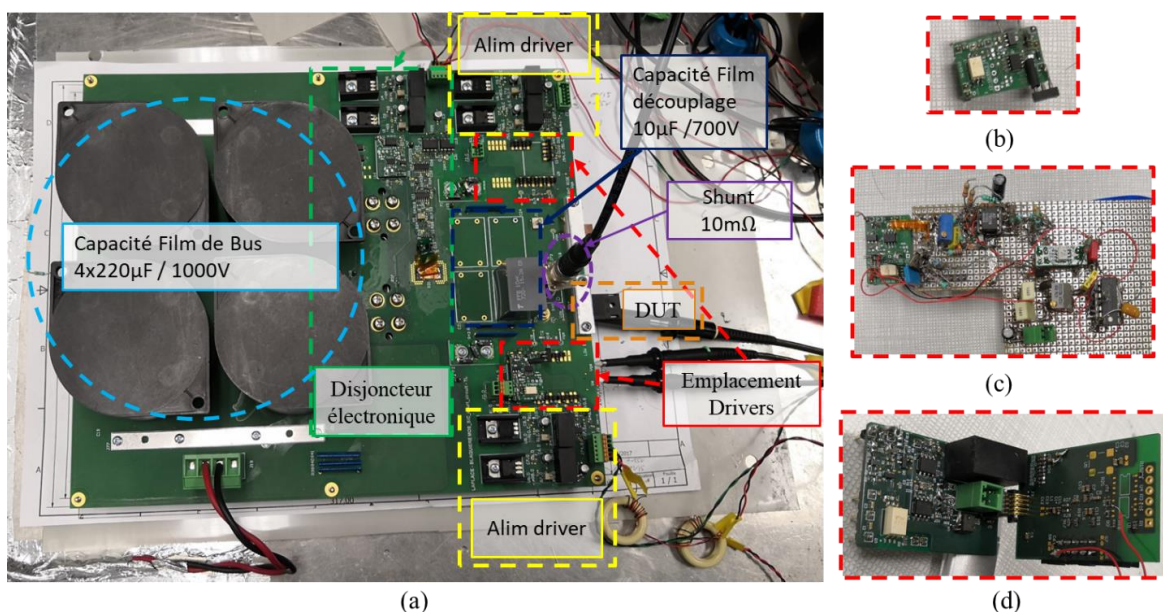


Fig. 4.4 : (a) Carte mère présentée dans le Chap 2 (b) Gate driver utilisé pour caractériser les composants en court-circuit (c) premier prototype de l'organe de détection (d) second prototype intégré en 2 morceaux

« permanent » et le courant de fuite « dynamique » vis-à-vis de la détection et la gestion du défaut. Dans les deux cas, nous envoyons un ordre de blocage au composant et un signal unique de défaut. Le cahier des charges de l'organe de détection est décrit tableau 4.2.

Le schéma de principe de l'organe de détection est présenté Fig. 4.3. Il s'articule autour de 2 fonctions distinctes : la détection d'un courant de  $\pm 10$  mA qui génère un signal de défaut. Une intelligence au plus proche du driver qui va gérer numériquement le signal de défaut, la commande du driver et la communication avec le DSP qui contrôle le système.

Le courant de grille est mesuré aux bornes de la résistance de grille externe à la puce qui joue un rôle de shunt. Classiquement, pour des composants en SiC, la résistance de grille est de très faible valeur (entre 1 $\Omega$  et 27 $\Omega$  par puce), mesurer un courant de  $\pm 10$  mA, implique mesurer une tension entre 10 mV et 270 mV.

L'intelligence intégrée au driver doit être en mesure de bloquer de manière lente le composant et de manière permanente en cas de défaut. Elle doit aussi être en mesure de commander le composant en accord avec la consigne de commutation s'il n'y a pas de défaut. Il doit aussi y avoir une communication avec l'extérieur afin de pouvoir effacer la mise en défaut ou recevoir un signal de défaut extérieur.

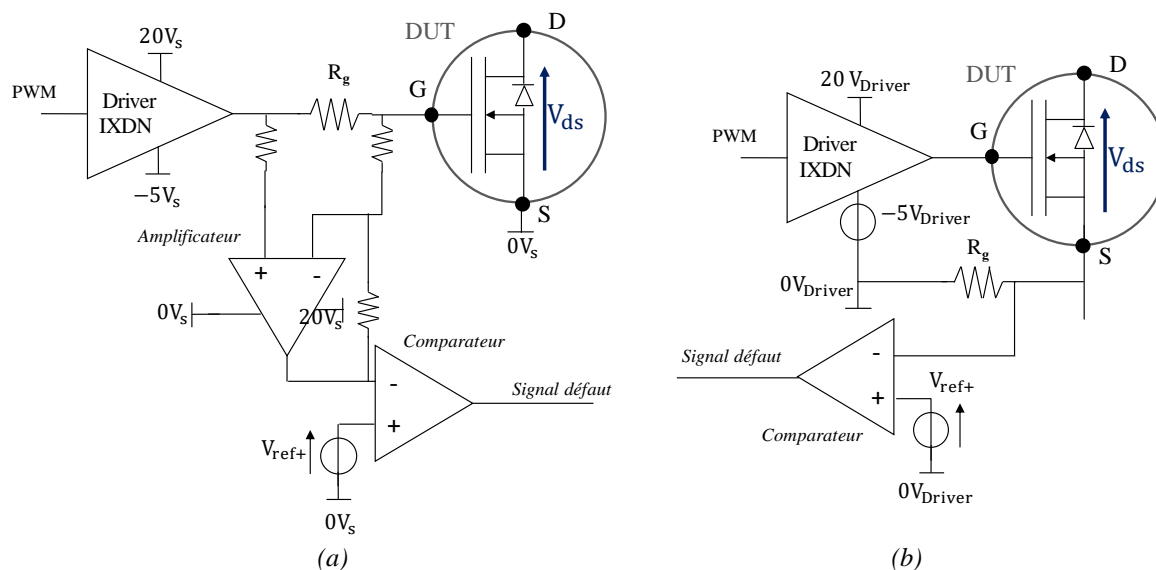


Fig. 4.5 : Schéma de principe des méthodes de mesure du courant de grille. (a) Amplification différentielle de la tension aux bornes de la résistance de grille. (b) Comparaison de la tension sur une résistance de grille placée entre la source et la référence de potentielle du driver.

Pour satisfaire l'objectif de rapidité de réaction et dans une volonté de compacité, l'ensemble de l'organe de protection est intégré au plus proche du composant de puissance et au potentiel de la source (ou de la source kelvin si elle existe).

Comme évoqué dans le Chap. 2.II.B, la carte de test en court-circuit a été pensée pour pouvoir changer facilement le driver existant en prévoyant une place plus importante pour pouvoir en connecter un autre, emplacement en rouge sur la Fig. 4.4a.

Dans un premier temps, un prototype a été développé en « fil volant » avec l'utilisation de composants conventionnels afin de valider le principe de détection et l'intelligence est seulement composée d'une porte logique, Fig. 4.4c. Dans un second temps, deux circuits imprimés très intégrés utilisant des composants montés en surface ont été développés. Un circuit intègre la partie détection et le gate driver. Un second circuit intègre la partie intelligente composée d'un CPLD programmable. Une photo de ce driver est présentée en Fig. 4.4d.

## II.B.2 Méthodes de mesure du courant de grille

L'organe de détection doit être capable de mesurer une différence de potentielle aux bornes de la résistance de grille comprise entre 10 mV et 270 mV. Cependant, la différence de potentielle n'a pas un mode commun stable. Le mode commun varie entre  $V_{\text{buffer(on)}}$  et  $V_{\text{buffer(off)}}$  (20 V et -5 V) dans notre cas et la tension différentielle maximale est de  $V_{\text{buffer(on)}} - V_{\text{buffer(off)}}$  (25 V).

- La solution la plus directe est d'utiliser un amplificateur différentiel rapide aux bornes de R<sub>G</sub> et référencé à la source Kelvin du composant de puissance (0 V<sub>S</sub>). Il convient ensuite de comparer la valeur de sortie de l'ampli au seuil de détection voulue comme présentée en Fig. 4.5a. Le principal inconvénient de cette méthode est de trouver un composant rapide pouvant supporter l'important mode commun et différentiel. Il apparaît rapidement que les amplificateurs rapides sont limités en mode commun et différentiel. Il faut alors utiliser des composants plus capacitifs et donc plus lents. Cette approche n'a pas été retenue.

- La seconde approche consiste à placer  $R_G$  sur la branche de retour de la maille de grille comme présentée en Fig. 4.5b. Le circuit driver n'est donc plus référencé à la source kelvin. Le comparateur est donc référencé à la tension de référence du driver ( $V_{Driver}$ ) et compare le seuil de détection à la source kelvin. Cette solution élégante, présentée dans [85], nécessite de devoir dissocier la source kelvin du DUT du 0V de ce qui n'était pas possible sur le PCB de notre carte de puissance (carte conçue antérieurement à l'étude du driver).
- La dernière solution consiste à utiliser un comparateur directement aux bornes de  $R_G$ . Dans ce cas, le comparateur doit être référencé à  $V_{buffer}$  ou  $V_{GS}$  pour ne plus avoir de mode commun. Cela impose d'utiliser une seconde alimentation isolée ainsi qu'un opto-coupleur pour faire passer le signal à la référence du driver et donc un coût supplémentaire et une consommation plus importante (opto) mais permet d'avoir une détection rapide et peu bruitée. Cette solution présentée en Fig. 4.6 a été choisie pour la réalisation des prototypes.

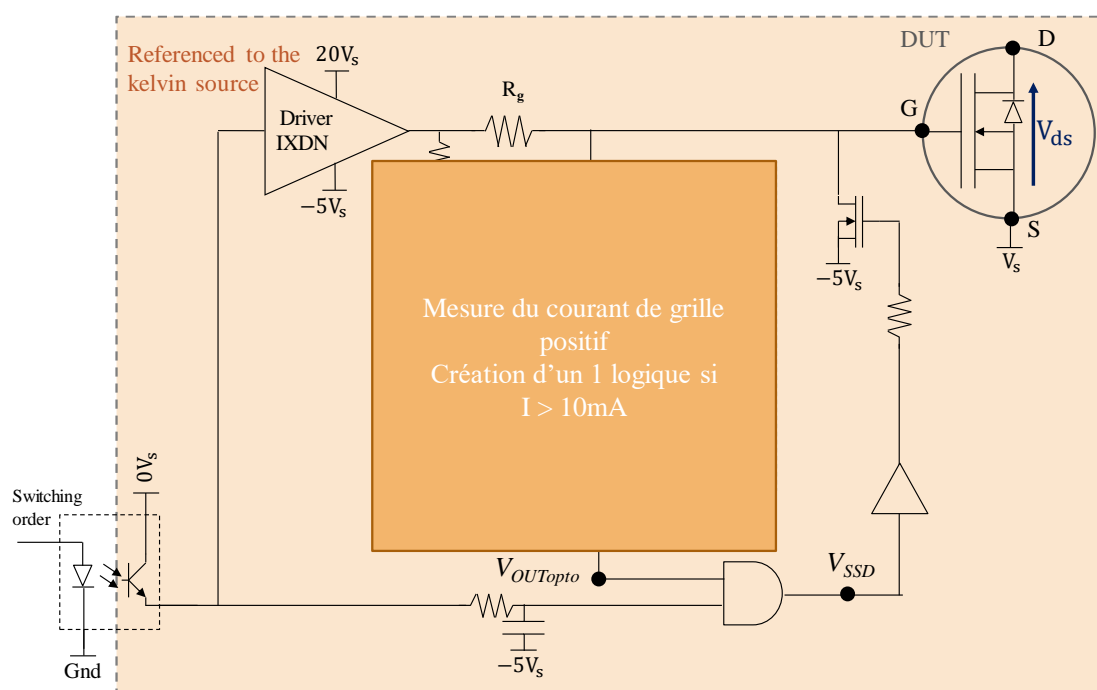


Fig. 4.6 : Schéma de principe du premier prototype (seuls les composants principaux utiles à la compréhension de la fonctionnalité sont représentés)

## II.C Mise en œuvre du premier prototype

Le premier prototype a été développé pour valider la méthode de détection particulière qui a été employée (méthode n° 3). En effet, la mesure du courant de grille se faisant par une mesure de tension aux bornes de la résistance de grille en sortie de buffer, il faut mesurer une tension différentielle flottante par rapport à la source kelvin du composant qui est au même potentiel que la masse de l'électronique du driver. De la même façon qu'avec la conception du disjoncteur électronique vu au chapitre II, il a été décidé d'utiliser un comparateur rapide référencé au potentiel de grille (flottant). Cette solution nécessite donc l'ajout d'une alimentation isolée référencée à  $V_G$ . Cependant, au stade actuel de la présentation, ce prototype a comme

objectif de ne détecter que les court-circuits de type I (courant positif) et il n’y a pas de verrouillage de la commande ou de communication prévue avec le DSP.

Le schéma de principe est présenté Fig. 4.6. Le montage est un peu différent d’un montage comparateur classique. En effet, hors commutation, le potentiel appliqué à la borne « - » du comparateur est constant, dans le cas d’apparition d’un courant de grille, c’est le potentiel de grille ( $V_g$ ) qui change. Or, le comparateur est référencé à  $V_g$  donc au moment où la chute de tension aux bornes de  $R_g$  est de 100 mV, la référence de potentielle  $V_{ref}$  augmente et devient supérieure à la tension comparée « V- ». Le signal de sortie du comparateur passe à 0 comme présenté dans la Fig. 4.7a. Les décalages de niveaux de déclenchement entre la pente descendante de  $I_g$  et la pente montante sont dus à la présence d'un hysteresis introduit sur le comparateur. Il est à noter que le courant de grille est mesuré négatif sur le Fig. 4.7a, il n’en est rien, c’est un problème de mesure car elle est faite avec un oscilloscope lui-même flottant, référencé au potentiel de grille dont la capacité de mode commun parasite entre  $V_G$  et la masse principale de l’électronique qui est à la terre fausse notre mesure.

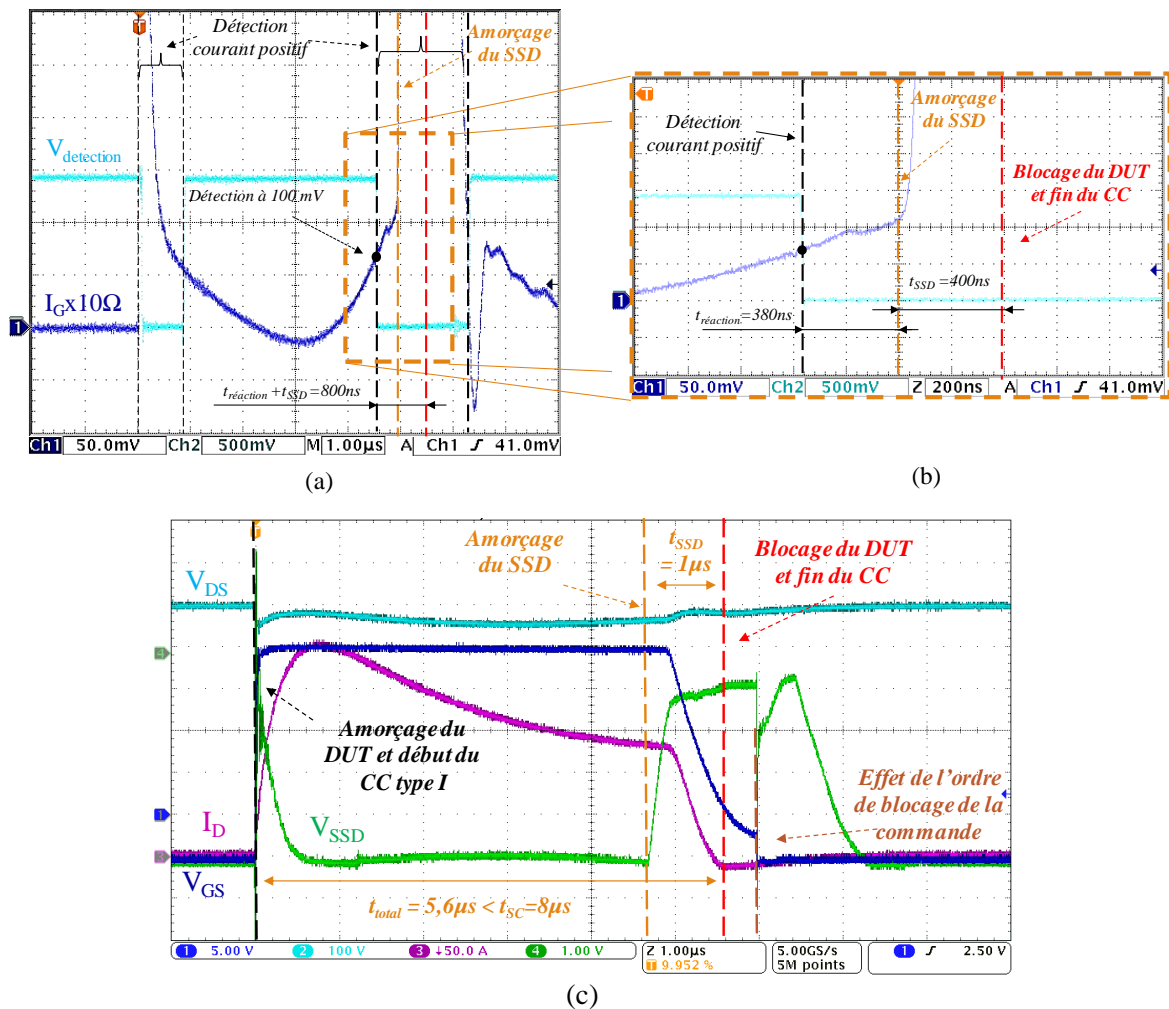


Fig. 4.7 : Utilisation du premier prototype "non intégré" pour un court-circuit de Type I (a) Mesure du courant de grille et de l'entrée de l'optocoupleur (b) zoom de (a). (c) Tension de grille, tension de drain, courant de drain du DUT et tension de grille du transistor de SSD.

Il faut ensuite passer par un optocoupleur pour que le signal soit référencé au potentiel de source kelvin, i.e. la masse de l'électronique driver. Cependant, le comparateur détecte aussi

bien le courant de grille pendant les commutations (pas de défaut) qu'en dehors (défaut) il faut donc fenêtrer le signal pour masquer la première impulsion de grille. Pour répondre à cette contrainte, une porte AND à deux entrées et à trigger de Schmitt attaquée par un circuit RC avec un temps de monter suffisamment lent pour éviter l'envoi d'un ordre de mise en sécurité pendant  $2\mu\text{s}$  après l'amorçage du DUT a été utilisée. Le signal en sortie de la porte AND est donc le signal de défaut. Il a été choisi, dans ce cas, que le composant devait être bloqué avec une dynamique plus faible qu'en commutation nominale pour éviter tout risque de passage en avalanche du DUT en raison du fort courant de saturation en présence. Ce concept est appelé *Soft Shut Down* (SSD) en anglais. Cette fonction est réalisée par l'ajout d'un MOSFET directement sur la grille et piloté par la porte AND (moyennant un ampli suiveur). Sur la Fig. 4.7c, le blocage du DUT en SSD intervient lentement après la détection du comparateur ( $t_{\text{SSD}} = 400\text{ ns}$ ). Dans l'exemple présenté Fig. 4.7, le composant est commandé par un échelon de  $6\mu\text{s}$ , l'ordre de blocage est visible en Fig. 4.7c.

Le fonctionnement du 1<sup>er</sup> prototype "non intégré" a été validé, comme présenté en Fig. 4.7. Cependant, le blocage du composant intervient  $5,6\mu\text{s}$  après le début du court-circuit pour une  $T_{\text{SC}}$  de  $8\mu\text{s}$ , la marge est donc faible. Deux pistes sont étudiées pour diminuer ce temps de réaction : choisir un seuil de détection plus bas et accélérer l'électronique embarquée ( $t_{\text{Detection}} = 380\mu\text{s}$ ,  $t_{\text{SSD}} = 400\text{ ns}$ ). La diminution du seuil peut augmenter la sensibilité au bruit. Il a donc été décidé, sur un second prototype, d'intégrer l'ensemble du circuit sur un circuit imprimé compact et d'y ajouter les fonctionnalités supplémentaires décrites dans la partie II.B.

## II.D Mise en œuvre du second prototype

Comme présenté Fig. 4.8, le second prototype comporte, en plus des fonctionnalités du premier prototype : un signal de restart, la possibilité de transmettre le défaut au DSP, la détection du courant négatif (pour le défaut en type II) et enfin la mise en place du CPLD MAX V<sup>TM</sup> d'Intel. L'ensemble de ces fonctionnalités a été intégré sur deux PCB quatre couches très compactes connectées à  $90^\circ$  pour en faciliter la mise au point, comme présenté Fig. 4.4d.

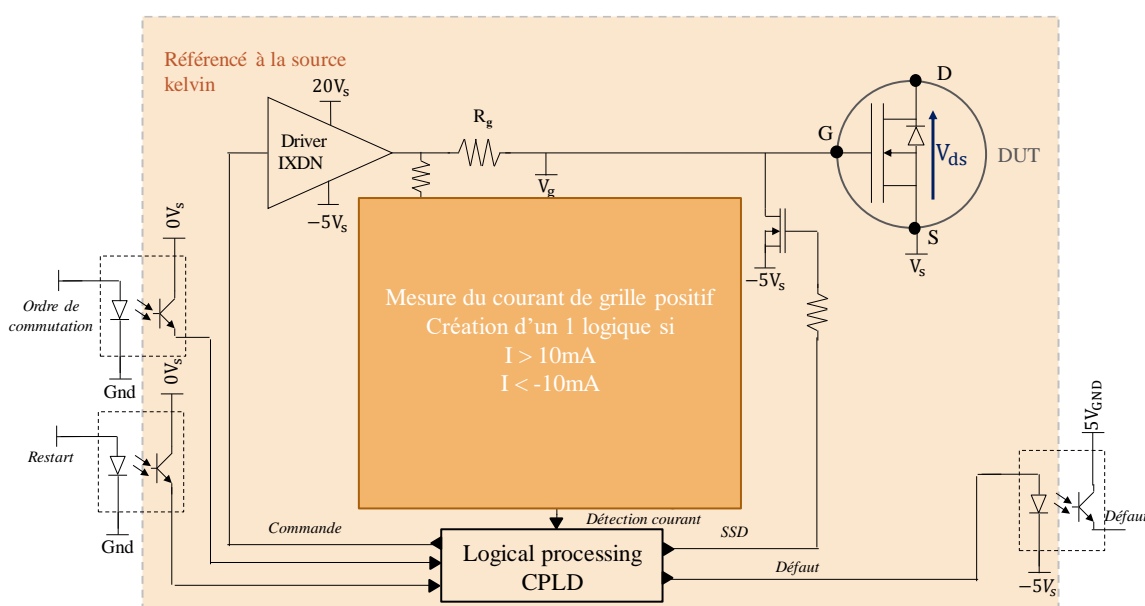


Fig. 4.8 : Schéma de principe du second prototype (seuls les composants principaux utiles à la compréhension de la fonctionnalité sont représentés)



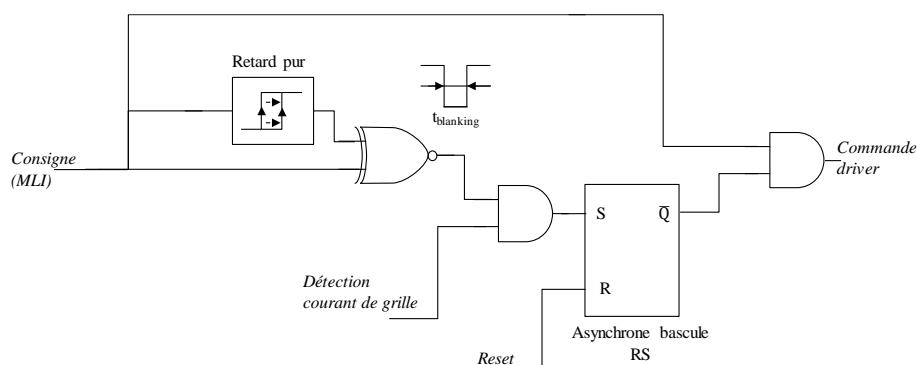


Fig. 4.9 : Schéma logique du programme implémenté dans le CPLD sans SSD

L'objectif de ce prototype est de présenter une solution fonctionnelle et très intégrée de la solution de driver développée.

Un CPLD (*complex programmable logic device*) est un composant en logique programmable comme un FPGA mais plus compacte, avec oscillateur et mémoire intégrés. Il comporte bien moins d'éléments logiques et est moins coûteux. Le CPLD MAX V™ d'Intel a été choisi afin de miniaturiser toute la partie logique permettant la gestion du défaut tout en offrant une grande flexibilité car programmable. Il a néanmoins été très difficile à reporter sur le circuit car ce type de composant est très fragile durant les étapes de refusion (pas plus de 60s à 260°C) et de nombreux tests ont été nécessaires pour obtenir des résultats acceptables.

Le programme implémenté en VHDL, schématisé Fig. 4.9, utilise le front montant et descendant du signal consigne (PWM) pour inhiber le mécanisme de blocage pendant un temps appelé  $t_{blanking}$  correspondant au temps de commutation du DUT. Le CPLD intègre un oscillateur d'une fréquence de 4Mhz qui, une fois divisée, nous permet d'effectuer un retard pur d'environ 2  $\mu$ s. Après ce temps, tout signal de détection de courant de grille est considéré comme un défaut et active le SSD qui est maintenu actif jusqu'à l'envoi d'un signal de redémarrage par l'utilisateur

### II.D.1 Test sur un court-circuit de type I

Un test réel du driver est présenté en Fig. 4.10a et 4.10b, le driver détecte le courant durant l'amorçage et détecte le courant lorsque celui-ci dépasse les 10 mA. Une fois le courant détecté, le système met 150 ns pour envoyer l'ordre de blocage au driver. Il est à noter que le transistor de SSD n'a pas été utilisé dans ce cas. En effet, le blocage en SSD proposé ici est très long et fait perdre en réactivité au système. L'usage d'une seule résistance de grille de 10 $\Omega$  est suffisant pour éviter une surtension dangereuse au blocage sans que le SSD soit nécessaire dans le cas présent car l'impédance de boucle est réduite sur notre banc de test. Pendant le blocage par le buffer, le circuit de détection détecte bien le courant de grille négatif, il s'agit donc d'une double détection avec confirmation du défaut. Fig. 4.10c, le composant est effectivement bloqué et le composant mis en sécurité.

Avec ce second prototype, le court-circuit est arrêté au bout de 4,75  $\mu$ s soit 850 ns de moins qu'avec le second prototype sans changement du seuil de détection. Le temps de l'action du SSD a été supprimé (400 ns) et 230 ns ont été gagnées sur la chaîne de traitement du défaut.

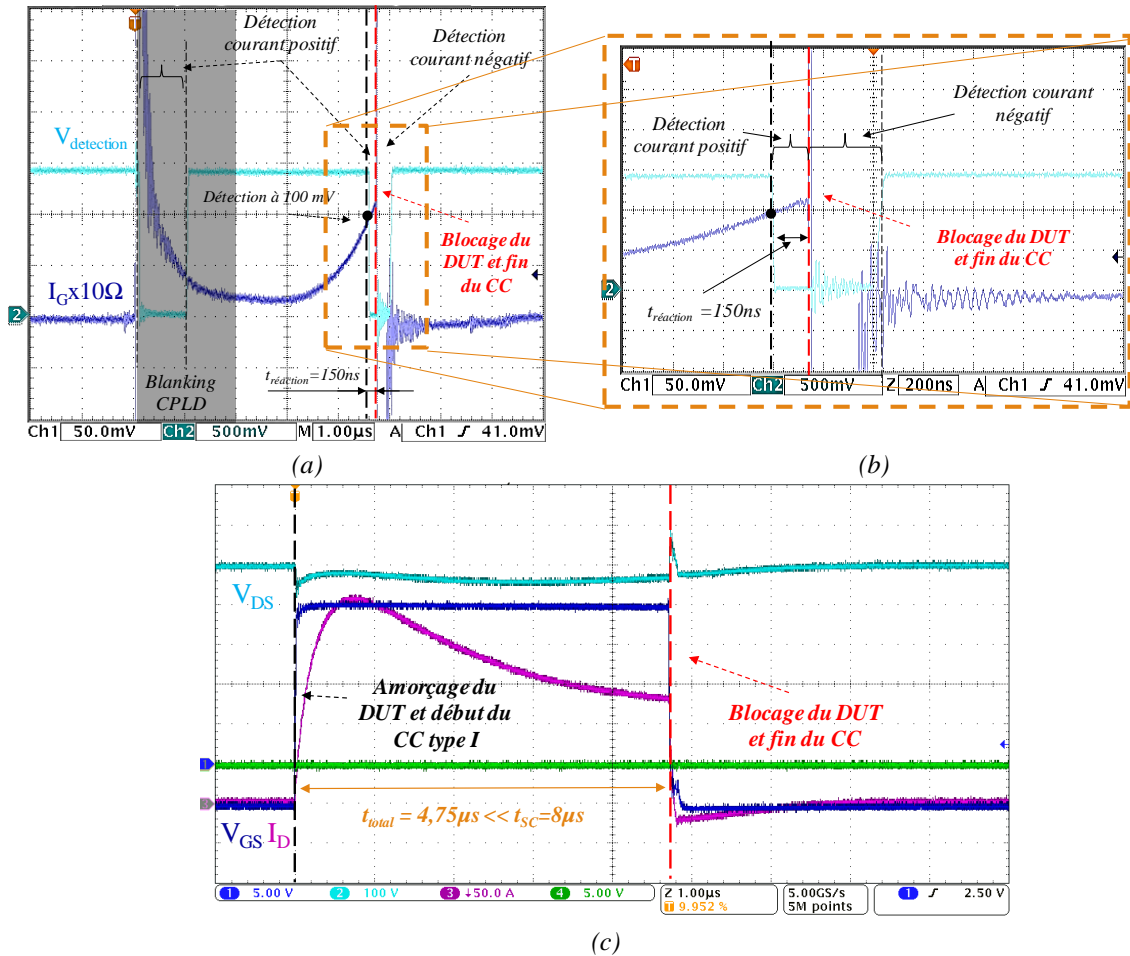


Fig. 4.10 : Utilisation du second prototype pour un court-circuit de Type I (a) Mesure du courant de grille et de l'entrée de l'optocoupleur (b) zoom de (a). (c) Tension de grille, tension de drain et courant de drain.

### II.D.2 Test sur un court-circuit de type II

Le driver de détection a été testé dans un essai par court-circuit d'un bras d'onduleur comme présenté dans le Chap.2§V.D.2. L'objectif de ce test est d'observer à quel moment le driver détecte un courant de grille pendant cet essai. La boucle de rétroaction (protection du composant) a été désactivée pour observer tous les instants où un courant anormal de grille est détectable.

Deux composants, un Cree G2 ( $DUT_{HS}$ ) et un Microsemi ( $DUT_{LS}$ ) sont mis en série, au *High Side* (HS) et au *Low Side* (HS), respectivement. Le Microsemi déjà passant au moment où le composant Cree G2 est amorcé pour mettre en court-circuit le bras. La polarisation du composant CreeG2 est plus faible pour s'assurer que le  $DUT_{HS}$  sature. Les formes d'ondes de l'essai sont présentées en Fig. 4.11. Le composant HS sature jusqu'à sa destruction en FTS à 16  $\mu s$ . Au niveau de la grille LS, on observe un courant négatif à l'amorçage du  $DUT_{HS}$  due à une injection de courant par la capacité drain-source du  $DUT_{LS}$ . Juste avant la défaillance de  $DUT_{HS}$  un courant négatif apparaît dû au changement de pente du courant de drain mais pas

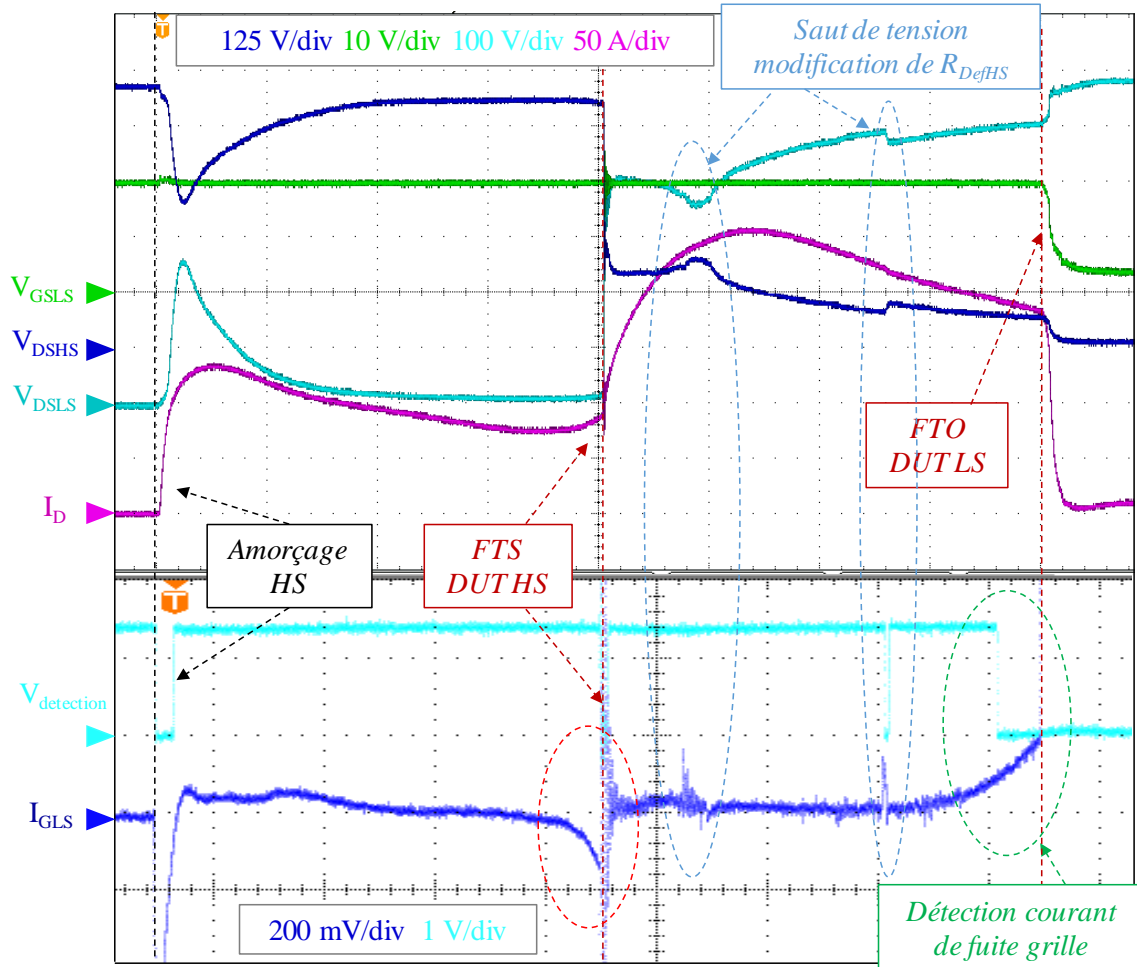


Fig. 4.11 : Formes d'ondes d'un essai en court-circuit d'un bras d'onduleur @  $V_{DS}=600V$ ,  $R_G=47\Omega$ ,  $V_{bufferLS}=20V$ ,  $V_{bufferHS}=15V$ .  $DUT_{HS}=CreeG2$ ,  $DUT_{LS}=Microsemi$ . FTS du  $DUT_{HS}$  à  $16\ \mu s$  et FTO du  $DUT_{LS}$  à  $32\ \mu s$ .

suffisamment important pour déclencher la détection. En revanche, la casse du  $DUT_{HS}$  déclenche la détection. Contrairement à l'essai présenté dans le chapitre II, la résistance de défaut drain-source du composant HS est relativement résistive et varie par saut au court du temps ( $19\ \mu s$  et  $27\ \mu s$ ) provoquant  $dv/dt$ . Ces sauts provoquent des pics de courant de grille qui, à  $27\ \mu s$ , enclenche la détection. En fin de court-circuit, un courant de fuite dynamique apparaît sur la grille du composant LS (Microsemi) qui déclenche la détection. Le composant casse ensuite en FTO (court-circuit grille source à  $32\ \mu s$ ).

Il y a donc 3 instants sur 4 auquel la détection s'est enclenché et qui peuvent être utilisés pour détecter un court-circuit :

- L'amorçage du composant HS. En effet, l'amorçage du composant provoque un fort pic de courant négatif sur la grille du LS. Le composant LS étant passant, un pic de courant sur sa grille est anormal et la protection devrait s'enclencher.
- La destruction du composant HS en FTS. En effet, de la même façon que le cas précédent, un fort courant de grille ne doit pas apparaître sur la grille d'un composant passant.

- L'apparition du courant de grille dynamique comme dans le cas d'un essai en court-circuit de type I, le courant de grille est un indicateur que le composant est très chaud et en court-circuit. Il faut donc le bloquer.

Les sauts de courant par modification de la caractéristique résistive du composant déjà défaillant ne peuvent être utilisés de manière sûre pour détecter une situation anormale car dépendant de phénomènes non reproductibles. En revanche, ils sont des indicateurs de problèmes qui nécessiteraient un blocage des composants du bras.

Le cas de figure d'un composant déjà passant qui subit un stress en court-circuit est bien plus favorable qu'un court-circuit de type I car la protection peut agir bien plus rapidement ( $<1\mu s$ ) car le moindre courant détecté sur la grille peut être le signe d'un court-circuit du bras. Si l'on étend le raisonnement, si les deux composants d'un bras d'onduleur sont équipé du système de détection et protection présenté dans cette partie, c'est toujours le composant homologue qui va détecter le défaut de l'autre composant de manière quasiment immédiate. La limite de l'approche réside dans l'amplitude des pics de courant capacitif vue par la grille. Plus la capacité drain-grille est réduite moins cela sera facile de détecter ce type de courant.

## II.E Conclusion et perspectives

En conclusion, un circuit de détection de faible niveau du courant de grille et de protection du composant a été implémenté sur PCB avec composant CMS. La fonction complète a été validée, fonctionnelle et rapide (100ns). En particulier, l'implémentation du traitement de l'information via un CPLD embarqué au plus proche du buffer et de la grille du composant de puissance semble être une très bonne solution. Quelques fonctions annexes (communication avec le DSP, SSD) n'ont pas été implémentées et pourront faire l'objet d'études ultérieures.

Le principe de fonctionnement de la protection employée se base sur un phénomène physique propre aux MOSFET SiC qui semble apparaître sur chaque composant étudié, ce qui en fait un principe de fonctionnement généralisable à ce type de composant et semblerait pouvoir être utilisé également sur des p-GaN HEMT [15], [86], [87] mais n'est pas généralisable aux composants en Silicium. De plus, la protection intervient au bout de quelques microsecondes, ce qui en fait une protection lente vis-à-vis des autres types de protections utilisées usuellement. Cependant, l'apparition du courant de fuite se fait environ à  $T_{SC}/2$  ce qui laisse suffisamment de temps pour sauver le composant. Il a été montré que les composants Cree G2 peuvent tenir au moins 300 cycles de court-circuit consécutifs à  $T_{SC}/2$  comme présenté en Fig. 4.12 [22]. Cependant, au bout de 200 cycles il y a une dégradation de la grille qui se traduit par un courant de fuite permanent important sous polarisation positive. En plus de pouvoir tenir environ 300 cycles de court-circuit, le courant de fuite permanent va déclencher automatiquement la protection, non pas en mode court-circuit, mais en mode vieillissement. C'est-à-dire même sans que le composant soit en court-circuit.

Enfin, ce type de protection présente l'avantage de n'utiliser que des composants basses tensions donc aisément intégrables, peu coûteuses et non intrusives vis-à-vis de la partie puissance. Comme évoqué précédemment, elle permet aussi de détecter un vieillissement du composant par la mesure de la fuite de grille ce que ne proposent pas les autres méthodes. Une intégration de cette fonctionnalité dans un ASIC en plus de la méthode d'intégration de la charge de la grille est actuellement en cours de conception dans la thèse de Y. Barazy [82].

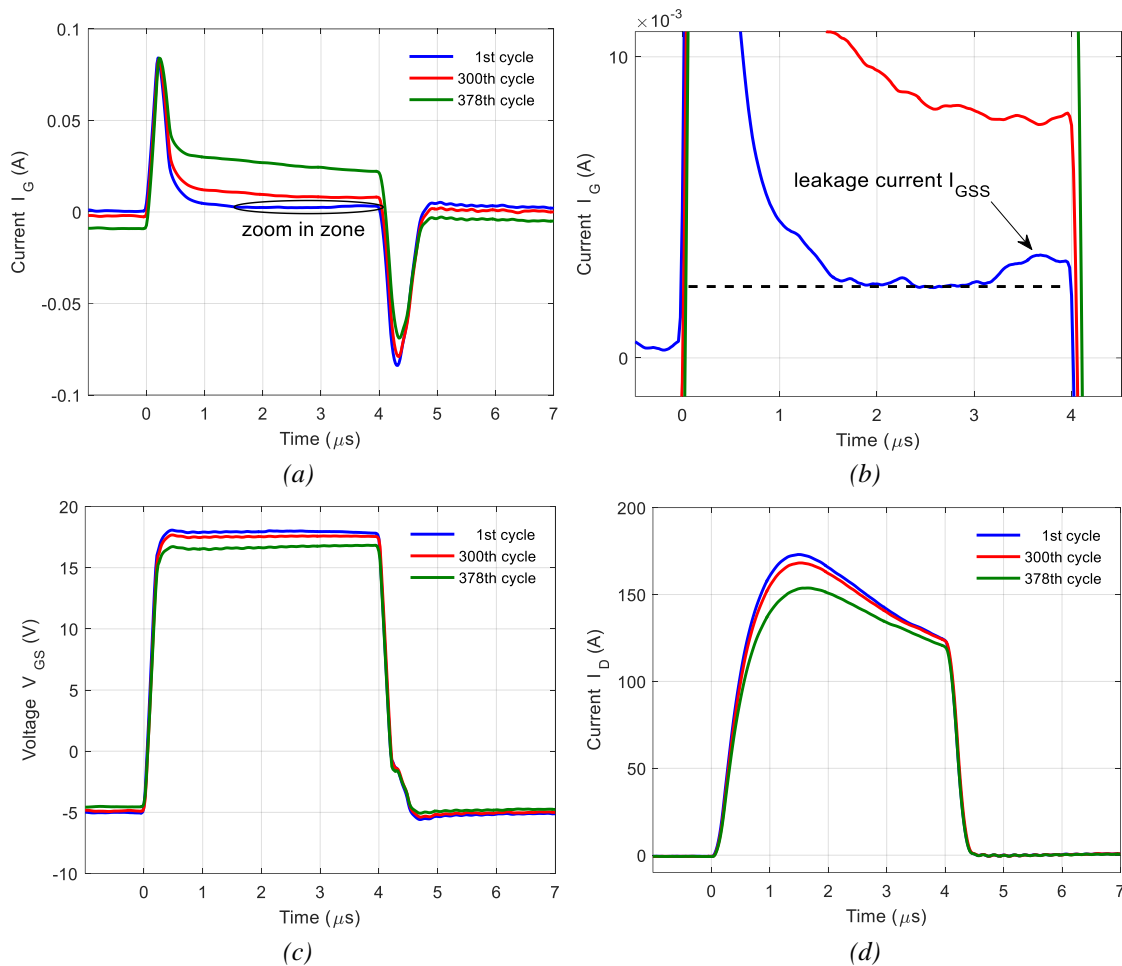


Fig. 4.12 : Formes d'ondes d'essais en court-circuit de type I répétés @  $t_{SC} = 4\mu\text{s}$ ,  $R_G = 47\ \Omega$ ,  $T_{CASE} = 25^\circ\text{C}$  (a) courant de grille (b) zoom du courant de grille (c) tension de grille (d) courant de drain. [22]

### III. Exemple de gestion d'un défaut dans un convertisseur DC/DC *synchronous buck 3-phases entrelacées composées de composants présentant un mode de défaut en « fail-to-open »*

L'objectif de cette partie est de présenter l'intérêt de la défaillance en « fail-to-open » (FTO) des composants MOSFET SiC au sein d'une topologie classique DC/DC multiphase dans le cas d'un défaut de type court-circuit. Une stratégie sera proposée et un critère de dimensionnement du filtre de sortie sera proposé afin de tirer parti au mieux de ce mode de défaillance singulier.

#### III.A Introduction

L'apparition d'un défaut interne ou externe dans un convertisseur statique peut très rapidement amener à la destruction d'un ou de plusieurs composants actifs. En silicium, la destruction du semi-conducteur veut dire un défaut catastrophique se traduisant par un court-circuit faiblement ohmique drain-source « *fail-to-short* » (FTS). Dans ce cas, une ou plusieurs cellules de commutation peuvent se retrouver en court-circuit sur une source de tension. L'énergie contenue dans les capacités constituant la source se dissipe dans les zones ohmiques défaillantes. Si le courant n'est pas limité ou interrompu, il peut provoquer la fusion des zones de connexion puce-boîtier et une possible explosion du boîtier amenant *in fine* à une ouverture forcée du circuit « *fail-to-open* » FTO.

Sur puce Silicium et en présence d'une connectique filaire puce-boîtier, le défaut en FTO est consécutif au défaut FTS mais celui-ci est rarement maîtrisé et pris en compte lors de la conception des boîtiers. Une exception subsiste pour les applications particulières en haute et très haute tension (HVDC) pour la mise en série en grand nombre de composants (MMC par ex.) où le FTO est proscrit pour des besoins de redondance topologique en série. Dans ce cas, c'est le FTS qui doit être garanti et même dans la durée, ramenée à un intervalle de maintenance.

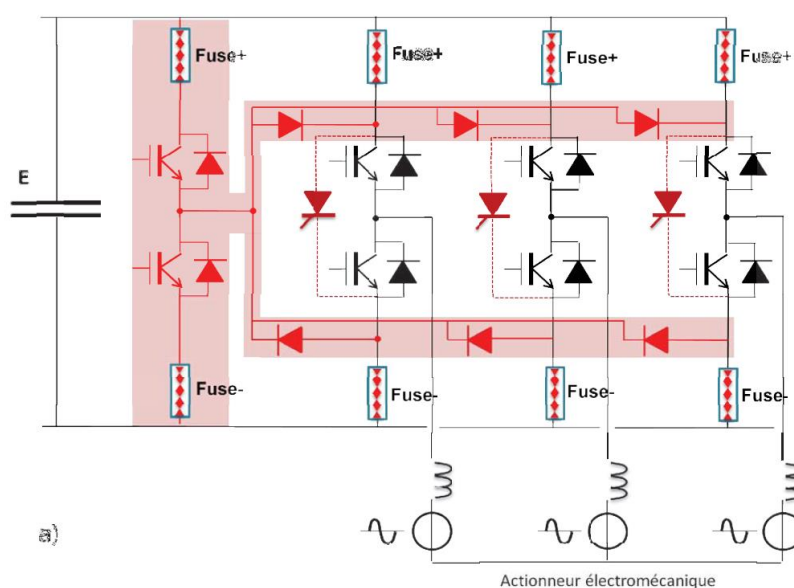


Fig. 4.13 : Structure d'isolation, Cellule protégée par limiteur – disjoncteur et isolée par rupteur – fusible commandable en sortie de phase et la cellule de secours [4]

Un assemblage sous la forme de puces pressées ou semi-pressées sans aucune connexion filaire est utilisé pour éviter tout effet fusible.

D'une manière générale, le mode FTS doit absolument être évité car très dangereux (projection de matière, départ de feu, explosion...). Dans les applications critiques comme en aéronautique, certains modules sont compartimentés de manière à confiner les projections de métal en fusion si une connectique filaire venait localement à faire fusible.

En général, dans le cas de structure simple, 2 niveaux, l'objectif du concepteur va être d'isoler le défaut avant l'explosion et d'arrêter le convertisseur. Des protections passives du type fusible peuvent être installées et dans les applications spécifiques des protections actives du type disjoncteur électronique (*solid state breaker*) peuvent être installées. Le redémarrage n'est possible que si un bras de secours, redondant, est installé dans le système, le défaut isolé et des connexions effectuées, comme présenté Fig. 4.13 [4]. Un démarrage rapide de la redondance en moins d'une milliseconde a aussi été démontré, dans certaines conditions

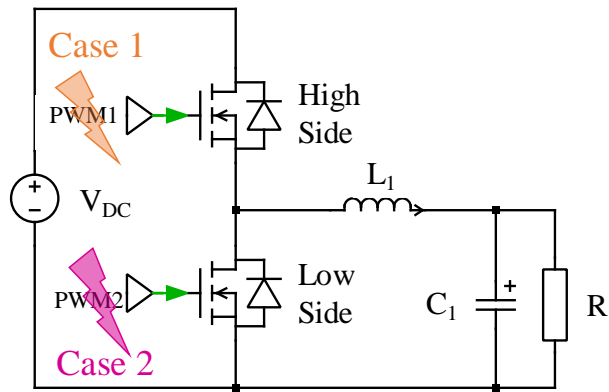


Fig. 4.14 : Schémas de principe de la structure synchronous buck équipé de MOSFET SiC modélisé dans le chapitre 3. Les défauts étudiés sont des défauts de commande.  $L1=200\mu H$  saturable,  $C1=6.2\mu F$ ,  $R1=12\Omega$

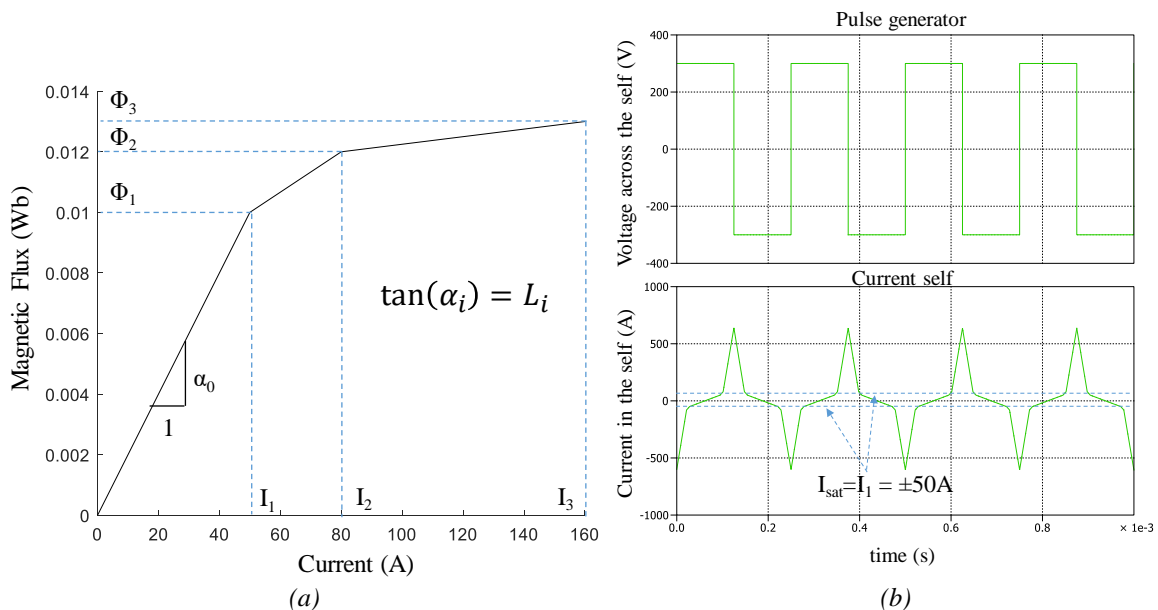


Fig. 4.15 : Modélisation qualitative comportementale de l'inductance saturable intégrée au circuit PLECS

d'usage, sur un prototype réalisé au laboratoire pour une pompe carburant A400M [88]. Dans le cas particulier de structures multicellulaires série ou série/parallèle, des boîtiers de type *Press-Pack /StackPack* sont utilisés comme évoqué précédemment en HVDC afin de ne pas exploser et de garantir le maintien du défaut en FTS [41]. Dans ce cas, le convertisseur peut toujours fonctionner au prix d'une réduction de la puissance transférée. Par exemple, dans un convertisseur MMC-HVDC, le système est prévu pour fonctionner 1 an sans avoir besoin de changer le composant défaillant [89].

Dans le cas du MOSFET en SiC, comme vu dans le Chap 2, la majorité des composants présentent un défaut en FTS comme les composants en Silicium. Cependant, ils peuvent aussi présenter un mode de défaillance en FTO directement, aussi appelé « *soft-failure* » qui consiste en un court-circuit faiblement ohmique grille-source qui bloque de manière permanente le composant en direct, la conduction inverse par la diode body reste possible comme nous l'avons montré au Chap. 2 §VI.B.2. Ce comportement semble donc très intéressant sur le plan de la sécurité électrique en évitant le court-circuit de la source de tension et en permettant l'évacuation de l'énergie stockée de la charge, i.e. un isolement naturel source-charge. Néanmoins, la conséquence de ce type de défaillance en FTO immédiat n'est pas traitée dans la littérature car jusqu'à présent anecdotique.

L'objectif de cette section est de présenter l'effet d'un FTO dans un convertisseur générique simulé sous PLECS™ et de mettre en avant les règles d'usage pour en assurer une gestion optimale, i.e. de manière sécuritaire et en offrant la plus grande disponibilité. Le modèle du composant développé au chapitre 3 est utilisé mais modifié de sorte à obtenir systématiquement le défaut en soft FTO.

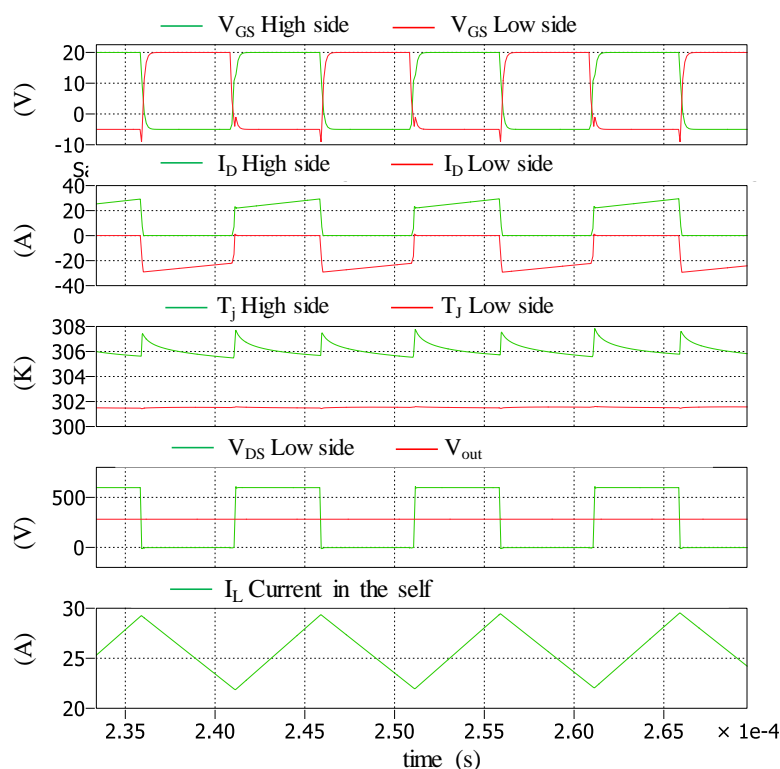


Fig. 4.16 : Formes d'onde du convertisseur à son point de fonctionnement nominal sans présence de défauts.



Dans une première partie, la conséquence du mode FTO sur une cellule de commutation est étudiée. Dans une deuxième partie l'avantage de ce type de défaillance est mis en évidence dans un convertisseur DC/DC multicellulaire parallèle.

### III.B Cas d'une cellule de commutation.

Une cellule de commutation en configuration *buck* est présentée en Fig. 4.14. Le modèle des composants de puissance est basé sur le modèle développé dans le chapitre 3, dans ce cas, seul le défaut en FTO soft est envisagé pour des questions de sécurité. Le convertisseur est commandé en boucle fermée (BF) par une régulation du courant à  $I_{ref} = 25$  A sous  $V_{DC} = 600$  V, à  $F_{dec} = 100$ kHz. L'ondulation de courant a été choisie à 30% de la valeur moyenne. Par dimensionnement classique, cela implique une inductance de  $200 \mu\text{H}$ . L'inductance a été choisie saturable à  $|50\text{A}|$  et son modèle est décrit par morceaux en Fig. 4.15. Le condensateur de sortie a été calculé de sorte à limiter l'ondulation de la tension de sortie à 1% de la tension moyenne (300V) soit  $6,2\mu\text{F}$ .

Les formes d'ondes du convertisseur à son point de fonctionnement nominal sont présentées Fig. 4.16.

Les scénarios de défaut les plus critiques sont étudiés : la défaillance de la commande à l'état "ON" sur les composants *high side (HS)* et *low side (LS)* appelés respectivement *case 1* et *case 2*.

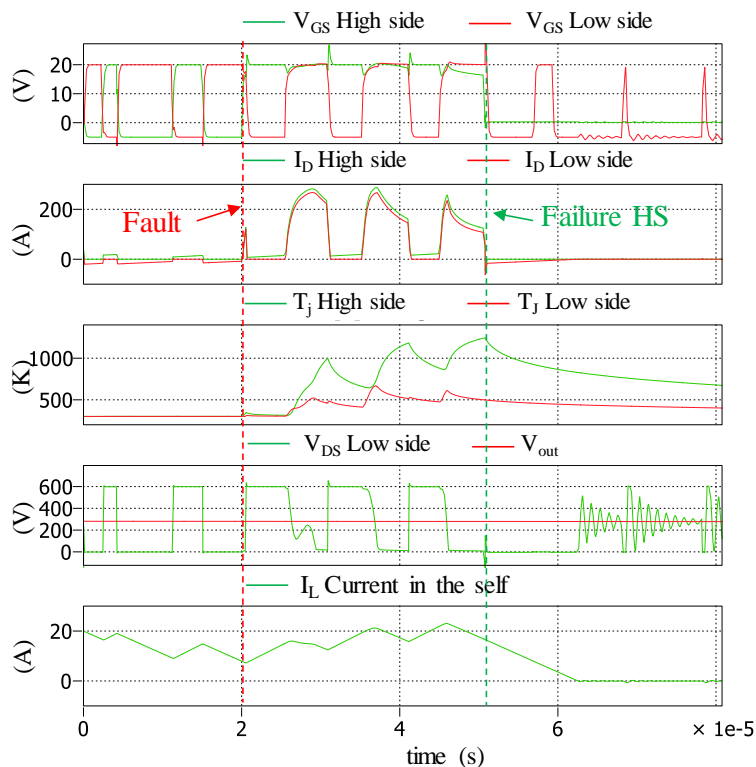


Fig. 4.17 : Formes d'ondes du scénario de défaillance « case1 » d'un défaut de commande HS à l'état "ON" permanent

III.B.1 *Case 1 : Défaut de commande sur le composant HS (passage à l'état ON permanent)*

La forme d'onde du défaut de commande sur le composant HS (*case 1*) est présentée Fig. 4.17. Le défaut de commande apparaît à  $t = 20 \mu\text{s}$ . En configuration *buck* le composant HS fait passer un courant positif, c'est donc lui qui rentre en saturation alors que le composant low-side est en sous-saturation. La différence des courants est égale au courant de sortie dans la self. Il va donc devoir tenir la tension  $V_{DC}$  et voir passer un courant de saturation important, il s'échauffe et rentre en défaillance de type FTO à  $t = 52 \mu\text{s}$ . Il est remarquable de voir une chute importante de la tension grille du composant HS via l'apparition du courant de grille « dynamique », cette chute de tension renforce le fait que le composant HS sature et limite le courant de court-circuit et non celui LS. Il est également à noter que le courant de saturation augmente au début du court-circuit puis diminue avec l'augmentation de la température, conformément au modèle présenté au Chap. 3, §IV.A. Il faut aussi remarquer que dans cette configuration de défaut, la tension de sortie n'est que peu affectée, car la saturation du HS intervient au moment où la commande du LS est appliquée. Au moment de la défaillance du composant HS, celui-ci reste ouvert (mode de défaut FTO), le composant LS assure seul la conduction du courant de charge, soit en inverse par son canal avec une commande à l'état ON, soit par sa diode body si la commande est à l'état OFF. Le courant dans la charge se décharge naturellement pour arriver à zéro. Le rapport cyclique de la commande LS tend alors vers zéro par l'effet de la régulation qui tente de compenser la baisse de courant dans la charge. Dans cette configuration *buck* ce défaut est très "soft" car le courant s'annule automatiquement, le composant LS est préservé et le système est en sécurisé. Il suffit de changer le composant HS pour redémarrer ou éventuellement de prévoir un composant "dormant" en parallèle pour le "réveiller" et assurer la poursuite de mission en veillant que le défaut racine soit éliminer. Cette approche de redondance passive a été envisagée pour certaines applications dans le spatiale. Dans le cas d'une configuration *boost* avec un défaut au LS, de manière homologue, le composant LS aurait cassé et le courant aurait automatiquement tendu vers zéro.

III.B.2 Case 2 : Défaut de commande sur le composant LS

La forme d'onde du défaut de commande sur le composant LS (case 2) est présenté Fig. 4.18. Le défaut intervient à  $t = 100 \mu\text{s}$ , en configuration *buck*, le composant HS sature en premier car il voit là encore un courant obligatoirement supérieur au LS. La température de ce composant va augmenter rapidement jusqu'à arriver à la défaillance en FTO à  $t=120 \mu\text{s}$ . Jusque-là pas de différence avec le cas précédent. Le défaut venant d'un défaut de commande du composant LS, celui-ci reste passant. La capacité de sortie (C1) se décharge alors de manière permanente à travers l'inductance de filtrage et le composant LS. Il en résulte une augmentation progressive du courant dans la self et une diminution importante de la tension de sortie jusqu'à annulation. Dans ce cas, le composant LS est encore fonctionnel comme le cas précédent et vient court-circuiter de manière permanente la charge. Cette situation peut être problématique en présence d'une charge active comme une batterie, d'un réseau ou d'un actionneur dans le cas d'un onduleur. Une manière particulière d'éviter le court-circuit de la charge dans ce cas serait de provoquer un FTO sur LS au moyen d'un courant de décharge du filtre suffisamment élevé pour amener LS à se saturer suffisamment longtemps pour rentrer en défaillance sans faire appel à un capteur ou à une inter-communication entre driver, i.e. de manière intrinsèque. Ainsi, il est proposé d'augmenter substantiellement la valeur de la capacité de sortie afin que le courant dans l'inductance atteigne le courant de saturation du MOSFET LS et permette d'arriver à sa défaillance comme illustrée en Fig. 4.19. Une stratégie de dimensionnement de la capacité de sortie est proposée ci-dessous.

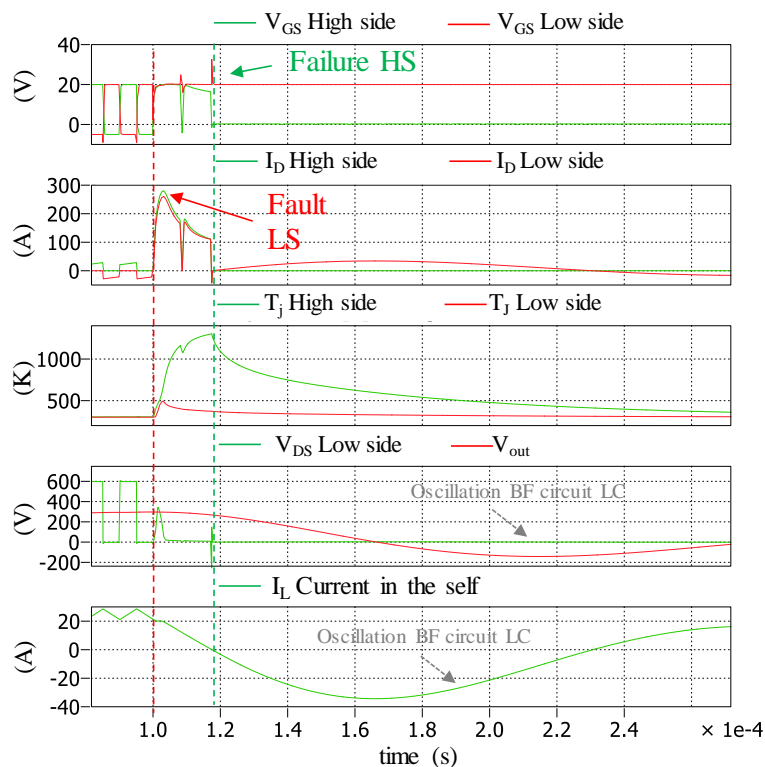


Fig 4.18 : Formes d'ondes du scénario de défaillance « case 2 » d'un défaut de commande LS permanent à l'état ON pour.  $C1=6.5\mu\text{F}$

Il faut que le courant dans l'inductance atteigne la valeur du courant de saturation du MOSFET SiC soit environ 300A mais sans une chute trop importante de la tension de sortie ( $V_{out}$ ) que nous prendrons égale à 10%. On se met dans le meilleur cas avec un  $ESR = 0 \Omega$

$$C_1 = 2 \cdot \frac{E_{sat}}{V_{out}^2 - (0,9 \cdot V_{out})^2} \quad (4.1)$$

Avec  $E_{sat}$  l'énergie nécessaire pour atteindre pour atteindre 300A, en prenant en compte la non linéarité de l'inductance. La montée du courant dans une inductance pure est linéaire et proportionnelle à la différence de potentielle aux bornes de celle-ci divisé par son inductance. Etant définies non-linéaire par morceaux (Fig. 4.15) l'expression de  $E_{sat}$  est donnée ci-dessous.

$$E_{sat} = \underbrace{\frac{1}{2} L_0 I_1^2 + \frac{1}{2} L_{sat1} (I_2^2 - I_1^2) + \frac{1}{2} L_{sat2} (I_3^2 - I_2^2)}_{\text{Energie stockée dans l'inductance}} + \underbrace{\frac{V_{out}^2}{R_1} \cdot t_3}_{\text{Energie consommée par la charge}} - \underbrace{(p-1) \cdot I_{ref} \cdot V_{out} \cdot t_3}_{\text{Energie fournie par les autres bras}} \quad (4.2)$$

Avec  $I_1$  le courant de saturation de l'inductance d'une valeur de 50 A et  $L_0 = 200 \mu\text{H}$ ,  $I_2$  le courant de saturation de l'inductance d'une valeur de 80 A sur une inductance de saturation  $L_{sat1} = 66 \mu\text{H}$  et  $I_3$  le courant de saturation jusqu'à atteindre les 300 A de saturation du MOSFET à travers la seconde inductance de saturation  $L_{sat2} = 12,5 \mu\text{H}$ .  $t_3$  correspond au temps pour arriver à 300A pour une tension  $V_{out}$  constante. Le terme en orange (2) correspond à l'énergie à fournir pour saturer le composant de puissance en prenant en compte la non-linéarité de l'inductance. Le terme en vert (4.2) correspond à l'énergie dissipée dans la charge pendant la charge de

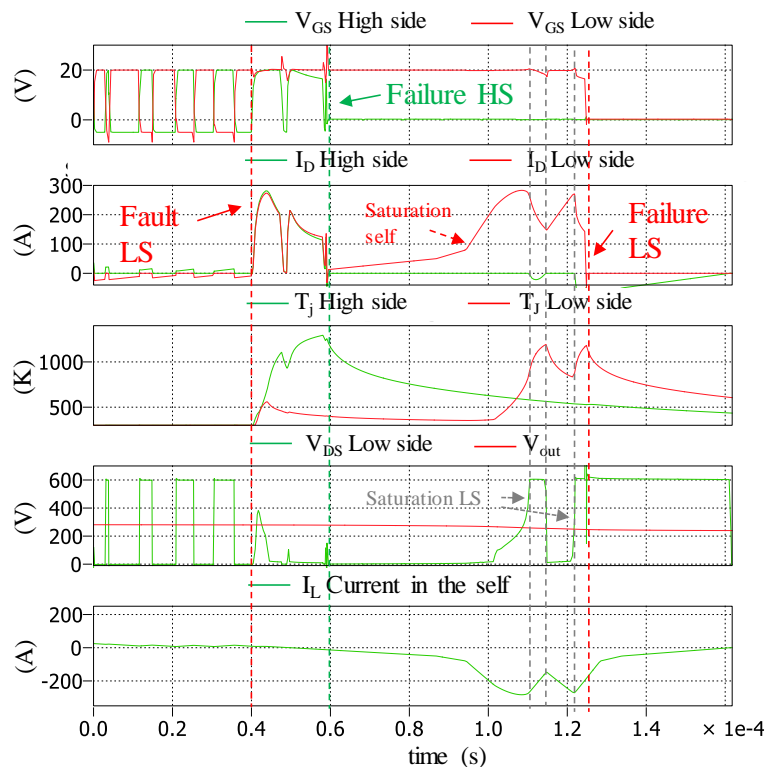


Fig. 4.19 : Formes d'ondes du scénario de défaillance « case 2 » d'un défaut de commande LS permanent à l'état ON pour  $C1=100\mu\text{F}$

l'inductance. Le terme en bleu correspond à l'énergie fournie par les autres phases dans le cas d'un hacheur entrelacé de p phases présenté dans la partie suivante. Expression de  $t_3$ .

$$t_3 = \frac{L_0}{V_{out}} I_1 + \frac{L_{sat1}}{V_{out}} (I_2 - I_1) + \frac{L_{sat2}}{V_{out}} (I_3 - I_2) \quad (4.3)$$

Après application numérique la capacité nécessaire est de 100  $\mu\text{F}$  soit environ 15 fois plus que celle nécessaire. Les formes d'ondes, avec une capacité de 100  $\mu\text{F}$ , sont présentées Fig. 4.19. À  $t = 95 \mu\text{s}$ , l'inductance commence à saturer ce qui a pour conséquence d'augmenter très rapidement le courant, ce qui fait saturer le composant LS, à  $t = 110 \mu\text{s}$ . Il s'échauffe, provoquant son défaut en FTO à  $t = 123 \mu\text{s}$ . Ce défaut est moins favorable par rapport au cas du défaut HS, car les deux composants du bras cassent, mais le défaut est tout de même confiné et la tension de sortie n'oscille pas contrairement au cas où la capacité de sortie serait de faible valeur. Dans le cas d'une configuration *boost* avec un défaut au HS, de manière similaire, le composant LS casserait en premier suivi par le composant HS.

### III.B.3 Conclusion

En conclusion, dans le cas d'une cellule de commutation fonctionnant en mode *buck* ou *boost*, équipé de deux MOSFET SiC, le composant effectuant la commutation « dure » va casser en FTO en premier entre la grille et la source provoquant un blocage définitif de celui-ci. Si le défaut de commande est localisé uniquement sur ce composant à commutation dure (i.e. dans son 1<sup>er</sup> quadrant), le courant de charge va automatiquement s'annuler dans le composant homologue jouant le rôle de diode (body et redressement synchrone). À l'inverse, si le défaut de commande apparait maintenant sur le composant à commutation spontanée (i.e. dans son 3<sup>ème</sup> quadrant), les deux composants du bras peuvent alors "potentiellement" casser en FTO l'un après l'autre et assurer la sécurisation du système de manière native car l'isolement complet de la cellule est atteint et réalisé spontanément, sans l'usage de capteur, dans un scénario de pire cas de défaut de commande. Cette propriété FTO en cascade n'est obtenue qu'au prix d'un surdimensionnement important de la capacité de sortie (environ x15). Dans les 2 cas, il n'y a pas de très fort pic de courant pouvant amener à la dégradation d'une partie du système et la situation de défaut s'est résolue en moins d'une centaine de microsecondes.

Partant de ces constatations et dans une volonté d'utiliser au mieux le mode de défaut « doux » des MOSFET SiC, pour permettre d'avoir un convertisseur à tolérance de panne le cas d'un hacheur parallèle entrelacé a été étudié dans la suite.

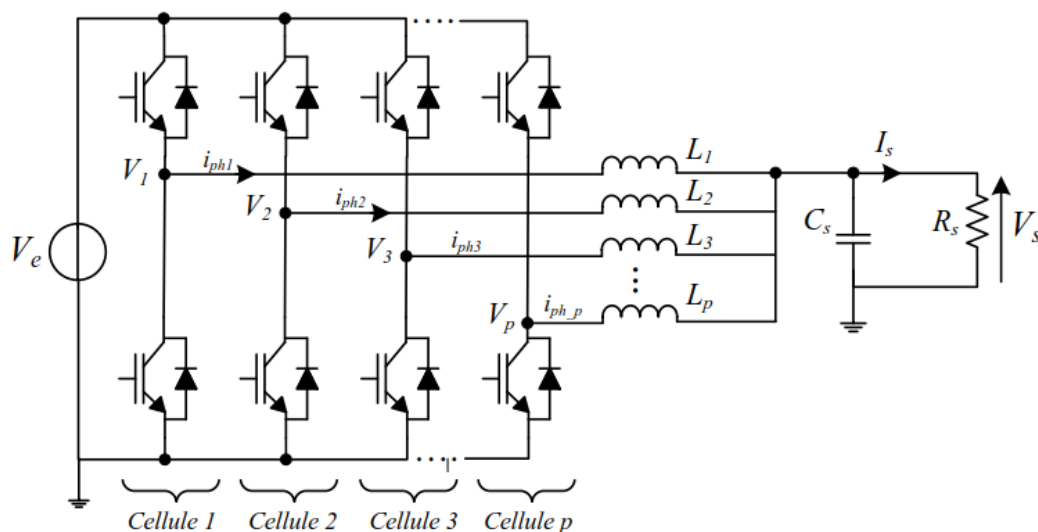


Fig. 4.20 : Convertisseur multicellulaire parallèle à  $p$  cellules de commutation utilisant des inductances de liaison

### III.C Cas d'un hacheur parallèle entrelacé 3 phases

Dans un premier temps, le convertisseur parallèle entrelacé est présenté. Dans un second temps, les situations de défaut sont explorées et ses avantages dans le cas de défaut « doux » sont montrés.

Le hacheur parallèle entrelacé est généralement composé des  $p$  cellules de commutation associées en parallèle, dont la commande de chaque bras est décalée d'un angle régulier de  $2\pi/p$ . Les différents bras sont reliés en leur point milieu à une inductance, les inductances sont connectées entre elles en étoile sur un point commun de sortie. L'exemple d'un hacheur *buck* parallèle entrelacé et présentée Fig. 4.20 [90] avec des inductances saturables non couplées entre elles dans le cadre de cette étude.

Il y a plusieurs avantages à connecter plusieurs cellules de commutation en parallèle :

- Améliorer les formes d'ondes et le contenu spectral en entrée et en sortie car la fréquence apparente de ces signaux est  $p$  fois la fréquence de découpage. Cela se traduit par une diminution de la taille des éléments de filtrage en entrée et en sortie.
- Atteindre un niveau de puissance élevé en utilisant des composants de faible calibre grâce au fractionnement de la puissance sur les  $p$  cellules de commutation.
- Fonctionner sur  $p-1$  phases dans le cas d'une défaillance d'un bras et du maintien de la mission à puissance réduite ou bien de l'arrêt volontaire d'une ou plusieurs phases pour maximiser le rendement à charge réduite.

Cette dernière propriété semble la propriété la plus prometteuse pour notre étude. En effet, afin d'isoler un bras, il faut que le mode de défaut des composants se rapproche le plus possible du circuit ouvert sur les deux transistors du bras, les diodes body assurant la décharge de l'inductance de la phase correspondante. Dans le cas de la technologie Silicium, cette propriété était difficile à obtenir, et l'ajout de fusibles était obligatoire. Dans le cas des MOSFET SiC, le

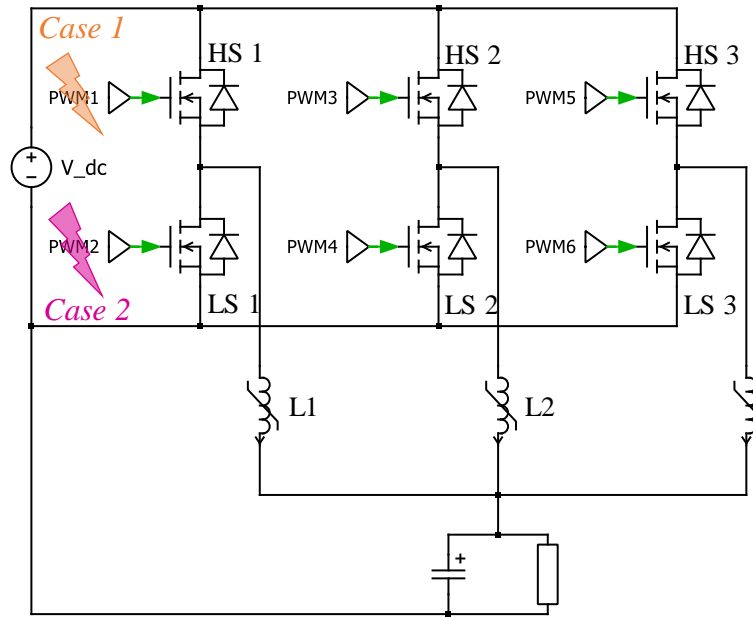


Fig 4.21 : Schémas de principe de la structure hacheur buck à 3 phases en parallèle équipé de MOSFET SiC modélisé dans le chapitre 3. Les défauts étudiés sont des défauts de commande.  $L = 200 \mu\text{H}$  saturable,  $C1 = 300 \mu\text{F}$ .

défaut FTO présenté en Chap. II présente la caractéristique d'un circuit ouvert, ce qui convient à ce type de topologie.

### III.C.1 Modèle PLECS du hacheur entrelacé 3 phases

Le schéma du hacheur entrelacé 3 phases est présenté en Fig. 4.21. Le modèle des composants de puissance est basé sur le modèle développé dans le chapitre 3 et utilisé dans la section précédente, dans ce cas, seul le défaut en FTO soft est possible. Le convertisseur est commandé en boucle fermée (BF) par une régulation du courant sur chaque phase ( $I_{ref} = 25\text{A}$ ). L'inductance a été choisie saturable à  $|50\text{A}|$  et son modèle est décrit par morceau comme présenté en Fig. 4.15. Si l'on garde l'exigence des 1% d'ondulation de courant en sortie la capacité de sortie est divisée par  $p^2$  par rapport à la valeur pour un seul bras,  $p$  étant le nombre de phases soit  $C_1 = 688\text{nF}$ . Les formes d'ondes du convertisseur à son point de fonctionnement nominal sont présentées en Fig. 4.22.

De la même façon que dans la section précédente, les défauts de commande les plus critiques sont étudiés : le défaut permanent de commande à l'état ON sur le HS et le défaut permanent de commande à l'état ON sur le LS du même bras.

### III.C.2 Cas 1 : défaut du composant HS 1<sup>er</sup> bras

Les formes d'ondes du défaut de commande sur le composant HS sont présentées en Fig. 4.23. De manière strictement analogue à ce qui est décrit dans la section III.B.1, le composant HS casse en FTO comme prévu en premier. Dans ce cas, le composant LS joue simplement le rôle de roue libre jusqu'à l'annulation du courant dans la phase 1. Il est notable que les 2 autres phases ne soient pas influencés par cette situation critique sur la phase 1. La puissance disponible sera réduite d'1/3 ou bien la surcharge à accepter par les deux autres phases

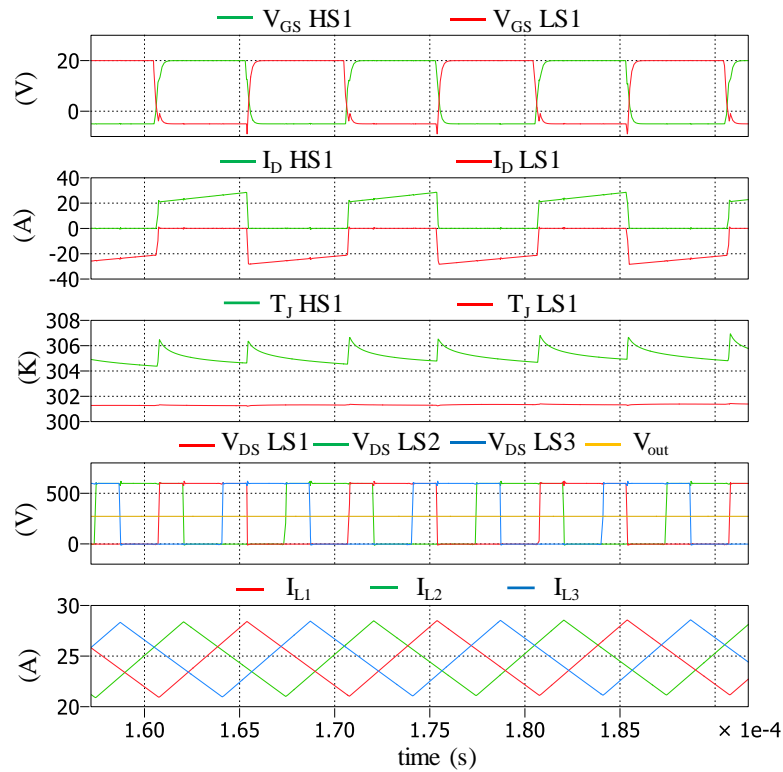


Fig. 4.22 : Formes d'onde du convertisseur à son point de fonctionnement nominal en régime établi sans présence de défauts

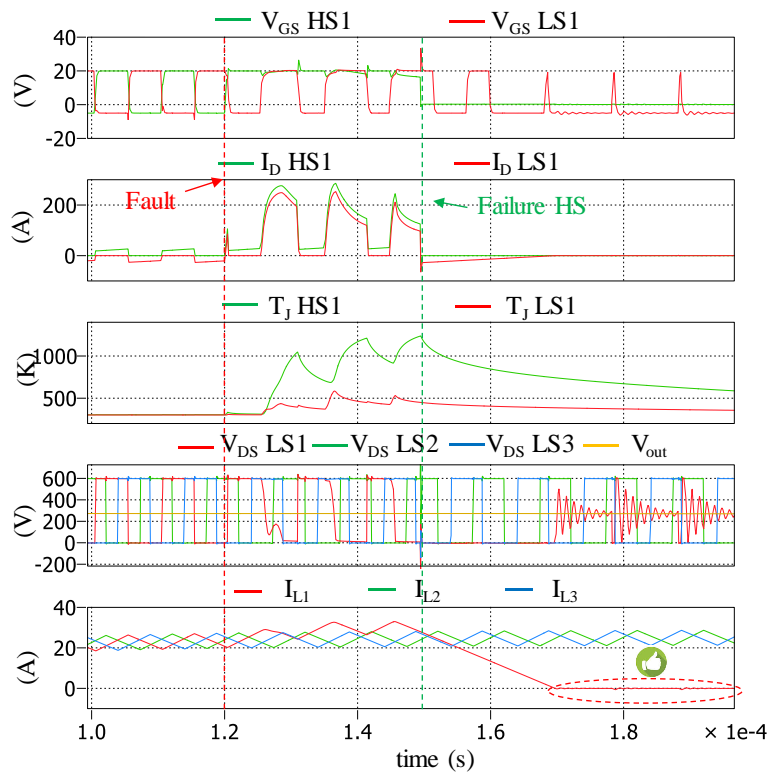


Fig 4.23 : Formes d'ondes du scénario de défaillance « case 1 » d'un défaut permanent de commande HS à l'état ON.

actives sera de 1/6 chacune. L'intérêt d'un grand nombre de phases dans ce cas est évident pour



répartir la surcharge.

Dans le cas de la simulation, le courant de sortie est amputé de 1/3 et aucune régulation sur la tension de sortie n'a été implémentée, la tension des sorties diminue légèrement sur la Fig. 4.23. Si cette boucle de régulation était implémentée, nous verrions une augmentation du courant dans les 2 autres phases. Il faut faire très attention dans ce cas à limiter le courant de sortie maximal en accord avec la thermique des composants utilisés. De plus, le composant LS1 est en butée de rapport cyclique, il est naturellement protégé. Il faudrait cependant définitivement bloquer le composant par la commande pour éviter des oscillations sur le bus.

### III.C.3 Cas 2 : défaut du composant LS 2<sup>nd</sup> bras

Les formes d'ondes du défaut de commande sur le composant LS sont présentées en Fig. 4.24. De manière strictement analogue à ce qui est décrit dans la section III.B.1, le composant HS casse en FTO comme prévu en premier. Rapidement, la capacité de sortie se décharge dans LS1 jusqu'à atteindre zéro, les 2 autres phases se retrouvent en butée minimale de rapport cyclique ce qui ne facilite pas la régulation de leur courant mais celles-ci injectent progressivement du courant dans la troisième phase jusqu'à arriver à 50A dans la troisième phase (2x25A max, théoriquement, par la régulation), cette valeur est insuffisante pour atteindre le courant de saturation du LS et espérer forcer le mode FTO. Le condensateur de sortie est en permanence court-circuité ce qui implique l'arrêt de la structure. Pour éviter cette situation, il faut atteindre un courant d'injection dans le LS suffisant au moyen d'un grand nombre de phases en parallèle ou bien au moyen d'un surdimensionnement de la capacité de sortie comme proposé précédemment sur une phase. Cette solution est traitée dans le §suivant.

Si l'on reprend la méthodologie utilisée dans la section précédente, pour arriver à la saturation du composant LS1 et le casser en FTO, il faut que le courant dans la phase atteigne les 300A. Contrairement au cas précédent, les 2 autres phases injectent dans la première phase comme modélisé dans l'équation (4.2). La capacité minimale nécessaire est alors de 62  $\mu$ F.

Les formes d'ondes du défaut avec une capacité de 60  $\mu$ F sont présentées en Fig. 4.25. Par rapport au cas précédent, le courant augmente progressivement dans l'inductance L1 car la commande du composant LS1 est toujours défaillante. Par l'effet de la régulation sur les autres phases, leur courant reste stable : il y a une injection de courant des deux autres phases dans le défaut et une décharge de la capacité de sortie. À 60  $\mu$ s après le défaut ( $t=180\mu$ s), l'inductance sature provoquant la montée très rapide du courant amenant à la saturation du composant LS1 allant jusqu'à la destruction de la grille de celui-ci.

Dans ce cas, le bras défaillant est isolé, mais les diodes body sont encore fonctionnelles. Comme dans le cas précédent, aucune régulation en tension n'a été implémentée donc nous avons une réduction d'un tiers du courant de sortie et une augmentation de l'ondulation de courant en sortie. Il faudra prévoir une fonction de diagnostic permettant de décaler les porteuses de  $2\pi/3$  à  $\pi/2$  pour limiter l'ondulation de courant. Un surdimensionnement des inductances est aussi à prévoir si la contrainte d'ondulation est critique.

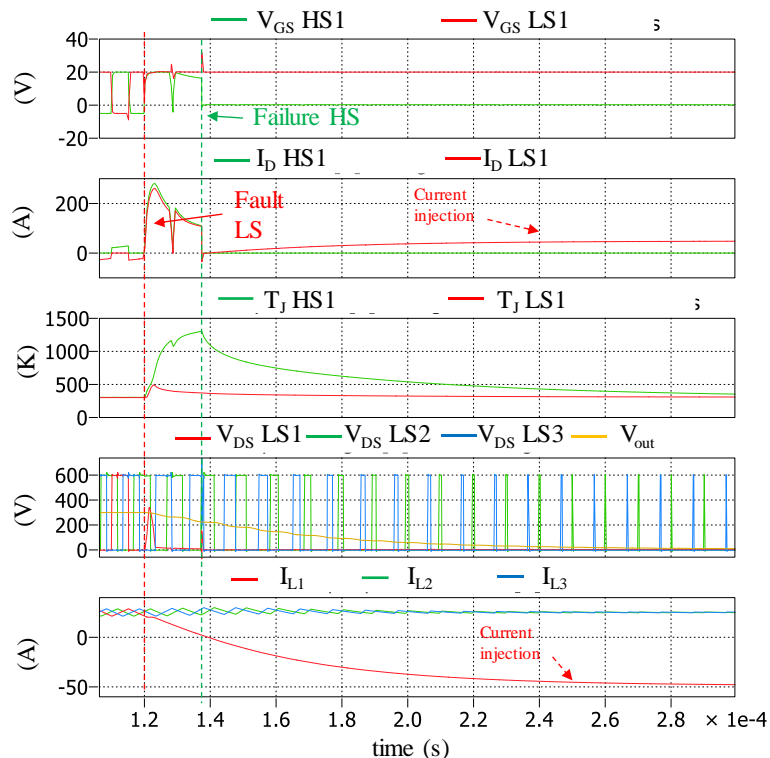


Fig 4.24 : Formes d'ondes du scénario de défaillance « case 2 » d'un défaut permanent de commande sur LS à l'état ON.  $C1=688nF$ .

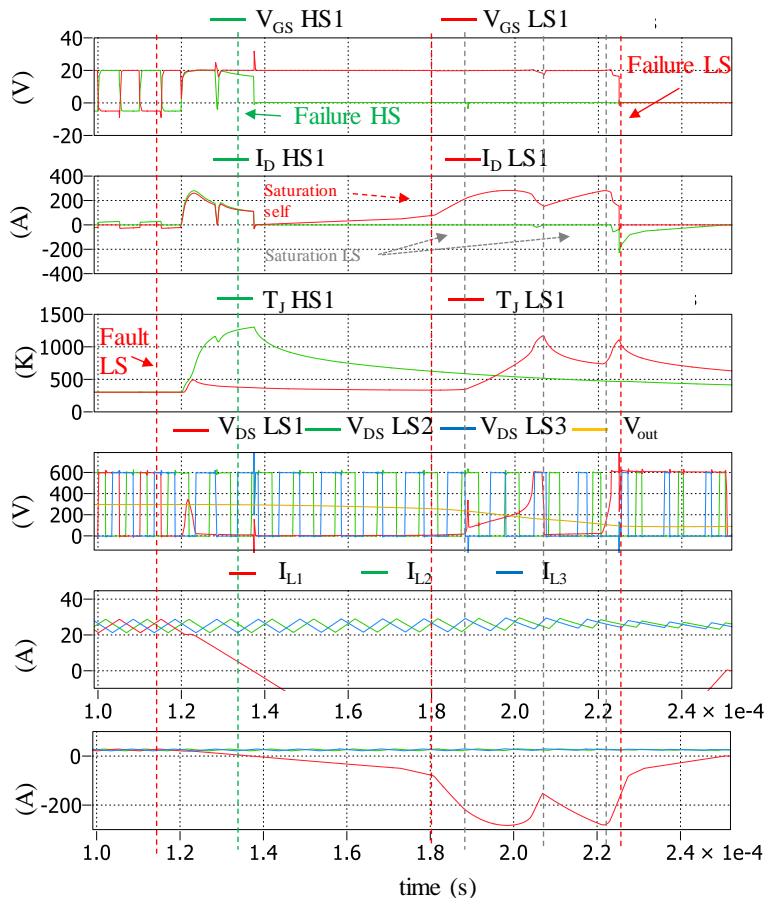


Fig. 4.25 : Formes d'ondes du scénario de défaillance « case2 » d'un défaut de commande permanent de commande sur LS à l'état ON.  $C1=60\mu F$ .

### III.D Conclusion et perspectives

En conclusion, le mode de défaut « doux » grille-source de certains composants MOSFET SiC qui se traduit par un circuit ouvert drain-source est très prometteur dans des architectures parallèles et plus spécifiquement pour les hacheurs multiphasés entrelacés dans laquelle l'isolement d'un bras pouvait être très complexe et donc coûteux. L'ajout de matériel d'isolement au plus proche du composant n'étant plus nécessaire, excepté l'obligation de déconnecter le gate driver ou de le protéger, le coût d'un hacheur similaire à tolérance de panne en sera diminué. Le surdimensionnement nécessaire à la gestion des transitoires très « violents » consécutifs à un défaut du type « fail-to-short » dans ce type de système est aussi diminué [4]. Pour un fonctionnement à puissance réduite, un diagnostic est nécessaire du côté de la commande afin d'ajuster l'asservissement pour un fonctionnement optimal sur un nombre de phases réduits. Enfin, le dimensionnement de l'ensemble du système est dépendant du cahier des charges de l'application en pleine charge et à puissance réduite. Ce travail n'étant qu'exploratoire, une réflexion plus poussée sur le dimensionnement et la reconfiguration est à mener.

Cette approche est en soit applicable à tous les composants de puissance présentant ce mode de défaut comme certains composants BJT SiC et HEMT GaN [15], [21].

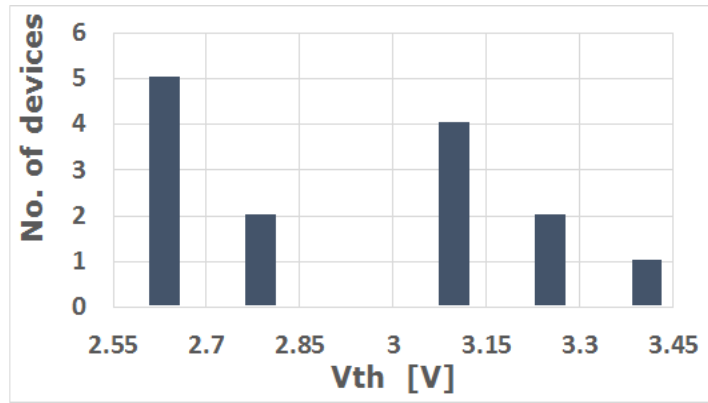
#### IV. Etude de la défaillance en mode FTO de puces MOSFET SiC mises en parallèle

Les résultats de cette section ont été produits dans le cadre d'un partenariat entre le laboratoire LAPLACE et le groupe PEMC de l'Université de Nottingham financé par l'INP Toulouse dans le cadre d'une opération de mobilité scientifique. Les intervenants principaux ont été Alberto Castellazzi (PEMC) et Asad Fayyazz (PEMC), Frédéric Richardeau (LAPLACE) et François Boige (LAPLACE).

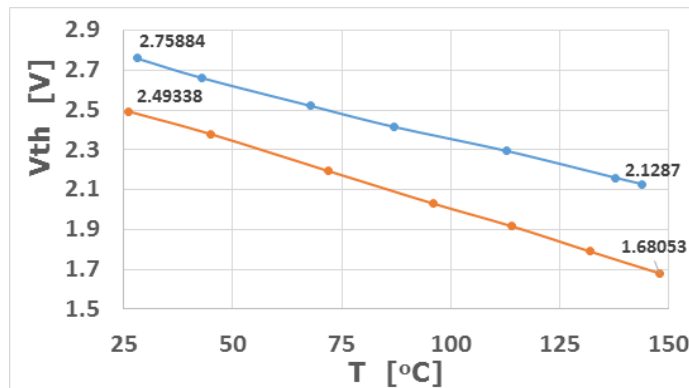
##### IV.A Introduction

Les composants de puissance en carbure de silicium (SiC) présentent des propriétés physiques clés qui entraînent des différences importantes au niveau de leur robustesse et de leur mise en œuvre par rapport aux composants de puissance en silicium (Si). En revanche, des événements stressants tels que des court-circuits sont très problématiques pour les MOSFET SiC, car, à cause de leur densité de courant très élevée, la température de jonction ( $T_j$ ) peut rapidement devenir très importante. De plus, comme la technologie MOSFET de SiC est en constante évolution, les composants présentent encore une large dispersion sur leurs paramètres électriques usuels, à savoir : la tension de seuil ( $V_{GS(th)}$ ), la résistance à l'état passant ( $R_{DS,on}$ ) et la transconductance ( $g_m$ ), etc. Dans le cas de la parallélisation de puces dans un module, la dispersion de ces paramètres peut amener à un déséquilibre des courants statiques et dynamiques dans les puces et par conséquent à une différence dans les températures de jonction pouvant amener à une réduction drastique de la durée de vie de l'ensemble du module, en particulier pour les applications cyclées [91]. D'autres déséquilibres de  $T_j$  peuvent également survenir en raison de l'agencement des puces dans le boîtier et de la non-linéarité du refroidissement [92], [93]. À titre d'illustration, la Fig. 4.26a montre la distribution typique de  $V_{GS(th)}$  mesurée sur un certain nombre de composants CREE Gen 2 [92]. Ici, on peut clairement voir que l'écart peut être assez large, jusqu'à environ 1V à température ambiante. Cependant, les valeurs mesurées se situent à l'intérieur de la valeur minimale et maximale définie par la datasheet du fabricant. Dans le même temps, la tension de seuil sur une plage de température a également été mesurée et le  $\Delta V_{th}$  s'est avéré plus grand à mesure que la température du boîtier augmentait [92]. La Fig. 4.26b représente le  $V_{GS(th)}$  en fonction de la température de boîtier pour deux composants avec des  $V_{GS(th)}$  aux extrêmes de la dispersion. On observe alors une augmentation de la différence de  $V_{GS(th)}$  avec la température. Fig. 4.26b, pour  $T_{case} = 25\text{ }^\circ\text{C}$ ,  $\Delta V_{th} = 265\text{ mV}$  et pour  $T_{case} = 150\text{ }^\circ\text{C}$ ,  $\Delta V_{th} = 450\text{ mV}$ .

Il est généralement très difficile, voire impossible, de prédire comment un ensemble donné de paramètres d'un composant évoluera avec le temps et les contraintes, et, en fin de compte, quand un dispositif tombera en panne. Ainsi, après avoir établi des critères de déclassement appropriés pour une durée de vie opérationnelle ciblée donnée, il est important d'élaborer également des stratégies pour surveiller la dégradation, empêcher les défaillances critiques i.e. la destruction en court-circuit drain-source et réagir d'une manière qui assure la non-propagation de la défaillance au niveau du système [93], [94] comme proposé durant cette thèse avec le driver intelligent présenté en section II de ce chapitre.



(a)



(b)

Fig. 4.26 : (a) Mesure de la distribution de la tension de seuil pour un MOSFET SiC 1200V 80mΩ (datasheet min. 2V and max. 4V) @ $T_{CASE} = 300\text{ K}$  (b) Variation de la tension de seuil fonction de la température pour 2 composants avec différents  $V_{GS(th)}$  à 300K.

Afin d'évaluer l'effet de la dispersion des caractéristiques des composants sur l'évolution en court-circuit, des essais ont été effectués [92] sur des composants ayant des  $V_{th}$  différents. La Fig. 4.27a [92], montre que le courant de saturation maximal ( $I_{D(peak)}$ ) est différent d'environ 20% en raison de la dispersion du  $V_{GS(th)}$  présenté Fig. 4.27a (soit un  $\Delta V_{th}$  maximal de 1 V). L'effet de la dispersion de  $V_{GS(th)}$  reste modéré et est visible essentiellement sur les premières microsecondes de saturation. Au-delà, la forte baisse de la mobilité du canal dans des régimes à haute température vient masquer l'effet de la dispersion du  $V_{GS(th)}$ . La température de jonction résultante pour les résultats du SC présentés à la Fig. 4.27a a été simulée à l'aide d'un modèle thermique très simple composé des impédances thermiques spécifiées par le constructeur comme présenté à la Fig. 4.27b. Ici, la température de jonction maximale pour ces tests est d'environ 570°C (plus petit  $V_{GS(th)}$ ) et le  $\Delta T_J$  est d'environ 30°C. Une telle différence de  $T_J$  résultant de la dispersion des paramètres du dispositif (reste limitée en valeur relative) mais peut être cruciale du point de vue de la fiabilité et de la robustesse d'un module lorsque les puces sont connectées en parallèle. En effet, en court-circuit, la puce avec le plus faible  $V_{GS(th)}$  s'échauffera plus vite et donc cassera plus vite.

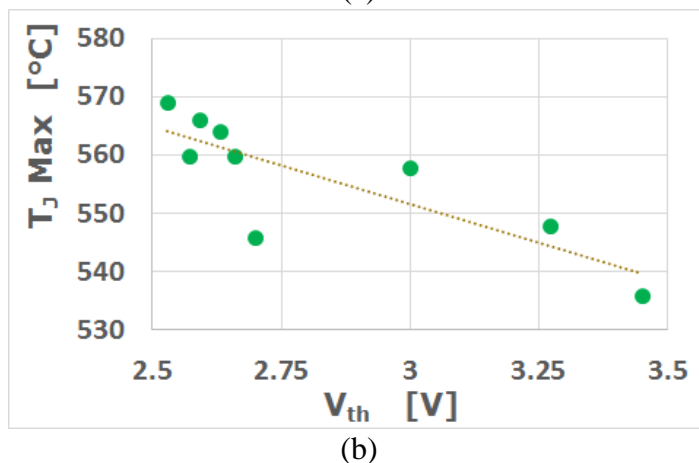
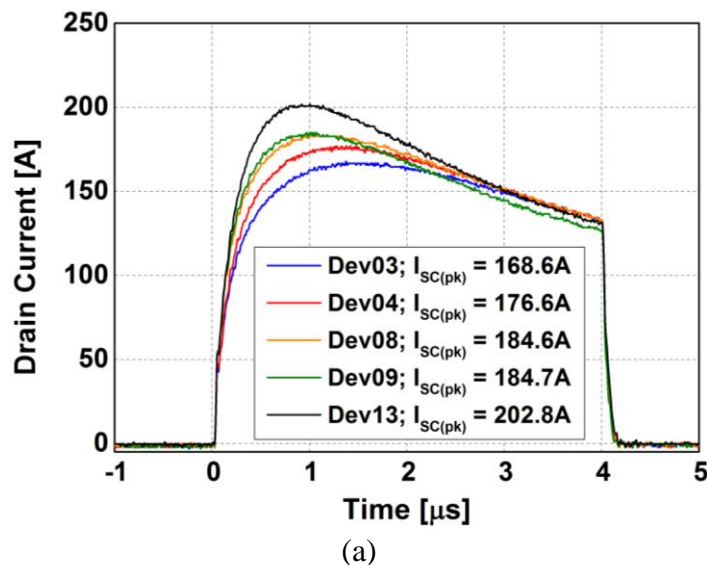


Fig. 4.27: (a)  $V_{DS} = 600\text{ V}$ ,  $T_{CASE} = 300\text{ K}$  et  $V_{GS} = 18\text{ V}$ ; Forme d'onde en court-circuit;  $V_{th}$  entre  $2.55\text{ V}$  (Dev13) et  $3.45\text{ V}$  (Dev03) (b) Temperature de jonction maximale simulée (REF) durant le court-circuit

Partant de ce constat, dans le cas d'un module de puissance où les puces sont en parallèle, la tenue en court-circuit du module serait donc définie par la robustesse du composant ayant la plus petite tension de seuil. Dans le cas d'un défaut catastrophique de type FTS sur la puce la plus faible, le module devient totalement inutilisable et un organe externe de protection du type fusible ou disjoncteur est nécessaire afin d'éviter la propagation du défaut. Cependant, dans le cas d'un défaut doux de type FTO sur la même puce la plus faible qui se manifeste par un court-circuit grille-source du composant, présenté dans le Chap. 2.V, le défaut pourrait se propager à chaque puce, permettant d'avoir un module complet présentant le défaut en FTO et, *a fortiori*, ne nécessiterait pas d'organe externe de protection comme présentée en section III. Selon un tel scénario, la robustesse du module serait définie par l'addition des niveaux de robustesse de chaque puce, i.e. une robustesse maximale. Un autre scénario consiste à tirer parti de la mise en court-circuit grille source de la puce la plus faible pour provoquer le blocage de toutes les autres puces du module, car l'ensemble des grilles sont reliées en parallèle. À l'opposé de l'approche précédente, ici la robustesse est minimale, mais dans un mode FTO. Si la grille de la puce faible peut être déconnectée, le module peut continuer à être utilisé à puissance réduite.

#### IV.B Objectifs et banc de test.

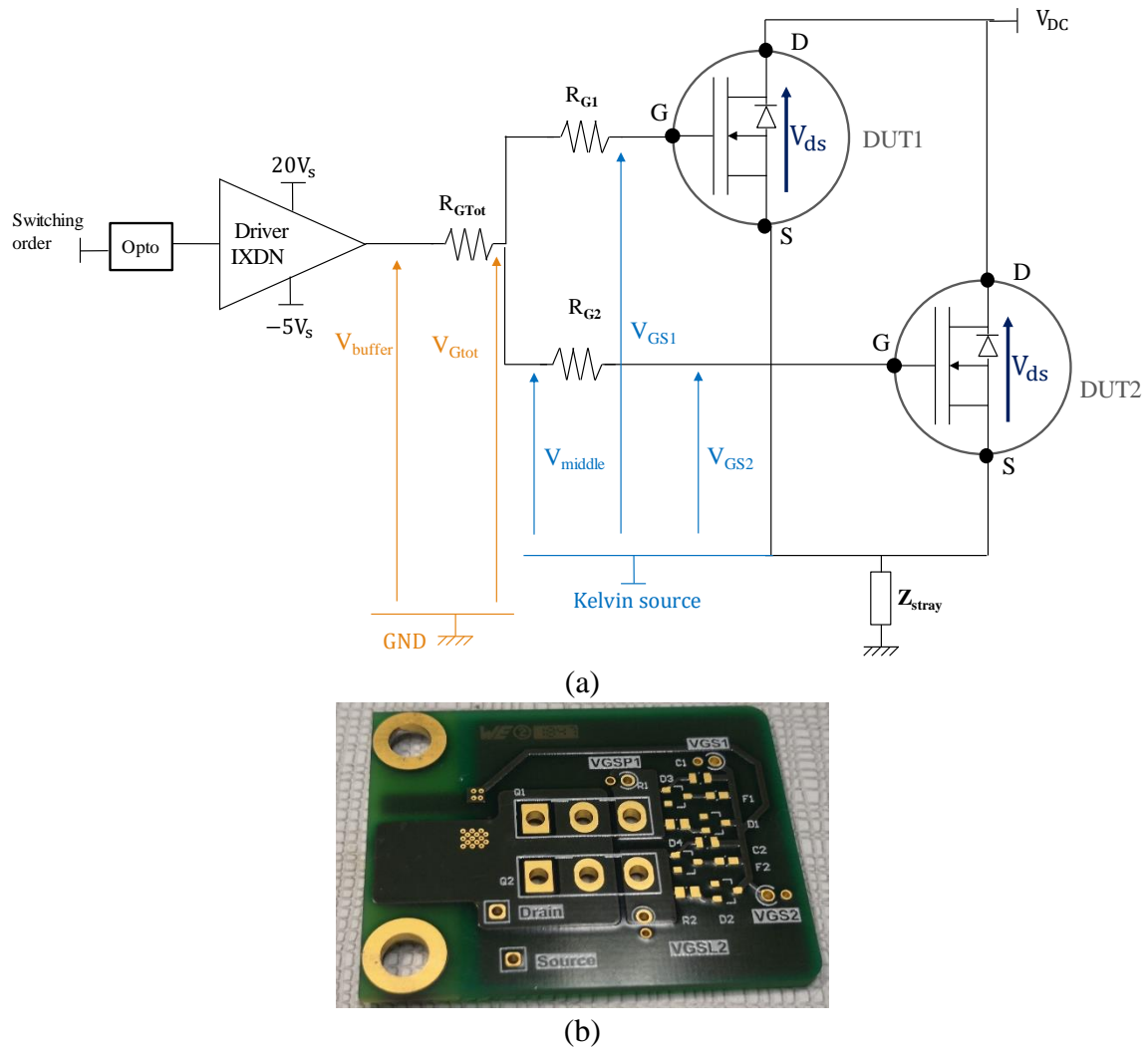


Fig. 4.28: (a) schéma électrique de la façon dont les grilles sont connectées.(b)carte vissée sur la carte mère permettant d'émuler un module de puissance.

L'objectif de cette section est triple :

- Vérifier que, dans un module, la puce ayant le plus faible  $V_{GS(th)}$  casse bien en premier.
- Etudier les conditions de propagation du défaut en FTO dans le cas de composants cassant en FTO, tel que le composant de Microsemi ou de Cree Gen. 2.
- Etudier s'il est possible de sauver le module de puissance si la puce la plus faible casse et quelles sont les pistes pour isoler le composant défaillant et utiliser le module à puissance réduite.

Afin d'étudier le comportement de plusieurs puces en parallèle, un PCB accueillant deux composants de puissance a été développé afin de pouvoir être vissé à la carte mère présentée dans le Chap. 2.II.B, cette carte permet de simuler un module avec des composants discrets en boîtiers TO-247. Il y a une résistance de grille globale et commune appelée  $R_{Gtot}$  présente sur le module driver sur la carte mère et une résistance de grille locale déportée et propre à chaque composant appelée  $R_{G1}$  et  $R_{G2}$  présentes sur la carte vissée. Le schéma de câblage du test et la carte vissée sont présentés, respectivement, en Fig. 4. 28a et 28b. Après les premiers tests, il est apparu qu'à cause des très forts courants de saturations mis en jeu dans le court-circuit de deux composants en parallèle ( $\approx 400A$ ), il y avait une forte chute de tension de source ayant tendance

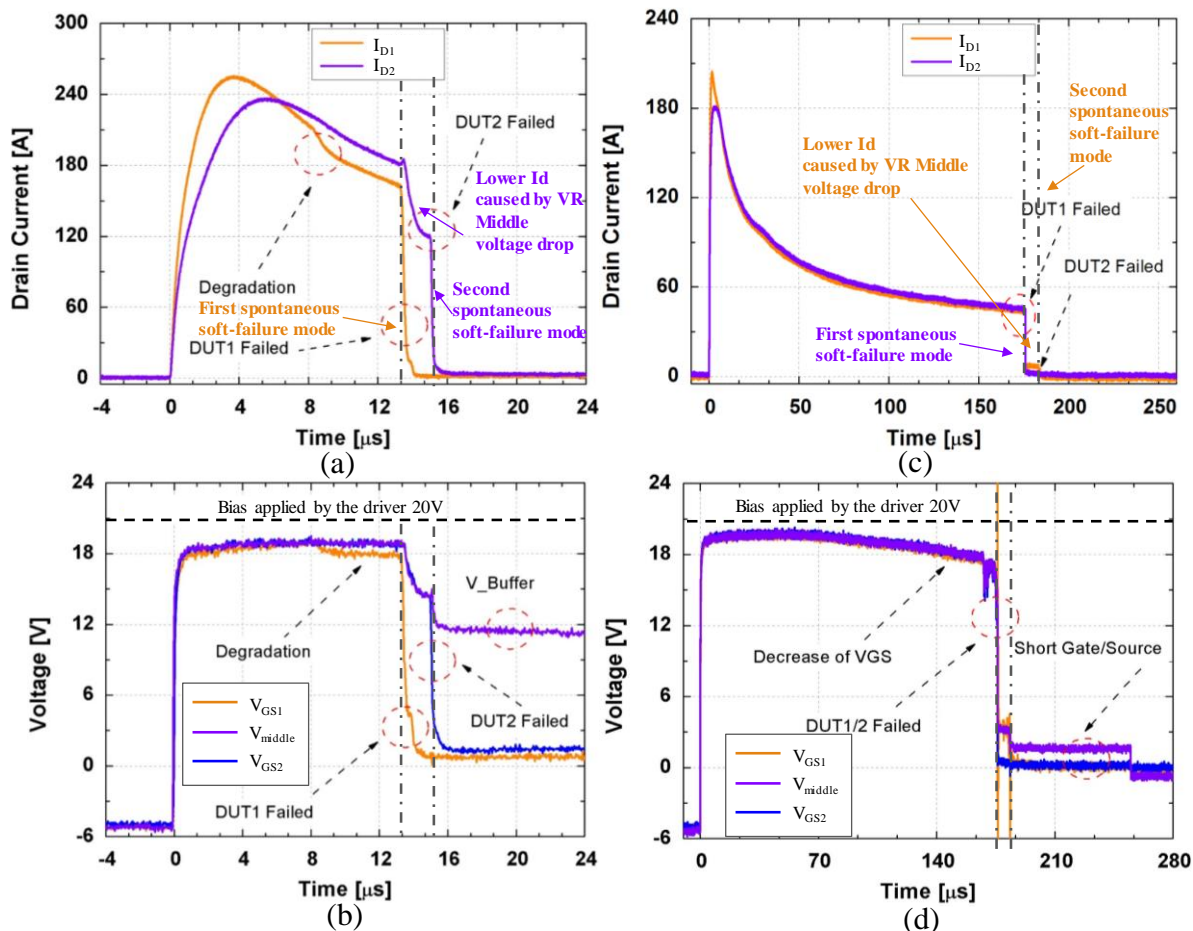


Fig. 4.28: Formes d'ondes de deux composants Microsemi en parallèle en court-circuit  $V_{DS} = 600V$ ;  $V_{GS} = +20/-5V$ ;  $T_{CASE} = 25^{\circ}C$ ,  $R_{Gtot}=10\Omega$ ,  $R_{G1,2}=27\Omega$  (a) Courants de drain  $V_{GSthDUT1}=3V < V_{thDUT2}=4V$  (b) Tensions des grilles. Formes d'ondes de deux composants Cree Gen. 2 en parallèle en court-circuit  $V_{DS} = 250V$ ;  $V_{GS} = +20/-5V$ ;  $T_{CASE} = 25^{\circ}C$ ,  $R_{Gtot}=10\Omega$ ,  $R_{G1,2}=27\Omega$ . (c) Courants de drain  $V_{GSthDUT1}=2,7V < V_{GSthDUT2}=3,14V$  (d) Tensions des grilles.

à dépolariiser les composants étudiés (DUT). Par conséquent, les mesures ont été faites avec deux oscilloscopes, l'un référencé à la terre et l'autre, flottant sur batterie, référencé à la source kelvin des DUT. Le courant total est mesuré avec un shunt (présenté en Chap. 2.II.B) et le courant dans chaque DUT par deux sondes Rogowsky directement sur les broches de drain.

#### IV.C Essais sans protection active

Les essais présentés ont été effectués avec des MOSFET SiC 1200V 80m $\Omega$ , le premier essai avec le composant de Microsemi et le second essai avec le composant de 2<sup>nd</sup> génération de Cree.

##### IV.C.1 Essai avec le composant MicroSemi

Le but du premier essai est double : constater que le composant avec le plus faible  $V_{th}$  casse bien en premier et voir s'il y a bien la propagation du défaut. Dans cet essai, il y a un  $\Delta V_{GS(th)}=1V$ , le test est effectué à  $V_{DS} = 600 V$ ,  $R_{Gtot} = 10 \Omega$  et  $R_{G1,2} = 27 \Omega$ . Un long échelon de commande de 30  $\mu s$  a été envoyé aux deux DUT pour provoquer le défaut. Les Fig. 4.28a et 13b montrent les formes d'ondes des deux composants en question. Il est important de noter



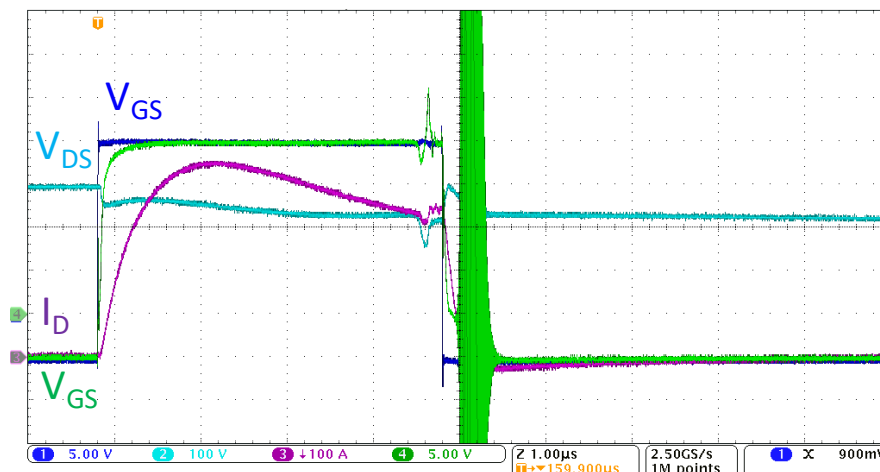


Fig. 4.29 : Oscillations au blocage lors d'un essai en court-circuit lorsque  $R_{Gtot} = 27 \Omega$  et  $R_{G1,2} = 1 \Omega$

que la différence dans les  $I_{D(peak)}$  est très importante, le composant avec un faible  $V_{GS(th)}$  a un plus grand  $I_{D(peak)}$  et casse en premier au bout de  $13.2 \mu s$ . Ensuite, le court-circuit de la grille du premier composant réduit la polarisation du second par un effet de pont diviseur de tension qui diminue son courant de saturation et casse à  $15 \mu s$ . Le courant dans le module devient donc nul, ce qui prouve que le module est bien cassé en FTO. Il est probable que la diminution du courant de saturation du second composant permette à celui-ci d'être plus robuste. La résistance de défaut  $R_{gate}$  interne pour les DUT 1 et 2 est mesurée respectivement à  $2,6 \Omega$  et  $3,6 \Omega$  respectivement.

Il est remarquable que la diminution de la tension de grille du composant le plus robuste par la casse du composant le plus faible pourrait permettre le blocage automatique du composant le plus robuste. C'est ce qui a été étudié dans l'essai suivant.

#### IV.C.2 Essai avec le composant Cree Gen. 2

L'objectif de ce second essai est double : vérifier que le composant avec le plus petit  $V_{GS(th)}$  casse bien en premier et essayer de bloquer automatiquement le composant restant.

Afin d'avoir une chute de tension maximale sur la tension  $V_{middle}$  après la casse du composant le plus faible, il faut utiliser des résistances  $R_{G1,2}$  les plus faibles possible et une résistance  $R_{Gtot}$  la plus grande possible. Cependant, il y a deux contraintes : il faut augmenter  $R_{Gtot}$  sans ralentir de manière importante la commutation des composants de puissance. Il faut utiliser des valeurs minimales pour  $R_{G1,2}$  afin d'éviter des oscillations parasites comme présentées en Fig. 4.29. Un bon compromis a été choisi avec  $R_{Gtot} = 27 \Omega$  et  $R_{G1,2} = 5 \Omega$ .

L'essai a été mené avec les composants Cree Gen. 2, ces composants présentent un mode de défaut en FTO seulement à basse tension de drain comme présenté Chap.2.V. Nous avons donc effectué le test à  $250V$ . Il y a un  $\Delta V_{GS(th)} = 440 mV$ . Un échelon de commande de  $260 \mu s$  a été envoyé pour commander les DUTs et provoquer le défaut. Les Fig. 4.28c et 28d montrent les formes d'ondes des deux composants en question. Contrairement à l'essai précédent, c'est le composant avec la tension de seuil la plus importante qui casse en premier au bout de  $174 \mu s$  car il a un courant de saturation un peu plus important après que le pic soit passé. Par conséquent, pour les courts-circuits longs d'autres paramètres autres que le  $V_{th}$  jouent sur la

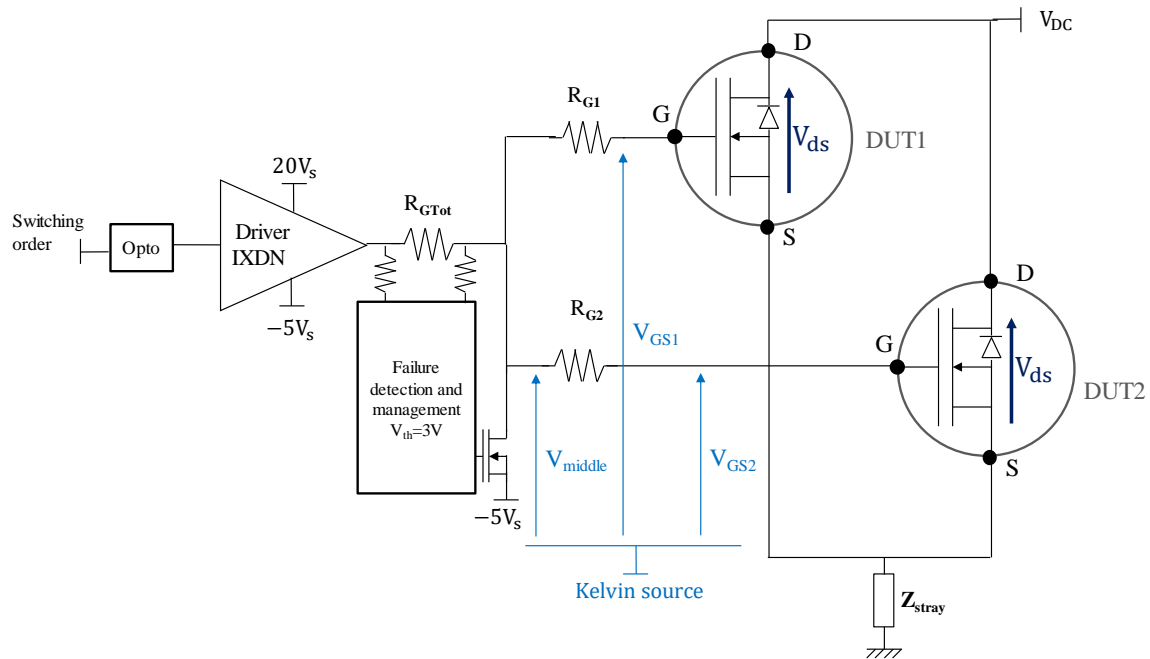


Fig. 4.30 : schéma électrique de la façon dont les grilles sont connectées avec l'organe de détection de casse de la grille

discrimination entre un composant fort ou faible. Ensuite, la tension de grille chute à quelques volts mais, malheureusement pas suffisamment pour bloquer entièrement le second composant ( $I_{D1} \approx 10A$ ) qui finit par casser en FTO au bout de  $184 \mu s$ . La résistance de défaut  $R_{gate}$  interne pour les deux DUT est inférieure à  $100 m\Omega$ .

En conclusion, à ce stade nous n'avons pas réussi à réunir les conditions de mise en œuvre pour sauvegarder, de manière passive, le composant le plus fort même avec le meilleur compromis dans les valeurs des résistances de grille. Cependant, même dans ce « pire cas », le module a bien un mode défaillance global en FTO.

Le but de sauvegarder le maximum de puces en parallèle dans un module, n'a pas été atteint. Dans l'optique d'atteindre cet objectif, le premier prototype présenté section II.C a été modifié. Les résultats sont présentés dans la partie suivante.

#### IV.D Essais avec protection active

Dans le cas d'un court-circuit long, la chute de tension  $V_{GS}$  causée par la casse du composant le plus faible ne permet pas automatiquement de bloquer de façon passive les autres composants notamment car  $R_{G1,2}$  est au minimum de  $5\Omega$  pour éviter les oscillations au blocage. Pour être sûr de bloquer les autres composants au moment de la défaillance du composant le plus faible, le premier prototype du circuit de détection présenté en section II.C a été modifié. En effet, pour ne détecter que la casse du composant le plus faible, la tension de détection, correspondante à la chute de tension aux bornes de la résistance de grille en dehors des instants de commutation a été relevée à  $3V$ . Le nouveau circuit de test est présenté en Fig. 4.30. Les tests ont de nouveau été effectués avec 2 DUT de Cree Gen. 2 à  $200V$  et de 2 DUT de Microsemi à  $600V$ .

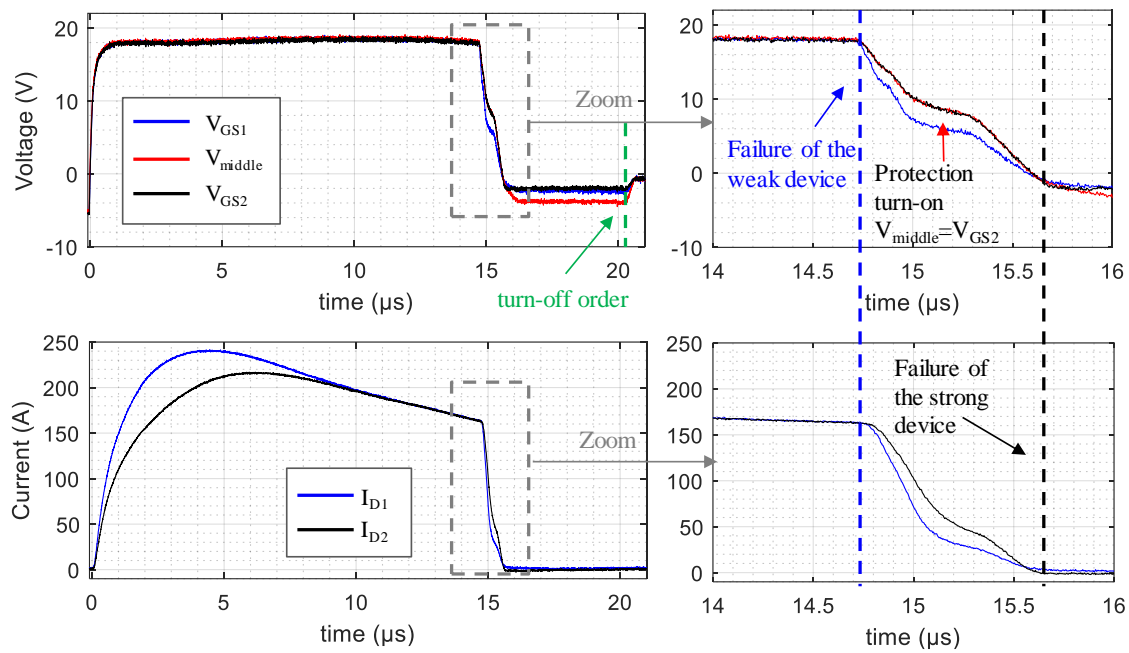


Fig. 4.31 : Formes d'ondes de deux composants Microsemi en parallèle en court-circuit avec circuit de protection  $V_{DS} = 600V$ ;  $V_{GS} = +20/-5V$ ;  $T_{CASE} = 25^{\circ}C$ ,  $R_{Gtot} = 10\Omega$ ,  $R_{G1,2} = 27\Omega$ ,  $V_{thDUT1} = 3V < V_{thDUT2} = 4V$

#### IV.D.1 Essai avec le composant MicroSemi

Un essai en court-circuit avec les composants Microsemi et l'organe de protection a été fait à  $V_{DS} = 600 V$  et  $\Delta V_{GS(th)} = 1 V$  comme pour l'essai sans organe de protection. L'essai est présenté en Fig. 4.31. Le composant avec la tension de seuil la plus faible casse en premier à  $14,7 \mu s$  et l'organe de protection réagit ( $V_{middle} = V_{GS2}$ ). Très peu de temps après blocage du deuxième composant à  $15,5 \mu s$ , il y a une dissociation entre la tension  $V_{middle}$  et  $V_{GS2}$  témoignant d'un claquage de la grille de celui-ci ( $V_{middle} \neq V_{GS2} = V_{GS1}$ ). À la fin,  $V_{middle} = -5V$  correspondant au potentiel auquel est relié le transistor permettant d'effectuer le SSD.

Dans le cas du composant Microsemi, même avec une différence de  $V_{th}$  très importante, la différence de température entre les deux composants au moment du défaut du premier n'est pas suffisamment importante pour permettre la sauvegarde du composant le plus fort. Par conséquent, nous ne pouvons pas imaginer d'implémenter ce type de protection de dernier recours dans le cas d'un module en cas de court-circuit long.

Dans le cas d'un module de puissance soumis à des cycles de court-circuit l'apparition d'une fuite de grille est donc un signe d'une dégradation avancée d'un ou plusieurs des composants comme présentés en Chap. 1§III.C.1 et Chap. 2§VI.A. Si l'on détecte ce type de courant, il serait sans doute intéressant de toujours faire fonctionner le module mais à puissance réduite. Si en revanche un des composants est totalement cassé entre la grille et la source, il faut l'isoler et de la même façon fonctionner à puissance réduite.

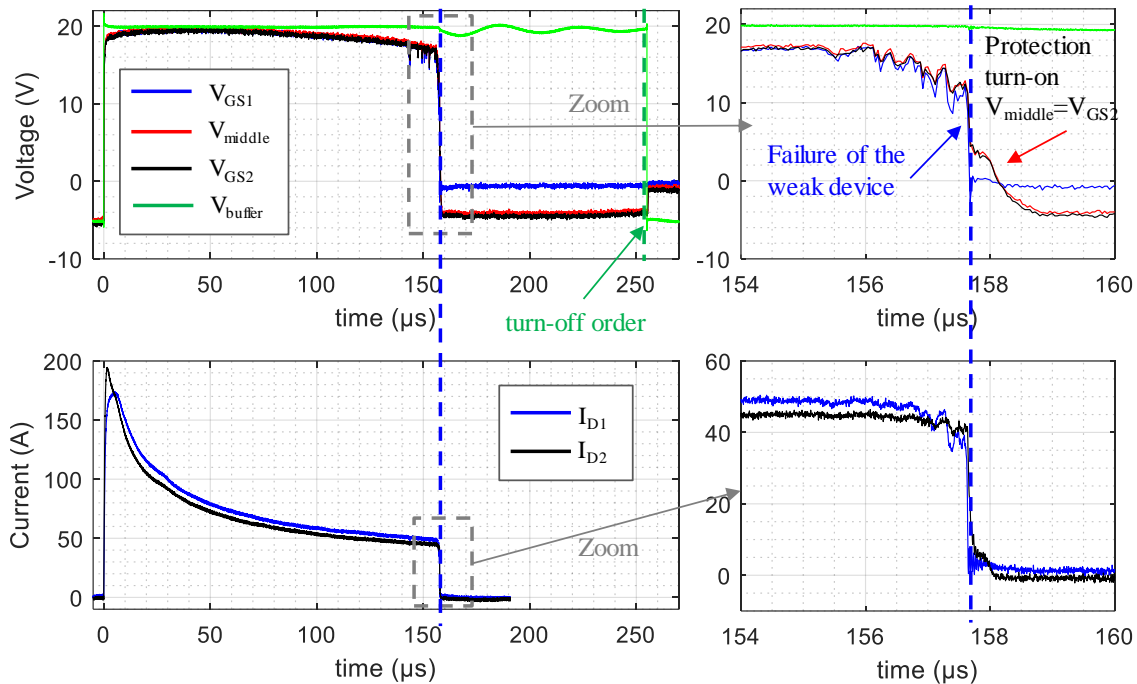


Fig. 4.32 : Formes d’ondes de deux composants Cree Gen. 2 en parallèle en court-circuit avec circuit de protection  $V_{DS} = 200V$ ;  $V_{GS} = +20/-5V$ ;  $T_{CASE} = 25^{\circ}C$ ,  $R_{Gtot} = 10\Omega$ ,  $R_{G1,2} = 27\Omega$ ,  $V_{thDUT1} = 2.7V < V_{thDUT2} = 3.1V$

#### IV.D.2 Essai avec le composant Cree Gen. 2

Un essai en court-circuit avec les composants Cree Gen. 2 et l’organe de protection a été fait à  $V_{DS} = 200 V$  et  $\Delta V_{th} = 400 mV$  comme pour l’essai sans organe de protection. L’essai est présenté Fig. 4.29. Comme pour l’essai Fig. 4.32a et 4.33b, le composant avec le plus grand  $V_{th}$  casse en premier à  $157,5\mu s$  car, en moyenne, son courant de saturation est plus élevé, il est donc plus chaud. Cela confirme les résultats précédents et indique bien que dans le cas de pulses long peu énergétiques d’autres paramètres influencent le courant de saturation autre que la tension de seuil. L’organe de protection réagit, le second DUT est bloqué et ne casse pas après le blocage. Dans ce cas, nous arrivons à sauvegarder le composant le plus robuste. Il est donc envisageable d’utiliser un système permettant d’isoler le composant défectueux de manière automatique

#### IV.E Perspectives d’isolation du composant défectueux avec fusibles

Lorsqu’un composant casse en FTO, la grille est court-circuitée avec une résistance de défaut allant de  $100m\Omega$  à  $3\Omega$  suivant les composants, ce qui impose une baisse de la tension de polarisation sur les autres composants dans le cas d’un module parallèle. Ils sont donc commandés de manière non optimale du point de vue des pertes mise en jeu en conduction et commutation. Il est donc nécessaire d’isoler la grille du composant défectueux pour permettre d’utiliser le module.

Il a été proposé d’utiliser des fusibles très bas calibre à la place de la résistance de grille proche de chaque composant. En effet, les fusibles très bas calibres, par exemple, les *LittleFuse 466 Series*, sont très résistifs (quelques Ohms). Une fois que la défaillance du composant arrive, le fusible jouera son action pour isoler la grille.

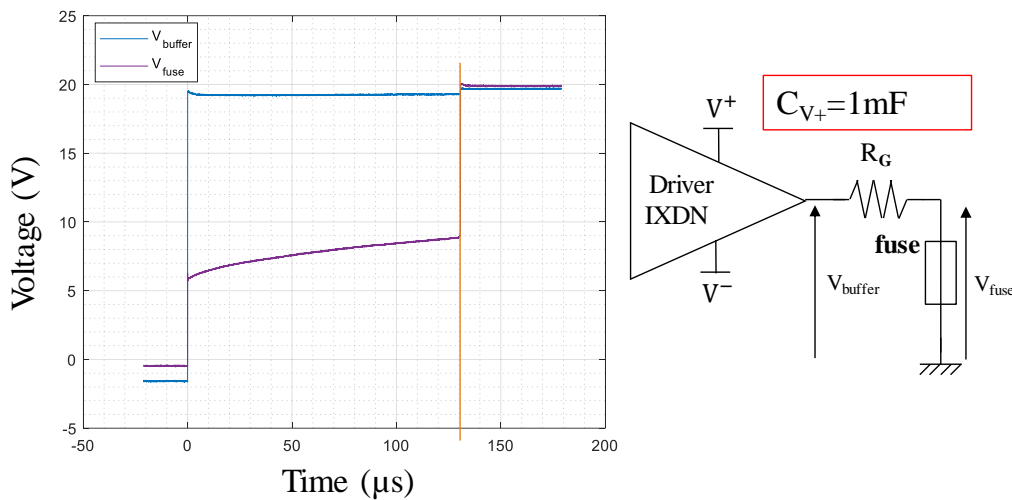


Fig. 4.33 : Test d'un fusible CMS 125mA (LittleFuse 466 Series Fuse) dans une configuration semblable à celle d'une défaillance dans un module.

Les premiers tests effectués dans ce sens montrent que le fusible 125mA, un des calibres les plus bas du marché, bien que spécifié “ultra-rapide” a un temps de réponse d'environ 130 $\mu$ s à un courant moyen de 400mA, comme présenté Fig. 4.33. Cela correspond à un driver alimentant en +20V un composant dégradé via une résistance  $R_{Gtot}$  de 27 $\Omega$ . De plus dans cet essai, une capacité de 1mF a dû être ajoutée pour éviter une chute de la tension du driver. Le temps de réaction du fusible est donc très lent vis-à-vis d'une connexion à chaud durant le fonctionnement du module dans le convertisseur. Il faudrait investiguer des fusibles de plus bas calibre et plus rapide par exemple 62mA LittleFuse 459 Series PICO ou intégrer une protection active avec le risque d'augmenter la complexité du système et donc de le défiabiliser.

#### IV.F Conclusion

La forte disparité des paramètres électriques des puces MOSFET SiC est aujourd'hui un frein à la fiabilité des modules de puissance équipés de ce type de puces. En général, la durée de vie du module étant celle de la puce la plus « faible » ou de la plus contrainte. Avec le défaut « doux » court-circuit grille-source, le module pourrait toujours être utilisable même si le composant le plus faible venait à casser moyennant une diminution des performances de celui-ci. Seul le cas d'un court-circuit long a été étudié.

L'influence de la dispersion du  $V_{GS(th)}$  a été observée sur la tenue en court-circuit ainsi que l'impact du court-circuit grille source sur les autres composants du module via différents jeux de résistances de grille. Deux composants de deux constructeurs différents ont été étudiés.

Pour le composant Microsemi, la différence dans la tension de seuil est le paramètre prépondérant de la robustesse de celui-ci à 600V : un  $V_{GS(th)}$  faible implique un composant moins robuste. Cependant, malgré une différence de  $V_{GS(th)}$  de 1 V, en pulse long, il n'est pas possible de sauver le composant le plus robuste après la défaillance du moins robuste. En revanche, les deux composants présentent un mode de défaut en « fail-to-open » ce qui se traduirait par une défaillance « soft » d'un module complet.

Le composant Cree Gen. 2 présente un mode de défaut en FTO qu'à tension très réduite (200V-250V) pour un composant 1200V. À ces niveaux de tension, la tension de seuil n'est pas le paramètre dominant, le composant avec la plus faible tension de seuil a même tendance à être plus résistant aux courts-circuits et la tenue en court-circuit est longue (plus de 100  $\mu$ s). Dans ce contexte particulier, avec la détection de la casse du composant le plus faible et le blocage du module, le composant le plus fort peut être sauvé. On peut donc présumer que ce comportement pourrait aussi se produire avec d'autres MOSFET SiC.

Il est donc possible que lors d'un court-circuit sur un module de puissance avec des puces en parallèle, dans le cas d'un court-circuit franc long, la défaillance de la puce la plus faible en « fail-to-open » entraîne l'ordre de blocage du module et, qu'après le blocage, une partie des puces dans ce module soit toujours fonctionnelle. Afin de redémarrer le système, il faut pouvoir déconnecter le ou les puces défectueuses car la faible résistance de défaut grille source aura tendance à dépolariser la grille des autres puces qui aura comme impacte une augmentation des pertes. Il serait donc intéressant d'explorer des moyens de déconnexions de puces dans un module plus amplement.

## V. Conclusion du chapitre

Dans ce chapitre ont été présentées des approches très différentes dans le but de fiabiliser un convertisseur statique dans le cas d'un stress en court-circuit des semi-conducteurs de puissance.

Dans une première partie, un driver de protection au court-circuit a été développé. La protection est basée sur la détection d'un niveau important de courant de grille dynamique. La détection peut être déclenchée par la commutation du transistor mais aussi par l'apparition d'un courant de fuite dynamique signe d'un court-circuit de type I ou la mise en conduction du transistor homologue (commutation ou court-circuit type II). Pour distinguer une situation normal d'une situation de court-circuit, un circuit logique a été intégré au plus près de la détection et du driver sous la forme d'un CPLD programmable. Le circuit permet la détection et la protection d'un composant dans un temps d'environ  $T_{SC}/2$  dans le pire cas d'un court-circuit de type I.

Dans une seconde partie, le modèle électrothermique du composant développé dans le chapitre 3 est utilisé afin de simuler deux cas de défaut de commande dans un hacheur multi phase entrelacé. Le modèle de composant utilisé ne simule qu'une défaillance en FTO (cas du composant microsemi). Dans le premier cas, le composant *high side* casse et par la régulation en courant le composant *low side* ne commute plus ce qui équivaut à l'isolation du bras. Dans le second cas, le composant *high side* casse en FTO mais le défaut de commande étant dû au composant *low side*, la capacité de sortie se décharge dans le défaut. À l'isolation du bras, il faut que la capacité de sortie puisse lui fournir suffisamment d'énergie afin d'arriver au FTO du composant *low side*. Cela impose un surdimensionnement de la capacité de sortie d'un facteur 10 environ.

Dans une troisième partie, l'influence de la dispersion de la tension de seuil des MOSFET SiC en parallèle dans des modules de puissance en régime de court-circuit a été évaluée. En particulier l'influence de la connexion de la grille sur la polarisation des autres composant dans le cas de la défaillance du composant le plus fragile en FTO. Il y avait deux objectifs. Le premier était de vérifier que si l'on place 2 puces en parallèle, les deux puissent casser en FTO avec la connexion de grille appropriée. Le second était de voir si, lorsque le composant le plus faible cassait, il était possible d'auto-bloquer et sauver les autres composant par une connexion de grille astucieuse. À 600V, les différences dans les  $T_{SC}$  ne sont pas importantes ce qui fait que dans tout les cas, les composant cassent tous en FTO. À tension très réduite (200V) la différence dans les  $T_{SC}$  est bien plus important autorisant le blocage de la puce la plus robuste après la défaillance de la plus faible. On peut ensuite mettre en place un système de déconnexion de la grille de la puce cassée et continuer à faire fonctionner le convertisseur à puissance réduite.

# CONCLUSION GENERALE

## VI. Conclusion

Ce mémoire de thèse constitue une contribution à l'étude des composants MOSFET en carbure de silicium aux régimes de court-circuit dans l'objectif d'augmenter la robustesse et la sécurisation des futurs convertisseurs statiques équipés de ces composants.

Dans un contexte d'électrifications croissantes de notre économie (transport, production d'énergie renouvelable, digitalisation des services, robotisation), les convertisseurs d'énergie dit « statiques » à base d'électronique de puissance vont être amenés à faire transiter et conditionner une grande partie de l'énergie produite et consommée sur terre. Les pertes de ces organes de conversion vont induire un surdimensionnement des moyens de production d'énergie, en particulier renouvelables. L'efficacité des convertisseurs statiques est donc au centre des enjeux de notre société industrielle. Pour améliorer les rendements, des transistors de puissance à semiconducteur à large bande interdite (GaN et SiC) ont été développés. Ces composants (principalement MOSFET SiC et HEMT GaN) permettent une diminution des pertes et une plus grande compacité par une augmentation des vitesses de commutation.

D'un autre côté, les coûts de maintenance de l'électronique de puissance sont grandement liés à la fiabilité des transistors de puissance. En particulier, en fonctionnement, des événements pseudo-aléatoires en général externe au convertisseur (perturbations EMI, erreur humaine, environnement) peuvent venir perturber le système et provoquer des régimes extrêmes (avalanche, court-circuit) sur les transistors de puissance pouvant amener à leur défaillance. Ces régimes extrêmes sont critiques car ils ne peuvent pas être évités par de la maintenance préventive des appareils et peuvent causer des cascades de défaillances pouvant compromettre l'intégrité du système et de ses utilisateurs. La robustesse des transistors de puissances en régimes extrêmes est donc une caractéristique importante de la fiabilité des convertisseurs de puissance. En particulier, la robustesse en court-circuit est la plus critique comparée à l'avalanche tant en termes d'occurrence dans les systèmes que de niveaux de contraintes électrothermiques subies par le transistor.

La tenue au court-circuit des composants à large bande interdite est donc une problématique industrielle importante, tant dans un objectif de réduction des coûts de maintenance et d'augmentation du temps de disponibilité du système que dans des problématiques de sûreté de fonctionnement pour des applications critiques. Le MOSFET SiC est, en particulier, très intéressant pour augmenter le rendement des applications PV et éoliennes où les exigences en termes de maintenance et de coût sont critiques. Sa robustesse en court-circuit présente donc un intérêt majeur pour le développement de ces industries.

La première partie de ce travail s'est efforcée de caractériser une large gamme de MOSFET SiC 1200V de fabrication différentes et avec différentes structures de grille en régime de court-circuit. La tendance actuelle est à la diminution très importante de la surface des puces et une augmentation des densités de courant amenant à des temps de tenue au court-circuit limités (7-8 $\mu$ s en moyenne). Il apparaît aussi deux particularités en régime de court-circuit : une courant de fuite de grille et l'apparition de deux modes de défaillance sur la plupart des composants testés (*fail to open* FTO and *fail to short* FTS) dépendant des paramètres de test.



- Le courant de fuite grille-source apparait sur tous les composants étudiés. Après une étude comparative des phénomènes physiques plausibles causant ce courant, il serait causé par une injection d'électrons chauds à travers l'oxyde de champ causé par la température extrême du SiC et la faible épaisseur d'oxyde de champ. Il est donc un bon indicateur de l'état de stress du composant.
- Le mode de défaut FTO est caractérisé par un court-circuit grille-source qui bloque automatiquement le composant en court-circuit et évite que le défaut ne se propage à toute la structure de conversion. Le mode FTS correspond à un emballement thermique du composant amenant à une fissuration / décomposition associée à une diffusion métallique à travers la puce et donc un court-circuit drain-source. L'utilisation d'un modèle thermique prenant en compte la chaleur latente de fusion de l'aluminium et la dépendance à la température des paramètres thermiques des matériaux de la puce combiné à un plan d'expérience large, nous a permis d'explorer les domaines d'existence des deux modes de défaillance pour différents composant. Le mode FTO se produit généralement lorsque l'énergie de court-circuit est réduite tandis que le mode FTS se produit à partir du moment où le SiC atteint, au moins localement, une température critique d'emballement thermique. L'origine physique de la défaillance FTO a été investiguée, et serait causée par la fusion de l'aluminium de source et sa diffusion sur la surface de la puce ou dans le volume de celle-ci à travers des fissurations de l'oxyde épais d'isolation de la grille (ILD) jusqu'à un électrode de grille (polysilicium). Un seul composant a été identifié comme présentant uniquement le défaut en FTO, quels que soient les paramètres de tests.

Au regard de ces observations, le MOSFET SiC est peu robuste en court-circuit. L'amélioration de la robustesse peut se faire en 4 axes : la modification de la technologie, la réduction des stress appliqués par une réduction des niveaux de polarisation, l'ajout d'un organe de protection du composant et/ou la mise en place d'une redondance au niveau du système. Se plaçant en utilisateur de composant et non en fabricant, la modification de la technologie n'est pas envisagée. La seconde solution visant à la réduction des stress par l'utilisation d'un composant à des tensions de bus continue plus faibles ou par la diminution de la polarisation de grille est envisageable mais provoquerait d'un côté un surcoût lié au surdimensionnement du composant et d'un autre côté une augmentation des pertes. La troisième solution consiste en la détection précoce du stress et la mise en sécurité (blocage soft) du composant avant sa défaillance. Cette voie est intéressante car n'impacte pas le fonctionnement du convertisseur en régime nominal mais implique un investissement supplémentaire et une augmentation de la complexité. De la même façon, la quatrième solution vise à la mise en place d'une redondance permettant de suppléer à la défaillance de composant au niveau du système en rajoutant de la complexité. L'exploration des deux dernières solutions ont été choisies durant cette thèse. Cependant, dans les deux cas, il faut trouver des solutions les plus simples et les plus performantes possible afin d'éviter de défiabiliser le système par un ajout d'une trop grande complexité. Pour se faire, il faut disposer de modèles dynamiques fidèles des composants que l'on cherche à fiabiliser.

Dans cette logique, un modèle électrothermique compact d'un MOSFET SiC a été développé et intégré dans un logiciel de type circuit (ex : PSIM, PLECS). Le modèle permet de retranscrire temporellement les formes d'ondes du composant en court-circuit mais aussi en fonctionnement nominal. En particulier, le comportement du courant de grille, de la tension de grille et du courant de drain ont été modélisés ainsi que les modes de défaillance (FTO, FTS).

Ce modèle permet, de manière assez unique, donc de modéliser et de prédire un certain nombre caractéristiques du composant : la robustesse en court-circuit du composant ( $T_{SC}$  et  $E_{SC}$ ), le type de défaillance dans l'essai considéré (FTO ou FTS) et les dérives des paramètres électriques durant le court-circuit.

En s'appuyant sur ce modèle, une fonction de protection du composant a été développée. La détection du court-circuit se fait par la mesure fine du courant de grille du composant pouvant à la fois détecter en moins de 4 $\mu$ s des court-circuits de type I ou de type II sous 600V -  $R_{gext} = 10\Omega$ . Un CPLD a même été intégré référencé au potentiel du driver pour manager la gestion des défauts.

Le modèle du composant a aussi été intégré dans des simulations de défaillance d'un convertisseur entrelacé parallèle. Il a été démontré que dans le cas où les composants du bras sont mis court-circuit jusqu'à défaillance, l'isolation électrique du point milieu de ce bras est naturelle si les composants cassent en FTO, au prix d'un surdimensionnement de la capacité de sortie du convertisseur. La dynamique d'isolation est très rapide entre 30  $\mu$ s et 100  $\mu$ s selon les cas soit des temps inférieures à des systèmes d'isolation par fusibles et thyristor [4].

## VII. Perspectives

Pour conclure ce mémoire des perspectives aux travaux réalisés durant cette thèse sont proposés :

- Le défaut FTO étant causé par des phénomènes thermo-mécaniques et métallurgiques initiés par la très forte température de la puce, il serait intéressant d'intégrer sur la puce de puissance un assemblage de matériaux pouvant « forcer » le court-circuit grille source et qui serait déclenché par une surchauffe de la puce sans pour autant arriver à la température de fusion de l'aluminium.
- L'approche de protection intégrée au driver basé sur la mesure du courant de grille pourrait être étendue à d'autres approches (intégration du courant, dérivation du courant [82]) et les fonctionnalités intégrées dans un ASIC pour gagner en compacité. L'approche pourrait aussi être adaptée à la protection de composant P-GaN car présentant aussi une fuite de grille en court-circuit mais pour des raisons physiques différentes.
- La fuite de grille statique est un marqueur du vieillissement du composant d'après la bibliographie mais est souvent d'une amplitude faible (<1mA). Il faudrait adapter la mesure du courant de fuite dynamique à une mesure statique de plus faible niveau. Par exemple en modifiant la valeur de la résistance de grille de manière dynamique pour augmenter la sensibilité de la mesure sans dégrader les performances en commutation.
- Les scénarios de défaillance dans un convertisseur entrelacé ont seulement été faits en simulation durant cette thèse, il pourrait être intéressant de valider et de confronter les simulations à de l'expérimentation. Dans la continuité, il pourrait être intéressant d'évaluer l'impact de la défaillance FTO avec diode antiparallèle fonctionnelle dans d'autres topologies de conversion multiniveaux.



## BIBLIOGRAPHIE

- [1] H. Wang, M. Liserre, and F. Blaabjerg, ‘Toward Reliable Power Electronics: Challenges, Design Tools, and Opportunities’, *IEEE Ind. Electron. Mag.*, vol. 7, no. 2, pp. 17–26, Jun. 2013 <https://doi.org/10.1109/MIE.2013.2252958>.
- [2] M. Wilkinson and G. G. Hassan, ‘Measuring Wind Turbine Reliability - Results of the Reliawind Project’, p. 8.
- [3] K. Fischer and J. Wenske, ‘Towards reliable power converters for wind turbines: Field-data based identification of weak points and cost drivers’, in *EWEA 2015, Europe’s Premier Wind Energy Event. Scientific Proceedings*, 2015, pp. 117–120.
- [4] Z. Dou, *Sûreté de fonctionnement des convertisseurs - Nouvelles structures de redondances pour onduleurs sécurisés à tolérance de pannes*. Toulouse, INPT, 2011.
- [5] Z. Wang, X. Shi, L. M. Tolbert, F. Wang, Z. Liang, D. Costinett, and B. J. Blalock, ‘Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs’, *IEEE Trans. Power Electron.*, vol. 31, no. 2, pp. 1555–1566, Feb. 2016 <https://doi.org/10.1109/TPEL.2015.2416358>.
- [6] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park, ‘Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation’, *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2445–2455, May 2015 <https://doi.org/10.1109/TPEL.2014.2353417>.
- [7] F. Richardeau, ‘Cours “Fiabilité de fonctionnnement”’, Filière TAEE, ENSEEIHT, INP Toulouse’. 2016.
- [8] J. Lutz, H. Schlangenotto, U. Scheuermann, and R. D. Doncker, *Semiconductor Power Devices: Physics, Characteristics, Reliability*. Berlin Heidelberg: Springer-Verlag, 2011.
- [9] B. J. Baliga, *Modern power devices*. Wiley, 1987.
- [10] B. J. Baliga, *Silicon Carbide Power Devices*. World Scientific, 2005.
- [11] S. Sundaresan, S. Jeliakov, B. Grummel, and R. Singh, ‘10 kV SiC BJTs — Static, switching and reliability characteristics’, in *2013 25th International Symposium on Power Semiconductor Devices IC’s (ISPSD)*, 2013, pp. 303–306 <https://doi.org/10.1109/ISPSD.2013.6694409>.
- [12] T. Rossignol, ‘Contribution à la caractérisation et à la commande rapprochée de composants à grand gap moyenne tension pour onduleur de tension’, INP Toulouse, Toulouse, 2015.
- [13] D. Othman, ‘Etude d’interrupteurs en carbure de silicium et potentiel d’utilisation dans des applications aéronautiques’, Thèse de doctorat, Paris Saclay, 2015.
- [14] N. Rouger, ‘HABILITATION A DIRIGER DES RECHERCHES Spécialité : Electronique, Electrotechnique, Automatique et Traitement du signal (EEATS)’, thesis, 2015.

- [15] A. Castellazzi, A. Fayyaz, S. Zhu, T. Oeder, and M. Pfof, ‘Single pulse short-circuit robustness and repetitive stress aging of GaN GITs’, in *2018 IEEE International Reliability Physics Symposium (IRPS)*, 2018, pp. 4E.1-1-4E.1-10 <https://doi.org/10.1109/IRPS.2018.8353593>.
- [16] A. K. Agarwal, S. Seshadri, and L. B. Rowland, ‘Temperature dependence of Fowler-Nordheim current in 6H- and 4H-SiC MOS capacitors’, *IEEE Electron Device Lett.*, vol. 18, no. 12, pp. 592–594, Dec. 1997 <https://doi.org/10.1109/55.644081>.
- [17] M. Zhang, J. Wei, H. Jiang, K. J. Chen, and C.-H. Cheng, ‘SiC trench MOSFET with self-biased p-shield for low R ON-SP and low OFF-state oxide field’, *IET Power Electron.*, vol. 10, no. 10, pp. 1208–1213, Apr. 2017 <https://doi.org/10.1049/iet-pel.2016.0945>.
- [18] T. Nakamura, Y. Nakano, M. Aketa, R. Nakamura, S. Mitani, H. Sakairi, and Y. Yokotsuji, ‘High performance SiC trench devices with ultra-low ron’, in *2011 International Electron Devices Meeting*, 2011, pp. 26.5.1-26.5.3 <https://doi.org/10.1109/IEDM.2011.6131619>.
- [19] R. Siemieniec, D. Peters, R. Esteve, W. Bergner, D. Kück, T. Aichinger, T. Basler, and B. Zippelius, ‘A SiC Trench MOSFET concept offering improved channel mobility and high reliability’, in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, p. P.1-P.13 <https://doi.org/10.23919/EPE17ECCEEurope.2017.8098928>.
- [20] M. Furuhashi, S. Tomohisa, T. Kuroiwa, and S. Yamakawa, ‘Practical applications of SiC-MOSFETs and further developments’, *Semicond. Sci. Technol.*, vol. 31, no. 3, p. 034003, Jan. 2016 <https://doi.org/10.1088/0268-1242/31/3/034003>.
- [21] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, and H. Morel, ‘Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with BJTs’, *Microelectron. Reliab.*, vol. 55, no. 9, pp. 1708–1713, Aug. 2015 <https://doi.org/10.1016/j.microrel.2015.06.097>.
- [22] C. Chen, ‘Studies of SiC power devices potential in power electronics for avionic applications’, thesis, Paris Saclay, 2016.
- [23] A. E. Awwad and S. Dieckerhoff, ‘Short-circuit evaluation and overcurrent protection for SiC power MOSFETs’, in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–9 <https://doi.org/10.1109/EPE.2015.7311701>.
- [24] Infineon, ‘SGP15N120 datasheet’. Febr. 08.
- [25] A. Bolotnikov, P. Losee, R. Ghandi, A. Halverson, and L. Stevanovic, ‘Optimization of 1700V SiC MOSFET for Short Circuit Ruggedness’, presented at the ESCRM 2018, 2018.
- [26] R. S. Chokhawala, J. Catt, and L. Kiraly, ‘A discussion on IGBT short-circuit behavior and fault protection schemes’, *IEEE Trans. Ind. Appl.*, vol. 31, no. 2, pp. 256–263, Mar. 1995 <https://doi.org/10.1109/28.370271>.
- [27] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, and H. Morel, ‘Study of short-circuit robustness of SiC MOSFETs, analysis of the failure modes and comparison with

- BJTs’, *Microelectron. Reliab.*, vol. 55, no. 9–10, pp. 1708–1713, août 2015 <https://doi.org/10.1016/j.microrel.2015.06.097>.
- [28] J. Lutz, R. Dobler, J. Mari, and M. Menzel, ‘Short circuit III in high power IGBTs’, in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–8.
- [29] T. T. Nguyen, A. Ahmed, T. V. Thang, and J. H. Park, ‘Gate Oxide Reliability Issues of SiC MOSFETs Under Short-Circuit Operation’, *IEEE Trans. Power Electron.*, vol. 30, no. 5, pp. 2445–2455, mai 2015 <https://doi.org/10.1109/TPEL.2014.2353417>.
- [30] A. März, T. Bertelshofer, R. Horff, M. Helsper, and M. M. Bakran, ‘Explaining the short-circuit capability of SiC MOSFETs by using a simple thermal transmission-line model’, in *2016 18th European Conference on Power Electronics and Applications (EPE’16 ECCE Europe)*, 2016, pp. 1–10 <https://doi.org/10.1109/EPE.2016.7695287>.
- [31] M. Otsuki, Y. Onozawa, H. Kanemaru, Y. Seki, and T. Matsumoto, ‘A study on the short-circuit capability of field-stop IGBTs’, *IEEE Trans. Electron Devices*, vol. 50, no. 6, pp. 1525–1531, Jun. 2003 <https://doi.org/10.1109/TED.2003.813505>.
- [32] D. Othman, S. Lefebvre, M. Berkani, Z. Khatir, A. Ibrahim, and A. Bouzourene, ‘Robustness of 1.2kV SiC MOSFET devices’, *Microelectron. Reliab.*, vol. 53, no. 9, pp. 1735–1738, Sep. 2013 <https://doi.org/10.1016/j.microrel.2013.07.072>.
- [33] G. Romano, A. Fayyaz, M. Riccio, L. Maresca, G. Breglio, A. Castellazzi, and A. Irace, ‘A Comprehensive Study of Short-Circuit Ruggedness of Silicon Carbide Power MOSFETs’, *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 978–987, Sep. 2016 <https://doi.org/10.1109/JESTPE.2016.2563220>.
- [34] R. Ouaida, M. Berthou, J. León, X. Perpiñà, S. Oge, P. Brosselard, and C. Joubert, ‘Gate Oxide Degradation of SiC MOSFET in Switching Conditions’, *IEEE Electron Device Lett.*, vol. 35, no. 12, pp. 1284–1286, Dec. 2014 <https://doi.org/10.1109/LED.2014.2361674>.
- [35] J. A. Schrock, B. N. Pushpakaran, A. V. Bilbao, W. B. Ray, E. A. Hirsch, M. D. Kelley, S. L. Holt, and S. B. Bayne, ‘Failure Analysis of 1200-V/150-A SiC MOSFET Under Repetitive Pulsed Overcurrent Conditions’, *IEEE Trans. Power Electron.*, vol. 31, no. 3, pp. 1816–1821, Mar. 2016 <https://doi.org/10.1109/TPEL.2015.2464780>.
- [36] L. Gerrer, ‘Impact of Oxide Soft BreakDown on MOS device and circuit operation : characterization and modeling’, Theses, Université de Grenoble, 2011.
- [37] P. D. Reigosa, F. Iannuzzo, and L. Ceccarelli, ‘Effect of short-circuit stress on the degradation of the SiO<sub>2</sub> dielectric in SiC power MOSFETs’, *Microelectron. Reliab.*, vol. 88–90, pp. 577–583, Sep. 2018 <https://doi.org/10.1016/j.microrel.2018.07.144>.
- [38] J. Wang, X. Jiang, Z. Li, and J. S. GAE, ‘Short-Circuit Ruggedness and Failure Mechanisms of Si/SiC Hybrid Switch’, *IEEE Trans. Power Electron.*, pp. 1–1, 2018 <https://doi.org/10.1109/TPEL.2018.2839625>.
- [39] S. Mbarek, F. Fouquet, P. Dherbecourt, M. Masmoudi, and O. Latry, ‘Gate oxide degradation of SiC MOSFET under short-circuit aging tests’, *Microelectron. Reliab.*, vol.

- 64, no. Supplement C, pp. 415–418, Sep. 2016  
<https://doi.org/10.1016/j.microrel.2016.07.132>.
- [40] V. Smet, F. Forest, J. Huselstein, F. Richardeau, Z. Khatir, S. Lefebvre, and M. Berkani, ‘Ageing and Failure Modes of IGBT Modules in High-Temperature Power Cycling’, *IEEE Trans. Ind. Electron.*, vol. 58, no. 10, pp. 4931–4941, Oct. 2011  
<https://doi.org/10.1109/TIE.2011.2114313>.
- [41] I. Dchar, ‘Conception d’un module d’électronique de puissance «Fail-to-short» pour application haute tension’, phdthesis, Université de Lyon, 2017.
- [42] E. Eni, S. Bęczkowski, S. Munk-Nielsen, T. Kerekes, R. Teodorescu, R. R. Juluri, B. Julsgaard, E. VanBrunt, B. Hull, S. Sabri, D. Grider, and C. Uhrenfeldt, ‘Short-Circuit Degradation of 10-kV 10-A SiC MOSFET’, *IEEE Trans. Power Electron.*, vol. 32, no. 12, pp. 9342–9354, Dec. 2017  
<https://doi.org/10.1109/TPEL.2017.2657754>.
- [43] Wolfspeed, ‘CMF2012D rev. C Datasheet’. CREE.
- [44] Wolfspeed, ‘C2M0080120D rev. C Datasheet’. CREE, 2015.
- [45] Jeff Casady and John Palmour, ‘Power products commercial roadmap for SiC from 2012-2020 and Power products real data & pricing forecasts for 650V-15kV SiC power modules, MOSFETs & diodes’, HMW Direct-Drive Motor Workshop, Sep-2014.
- [46] STMicroelectronics, ‘SCT30N120 Rev.9 Datasheet’. 2015.
- [47] ROHM, ‘SCH2090KE [target spec] Datasheet’. 2011.
- [48] ROHM, ‘SCT2080KE Rev.E Datasheet’. 2015.
- [49] ROHM, ‘SCT3080KL Rev. A’. 2016.
- [50] Microsemi, ‘APT40SM120B rev. C Datasheet’. 2016.
- [51] LittleFuse, ‘LSIC1MO120E0080 Rev. 1 Datasheet’. 2017.
- [52] F. Boige, F. Richardeau, and S. Lefebvre, ‘Global electro-thermal modelling and circuit-type simulation of SiC MOSFET power devices in short-circuit operation for critical system analysis’, *ElectrIMACS*, May 2017.
- [53] F.-C. Chiu, ‘A Review on Conduction Mechanisms in Dielectric Films’, *Advances in Materials Science and Engineering*, 2014. [Online]. Available: <https://www.hindawi.com/journals/amse/2014/578168/>. [Accessed: 20-Dec-2017]  
<https://doi.org/10.1155/2014/578168>.
- [54] M. Nawaz, ‘On the Evaluation of Gate Dielectrics for 4H-SiC Based Power MOSFETs’, *Active and Passive Electronic Components*, 2015. [Online]. Available: <https://www.hindawi.com/journals/apec/2015/651527/>. [Accessed: 14-May-2018]  
<https://doi.org/10.1155/2015/651527>.

- [55] G. Pananakakis, G. Ghibaudo, R. Kies, and C. Papadas, ‘Temperature dependence of the Fowler–Nordheim current in metal-oxide-degenerate semiconductor structures’, *J. Appl. Phys.*, vol. 78, no. 4, p. 2635, Jun. 1998 <https://doi.org/10.1063/1.360124>.
- [56] M. Lenzlinger and E. H. Snow, ‘Fowler-Nordheim Tunneling into Thermally Grown SiO<sub>2</sub>’, *J. Appl. Phys.*, vol. 40, no. 1, pp. 278–283, Jan. 1969 <https://doi.org/10.1063/1.1657043>.
- [57] D. Schroeder and A. Avellán, ‘Physical explanation of the barrier height temperature dependence in metal-oxide-semiconductor leakage current models’, *Appl. Phys. Lett.*, vol. 82, no. 25, pp. 4510–4512, Jun. 2003 <https://doi.org/10.1063/1.1587256>.
- [58] N. Hansen, ‘A CMA-ES for Mixed-Integer Nonlinear Optimization’, INRIA, report, Oct. 2011.
- [59] ‘RefractiveIndex.INFO - Refractive index database’. [Online]. Available: <https://refractiveindex.info/>. [Accessed: 26-Oct-2018].
- [60] S. Clemente, ‘Transient thermal response of power semiconductors to short power pulses’, *IEEE Trans. Power Electron.*, vol. 8, no. 4, pp. 337–341, Oct. 1993 <https://doi.org/10.1109/63.261001>.
- [61] Z. Khatir, S. Lefebvre, and F. Saint-Eve, ‘Experimental and numerical investigations on delayed short-circuit failure mode of single chip IGBT devices’, *Microelectron. Reliab.*, vol. 47, no. 2, pp. 422–428, Feb. 2007 <https://doi.org/10.1016/j.microrel.2006.05.004>.
- [62] A. Castellazzi, A. Fayyaz, L. Yang, M. Riccio, and A. Irace, ‘Short-circuit robustness of SiC Power MOSFETs: Experimental analysis’, in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC’s (ISPSD)*, 2014, pp. 71–74 <https://doi.org/10.1109/ISPSD.2014.6855978>.
- [63] B. Kaczer, R. Degraeve, A. D. Keersgieter, K. V. de Mierop, V. Simons, and G. Groeseneken, ‘Consistent model for short-channel nMOSFET after hard gate oxide breakdown’, *IEEE Trans. Electron Devices*, vol. 49, no. 3, pp. 507–513, Mar. 2002 <https://doi.org/10.1109/16.987123>.
- [64] W. Sanfins, D. Risaletto, F. Richardeau, G. Blondel, M. Chemin, and P. Baudesson, ‘Preliminary failure-mode characterization of emerging direct-lead-bonding power module. Comparison with standard wire-bonding interconnection’, *Microelectron. Reliab.*, vol. 55, no. 9, pp. 1956–1960, Aug. 2015 <https://doi.org/10.1016/j.microrel.2015.06.006>.
- [65] E. Wu, E. Nowak, J. Aitken, W. Abadeer, L. K. Han, and S. Lo, ‘Structural dependence of dielectric breakdown in ultra-thin gate oxides and its relationship to soft breakdown modes and device failure’, in *International Electron Devices Meeting 1998. Technical Digest (Cat. No.98CH36217)*, 1998, pp. 187–190 <https://doi.org/10.1109/IEDM.1998.746316>.
- [66] H. S. Carslaw and J. C. Jaeger, *Conduction of Heat in Solids*. Oxford Science.
- [67] T. Meynard, *Analysis and Design of Multicell DCDC Converters Using Vectorized Models*. John Wiley & Sons, 2015.



- [68] L. L. Snead, T. Nozawa, Y. Katoh, T.-S. Byun, S. Kondo, and D. A. Petti, ‘Handbook of SiC properties for fuel performance modeling’, *J. Nucl. Mater.*, vol. 371, no. 1, pp. 329–377, Sep. 2007 <https://doi.org/10.1016/j.jnucmat.2007.05.016>.
- [69] J. E. Hatch, *Aluminum: Properties and Physical Metallurgy*. ASM International, 1984.
- [70] P. Antognetti and G. Massobrio, *Semiconductor Device Modeling with Spice*. New York, NY, USA: McGraw-Hill, Inc., 1990.
- [71] T. T. Mnatsakanov, L. I. Pomortseva, and S. N. Yurkov, ‘Semiempirical model of carrier mobility in silicon carbide for analyzing its dependence on temperature and doping level’, *Semiconductors*, vol. 35, no. 4, pp. 394–397, Apr. 2001 <https://doi.org/10.1134/1.1365181>.
- [72] S. Potbhare, N. Goldsman, A. Lelis, J. M. McGarrity, F. B. McLean, and D. Habersat, ‘A Physical Model of High Temperature 4H-SiC MOSFETs’, *IEEE Trans. Electron Devices*, vol. 55, no. 8, pp. 2029–2040, Aug. 2008 <https://doi.org/10.1109/TED.2008.926665>.
- [73] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*. John Wiley & Sons, 2006.
- [74] O. Kordina, J. P. Bergman, C. Hallin, and E. Janzén, ‘The minority carrier lifetime of n-type 4H- and 6H-SiC epitaxial layers’, *Appl. Phys. Lett.*, vol. 69, no. 5, pp. 679–681, Jul. 1996 <https://doi.org/10.1063/1.117804>.
- [75] T. Hayashi, K. Asano, J. Suda, and T. Kimoto, ‘Temperature and injection level dependencies and impact of thermal oxidation on carrier lifetimes in p-type and n-type 4H-SiC epilayers’, *J. Appl. Phys.*, vol. 109, no. 1, p. 014505, Jan. 2011 <https://doi.org/10.1063/1.3524266>.
- [76] M. E. Levinshtein, T. T. Mnatsakanov, P. A. Ivanov, R. Singh, K. G. Irvine, and J. W. Palmour, ‘Carrier lifetime measurements in 10 kV 4H-SiC diodes’, *Electron. Lett.*, vol. 39, no. 8, pp. 689–691, Apr. 2003 <https://doi.org/10.1049/el:20030449>.
- [77] D. M. Nguyen, C. Raynaud, N. Dheilly, M. Lazar, D. Tournier, P. Brosselard, and D. Planson, ‘Experimental determination of impact ionization coefficients in 4H-SiC’, *Diam. Relat. Mater.*, vol. 20, no. 3, pp. 395–397, Mar. 2011 <https://doi.org/10.1016/j.diamond.2011.01.039>.
- [78] T. Ishigaki, H. Kageyama, A. Shima, D. Hisamoto, K. Tomiyama, Y. Sasaki, and S. Ibori, ‘Freewheeling Diode-Less SiC-Inverter with Fast Short-Circuit Protection for Industrial Applications’, in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–5.
- [79] M. Kudoh, Y. Hoshi, S. Momota, T. Fujihira, and K. Sakurai, ‘Current sensing IGBT for future intelligent power module’, in *8th International Symposium on Power Semiconductor Devices and ICs. ISPSD '96. Proceedings*, 1996, pp. 303–306 <https://doi.org/10.1109/ISPSD.1996.509503>.
- [80] K. Yuasa, S. Nakamichi, and I. Omura, ‘Ultra high speed short circuit protection for IGBT with gate charge sensing’, in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, pp. 37–40.

- [81] T. Horiguchi, S. Kinouchi, Y. Nakayama, T. Oi, H. Urushibata, S. Okamoto, S. Tominaga, and H. Akagi, ‘Short-Circuit Protection Method Based on a Gate Charge Characteristic’, *IEEE J. Ind. Appl.*, vol. 4, no. 4, pp. 360–369, Jul. 2015 <https://doi.org/10.1541/ieejia.4.360>.
- [82] Y. Barazi, N. Rouger, and F. Richardeau, ‘Comparison between ig Integration and vgs Derivation methods dedicated to fast Short-Circuit 2D-Diagnosis for Wide Band Gap Power Devices’, presented at the ELECTRIMACS 2019, Salerno, Italy, 2019.
- [83] I. T. AG, ‘IR2114SS - Infineon Technologies’. [Online]. Available: <https://www.infineon.com/cms/en/product/power/gate-driver-ics/ir2114ss/>. [Accessed: 22-Feb-2019].
- [84] D. Sadik, J. Colmenares, G. Tolstoy, D. Pefitsis, M. Bakowski, J. Rabkowski, and H. Nee, ‘Short-Circuit Protection Circuits for Silicon-Carbide Power Transistors’, *IEEE Trans. Ind. Electron.*, vol. 63, no. 4, pp. 1995–2004, Apr. 2016 <https://doi.org/10.1109/TIE.2015.2506628>.
- [85] K. Oberdieck, S. Schuch, and R. W. DeDoncker, ‘Short circuit detection using the gate charge characteristic for Trench/Fieldstop-IGBTs’, in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016, pp. 1–10 <https://doi.org/10.1109/EPE.2016.7695402>.
- [86] T. Oeder, A. Castellazzi, and M. Pfof, ‘Electrical and thermal failure modes of 600V p-gate GaN HEMTs’, *Microelectron. Reliab.*, vol. 76–77, pp. 321–326, Sep. 2017 <https://doi.org/10.1016/j.microrel.2017.06.046>.
- [87] M. Riccio, G. Romano, A. Borghese, L. Maresca, G. Breglio, A. Irace, and G. Longobardi, ‘Experimental analysis of electro-thermal interaction in normally-off pGaN HEMT devices’, in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*, 2018, pp. 1–6 <https://doi.org/10.1109/ESARS-ITEC.2018.8607347>.
- [88] Richardeau Frédéric, Vinnac Sébastien, Mosser Franck, Rashed Amgad, Boetsch Antoine, Chillon Suzan, Hors Daniel, Kabalo Mohammad, and Imbert Bruno, ‘First practical evaluation of a complete fail-safe and 100% fault-tolerant inverter for critical load in aerospace application’, presented at the 8th International Conference on Recent Advances in Aerospace Actuation Systems and Components R3ASC’18, Toulouse, 2018.
- [89] K. Sharifabadi, L. Harnefors, H.-P. Nee, S. Norrga, and R. Teodorescu, *Design, Control, and Application of Modular Multilevel Converters for HVDC Transmission Systems*. John Wiley & Sons, 2016.
- [90] S. Sanchez, ‘Contribution à la conception de coupleurs magnétiques robustes pour convertisseurs multicellulaires parallèles’, Toulouse, INPT, 2015.
- [91] J. Brandelero, J. Ewanchuk, N. Degrenne, and S. Mollov, ‘Lifetime extension through Tj equalisation by use of intelligent gate driver with multi-chip power module’, *Microelectron. Reliab.*, vol. 88–90, pp. 428–432, Sep. 2018 <https://doi.org/10.1016/j.microrel.2018.07.034>.

- [92] A. Castellazzi, A. Fayyaz, and R. Kraus, ‘SiC MOSFET Device Parameter Spread and Ruggedness of Parallel Multichip Structures’, *Materials Science Forum*, 2018. [Online]. Available: <https://www.scientific.net/MSF.924.811>. [Accessed: 26-Feb-2019] <https://doi.org/10.4028/www.scientific.net/MSF.924.811>.
- [93] H. Li, S. Munk-Nielsen, X. Wang, R. Maheshwari, S. Bęczkowski, C. Uhrenfeldt, and W.- Franke, ‘Influences of Device and Circuit Mismatches on Paralleling Silicon Carbide MOSFETs’, *IEEE Trans. Power Electron.*, vol. 31, no. 1, pp. 621–634, Jan. 2016 <https://doi.org/10.1109/TPEL.2015.2408054>.
- [94] M. Riccio, A. Borghese, G. Romano, V. d’Alessandro, A. Fayyaz, A. Castellazzi, L. Maresca, G. Breglio, and A. Irace, ‘Analysis of Device and Circuit Parameters Variability in SiC MOSFETs-Based Multichip Power Module’, in *2018 20th European Conference on Power Electronics and Applications (EPE’18 ECCE Europe)*, 2018, p. P.1-P.9.

## BIBLIOGRAPHIE DE L'AUTEUR AU MOMENT DE LA SOUTENANCE (27/09/2019)

### Articles de revue

- [1] F. Boige and F. Richardeau, 'Gate leakage-current analysis and modelling of planar and trench power SiC MOSFET devices in extreme short-circuit operation', *Microelectron. Reliab.*, vol. 76–77, no. Supplement C, pp. 532–538, Sep. 2017 <https://doi.org/10.1016/j.microrel.2017.06.084>.
- [2] F. Boige, F. Richardeau, D. Trémouilles, S. Lefebvre, and G. Guibaud, 'Investigation on damaged planar-oxide of 1200V SiC power MOSFETs in non-destructive short-circuit operation', *Microelectron. Reliab.*, vol. 76–77, no. Supplement C, pp. 500–506, Sep. 2017 <https://doi.org/10.1016/j.microrel.2017.06.085>.
- [3] F. Boige, F. Richardeau, S. Lefebvre, J.-M. Blaquière, G. Guibaud, and A. Bourenane, 'Ensure an original and safe “fail-to-open” mode in planar and trench power SiC MOSFET devices in extreme short-circuit operation', *Microelectron. Reliab.*, vol. 88–90, pp. 598–603, Sep. 2018 <https://doi.org/10.1016/j.microrel.2018.07.026>.
- [4] F. Boige, F. Richardeau, S. Lefebvre, and M. Cousineau, 'SiC power MOSFET in short-circuit operation: Electro-thermal macro-modelling combining physical and numerical approaches with circuit-type implementation', *Math. Comput. Simul.*, vol. 158, pp. 375–386, Apr. 2019 <https://doi.org/10.1016/j.matcom.2018.09.020>.
- [5] F. Boige, D. Trémouilles, and F. Richardeau, 'Physical origin of the gate current surge during short-circuit operation of SiC MOSFET', *IEEE Electron Device Lett.*, pp. 1–1, 2019 <https://doi.org/10.1109/LED.2019.2896939>.
- [6] F. Richardeau and F. Boige, 'Circuit-type modelling of SiC power Mosfet in short-circuit operation including selective fail-to-open and fail-to-short modes competition', *Microelectron. Reliab.*, p. 113501, Sep. 2019 <https://doi.org/10.1016/j.microrel.2019.113501>.

### Articles de conférences

- [7] F. Boige, F. Richardeau, and S. Lefebvre, 'Global electro-thermal modelling and circuit-type simulation of SiC MOSFET power devices in short-circuit operation for critical system analysis', *ElectrIMACS*, May 2017.
- [8] François Boige, Asad Fayyaz, Alberto Castellazzi, Frederic Richardeau, and Sebastien Vinnac, 'Short-circuit robustness of parallel SiC MOSFETs and fail-safe mode strategy', presented at the EPE 209, Genova, Italy, 2019.
- [9] F. Richardeau, F. Boige, and S. Lefebvre, 'Gate leakage-current, damaged gate and open-circuit failure-mode of recent SiC Power Mosfet: Overview and analysis of unique properties for converter protection and possible future safety management', in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion*

*and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*, 2018, pp. 1–6 <https://doi.org/10.1109/ESARS-ITEC.2018.8607551>.

- [10] Asad Fayyaz, François Boige, Alberto Castellazzi, Frederic Richardeau, Andrea Irace, Gérald Guibaud, and Sebastien Vinnac, 'Aging and failure mechanisms of SiC Power MOSFETs under repetitive short-circuit pulses of different duration', presented at the International Conference on Silicon Carbide and Related Materials (ICSCRM) 2019, Kyoto, Japan, 2019.