

Technische Universität Dresden

**Vergleichende Untersuchungen von
Mehrpunkt-Schaltungstopologien mit zentralem
Gleichspannungszwischenkreis für Mittelspannungsanwendungen**

Dietmar Krug

der Fakultät Elektrotechnik und Informationstechnik der Technischen Universität
Dresden

zur Erlangung des akademischen Grades eines

Doktoringenieurs

(Dr.-Ing.)

genehmigte Dissertation

Vorsitzender: Prof. Dr. phil. nat. habil. Ronald Tetzlaff

Gutachter: Prof. Dr.-Ing. Steffen Bernet
Prof. Dr.-Ing. Rainer Marquardt (Universität der Bundeswehr, München)
Prof. Dr.-Ing. Peter Schegner

Tag der Einreichung: 13.05.2015

Tag der Verteidigung: 28.06.2016

Danksagung

Der Hauptteil dieser Forschungsarbeit wurde im Rahmen meiner Tätigkeit als wissenschaftlicher Mitarbeiter an der Technischen Universität Berlin angefertigt. Dort habe ich viele fachlich kompetente und sehr hilfsbereite Kollegen kennen gelernt.

Während dieser Tätigkeit wurde mir einerseits in fachlich tief greifenden Diskussionen und andererseits durch mehrere Forschungsprojekte mit externen Partnern die Möglichkeit eröffnet mein Fachwissen im Bereich der Leistungselektronik zu vertiefen.

Allen Kollegen, die mich auf diesem Weg unterstützt haben, möchte ich hiermit einen herzlichen Dank aussprechen.

Ganz besonderer Dank gilt dabei meinem Doktorvater Herrn Prof. Dr.-Ing. Steffen Bernet, der mir die Anfertigung dieser Forschungsarbeit ermöglichte und mich jederzeit mit seinem fundierten Fachwissen tatkräftig unterstützte.

Weiterhin bedanke ich mich bei ihm für das mir entgegengebrachte Vertrauen und die überaus große Geduld, ohne die eine Fertigstellung meiner Arbeit nicht möglich gewesen wäre. Neben den wertvollen fachlichen Diskussionen habe ich die Unterstützung und die Freiheit, die ich im Rahmen meiner Lehrtätigkeit hatte, sehr geschätzt.

Ganz herzlich möchte ich Herrn Prof. Dr.-Ing. Rainer Marquardt für das große Interesse an meiner Dissertation und für seine Tätigkeit als Gutachter der Promotionskommission danken.

Ich bedanke mich weiterhin bei den weiteren Professoren der Promotionskommission Herrn Prof. Dr. phil. nat. habil. Ronald Tetzlaff und Herrn Prof. Dr.-Ing. Peter Schegner für die Durchführung der Prüfung.

Speziell möchte ich mich auch noch bei Herrn Dr.-Ing. Thomas Brückner für die zahlreichen Fachdiskussionen in unserem gemeinsamen Arbeitszimmer bedanken.

Dr.-Ing. Jens Weber danke ich für die organisatorische Unterstützung bei der Einreichung meiner Dissertation sowie für die Vorbereitung auf die Prüfung.

Abschließend möchte ich meine Eltern Doris und Peter Krug erwähnen, die mir das Studium der Elektrotechnik ermöglicht haben. Meiner Ehefrau Franziska gilt besonderer Dank für die Unterstützung während der Erstellung dieser Arbeit.

Dietmar Krug

Nürnberg, Juli 2016

Inhaltsverzeichnis

<i>Liste der Variablen</i>	i
<i>Liste der Abkürzungen</i>	v
1 Einleitung	1
2 Überblick von Mittelspannungsstromrichtertopologien und Leistungshalbleitern	3
2.1 Mittelspannungsumrichtertopologien	3
2.2 Leistungshalbleiter	8
3 Aufbau und Funktion von Mittelspannungsstromrichtertopologien	10
3.1 Neutral Point Clamped Stromrichter (NPC)	10
3.1.1 3-Level Neutral Point Clamped Stromrichter (3L-NPC)	10
3.1.2 Mehrstufige NPC-Umrichter	21
3.2 Flying Capacitor Stromrichter (FLC)	23
3.2.1 3-Level Flying Capacitor Stromrichter (3L-FLC)	23
3.2.2 4-Level Flying Capacitor-Stromrichter (4L-FLC)	33
3.2.3 Mehrstufige Flying Capacitor-Stromrichter (NL-FLC)	39
3.3 Stacked Multicell Stromrichter (SMC)	43
3.3.1 5L-Stacked Multicell Stromrichter (5L-SMC)	43
3.3.2 N-Level Stacked Multicell Umrichter (NL-SMC)	51
4 Modellierung und Auslegung der Stromrichter	59
4.1 Verlustmodell	59
4.1.1 Sperrschichttemperaturen	64
4.2 Auslegung der Leistungshalbleiter	65
4.2.1 Stromauslegung	67
4.2.2 Worst-Case Arbeitspunkte	69
4.3 Auslegung der Zwischenkreiskondensatoren	75
4.3.1 Spannungszwischenkreis	76
4.3.2 Lastseitige Strombelastung und resultierende Spannungswelligkeit im Spannungszwischenkreis	77
4.3.3 Abhängigkeit der Strombelastung und der Spannungswelligkeit im Spannungszwischenkreis vom Frequenzverhältnis m_f	95
4.3.4 Netzseitige Zwischenkreiseinspeisung	97
4.3.4.1 Zwischenkreiseinspeisung mit idealisiertem Transformatormodell	98
4.3.4.2 Zwischenkreiseinspeisung mit erweitertem Transformatormodell	101
4.3.5 Simulation des Gesamtsystems	104
4.4 Auslegung der Flying Capacitors	107
4.4.1 Strombelastung der Flying Capacitors	109
4.4.2 Spannungswelligkeit über den Flying Capacitors	113
4.4.3 Abhängigkeit der Spannungswelligkeit der Flying Capacitors vom Frequenzverhältnis m_f	124
4.4.4 Auswirkung der Spannungswelligkeit der Flying Capacitors auf die Ausgangsspannungen	126
5 Vergleich der Stromrichtertopologien	129
5.1 Daten für den Stromrichtervergleich	129
5.2 Basis des Vergleiches	132
5.3 Vergleich für einen 2,3 kV Mittelspannungsstromrichter	134
5.3.1 Vergleich bei verschiedenen Schaltfrequenzen	134
5.3.2 Vergleich bei maximaler Trägerfrequenz	142

5.4	Vergleich für einen 4,16 kV Mittelspannungsstromrichter	146
5.4.1	Vergleich bei verschiedenen Schaltfrequenzen	146
5.4.2	Vergleich bei maximaler Trägerfrequenz	153
5.5	Vergleich für einen 6,6 kV Mittelspannungsstromrichter	156
5.5.1	Vergleich bei verschiedenen Schaltfrequenzen	156
5.5.2	Vergleich bei maximaler Trägerfrequenz	162
5.6	Vergleich von 2,3 kV, 4,16 kV und 6,6 kV Mittelspannungsstromrichtern	165
5.6.1	Vergleich bei identischer installierter Schalterleistung S_S	165
5.6.2	Vergleich bei einer identischen Ausgangsleistung	167
6	Zusammenfassung und Bewertung	171
Anhang		175
A.	Halbleiterverlustmodell	175
Referenzen		177

Liste der Variablen

Variable	Beschreibung
A,B	Koeffizienten zur Berechnung der Halbleiterverluste
C_{dc}	Zwischenkreiskapazität
c_f	Stromskalierungsfaktor (für IGBT / Dioden)
C_{FLC}	Kapazität sämtlicher Flying Capacitors
$C_{Fli,x}$	Flying Capacitor beim FLC-Umrichter
$C_{ji,x}$	Flying Capacitor beim SMC-Umrichter
C_n	Nennkapazität
C_{th}	Thermische Kapazität
$C_{th,ch}$	Thermische Kapazität (Gehäuse-Kühlkörper)
$C_{th,ha}$	Thermische Kapazität (Kühlkörper-Umgebung bzw. Kühlmedium)
$C_{th,i,y}$	Thermische Einzelkapazitäten (Sperschicht-Gehäuse)
$C_{th,jc}$	Thermische Kapazität (Sperschicht-Gehäuse)
dr	Ohmscher Spannungsabfall
dx	Induktiver Spannungsabfall
E_{dc}	Gespeicherte Energie im Zwischenkreis
$E_{on/off}$	Ein- und Ausschaltverlustenergie
E_{FLC}	Gespeicherte Energie der Flying Capacitors
E_{ges}	Gesamte gespeicherte Energie
E_{ly}	Durchlassverlustleistungsenergie
E_{rec}	Recovery-Ausschaltverlustenergie
f_i	Grundschwingungsfrequenz
f_{icb}	Frequenz um der das 1. Trägerband in der Ausgangsspannung auftritt
f_c	Trägersignalfrequenz (abgekürzt: Trägerfrequenz)
f_v	Oberschwingungsfrequenz
f_s	durchschnittliche Schaltfrequenz
I_0	Magnetisierungsstrom
i_c	Zwischenkreiskondensatorstrom
$I_{C,n}$	Nennstrom des IGBT
$i_{Ci,x}$	Flying Capacitor Strom beim FLC-Umrichter
$i_{Cji,x}$	Flying Capacitor Strom beim SMC-Umrichter
$i_{dc,L}$	Lastseitiger Zwischenkreisstrom
$i_{dc,L-}$	Lastseitiger Zwischenkreisstrom N-Schiene
$i_{dc,L+}$	Lastseitiger Zwischenkreisstrom P-Schiene
$i_{dc,L0}$	Lastseitiger Zwischenkreisstrom Mittelpunktsanbindung
$i_{dc,N}$	Netzseitiger Zwischenkreisstrom
$I_{f,n}$	Nennstrom der Diode
i_s	Halbleiterstrom
i_x	Phasenstrom
$I_{x,N}$	Netzstrom
$I_{x,p}$	Primärseitiger Transformatorstrom

Variable	Beschreibung
$I_{x,s}$	Sekundärseitiger Transformatorstrom
$L'_{\sigma s}$	Auf die Primärseite bezogene sekundärseitige Streuinduktivität
L_k	Kurzschlussinduktivität Transformator
L_m	Magnetisierungsinduktivität
$L_{\sigma p}$	Primärseitige Streuinduktivität
$L_{\sigma s}$	Sekundärseitige Streuinduktivität
m^*	Modulationsfunktion
m_a	Modulationsgrad
m_C^*	Stückweise stetige Funktion für die Stromflussdauer (Flying Capacitors)
m_f	Frequenzverhältnis
N	Anzahl der Spannungsstufen in der Ausgangsspannung
N_{Diode}	Anzahl der Dioden
N_{IGBT}	Anzahl der IGBTs
N_{Kom}	Anzahl der Kommutierungspfade
N_{pY}, N_{pA}	Windungszahlen primärseitige Stern- bzw. Dreieckwicklung
N_{Sw}	Anzahl der idealen Schalter
N_{sY}, N_{sA}	Windungszahlen sekundärseitige Stern- bzw. Dreieckwicklung
N_{Sz}	Anzahl der Schaltzustände
p	Anzahl der FLC Zellen
P_C	Stromrichterausgangswirkleistung
$P_{on/off}$	Ein- bzw. Ausschaltverlustleistung
P_y	Durchlassverlustleistung ($y = S$ (Schalter), D (Diode))
P_S	Gesamtschaltverlustleistung
P_V	Gesamtverluste
P_{Vy}	Verlustleistung ($y = S$ (Schalter), D (Diode))
q	Anzahl der SMC-Stacks
R'_s	Auf die Primärseite bezogener sekundärseitiger Wicklungswiderstand
$r_{\sigma y}$	differentieller Widerstand
R_k	Kurzschlusswiderstand Transformator
R_p	Primärseitiger Wicklungswiderstand
R_s	Sekundärseitiger Wicklungswiderstand
R_{th}	thermischer Widerstand
$R_{th, ch}$	Thermischer Widerstand (Gehäuse-Kühlkörper)
$R_{th, ha}$	Thermischer Widerstand (Kühlkörper-Umgebung bzw. Kühlmedium)
$R_{th, i, y}$	Thermische Einzelwiderstände (Sperrschicht-Gehäuse)
$R_{th, je}$	Thermischer Widerstand (Sperrschicht-Gehäuse)
S_C	Stromrichterausgangsleistung
$S_{n, T}$	Nennscheinleistung des Trafos
S_S	Installierte Schalterleistung
S_Z	Schaltzustand
$s_{zi, x}$	Zeitlicher Verlauf der Schaltzustände der Zelle i
T_1	Grundschwingungsperiode
T_C	Trägersignalperiode

Variable	Beschreibung
$t_{onC,NL-FLC/SMC}$	Zeit des Stromflusses durch die Flying Capacitors
$t_{C,NL-FLC/SMC}$	Lade- und Entladezeit der Flying Capacitors
t_{step}	Abtastzeit der Simulation
U_{by}	Schleusenspannung
U_{Basis}	Kommutierungsspannung der messtechnisch erfassten Halbleiterverluste (Datenblattangaben)
u_C	Kondensatorspannung
$\Delta U_{C,FLC}$	Kondensatorspannungswelligkeit
u_{carr}	Trägersignal
U_{CE}	Kollektor-Emitter Spannung
$U_{CE,n}$	Nennspannung des IGBT
$U_{CE,sat}$	Kollektor-Emitter Sättigungsspannung
$u_{C1,x}$	Flying Capacitor Spannung beim FLC-Umrichter
$u_{Cj1,x}$	Flying Capacitor Spannung beim SMC-Umrichter
U_{de}	Zwischenkreisspannung
$U_{de,einsp}$	Simulierte Zwischenkreisspannung der Einspeisung
$U_{de,i}$	Ideelle Zwischenkreisspannung
u_{on}	Durchlassspannung eines Halbleiterbauelementes
U_{fn}	Nennspannung der Diode
U_{GE}	Gate-Emitter Spannung
$u_{k,p1/s1/2,rel}$	Bezogene Kurzschlussspannung (primär ↔ sekundär)
$u_{k,s1/s2,rel}$	Bezogene Kurzschlussspannung (sekundär ↔ sekundär)
U_{Kom}	Kommutierungsspannung
$U_{Kom@100FIT}$	Kommutierungsspannung bei einer Ausfallrate von 100 FIT
u_{NM}	Sternpunkt-Mittelpunkt Spannung
u_{refx}	Spannungsreferenzsignal
u_{UV}	Außenleiterspannung
$U_{x,p}$	Primärseitige Transformatorspannung
$U_{x,s}$	Sekundärseitige Transformatorspannung
u_{xM}	Phasen-Mittelpunkt Spannung
$u_{xM,NL-FLC}^*$	Fiktive Mittelpunktspannung
U_{xN}	Phasen-Sternpunkt Spannung
$\ddot{u}_{Y\Delta}, \ddot{u}_{\Delta\Delta}, \ddot{u}_{AY}, \ddot{u}_{YY}$	Übersetzungsverhältnisse
X/R	Reaktanz-Widerstands-Verhältnis
Z_k	Kurzschlussimpedanz Transformator
Z_n	Nennimpedanz

Variable	Beschreibung
η	Wirkungsgrad
ϑ_a	Umgebungstemperatur
ϑ_c	Bodenplattentemperatur
ϑ_h	Kühlkörpertemperatur
$\vartheta_{j,y}$	Sperrschichttemperatur
κ	Verhältnis R_s / R_p
ν	Ordnungszahl
φ_T	Phasenverschiebungswinkel der Trägersignale
φ_i	Phasenverschiebungswinkel des Grundswingungstromes
ω_1	Grundswingungskreisfrequenz

Liste der Abkürzungen

Abkürzung	Beschreibung
AC	Alternating Current
ANPC	Active Neutral Point Clamped Umrichter
APOD	Alternative Phase Opposition Disposition
CSI	Current Source Converter / Stromzwischenkreis Umrichter
D_{1x}	Diode ($x = \text{Phase U/V/W}$)
FIT	1 Fehler in 10^9 Betriebsstunden
FLC	Flying Capacitor Umrichter
GCT	Gate Commutated Thyristor
GTO	Gate Turn Off Thyristor
HB	H-Bridge (H-Brücken Topologie)
HV	High Voltage
IGBT	Insulated Gate Bipolar Transistor
IGCT	Integrated Gate Commutated Thyristor
L	Level
LCI	Load Commutated Converter / Lastgeführter Umrichter
M	Mittelpunkt (des Spannungszwischenkreises)
M2C	Modular Multilevel Umrichter
Mod.	Modulation
ModAPOD	Modifizierte APOD-Modulation
ModPD	Modifizierte PD-Modulation
MOS	Metalloxid Semiconductor
NPC	Neutral Point Clamped Umrichter
PD	Phase Disposition
POD	Phase Opposition Disposition
PP	Press Pack
PWM	Pulse Width Modulation / Pulsbreitenmodulation
S_{1x}	Halbleiterschalter ($x = \text{Phase U/V/W}$)
SCHB	Series Connected H-Bridge Converter
SMC	Stacked Multicell Umrichter
SOA	Safe Operating Area
THD	Total Harmonic Distortion
VSC	Voltage Source Converter / Spannungszwischenkreis Umrichter
WTHD	Weighted Total Harmonic Distortion
x	$x = \text{U/V/W (Phase)}$
y	D: Diode / S: aktiver Schalter

1 Einleitung

Elektrische Antriebe sind seit vielen Jahren in sehr unterschiedlichen Anwendungen im Einsatz. Durch die Entwicklung von abschaltbaren Halbleiterschaltern mit Sperrspannungen von 3,3 kV bis 6,5 kV und die wachsende Nachfrage nach immer größeren Antriebsleistungen haben sich neben den Niederspannungsantrieben (mit Anschlussspannungen von 400 V-690 V) Mittelspannungsantriebe (2,3 kV - 13,8 kV) in vielen industriellen Antriebsaufgaben durchgesetzt. Heutzutage werden Mittelspannungsantriebe hauptsächlich für folgende Anwendungen eingesetzt: Traktionsantriebe, Schiffsantriebe, Pumpen, Lüfter, Verdichter, Extruder, Zentrifugen, Rohrmühlen, Walzstraßen, Positionier- und Förderantriebe. Neben diesen industriell geprägten Antriebsanwendungen werden Stromrichter im Mittelspannungsbereich aktuell auch in Windkraftanlagen, Gezeiten-, Pumpspeicherkraftwerken und Netzkupplungen getestet bzw. kommerziell verwendet. Die Ausgangsleistungen von derzeit am Markt verfügbaren selbstgeführten Mittelspannungsstromrichtern liegen zwischen 1 MVA und 21 MVA pro Einzelgerät. Für Antriebsaufgaben mit größeren Leistungen werden entweder netz- bzw. lastkommutierte Stromrichtertopologien (Load Commutated Inverter) verwendet oder selbstgeführte Einzelgeräte parallel geschaltet, wodurch Antriebseinheiten mit Leistungen von > 100 MVA realisiert werden können.

Mittelspannungsantriebe benötigen als Stellglied einen Mittelspannungsstromrichter, der sowohl die Amplitude als auch die Frequenz der Ausgangsspannung variieren kann. Im Traktionsbereich überwiegt eindeutig die 2-Level Stromrichtertopologie, wobei High-Voltage (HV) Insulated Gate Bipolar Transistoren (IGBTs) bzw. Gate Turn Off Thyristoren (GTOs) zum Einsatz kommen. Die Maschinenspannungen liegen bei Traktionsanwendungen in den meisten Fällen um die 2 kV, womit die 2-Level Stromrichtertopologie mit den gegenwärtig beziehbaren Leistungshalbleitern eine einfache und robuste Stromrichtertopologie darstellt. Bei industriellen Anwendungen mit Maschinenspannungen von 2,3 kV - 6,6 kV ist hingegen die 3-Level Neutral Point Clamped (3L-NPC) Stromrichtertopologie mit HV-IGBTs bzw. mit Integrated Gate Commutated Thyristors (IGCTs) für Ausgangsleistungen < 21 MVA pro Einzelgerät am Markt weit verbreitet. Der Grund hierfür liegt einerseits an einer im Vergleich zum 2-Level Stromrichter halbierten Kommutierungsspannung der Halbleiterschalter und andererseits an einer besseren Qualität der Ausgangsspannung (geringerer Oberschwingungsgehalt), womit auch Standardmaschinen (Netzmaschinen) bei gleichzeitiger Verwendung eines Filters betrieben werden können (z.B. für Retrofit-Anwendungen).

Die Nachfrage nach immer größeren Leistungen und Ausgangsspannungen > 4,16 kV im industriellen Antriebsbereich einerseits und andererseits die strengeren Anforderungen an die Qualität der Ausgangsspannung von Stromrichtern haben dazu geführt, dass eine intensive Forschung und Entwicklung von neuartigen Stromrichtertopologien eingesetzt hat. Ein weiterer Grund für diese Entwicklung ist, dass Ausgangsspannungen > 4.16 kV aufgrund der begrenzten maximalen Blockierspannung von aktuellen HV-Halbleiterschaltern, nur mittels einer Serienschaltung von HV-Leistungshalbleitern im 3L-NPC Umrichter oder durch einen Hochsetz-Transformator zu realisieren sind.

So genannte Multilevel-Umrichter Topologien für Anwendungen im Mittelspannungsbereich sind heutzutage Gegenstand vieler Forschungsvorhaben und einige Firmen haben bereits kommerzielle Produkte entwickelt, die auf unterschiedlichen Stromrichtertopologien basieren. Alle diese Multilevel-Umrichter Topologien besitzen die Eigenschaft, dass sie ohne eine Serienschaltung von HV-Halbleiterschaltern pro Schalterposition Ausgangsspannungen

>4,16 kV generieren können. Darüber hinaus besitzen sie durch die höhere Anzahl an Spannungsstufen in der Ausgangsspannung ($N > 3$) einen in der Grundschwingung der Sinusfunktion angenäherten Spannungsverlauf, welcher die Möglichkeit eröffnet, die strengen Anforderungen an die Qualität der Ausgangsspannung sowohl netz- als auch maschinenseitig ohne zusätzlichen Filter- bzw. Drosselaufwand einzuhalten. Des Weiteren reduziert die genannte Ausgangsspannungscharakteristik sowohl die dynamische Überspannung bei Verwendung von langen Kabeln als auch die dynamische Spannungsbeanspruchung von Isolationssystemen in Maschinen, Drosseln und Transformatoren. Hingegen steigt sowohl die Anzahl als auch der Aufwand an aktiven und passiven Bauelementen bei Verwendung von Multi-Level Stromrichtertopologien, was einen direkten Einfluss auf die Zuverlässigkeit solcher Systeme hat. Dieser Nachteil kann aber durch Redundanzkonzepte, die aufgrund des meist modularen Aufbaus von Multi-Level Stromrichtertopologien in der Regel ohne einen erheblichen Mehraufwand angewendet werden können, minimiert werden.

Der 4-Level Flying Capacitor Umrichter (FLC), der Series-Connected-H-Bridge Umrichter (SCHB) und eine hybride 5-Level-Stromrichtertopologie, welche aus einer Zusammenschaltung eines 3L-NPC Umrichters und einer FLC Zelle besteht, werden als Multilevel Stromrichter Produkte im Mittelspannungsbereich derzeit am Markt angeboten.

Die Motivation dieser Arbeit besteht nun darin, einen detaillierten Vergleich von ausgewählten Multilevel-Stromrichter Topologien für industrielle Anwendungen im Mittelspannungsbereich durchzuführen, da bisherige Untersuchungen die elektrischen Eigenschaften entweder nur isoliert an einer Topologie dargestellten oder keinen Bezug zu industriellen Anwendungen beinhalteten. In dieser Arbeit werden maßgeblich die Funktion und die Auslegung wesentlicher Leistungsteilkomponenten der FLC Topologie sowie der Stacked-Multicell Topologie (SMC) im Vergleich zur 3L-NPC Topologie detailliert beschrieben. Es werden dabei sowohl grundlegende Betrachtungen bezüglich des Aufwandes an Halbleitern und der gespeicherten Energien für eine N-stufige Ausgangsspannungsform hergeleitet sowie die Vor- und Nachteile der einzelnen Topologien vergleichend gegenüber gestellt. Die Einschränkung der Untersuchungen auf die FLC, SMC und NPC Topologie ist darin begründet, dass diese drei Stromrichtertopologien, im Gegensatz zur SCHB Topologie, mit einem zentralen Spannungszwischenkreis betrieben werden.

Die vorliegende Arbeit ist in 6 Kapitel unterteilt. Einleitend ist in Kapitel 2 ein Überblick von derzeit am Markt verfügbaren HV-Leistungshalbleitern und Stromrichtern für industrielle Anwendungen im Mittelspannungsbereich dargestellt. Kapitel 3 beinhaltet eine detaillierte Beschreibung des Aufbaus und der Funktion der für den Vergleich selektierten Stromrichtertopologien. Dies umfasst auch eine Darstellung der Modulation der Ausgangsspannungen, sowie deren Amplitudenspektren. Die Modellierung und Auslegung der untersuchten Stromrichtertopologien ist Bestandteil des Kapitels 4. In diesem Kapitel finden sich detailliert die Herleitungen für die in den Vergleichen benutzten Kennwerte (z.B. gespeicherte Energien im Zwischenkreis / in den Flying Capacitors). Im Kapitel 5 sind die für den Vergleich der Stromrichtertopologien verwendeten Halbleiter sowie die gewählten Stromrichterdaten dargestellt. Des Weiteren wird im Kapitel 5 der eigentliche Vergleich der Stromrichtertopologien durchgeführt, wobei die Ergebnisse der Kapitel 3-4 herangezogen werden. Die Kennwerte der betrachteten Stromrichtertopologien (z.B. Halbleiterverluste, Halbleiterverlustverteilung, installierte Schalterleistung; THD) sind dabei für verschiedene Ausgangsspannungsklassen (2,3 kV, 4,16 kV und 6,6 kV) und Schaltfrequenzen ermittelt worden.

Eine Zusammenfassung und Bewertung der Ergebnisse dieser Arbeit sind in Kapitel 6 dargestellt.

2 Überblick von Mittelspannungsstromrichtertopologien und Leistungshalbleitern

2.1 Mittelspannungsumrichtertopologien

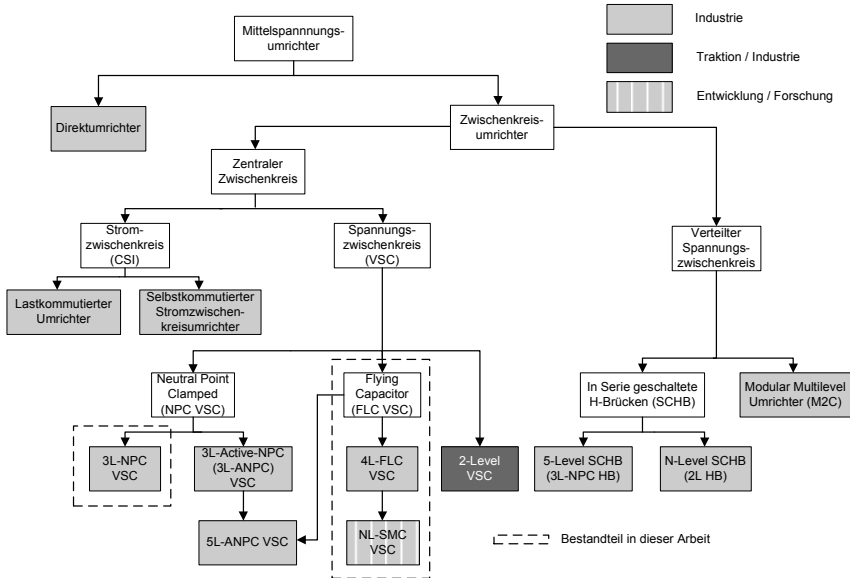


Abb. 2.1: Einteilung von Mittelspannungsstromrichtertopologien

Eine Einteilung von Stromrichtertopologien für Anwendungen im Mittelspannungsbereich ist in Abb. 2.1 dargestellt. Neben den Direktumrichtern in Thyristortechnik, die hier nicht weiter betrachtet werden, lassen sich die Mittelspannungsstromrichter, welche einen Zwischenkreis besitzen, grob in Topologien mit einem zentralen Zwischenkreis sowie mit verteilten Zwischenkreisen unterteilen. Zu den Stromrichtern mit einem zentralen Zwischenkreisespeicherung zählen sowohl die Strom- als auch die Spannungszwischenkreisumrichter.

Stromzwischenkreisumrichter sind gegenwärtig im Wesentlichen in zwei verschiedenen Ausführungen auf dem Markt verfügbar: Einerseits als last- bzw. netzkommutierter Umrichter (LCI) und andererseits als selbstkommutierter Umrichter (PWM-CSI). Die last- bzw. netzkommutierten Stromzwischenkreisumrichter in Thyristortechnik (6/12/24-Puls-Brückenschaltung) sind aktuell noch im oberen Leistungsbereich (10 MW-70 MW) weit verbreitet. Da diese grundsätzlich induktive Blindleistung zur Kommutierung benötigen ist deren Anwendungsbereich auf Antriebe mit übererregten Synchronmaschinen eingeschränkt. Darüber hinaus resultiert je nach Pulszahl ein sehr überschwingungsbehafteter Strom im Netz bzw. in der Last. Hingegen können mit selbstgeführten Stromzwischenkreisumrichtern, die hauptsächlich mit symmetrisch sperrenden GCTs betrieben werden, Anwendungen mit

Asynchron- und Synchronmaschinen abgedeckt werden und der durch Pulsbreitenmodulation (PWM) generierte ausgangsseitige Strom hat einen im Vergleich zum LCI geringeren Oberschwingungsgehalt. Aufgrund von ausgangsseitigen Stromdifferenzen zwischen den PWM-Strömen des Umrichters und den weitestgehend sinusförmigen Strömen der Last sowie zur Kommutierung benötigen die PWM-CSI Umrichter grundsätzlich kapazitive Energiespeicher (AC-Filterkondensatoren) auf der Wechselseitigen Seite [8]. Diese Stromrichtertopologie wird derzeit in einem Leistungsbereich von 1 MW-7 MW eingesetzt. Beide Stromzwischenkreistopologien benötigen eine sehr schwere und große Zwischenkreisinduktivität und sind in der Regeldynamik eingeschränkt.

Spannungszwischenkreisumrichter mit zentralem Zwischenkreisenergiespeicher

Stromrichtertopologien mit einem zentralen Spannungszwischenkreisenergiespeicher (Zwischenkreiskondensator) sind heutzutage für Anwendungen im Mittelspannungsbereich weit verbreitet. Durch den Einsatz von hochsperrenden IGBTs mit maximalen Blockierspannungen von 3,3kV-6,5kV hat sich im Traktionsbereich die 2-stufige Stromrichtertopologie aufgrund ihres einfachen und robusten Aufbaus durchgesetzt. Hingegen ist derzeit im industriellen Anwendungsbereich für Ausgangsleistungen von 0,4 MVA – 21 MVA (je Einzelgerät) sowie Ausgangsspannungen von 2,3 kV-6,6 kV die 3L-NPC Topologie am weitesten verbreitet und wird von zahlreichen Herstellern angeboten (vgl. Tabelle 2-1). Dabei kommen als Halbleiterschalter sowohl HV-IGBTs (2,5kV; 3,3kV; 4,5kV; 6,5kV), IGBTs (4,5kV; 6,5kV) als auch Press-Pack (PP) IGBTs (4,5kV) zum Einsatz. Aufgrund des Einsatzes von Halbleiterschaltern mit hohen Sperrspannungen ist bei der 3L-NPC Topologie die Schaltfrequenz ($f_s < 600$ Hz) der Halbleiter und damit die resultierenden Harmonischen in der Ausgangsspannung bei niedrigen Frequenzen lokalisiert. Des Weiteren sind in der Ausgangsspannung des 3L-NPC Umrichters Spannungssprünge von der Hälfte der Zwischenkreisspannung vorhanden, wobei die übliche Spannungsanstiegsgeschwindigkeit ohne zusätzliche Beschaltung der Halbleiter ca. 5 kV/ μ s beträgt. Dadurch wird bei Anwendungen mit Standard Netzmotoren sowie bei Netzeinspeiseanwendungen (Einhaltung eines THDs $< 5\%$ gemäß [35]) ein du/dt-Filter bzw. ein Sinusfilter am Ausgang des 3L-NPC Stromrichters benötigt [11], [12]. Für Ausgangsspannungen $> 4,16$ kV ist bei dieser Topologie eine Serienschaltung von Leistungshalbleitern pro Schalterposition notwendig [32], [33].

Eine Weiterentwicklung der klassischen 3L-NPC Topologie stellt der so genannte 3-Level-Active-Neutral-Point-Clamped Stromrichter dar (3L-ANPC) [3], [9], [15]. Diese Topologie besitzt die Möglichkeit die beim 3L-NPC Umrichter topologiebedingte unsymmetrische Verlustverteilung zwischen den Halbleitern zu vereinheitlichen. Die Firma ABB hat diese Stromrichtertopologie für Anwendungen als AC-Erregerstromrichter für doppelgespeiste Asynchronmaschinen zu einem Produkt entwickelt (PCS 8000; [69], [38]). Der grundlegende Aufbau sowie die Funktionsweise dieser Topologie wurde in [3] eingehend behandelt.

Um einerseits höhere Ausgangsspannungen ($> 4,16$ kV) und andererseits eine bezüglich der Oberschwingungen bessere Qualität der Ausgangsspannung realisieren zu können, wurden und werden so genannte Multi-Level Stromrichtertopologien für Anwendungen im Mittelspannungsbereich in zahlreichen Publikationen eingehend untersucht [12], [13], [31], [34], [36], [37].

Die Flying-Capacitor Stromrichtertopologie patentiert im Jahr 1991 in [63] wurde derzeit als 4-Level-FLC Umrichter am Markt durch ehemals Coverteam (heute GE Powerconversion) als Produkt angeboten (VDM 6000; vgl. Tabelle 2-1; [66], [67]), wobei dieser einen Ausgangsspannungsbereich von 2,3 kV-4,16 kV bei einem Leistungsspektrum von

0,3 MVA – 8 MVA abdeckt. Die FLC Topologie besitzt neben der zentralen Zwischenkreiskapazität weitere so genannte Flying Capacitors, wobei diese eine im Mittel unterschiedliche Spannung aufweisen. Dadurch besteht die Möglichkeit eine Ausgangsspannung mit, je nach Konfiguration, mehreren Stufen zu generieren ($\text{Level} > 3$), was sich positiv auf die Qualität der Ausgangsspannung auswirkt. Des Weiteren können Halbleiterschalter mit einer geringeren Sperrspannung im Vergleich zur 3L-NPC Topologie bei gleicher Ausgangsspannung eingesetzt werden [16], [17], [18], [19]. Dies ermöglicht eine höhere Schaltfrequenz ($f_s > 600 \text{ Hz}$) der Halbleiterschalter, womit auch höhere Frequenzen der Grundschwingung in der Ausgangsspannung realisiert werden können. Da der Anteil der in den Phasenkondensatoren (Flying Capacitors) gespeicherten elektrischen Energie bei dieser Topologie jedoch sehr groß ist, ist die FLC Topologie für Anwendungsbereiche mit High-Speed Antrieben und strengen Anforderungen an den THD in der Ausgangsspannung attraktiv [36].

Eine weitere Multilevel Umrichter Topologie, die Stacked-Multicell Topologie (SMC) wurde im Jahr 2000 patentiert und basiert im Prinzip auf der FLC Topologie [64]. Durch eine gestapelte Anordnung von FLC Topologien benötigt die SMC Topologie eine wesentlich geringere gespeicherte elektrische Energie als die FLC Topologie bei gleicher Anzahl von Ausgangsspannungsstufen und gleichen Stromrichterdaten. Nachteilig bei der SMC Topologie ist die größere Anzahl von benötigten Halbleiterschaltern im Vergleich zur FLC Topologie [27], [28], [29], [30]. Die SMC Topologie wird bis heute nicht als Produkt am Markt angeboten.

Eine hybride Stromrichtertopologie (5L-ANPC), welche aus einer Zusammenschaltung eines 3L-ANPC Umrichters und einer ausgangsseitigen FLC Zelle besteht, wird von der ABB seit 2010 als Produkt ACS 2000 angeboten [70], [36], [39], [40]. Die Ausgangsspannung des ACS 2000 beträgt 6,0 kV-6,9 kV bei einem Leistungsspektrum von 0,39 MVA – 0,94 MVA. Als Halbleiterschalter kommen hierbei 6,5kV IGBT Module zum Einsatz.

Spannungszwischenkreisumrichter mit verteilten Zwischenkreisenergiespeichern

Neben den Multi-Level-Stromrichtertopologien mit einem zentralen Spannungszwischenkreisspeicher hat sich die SCHB-Stromrichtertopologie mit verteilten Energiespeichern am Markt etabliert [2]. Die SCHB-Stromrichtertopologie besteht prinzipiell aus einer Serienschaltung von H-Brücken Einheiten, wobei jede H-Brücke aus zwei 2-Level Halbbrücken, einem separaten Zwischenkreisenergiespeicher sowie einer separaten Einspeisung in Form einer 3-phasigen 6-Puls Brückenschaltung aufgebaut ist. Je nach Ausgangsspannung werden drei bis sechs H-Brücken in Serie geschaltet. Damit besitzt die resultierende Ausgangsspannung sieben bis dreizehn Spannungsstufen. Als Halbleiterschalter in den H-Brücken kommen bis zu einer Ausgangsspannung von 7,2 kV 1,7 kV LV-IGBTs zum Einsatz. Für Ausgangsspannungen $> 7,2 \text{ kV}$ werden 3,3kV IGBTs verwendet. Zur galvanischen Trennung der Einspeisungen der einzelnen H-Brücken wird jeweils ein separater sekundärseitiger dreiphasiger Abgang eines Transformators benötigt. Somit ist der Transformator integraler Bestandteil dieser Stromrichtertopologie und ist, je nach Anzahl der H-Brücken, sehr komplex. Siemens (Perfect Harmony GH180) und Tmeic (TMDrive MVG) bieten diese Topologie in einem Ausgangsspannungsbereich von 2,3 kV - 13,8 kV bei einem Leistungsspektrum von 0,3 MVA - 31 MVA an.

H-Brücken in Form von zwei 3L-NPC Halbbrücken werden als 5-Level-SCHB Umrichter bezeichnet. Diese Umrichtertopologie basiert nicht auf einer Serienschaltung von H-Brücken. Es gibt nur eine H-Brücke pro Phase, welche aber 5 Ausgangsspannungsstufen generieren

kann. Somit benötigt der eingangsseitige Transformator grundsätzlich nur drei sekundärseitige 3-phasige Abgänge für die Einspeisung der einzelnen H-Brücken Module. ABB (ACS 5000) und Tmeic (TMDrive XL / Dura Bilt 5i-MV) bieten diese Topologie in einem Ausgangsspannungsbereich von 6,0 kV - 7,2 kV bei einem Leistungsspektrum von 1,7 MVA - 30 MVA an. Zum Einsatz kommen hierbei IGBTs (ABB, Tmeic) als auch HV-IGBT Module und PP-IGBTs (Tmeic).

Eine neuartige Stromrichtertopologie mit verteilten Energiespeichern ist die so genannte M2C Topologie [42]. Sie besteht im Wesentlichen aus einer Serienschaltung von 2-Level Halbbrücken (Submodulen), über welche jeweils ein Zwischenkreiskondensator geschaltet ist. Im Gegensatz zur SCHB Topologie benötigen die einzelnen Submodule keine galvanisch getrennten Einspeisungen. Diese Umrichtertopologie wird, wie die Topologien mit einem zentralen Zwischenkreisenergiespeicher, gespeist, doch ist kein zentraler Zwischenkreisenergiespeicher im Zwischenkreis vorhanden. Vielmehr ist der Zwischenkreis auf die gleichartigen Submodule aufgeteilt. Dies ermöglicht ein strikt modulares Konzept, wobei die Ausgangsspannung über die Anzahl der Submodule pro Phase einfach skaliert werden kann. Diese Topologie wird derzeit sowohl von der Firma ABB (HVDC-Light, [68]) als auch von Siemens zur **H**igh-**V**oltage-**D**irect-**C**urrent (HVDC) Energieübertragung eingesetzt [71]. Des Weiteren bietet die Firma Siemens diese Topologie neuerdings auch für den Antriebsbereich an [72]. Der Aufbau sowie die Funktionsweise ist z.B. in [41] und [6] dargestellt.

In Tabelle 2-1 ist eine Übersicht über aktuell verfügbare Mittelspannungsstromrichtertopologien mit Spannungszwischenkreisen dargestellt.

Tabelle 2-1 Überblick über aktuell verfügbare Mittelspannungsstromrichtertopologien mit Spannungszwischenkreisen sowie deren Ausgangsgrößen (Auswahl)

Hersteller	Typ	Leistung Einzelgerät [MVA]	Leistung Parallelschaltung [MVA]	Ausgangsspannungen [kV]	Topologie	Halbleiter
Siemens	GM 150	1 - 7,2	13	2,3 - 4,16	3L-NPC	HV-IGBT
	SM 150	3,4 - 7,2	-	3,3 - 4,16	3L-NPC	HV-IGBT
	GM 150	10	15,5 - 21	3,3	3L-NPC	IGCT
	SM 150	10,5	21 - 31	3,3	3L-NPC	IGCT
	Perfect Harmony GH 180	0,3 – 15,5	-	2,3 - 11	NL-SCHB (2L-HB)	LV-IGBT (2,3kV-7,2 kV) HV-IGBT (6,6 kV-13,8kV)
Perfect Harmony GH 150	< 13,3	-	4 - 7,2	M2C	LV-IGBT	
ABB	ACS 1000	0,4 - 6,1	-	3,3 - 4,16	3L-NPC	IGCT
	ACS 2000	0,39 - 0,94	-	6,0 - 6,9	5L-ANPC	HV-IGBT
	ACS 5000	1,7 - 21,5	-	6,0 - 6,9 (4,16)	5L-SCHB (3L-NPC HB)	IGCT
	ACS 6000	5,0 - 11	14 - 27	3,0 - 3,3 (2,3)	3L-NPC	IGCT
Converteam (GE)	VDM 5000	1,4 - 7,2	-	2,3 - 4,16	2L-VSC	HV IGBT
	VDM 6000	0,3 - 8	-	2,3 - 4,16	4L-FLC	HV IGBT
	VDM 7000	7 - 9,5	18	3,3	3L-NPC	GTO
	MV 7000	3,75 - 21	30 - 42	3,3 - 6,6	3L-NPC	PP-IGBT
Tmeic (GE)	TMDrive-50	3	6	3,3	3L-NPC	HV-IGBT
	TMDrive XL-55	8	16	6,6	5L-SCHB (3L-NPC HB)	HV-IGBT
	TMDrive-70	10	40	3,3	3L-NPC	PP-IGBT
	TMDrive XL-75	20	80	6,6	5L-SCHB (3L-NPC HB)	PP-IGBT
	TMDrive XL-80	15	30	3,8	3L-NPC	GCT
	TMDrive XL-85	30	120	6,6 - 7,2	5L-SCHB (3L-NPC HB)	GCT
	TMDrive MVG	0,18 - 10	-	3,0 - 11	NL-SCHB (2L-HB)	LV-IGBT
	Dura Bilt 5i-MV	0,27 - 6,4	-	2,3 - 4,16	5L-SCHB (3L-NPC HB)	HV-IGBT

2.2 Leistungshalbleiter

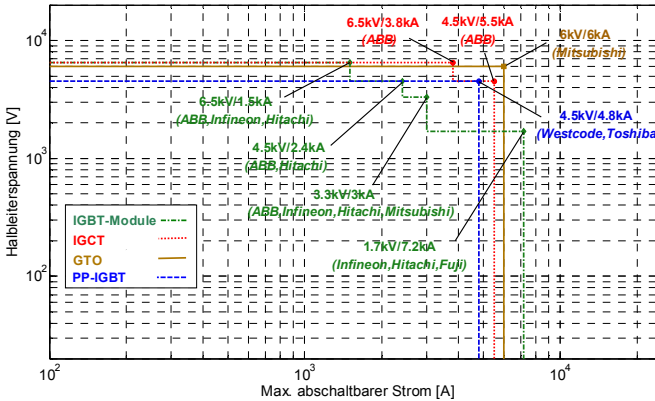


Abb. 2.2: Übersicht über abschaltbare HV-Halbleiter (IGBT, IGCT, GTO)

In diesem Kapitel werden nur die wichtigsten Eigenschaften der Leistungshalbleiter stichpunktartig zusammengestellt. Für eine detaillierte Beschreibung der Funktionsweise und des Aufbaus wird auf [5] verwiesen.

In Abb. 2.2 sind die maximale Sperrspannung und der maximal abschaltbare Strom der zurzeit am Markt verfügbaren abschaltbaren Halbleiterschalter für Anwendungen im Mittelspannungsbereich dargestellt. Die Produktpalette umfasst im Wesentlichen drei verschiedene Halbleiterschalter: IGBTs, IGCTs und GTOs. Während IGBTs von zahlreichen Herstellern angeboten werden (ABB, Infineon, Hitachi, Mitsubishi, Toshiba, Fuji, Westcode), sind GTOs nur noch von der ABB und Mitsubishi erhältlich. IGCTs hingegen werden von ABB (asymmetrisch) und Mitsubishi (symmetrisch) angeboten. Aufgrund der Tatsache, dass GTOs für die Einschalt- und Ausschaltentlastung schwere und teure Beschaltungen benötigen, werden diese Bauelemente durch IGCTs und IGBTs verdrängt [10].

GTOs und IGCTs sind aktuell nur als PressPack Bauelemente verfügbar. Hingegen sind IGBTs sowohl in Modul-Bauweise als auch im PressPack Gehäuse beziehbar, wobei Press Pack IGBTs von Toshiba, Westcode und ABB angeboten werden.

Halbleiterbauelemente in Modul-Bauweise haben den Vorteil, dass sie aufgrund der isolierten Bodenplatte konstruktiv einfach zu handhaben sind (Kühlung, Verschraubung). Hingegen besitzen diese den Nachteil, dass die Lastzyklenfestigkeit durch die gelöteten und gebondeten Strukturen genau für den Anwendungsfall analysiert werden muss. Des Weiteren sind Halbleiter-Module nicht explosionsfest, d.h. dass durch eine Überschreitung der spezifizierten Kenndaten (z.B. maximale Spannung, Strom, Temperatur) das Modul explodieren kann [8].

Press Pack Bauelemente hingegen sind in der Mehrzahl der auftretenden Fehler explosionsfest und bieten durch die durchkontaktierte (IGCTs, GTOs) bzw. druckkontaktierte (IGBTs) elektrische Verbindung eine hohe Lastzyklenfestigkeit [8]. Nachteilig wirkt sich hingegen der komplexe und damit teure konstruktive Aufbau eines Press Pack Bauelementes aus.

Nachfolgend ist eine Aufstellung der wichtigsten Eigenschaften von IGBT- und IGCT Leistungshalbleitern dargestellt. Auf die Eigenschaften des GTOs wird verzichtet, da diese für industrielle Stromrichterkonzepte nur noch eine sehr geringe Bedeutung besitzen.

Grundlegende Eigenschaften von IGBTs [36]

- Beschaltungsfreier Betrieb möglich
- Anpassung der Schaltgeschwindigkeit (du/dt bzw. di/dt) beim Ein- und Ausschalten durch die Gate Unit (Ansteuerung)
- Geringe Leistungsaufnahme der Gate Unit aufgrund des spannungsgesteuerten MOS Gates
- Kurzschlussstrombegrenzung durch den Betrieb im aktiven Bereich
- Begrenzung von Überspannungen durch den Betrieb im aktiven Bereich (active clamping)
- Ausschaltfähigkeit von Kurzschlussströmen
- Zuverlässigkeit von 100 FIT pro Halbleiterbauelement (durch Feldverifikation)
- Einfache Möglichkeit der Serienschaltung durch du/dt Regelung bzw. active clamping
- Einfache Möglichkeit der Parallelschaltung durch Anpassung des Schaltverhaltens über die Gate Unit

Grundlegende Eigenschaften von IGCTs [36]

- Beschaltung (clamp circuit) ist notwendig für die
 - Begrenzung des di/dt während des Einschaltvorganges, damit die abschaltende Diode im sicheren Arbeitsbereich (Safe Operating Area (SOA)) betrieben werden kann und der IGCT einen homogenen Einschaltvorgang realisiert
 - Begrenzung der Kurzschlussströme im Fehlerfall
- Zusätzliche Beschaltungsverluste im Vergleich zu hart schaltenden IGBTs
- Grundlegende Festlegung des Schaltverhaltens durch Bauelementestruktur, Dotierung und Beschaltung
- Gate Unit Leistungsaufnahme größer als die des IGBTs durch stromgesteuertes Gate
- Sehr großer maximaler Stoßstrom (notwendig für das Schutzkonzept)
- Kurzschlussbeherrschung durch aktives Einschalten aller IGCTs bei gleichzeitiger Entladung des Zwischenkreiskondensators im Stromrichter
- Zuverlässigkeit von 100 FIT pro Halbleiterbauelement (durch Feldverifikation)
- Serienschaltung nur mittels einer komplexen Spannungssymmetrierbeschaltung möglich
- Parallelschaltung nur mittels einer komplexen Stromsymmetrierbeschaltung möglich

3 Aufbau und Funktion von Mittelspannungsstromrichtertopologien

In diesem Kapitel werden der Aufbau und die Funktion von ausgewählten Umrichtertopologien mit einem zentralen Spannungszwischenkreis vorgestellt, welche für industrielle Antriebsaufgaben im Mittelspannungsbereich eingesetzt werden können.

Für den Vergleich von Multi-Level-Stromrichter Topologien werden sowohl am Markt erhältliche als auch gegenwärtig nicht verfügbare Topologien unter Verwendung von modernen Leistungshalbleitern detailliert untersucht. Folgende Stromrichtertopologien werden für den Vergleich ausgewählt:

- 3L-Neutral Point Clamped Stromrichter (3L-NPC)
- 3L-Flying Capacitor Stromrichter (3L-FLC)
- 4L-Flying Capacitor Stromrichter (4L-FLC)
- 5L-Flying Capacitor Stromrichter (5L-FLC)
- 5L-Stacked Multicell Stromrichter (5L-SMC)
- 7L-Stacked Multicell Stromrichter (7L-SMC)

Im Folgenden werden die aufgelisteten Topologien bezüglich der Schaltzustände, der Modulation, der Ausgangsspannung und deren Amplitudenspektren diskutiert.

3.1 Neutral Point Clamped Stromrichter (NPC)

3.1.1 3-Level Neutral Point Clamped Stromrichter (3L-NPC)

Der 3-Level Neutral Point Clamped Stromrichter ist die am weitesten verbreitete Multi-Level Stromrichtertopologie. Sie wurde 1980 patentiert [65] und in [43] als Konferenzbeitrag vorgestellt. Ihr Aufbau ist in Abb. 3.1 dargestellt.

Der 3L-NPC Stromrichter besteht im Hauptzweig einer Phase aus 4 schaltbaren Halbleiterbauelementen $S_{1x} - S_{4x}$ ($x = U, V, W$) sowie den dazu antiparallelen Dioden $D_{1x} - D_{4x}$. Der Mittelpunkt M zwischen den beiden Zwischenkreiskondensatoren kann je nach

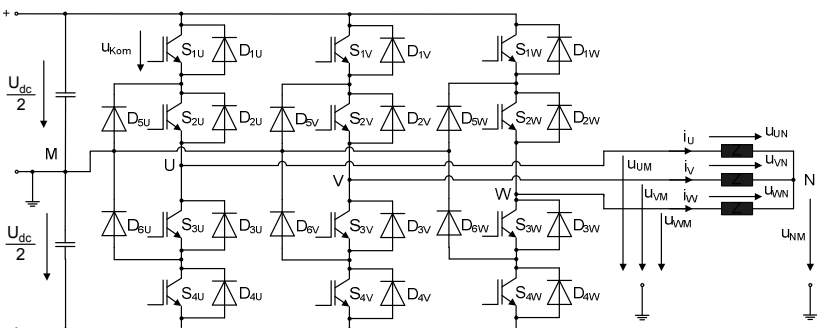


Abb. 3.1: Schaltung der 3-Level Neutral Point Clamped Topologie

Tabelle 3-1 Schaltabelle einer Phase eines 3L-NPC Stromrichters (x=Phase U,V,W)

Schaltzustand Sz	S_{1x}	S_{2x}	S_{3x}	S_{4x}	u_{xM}
{ 1 }	ein	ein	aus	aus	$U_{dc}/2$
{ 0 }	aus	ein	ein	aus	0
{ -1 }	aus	aus	ein	ein	$-U_{dc}/2$

Polarität des entsprechenden Phasenstromes i_x über die so genannten Clamp-Dioden (NPC-Dioden) D_{5x} bzw. D_{6x} und die inneren Schaltern S_{2x} bzw. S_{3x} mit dem Ausgang verbunden werden. Die Ausgangsspannung u_{xM} einer Phase kann gemäß Tabelle 3-1 die drei verschiedenen Spannungsniveaus $U_{dc}/2$, 0 und $-U_{dc}/2$ annehmen. Dabei sind die Schaltzustände sowohl der Schalter S_{1x} und S_{3x} , als auch der Schalter S_{2x} und S_{4x} komplementär zueinander. Die Anzahl der Schaltzustände N_S einer Stromrichterphase beträgt drei.

Sämtliche Halbleiterbauelemente des 3L-NPC Stromrichters werden im stationären Blockierzustand mit einer Spannung von $U_{dc}/2$ beansprucht, wobei eine symmetrische Spannungsaufteilung der Zwischenkreisspannung über den Zwischenkreiskondensatoren vorausgesetzt wird. Da die Schalter jeder Phase im Idealfall bei dieser Spannung schaltend betrieben werden, wird diese Spannung häufig auch als Kommutierungsspannung U_{Kom} bezeichnet.

$$U_{Kom} = \frac{U_{dc}}{2} \quad (3.1)$$

Neben der Kommutierungsspannung sind die in jedem Halbleiterbauelement generierten Leit- und Schaltverluste maßgeblich für deren Auslegung, worauf in Kapitel 4 genauer eingegangen wird. Für die Bestimmung der Leitverluste ist die Kenntnis der Strompfade in den einzelnen Schaltzuständen einer Phase von entscheidender Bedeutung. Dagegen ist für die Verteilung der Schaltverlustenergien pro Schalterposition die Art des Stromüberganges (Kommutierung) beim Wechsel zwischen den Schaltzuständen maßgeblich. Der Schaltzustand, bei dem die Schalter S_{1x} und S_{4x} eingeschaltet und die Schalter S_{2x} und S_{3x} ausgeschaltet sind, ist nicht erlaubt, weil je nach Richtung des Phasenstrom ($|i_x| \neq 0$) die Diode D_{3x} ($i_x > 0$) oder die Diode D_{2x} ($i_x < 0$) leitend wird. Dies würde bei einer Spannungsauslegung der Schalter bzw. Dioden nach (3.1) zur Zerstörung des Schalters S_{2x} bzw. S_{3x} führen, da die gesamte Zwischenkreisspannung U_{dc} von dem entsprechenden Schalter aufgenommen werden müsste.

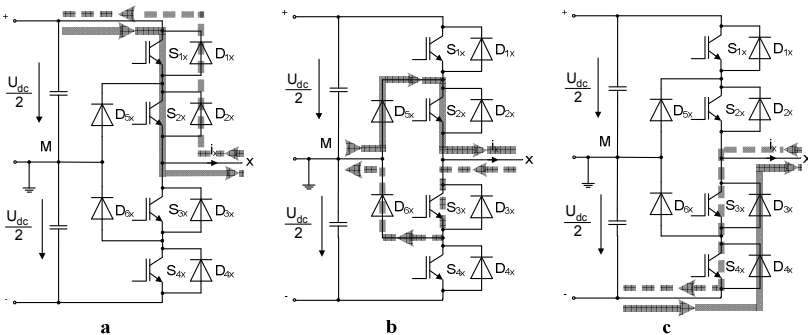


Abb. 3.2: Strompfade eines 3-L NPC Umrichters in den verschiedenen Schaltzuständen
 a) $U_{xM} = U_{dc}/2$; b) $U_{xM} = 0$; c) $U_{xM} = -U_{dc}/2$

In Abb. 3.2 sind die möglichen Strompfade einer Phase dargestellt, die sich in den drei Schaltzuständen bei unterschiedlicher Polarität des Phasenstromes i_x ergeben.

Strompfade. In Abb. 3.2 ist zu erkennen, dass bei den drei verschiedenen Schaltzuständen einer Phase grundsätzlich 2 Halbleiterbauelemente den Phasenstrom führen. Bei einer Ausgangsspannung $u_{xM} = U_{dc}/2$ und einem positiven Phasenstrom ($i_x > 0$) ergibt sich ein Strompfad über die Schalter S_{1x} und S_{2x} . Ändert sich nun die Richtung des Phasenstromes ($i_x < 0$) so fließt der Laststrom über die antiparallelen Dioden D_{1x} und D_{2x} . Bei einer Ausgangsspannung $u_{xM} = -U_{dc}/2$ liegen umgekehrte Verhältnisse vor, d.h. dass bei einem negativen Phasenstrom die Schalter S_{3x} und S_{4x} und bei einem positiven Phasenstrom die antiparallelen Dioden D_{3x} und D_{4x} den Laststrom führen. Für eine Ausgangsspannung $u_{xM} = 0$ sind bei einem positiven Phasenstrom die obere Clamp-Diode D_{5x} und der Schalter S_{2x} an der Stromführung beteiligt. Entsprechend ergibt sich in diesem Schaltzustand bei einem negativen Phasenstrom ein Strompfad über die untere Clamp-Diode D_{6x} und den Schalter S_{3x} . Sind die Einschaltzeiten der entsprechenden Schalter bekannt, so können bei bekanntem Zeitverlauf des Phasenstroms i_x , die Leiterverluste aller Halbleiterbauelemente bestimmt werden.

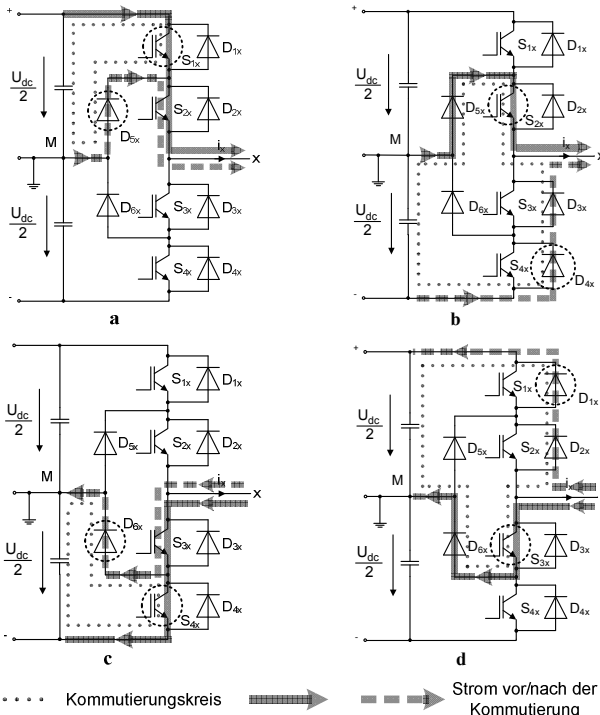


Abb. 3.3: Mögliche Kommutierungen beim Wechsel des Schaltzustandes einer Phase

- a) $u_{xM} = U_{dc}/2 \leftrightarrow 0$ bei $i_x > 0$; b) $u_{xM} = 0 \leftrightarrow -U_{dc}/2$ bei $i_x > 0$;
 c) $u_{xM} = -U_{dc}/2 \leftrightarrow 0$ bei $i_x < 0$; d) $u_{xM} = 0 \leftrightarrow U_{dc}/2$ bei $i_x < 0$

**Tabelle 3-2 Übersicht über die Zuordnung
der Schaltverlustenergien während der Kommutierungsvorgänge ($|i_x| \neq 0$)**

Mittelpunktspannung u_{xM}	Phasenstrom $i_x > 0$			Phasenstrom $i_x < 0$		
	E_{on}	E_{off}	E_{rec}	E_{on}	E_{off}	E_{rec}
$U_{dc}/2 \rightarrow 0$	-	S_{1x}	-	S_{3x}	-	D_{1x}
$0 \rightarrow U_{dc}/2$	S_{1x}	-	D_{5x}	-	S_{3x}	-
$0 \rightarrow -U_{dc}/2$	-	S_{2x}	-	S_{4x}	-	D_{6x}
$-U_{dc}/2 \rightarrow 0$	S_{2x}	-	D_{4x}	-	S_{4x}	-

Kommutierungen. In Abb. 3.3 a)-d) sind die möglichen Kommutierungspfade einer Phase beim Wechsel des Schaltzustandes bei unterschiedlicher Polarität des Phasenstromes dargestellt. Die Art der Kommutierung kann über den Gradienten des zeitlichen Verlaufs der Ausgangsleistung klassifiziert werden. Ist der Gradient der Ausgangsleistung während der Kommutierung negativ, so handelt es sich dabei um eine so genannte erzwungene oder auch kapazitive Kommutierung. Hingegen bezeichnet man die Kommutierung als natürlich oder auch induktiv, wenn der Gradient der Ausgangsleistung positiv ist.

In Abb. 3.3 a) erkennt man, dass der positive Phasenstrom durch das aktive Abschalten des Schalters S_{1x} auf die obere Clamp-Diode D_{5x} kommutiert. Die Mittelpunktspannung u_{xM} ändert sich während dieser Kommutierung von $U_{dc}/2$ auf 0, d.h. es tritt eine kapazitive Kommutierung auf, da der Gradient der Ausgangsleistung negativ ist. Der Schalter S_{1x} generiert während dieser Art der Kommutierung die Ausschaltverlustenergie E_{off} . Die Einschaltverlustenergie, die während der Kommutierung in der Diode D_{5x} entsteht, wird hierbei nicht berücksichtigt, da sie im Vergleich zur Verlustenergie, welche beim Recovery Vorgang entsteht, sehr gering ist.

Eine induktive Kommutierung tritt auf, wenn durch das aktive Einschalten des Schalters S_{1x} der positive Phasenstrom von der Diode D_{5x} auf den Schalter S_{1x} kommutiert (vgl. Abb. 3.3 a)). Die Mittelpunktspannung u_{xM} ändert sich während dieser Kommutierung von 0 auf $U_{dc}/2$ und der Gradient der Ausgangsleistung ist positiv. Bei diesem Vorgang generiert der Schalter S_{1x} die Einschaltverlustenergie E_{on} und die Diode D_{5x} wird aufgrund des Recovery Vorgangs mit Recoveryverlustenergie E_{rec} beansprucht.

In den weiteren Kommutierungsvorgängen, welche in Abb. 3.3 b) - d) gezeigt sind, kann in gleicher Weise zwischen kapazitiver und induktiver Kommutierung unterschieden werden.

Des Weiteren ergeben sich durch das Schalten eines der beiden komplementären Schalterpaare S_{1x}/S_{3x} und S_{2x}/S_{4x} jeweils zwei mögliche Kommutierungspfade (vgl. Abb. 3.3 a),d) bzw. b),c)). Die Schalter und Dioden, die in den zwei genannten Kommutierungspfaden Schaltverlustenergien generieren, werden zu einer so genannten Kommutierungszelle zusammengefasst (z.B. $S_{1x}, S_{3x}, D_{5x}, D_{1x}$). In Tabelle 3-2 ist für den 3L-NPC Stromrichter dargestellt, welche Art von Schaltverlustenergien in den entsprechenden Schaltern bzw. Dioden während der gezeigten Kommutierungsvorgänge generiert wird.

In Tabelle 3-2 erkennt man, dass die antiparallelen Dioden $D_{2/3x}$ keine Schaltverluste generieren.

Modulation. Zur Erzeugung einer in der Grundschwingung sinusförmigen Mittelpunktspannung $u_{xM,1}$ stehen mehrere Verfahren zur Verfügung. Neben der so genannten Blockmodulation [7], existieren drei häufig verwendete PWM-Verfahren (Pulsbreitensteuerung) zur Ansteuerung spannungsgespeister Stromrichterschaltungen, die wie folgt unterteilt werden können:

- Sinus-Dreieck Modulation (Trägerverfahren)
- Raumzeigermodulation
- Optimierte Pulsmuster (z.B. Eliminierung ausgewählter Harmonischer)

Zur besseren Vergleichbarkeit der verschiedenen Stromrichtertopologien bezüglich der Qualität der Ausgangsspannung wird für den 3L-NPC Stromrichter als auch für alle weiteren Topologien das Modulationsverfahren nach dem Prinzip des Sinus-Dreieck-Vergleichs gewählt. Eine detaillierte Beschreibung der Raumzeigermodulation sowie der Vorgehensweise zur Erzeugung optimierter Pulsmuster sind in z.B. [7], [3], [44] zu finden.

In Abb. 3.5 a) ist das Prinzip der Sinus-Dreieck-Modulation dargestellt. Dabei wird pro Phase ein periodisches Referenzsignal $u_{\text{ref}x}$, welches die Frequenz f_1 der gewünschten Grundschiwingung der Mittelpunktspannung $u_{xM,1}$ besitzt, mit zwei höherfrequenten symmetrischen Dreieckssignalen $u_{\text{carrier}/2}$ (auch Carrier- bzw. Trägersignale genannt) verglichen. Die durch diesen Vergleich erzeugte gepulste Mittelpunktspannung u_{xM} wird einerseits durch die Wahl des Referenzsignals $u_{\text{ref}x}$ und andererseits von der Frequenz der Dreieckssignale f_c (Carrier- bzw. Trägerfrequenz) und deren Phasenverschiebung sowohl untereinander als auch zum Referenzsignal bestimmt.

Trägersignale. Die Phasenverschiebung φ_T der Trägersignale untereinander hat einen entscheidenden Einfluss auf die in der Mittelpunktspannung enthaltenen Oberschwingungsanteile. In der Literatur werden für Multi-Level Anwendungen drei verschiedene Verfahren bezüglich Phasenverschiebung φ_T betrachtet [45], [46]:

- **Phase Disposition (PD).** Bei diesem Verfahren sind alle Träger in Phase.
- **Alternative Phase Opposition Disposition (APOD),** bei welchem die benachbarten Trägersignale eine Phasenverschiebung von 180° aufweisen
- **Phase Opposition Disposition (POD).** Bei diesem Verfahren sind die Trägersignale unterhalb und oberhalb der Nulllinie in Phase, wobei die beiden Gruppen zueinander um 180° phasenverschoben sind

In Abb. 3.4 sind die drei o.g. Verfahren bezüglich der Phasenverschiebung φ_T der Trägersignale allgemein für einen 5-Level Umrichter dargestellt.

Für die Darstellung der verschiedenen Arten der Modulation bezüglich der Anordnung der Trägersignale wurde in Abb. 3.4 ein 5-stufiger Stromrichter gewählt, da die Modulationsverfahren mit APOD- und POD-Trägersignalen bei dem in diesem Kapitel betrachteten 3-stufigen NPC Stromrichter identisch sind. In [46] wurde gezeigt, dass

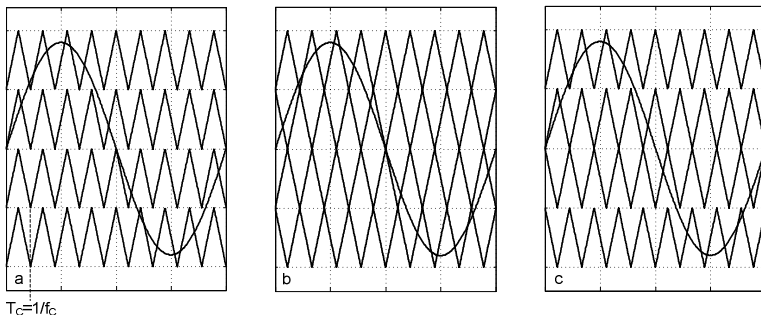


Abb. 3.4: Trägerbasierte Modulationsverfahren für Multi Level Stromrichter mit
a) PD-; b) APOD-; c) POD-Trägersignalen

für 3-phasige Antriebssysteme die Modulation mit PD-Trägern vorteilhaft bezüglich des Oberschwingungsgehaltes in der resultierenden Phasenspannung ist. Zur besseren Vergleichbarkeit der hier ausgewählten Stromrichtertopologien wird neben dem Modulationsverfahren mit PD-Trägersignalen auch das Modulationsverfahren mit APOD-(POD)-Trägersignalen verwendet, da Letzteres bei den später betrachteten Flying Capacitor Topologien (FLC VSC) die einfachste Möglichkeit der Modulation unter Berücksichtigung einer natürlichen Balancierung der Spannungen über den Flying Capacitors darstellt [20]. In Abb. 3.4 ist ersichtlich, dass innerhalb einer Periode der Trägersignale $T_C = 1/f_C$ zwei Kommutierungen in einer Phase des 3L-NPC Umrichters hervorgerufen werden, da sich bei der Sinus-Dreieck-Modulation in dem betrachteten Intervall zwei Schnittpunkte zwischen dem sinusförmigen Referenzsignal und einem Trägersignal ergeben.

Referenzsignale. Wie bei 3-phasigen Antriebssystemen üblich, werden Referenzsignale verwendet, die neben der sinusförmigen Grundschwingung eine 3. Harmonische mit einer Amplitude von 1/6 der Grundschwingungsamplitude enthalten. Dies hat den Vorteil, dass der lineare Aussteuerbereich der Grundschwingungen sämtlicher Ausgangsspannungen, verglichen mit dem möglichen Aussteuerbereich bei Verwendung eines rein sinusförmigen Referenzsignals, um 15% erhöht wird [7]. Diese Vorgehensweise ist darüber hinaus unkritisch bezüglich der Oberschwingungsanteile in der Phasenspannung u_{xN} , da die 3. Harmonische und ihre Vielfachen in einem symmetrischen dreiphasigen Spannungssystem Gleichtaktkomponenten darstellen, welche sich an einer dreiphasigen symmetrischen Last nicht ausbilden können. Hingegen sind die aufmodulierten 3. Harmonischen und ihre Vielfachen, wie später gezeigt wird, sowohl in den Mittelpunktspannungen u_{xM} als auch in der Stern-Mittelpunktspannung u_{NM} vorhanden.

Die Referenzsignale der drei Phasen haben den folgenden zeitlichen Verlauf (vgl. Abb. 3.5):

$$u_{refx} = m_a \cdot (\sin(\omega_1 t - \varphi_x) + \frac{1}{6} \sin(3\omega_1 t)) \quad x = U, V, W \quad (3.2)$$

mit $\omega_1 = 2 \cdot \pi \cdot f_1$; $\varphi_U = 0$; $\varphi_V = \frac{2\pi}{3}$; $\varphi_W = \frac{4\pi}{3}$

m_a in (3.2) ist der Modulationsgrad.

$$m_a = \frac{\hat{U}_{ref,1}}{\hat{U}_{carr1}} = \frac{\hat{U}_{UM,1}}{U_{dc}/2} = \frac{\hat{U}_{UN,1}}{U_{dc}/2} \quad (3.3)$$

Mit (3.3) folgt der lineare Zusammenhang zwischen dem Modulationsindex m_a und dem Effektivwert der Grundschwingung der Phasen- und der Mittelpunktspannung:

$$U_{UM,1} = U_{UN,1} = m_a \cdot \frac{U_{dc}}{2} \cdot \frac{1}{\sqrt{2}}; \quad 0 \leq m_a \leq \frac{2}{\sqrt{3}} \quad (3.4)$$

Mit dem in (3.2) beschriebenen Referenzsignal beträgt der maximale Modulationsgrad im linearen Modulationsbereich Bereich $m_{a,max} = 1,15$.

Der zeitliche Verlauf der resultierenden, gepulsten Mittelpunktspannung u_{xM} einer Phase des 3L-NPC Stromrichters wird mit (3.5) hergeleitet, wobei der zeitliche Verlauf der Trägersignale u_{carr1} und u_{carr2} in Abb. 3.5 a) bzw. in Abb. 3.5 f) dargestellt ist.

$$u_{xM} = \begin{cases} \frac{U_{dc}}{2} & \text{für } u_{refx} > u_{carr1} \\ 0 & \text{für } u_{refx} \leq u_{carr1} \cap u_{refx} \geq u_{carr2} \\ -\frac{U_{dc}}{2} & \text{für } u_{refx} < u_{carr2} \end{cases} \quad (3.5)$$

Mit Tabelle 3-1 und (3.5) können sämtliche Schaltsignale zur Ansteuerung der Schalter im 3L-NPC Stromrichter hergeleitet werden.

Ausgangsspannungen. In Abb. 3.5 b) ist die Ausgangsspannung u_{UM} (Mittelpunktspannung) und deren Grundschiwingung $u_{UM,1}$ bei Verwendung von PD-Trägersignalen bei einem Frequenzverhältnis von $m_f = 15$ dargestellt. Das Frequenzverhältnis m_f ist wie folgt definiert:

$$m_f = \frac{f_c}{f_1} \quad (3.6)$$

Man erkennt, dass während der positiven Halbschwingung des Referenzsignals u_{refU} ($0 < \omega t < \pi$) in der Mittelpunktspannung u_{UM} nur zwischen den Werten 0 und $U_{dc}/2$ geschaltet wird. Entsprechend treten in der Mittelpunktspannung u_{UM} während der negativen Halbschwingung des Referenzsignals u_{refU} ($\pi < \omega t < 2\pi$) nur die Spannungsniveaus 0 und $-U_{dc}/2$ auf. Daraus folgt, dass die durchschnittliche Schaltfrequenz f_s pro Schalterposition (z.B. S_{1x} und D_{1x}) im 3L-NPC Stromrichter gleich der halben Trägerfrequenz $f_c/2$ entspricht. Die verkettete Spannung u_{UV} (Abb. 3.5 c)) besteht aus 5 unterschiedlichen Spannungsniveaus, nämlich U_{dc} , $U_{dc}/2$; 0, $-U_{dc}/2$, $-U_{dc}$. Allgemein lässt sich unabhängig von der Art der Modulation über die Stufenanzahl der verketteten Spannung N_{UV} bei N-stufigen Stromrichterschaltungen folgender Zusammenhang (3.7) herleiten:

$$N_{UV} = 2 \cdot N - 1 \quad (3.7)$$

Die Spannungsdifferenz zwischen zwei benachbarten Spannungsstufen in der Außenleiterspannung u_{UV} beträgt bei N-stufigen Umrichterschaltungen:

$$\Delta U_{UV} = \frac{U_{dc}}{(N-1)} \quad (3.8)$$

Die Phasenspannung u_{UN} (vgl. Abb. 3.5 d)) weist hingegen 9 unterschiedliche Spannungsniveaus auf ($4U_{dc}/6$, $3U_{dc}/6$, $2U_{dc}/6$, $U_{dc}/6$, 0, $-U_{dc}/6$, $-2U_{dc}/6$, $-3U_{dc}/6$, $-4U_{dc}/6$). Allgemein besteht die Phasenspannung u_{UN} bei einem N-stufigen Stromrichter mit symmetrischer dreiphasiger Last aus N_{UN} unterschiedlichen Spannungsniveaus (3.9):

$$N_{UN} = 4 \cdot N - 3 \quad (3.9)$$

Die Spannungsdifferenz zwischen zwei benachbarten Spannungsstufen in der Phasenspannung u_{UN} beträgt bei N-stufigen Umrichterschaltungen mit symmetrischer dreiphasiger Last und nicht angeschlossenem Sternpunkt N:

$$\Delta U_{UN} = \frac{U_{dc}}{3 \cdot (N-1)} \quad (3.10)$$

Abb. 3.5 f)–j) zeigt die Ausgangsspannungen bei Verwendung von APOD-Trägersignalen. Man erkennt eindeutig an der Außenleiterspannung u_{UV} (Abb. 3.5 h)), dass bei der Verwendung von APOD-Trägersignalen in einigen Schaltzeitpunkten Spannungssprünge über zwei benachbarte Spannungsniveaus auftreten. Im Vergleich dazu treten in der Außenleiterspannung u_{UV} , welche mit PD-Trägersignalen generiert wird, nur Spannungssprünge zwischen benachbarten Spannungsniveaus auf. Dies führt bei Verwendung

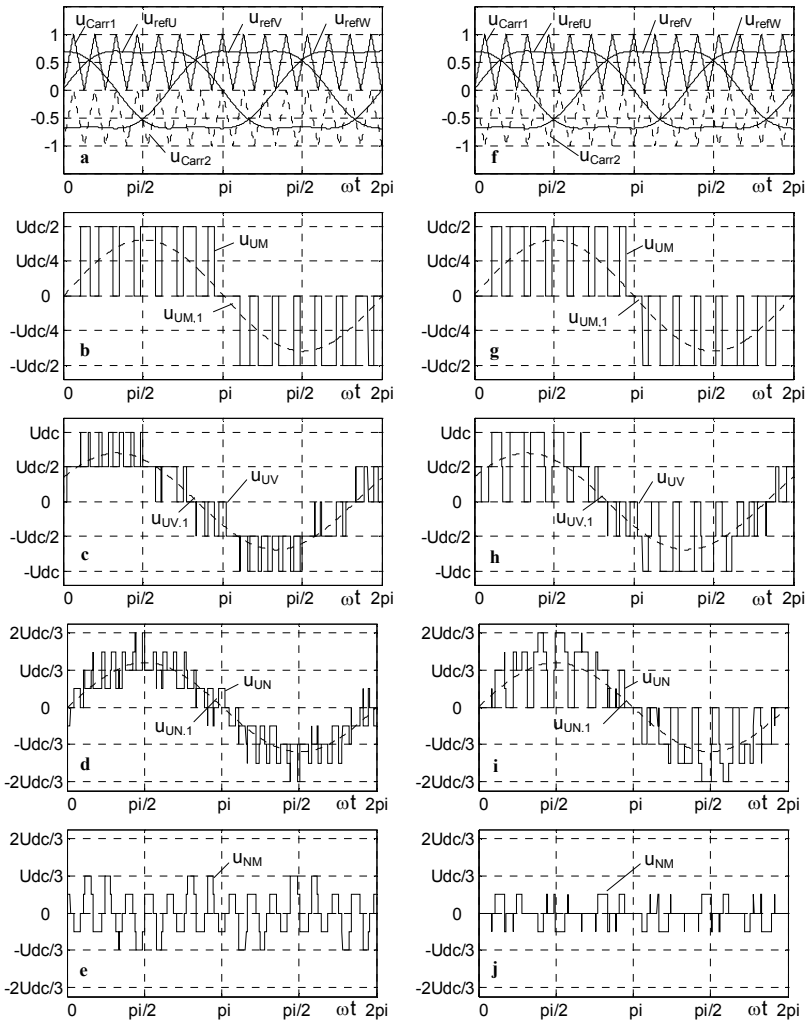


Abb. 3.5: Spannungsverläufe 3L-NPC Stromrichter bei Sinus-Dreieck Modulation

(a-e) PD-Trägersignale; (f-j) APD-Trägersignale; $m_f = f_c/f_1 = 15$; $m_a = 0,8$)

a), f) Referenzspannungen $u_{refU/V/W}$; Carriersignale $u_{carr1/2}$ (Trägersignale)

b), g) Mittelpunktspannung u_{UM} ; Grundschwingung der Mittelpunktspannung $u_{UM,1}$

c), h) Außenleiterspannung u_{UV} ; Grundschwingung der Außenleiterspannung $u_{UV,1}$

d), i) Phasenspannung u_{UN} ; Grundschwingung der Phasenspannung $u_{UN,1}$

e), j) Stern-Mittelpunktspannung u_{NM}

von APOD-Trägersignalen zu einer erhöhten lastseitigen du/dt Belastung, z.B. der Wicklungsisolierung einer Maschine.

In Abb. 3.5 e) und j) sind die Stern-Mittelpunktspannungen u_{NM} bei den betrachteten Modulationsarten dargestellt. Die Stern-Mittelpunktspannung u_{NM} kann bei N-stufigen Stromrichterschaltungen theoretisch N_{NM} Spannungsstufen annehmen

$$N_{NM} = 3 \cdot N - 2 \quad (3.11)$$

wobei die Spannungsdifferenz ΔU_{NM} zwischen 2 benachbarten Spannungsstufen in der Stern-Mittelpunktspannung u_{NM} identisch ist mit der der Phasenspannung ΔU_{UN} . Sie kann somit mit (3.10) berechnet werden. Man erkennt an Abb. 3.5 e) dass bei der Modulation mit PD-Trägersignalen im Zeitverlauf der Sternpunktspannung in einigen Schaltzeitpunkten Spannungssprünge über 2 mögliche Spannungsniveaus auftreten. Hingegen ist dies bei Verwendung von APOD-Trägersignalen nicht zu beobachten (vgl. Abb. 3.5 j)).

Amplitudenspektren. In Abb. 3.6 a)-b) sind die Amplitudenspektren sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei die Sinus-Dreieck-Modulation mit PD-Trägersignalen durchgeführt wurde. Das Amplitudenspektrum einer mit PD-Trägersignalen generierten dreistufigen Mittelpunktspannung besitzt einen charakteristischen Aufbau. Neben der Amplitude der Grundschwingung ($\nu = 1$), welche sich mit (3.4) berechnen lässt, treten um Vielfache der Frequenz des Dreieckssignals ($n \cdot f_c$; $n = 1, 2, \dots$) so genannte Trägerbänder auf. Das 1. Trägerband (um f_c) besitzt dabei eine signifikante Oberschwingung bei der Trägerfrequenz f_c (vgl. Abb. 3.6 a), $\nu = 15 = m_f$). Um diese signifikante Oberschwingung gruppieren sich weitere Oberschwingungsanteile im so genannten oberen Seitenband ($\nu = 17, 19, \dots = m_f + 2 \cdot \mu$; $\mu = 1, 2, \dots$) sowie im unteren Seitenband ($\nu = 13, 11, \dots = m_f - 2 \cdot \mu$), welche dem 1. Trägerband zugeordnet werden. Die

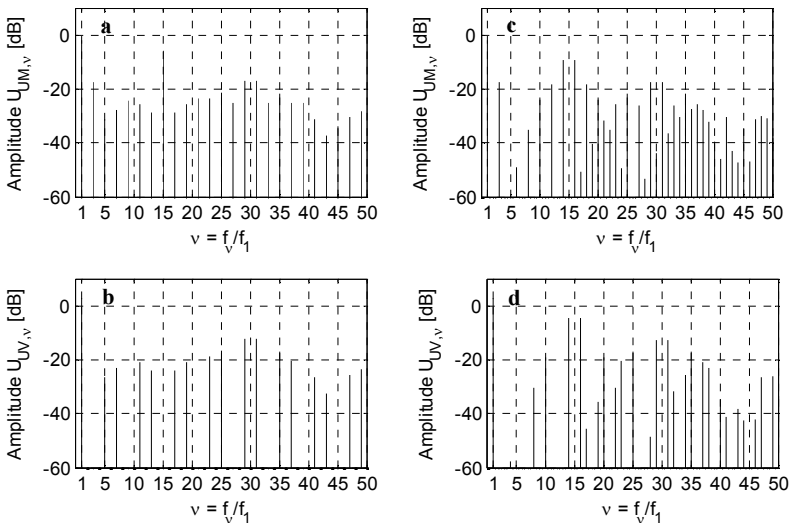


Abb. 3.6: Amplitudenspektren eines 3L-NPC Umrichters ($m_f = f_c/f_1 = 15$; $m_a = 0,8$; $0dB = U_{dc}/2$)

- a) Mittelpunktspannung u_{UM} , PD-Trägersignale
- b) Außenleiterspannung u_{UV} , PD-Trägersignale
- c) Mittelpunktspannung u_{UM} , POD (APOD)-Trägersignale
- d) Außenleiterspannung u_{UV} , POD (APOD)-Trägersignale

weiteren ungeradzahigen Trägerbänder (um $(2 \cdot n + 1) \cdot f_c$) besitzen den gleichen Aufbau, wobei die Amplituden der Oberschwingungen mit der Ordnungszahl stark abfallen.

Im 2. Trägerband (um $2 \cdot f_c$) hingegen tritt bei der zweifachen Trägerfrequenz ($\nu = 30 = 2 \cdot m_f$) keine Oberschwingung mehr auf, doch sind die Oberschwingungen der Seitenbänder ($\nu = \dots, 27, 29, 31, 33, \dots = 2 \cdot m_f \pm \mu$) dieses Trägerbandes noch vorhanden. Alle geradzahigen Trägerbänder (um $2 \cdot n \cdot f_c$) besitzen diesen Aufbau. Allgemein treten bei einer Sinus-Dreieck Modulation mit gleichphasigen symmetrischen Trägersignalen (PD-Trägersignalen) an folgenden Frequenzen Oberschwingungen in der Mittelpunktspannung u_{UM} auf:

$$f_v = n \cdot f_c \pm (\mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; (n + (\mu - 1)) = \text{ungerade} \quad (3.12)$$

Bei der Modulation eines 3L-NPC Stromrichters mit APOD-Trägersignalen treten in den ungeradzahigen Trägerbändern deutliche Unterschiede zu der Modulation mit PD Trägern auf (vgl. Abb. 3.6 c)). Die dominanten Oberschwingungen bei den ungeradzahigen Vielfachen der Trägerfrequenz $(2n-1) \cdot f_c$ (Abb. 3.6, $\nu = 15, 45, \dots = (2n-1) \cdot m_f$) treten hierbei nicht mehr auf. Dafür sind um die ungeradzahigen Vielfachen der Trägerfrequenz ausgeprägte Seitenbänder zu beobachten (z.B. im 1. Trägerband (um f_c): $\nu = \dots, 10, 12, 14, 16, 18, 20, \dots$). Allgemein treten in den ungeradzahigen Trägerbändern Oberschwingungen mit folgenden Frequenzen auf:

$$f_v = (2 \cdot n - 1) \cdot f_c \pm (2 \cdot \mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; \quad (3.13)$$

Des Weiteren ist in Abb. 3.6 c) zu sehen, dass für das dargestellte Frequenzverhältnis ($m_f = 15$) die ausgeprägten Seitenbänder ineinander laufen. Die Trägerbänder, welche um die geradzahigen Vielfachen der Trägerfrequenz auftreten, sind hingegen identisch mit denen bei Verwendung von PD-Trägersignalen, wobei an folgenden Frequenzen Oberschwingungen auftreten:

$$f_v = (2 \cdot n) \cdot f_c \pm (2 \cdot \mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; \quad (3.14)$$

Wie in Abb. 3.6 a),b) dargestellt, treten bei der Modulation mit PD-Trägersignalen und einem ungeradzahigen Frequenzverhältnis m_f nur Oberschwingungen mit ungeradzahigen Ordnungszahlen auf. Hingegen beinhalten die ungeradzahigen Trägerbänder bei Verwendung von APOD-Trägersignalen und einem ungeradzahigen Frequenzverhältnis m_f nur Oberschwingungen mit gerader Ordnungszahl. Darüber hinaus sind in den geradzahigen Trägerbändern die Ordnungszahlen der auftretenden Oberschwingungen ungeradzahlig, wie in Abb. 3.6 c),d) zu sehen ist.

In den Außenleiterspannungen (vgl. Abb. 3.6 b),d)) heben sich bei beiden Arten der Modulation sämtliche durch 3 teilbaren Oberschwingungen auf, da diese, wie schon erwähnt, in einem symmetrischen dreiphasigen Spannungssystem Gleichtaktkomponenten darstellen. Wählt man bei der Modulation mit PD-Trägersignalen ein durch drei teilbares Frequenzverhältnis m_f so treten die dominante Harmonische bei der ungeradzahigen Vielfachen der Trägerfrequenz in den Außenleiterspannungen nicht mehr auf. Im Gegensatz dazu werden bei der Modulation mit APOD-Trägersignalen die dominanten Oberschwingungen in den Seitenbändern bei Wahl eines ungeradzahigen und durch drei teilbaren Frequenzverhältnisses m_f nicht vollständig eliminiert. Deshalb wird bei dreiphasigen Antriebssystemen das Modulationsverfahren mit PD-Trägersignalen bevorzugt angewendet.

Die Amplitudenwerte der in der Mittelpunktspannung u_{UM} und in der Außenleiterspannung u_{UV} enthaltenen Oberschwingungen sind stark vom Modulationsgrad m_a abhängig und können unter Verwendung der Fourier-Reihenentwicklung bestimmt werden. Diese Vorgehensweise führt zu komplexen mathematischen Ausdrücken und ist in [7], [46] ausführlich dargestellt.

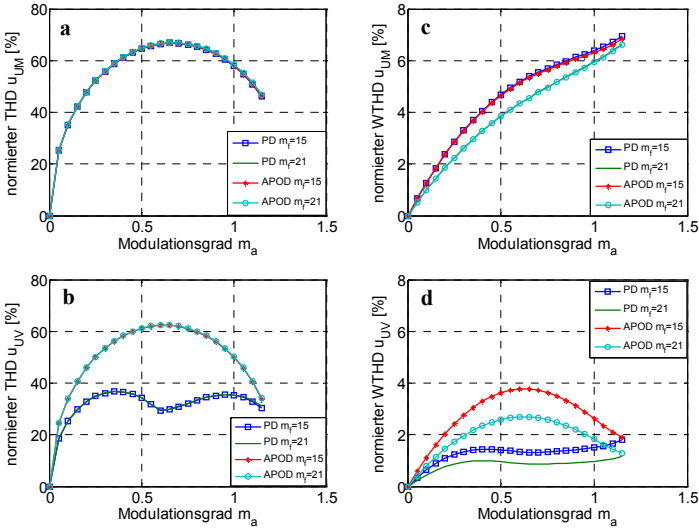


Abb. 3.7: Vergleich THDn und WTHDn eines 3L-NPC Umrichters bei Sinus-Dreieck-Vergleich mit injizierter 3. Harmonischer mit PD- bzw. APOD-Trägersignalen und verschiedenen Frequenzverhältnissen m_f

a) THDn der Mittelpunktspannung u_{U0} ; b) THDn der Außenleiterspannung u_{UV}
 c) WTHDn der Mittelpunktspannung u_{U0} ; d) WTHDn der Außenleiterspannung u_{UV}

WTHDn und THDn. Zur besseren Vergleichbarkeit der generierten Ausgangsspannungen werden neben den Amplitudenspektren, die Gütekriterien THD_n und WTHD_n herangezogen. Der normierte THD_n (engl. normalized Total Harmonic Distortion) ist wie folgt definiert:

$$THD_n = \frac{\sqrt{\sum_{v=2}^{\infty} U_v^2}}{U_1|_{m_a=1}} \quad (3.15)$$

Der normierte WTHD_n (engl. normalized Weighted Total Harmonic Distortion) stellt ein Gütekriterium für einen durch eine Spannung in einer induktiven Last hervorgerufenen Strom dar und ist wie folgt definiert:

$$WTHD_n = \frac{\sqrt{\sum_{v=2}^{\infty} \left(\frac{U_v}{v}\right)^2}}{U_1|_{m_a=1}} \quad (3.16)$$

Die Normierung auf die Grundschwingung bei einem Modulationsgrad von $m_a = 1$ wurde gewählt, da ansonsten der THD als auch WTHD bei einem Modulationsgrad von $m_a = 0$ unendlich betragen würde und somit keine Vergleichbarkeit der Qualität der Ausgangsspannungen in diesem Betriebspunkt möglich wäre [3].

In Abb. 3.7 a)-d) ist der THDn und der WTHDn sowohl der Mittelpunktspannung u_{U0} als auch der Außenleiterspannung u_{UV} dargestellt, wobei verschiedene Arten der Modulation (PD- / APOD-Trägersignale) und zwei Frequenzverhältnisse ($m_f = 15, 21$) betrachtet werden.

Man erkennt in Abb. 3.7 a), dass der THDn der Mittelpunktspannung u_{UM} unabhängig vom Frequenzverhältnis m_f und von der Anordnung der Trägersignale zueinander ist. Der maximale THDn von 67% tritt bei einem Modulationsgrad von $m_a = 0.65$ auf. Der THDn der Außenleiterspannung u_{UV} ist im Gegensatz zu dem der Mittelpunktspannung von der Art der Modulation abhängig. Man erkennt in Abb. 3.7 b), dass der THDn der Außenleiterspannung über den dargestellten linearen Bereich des Modulationsgrades m_a bei Verwendung von PD-Trägersignalen (gleichphasige Trägersignale) signifikant kleiner ist als bei Verwendung von APOD-Trägersignalen. Das Frequenzverhältnis m_f hat keinen Einfluss auf den THDn der Außenleiterspannung, da die auftretenden Oberschwingungen mit Erhöhung des Frequenzverhältnisses bei höheren Frequenzen auftreten ohne dass deren Amplitude verändert wird (vgl. (3.15)). Der WTHDn der Mittelpunktspannung u_{UM} (s. Abb. 3.7 c)) zeigt im Gegensatz zum THDn ein vom Frequenzverhältnis m_f abhängiges Verhalten. Mit Erhöhung des Frequenzverhältnisses m_f sinkt der WTHDn der Mittelpunktspannung u_{UM} , da, wie schon erwähnt, die betreffenden Oberschwingungen mit Erhöhung vom m_f bei einer höheren Frequenz auftreten und somit durch eine induktive Last im resultierenden Laststrom stärker gedämpft werden. Der steigende Verlauf des WTHDn der Mittelpunktspannung ist auf die im Referenzsignal enthaltene 3. Harmonische zurück zu führen. Deren Amplitude wächst mit dem Modulationsgrad linear an (vgl. (3.2)). Des Weiteren ist der WTHDn, wie auch der THDn, der Mittelpunktspannung nicht von der Art der Modulation abhängig (s. Abb. 3.7 c). In Abb. 3.7 d) ist zu erkennen, dass der WTHDn der Außenleiterspannung u_{UV} sowohl vom Frequenzverhältnis als auch von der Art der Modulation abhängt. Je größer das Frequenzverhältnis desto kleiner ist der WTHDn, wobei die Verwendung von PD-Trägersignalen, wie beim THDn, zu einem, signifikant kleineren WTHDn führt. Da der THDn als auch der WTHDn einer mittels Sinus-Dreieck-Modulation mit PD-Trägersignalen generierten Außenleiterspannung kleiner sind als bei Verwendung von APOD-Trägersignalen, ist diese Art der Modulation bei dreiphasigen Umrichtersystemen zu bevorzugen. Wird hingegen nur eine einphasige Spannung benötigt, so ist es bezüglich des THDn und des WTHDn unerheblich ob die Ausgangsspannung mittels PD- oder APOD-Trägersignalen moduliert wird.

3.1.2 Mehrstufige NPC-Umrichter

In Abb. 3.8 a) ist beispielhaft die Schaltungstopologie eines 5-Level NPC Umrichters dargestellt. Im Gegensatz zum 3L-NPC Umrichter aus Abb. 3.1 werden nun die 8 schaltenden Halbleiterbauelemente $S_{1x} - S_{8x}$ und deren antiparallelen Dioden $D_{1x} - D_{8x}$ im stationären Blockier- bzw. Sperrzustand als auch bei dynamischen Schaltvorgängen jeweils mit einer Spannung von $U_{dc}/4$ beansprucht, wobei eine gleichmäßige Spannungsaufteilung der Zwischenkreisspannung U_{dc} über den 4 Zwischenkreiskondensatoren vorausgesetzt wird. Des Weiteren ist zu sehen, dass die äußeren Clamp-Dioden D_{9x} und D_{14x} auch mit einer Sperrspannung von $U_{dc}/4$ beansprucht werden. Hingegen müssen die Clamp-Dioden D_{11x} und D_{12x} die doppelte und die Clamp-Dioden D_{10x} und D_{13x} die dreifache Spannung, verglichen mit der der äußeren Clamp-Dioden, sperren können. Dies führt bei Verwendung von Dioden, welche die gleiche maximale Sperrspannung von $U_{dc}/4$ realisieren zu einer Reihenschaltung der betreffenden Clamp-Dioden, was in Abb. 3.8 a) zu sehen ist. Damit erhöht sich Anzahl der Clamp-Dioden N_{Clamp} von zwei beim 3L-NPC Umrichter auf 12 bei einem 5L-NPC Umrichter. Allgemein werden für einen N-stufigen NPC Umrichter unter der Voraussetzung, dass die Sperrspannung sich gleichmäßig auf die in Reihe geschalteten Clamp-Dioden aufteilt, gemäß (3.17) N_{Clamp} Clamp-Dioden benötigt, wobei die Sperrspannung jeder Diode U_{kom} beträgt.

$$N_{Clamp} = (N - 1) \cdot (N - 2) \quad (3.17)$$

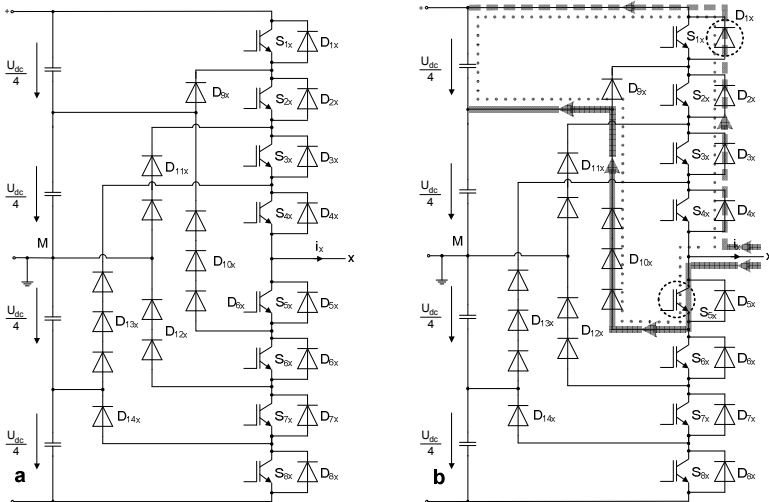


Abb. 3.8: 5L-NPC Umrichter
a) Schaltung;
b) Kommutierungspfad beim Wechsel

Die ideale Kommutierungsspannung U_{Kom} sämtlicher Halbleiter beträgt unter den getroffenen Voraussetzungen bei einem N-stufigen NPC Umrichter:

$$U_{Kom} = \frac{U_{dc}}{(N-1)} \quad (3.18)$$

Mit dieser Kommutierungsspannung U_{Kom} beträgt die Anzahl der schaltenden Bauelemente sowie deren antiparallele Diolen in einer Phase eines N-stufigen NPC Umrichters:

$$N_{Sw} = 2 \cdot (N-1) \quad (3.19)$$

Da bei der NPC-Umrichtertopologie die Anzahl von Clamp-Diolen nach (3.17) rapide mit der Anzahl N der möglichen Spannungsstufen in der Mittelpunktspannung u_{UM} wächst, wird die Realisierung einer NPC Topologie mit mehr als 5 verschiedenen Spannungsstufen schwierig. In Abb. 3.8 b) ist beispielhaft eine mögliche Kommutierung des 5L-NPC Umrichters, dargestellt. Man erkennt, dass beim Wechsel der Mittelpunktspannung von $U_{dc}/4$ auf $U_{dc}/2$ der negative Phasenstrom i_x vom Strompfad über den Schalter S_{5x} und den drei in Reihe geschalteten Clamp-Diolen D_{10x} auf den Strompfad über die 4 antiparallelen Diolen D_{1x} - D_{4x} kommutiert. Es ist ersichtlich dass dieser Kommutierungspfad aufgrund der großen Anzahl der im Kommutierungspfad liegenden Halbleiterbauelemente eine hohe Streuinduktivität aufweisen muss. Dies widerspricht der Forderung eines niederinduktiven Aufbaus sämtlicher Kommutierungspfade und führt je nach Änderungsgeschwindigkeit des Phasenstromes über den abschaltenden Halbleiter zu einer Überspannung, die proportional mit der im Kommutierungspfad vorhandenen Streuinduktivität wächst. Die Anzahl der Kommutierungspfade eines N-stufigen NPC Umrichters beträgt pro Phase:

$$N_{Kom} = 2 \cdot (N-1) \quad (3.20)$$

Bei einem 5-stufigen NPC Umrichter beträgt nach (3.20) die Anzahl der Kommutierungspfade $N_{Kom} = 8$. In einem realen N-stufigen NPC Stromrichter ($N > 3$) ist es

also schwierig sämtliche Kommutierungspfade niederinduktiv aufzubauen, weshalb die maximale Anzahl der Spannungsstufen in der Mittelpunktspannung auf 5 begrenzt wird. Es besteht die Möglichkeit, die durch die große Streuinduktivität verursachte Überspannung über dem abschaltenden Halbleiter mittels eines parallel geschalteten Entlastungsnetzwerkes zu reduzieren, doch ist dies nur mit einer Erhöhung der Anzahl an passiven Bauelementen möglich. Dadurch erhöhen sich sowohl die Kosten als auch die Komplexität des Umrichtersystems bei gleichzeitig sinkender Zuverlässigkeit.

Ein weiteres Problem bei der Realisierung eines N-stufigen NPC Umrichters ($N > 3$) besteht darin, dass die symmetrische Spannungsaufteilung über den Zwischenkreiskondensatoren bei lastseitiger Wirkleistungsentnahme nicht mehr sichergestellt werden kann. Dies kann dazu führen, dass die maximale Blockier- bzw. Sperrspannung einzelner Halbleiter überschritten wird. Damit die Zwischenkreisspannung in den betreffenden Betriebspunkten symmetrisch verteilt bleibt ist ein zusätzlicher Aufwand notwendig. In [48] wird ein komplexes Regelverfahren zur Symmetrierung der Kondensatorspannung vorgeschlagen. Demgegenüber ist in [49] der zusätzliche Einbau einer Symmetrierungsschaltung notwendig, welche sowohl aus aktiven als auch passiven Bauelementen besteht. Eine weitere Möglichkeit stellt die separate Versorgung der einzelnen Zwischenkreiskondensatoren dar [50]. Im 3L-NPC ergibt sich hingegen keine unsymmetrische Spannungsaufteilung im Zwischenkreis bei Anwendung der hier vorgeschlagenen Sinus-Dreieck-Modulation, wobei ein sinusförmiger Laststrom vorausgesetzt wird. Der Strom, welcher innerhalb einer Periode der Ausgangsspannung im stationären Betrieb in den Mittelpunkt (Neutral-Point) M fließt, beträgt im Mittel null. Hingegen kommt es auch beim 3L-NPC Umrichter bei dynamischen Regelvorgängen zu einer unsymmetrischen Verteilung der Spannungen über den Zwischenkreiskondensatoren. Durch eine Injektion von Gleichanteilen in den entsprechenden Referenzsignalen kann dieser unsymmetrischen Verteilung einfach entgegengewirkt werden [51].

Des Weiteren kommt es bei Verwendung der Sinus-Dreieck-Modulation zur Generierung der Ausgangsspannung eines N-stufigen NPC Umrichters zu einer ungleichmäßigen Ausnutzung der Schalter einer Phase. Beispielhaft erkennt man in Abb. 3.4, in der die Sinus-Dreieck Modulation eines 5-stufigen NPC-Umrichters dargestellt ist, dass bei kleinen Modulationsgraden ($m_a < 0,5$) keine Schnittpunkte zwischen dem sinusförmigen Referenzsignal und dem oberen bzw. unteren Dreieckssignal auftreten. Dadurch generieren die äußeren Schalter S_{1x} und S_{8x} bzw. deren antiparallelen Dioden D_{1x} und D_{8x} weder Schalt- noch Leitverluste.

3.2 Flying Capacitor Stromrichter (FLC)

3.2.1 3-Level Flying Capacitor Stromrichter (3L-FLC)

Der Flying Capacitor Stromrichtertopologie ist in der Literatur auch als Floating Capacitor-, Imbricataed Cell- oder Clamped Capacitor-Stromrichter bekannt. Diese Topologie wurde von T. Meynard im Jahre 1992 der Öffentlichkeit vorgestellt [21] und ist in [63] patentiert. Die Schaltung eines 3L-Flying Capacitor Stromrichters ist in Abb. 3.9 dargestellt. Der 3-Level Flying Capacitor Umrichter (3L-FLC) kann als eine Zusammenschaltung von zwei herkömmlichen 2-Level-Stromrichter Topologien angesehen werden, welche in Abb. 3.9 a) mit Zelle 1 und Zelle 2 gekennzeichnet sind. Zelle 1 besteht dabei aus zwei schaltbaren Halbleiterbauelementen (S_{1x} und S'_{1x}), deren antiparallelen Dioden (D_{1x} und D'_{1x}) sowie den Zwischenkreiskondensatoren (C_{dc}). Zur Zelle 2 wird neben den Halbleiterbauelementen S_{2x} , S'_{2x} , D_{2x} , D'_{2x} der so genannte Flying Capacitor $C_{F2,x}$ zugeordnet. Die Schaltzustände der Schalter S_{1x} und S'_{1x} (Zelle 1) sowie S_{2x} und S'_{2x} (Zelle 2) sind komplementär zueinander. Beide Zellen sind durch den Flying Capacitor $C_{F2,x}$ miteinander verbunden. Damit in der Mittelpunktspannung $\tilde{3}$ äquidistante Spannungsstufen generiert werden können, muss die

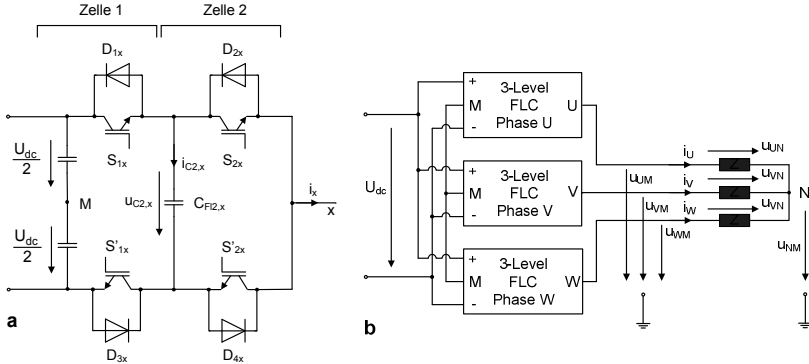


Abb. 3.9: Schaltung 3-Level Flying Capacitor Umrichter Topologie
 a) Phasenbaustein; b) 3-phasige Anordnung

Tabelle 3-3 Schaltabelle einer Phase eines 3L-FLC Stromrichters (x=Phase U,V,W; $u_{C2,x} = U_{dc}/2$)

Schaltzustand S_z	Zelle 1		Zelle 2		u_{xM}	$i_{C2,x}$
{ 1 1 }	S_{1x} ein	S'_{1x} aus	S_{2x} ein	S'_{2x} aus	$U_{dc}/2$	0
{ 1-1 }	S_{1x} ein	S'_{1x} aus	S_{2x} aus	S'_{2x} ein	0	$+i_x$
{-1 1 }	S_{1x} aus	S'_{1x} ein	S_{2x} ein	S'_{2x} aus	0	$-i_x$
{-1-1 }	S_{1x} aus	S'_{1x} ein	S_{2x} aus	S'_{2x} ein	$-U_{dc}/2$	0

nominale Spannung sämtlicher Flying Capacitors $u_{C2,U/V/W}$ $U_{dc}/2$ betragen. In den folgenden Betrachtungen wird diese Spannung als konstant angenommen. In Tabelle 3-3 sind die möglichen Schaltzustände einer Phase des 3L-FLC Umrichters dargestellt.

Der Schaltzustand S_z in Tabelle 3-3 repräsentiert dabei die Schaltzustände der oberen Schalter S_{1x} und S_{2x} in den betrachteten Zellen einer Phase. Zum Beispiel bedeutet der Schaltzustand { 1-1 }, dass in der Zelle 1 der obere Schalter S_{1x} eingeschaltet und in der Zelle 2 der obere Schalter S_{2x} ausgeschaltet ist. Im Gegensatz zum 3L-NPC Umrichter ergeben sich zwei redundante Schaltzustände ($\{ 1-1 \}; \{-1 1 \}$) in denen die Mittelpunktspannung $U_{xM} = 0$ beträgt. Diese zwei redundanten Schaltzustände unterscheiden sich einerseits durch die an der Stromführung beteiligten Schalter bzw. Dioden andererseits besteht die Möglichkeit die Richtung des Stromes $i_{C2,x}$, welcher durch den Flying Capacitor $C_{F12,x}$ fließt, frei zu wählen. Es ist ersichtlich, dass diese beiden Schaltzustände genutzt werden können, um die Spannung des Flying Capacitors $u_{C2,x}$ um den geforderten Wert von $U_{dc}/2$ zu balancieren. Auf die Dimensionierung der Flying Capacitors $C_{F12,x}$ wird in Kapitel 4.4 detailliert eingegangen. Die Kommutierungsspannung U_{kom} mit der jeder Halbleiterschalter betrieben wird, beträgt bei einer konstanten Flying Capacitor Spannung von $U_{dc}/2$:

$$U_{kom} = \frac{U_{dc}}{2} \tag{3.21}$$

Abb. 3.10 zeigt die möglichen Strompfade, die sich bei unterschiedlicher Polarität des Phasenstromes i_x beim 3L-FLC in den betreffenden Schaltzuständen einstellen. Durch deren Kenntnis ist es möglich, bei bekannter Modulation der Schaltsignale die Leitverluste aller Halbleiter eindeutig zu bestimmen.

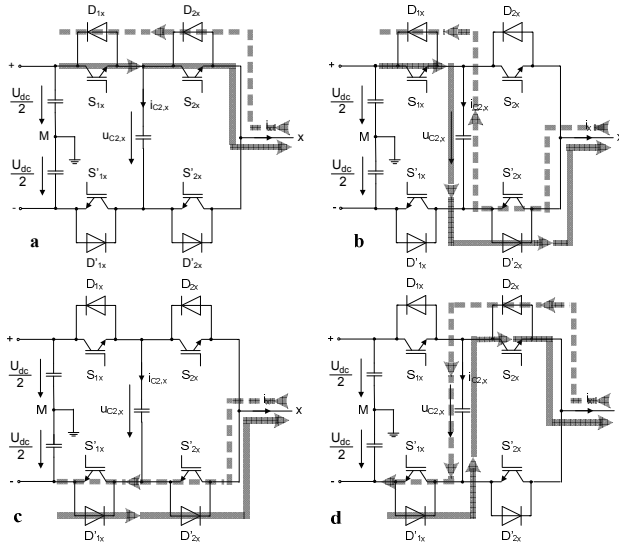


Abb. 3.10: Strompfade eines 3L-FLC Umrichters in den verschiedenen Schaltzuständen ($u_{c2,x} = U_{dc}/2$)
 a) $U_{xM} = U_{dc}/2$ ({ 1-1}); b) $U_{xM} = 0$ ({ 1-1}); c) $U_{xM} = -U_{dc}/2$ ({ -1-1}); d) $U_{xM} = 0$ ({-1 1})

Strompfade. In Abb. 3.10 ist zu erkennen, dass beim 3L-FLC Umrichter in jedem der 4 möglichen Schaltzustände jeweils 2 Halbleiterbauelemente den Phasenstrom i_x führen. Abhängig vom Schaltzustand und der Richtung des Phasenstromes i_x leitet jeweils eine Diode oder ein IGBT in jeder Zelle. Darüber hinaus wird der Flying Capacitor in den Schaltzuständen { 1-1} und {-1 1} vom Phasenstrom durchflossen. Die entstehenden Leitverluste der vier Halbleiter einer jeden Zelle (z.B. Zelle 1: S_{1x}/ D_{1x} , S'_{1x}/ D'_{1x}) sind weitestgehend identisch mit denen einer Phase eines herkömmlichen 2-Level Umrichters, wobei eine entsprechende Modulation der Schaltsignale und eine identische Kommutierungsspannung U_{Kom} vorausgesetzt wird.

Kommutierungen. In Abb. 3.11 a)-d) sind die möglichen 4 Kommutierungspfade einer Phase beim Wechsel des Schaltzustandes bei unterschiedlicher Polarität des Phasenstromes dargestellt.

In Abb. 3.11 a) erkennt man, dass der positive Phasenstrom durch das aktive Abschalten des Schalters S_{1x} auf die gegenüberliegende Diode D'_{1x} kommutiert. Die Mittelpunktspannung u_{xM} ändert sich während dieser Kommutierung um $\Delta u_{xM} = -U_{dc}/2$, d.h. es tritt eine kapazitive Kommutierung auf, da der Gradient der Ausgangsleistung negativ ist. Der Schalter S_{1x} generiert während dieser Art der Kommutierung die Ausschaltverlustenergie E_{off} . Die Einschaltverlustenergie die während der Kommutierung in der Diode D'_{1x} entsteht, wird hierbei nicht berücksichtigt, da sie im Vergleich zur Verlustenergie, welche beim Recovery Vorgang entsteht, sehr gering ist.

Eine induktive Kommutierung tritt auf, wenn durch das aktive Einschalten des Schalters S_{1x} der positive Phasenstrom von der Diode D'_{1x} auf den Schalter S_{1x} kommutiert (vgl. Abb. 3.11 a). Die Mittelpunktspannung u_{xM} ändert sich während dieser Kommutierung um $U_{dc}/2$ ($\Delta u_{xM} = U_{dc}/2$) und der Gradient der Ausgangsleistung ist positiv. Bei diesem Vorgang generiert der Schalter S_{1x} die Einschaltverlustenergie E_{on} und die Diode D'_{1x} wird aufgrund

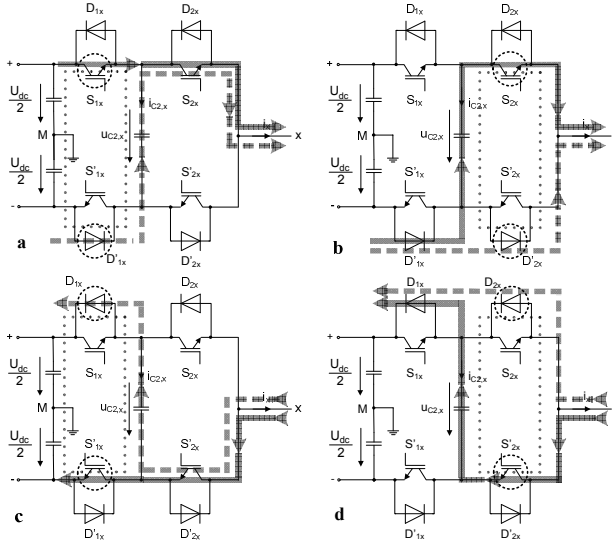


Abb. 3.11: Mögliche Kommutierungen beim Wechsel des Schaltzustandes einer Phase beim 3L-FLC Umrichter mit $u_{c2,x} = U_{dc}/2$

- a) $u_{xM} = U_{dc}/2 \leftrightarrow 0$ ($\{-1\ 1\}$); $i_x > 0$ b) $u_{xM} = -U_{dc}/2 \leftrightarrow 0$ ($\{-1\ 1\}$); $i_x > 0$
 c) $u_{xM} = -U_{dc}/2 \leftrightarrow 0$ ($\{1\ -1\}$); $i_x < 0$ d) $u_{xM} = U_{dc}/2 \leftrightarrow 0$ ($\{1\ -1\}$); $i_x < 0$

Tabelle 3-4 Übersicht über die Zuordnung der Schaltverlustenergien während der Kommutierungsvorgänge ($i_x \neq 0$; $u_{c2,x} = U_{dc}/2$)

Schaltzustandsänderung	Phasenstrom $i_x > 0$			Phasenstrom $i_x < 0$		
	E_{on}	E_{off}	E_{rec}	E_{on}	E_{off}	E_{rec}
Zelle 1						
$1 \rightarrow -1$ ($\Delta U_{xM} = -U_{dc}/2$)	-	S'_{1x}	-	S'_{1x}	-	D'_{1x}
$-1 \rightarrow 1$ ($\Delta U_{xM} = U_{dc}/2$)	S_{1x}	-	D'_{1x}	-	S'_{1x}	-
Zelle 2						
$1 \rightarrow -1$ ($\Delta U_{xM} = -U_{dc}/2$)	-	S_{2x}	-	S'_{2x}	-	D_{2x}
$-1 \rightarrow 1$ ($\Delta U_{xM} = U_{dc}/2$)	S_{2x}	-	D'_{2x}	-	S'_{2x}	-

des Recovery Vorgangs mit der Recoveryverlustenergie E_{rec} beansprucht. In den weiteren Kommutierungsvorgängen, welche in Abb. 3.11 b) - d) gezeigt sind, kann in gleicher Weise zwischen kapazitiver und induktiver Kommutierung unterschieden werden. Die Kommutierungen, die in jeder einzelnen Zelle auftreten können, sind identisch mit denen einer Phase eines herkömmlichen 2-Level Umrichters, d.h. dass der Phasenstrom i_x grundsätzlich von einem Schalter einer Zelle auf die gegenüberliegende Diode bzw. von einer Diode auf den gegenüberliegenden Schalter kommutiert. Durch das Schalten eines der beiden komplementären Schalterpaare S_{1x}/S'_{1x} und S_{2x}/S'_{2x} ergeben sich jeweils zwei mögliche Kommutierungspfade (vgl. Abb. 3.11 a),c) bzw. b),d)), welche jeweils zu einer so genannten Kommutierungszelle zusammengefasst werden können. In Tabelle 3-4 ist für den 3L-FLC Stromrichter dargestellt, welche Art von Schaltverlustenergien in den entsprechenden Schaltern bzw. Dioden während der gezeigten Kommutierungsvorgänge generiert wird.

Modulation. Zur Erzeugung einer in der Grundschiwingung sinusförmigen Mittelpunktspannung $u_{xM,1}$ wird beim 3L-FLC Umrichter das trägerbasierte Modulationsverfahren des Sinus-Dreieck-Vergleichs angewendet. Wie beim 3L-NPC Umrichter, werden zwei verschiedene Arten der Sinus Dreieck Modulation verwendet, wobei die Anordnung der Trägersignale zueinander unterschiedlich ist. Der entscheidende Unterschied zu der Modulation des 3L-NPC Umrichters besteht darin, dass die Mittelpunktspannung des 3L-FLC Umrichters maßgeblich von der Spannung des Flying Capacitors $u_{C2,x}$ abhängt. Es ist also notwendig die Abweichung der Flying Capacitor Spannung $\Delta u_{C2,x}$ welche durch den Phasenstrom i_x in den Schaltzustände $\{-1\ 1\}$ bzw. $\{1\ -1\}$ (vgl. Tabelle 3-3) hervorgerufen wird, möglichst klein zu halten, damit die 3-stufige Charakteristik in der Mittelpunktspannung beim 3L-FLC Umrichter nicht verloren geht. Bezüglich der Modulation kann diese Vorgabe erreicht werden, indem man die Schaltzustände $\{-1\ 1\}$ und $\{1\ -1\}$ (Mittelpunktspannung $u_{xM} = 0$) gleichmäßig innerhalb einer Periode des Trägersignals verteilt.

Trägersignale. Eine einfache Anordnung der Trägersignale ist in Abb. 3.12 a) dargestellt. Dabei wird jeweils ein Trägersignal (u_{carr1} bzw. u_{carr2}) für die Generierung der Schaltsignale pro Zelle (Zelle 1 bzw. Zelle 2) im 3L-FLC Umrichter zugeordnet. Pro Zelle ist diese Vorgehensweise identisch mit der trägerbasierten Modulation einer Phase eines herkömmlichen 2-Level Umrichters. Da eine Phase des 3L-FLC Umrichters aus zwei 2-Level Zellen aufgebaut ist, werden zwei Trägersignale für die Sinus-Dreieck-Modulation benötigt. Diese beiden Trägersignale sind um $T_C/2$ (180°) zueinander verschoben, um eine gleichmäßige Verteilung der Schaltzustände $\{-1\ 1\}$ und $\{1\ -1\}$ zu erreichen. Mit dieser Anordnung der Trägersignale wird bei einer Sinus-Dreieck-Modulation eine 3-stufige Mittelpunktspannung generiert, welche vergleichbar ist mit der eines 3L-NPC Umrichters bei Verwendung von APOD-Trägersignalen. Aufgrund dieser Tatsache werden im Folgenden die versetzten Trägersignale beim 3L-FLC Umrichter (vgl. Abb. 3.12 a)) als APOD-Trägersignale bezeichnet [46].

In Abb. 3.12 b) ist eine Anordnung von Trägersignalen dargestellt, welche in [52] für die Modulation der Schaltsignale eines 3L-FLC Umrichters vorgeschlagen wird. Dabei wird der untere Teil der versetzten Trägersignale nach Abb. 3.12 a) um $1/4$ der Trägersignalperiode T_C verschoben. Es ergeben sich dadurch 4 Trägersignale mit einem trapezförmigen Verlauf, wobei die Trägersignale u_{carr1} und u_{carr3} für die Modulation der Schaltsignale der 1. Zelle zugeordnet werden. Entsprechend werden die Trägersignale u_{carr2} und u_{carr4} für die Generierung der Schaltsignale der 2. Zelle verwendet. Wie bei der Modulation mit versetzten Trägersignalen in Abb. 3.12 a) kommt es auch hier zu einer geforderten gleichmäßigen Verteilung der Schaltzustände $\{1\ -1\}$ und $\{-1\ 1\}$. Außerdem ist die Schaltfrequenz der entsprechenden Halbleiter in beiden Zellen identisch, was zu einer gleichmäßigen Verteilung der Halbleiterverluste beider Zellen führt. Bei der Anordnung der 4 trapezförmigen Trägersignale nach Abb. 3.12 b) ergibt sich bei einer Sinus-Dreieck-Modulation eine

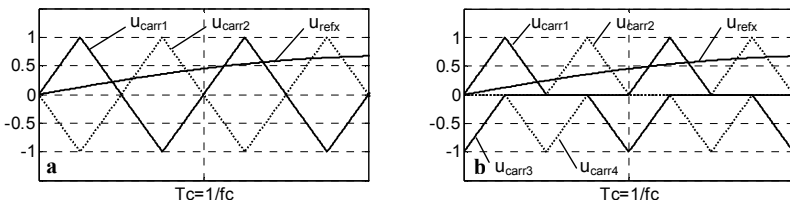


Abb. 3.12: Anordnung der Trägersignale für die Modulation eines 3L-FLC Umrichters
a) versetzte Trägersignale; b) Trägersignale gemäß [52]

dreistufige Mittelpunktspannung, welche vergleichbar ist mit der eines 3L-NPC Umrichters, wenn PD-Trägersignale verwendet werden. Im Folgenden wird deshalb die Anordnung der Trägersignale nach [52] als PD-Trägersignalanordnung bezeichnet.

Bei beiden hier betrachteten Möglichkeiten der Sinus-Dreieck-Modulation eines 3L-FLC Umrichters treten innerhalb einer Periode eines Trägersignals $T_C = 1/f_C$ (vgl. Abb. 3.12) 4 Kommutierungen auf. Im Vergleich zum 3L-NPC Umrichter ist also die Anzahl der Kommutierungen (und damit die Schaltfrequenz f_S pro Schalterposition) doppelt so groß, wenn die Trägerfrequenz f_C in beiden Topologien identisch ist. Bei der Verwendung von PD- als auch APOD-Trägersignalen ergeben sich bei einer Sinus-Dreieck-Modulation beim 3L-NPC Umrichter und beim 3L-FLC Umrichter jeweils identische Verläufe der Mittelpunktspannung u_{xM} , wenn folgender Zusammenhang zwischen den Trägerfrequenzen f_C beider Stromrichtertopologien besteht:

$$f_{C,3L-FLC} = \frac{f_{C,3L-NPC}}{2} \quad (3.22)$$

Referenzsignale. Die Referenzsignale $u_{refU/V/W}$ aller drei Phasen enthalten, wie beim 3L-NPC Stromrichter, neben einer sinusförmigen Grundschiwingung eine 3. Harmonische mit 1/6 der Amplitude der Grundschiwingung. Der zeitliche Verlauf wurde schon in (3.2) dargestellt. Mit (3.3) und (3.4) ist der Zusammenhang zwischen dem Modulationsindex m_a und dem Effektivwert der Grundschiwingung der Mittelpunktspannung $U_{xM,1}$ definiert.

Der Zeitverlauf der gepulsten Mittelpunktspannung u_{xM} sowie die dazugehörigen Schaltzustände Sz , welche durch die Sinus-Dreieck-Modulation mit versetzten Trägersignalen (vgl. Abb. 3.12 a)) generiert werden, können mit (3.23) hergeleitet werden.

$$u_{xM} = \begin{cases} \frac{U_{dc}}{2} \\ 0 \\ 0 \\ -\frac{U_{dc}}{2} \end{cases} \quad Sz = \begin{cases} \{1 \ 1\} & \text{für } u_{refx} > u_{carr1} \cap u_{refx} > u_{carr2} \\ \{1 -1\} & \text{für } u_{refx} > u_{carr1} \cap u_{refx} < u_{carr2} \\ \{-1 \ 1\} & \text{für } u_{refx} < u_{carr1} \cap u_{refx} > u_{carr2} \\ \{-1 -1\} & \text{für } u_{refx} < u_{carr1} \cap u_{refx} < u_{carr2} \end{cases} \quad (3.23)$$

Bei der Sinus-Dreieck-Modulation mit Trägersignalen gemäß [52] (vgl. Abb. 3.12 b)) werden vier Trägersignale für die Erzeugung der Mittelpunktspannung benötigt. Dabei wird das Referenzsignal für $u_{refx} > 0$ nur mit den Trägersignalen u_{carr1} und u_{carr2} verglichen. Entsprechend werden für $u_{refx} < 0$ die Trägersignale u_{carr3} und u_{carr4} für die Modulation benötigt. Das Bildungsgesetz für den Zeitverlauf der Mittelpunktspannung u_{UM} sowie die dazugehörigen Schaltzustände Sz sind mit (3.24) für $u_{refx} > 0$ und mit (3.25) für $u_{refx} < 0$ definiert.

$$u_{xM} = \begin{cases} \frac{U_{dc}}{2} \\ 0 \\ 0 \end{cases} \quad Sz = \begin{cases} \{1 \ 1\} & \text{für } u_{refx} > u_{carr1} \cap u_{refx} > u_{carr2} \\ \{1 -1\} & \text{für } u_{refx} > u_{carr1} \cap u_{refx} < u_{carr2}, \quad u_{refx} > 0 \\ \{-1 \ 1\} & \text{für } u_{refx} < u_{carr1} \cap u_{refx} > u_{carr2} \end{cases} \quad (3.24)$$

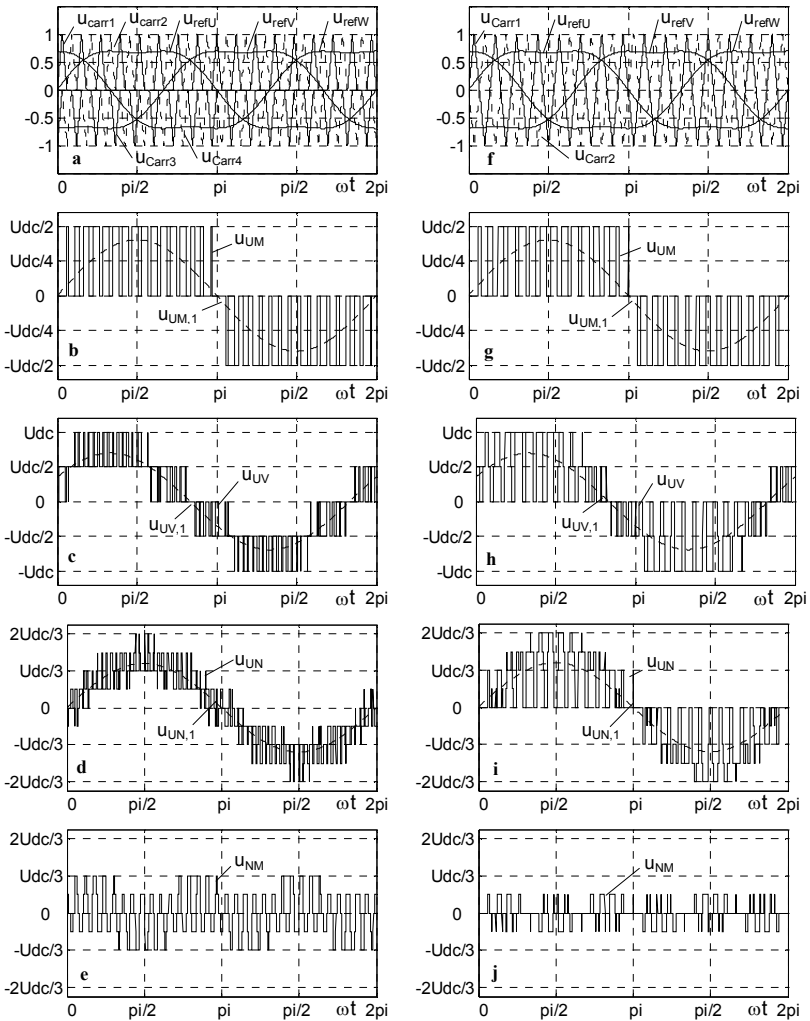


Abb. 3.13: Spannungsverläufe 3L-FLC Stromrichter bei Sinus-Dreieck Modulation
 (a)-e) PD-Modulation; f)-j) APOD-Modulation; $f_c/f_1 = 15$; $m_a = 0,8$
 a), f) Referenzspannungen $u_{refU/V/W}$; Carriersignale $u_{carr1/2}$ (Trägersignale)
 b), g) Mittelpunktspannung u_{UM} ; Grundschwingung der Mittelpunktspannung $u_{UM,1}$
 c), h) Außenleiterspannung u_{UV} ; Grundschwingung der Außenleiterspannung $u_{UV,1}$
 d), i) Phasenspannung u_{UN} ; Grundschwingung der Phasenspannung $u_{UN,1}$
 e), j) Stern-Mittelpunktspannung u_{NM}

$$u_{xM} = \begin{cases} 0 \\ 0 \\ -\frac{U_{dc}}{2} \end{cases} \quad Sz = \begin{cases} \{1-1\} & \text{für } u_{refx} > u_{carr3} \cap u_{refx} < u_{carr4} \\ \{-1\ 1\} & \text{für } u_{refx} < u_{carr3} \cap u_{refx} > u_{carr4}, \quad u_{refx} < 0 \\ \{-1-1\} & \text{für } u_{refx} < u_{carr3} \cap u_{refx} < u_{carr4} \end{cases} \quad (3.25)$$

Ausgangsspannungen. In Abb. 3.13 sind beispielhaft die Spannungsverläufe dargestellt, welche bei Verwendung von PD- sowie APOD-Trägersignalen, einem Modulationsgrad von $m_a = 0,8$ und einem Frequenzverhältnis von $m_f = 15$ resultieren. In der Außenleiterspannung u_{UV} und in Phasenspannung u_{UN} (Abb. 3.13 h),i) ergeben sich bei Verwendung von versetzten Trägersignalen (APOD-Trägersignalen) in einigen Schaltzeitpunkten Spannungssprünge über zwei benachbarte Spannungsstufen. Hingegen besitzt bei der Verwendung von Trägersignalen gemäß [52] die Stern-Mittelpunktspannung u_{NM} größere Spannungsstufen (Abb. 3.13 e),j)). Die Anzahl der möglichen Spannungsstufen in sämtlichen in Abb. 3.13 gezeigten Ausgangsspannungen können mit (3.7)-(3.11) bestimmt werden.

Im Vergleich mit den Spannungsverläufen des 3L-NPC Stromrichters (vgl. Abb. 3.5) ist zu erkennen, dass die wirksame Schaltfrequenz in sämtlichen Ausgangsspannung doppelt so groß ist, wenn eine identische Trägerfrequenz f_c angenommen wird. Aufgrund des identischen Frequenzverhältnisses von $m_f = 15$, ergeben sich beim 3L-FLC Stromrichter doppelt so viele Schaltvorgänge, da die Schalter beider Kommutierungszellen (Zelle 1 und Zelle 2, vgl. Abb. 3.9a)) zeitlich versetzt zueinander mit der Trägerfrequenz f_c betrieben werden. Die mittlere Schaltfrequenz pro Schalterposition (z. B. S_{1x} und D_{1x}) ist beim 3L-FLC Stromrichter somit identisch mit der Trägerfrequenz f_c .

Amplitudenspektren. In Abb. 3.14 sind die Amplitudenspektren der Mittelpunktspannung u_{UM} und der Außenleiterspannung u_{UV} bei einem Frequenzverhältnis von $m_f = 15$ bei Verwendung von PD- und APOD-Trägersignalen dargestellt. Der Modulationsgrad beträgt hierbei $m_a = 0,8$.

Abb. 3.14 c) zeigt das Amplitudenspektrum der Mittelpunktspannung u_{UM} , wobei für die Sinus-Dreieck-Modulation APOD-Trägersignale (versetzte Trägersignale) verwendet wurden. Man erkennt, dass das 1. Trägerband um die doppelte Trägerfrequenz ($f_{1cb} = 2 \cdot f_c$) lokalisiert ist. In diesem Trägerband ist keine dominante Oberschwingung bei der doppelten Trägerfrequenz enthalten. Vielmehr gruppieren sich um die doppelte Trägerfrequenz ausgeprägte Seitenbänder. Die Trägerbänder um die ungeradzahigen Vielfachen der Trägerfrequenz werden durch die versetzte Taktung beider Zellen des 3L-FLC Umrichters eliminiert. Dies lässt sich wie folgt erklären: Die Schaltsignale jeweils einer Zelle des 3L-FLC Umrichters werden bei Verwendung von versetzten Trägersignalen wie die Schaltsignale eines herkömmlichen 2L-Umrichters mit der Trägerfrequenz f_c moduliert. Dadurch tritt das 1. Trägerband im Amplitudenspektrum der Schalterspannungen u_{S1x} und u_{S2x} um die einfache Trägerfrequenz f_c auf. Durch die um 180° versetzten Trägersignale sind sämtliche Oberschwingungen der ungeradzahigen Trägerbänder (um $(2 \cdot n - 1) \cdot f_c$) in der Schalterspannung u_{S1x} gegenüber denen in der Schalterspannung u_{S2x} (vgl. Abb. 3.9 a)) auch um 180° phasenverschoben [7]. Da die Mittelpunktspannung u_{xM} mit (3.26) berechnet werden kann, löschen sich sämtliche Oberschwingungen in den Trägerbändern der Schalterspannungen, welche um die ungeradzahigen Vielfachen der Trägerfrequenz lokalisiert sind, gegenseitig aus:

$$u_{xM} = \frac{U_{dc}}{2} - u_{S1x} - u_{S2x} \quad (3.26)$$

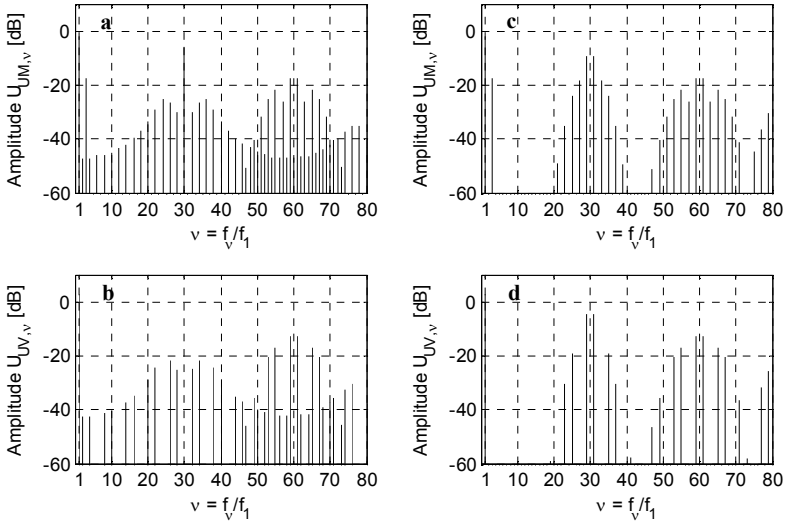


Abb. 3.14 Amplitudenspektren beim 3L-FLC Umrichter ($m_f = f_c/f_1 = 15$; $m_a = 0,8$; $0\text{dB} = U_{dc}/2$)

- a) Mittelpunktspannung u_{UM} ; PD-Trägersignale
- b) Außenleiterspannung u_{UV} ; PD-Trägersignale
- c) Mittelpunktspannung u_{UM} ; APOD-Trägersignale
- d) Außenleiterspannung u_{UV} ; APOD-Trägersignale

In der Mittelpunktspannung u_{xM} des 3L-FLC Umrichters, welche mittels einer Sinus-Dreieck-Modulation mit versetzten Trägern generiert wird, treten an folgenden Frequenzen Oberschwingungen auf:

$$f_v = (2 \cdot n) \cdot f_c \pm (2 \cdot \mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; \quad (3.27)$$

Mit (3.27) treten sowohl bei einem ungeradzahigen als auch bei einem geradzahigen Frequenzverhältnis nur ungeradzahige Oberschwingungen auf (vgl. Abb. 3.14 c), d).

In Abb. 3.14 a) erkennt man, dass bei Verwendung von PD-Trägersignalen die Oberschwingungen des 1. Trägerbandes, wie bei der APOD-Modulation, um die doppelte Trägerfrequenz lokalisiert sind ($f_{1cb} = 2 \cdot f_c$). Die Oberschwingung bei der doppelten Trägerfrequenz ist dabei dominant. Das 2. Trägerband tritt um die 4-fache Trägerfrequenz auf. Wie bei der Modulation mit APOD-Trägersignalen werden die Trägerbänder um die ungeradzahigen Vielfachen der Trägerfrequenz, welche in den Schalterspannungen u_{s1x} und u_{s2x} enthalten sind, eliminiert. Diese Auslöschung kommt zustande, da die Trägersignale u_{carr1}/u_{carr3} bzw. u_{carr2}/u_{carr4} (vgl. Abb. 3.12 b)), welche für die Modulation der Schaltsignale der Zelle 1 bzw. Zelle 2 verwendet werden, um $T_c/2$ (180°) zueinander versetzt (phasenverschoben) sind.

Der prinzipielle Aufbau der ungeradzahigen sowie der geradzahigen Trägerbänder in der Mittelpunktspannung u_{xM} (Abb. 3.14 a)), welcher bei einer Sinus-Dreieck-Modulation mit PD-Trägersignalen resultiert, wurde bereits in Kapitel 3.1 detailliert erklärt. Allgemein treten bei der Modulation mit PD-Trägersignalen (Trägersignale gemäß [52]) in der Mittelpunktspannung eines 3L-FLC Umrichters bei folgenden Frequenzen Oberschwingungen auf:

$$f_v = 2 \cdot n \cdot f_c \pm (\mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; (n + (\mu - 1)) = \text{ungerade} \quad (3.28)$$

Bei einem ungeradzahigen als auch geradzahigen Frequenzverhältnis treten also sowohl geradzahige Harmonische (1. Trägerband) als auch ungeradzahige Harmonische (2. Trägerband) in der Mittelpunktspannung auf (vgl. Abb. 3.14 a),b)).

In den Amplitudenspektren der Außenleiterspannungen u_{UV} (Abb. 3.14 b),d)) sind, im Vergleich zu denen der Mittelpunktspannung die durch 3 teilbaren Oberschwingungen nicht mehr enthalten, da diese in einem symmetrischen dreiphasigen Spannungssystem Gleichtaktkomponenten darstellen.

WTHDn und THDn. In Abb. 3.15 a)-d) ist der THDn und der WTHDn sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei verschiedene Arten der Modulation (PD-/ APOD-Trägersignale) und zwei Frequenzverhältnisse ($m_f = 15,21$) betrachtet werden.

Da der THDn nach (3.15) keine frequenzabhängige Gewichtung der Oberschwingungen aufweist, sind dessen Verläufe in Abb. 3.15 a) und b) identisch mit dem des 3L-NPC Umrichters (vgl. Abb. 3.7 a),b)), obwohl die Trägerbänder in der Mittelpunkt- als auch in Außenleiterspannung beim 3L-FLC Stromrichter um Vielfache der doppelten Trägerfrequenz ($f_{ncb} = 2 \cdot n \cdot f_C$, $n = 1,2,\dots$) lokalisiert sind (vgl. Abb. 3.14). Der THDn der Mittelpunktspannung ist sowohl vom gewählten Frequenzverhältnis als auch von der Art der Modulation unabhängig (vgl. Abb. 3.7 a)). Hingegen ist der THDn der Außenleiterspannung von der Art der Modulation (PD-, APOD-Modulation) aber nicht vom gewählten Frequenzverhältnis abhängig. Man erkennt, dass bei Verwendung von PD- Trägersignalen der THDn signifikant kleiner ist.

In Abb. 3.7 c) erkennt man, dass der WTHDn der Mittelpunktspannung nur marginal von den hier betrachteten Frequenzverhältnissen m_f aber nicht von der Anordnung der Trägersignale in der Modulation abhängt. Des Weiteren ist der steigende Verlauf des WTHDn der

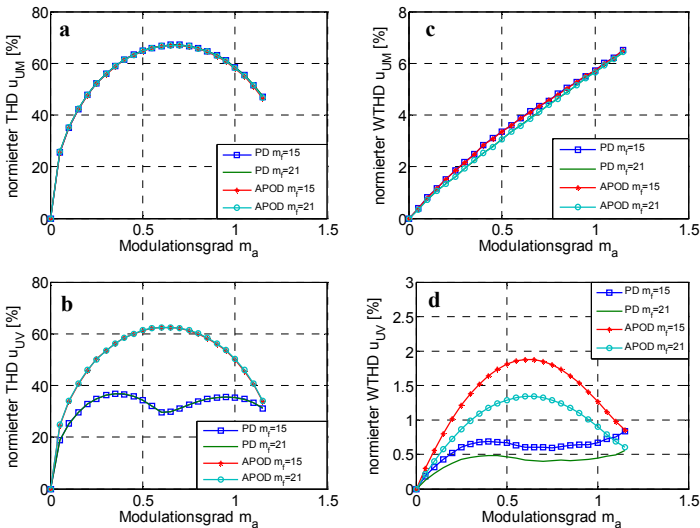


Abb. 3.15 Vergleich THDn und WTHDn der Ausgangsspannungen eines 3L-FLC Umrichters bei Sinus-Dreieck-Vergleich mit injizierter 3. Harmonischer mit PD- bzw. APOD-Trägersignalen und verschiedenen Frequenzverhältnissen m_f
a) THDn der Mittelpunktspannung u_{UM} ; b) THDn der Außenleiterspannung u_{UV}
c) WTHDn der Mittelpunktspannung u_{UM} ; d) WTHDn der Außenleiterspannung u_{UV}

Mittelpunktspannung, wie beim 3L-NPC Stromrichter, auf die im Referenzsignal enthaltene 3. Harmonische zurück zu führen. Der WTHDn der Außenleiterspannung (Abb. 3.7 d) ist hingegen sowohl vom Frequenzverhältnis als auch von der Modulationsart abhängig. Der geringste WTHDn wird bei einem großen Frequenzverhältnis ($m_f = 21$) und bei Verwendung der PD-Modulation erreicht. Verglichen mit dem WTHDn der Außenleiterspannung des 3L-NPC Umrichter (vgl. Abb. 3.7 d)) ist dieser über den gesamten Bereich des Modulationsgrades signifikant kleiner, da die Oberschwingungen in den jeweiligen Trägerbändern beim 3L-FLC Umrichter um die Vielfachen der doppelten Trägerfrequenz auftreten und somit durch die frequenzabhängige Gewichtung der Oberschwingungen im WTHDn (vgl. (3.16)) stärker gedämpft werden.

3.2.2 4-Level Flying Capacitor-Stromrichter (4L-FLC)

Da der in diesem Abschnitt vorgestellte 4L-FLC Umrichter einen sehr ähnlichen Aufbau wie der 3L-FLC Umrichter besitzt, werden hier nur die wichtigsten Unterschiede dargestellt, um allgemeine Aussagen für einen N-stufigen FLC Stromrichter ableiten zu können. Diese werden dann im folgenden Kapitel 3.2.3 zusammengefasst.

Der 4L-FLC Stromrichter nach Abb. 3.16 besteht aus drei in Serie geschalteten Flying Capacitor Zellen. Damit die Mittelpunktspannung u_{xM} vier äquidistante Spannungsstufen annehmen kann, müssen die nominalen Spannungen $u_{C2/3,x}$ der entsprechenden Flying Capacitors $C_{F12/3,x}$ folgende Werte besitzen:

$$u_{C2,x} = \frac{2}{3} \cdot U_{dc}; \quad u_{C3,x} = \frac{1}{3} \cdot U_{dc}; \quad (3.29)$$

In Tabelle 3-5 sind die acht möglichen Schaltzustände S_z sowie die korrespondierenden Mittelpunktspannungen u_{xM} dargestellt. Für eine Mittelpunktspannung u_{xM} von $U_{dc}/6$ bzw. $-U_{dc}/6$ ergeben sich jeweils drei redundante Schaltzustände, welche sich, neben den an der Stromführung beteiligten Schaltern bzw. Dioden, in der Richtung der Kondensatorströme $i_{C2,x}$ und $i_{C3,x}$ unterscheiden. Diese redundanten Schaltzustände können zur Balancierung der Flying Capacitor Spannungen herangezogen werden, worauf in Abschnitt 4.4. detailliert eingegangen wird.

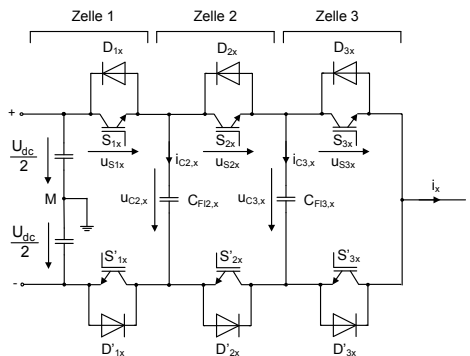


Abb. 3.16: Schaltung einer 4-Level Flying Capacitor Umrichter Topologie

Tabelle 3-5 Schaltabelle einer Phase eines 4L-FLC Stromrichter
($x = \text{Phase U, V, W}$; $u_{C2,x} = 2U_{dc}/3$; $u_{C3,x} = U_{dc}/3$)

Schaltzustand S_z	Zelle 1		Zelle 2		Zelle 3		u_{xM}	$i_{C2,x}$	$i_{C3,x}$
	S'_{1x}	S'_{1x}	S'_{2x}	S'_{2x}	S'_{3x}	S'_{3x}			
{ 1 1 1 }	ein	aus	ein	aus	ein	aus	$U_{dc}/2$	0	0
{ 1 1 -1 }	ein	aus	ein	aus	aus	ein	$U_{dc}/6$	0	$+i_x$
{ -1 1 -1 }	ein	aus	aus	ein	ein	aus	$U_{dc}/6$	$+i_x$	$-i_x$
{ -1 1 1 }	aus	ein	ein	aus	aus	ein	$U_{dc}/6$	$-i_x$	0
{ 1 -1 -1 }	ein	aus	aus	ein	aus	ein	$-U_{dc}/6$	$+i_x$	0
{ -1 -1 -1 }	aus	ein	ein	aus	aus	ein	$-U_{dc}/6$	$-i_x$	$+i_x$
{ -1 -1 1 }	aus	ein	aus	ein	ein	aus	$-U_{dc}/6$	0	$-i_x$
{ -1 -1 -1 }	aus	ein	aus	ein	aus	ein	$-U_{dc}/2$	0	0

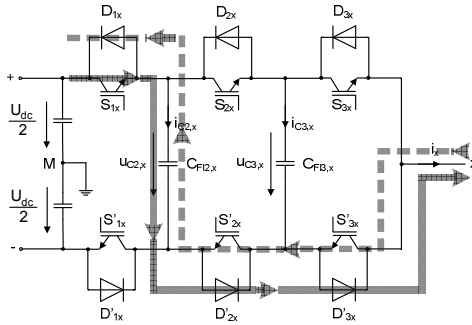


Abb. 3.17: Strompfad eines 4L-FLC Umrichters ($u_{C2,x} = 2U_{dc}/3$; $u_{C3,x} = U_{dc}/3$)
Schaltzustand { 1-1-1 }; $u_{xM} = -U_{dc}/6$

Die Kommutierungsspannung U_{Kom} mit der jeder Halbleiterschalter betrieben wird, beträgt unter der Voraussetzung, dass die Flying Capacitor Spannungen den Wert gemäß (3.29) besitzen:

$$U_{Kom} = \frac{U_{dc}}{3} \quad (3.30)$$

Strompfade. In Abb. 3.17 ist beispielsweise der Strompfad im Schaltzustand { 1-1-1 } eines 4L-FLC Phasenbausteins dargestellt. Allgemein lässt sich zeigen, dass, wie in Abb. 3.17 ersichtlich, in jedem Schaltzustand S_z jeweils 3 Halbleiterbauelemente den Phasenstrom i_x führen.

Kommutierungen. Beim Schaltzustandswechsel einer Phase kommutiert der Phasenstrom grundsätzlich zwischen den komplementären Spannungsschaltern (z.B. S_{1x}/D_{1x}) einer Kommutierungszelle. Die zwei möglichen Kommutierungspfade in den einzelnen Zellen sind, bis auf die Kommutierungsspannung U_{Kom} , mit denen eines 3L-FLC Umrichters identisch (vgl. Abb. 3.11).

Modulation. In Abb. 3.18 a) ist zu sehen, dass für die Generierung der Schaltsignale der drei Zellen einer Phase eines 4L-FLC Stromrichters nach Abb. 3.16 drei um $T_C/3$ (120°) versetzte symmetrische dreiecksförmige Trägersignale $u_{carr1,2,3}$ benötigt werden (APOD-Trägersignale). Dabei bestimmt der Vergleich zwischen einem Trägersignal und dem Referenzsignal, wie beim 3L-FLC Stromrichter (vgl. Abb. 3.12)), den Schaltzustand der entsprechenden Zelle (z.B. u_{carr1} für die Zelle 1). Durch die Schnittpunkte der Trägersignale untereinander lassen

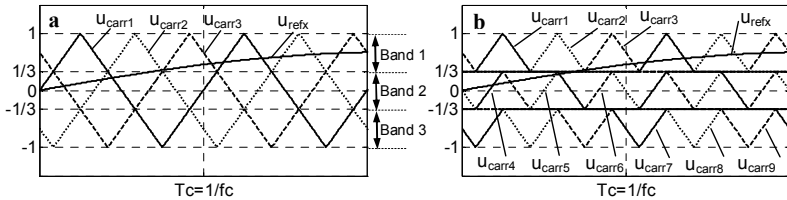


Abb. 3.18: Anordnung der Trägersignale für die Modulation eines 4L-FLC Umrichters
a) versetzte Trägersignale (APOD-Modulation)
b) angepasste Trägersignale gemäß [52] (PD-Modulation)

sich drei Modulationsbänder definieren (vgl. Abb. 3.18), in welchen beim Vergleich des Referenz- mit dem Trägersignals die Mittelpunktspannung zwischen zwei benachbarten Spannungsstufen geschaltet wird.

In Abb. 3.18 b) ist die Trägersignalanordnung für die PD-Modulation der Mittelpunktspannung eines 4L-FLC Stromrichter dargestellt, wobei eine Anpassung auf der Grundlage der in [52] für einen 3L-FLC Stromrichter beschriebene Trägersignalanordnung (vgl. Abb. 3.12) durchgeführt wurde. Im Vergleich mit der Trägersignalanordnung bei den versetzten Trägersignalen nach Abb. 3.18 a) ist zu sehen, dass der Verlauf der Trägersignale nach Abb. 3.18 b)

- im 1. Modulationsträgerband ($1 > u_{\text{carr}1,2,3} > 1/3$) nicht,
- im 2. Modulationsträgerband ($1/3 > u_{\text{carr}1,2,3} > -1/3$) um $T_C/6$ und
- im 3. Modulationsträgerband ($-1/3 > u_{\text{carr}1,2,3} > -1$) um $2 \cdot T_C/6$

verschoben ist. Es resultieren durch diese Verschiebung 9 trapezförmige Trägersignale, wobei in jedem der drei Modulationsträgerbänder 3 Trägersignale für die Modulation der Schaltsignale der 3 Zellen zugeordnet werden (z.B. $u_{\text{carr}1,4,7}$ für die Zelle 1).

Bei beiden Arten der Modulation treten somit innerhalb einer Periode des Trägersignals T_C sechs Kommutierungen auf. Die durchschnittliche Schaltfrequenz pro Schalterposition f_s beträgt bei der APOD-Modulation f_C und ist somit mit der im 3L-FLC Umrichter identisch. In [47] wird gezeigt, dass die Verwendung von PD-Trägersignalen gemäß [52] bei N-Level FLC-Umrichtern ($N > 3$) zu einer ungleichmäßigen mittleren Schaltfrequenz der Schalter in den einzelnen FLC-Zellen innerhalb einer Periode des Referenzsignals führt. Hingegen ist in [53] ein Verfahren dargestellt, bei der durch eine einfache Modifikation der Modulation gemäß [52] die mittlere Schaltfrequenz der Schalter in einem aus $(N+1)$ FLC-Zellen bestehenden NL-FLC Umrichter über $(N+1)$ Perioden des Referenzsignals vereinheitlicht wird.

Die Mittelpunktspannung eines 4L-FLC Umrichters, welche durch PD- bzw. APOD-Modulation generiert wird, ist mit der eines 4L-NPC Stromrichters bei entsprechender Modulation identisch, wenn zwischen den Trägerfrequenzen der Topologien folgender Zusammenhang gilt:

$$f_{C,AL-FLC} = \frac{f_{C,AL-NPC}}{3} \quad (3.31)$$

Ausgangsspannungen. In Abb. 3.19 sind die Spannungsverläufe eines 4L-FLC Stromrichters dargestellt, welche bei Verwendung von PD- sowie APOD-Trägersignalen, einem Modulationsgrad von $m_a = 0,8$ und einem Frequenzverhältnis von $m_f = 15$ resultieren. Man erkennt an Abb. 3.19 b) und g) den 4-stufigen Verlauf der Mittelpunktspannung. In der Außenleiter- und der Phasenspannung (Abb. 3.19 h),i)), welche unter Verwendung von versetzten Trägersignalen (APOD-Trägersignalen) nach Abb. 3.18 a) generiert wurden, wird

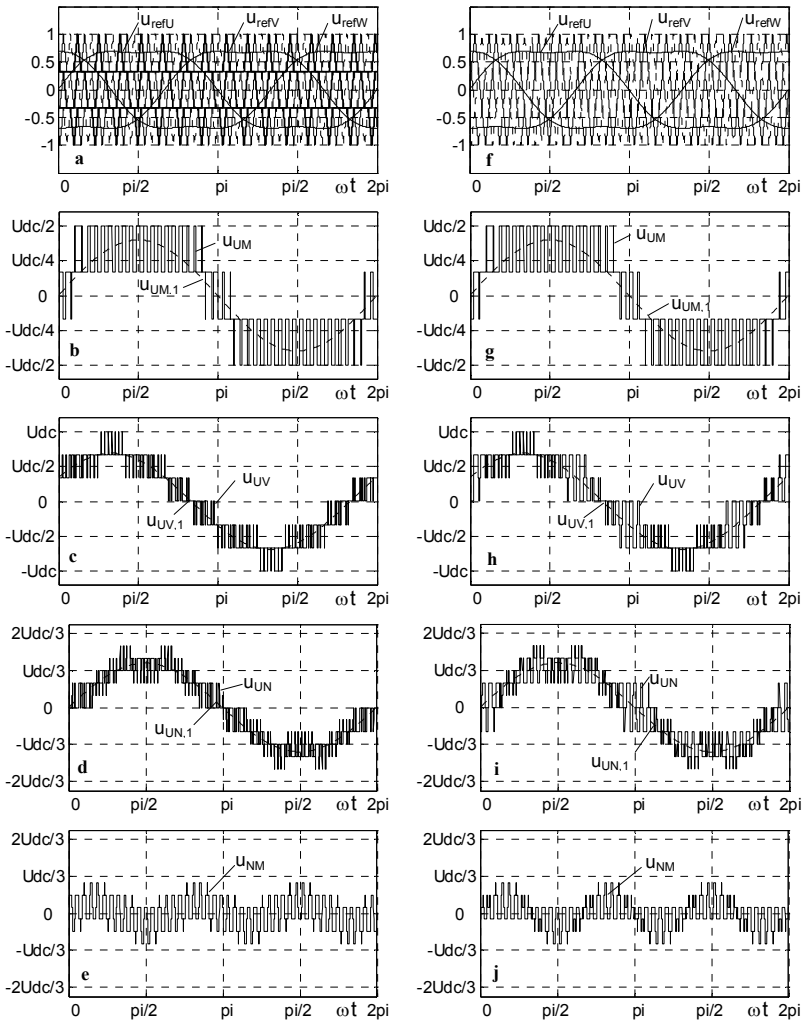


Abb. 3.19: Spannungsverläufe 4L-FLC Stromrichter bei Sinus-Dreieck Modulation
 (a-e) PD-Trägersignale; f-j) APOD-Trägersignale; $m_f = f_c/f_1 = 15$; $m_a = 0,8$
 a), f) Referenzspannungen $u_{refU/V/W}$; Carriersignale $u_{carr1/2}$ (Trägersignale)
 b), g) Mittelpunktspannung u_{UM} ; Grundschwingung der Mittelpunktspannung $u_{UM,1}$
 c), h) Außenleiterspannung u_{UV} ; Grundschwingung der Außenleiterspannung $u_{UV,1}$
 d), i) Phasenspannung u_{UN} ; Grundschwingung der Phasenspannung $u_{UN,1}$
 e), j) Stern-Mittelpunktspannung u_{NM}

deutlich, dass, wie beim 3L-FLC bzw. 3L-NPC Stromrichter mit entsprechender Modulation, in einigen Schaltzeitpunkten Spannungssprünge über zwei benachbarte Spannungsniveaus auftreten.

Amplitudenspektren. In Abb. 3.20 sind die Amplitudenspektren sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei beide genannten Arten der Modulation angewendet wurden. Man erkennt in Abb. 3.20 a)-d), dass das 1. Trägerband um die 3-fache Trägerfrequenz lokalisiert ist ($f_{1cb,4L-FLC} = 3 \cdot f_c$). Dies war auch zu erwarten, da beim 4L-FLC Stromrichter die komplementären Schalterpaare der drei Zellen zeitlich versetzt mit der Trägerfrequenz f_c betrieben werden. Die effektive Schaltfrequenz in der Mittelpunktspannung entspricht somit der 3-fachen Trägerfrequenz. Da jede Zelle des 4L-FLC Umrichters wie ein herkömmlicher 2-Level-Stromrichter moduliert wird, treten im Amplitudenspektrum der Schalterspannungen u_{S1x} , u_{S2x} und u_{S3x} (vgl. Abb. 3.16 a)) um Vielfache der Trägerfrequenz ($n \cdot f_c$) Trägerbänder auf. Durch die um 120° versetzten Trägersignale (PD- und APOD-Modulation) sind die in den Trägerbändern um die einfache und die doppelte Trägerfrequenz enthaltenen Oberschwingungen der Schalterspannungen u_{S1x} , u_{S2x} und u_{S3x} auch um 120° gegeneinander phasenverschoben [7], [22]. Diese Aussage ist allgemein für die Oberschwingungen sämtlicher Trägerbänder der Schalterspannungen gültig, wenn diese nicht um Vielfache der dreifachen Trägerfrequenz lokalisiert sind. Mit (3.32) werden also alle Oberschwingungen, welche nicht in den Trägerbändern um Vielfache der dreifachen Trägerfrequenz auftreten, in der Mittelpunktspannung ausgelöscht.

$$u_{xM} = \frac{U_{dc}}{2} - u_{S1x} - u_{S2x} - u_{S3x} \quad (3.32)$$

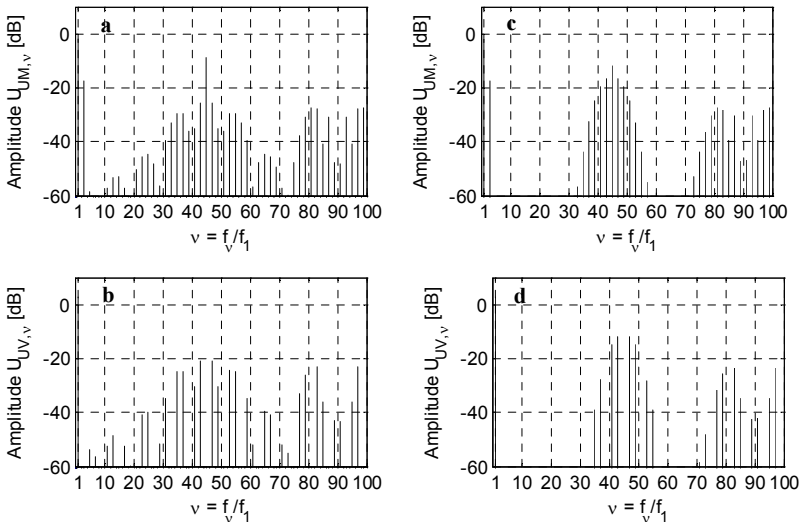


Abb. 3.20: Amplitudenspektren beim 4L-FLC Umrichter ($m_f = f_c/f_1 = 15$; $m_a = 0,8$; $0\text{dB} = U_{dc}/2$)
a) Mittelpunktspannung u_{UM} ; PD-Trägersignale
b) Außenleiterspannung u_{UV} ; PD-Trägersignale
c) Mittelpunktspannung u_{UM} ; APOD-Trägersignale
d) Außenleiterspannung u_{UV} ; APOD-Trägersignale

Diese auftretenden Trägerbänder sind bei Verwendung der APOD-Modulation identisch mit denen, welche im Amplitudenspektrum der Mittelpunktspannung eines 2-stufigen Umrichters um die 3-fache Trägerfrequenz auftreten, wobei bei beiden Stromrichtern eine identische Trägerfrequenz f_C vorausgesetzt wird. Wie in Abb. 3.20 zu sehen, treten bei einem 4L-FLC Umrichter bei beiden untersuchten Modulationsarten an folgenden Frequenzen Oberschwingungen auf:

$$f_v = 3 \cdot n \cdot f_C \pm (\mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; (n + (\mu - 1)) = \text{ungerade} \quad (3.33)$$

Dabei ist bei der PD-Modulation die Oberschwingung bei der dreifachen Trägerfrequenz dominant. Diese tritt aber, bei einem durch drei teilbaren Frequenzverhältnis in der Außenleiterspannung (vgl. Abb. 3.20 b)) nicht mehr auf. Im Gegensatz dazu sind bei der APOD-Modulation, neben der Oberschwingung bei der 3-fachen Trägerfrequenz, die Seitenbänder stark ausgeprägt.

THDn und WTHDn In Abb. 3.21 a)-d) ist der THDn und der WTHDn sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei wiederum verschiedene Arten der Modulation (PD-/APOD-Trägersignale) und zwei Frequenzverhältnisse ($m_f = 15, 21$) betrachtet werden.

Im Gegensatz zum THDn der Mittelpunktspannung der zuvor betrachteten 3-Level Stromrichter (vgl. Abb. 3.15 a)) ist der THDn in Abb. 3.21 a) bei einem Modulationsgrad $m_a = 0$ ungleich null. Dies lässt sich wie folgt erklären: Stromrichter mit einer geraden Anzahl von Stufen in der Mittelpunktspannung können systembedingt keine Mittelpunktspannung $u_{xM} = 0$ generieren. Somit tritt grundsätzlich in der Mittelpunktspannung ein Verzerrungsanteil bei einem Modulationsgrad von null auf. Der THDn der Außenleiterspannung in Abb. 3.21 b) ist aufgrund der 4-stufigen Charakteristik in der

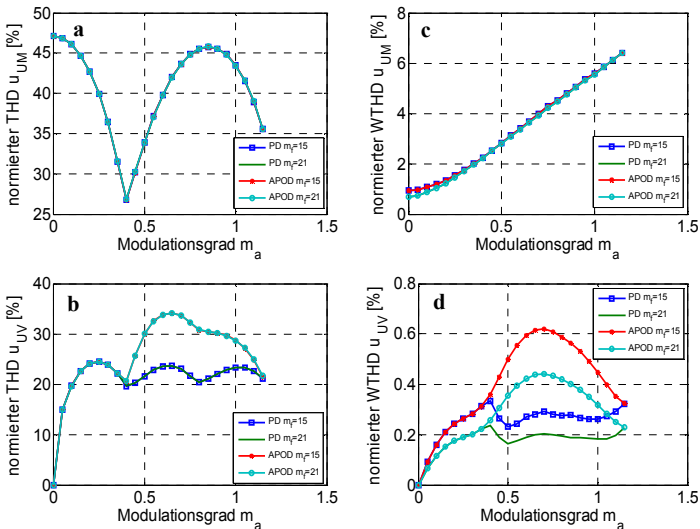


Abb. 3.21: Vergleich THDn und WTHDn der Ausgangsspannungen eines 4L-FLC Umrichters bei Sinus-Dreieck-Vergleich mit injizierter 3. Harmonischer mit PD- bzw. APOD-Trägersignalen und verschiedenen Frequenzverhältnissen m_f
 a) THDn der Mittelpunktspannung u_{UM} ; b) THDn der Außenleiterspannung u_{UV}
 c) WTHDn der Mittelpunktspannung u_{UM} ; d) WTHDn der Außenleiterspannung u_{UV}

Mittelpunktspannung bei beiden Modulationsarten kleiner als bei den 3-stufigen Stromrichtern (vgl. Abb. 3.15 b)).

In Abb. 3.21 c) erkennt man, dass der WTHDn der Mittelpunktspannung mit dem Modulationsgrad m_a aufgrund der im Referenzsignal enthaltenen 3. Harmonischen ansteigt. Die Werte des der WTHDn der Mittelpunktspannung liegen deshalb im selben Bereich wie die der 3-Level Stromrichter (vgl. Abb. 3.15 c)). Der WTHDn der Außenleiterspannung (Abb. 3.21 d)) ist sowohl vom Frequenzverhältnis als auch von der Modulationsart abhängig. Der geringste WTHDn wird bei einem großen Frequenzverhältnis ($m_f = 21$) und bei Verwendung der PD-Modulation erreicht. Verglichen mit dem WTHDn der Außenleiterspannung des 3L-FLC Umrichter (vgl. Abb. 3.15 d)) ist dieser über den gesamten Bereich des Modulationsgrades halbiert ($m_f = 21$; PD-Modulation). Die Oberschwingungen in den jeweiligen Trägerbändern beim 4L-FLC Umrichter treten um die Vielfachen der dreifachen Trägerfrequenz auf und sind darüber hinaus durch die 4-stufige Charakteristik kleiner (vgl. Abb. 3.14 mit Abb. 3.20). Weiterhin ist zu erkennen, dass die PD-Modulation in der Außenleiterspannung sowohl den kleinsten THDn als auch WTHDn in einem Bereich des Modulationsgrad von $0,3 < m_a < 1,15$ realisiert.

3.2.3 Mehrstufige Flying Capacitor-Stromrichter (NL-FLC)

In Abb. 3.22 a) ist die Schaltung einer Phase eines N-stufigen Flying Capacitor Stromrichters abgebildet, wobei p die Anzahl der in Serie geschalteten Zellen darstellt. Die Erhöhung der Anzahl der Stufen in der Mittelpunktspannung ist bei der Flying Capacitor Topologie durch das Hinzufügen von in Abb. 3.22 b) gezeigten Zellen einfach möglich.

Damit die Mittelpunktspannung u_{xM} N äquidistante Spannungsstufen annehmen kann, müssen die nominalen Spannungen $u_{Ci,x}$ der entsprechenden Flying Capacitors $C_{Fi,x}$ folgende Werte besitzen:

$$U_{Ci,x} = U_{dc} - (i - 1) \cdot \frac{U_{dc}}{p}; i = 2, \dots, p \tag{3.34}$$

Der Zusammenhang zwischen der Anzahl p der in Serie geschalteten Zellen und der Anzahl N der äquidistanten Spannungsstufen in der Mittelpunktspannung lautet unter der Annahme, dass die Spannungen der Flying Capacitors die Werte nach (3.34) besitzen:

$$N = (p + 1) \tag{3.35}$$

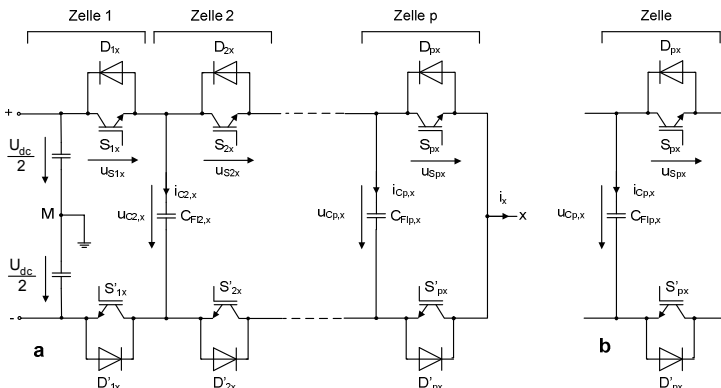


Abb. 3.22: Schaltung einer N-Level Flying Capacitor Umrichter Topologie
 a) Phasenbaustein; b) Zelle eines FLC Umrichters (FLC-Zelle)

Die Anzahl der möglichen Schaltzustände N_{Sz} einer Phase eines N-stufigen FLC Stromrichters beträgt:

$$N_{Sz} = 2^p = 2^{(N-1)} \quad (3.36)$$

Eine Phase eines N-stufigen FLC-Stromrichters besteht aus

$$N_{Sw} = 2 \cdot p = 2 \cdot (N - 1) \quad (3.37)$$

schaltenden Halbleiterbauelementen sowie deren antiparallelen Dioden. Da die Schaltzustände der Schalter S_{ix} und S'_{ix} ($i = 1, 2, \dots, p$) einer jeden Zelle i komplementär zueinander sind, ergibt sich mit (3.38) für die Kommutierungsspannung U_{Kom} sämtlicher Halbleiterbauelemente bei einem N-stufigen FLC-Stromrichter:

$$U_{Kom} = \frac{U_{dc}}{p} = \frac{U_{dc}}{(N-1)}; p = \text{Anzahl der Zellen} \quad (3.38)$$

Des Weiteren benötigt eine Phase eines N-stufiger FLC-Umrichters, neben den Zwischenkreiskapazitäten C_{dc} , mindestens $(p-1) = (N-2)$ Flying Capacitors $C_{F12...p,x}$. Aufgrund der unterschiedlichen Flying Capacitor Spannungen nach (3.34) hängt die genaue Anzahl der benötigten Kapazitäten bei einem N-stufigen FLC-Stromrichter von der Nennspannung eines definierten Basiskondensators ab [1].

Strompfade. In einem N-stufigen FLC Umrichter führen grundsätzlich $(N-1) = p$ Halbleiterbauelemente den Phasenstrom, da pro Kommutierungszelle jeweils ein Halbleiter den Strom führt.

Kommutierungen. Da die FLC Topologie einen, durch die Serienschaltung von Zellen, modularen Aufbau besitzt, kommutiert der Phasenstrom i_x beim Schaltzustandwechsel einer Phase grundsätzlich nur zwischen den Halbleitern einer Zelle. Die auftretenden Kommutierungsvorgänge innerhalb einer Zelle sind, bis auf die Kommutierungsspannung U_{Kom} bei einem N-Level FLC Umrichter identisch mit denen eines 3L-FLC Umrichters (vgl. Abb. 3.11). Die Erhöhung der Anzahl der Stufen in der Mittelpunktspannung hat somit kaum Auswirkung auf die Größe der im Kommutierungskreis auftretenden Streuinduktivitäten, da jede Zelle, bis auf die Größe der entsprechenden benachbarten Flying Capacitors, einen identischen (modularen) Aufbau besitzt. Im Gegensatz zu einem realen N-stufigen NPC-Stromrichter ist es möglich sämtliche Kommutierungspfade niederinduktiv aufzubauen. Dabei beträgt die Anzahl der Kommutierungspfade bei einem N-stufigen FLC Umrichter:

$$N_{Kom} = 2 \cdot p = 2 \cdot (N - 1) \quad (3.39)$$

Modulation. Bei der Modulation mit versetzten Trägersignalen (vgl. Abb. 3.18 a), welche eine Modulation nach dem APOD-Verfahren darstellt, werden für einen N-stufigen FLC Stromrichter $(N-1)$ Trägersignale benötigt, wobei die Phasenverschiebung der Trägersignale φ_T untereinander

$$\varphi_T = \frac{360^\circ}{(N-1)} = \frac{360^\circ}{p}; p = \text{Anzahl der Zellen} \quad (3.40)$$

betragen muss, damit die entsprechenden redundanten Schaltzustände für die Balancierung der Flying Capacitor Spannungen gleichmäßig innerhalb einer Trägersignalperiode verteilt werden [47]. Jedes Trägersignal wird dabei für die Modulation der Schaltsignale einer Kommutierungszelle im N-stufigen Flying Capacitor Stromrichter zugeordnet.

Die Trägersignalanordnung für die PD-Modulation kann allgemein aus den versetzten Trägersignalen der APOD-Modulation für einen N-stufigen FLC Stromrichter hergeleitet werden (vgl. Abb. 3.18 a) und b)). Dabei werden ausgehend vom obersten Modulationsträgerband der APOD-Modulation ($1 > u_{\text{carr}1,2,\dots,(N-1)} > ((N-3)/(N-1))$) die Verläufe der Trägersignale in dem darunter liegenden Modulationsträgerband ($((N-3)/(N-1)) > u_{\text{carr}1,2,\dots,(N-1)} > ((N-5)/(N-1))$) um $T_C/(2 \cdot (N-1))$ verschoben ($N > 2$). Die Verläufe der Trägersignale in den weiteren Modulationsträgerbändern werden bezogen auf den Verlauf der Trägersignale in dem benachbarten darüber liegenden Modulationsträgerband, um jeweils $T_C/(2 \cdot (N-1))$ verschoben. Dadurch werden für die PD-Modulation eines N-stufigen FLC Stromrichters $(N-1)^2$ trapezförmige Trägersignale benötigt. Die gleichmäßige Verteilung der redundanten Schaltzustände zur Balancierung der Flying Capacitor Spannungen bleibt, wie in Kapitel 4.4 später gezeigt wird, bei der genannten Anpassung der Trägersignale für die PD-Modulation erhalten. Bei beiden Arten der Modulation treten innerhalb einer Periode des Trägersignals T_C 2-p Kommutierungen auf. Unter der Voraussetzung, dass die Flying Capacitor Spannungen die nach (3.34) definierten Werte besitzen, ist die resultierende Mittelpunktspannung u_{XM} eines N-stufigen FLC Stromrichters, welche mit PD- bzw. APOD-Trägersignalen generiert wurde, identisch mit der eines N-stufigen NPC Stromrichters, wenn zwischen den Trägerfrequenzen der beiden Stromrichter Topologien folgender Zusammenhang besteht:

$$f_{C,NL-FLC} = \frac{f_{C,NL-NPC}}{(N-1)} \quad (3.41)$$

Amplitudenspektren. Sowohl bei der APOD- als auch bei PD-Modulation treten die Trägerbänder im Amplitudenspektrum der Mittelpunkt- und der Außenleiterspannung eines N-stufigen FLC Stromrichters um folgende Frequenzen auf:

$$f_{\text{icb},NL-FLC} = i \cdot (N-1) \cdot f_C; \quad i = 1, 2, \dots \quad (3.42)$$

Die Oberschwingungen die in der Mittelpunktspannung eines N-stufigen FLC-Umrichter enthalten sind, können für $N > 2$ allgemein hergeleitet werden.

Werden die Schaltsignale eines N-stufigen FLC-Umrichters mit $p = (N-1)$ Zellen mit PD-Trägersignalen moduliert, so sind folgende Oberschwingungen in der Mittelpunktspannung enthalten:

$$f_v = p \cdot n \cdot f_C \pm (\mu-1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; (n + (\mu-1)) = \text{ungerade} \quad (3.43)$$

Bei der APOD-Modulation muss zwischen einer geradzahligem und ungeradzahligem Anzahl von Stufen in der Mittelpunktspannung N unterschieden werden. Ist die Anzahl der Spannungsstufen ungeradzahlig (vgl. 3L-FLC), so treten bei folgenden Frequenzen Oberschwingungen in der Mittelpunktspannung auf:

$$f_v = p \cdot n \cdot f_C \pm (2 \cdot \mu - 1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; \quad (3.44)$$

Ist die Anzahl der Spannungsstufen hingegen geradzahlig, so sind die Oberschwingungen bei folgenden Frequenzen lokalisiert

$$f_v = p \cdot n \cdot f_C \pm (\mu-1) \cdot f_1, \quad n = 1, 2, \dots; \mu = 1, 2, \dots; (n + (\mu-1)) = \text{ungerade} \quad (3.45)$$

Man erkennt, dass (3.45) und (3.43) identisch sind, doch sind bei der APOD-Modulation der Mittelpunktspannung die Oberschwingungen in den Seitenbändern der entsprechenden Trägerbänder stark ausgeprägt [7], [46]. Hingegen treten bei Anwendung der PD-Modulation dominante Oberschwingungen bei $(N-1)$ -Vielfachen der Trägerfrequenz auf (vgl. z.B. Abb. 3.20). Diese dominanten Oberschwingungen sind aber bei Wahl eines durch 3 teilbaren Frequenzverhältnisses in der Außenleiterspannung nicht mehr vorhanden. Diese Möglichkeit

besteht auch bei der APOD-Modulation, aber im Gegensatz zur PD-Modulation sind die dominanten Oberschwingungen, welche in den Seitenbändern um die $(N-1)$ -Vielfachen der Trägerfrequenz auftreten, auch in der Außenleiterspannung vorhanden. Dadurch ist der THDn als auch der WTHDn der Außenleiterspannung bei der APOD-Modulation stets größer als bei Anwendung der PD-Modulation, wobei ein identisches Frequenzverhältnis m_f vorausgesetzt wird.

WTHDn und THDn. In Abb. 3.23 ist der THDn und der WTHDn der Außenleiterspannung eines 3-,4-,5-stufigen FLC Umrichters sowohl bei PD- als auch bei APOD-Modulation dargestellt. Dabei wurde das Frequenzverhältnis m_f der jeweiligen Stromrichter so angepasst, dass das 1. Trägerband im Amplitudenspektrum um die gleiche Frequenz, nämlich um $30 \cdot f_1$ auftritt. Dazu wurde die Trägerfrequenz des 4L-FLC Umrichters um $2/3$ und die des 5L-FLC Umrichters um die Hälfte verglichen mit der des 3L-FLC Umrichters reduziert. Man erkennt in Abb. 3.23 a), dass bei PD-Modulation der THDn mit steigender Anzahl der Spannungsstufen in der Mittelpunktspannung sinkt. Moduliert man hingegen die Mittelpunktspannung nach dem APOD Verfahren, so realisiert der 4L-FLC Umrichter in einem Modulationsbereich von $0,1 < m_a < 0,45$ einen geringeren THDn als der 5L-FLC Umrichter (vgl. Abb. 3.23 b)). Der WTHDn des 3L-FLC Umrichters ist sowohl bei PD- als auch bei APOD-Modulation über den gesamten linearen Bereich des Modulationsgrades größer als beim 4L- und beim 5L-FLC Umrichter. Im Modulationsbereich von $0,1 < m_a < 0,5$ sowie für $0,6 < m_a < 0,8$ ist der WTHDn (PD-Modulation) des 5L-FLC Umrichters kleiner als der des 4L-FLC Umrichters (vgl. Abb. 3.23 c)). Bei Anwendung der APOD-Modulation realisiert der 4L-FLC Umrichter nur in einem Modulationsbereich von $0 < m_a < 0,8$ einen größeren WTHDn als der 5L-FLC Umrichter (vgl. Abb. 3.23 d)). Der WTHDn des 3L-FLC Umrichters ist hierbei im gesamten Modulationsbereich signifikant größer verglichen mit dem 4L-FLC als auch mit dem 5L-FLC Umrichter.

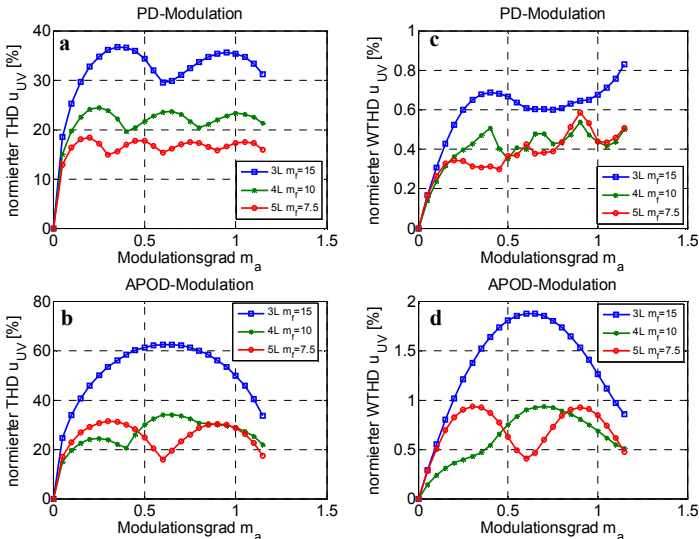


Abb. 3.23: Vergleich THDn und WTHDn 3L-/4L-/5L-FLC Umrichter bei PD- und APOD-Modulation
 $(f_{1,cb} = 750 \text{ Hz}; m_{f,3L-FLC} = 15; m_{f,4L-FLC} = 10; m_{f,5L-FLC} = 7,5)$
 a), b) THDn der Außenleiterspannung u_{UV}
 c), d) WTHDn der Außenleiterspannung u_{UV}

3.3 Stacked Multicell Stromrichter (SMC)

Der Stacked-Multicell Umrichter stellt eine Modifikation der Flying Capacitor Stromrichter Topologie dar. Diese Schaltung wurde in [29] der Öffentlichkeit vorgestellt und ist seit 2005 patentiert [64]. Wie gezeigt wird, ist bei der SMC-Umrichtertopologie der Halbleitaraufwand größer als bei der FLC Topologie, wenn die Anzahl an Spannungsstufen in der Mittelpunktspannung identisch ist. Im Gegensatz hierzu ist jedoch die in den Flying Capacitors gespeicherte Energie, wie in Kapitel 4.4 gezeigt wird, geringer. Der Aufbau und die Funktionsweise der SMC Topologie werden im nächsten Kapitel anhand eines 5L-SMC Umrichters vorgestellt.

3.3.1 5L-Stacked Multicell Stromrichter (5L-SMC)

In Abb. 3.24 ist die 5L-SMC Umrichtertopologie dargestellt. Die Schaltung besteht aus zwei abgewandelten 3L-FLC Topologien (Stack 1 und Stack 2, vgl. Abb. 3.9), welche übereinander „gestapelt“ (engl. stacked) angeordnet sind. Beispielsweise besteht die SMC-Zelle 1 aus zwei übereinander angeordneten Flying Capacitor Zellen nach Abb. 3.22 b). Die Schalter S_{11x} , S'_{11x} , deren antiparallelen Dioden D_{11x} , D'_{11x} und der obere Zwischenkreiskondensator $C_{dc,1}$, welche im (oberen) Stack 1 lokalisiert sind, bilden die obere Flying Capacitor Zelle (FLC-Zelle). Hingegen besteht die untere FLC-Zelle des (unteren) Stacks 2 aus den Schaltern S_{21x} , S'_{21x} , deren antiparallelen Dioden D_{21x} , D'_{21x} , und dem unteren Zwischenkreiskondensator $C_{dc,2}$. Die Schaltzustände der Schalter S_{11x} und S'_{11x} sowie S_{21x} und S'_{21x} sind komplementär zueinander.

Damit in der Mittelpunktspannung fünf äquidistante Spannungsstufen generiert werden können, müssen die nominalen Kondensatorspannungen der Flying Capacitors C_{12x} und C_{22x}

$$u_{C_{12,x}} = u_{C_{22,x}} = \frac{1}{4} \cdot U_{dc} \quad (3.46)$$

betragen. In Tabelle 3-6 sind die möglichen Schaltzustände eines 5L-SMC Umrichters dargestellt. Der Schaltzustand S_z bezieht sich dabei auf den Schaltzustand der einzelnen SMC-Zellen, welche, analog zu einer Phase eines 3L-NPC Umrichters, bei der SMC Topologie mit 2 Stacks 3 verschiedene Zustände (1,0,-1) annehmen kann.

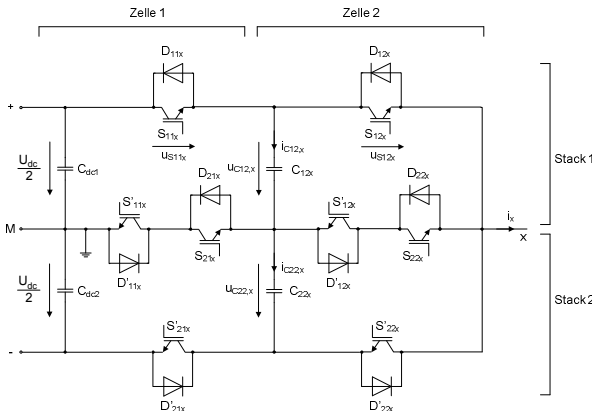


Abb. 3.24: Schaltung einer 5-Level Stacked Multicell Umrichter Topologie (Phasenbaustein)

Tabelle 3-6 Schaltabelle einer Phase eines 5L-SMC Stromrichters
 (x = Phase U,V,W; $u_{C12,x} = U_{dc}/4$; $u_{C22,x} = U_{dc}/4$)

Schaltzustand Sz	Zelle 1				Zelle 2				u_{xM}	$i_{C12,x}$	$i_{C22,x}$
	Stack 1		Stack 2		Stack 1		Stack 2				
	S_{11x}	S'_{11x}	S_{21x}	S'_{21x}	S_{12x}	S'_{12x}	S_{22x}	S'_{22x}			
{ 1 1 }	ein	aus	ein	aus	ein	aus	ein	aus	$U_{dc}/2$	0	0
{ 1 0 }	ein	aus	ein	aus	aus	ein	ein	aus	$U_{dc}/4$	$+ i_x$	0
{ 0 1 }	aus	ein	ein	aus	ein	aus	ein	aus	$U_{dc}/4$	$- i_x$	0
{ 0 0 }	aus	ein	ein	aus	aus	ein	ein	aus	0	0	0
{ 0-1 }	aus	ein	ein	aus	aus	ein	aus	ein	$-U_{dc}/4$	0	$+ i_x$
{-1 0 }	aus	ein	aus	ein	aus	ein	aus	ein	$-U_{dc}/4$	0	$- i_x$
{-1-1 }	aus	ein	aus	ein	aus	ein	aus	ein	$-U_{dc}/2$	0	0

Tabelle 3-7 Weitere Nullstände einer Phase eines 5L-SMC Stromrichters
 (x = Phase U,V,W; $u_{C12,x} = U_{dc}/4$; $u_{C22,x} = U_{dc}/4$)

Schaltzustand Sz	Zelle 1				Zelle 2				u_{xM}	$i_{C12,x}$	$i_{C22,x}$
	Stack 1		Stack 2		Stack 1		Stack 2				
	S_{11x}	S'_{11x}	S_{21x}	S'_{21x}	S_{12x}	S'_{12x}	S_{22x}	S'_{22x}			
{ 1-1 }	ein	aus	ein	aus	ein	aus	ein	aus	0	$+ i_x$	$+ i_x$
{-1 1 }	aus	ein	aus	ein	ein	aus	ein	aus	0	$- i_x$	$- i_x$

Beispielsweise bedeutet der Schaltzustand 1, dass der obere Schalter S_{11x} sowie der mittlere Schalter S_{21x} der entsprechenden Zelle i ($i = 1,2$) eingeschaltet sind und die komplementären Schalter S'_{11x} und S'_{21x} ausgeschaltet sind.

Man erkennt, dass für positive Mittelpunktspannungen u_{xM} nur die Zellen des Stacks 1 (obere FLC-Teilschaltung) den Schaltzustand ändern, während die Schalter S_{21x} und S_{22x} des Stacks 2 dauernd eingeschaltet sind. Dabei ergeben sich zwei redundante Schaltzustände für eine Mittelpunktspannung von $U_{dc}/4$, welche, wie beim 3L-FLC Umrichter, dazu genutzt werden die Spannung des Flying Capacitors C_{12x} um seinen nominalen Wert ($U_{dc}/4$) zu balancieren. Entsprechend schalten bei negativen Mittelpunktspannungen nur die Zellen des Stacks 2 (untere FLC-Teilschaltung), während die Schalter S'_{11x} und S'_{12x} des Stacks 1 eingeschaltet sind. Auch hier ergeben sich zwei redundante Schaltzustände bei einer Mittelpunktspannung von $-U_{dc}/4$, welche zur Balancierung des Flying Capacitors C_{22x} verwendet werden. Neben dem in Tabelle 3-6 gezeigten Schaltzustand bei dem der Punkt x mit dem Mittelpunkt M über die mittleren Schalter verbunden wird (Schaltzustand { 0 0 }, $u_{xM} = 0$), ergeben sich zwei weitere Schaltzustände (Nullzustände), in denen die Mittelpunktspannung null beträgt (siehe Tabelle 3-7).

Eine Besonderheit der SMC Topologie mit 2 Stacks besteht darin, dass die äußeren Schalter (S_{11x} , S'_{21x}) im Vergleich zu den inneren Schaltern (S'_{11x} , S_{21x}) die doppelte

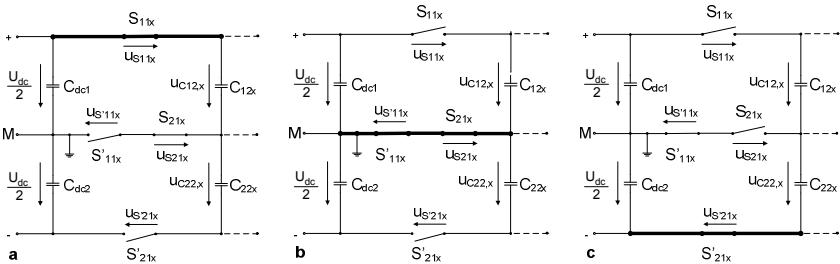


Abb. 3.25: mögliche Schaltzustände der Zelle 1 eines 5L-SMC Umrichters ; ($u_{C12,x} = U_{dc}/4$; $u_{C22,x} = U_{dc}/4$)
 a) Schaltzustand {1}; b) Schaltzustand {0}; c) Schaltzustand {-1};

Blockierspannung besitzen müssen. In Abb. 3.25 sind beispielsweise die möglichen Schaltzustände der Zelle 1 dargestellt, wobei die IGBTs und deren antiparallelen Dioden durch ideale Schalter ersetzt wurden. In Abb. 3.25 a) besitzt die Zelle 1 den Schaltzustand 1, d.h. dass die oberen Schalter (S_{11x} , S_{21x}) beider FLC-Zellen eingeschaltet sind. Man erkennt, dass der innere Schalter S'_{11x} mit $U_{dc}/4$ und der äußere Schalter S'_{21x} mit $U_{dc}/2$ beansprucht werden, wobei eine Spannung über den Flying Capacitors von $U_{dc}/4$ vorausgesetzt wird. Hingegen werden die äußeren Schalter S_{11x} und S'_{21x} mit $U_{dc}/4$ beansprucht, wenn die inneren Schalter S'_{11x} und S_{21x} eingeschaltet sind (vgl. Abb. 3.25 b)). Wie später gezeigt wird, treten keine Kommutierungen zwischen den äußeren Schaltern einer Zelle auf, wenn die hier betrachtete Sinus-Dreieck-Modulation für die Generierung der Schaltsignale verwendet wird. Die Spannung mit der die äußeren und inneren Schalter schaltend betrieben werden beträgt mit dieser Annahme $U_{dc}/4$, jedoch müssen die äußeren Schalter $U_{dc}/2$ blockieren können. Bei der Realisierung einer solchen SMC Topologie müssen also die äußeren Schalter die doppelte Spannungsfestigkeit im Vergleich zu den inneren Schaltern aufweisen. Aus modularen Gesichtspunkten ist es vorteilhaft, wenn ausschließlich Schalter einer Spannungsstufe im SMC Umrichter verwendet werden. Dies kann durch eine einfache Reihenschaltung von zwei Schaltern sichergestellt werden, wobei eine dynamische Symmetrierung der Spannungen während der Schaltzeitpunkte nicht nötig ist. Wird die Mittelpunktspannung beispielsweise nur zwischen dem in Tabelle 3-6 gezeigten Nullzustand und positiven Werten geschaltet, so sind die zusätzlichen Schalter S_{11zx} sowie S_{12zx} (vgl. Abb. 3.26) ständig eingeschaltet. Hingegen müssen beide genannten Schalter, wie auch die dazu in Reihe geschalteten Schalter (S_{11x} , S_{12x}) ausgeschaltet sein, wenn in der Zelle 1 bzw. 2 die Schalter des (unteren) Stacks 2 betrieben werden (für negative Mittelpunktspannungen u_{xM}).

Die Kommutierungsspannung U_{Kom} mit der jeder Halbleiterschalter in der in Abb. 3.26 gezeigten 5L-SMC Topologie betrieben wird, beträgt unter der Voraussetzung, dass die Flying Capacitor Spannungen den Wert gemäß (3.46) besitzen:

$$U_{Kom} = \frac{U_{dc}}{4} \quad (3.47)$$

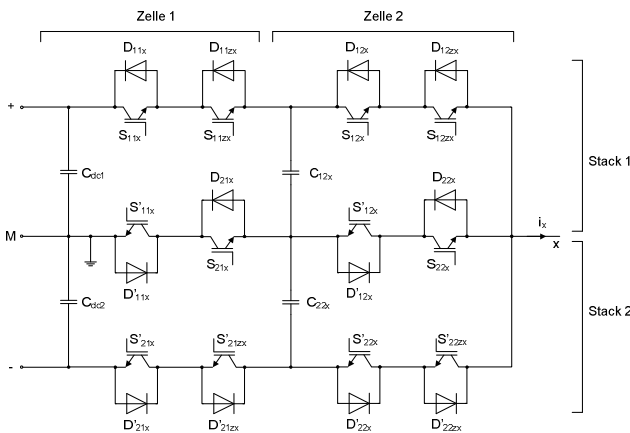


Abb. 3.26: Schaltung einer 5-Level Stacked Multicell Umrichter Topologie (Phasenbaustein, sämtliche Halbleiter einer Spannungsstufe)

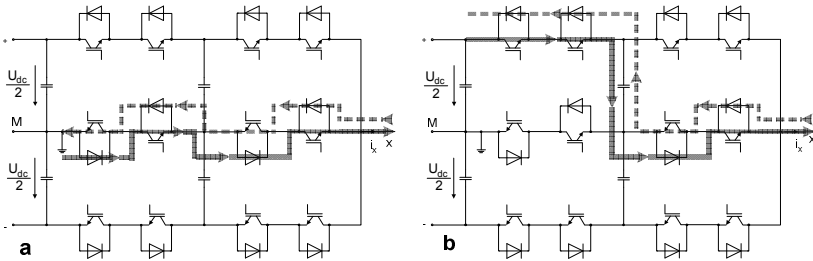


Abb. 3.27: Strompfade einer 5-Level Stacked Multicell Umrichter Topologie
a) Strompfad im Schaltzustand { 0 0 }; b) Strompfad im Schaltzustand { 1 0 }

Strompfade. Da die Strompfade innerhalb eines Stacks beim 5L-SMC Umrichter sehr ähnlich verglichen mit denen eines 3L-FLC Umrichters (vgl. Abb. 3.10) sind, werden in Abb. 3.27 nur zwei Strompfade vorgestellt. In Abb. 3.27 a) sind die möglichen Strompfade im Schaltzustand { 0 0 }, die sich bei unterschiedlicher Polarität des Phasenstromes i_x ergeben, dargestellt. Man erkennt, dass sowohl in diesem Schaltzustand als auch im Schaltzustand { 1 0 } (Abb. 3.27 b) jeweils 4 Halbleiter den Phasenstrom führen. Allgemein kann gezeigt werden, dass in allen Schaltzuständen nach Tabelle 3-6 und Tabelle 3-7 immer 4 Halbleiter an der Stromführung beteiligt sind.

Kommutierungen. In Abb. 3.28 ist die Kommutierungszelle dargestellt, wenn der 5L-SMC Umrichter bei einem positiven Phasenstrom vom Schaltzustand { 1 0 } in den Schaltzustand { 0 0 } und zurück (vgl. Tabelle 3-6) wechselt. Dabei schalten nur die Schalter der Zelle 1 im Stack 1 (vgl. Abb. 3.26). Wird der Schalter S_{11x} bei diesem Schaltzustandswechsel aktiv ausgeschaltet, so stellt sich eine kapazitive Kommutierung ein, bei der im Schalter S_{11x} Ausschaltverlustenergie generiert wird. Die antiparallele Diode D'_{11x} des komplementären Schalters schaltet dabei passiv ein. Eine induktive Kommutierung tritt auf wenn der Schalter S_{11x} aktiv eingeschaltet wird. Die Diode D'_{11x} generiert bei dieser Art der Kommutierung Recoveryverlustenergie und der Schalter S_{11x} wird mit Einschaltverlustenergien beansprucht. Wie beim 3L-FLC Umrichter generieren maximal zwei Halbleiter Schaltverlustenergie beim Schaltzustandswechsel zwischen zwei benachbarten Spannungsstufen in der Mittelpunktspannung. Die Schalter S_{11zx} und S_{21x} sind während des betrachteten

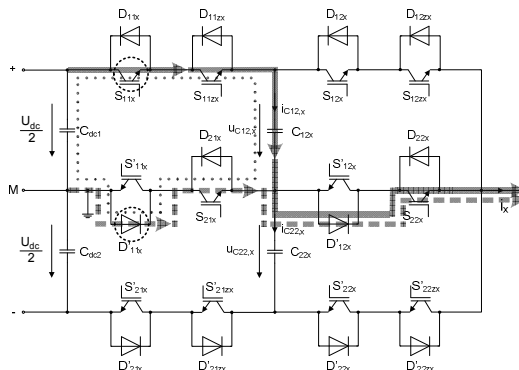


Abb. 3.28: Kommutierung beim Wechsel des Schaltzustandes einer Phase beim 5L-SMC Umrichter
($u_{C2p,x} = U_{dc}/4$; $u_{C2n,x} = U_{dc}/4$) $u_{xM} = U_{dc}/4 \leftrightarrow 0 \{ 1 0 \} \leftrightarrow \{ 0 0 \}$; $i_x > 0$

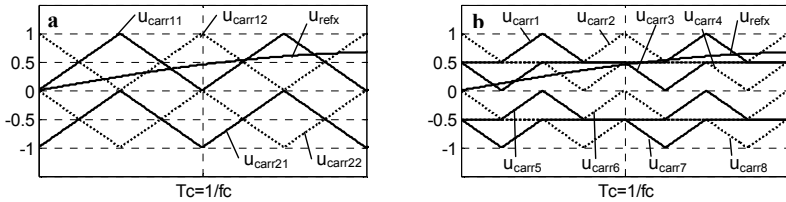


Abb. 3.29: Anordnung der Trägersignale für die Modulation eines 5L-SMC Umrichters
 a) versetzte Trägersignale (APOD-Modulation)
 b) angepasste Trägersignale nach [52] (PD-Modulation)

Schaltzustandswechslers dauerhaft eingeschaltet und generieren somit nur Durchlassverlust- aber keine Schaltverlustenergien.

Modulation. In Abb. 3.29 ist die Anordnung der Trägersignale dargestellt, welche für die Sinus-Dreieck-Modulation verwendet werden. Dabei wird, wie bei den bereits vorgestellten Umrichtertopologien zwischen der Modulation mit PD- und APOD-Trägersignalen unterschieden.

Da der 5L-SMC Umrichter aus vier FLC-Zellen aufgebaut ist, werden bei der APOD Trägersignalanordnung nach Abb. 3.29 a) vier Trägersignale für die Generierung sämtlicher Schaltsignale benötigt. Wie man erkennt, besteht eine Analogie zu den APOD-Trägersignalen welche beim 3L-FLC Umrichter verwendet werden (vgl. Abb. 3.12 a)). Zum Beispiel werden für die Modulation der FLC-Zellen des Stacks 1 zwei um 180° versetzte Trägersignale (u_{carr11} für Zelle 1; u_{carr12} für Zelle 2 des Stacks 1) benutzt. Der Unterschied besteht darin, dass die genannten Trägersignale im Gegensatz zu denen der 3L-FLC Topologie nur zwischen 0 und 1 lokalisiert sind, da die Zellen des Stack 1 nur bei positiven Mittelpunktspannungen schaltend betrieben werden (vgl. Tabelle 3-6). Hingegen werden die Trägersignale (u_{carr21} / u_{carr22}), die Werte zwischen 0 und -1 annehmen, für die Modulation der FLC-Zellen des Stacks 2 verwendet, welche nur bei negativen Mittelpunktspannungen schaltend betrieben werden [28]. Durch die um 180° phasenverschobenen Trägersignale (u_{carr11}/u_{carr12} sowie u_{carr21}/u_{carr22}) zueinander kommt es, ähnlich wie beim 3L-FLC Umrichter, zu einer gleichmäßigen Verteilung der redundanten Schaltzustände (vgl. Tabelle 3-6) innerhalb einer halben Periode des Referenzsignals, mit deren Hilfe die Spannung der Flying Capacitors um ihren nominalen Wert gemäß (3.46) balanciert werden.

In Abb. 3.29 b) ist die Trägersignalanordnung für die PD-Modulation dargestellt. Um die Schaltsignale für sämtliche Halbleiter generieren zu können, werden nun acht Trägersignale benötigt. Wie bei der APOD-Modulation besteht eine Analogie zur Modulation des 3L-FLC Umrichters (vgl. Abb. 3.12 a)), doch werden beim 5L-SMC Umrichter zwei Sätze von jeweils 4 Trägersignalen benötigt, wobei jeweils 4 Trägersignale für die Modulation des unteren bzw. des oberen Stacks benutzt werden. Die Trägersignale u_{carr1} und u_{carr3} (Abb. 3.29 b)) sind dabei für die Modulation der Schaltsignale der Zelle 1 des Stacks 1 zugeordnet. Hingegen werden die Trägersignale u_{carr2} und u_{carr4} für die Modulation der Schalter der Zelle 2 des Stacks 1 benutzt. Des Weiteren sind für die Modulation negativer Mittelpunktspannungen, welche mittels der Zellen des Stacks 2 generiert werden, die Trägersignale $u_{carr5-8}$ zugeordnet. Dabei werden die Schaltsignale der Zelle 1 (Stack 2) über den Vergleich der Trägersignale u_{carr5} und u_{carr7} mit dem Referenzsignal generiert. Entsprechend werden die Trägersignale u_{carr6} und u_{carr8} für die Modulation der Zelle 2 des Stacks 2 zugeordnet. Die Herleitung der PD Trägersignale aus den APOD-Trägersignalen kann in ähnlicher Weise erfolgen wie im Kapitel 3.2.1 beim 3L-FLC Umrichter bereits dargestellt. Dabei ist zu beachten, dass die für die Generierung der PD-Trägersignale benötigte Verschiebung der einzelnen Trägersignale in den betreffenden Modulationsbändern getrennt für die Trägersignale oberhalb als auch unterhalb der Nulllinie

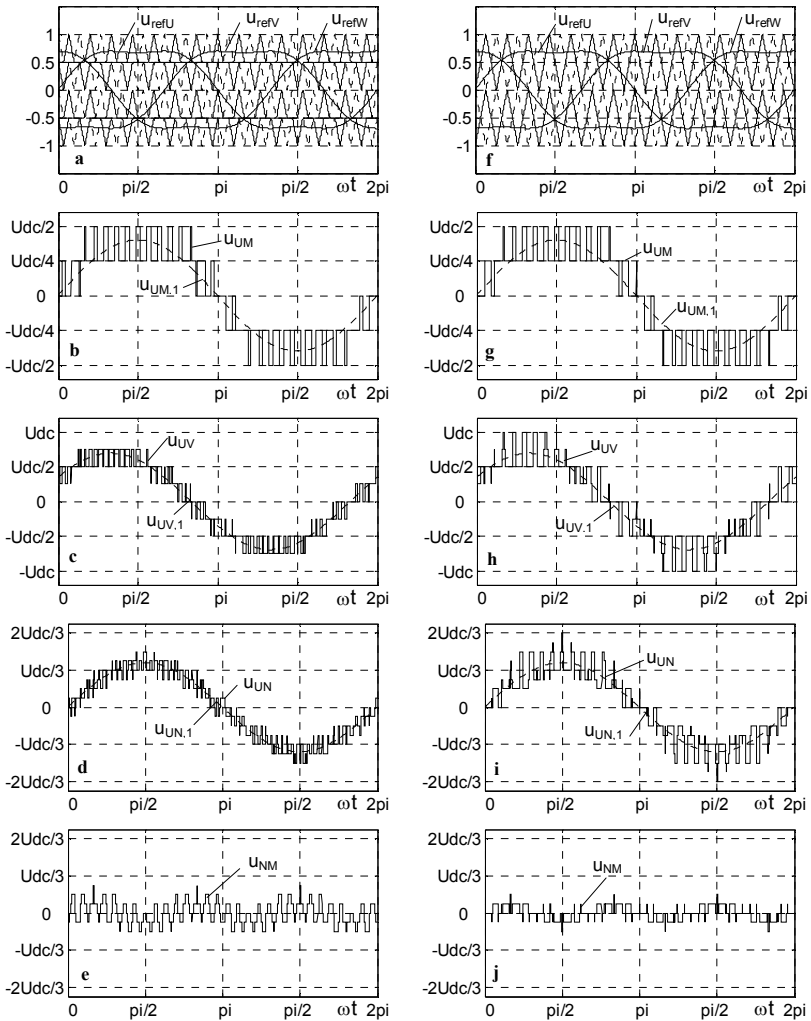


Abb. 3.30: Spannungsverläufe 5L-SMC Stromrichter bei Sinus-Dreieck Modulation
 (a-e) PD-Trägersignale; f-j) APOD-Trägersignale; $m_f = f_c/f_1 = 15$; $m_a = 0,8$
 a), f) Referenzspannungen $u_{refU/V/W}$; Carriersignale $u_{carr1/2}$ (Trägersignale)
 b), g) Mittelpunktspannung u_{UM} ; Grundschwingung der Mittelpunktspannung $u_{UM,1}$
 c), h) Außenleiterspannung u_{UV} ; Grundschwingung der Außenleiterspannung $u_{UV,1}$
 d), i) Phasenspannung u_{UN} ; Grundschwingung der Phasenspannung $u_{UN,1}$
 e), j) Stern-Mittelpunktspannung u_{NM}

durchgeführt werden muss (vgl. Abb. 3.29 mit Abb. 3.12). Die Referenzsignale der einzelnen Phasen haben den Verlauf nach (3.2).

Die Anzahl der Kommutierungen welche innerhalb einer Periode T_C der Trägersignale im 5L-SMC Umrichter auftreten, beträgt, wie beim 3L-FLC Umrichter, 4. Die durchschnittliche Schaltfrequenz f_s pro Schalterposition entspricht, wie beim 3L-NPC Umrichter, beim 5L-SMC Umrichter nach Abb. 3.24 der halben Trägerfrequenz $f_C/2$, da sowohl der Stack 1 als auch der Stack 2 nur für jeweils eine halbe Periode des sinusförmigen Referenzsignals schaltend mit der Trägerfrequenz f_C betrieben wird. Die zusätzlichen Schalter (z.B. S_{11x}) welche beim 5L-SMC Umrichter gemäß Abb. 3.26 aus modularen Gründen verwendet werden, generieren hingegen keine Schaltverluste. Es besteht weiterhin die Möglichkeit die Schaltverluste zwischen den beiden in Serie geschalteten Schaltern (z.B. S_{11x} und S_{11z}) innerhalb einer halben Periode des Referenzsignals aufzuteilen, worauf aber in dieser Arbeit nicht weiter eingegangen wird.

Bei beiden vorgestellten Modulationsarten treten grundsätzlich nur Kommutierungen zwischen den komplementären Schaltern einer FLC-Zelle auf.

Ausgangsspannungen. In Abb. 3.30 sind die Spannungsverläufe eines 5L-SMC Stromrichters dargestellt, welche bei Verwendung von PD- sowie APOD-Trägersignalen, einem Modulationsgrad von $m_a = 0,8$ und einem Frequenzverhältnis von $m_f = 15$ resultieren. Auch hier ergibt sich ein signifikanter Unterschied zwischen der APOD- und der PD-Modulation. Man erkennt z.B. an Abb. 3.30 h), dass bei der APOD-Modulation in der Außenleiterspannung in einigen Schaltzeitpunkten Spannungssprünge über zwei benachbarte Spannungsniveaus auftreten. Im Gegensatz dazu ändert sich die Außenleiterspannung bei der PD-Modulation nur zwischen benachbarten Spannungsniveaus (Abb. 3.30 c)). Die Stern-Mittelpunktspannung u_{NM} ist hingegen bei der APOD-Modulation nicht so ausgeprägt, verglichen mit der, welche bei Anwendung der PD- Modulation resultiert (vgl. Abb. 3.30 e), j)).

Amplitudenspektren. In Abb. 3.31 sind die Amplitudenspektren sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei beide genannten Arten der Modulation (APOD, PD) angewendet wurden. Man erkennt, dass das 1. Trägerband in allen Amplitudenspektren um die zweifache Trägerfrequenz auftritt ($f_{1eb} = 2 \cdot f_C$). Das lässt sich wie folgt erklären: Die 5L-SMC Schaltung besteht aus einer Zusammenschaltung von zwei 3L-FLC Teilschaltungen, welche im Stack1 und Stack 2 lokalisiert sind (vgl. Abb. 3.24). Jede Zelle dieser 3L-FLC Umrichter schaltet während einer halben Periode des Referenzsignals mit der Trägerfrequenz f_C . Durch das versetzte Schalten der beiden Zellen ergibt sich in der Mittelpunktspannung somit eine wirksame Schaltfrequenz von $2 \cdot f_C$. Der Aufbau der Amplitudenspektren in Abb. 3.31 a)-d) ist identisch mit dem, welcher beim 3L-FLC Umrichter bereits hergeleitet wurde (vgl. Abb. 3.14, (3.27) und (3.28)), doch sind die Amplituden der einzelnen Oberschwingungen aufgrund der 5-stufigen Charakteristik in der Mittelpunktspannung signifikant kleiner.

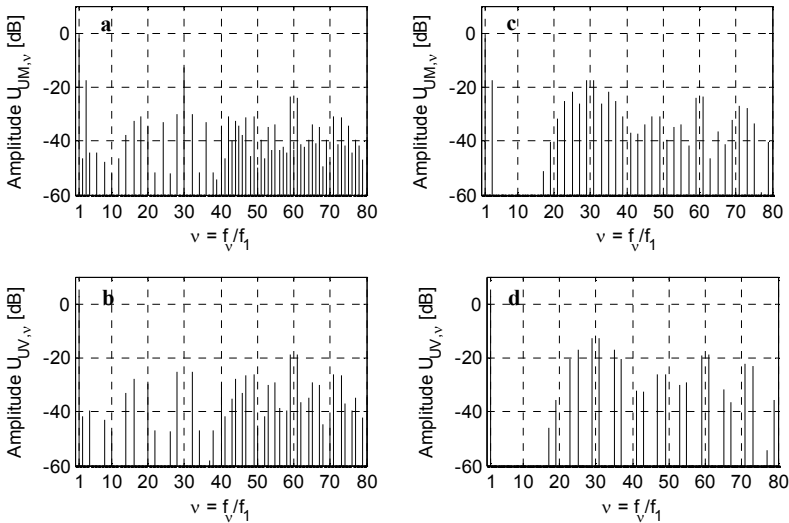


Abb. 3.31: Amplitudenspektren beim 5L-SMC Umrichter ($m_f = f_c/f_1 = 15$; $m_a = 0,8$; $0\text{dB} = U_{dc}/2$)

- a) Mittelpunktspannung u_{UM} ; PD-Trägersignale
- b) Außenleiterspannung u_{UV} ; PD-Trägersignale
- c) Mittelpunktspannung u_{UM} ; APOD-Trägersignale
- d) Außenleiterspannung u_{UV} ; APOD-Trägersignale

WTHDn und THDn. In Abb. 3.32 a)-d) ist der THDn und der WTHDn sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} dargestellt, wobei verschiedene Arten der Modulation (PD- / APOD-Trägersignale) und zwei Frequenzverhältnisse ($m_f = 15, 21$) betrachtet werden. Man erkennt in Abb. 3.32 a), dass der THDn der Mittelpunktspannung weder vom Frequenzverhältnis m_f noch von der Art der Modulation abhängt. Hingegen ist der THDn der Außenleiterspannung von der Art der Modulation aber nicht vom Frequenzverhältnis abhängig (vgl. Abb. 3.32 b)). Der THDn, welcher bei Verwendung der PD-Modulation resultiert, ist über den gesamten Bereich des Modulationsgrades kleiner als bei Verwendung der APOD-Modulation. Der WTHDn der Mittelpunktspannung wächst mit Erhöhung des Modulationsgrades (Abb. 3.32 c)), da mit Vergrößerung der Amplitude der Grundschwingung auch die dritte Harmonische im gleichen Maße wächst (vgl. (3.2)). Diese niederfrequente Oberschwingung bestimmt durch die frequenzabhängige Gewichtung der Oberschwingungen den Verlauf des WTHDn (vgl. (3.16)) maßgeblich. In der Außenleiterspannung sind die 3. Harmonische und deren ganzzahligen Vielfachen nicht mehr enthalten. Wie bei den zuvor betrachteten Topologien ist der kleinste WTHDn in der Außenleiterspannung bei einem Frequenzverhältnis von $m_f = 21$ und bei Verwendung der PD-Modulation zu beobachten (Abb. 3.32 d)). Trotz der 9-stufigen Charakteristik in der Außenleiterspannung u_{UV} ist der WTHDn des 5L-SMC Umrichters etwas größer als der WTHDn beim 4L-FLC Umrichter (Abb. 3.21 d)). Das ist wie folgt erklärbar: Da das Frequenzverhältnis (und damit die Trägerfrequenz f_c) in beiden Topologien mit $m_f = 15$ gleich groß ist, tritt das 1. Trägerband beim 4L-FLC Umrichter um $3 \cdot f_c$, beim 5L-SMC hingegen um $2 \cdot f_c$ auf. Dadurch werden die Oberschwingungen des 1. Trägerbandes der Außenleiterspannung beim 4L-FLC Umrichter stärker gedämpft als beim 5L-SMC Umrichter.

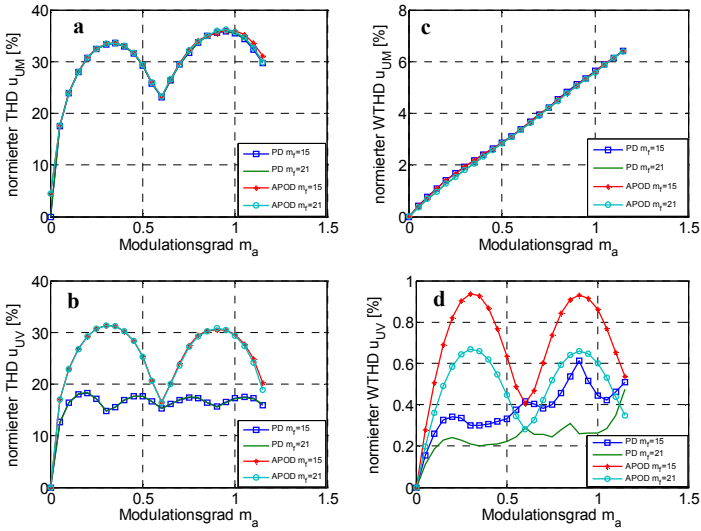


Abb. 3.32: Vergleich THDn und WTHDn der Ausgangsspannungen eines 5L-SMC Umrichters bei Sinusdreieck Vergleich mit injizierter 3. Harmonischer mit PD bzw. APOD-Trägersignalen und verschiedenen Frequenzverhältnissen m_r
 a) THDn der Mittelpunktspannung u_{UM} ; b) THDn der Außenleiterspannung u_{UV}
 c) WTHDn der Mittelpunktspannung u_{UM} ; d) WTHDn der Außenleiterspannung u_{UV}

3.3.2 N-Level Stacked Multicell Umrichter (NL-SMC)

Bei der Stacked Multicell Topologie bestehen grundsätzlich zwei Möglichkeiten zur Erhöhung der Anzahl der Spannungsstufen in der Mittelpunktspannung, welche ausgehend von der 5L-SMC Topologie in Abb. 3.33 und Abb. 3.34 dargestellt werden. Zur besseren Übersichtlichkeit werden in diesen beiden N-Level SMC Topologien sämtliche Halbleiter durch ideale Spannungsschalter ersetzt.

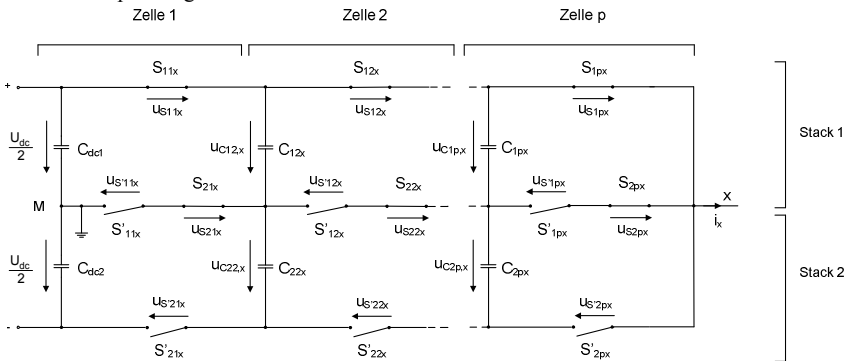


Abb. 3.33: Schaltung einer N-Level Stacked Multicell Umrichter Topologie (p Zellen; 2 Stacks) (Phasenbaustein, ideale Spannungsschalter)

Am Beispiel eines 7L-SMC Umrichters werden beide genannten Möglichkeiten bezüglich des Schalteraufwandes und der Modulation näher betrachtet.

N-Level SMC Topologie mit 2 Stacks und p Zellen. In Abb. 3.33 ist ein N-Level SMC Umrichter mit 2 Stacks dargestellt, wobei die Erhöhung der Anzahl der Spannungsstufen in der Mittelpunktspannung durch das Hinzuschalten von weiteren 2-Stack SMC-Zellen (z.B. Zelle 2) erfolgt. Die Anzahl der in Reihe geschalteten Zellen wird dabei mit p gekennzeichnet. Diese Vorgehensweise ist analog zu der, welche schon beim N-Level FLC in Kapitel 3.2.3 gezeigt wurde.

Unter der Voraussetzung, dass die Flying Capacitor Spannungen $u_{C1,x}$ der Flying Capacitors des Stacks 1 und $u_{C2,x}$ des Stacks 2 die in (3.48) definierten Spannungen besitzen, können mit (3.49) in der Mittelpunktspannung u_{xM} N äquidistante Spannungsstufen generiert werden.

$$U_{C1,x} = U_{C2,x} = \frac{1}{2} \cdot (U_{dc} - (i-1) \cdot \frac{U_{dc}}{p}); \quad i = 2, \dots, p \quad (3.48)$$

$$N = 2 \cdot p + 1 \quad (3.49)$$

Da der Aufbau der einzelnen Zellen bei der N-Level SMC Topologie mit 2 Stacks nach Abb. 3.33 identisch ist mit dem der 5L-SMC Topologie nach Abb. 3.24, müssen aufgrund der zwei übereinander angeordneten FLC Topologien die äußeren Schalter S_{1ix} sowie S'_{2ix} jeder Zelle i die doppelte Spannung blockieren können, verglichen mit der der inneren Schalter S'_{1ix} und S_{2ix} (vgl. Kapitel 3.3.1, Abb. 3.25). Die doppelte Sperrfähigkeit der äußeren Schalter kann durch eine Reihenschaltung von Schaltern, welche die gleiche Spannungsfestigkeit besitzen wie die inneren Schalter, analog zum 5L-SMC in Abb. 3.26, realisiert werden. Mittels dieser Reihenschaltung werden sämtliche Halbleiter an einer Kommutierungsspannung von:

$$U_{Kom} = \frac{U_{dc}}{2 \cdot p} = \frac{U_{dc}}{(N-1)} \quad (3.50)$$

betrieben. Es ist aber zu beachten, dass die genannte Reihenschaltung nur zum Blockieren der doppelten Kommutierungsspannung U_{Kom} nötig ist, wenn man Kommutierungen zwischen den äußeren Schaltern einer Zelle ausschließt. Schaltet man beispielsweise nur zwischen den komplementären Schaltern einer Zelle im oberen Stack (z.B. S_{11x} , S'_{11x} , wobei S_{21x} ein), so wird der aus einer Reihenschaltung bestehende äußere Schalter S_{11x} nur mit der einfachen Kommutierungsspannung U_{Kom} beansprucht (vgl. Abb. 3.25).

Unter der Annahme dass sämtliche Schalter mit U_{Kom} beansprucht werden, beträgt die Anzahl der Schalter für eine N-stufige SMC Topologie mit 2 Stacks:

$$N_{Sw} = 6 \cdot p = 6 \cdot (N-1) / 2 \quad (3.51)$$

Beispielsweise besteht ein 7-stufiger SMC Umrichter (3 Zellen (p), 2 Stacks) pro Phasenbaustein aus 18 Schaltern sowie deren antiparalleler Dioden (6 Schalter pro Zelle vgl. Abb. 3.26). Alle Schalter werden bei dieser Ausführung mit einer Kommutierungsspannung nach (3.50) von $U_{dc}/6$ beansprucht.

N-Level SMC Topologie mit q Stacks und 2 Zellen. Eine weitere Möglichkeit zur Erhöhung der Anzahl der Spannungsstufen in der Mittelpunktspannung bei der SMC Topologie ist in Abb. 3.34 dargestellt. Im Gegensatz zum N-Level SMC Umrichter in Abb. 3.33 werden hier ausgehend vom 5L-SMC Umrichter q abgewandelte 3L-FLC Teilschaltungen (Stack 1; Stack 2; ...; Stack q) übereinander „gestapelt“.

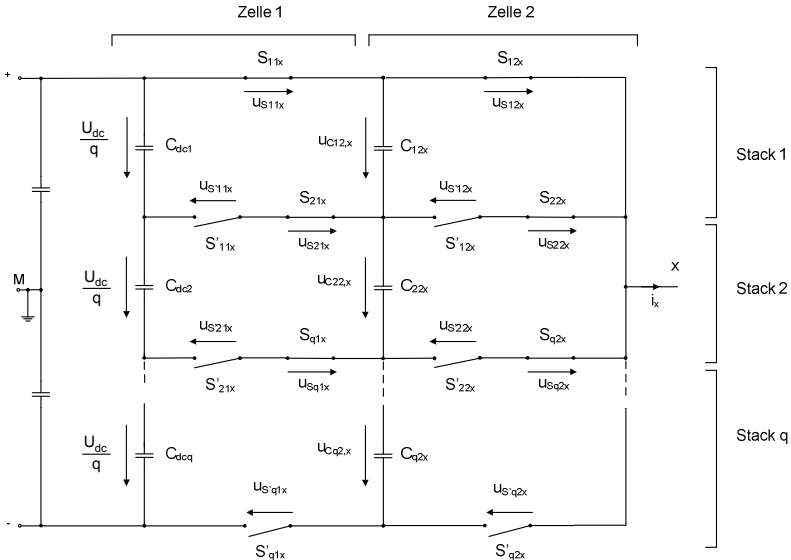


Abb. 3.34: Schaltung einer N-Level Stacked Multicell Umrichter Topologie (2 Zellen; q Stacks) (Phasenbaustein, ideale Spannungsschalter)

In der Mittelpunktspannung u_{xM} können N äquidistante Spannungsstufen generiert werden, wenn die Flying Capacitor Spannungen $u_{Ci2,x}$ folgende Werte besitzen:

$$U_{Ci2,x} = \frac{U_{dc}}{2 \cdot q}; \quad i = 1, \dots, q \tag{3.52}$$

Mit (3.52) beträgt die mögliche Anzahl N der Spannungsstufen in der Mittelpunktspannung:

$$N = 2 \cdot q + 1 \tag{3.53}$$

Um die Spannungen mit der jeder Schalter sowohl schaltend als auch im Blockierzustand bei einer SMC Topologie mit q-Stacks beansprucht wird bestimmen zu können, werden als Beispiel in Abb. 3.35 zwei ausgewählte Schaltzustände der Zelle 1 eines 7L-SMC Umrichters mit 3 Stacks (2 Zellen) betrachtet.

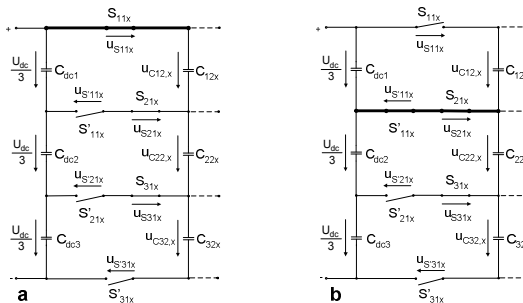


Abb. 3.35: Zwei Schaltzustände der Zelle 1 einer 7-Level Stacked Multicell Umrichter Topologie

Tabelle 3-8 Schaltzustände Zelle 1 sowie Schalterspannungen eines 7L-SMC Umrichter mit 3 Stacks
($x = \text{Phase U, V, W}$; $u_{C12,x} = u_{C22,x} = u_{C32,x} = U_{dc}/6$)

Schaltzustand Zelle 1			Schalterspannungen					
Stack 1	Stack 2	Stack 3	u_{S11x}	$u_{S'11x}$	u_{S21x}	$u_{S'21x}$	u_{S31x}	$u_{S'31x}$
ein	ein	ein	0	$U_{dc}/6$	0	$U_{dc}/3$	0	$U_{dc}/2$
aus	ein	ein	$U_{dc}/6$	0	0	$U_{dc}/6$	0	$U_{dc}/3$
aus	aus	ein	$U_{dc}/3$	0	$U_{dc}/6$	0	0	$U_{dc}/6$
aus	aus	aus	$U_{dc}/2$	0	$U_{dc}/3$	0	$U_{dc}/6$	0

In Abb. 3.35 a) sind alle FLC-Zellen (vgl. Abb. 3.22 b)) in den dargestellten 3 Stacks der Zelle 1 im Schaltzustand 1, d.h. dass in allen FLC-Zellen der obere Schalter ein- und der entsprechende komplementäre Schalter ausgeschaltet ist. Hingegen besitzt in Abb. 3.35 b) die oberste FLC-Zelle (Stack 1) den Schaltzustand 0 und alle weiteren FLC-Zellen (Stack 2 und Stack 3) den Schaltzustand 1. Des Weiteren wird vorausgesetzt, dass die Spannung der Flying Capacitors $C_{12,x}$, $C_{22,x}$ und $C_{32,x}$ nach (3.52) $U_{dc}/6$ beträgt.

In Tabelle 3-8 sind sämtliche möglichen Schaltzustände sowie die dazugehörigen Schalterspannungen der Zelle 1 eines 7L-SMC Umrichters, welcher aus 2 Zellen und 3 Stacks aufgebaut ist, dargestellt. Man erkennt dass bei einer SMC Topologie mit 3 Stacks die äußeren Schalter S_{11x} sowie S'_{31x} eine maximale Spannung von $U_{dc}/2$ blockieren müssen. Hingegen beträgt die maximale Blockierspannung der inneren Schalter S_{21x} , und S'_{21x} $U_{dc}/3$ und die der Schalter S'_{11x} und S_{31x} $U_{dc}/6$. Mit der Annahme, dass nur zwischen den komplementären Schaltern eines Stacks (z.B. Stack 1: S_{11x} und S'_{11x}) geschaltet wird, beträgt die Spannung mit der sämtliche Schalter schaltend betrieben werden, wie beim 7L-SMC Umrichter mit 3 Zellen und 2 Stacks, $U_{dc}/6$. Die Kommutierungsspannung beträgt allgemein für einen N-Level SMC Umrichter mit 2 Zellen und q Stacks:

$$U_{Kom} = \frac{U_{dc}}{2 \cdot q} = \frac{U_{dc}}{(N-1)} \quad (3.54)$$

Zur besseren Vergleichbarkeit beider vorgestellten Möglichkeiten zur Erhöhung der Anzahl der Spannungsstufen werden hier, wie beim 7L-SMC mit 3 Zellen und 2 Stacks, nur Schalter verwendet deren Spannungsfestigkeit nach (3.50) bzw. (3.54) $U_{dc}/6$ beträgt. Damit folgt, dass für die äußeren Schalter S_{11x} sowie S'_{31x} eine Reihenschaltung von drei Halbleitern und für die inneren Schalter S_{21x} sowie S'_{21x} eine Reihenschaltung von zwei Halbleitern notwendig ist, um die in Tabelle 3-8 gezeigten Schalterspannungen blockieren zu können. Des Weiteren muss für die Schalter S'_{11x} und S_{31x} ein Halbleiter mit einer Spannungsfestigkeit von $U_{dc}/6$ vorgesehen werden. Die Anzahl der Schalter sowie deren antiparalleler Dioden beträgt mit den genannten Voraussetzungen ($U_{Kom} = U_{dc}/6$) beim 7L-SMC Umrichter mit 2 Zellen und 3 Stacks 24 und ist damit im Vergleich mit der 7-L SMC Topologie mit 3 Zellen und 2 Stacks um 33 % größer.

Unter der Annahme dass sämtliche Schalter mit U_{Kom} nach (3.54) beansprucht werden, beträgt die Anzahl der Schalter für eine N-stufigen SMC Topologie mit q Stacks und 2 Zellen:

$$N_{Sw} = 2 \cdot (q^2 + q) \quad (3.55)$$

Mit (3.55) wächst die Anzahl der Schalter (und deren antiparalleler Dioden) quadratisch mit der Anzahl der Spannungsstufen in der Mittelpunktspannung, wenn die Erhöhung der Spannungsstufen mit einer Erhöhung der Anzahl der Stacks q bei der SMC Topologie realisiert wird. Hingegen ist der Zusammenhang zwischen der Anzahl der Schalter und der Anzahl an Spannungsstufen in der Mittelpunktspannung nach (3.51) linear, wenn die Erhöhung der Anzahl der Spannungsstufen durch das Hinzufügen von Zellen erfolgt.

Bezüglich des Halbleiternaufwandes ist es vorteilhaft eine Erhöhung der Spannungsstufen bei der SMC Topologie mittels einer Erweiterung von Zellen vorzunehmen.

N-Level SMC Topologie mit q Stacks und p Zellen. Beide oben genannten Möglichkeiten zur Erhöhung der Anzahl der Spannungsstufen in der Mittelpunktspannung lassen sich auch, wie in Abb. 3.36 dargestellt, kombinieren.

Damit in der Mittelpunktspannung nach (3.57) N äquidistante Spannungsstufen generiert werden können, müssen die Flying Capacitors $u_{C_{ji,x}}$ folgende Spannungswerte besitzen:

$$U_{C_{ji,x}} = \frac{1}{q} \cdot (U_{dc} - (i-1) \cdot \frac{U_{dc}}{p}); \quad j = 1, \dots, q; \quad i = 2, \dots, p \tag{3.56}$$

$$N = (p \cdot q) + 1 \tag{3.57}$$

Die Anzahl der möglichen Schaltzustände N_{S_z} einer Phase eines N-stufigen SMC Stromrichters mit p Zellen und q Stacks beträgt:

$$N_{S_z} = (q + 1)^p \tag{3.58}$$

Besitzen sämtliche Schalter (und deren antiparalleler Dioden) eine Spannungsfestigkeit von U_{Kom} , nach (3.60) so beträgt die Anzahl der Schalter $N_{S_{sw}}$ eines N-stufigen SMC Umrichters mit p Zellen und q Stacks mit den vorherigen Betrachtungen bezüglich der notwendigen Reihenschaltungen in entsprechenden Schalterpositionen [30]:

$$N_{S_{sw}} = p \cdot (q^2 + q) \tag{3.59}$$

$$U_{Kom} = \frac{U_{dc}}{p \cdot q} = \frac{U_{dc}}{(N-1)} \tag{3.60}$$

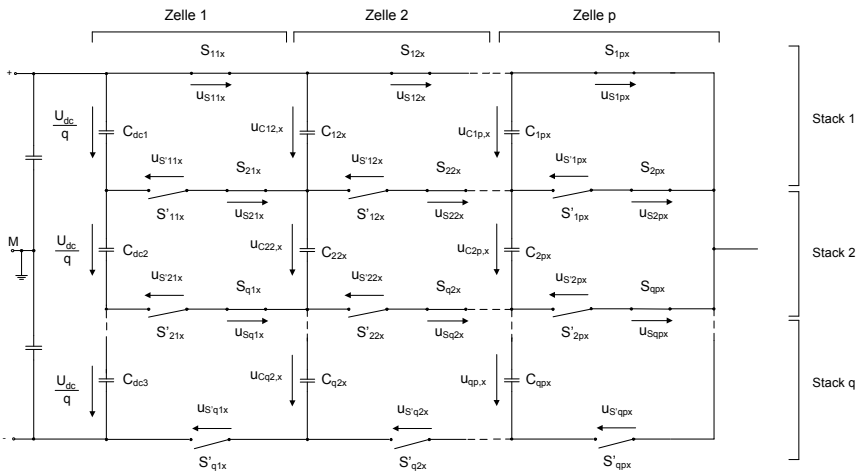


Abb. 3.36: Schaltung einer N-Level Stacked Multicell Umrichter Topologie (p Zellen; q Stacks)

Strompfade. Die Strompfade, welche sich bei einer N-stufigen SMC Topologie in den einzelnen Schaltzuständen ergeben, sind innerhalb eines der q-Stacks ähnlich denen eines N-stufigen FLC Umrichters mit $p = (N-1)$ in Serie geschalteten FLC-Zellen (vgl. Abb. 3.10; Abb. 3.17). Der Unterschied zu den Strompfaden einer N-stufigen FLC Topologie nach Abb. 3.22 besteht darin, dass pro Schalterposition im N-stufigen SMC Umrichter je nach Anzahl der Stacks eine Reihenschaltung von Schaltern sowie deren antiparalleler Dioden nötig wird, wenn sämtlicher Halbleiter die gleiche Spannungsfestigkeit von $U_{K_{\text{om}}}$ nach (3.60) realisieren. Allgemein kann gezeigt werden, dass in allen Schaltzuständen grundsätzlich p-q Halbleiter an der Stromführung beteiligt sind.

Kommutierungen. Mit dem hier betrachteten Modulationsverfahren (Sinus-Dreieck-Vergleich) treten beim N-stufigen SMC-Umrichter nur Kommutierungen zwischen den komplementären Schaltern einer FLC-Zelle auf (z.B. S_{1ix} / S'_{1ix} der Zelle 1 des Stacks 1). Die Kommutierungspfade besitzen dabei einen ähnlichen Aufbau wie in Abb. 3.28 für einen 5L-SMC Umrichter dargestellt. Da mit der Anzahl q der Stacks die Anzahl der in Reihe geschalteten Halbleiter, welche eine Spannungsfestigkeit von $U_{K_{\text{om}}}$ besitzen, pro Schalterposition innerhalb der FLC-Zellen linear wächst, ist es in einem realen SMC Umrichter mit mehr als 2 Stacks schwierig die Kommutierungspfade der FLC-Zellen niederinduktiv aufzubauen. Zum Beispiel beträgt die Anzahl der im Kommutierungspfad der Zelle 1 im Stack 1 liegenden Halbleiter bei einer 2 Stack Topologie 4 (vgl. Abb. 3.28), bei einer 3 Stack Topologie hingegen 6 und bei einer 4 Stack Topologie 8.

Modulation. Für die Generierung der Schaltsignale für sämtliche Schalter eines N-stufigen SMC Umrichters mit p Zellen und q Stacks werden $(N-1) = p \cdot q$ Trägersignale für den Sinus-Dreieck-Vergleich benötigt. In Abb. 3.37 sind beispielhaft die Anordnungen der Trägersignale für die Modulation der Mittelpunktspannung einer Phase sowohl eines 7-stufigen SMC Umrichter mit 3 Zellen und 2 Stacks (Abb. 3.37 a) als auch eines 7-stufigen SMC Umrichter mit 2 Zellen und 3 Stacks (Abb. 3.37 b) dargestellt, wobei aus Gründen der Übersichtlichkeit nur das Modulationsverfahren mit APOD-Trägersignalen verwendet wird. Der 7L-SMC Umrichter mit 3 Zellen und 2 Stacks besteht aus 2 übereinander angeordneten 4L-FLC Teilschaltungen (Stack 1 und Stack 2). Für die Modulation dieser beiden 4L-FLC Teilschaltungen ergeben sich zwei Sätze mit drei Trägersignalen, wobei die Trägersignale $u_{\text{carr}11}$, $u_{\text{carr}12}$, $u_{\text{carr}13}$ für Modulation der Zellen des 1. Stacks und die Trägersignale $u_{\text{carr}21}$, $u_{\text{carr}22}$, $u_{\text{carr}23}$ für die Modulation der Zellen des 2. Stacks verwendet werden. Die drei Trägersignale weisen dabei, wie beim 4L-FLC Umrichter (vgl. Abb. 3.18 a)), eine zeitliche Verschiebung von jeweils $T_c/3$ zueinander auf. Des Weiteren sind die Trägersignale, welche für die Modulation des 1. Stacks benötigt werden, zwischen 0 und 1 und entsprechend die des 2. Stacks zwischen 0 und -1 lokalisiert. Allgemein ergeben sich bei einer zwei Stack SMC Topologie immer zwei Sätze von Trägersignalen, wobei die Anzahl der Trägersignale sowie

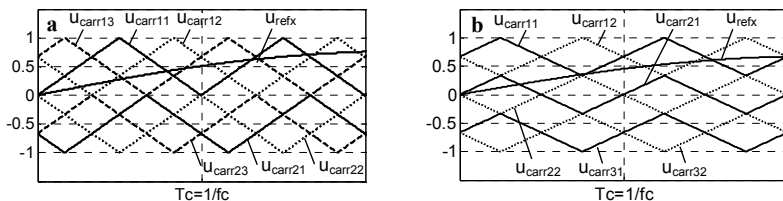


Abb. 3.37 : Anordnung der Trägersignale für die Modulation eines 7L-SMC Umrichters
 a) versetzte Trägersignale (APOD-Modulation) eines 7L SMC mit 3 Zellen 2 Stacks
 b) versetzte Trägersignale (APOD-Modulation) eines 7L SMC mit 2 Zellen 3 Stacks

deren Verschiebung untereinander, wie beim N-stufigen FLC Umrichter von der Anzahl p der in Reihe geschalteten FLC-Zellen abhängt (vgl. Kapitel 3.2.3).

In Abb. 3.37 b) ist das APOD Modulationsverfahren für eine 7L-SMC Topologie mit 2 Zellen und 3 Stacks dargestellt. Hier ergeben sich drei Sätze mit jeweils 2 Trägersignalen, welche ihrerseits um $T_C/2$ zueinander verschoben sind. Die Trägersignale für die Modulation der Zellen des 1. Stacks ($u_{\text{carr}11}$ und $u_{\text{carr}12}$) verlaufen dabei zwischen $1/3$ und 1 , die des 2. Stacks ($u_{\text{carr}21}$ und $u_{\text{carr}22}$) zwischen $-1/3$ und $1/3$ und die des 3. Stacks ($u_{\text{carr}31}$ und $u_{\text{carr}32}$) zwischen -1 und $-1/3$. Die Anzahl der Sätze von Trägersignalen ist identisch mit der Anzahl q der übereinander angeordneten FLC Teilschaltungen.

Die Modifikation der Trägersignalanordnung für die PD-Modulation eines N-stufigen SMC-Umrichters mit p Zellen und q Stacks kann analog zum N-stufigen FLC Umrichter mit p Zellen erfolgen (vgl. Kapitel 3.2.3), wobei zu beachten ist, dass, ausgehend von der APOD Trägersignalanordnung (Abb. 3.37), die notwendige Verschiebung der Trägersignale in den einzelnen Modulationsbändern (vgl. Abb. 3.18) für jeden der q Stacks getrennt durchgeführt werden muss.

Die Anzahl der Kommutierungen innerhalb einer Periode des Trägersignals T_C ist, wie bei der des N-stufigen FLC Umrichters mit Sinus-Dreieck-Modulation, abhängig von der Anzahl p der in Reihe geschalteten FLC-Zellen und beträgt $2 \cdot p$. Die durchschnittliche Schaltfrequenz f_s der Schalter bzw. Dioden, welche schaltend betrieben werden (im Gegensatz zu den Schaltern bzw. Dioden welche nur zum Blockieren der Spannung benötigt werden), beträgt bei einer N-stufigen SMC Topologie mit 2 Stacks $f_C/2$. Bei SMC Topologien mit mehr als 2 Stacks sind die durchschnittlichen Schaltfrequenzen der Schalter bzw. Dioden analog zum N-stufigen NPC-Umrichter (vgl. Kapitel 3.1.2) vom Modulationsgrad m_a abhängig (APOD-Modulation). Zum Beispiel schalten die Schalter der Zellen des 1. und 3. Stacks bei der 7L-SMC Topologie mit 2 Zellen und 3 Stacks nie, wenn das Referenzsignal nur zwischen $1/3$ und $-1/3$ ($1/3 > u_{\text{refx}} > -1/3$) lokalisiert ist (vgl. Abb. 3.37 b)).

Amplitudenspektren. Bei einem N-stufigen SMC Umrichter mit p Zellen und q Stacks treten die Oberschwingungen im Amplitudenspektrum der Mittelpunktspannung, analog zum N-stufigen FLC Umrichter mit p Zellen, bei den in (3.43)-(3.45) gezeigten Frequenzen auf, da die Anzahl der Kommutierungen innerhalb einer Periode des Referenzsignals, bei Verwendung der betrachteten Modulationsverfahren, nur von der Anzahl p der in Serie geschalteten FLC-Zellen abhängt. Die Frequenz $f_{1\text{cb}}$, um die das 1. Trägerband lokalisiert ist, beträgt $p \cdot f_C$. Die Amplitudenwerte sind je nach Anzahl der Spannungsstufen in der Mittelpunktspannung, welche bei der SMC Topologie auch von der Anzahl q (vgl. (3.57)) der Stacks abhängt, unterschiedlich. Eine genaue Vorgehensweise zur Analyse der auftretenden Oberschwingungen in den Ausgangsspannungen von Multi-Level Stromrichter ist in [46] dargestellt.

WTHDn und THDn. In Abb. 3.38 a)-d) ist der THDn und der WTHDn sowohl der Mittelpunktspannung u_{UM} als auch der Außenleiterspannung u_{UV} eines 7L-SMC Umrichters (3 Zellen; 2 Stacks) dargestellt, wobei verschiedene Arten der Modulation (PD- / APOD-Trägersignale) und zwei Frequenzverhältnisse ($m_f = 15,21$) betrachtet werden. Vergleicht man die Verläufe des THDn (Abb. 3.38 a), b)) mit denen des 5L-SMC Umrichters in Abb. 3.32 a), b), so erkennt man, dass sowohl bei der Modulation mit APOD- als auch mit PD Trägersignalen der THDn aufgrund der 7-stufigen Charakteristik der Mittelpunktspannung signifikant kleiner ist. Hingegen besitzt der WTHDn der Mittelpunktspannung (Abb. 3.38 c)) einen fast identischen Verlauf was durch die im Referenzsignal aufmodulierte dritte Harmonische erklärbar ist. Da diese 3. Harmonische in der Außenleiterspannung nicht mehr enthalten ist, ergeben sich beim WTHDn der Außenleiterspannung (Abb. 3.38 d)) unterschiedliche Verläufe bei den untersuchten Modulationsverfahren und

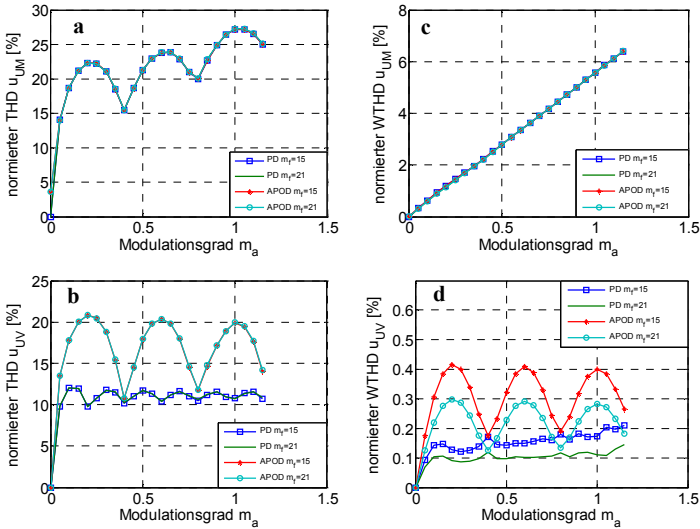


Abb. 3.38: Vergleich THDn und WTHDn der Ausgangsspannungen eines 7L-SMC Umrichters (3 Zellen 2 Stacks) bei Sinus-Dreieck-Vergleich mit injizierter 3. Harmonischer mit PD-bzw. APOD-Trägersignalen und verschiedenen Frequenzverhältnissen m_f

a) THDn der Mittelpunktspannung u_{UM} ; b) THDn der Außenleiterspannung u_{UV}

c) WTHDn der Mittelpunktspannung u_{UM} ; d) WTHDn der Außenleiterspannung u_{UV}

Frequenzverhältnissen. Der niedrigste WTHDn tritt wie bei den zuvor betrachteten Topologien bei einem Frequenzverhältnis vom $m_f=21$ und bei Verwendung der PD Modulation auf. Da der WTHDn eine frequenzabhängige Gewichtung der Oberschwingungen beinhaltet (vgl. (3.16)), ist dieser beim 7L-SMC Umrichter geringer als der des 5L-SMC Umrichters, wenn das gleiche Frequenzverhältnis m_f angenommen wird. Beim 5L-SMC Umrichter tritt das 1. Trägerband um $2 \cdot f_C$, beim 7L-SMC mit 3 Zellen und 2 Stacks hingegen um $3 \cdot f_C$ auf. Somit gehen die Oberschwingungen des 1. Trägerbandes des 7L-SMC Umrichters stärker gedämpft in den WTHDn ein als die des 5L-SMC Umrichters.

4 Modellierung und Auslegung der Stromrichter

In dem nun folgenden Kapitel wird auf die Auslegung wesentlicher passiver und aktiver Komponenten der im Kapitel 3 vorgestellten Stromrichtertopologien eingegangen. Dies umfasst im Einzelnen die Auslegung der Halbleiter, der Zwischenkreiskondensatoren und der Flying Capacitors. Da für die Auslegung der Halbleiter die generierten Halbleiterverluste ein entscheidendes Kriterium darstellen, wird in einem ersten Schritt das verwendete Verlustmodell beschrieben.

4.1 Verlustmodell

Neben der in Kapitel 3 für die betrachteten Stromrichtertopologien hergeleiteten Kommutierungsspannung U_{Kom} ist für die Auslegung sämtlicher Halbleiter die thermische Beanspruchung, welche durch die generierten Verluste hervorgerufen wird, maßgeblich. Die Halbleiterverluste werden dabei in Leit-, Schalt-, und Sperrverluste unterteilt, wobei diese sowohl vom Phasenstrom i_x , der Kommutierungsspannung U_{Kom} , der Sperrschichttemperatur ϑ_j als auch von der Schaltfrequenz f_s abhängen. Mit Hilfe eines thermischen Ersatzschaltbildes, das die reale Anordnung von Halbleitern und Kühlkörpern im Stromrichter vereinfacht widerspiegelt, besteht die Möglichkeit, die Sperrschichttemperatur ϑ_j bei bekannten Halbleiterverlusten eindeutig zu bestimmen. Die höchstzulässige Sperrschichttemperatur $\vartheta_{j,\text{max}}$ von High-Voltage-IGBTs (HV-IGBTs), welche in Stromrichtern für den Mittelspannungsbereich überwiegend eingesetzt werden, liegt gegenwärtig bei 150°C , die mittlere Betriebssperrschichttemperatur beträgt häufig $\vartheta_{j,\text{op,max}} = 125^\circ\text{C}$.

Die numerische und analytische Bestimmung sämtlicher Halbleiterverluste in den betrachteten Stromrichtertopologien kann in folgende Schritte unterteilt werden:

1. messtechnische Erfassung der charakteristischen Halbleiterverluste
2. analytische Approximation der messtechnisch erfassten Halbleiterverluste
3. Festlegung der Betriebsbedingungen der untersuchten Stromrichter
4. analytische oder numerische Berechnung der Halbleiterverluste über eine Periode der Ausgangsspannung

Die messtechnische Erfassung der Halbleiterverluste wird von den Halbleiterherstellern vorgenommen, wobei das betreffende Bauelement unter definierten elektrischen und thermischen Bedingungen in einer Tiefsetzstellerschaltung betrieben wird [5]. Die ermittelten Durchlassspannungen u_{on} und Schaltverlustenergien $E_{\text{on/off}}$ bzw. E_{rec} werden in den Datenblättern in der Regel als Funktion des Halbleiterstromes i_s und der Sperrschichttemperatur ϑ_j dargestellt, wobei für die Schaltverlustenergien die Kommutierungsspannung U_{Kom} sowie die Ansteuerbedingungen (z.B. Gate-Emitter-Spannung U_{GE} , Gatewiderstand R_G) festgelegt sind.

Die gemessenen Durchlassspannungen und Schaltverlustenergien, welche, wie oben erwähnt, unter anderem vom Halbleiterstrom und der Sperrschichttemperatur abhängen, werden in einem nächsten Schritt über Näherungsformeln beschrieben [55], [56], [57]. Die Temperaturabhängigkeit wird dabei in dieser Arbeit vernachlässigt, da zur Bestimmung der maximalen Schaltfrequenz sowie des maximalen Phasenstromes in den betrachteten Stromrichtertopologien von einer maximalen, mittleren Sperrschichttemperatur $\vartheta_{j,\text{max}} = 125^\circ\text{C}$ ausgegangen wird.

Für die Durchlassspannungen wird folgende Näherungsformel benutzt:

$$u_{omy}(i_s) = U_{0y} + r_{0y} \cdot i_s^{B_y} \quad (4.1)$$

y = D: Diode; y = S : aktiver Schalter

In (4.1) beschreibt U_{0y} die Schleusenspannung und r_{0y} den differentiellen Widerstand des betrachteten Halbleiterbauelementes.

Um eine möglichst genaue Näherung der aus dem jeweiligen Datenblatt gewonnenen Schaltverlustenergien $E_{on/offS}$ eines IGBTs zu erhalten, werden diese durch die folgende Näherungsformel beschrieben (vgl. Anhang A):

$$E_{on/offS}(i_s, U_{Kom}) = \left((A_{0,on/offS} \cdot i_s^{B_{0,on/offS}}) \cdot (i_s^{B_{1,on/offS} \cdot \log_{10}(i_s)}) \cdot (i_s^{B_{2,on/offS} \cdot (\log_{10}(i_s))^2}) \cdot \frac{U_{Kom}}{U_{Basis}} \right) \quad (4.2)$$

Die Ausschaltverlustenergien (Recoveryverlustenergien) der Diode E_{offD} werden mit folgender Formel angenähert (vgl. Anhang A):

$$E_{offD}(i_s, U_{Kom}) = \left((A_{0,offD} \cdot i_s^{B_{0,offD}}) \cdot (i_s^{B_{1,offD} \cdot \log_{10}(i_s)}) \cdot \frac{U_{Kom}}{U_{Basis}} \right) \quad (4.3)$$

Die Spannung U_{Basis} in (4.2) und (4.3) ist die Spannung bei der die Schaltverlustenergien messtechnisch erfasst wurden. Die Schaltverlustenergien werden somit linear mit der Kommutierungsspannung U_{Kom} , mit der der Halbleiter in den betrachteten Stromrichter Topologien schaltend betrieben wird, skaliert.

Die Sperrverluste sämtlicher Halbleiter werden aufgrund ihres sehr geringen Anteils an den Gesamtverlusten in dieser Arbeit nicht weiter betrachtet. Darüber hinaus werden für die Dioden nur die durch den Recovery Vorgang hervorgerufenen Ausschaltverlustenergien berücksichtigt, da diese im Vergleich zu den Einschaltverlustenergien wesentlich die gesamten Schaltverluste einer Diode bestimmen.

Für das verwendete Verlustmodell werden drei Annahmen bezüglich der Betriebsbedingungen der verschiedenen Stromrichtertopologien getroffen:

- Die Zwischenkreisspannung U_{dc} wird als konstant angenommen.
- Für die verschiedenen Stromrichtertopologien werden die in Kapitel 3 verwendeten Modulationsverfahren (PD- und APOD-Modulation) benutzt, wobei die Referenzsignale für den Sinus-Dreieck-Vergleich den in (3.2) gezeigten Verlauf besitzen.
- Der Phasenstrom i_x einer Phase ist rein sinusförmig und besitzt den folgenden zeitlichen Verlauf:

$$i_x(t) = \hat{I} \cdot \sin(\omega_1 t + \varphi_1) \quad \text{mit } \omega_1 = 2 \cdot \pi \cdot f_1 \quad (4.4)$$

φ_1 beschreibt dabei die Phasenverschiebung zur Grundschwingung des o.g. Referenzsignals der Mittelpunktsspannung in der entsprechenden Phase (vgl. (3.2)).

Es bestehen nun zwei Möglichkeiten die Halbleiterverluste zu bestimmen. Das hier verwendete Verlustmodell beruht auf einer numerischen Berechnung, wobei eine Phase des entsprechenden Stromrichters inklusive der Modulation in MATLAB simuliert wird. Der prinzipielle Programmablauf ist in Abb. 4.1 dargestellt.

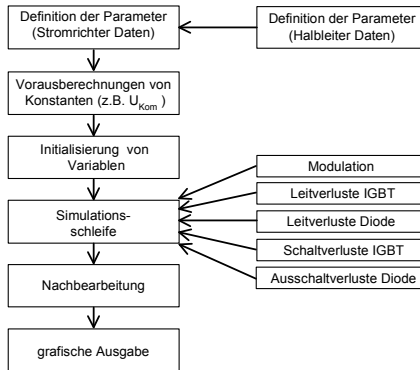


Abb. 4.1: Blockdiagramm des Programms zur Verlustbestimmung

In der Simulationsschleife des dargestellten Programms werden fortlaufend mit einer vorher definierten Schrittweite t_{step} sämtliche Schaltsignale, welche mittels der Modulation gewonnen werden, sowie der Augenblickswert des Laststromes i_x berechnet. Sämtliche Halbleiter werden dabei durch einfache Ein- / Ausschalter ersetzt. Durch die Kenntnis des Schaltzustandes ist es nun möglich, die analytisch beschriebenen Durchlassspannungen $u_{\text{ony}}(i)$ (gemäß (4.1)) der an der Stromführung beteiligten Halbleiterbauelemente in jedem Simulationsschritt zu berechnen. Der zeitliche Verlauf der Durchlassverlustleistung $p_{ly}(t)$ eines Halbleiterbauelementes kann mit (4.5) bestimmt werden, wobei i_s den Halbleiterstrom darstellt, welcher während der Leitphasen dem Phasenstrom i_x entspricht:

$$p_{ly}(t) = u_{\text{ony}}(i_s(t)) \cdot i_s(t) = (U_{0y} + r_{0y} \cdot i_s(t)^{B_{ly}}) \cdot i_s(t) \quad (4.5)$$

In dem verwendeten Verlustmodell wird in jedem Simulationsschritt die Durchlassverlustleistung nach (4.5) berechnet und mit der Schrittweite t_{step} multipliziert und aufsummiert. Die aufsummierten Leitverlustenergien werden in der Nachbearbeitung des Programms durch die Simulationszeit geteilt. Beträgt die Simulationszeit ein ganzzahliges Vielfaches der Periodendauer des Referenzsignals ($T_1 = 1/f_1$) erhält man eine über eine Periode des Referenzsignals gemittelte Durchlassverlustleistung, welche durch die folgende Rechenvorschrift beschrieben wird:

$$P_{ly} = \frac{1}{T_1} \sum_{k=0}^{n(T_1)} (p_{ly}(i_s(k \cdot t_{\text{step}})) \cdot t_{\text{step}}) = \frac{1}{T_1} \sum_{k=0}^{n(T_1)} E_{ly}(i_s(k \cdot t_{\text{step}})) \quad (4.6)$$

wobei $n(T_1)$ in (4.6) die Anzahl der Simulationsschritte darstellt, in denen der betreffende Halbleiter innerhalb einer Periode T_1 des Referenzsignals den Phasenstrom leitet.

Tritt nun ein Schaltzustandswechsel in einer Phase auf, so werden durch das Verlustprogramm sowohl die an der Kommutierung beteiligten Halbleiter als auch die Art der Kommutierung identifiziert. Mit dem Augenblickswert des Laststromes i_x ist die mit (4.2) beschriebene Schaltverlustenergie $E_{\text{on/off}y}$ des entsprechenden Halbleiters eindeutig bestimmt. Die in den Kommutierungsvorgängen ermittelten Schaltverlustenergien werden aufsummiert und in der Nachbearbeitung durch die Simulationszeit, welche ein ganzzahliges Vielfaches der Periodendauer des Referenzsignals betragen muss, geteilt. Somit erhält man pro Halbleiter eine über eine Periode des Referenzsignals gemittelte Schaltverlustleistung, wobei die Ein- und Ausschaltverlustleistungen getrennt betrachtet werden. Die gemittelten

Schaltverlustleistungen werden durch folgende Formel beschrieben, in der m die Anzahl der Schaltzustandswechsel innerhalb einer Periode T_1 des Referenzsignals beschreibt:

$$P_{on/offy} = \frac{1}{T_1} \sum_{j=0}^{m(T_1)} (E_{on/offy}(i_s(t))) \quad (4.7)$$

Die gesamten Verluste P_{Vy} eines Halbleiterbauelementes werden gemäß (4.8) durch die Addition der Leitverluste P_{ly} und den Schaltverluste $P_{on/offy}$ bestimmt.

$$P_{Vy} = P_{ly} + P_{on/offy} \quad (4.8)$$

Neben der Simulation besteht auch die Möglichkeit, die Halbleiterverluste analytisch zu bestimmen. Im Gegensatz zur numerischen Bestimmung der Verlustleistungen geht der diskrete Charakter, welcher in leistungselektronischen Schaltungen durch die auftretenden Kommutierungen vorhanden ist, verloren, da, wie folgend gezeigt wird, mit kurzzeitigen Mittelwerten gerechnet wird [7]. Die folgenden analytischen Lösungen für die Halbleiterverluste sind für Frequenzverhältnisse $m_f > 39$ hinreichend genau, da hier die diskreten Effekte vernachlässigbar sind. Für Frequenzverhältnisse $m_f < 21$ können die analytischen Lösungen nur eine grobe Abschätzung darstellen [1], [3]. Im Folgenden wird der Vollständigkeit halber die Vorgehensweise für die analytische Bestimmung der Halbleiterverluste dargestellt und für einen Flying Capacitor Umrichter beispielhaft berechnet.

Mit dem hier verwendeten Modulationsverfahren des Sinus-Dreieck-Vergleichs ergeben sich analytisch geschlossene Lösungen, wenn die vom Halbleiterstrom abhängigen Kurven der Durchlassspannungen und der Schaltverlustenergien im Gegensatz zu (4.1) und (4.2) durch Polynome angepasst werden. Die Durchlassspannung u_{on} wird dabei durch die folgende lineare Näherung beschrieben:

$$u_{ony}(i_s) = U_{y0} + r_{y0} \cdot i_s \quad (4.9)$$

Die Schaltverlustenergien, sowohl der Schalter als auch der Dioden, werden vorzugsweise durch ein quadratisches Polynom angenähert, wobei diese mit der Kommutierungsspannung U_{Kom} linear skaliert werden.

$$E_{on/offy}(i_s, U_{Kom}) = \left(A_{0,on/offy} + B_{0,on/offy} \cdot i + C_{0,on/offy} \cdot i_s^2 \right) \cdot \frac{U_{Kom}}{U_{Basis}} \quad (4.10)$$

Die Leitverluste eines Halbleiters werden über eine Periode des Referenzsignals gemittelt und sind wie folgt definiert:

$$P_{ly} = \frac{1}{T_1} \int_0^{T_1} m^*(t) \cdot (U_{0y} + r_{0y} \cdot i_x) \cdot i_x dt = \frac{1}{T_1} \int_0^{T_1} (U_{0y} + r_{0y} \cdot i_s) \cdot i_s dt \quad (4.11)$$

Der Strom i_s ist der Halbleiterstrom während der Leitphasen des betrachteten Halbleiterbauelementes. Anstelle des Halbleiterstromes kann auch der Phasenstrom i_x zur Berechnung herangezogen werden, wobei die stückweise stetige Funktion $m^*(t)$ die Leitphasen des betrachteten Halbleiterbauelementes darstellt. Das Integral in (4.11) kann mit der so genannten mittleren Einschaltdauer t_{ein} des betrachteten Halbleiters bezogen auf eine Trägersignalperiode T_C in das folgende Integral überführt werden:

$$P_{ly} = \frac{1}{T_1} \int_{t_{Start}}^{t_{Stop}} \frac{t_{ein}}{T_C} \cdot (U_{0y} + r_{0y} \cdot i_x) \cdot i_x dt \quad (4.12)$$

Sowohl die mittlere Einschaltdauer t_{ein} als auch die Integrationsgrenzen t_{Start} und t_{Stop} sind von der Stromrichtertopologie als auch vom betrachteten Halbleiter abhängig. Da der kurzzeitige

Mittelwert der Mittelpunktspannung \bar{u}_{xM} innerhalb einer Trägersignalperiode bis auf den Faktor $U_{dc}/2$ dem Referenzsignals u_{refx} entspricht (vgl. [7]), kann die Bestimmung der mittleren Einschaltzeit t_{ein} bezogen auf eine Trägersignalperiode T_C über den Zeitverlauf des Referenzsignals erfolgen. Beispielsweise ergibt sich bei der APOD-Modulation einer Phase eines Flying Cap Umrichter für einen IGBT (z.B. S_{1x} , Abb. 3.22) einer FLC-Zelle folgende mittlere Einschaltzeiten t_{ein} , wenn das in (3.2) definierte Referenzsignal verwendet wird:

$$\frac{t_{ein}}{T_c} = \frac{1}{2} \left(1 + m_a \cdot (\sin(\omega t)) + \frac{1}{6} \cdot (\sin(3\omega t)) \right) \quad (4.13)$$

Der sinusförmige Phasenstrom i_x gemäß (4.4) fließt dabei während der positiven Stromhalbschwingung mit der in (4.13) gezeigten mittleren Einschaltdauer über den betrachteten IGBT. Die Ingerationsgrenzen sind somit $t_{start} = 0$ und $t_{end} = T_1/2$. Die analytische Durchlassverlustleistung eines IGBT beträgt damit:

$$P_{IS} = \left(\frac{U_{0T} \cdot \hat{i}_x}{2 \cdot \pi} + \frac{r_{0T} \cdot \hat{i}_x^2}{8} \cdot \left(1 + \frac{m_a}{9 \cdot \pi} + \frac{m_a}{5 \cdot \pi} \cdot \cos(2 \cdot \varphi_i) \right) \right) + m_a \cdot \cos(\varphi_i) \cdot \left(\frac{U_{0T} \cdot \hat{i}_x}{8} + \frac{r_{0T} \cdot \hat{i}_x^2}{3 \cdot \pi} \right) \quad (4.14)$$

Die dem IGBT gegenüberliegende Diode (z.B. D'_{1x} , Abb. 3.22) in einer Kommutierungszelle eines FLC Umrichters führt den Phasenstrom während der positiven Stromhalbschwingung mit der mittleren Einschaltdauer ($T_C - t_{ein}$) in der der IGBT ausgeschaltet ist. Die analytische Durchlassverlustleistung einer Diode beträgt somit:

$$P_{ID} = \left(\frac{U_{0D} \cdot \hat{i}_x}{2 \cdot \pi} + \frac{r_{0D} \cdot \hat{i}_x^2}{8} \cdot \left(1 - \frac{m_a}{9 \cdot \pi} - \frac{m_a}{5 \cdot \pi} \cdot \cos(2 \cdot \varphi_i) \right) \right) - m_a \cdot \cos(\varphi_i) \cdot \left(\frac{U_{0D} \cdot \hat{i}_x}{8} + \frac{r_{0D} \cdot \hat{i}_x^2}{3 \cdot \pi} \right) \quad (4.15)$$

Für die analytische Bestimmung der Schaltverluste wird die Summe in (4.7) in ein Integral überführt, welches die folgende Form besitzt:

$$P_{on/offy} = f_C \cdot \frac{1}{T_1} \int_{t_{start}}^{t_{stop}} E_{on/offy}(i_S, U_{Kom}) dt \quad (4.16)$$

Wird nun ein sinusförmiger Phasenstrom i_x gemäß (4.4) angenommen, so ergibt sich für die analytische Lösung der Ein- bzw. Ausschaltverluste eines Halbleiters in einer Kommutierungszelle (FLC-Zelle) eines Flying Capacitor Umrichters folgender Ausdruck:

$$P_{on/offy} = f_C \cdot \left(\frac{A_{0on/offy}}{2} + \frac{B_{0on/offy}}{\pi} \cdot \hat{i}_x + \frac{C_{0on/offy}}{4} \cdot \hat{i}_x^2 \right) \cdot \frac{U_{Kom}}{U_{Basis}} \quad (4.17)$$

Es ist zu beachten, dass für die Dioden nur die Ausschaltverluste im Recovery Vorgang berücksichtigt werden. Die Gesamtverluste P_{Vy} eines Halbleiterbauelementes können, wie bei den numerischen Berechnung der Verluste, mit (4.8) berechnet werden.

In [1] sind für den 3L-NPC Stromrichter und die Flying Cap Umrichter Topologie, die analytischen Lösungen sowohl für die Leitverluste als auch für die Schaltverluste angegeben, wobei ein rein sinusförmiges Referenzsignal verwendet wurde. In [3] hingegen sind die analytischen Lösungen der Verluste eines 3L-NPC Umrichters dargestellt, welche sich ergeben, wenn das hier verwendete sinusförmige Referenzsignal mit dritter Harmonischer für die Modulation benutzt wird.

4.1.1 Sperrschichttemperaturen

Für jedes Halbleiterbauelement kann ein thermisches Ersatzschaltbild angegeben werden, in dem sich die dynamischen thermischen Eigenschaften des mechanischen Aufbaus eines Halbleiterbauelementes bzw. -moduls widerspiegeln. Dabei gibt es prinzipiell zwei verschiedene Arten von thermischen Ersatzschaltbildern: Einerseits eine Darstellung gemäß dem sog. Cauer Modell, bei welchem über RC-Glieder in einer Abzweigschaltung eine physikalisch exakte Lokalisierung der tatsächlich vorhanden einzelnen Wärmeübergänge berücksichtigt wird. Dieses Ersatzschaltbild führt mathematisch auf sehr komplexe Ausdrücke. Andererseits gibt es eine Darstellung gemäß dem Foster Modell, welche überwiegend in Halbleiter-Datenblättern zu finden ist. Sie besteht prinzipiell aus einer Reihenschaltung mehrerer RC-Glieder (vgl. Abb. 4.2), wobei das thermische Verhalten nur zwischen zwei definierten Punkten (z.B. zwischen der Sperrschicht und dem Gehäuse) identisch mit dem des Cauer Modells ist. Beide Modelle lassen sich prinzipiell ineinander überführen [58].

In Abb. 4.2 ist beispielhaft ein thermisches Ersatzschaltbild eines IGBT Moduls mit integrierter antiparalleler Diode dargestellt, welches auf einem Kühlkörper montiert ist. Es besteht aus einer Verlustquelle $p_{VS}(t)$ für den aktiven Schalter und einer Verlustquelle für die antiparallele Diode $p_{VD}(t)$. Das thermische Verhalten zwischen der Sperrschicht (engl. junction (j)) und der Gehäusebodenplatte (engl. case (c)) wird, getrennt für den aktiven Schalter und die Diode, durch eine Anzahl n von in Reihe geschalteten $R_{th}C_{th}$ -Gliedern nachgebildet. Hingegen wird das thermische Verhalten zwischen der Gehäusebodenplatte (c) und dem Kühlkörper (engl.: heatsink (h)) durch die Art der thermischen Verbindung (mittels Wärmeleitpaste) bestimmt und ist durch ein einfaches $R_{th}C_{th}$ -Netzwerk, bestehend aus $R_{th,ch}$ und $C_{th,ch}$, definiert. Das aus dem thermischen Widerstand $R_{th,ha}$ und der thermischen Kapazität $C_{th,ha}$ bestehende $R_{th}C_{th}$ -Netzwerk spiegelt das thermische Verhalten der Kühleinrichtung (Kühlkörper, Kühlbox) wider. Man erkennt an Abb. 4.2, dass der Temperaturhub $\Delta\vartheta_{ca}$ zwischen der Gehäusebodenplatte und der Umgebung von der Summe der Verlustleistungen des IGBTs und der Diode abhängt. Es besteht also eine thermische Kopplung zwischen dem IGBT und der Diode eines Moduls, welche an der Bodenplatte lokalisiert ist. Sämtliche thermischen Widerstände R_{thi} und thermische Kapazitäten C_{thi} sowie die Anzahl n der $R_{thi}C_{thi}$ -Glieder sind in den Datenblättern der Halbleiter bzw. der Kühleinrichtungen angegeben [73], [74]. Die zeitabhängigen Verluste $p_{Vj}(t)$ generieren eine Welligkeit im Zeitverlauf der Sperrschichttemperatur $\vartheta_{j,y}(t)$, welche im quasistationären

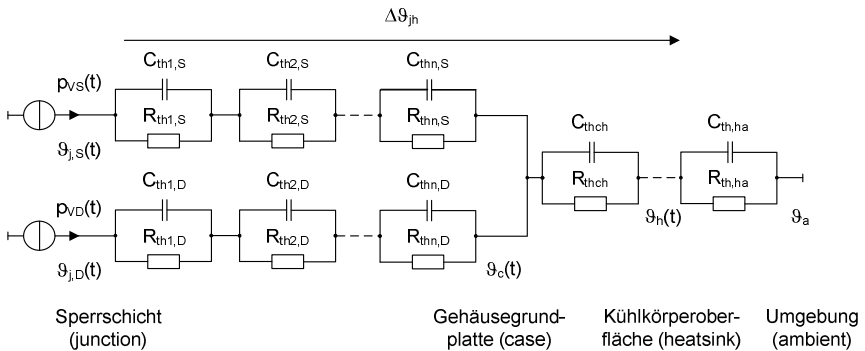


Abb. 4.2: Thermisches Ersatzschaltbild eines IGBT Moduls mit integrierter antiparalleler Diode

Betrieb mit der Frequenz f_1 des Referenzsignals periodisch ist. Diese Temperaturwelligkeit beträgt bei den hier für den Mittelspannungsbereich betrachteten IGBT Modulen einige Kelvin, wenn die Frequenz des Referenzsignals f_1 , und somit die der Ausgangsspannungen, größer als 5 Hz ist [3]. Für die in den Datenblättern der Halbleiter angegebenen maximalen Sperrschichttemperaturen $\vartheta_{j,y,max}$ ist diese auftretende Temperaturwelligkeit bereits berücksichtigt, so dass in den meisten Anwendungen die thermischen Kapazitäten vernachlässigt werden können. Somit ist es legitim eine durchschnittliche Sperrschichttemperatur $\vartheta_{j,y}$ für den aktiven Schalter S und die Diode D zu bestimmen, welche allein über die thermischen Widerstände $R_{th,i,y}$ und die durchschnittliche Verlustleistung P_{V_y} der entsprechenden Halbleiterbauelemente mit (4.18) und (4.19) berechnet werden kann.

$$\vartheta_{j,S} = \left(P_{VS} \cdot \sum_{i=1}^n R_{th,i,S} \right) + (P_{VS} + P_{VD}) \cdot (R_{th,ch} + R_{th,ha}) + \vartheta_a \quad (4.18)$$

$$\vartheta_{j,D} = \left(P_{VD} \cdot \sum_{i=1}^n R_{th,i,D} \right) + (P_{VS} + P_{VD}) \cdot (R_{th,ch} + R_{th,ha}) + \vartheta_a \quad (4.19)$$

Die entsprechenden gemittelten Halbleiterverluste P_{V_y} können, wie im Kapitel 4.1 dargestellt, entweder numerisch oder analytisch bestimmt werden. Die numerische Bestimmung hat dabei den Vorteil, dass nicht sinusförmige Phasenströme, diskontinuierliche Referenzsignale und kleine Frequenzverhältnisse ($m_f < 21$) zu einem genauen Ergebnis führen [3], [60]. Des Weiteren besteht die Möglichkeit die Berechnung der Temperaturwelligkeit in den Programmablauf gemäß Abb. 4.1 zu implementieren. In den folgenden Verlustbetrachtungen der untersuchten Stromrichtertopologien wird mit gemittelten Sperrschichttemperaturen und Halbleiterverlusten (vgl. (4.6) (4.7)) gerechnet, welche zuvor numerisch ermittelt werden. Dabei werden ausschließlich diskrete IGBT Module verwendet, in denen neben dem IGBT die antiparallele Diode integriert ist (vgl. Kapitel 5). Bei dem in dieser Arbeit gezeigten Vergleich der Stromrichtertopologien bezüglich der Halbleiterverluste wird vereinfachend eine konstante Kühlkörpertemperatur ϑ_h angenommen, womit nur noch der Temperaturhub zwischen der Sperrschicht und der Kühleinrichtung wirksam ist. Die Berechnung der Sperrschichttemperaturen vereinfacht sich und ist in (4.20) angegeben:

$$\vartheta_{j,y} = \left(P_{V_y} \cdot \sum_{i=1}^n R_{th,i,y} \right) + \vartheta_c = \left(P_{V_y} \cdot \sum_{i=1}^n R_{th,i,y} \right) + (P_{VS} + P_{VD}) \cdot R_{th,ch} + \vartheta_h \quad (4.20)$$

4.2 Auslegung der Leistungshalbleiter

Bei der Auslegung der Leistungshalbleiter spielt die Zuverlässigkeit eine entscheidende Rolle. Die Zuverlässigkeit der Halbleitermodule hängt im Wesentlichen von folgenden Kriterien ab [59], [8]:

- *Kommutierungsspannung.* Die Kommutierungsspannung U_{Kom} mit der jeder Halbleiter schaltend betrieben wird, wurde für die vorgestellten Stromrichtertopologien bereits in Kapitel 3 hergeleitet. Aufgrund der Höhenstrahlung können Hochspannungs-IGBTs nicht mit der im SOA (Safe Operating Area) definierten maximalen Kollektor-Emitter-Spannung U_{CES} betrieben werden, da die Ausfallrate bei dieser Spannungsbeanspruchung für einen zuverlässigen Einsatz wesentlich zu hoch wäre. Ferner gäbe es bei einer solchen Auslegung auch keine Spannungsreserven für dynamische Überspannungen. Vielmehr wird vom Hersteller eine Kommutierungsspannung $U_{Kom@100FT}$, bei der ein Halbleiter einer bestimmten

Spannungsklasse eine Zuverlässigkeit von 100 FIT (1 FIT = 1 Failure in 10^9 hours) realisiert, festgesetzt. Die Spannungsklasse der Halbleiter wird nun so gewählt, dass die Ausfallrate in allen Stromrichtertopologien pro Schalterposition ca. 100 FIT beträgt.

- *Power Cycling.* Das Power Cycling eines Halbleiter-Moduls gibt die Anzahl der möglichen Zyklen an, mit der die Sperrschicht des Halbleiters thermisch mit einem definierten Temperaturhub $\Delta\theta_j$ beansprucht werden kann. Die thermische Beanspruchung der Sperrschicht führt zu einem Ablösen der Bond-Drähte, welche die Kontaktierung des Halbleiterchips darstellen. Innerhalb der erlaubten Anzahl der Zyklen wird vom Hersteller garantiert, dass die maximale Kollektor-Emitter-Sättigungsspannung $U_{CE,sat}$ um maximal 5% größer ist verglichen mit dem nominalen Wert. Diese Abweichung ist in den Datenblättern bereits berücksichtigt. Oberhalb der erlaubten Anzahl der Zyklen steigt die Sättigungsspannung weiter an, womit die Datenblattangaben Ihre Gültigkeit verlieren.
- *Thermal Cycling.* Das Thermal Cycling eines Halbleiter-Moduls gibt die Anzahl der möglichen Zyklen an, mit der die Gehäusebodenplatte des Halbleiters thermisch mit einem definierten Temperaturhub $\Delta\theta_c$ beansprucht werden kann. Durch die thermische Beanspruchung der Gehäusebodenplatte kommt es zur Ermüdung der Lötstellen zwischen dem Substrat, auf dem der Halbleiterchip befestigt ist und der Bodenplatte. Innerhalb der erlaubten Anzahl der Zyklen wird vom Hersteller garantiert, dass der thermische Widerstand von der Sperrschicht zum Gehäuse um maximal 20% größer ist verglichen mit dem nominalen Wert. Dieses Kriterium findet bei dem hier betrachteten Vergleich der Stromrichtertopologien keine Anwendung, da, wie schon im vorherigen Abschnitt erwähnt, die Temperatur des Kühleinrichtung θ_h als konstant angenommen wird, womit der Temperaturhub, welcher an der Bodenplatte auftritt, vernachlässigbar klein ist.

Sämtliche Leistungshalbleiter werden unter Beachtung der Kommutierungsspannung $U_{Kom@100FIT}$ dimensioniert, bei der eine Ausfallrate von 100 FIT und eine kontinuierliche DC-Stabilität gewährleistet werden. Die Höhe der Kommutierungsspannung U_{Kom} hängt in den betrachteten Stromrichtertopologien von der Höhe der Zwischenkreisspannung U_{dc} ab, welche, bei Verwendung eines sinusförmigen Referenzsignals mit aufaddierter 3. Harmonischer gemäß (3.2), wie folgt berechnet wird:

$$U_{dc} = 1,04 \cdot \sqrt{2} \cdot U_{UV,1} \quad (4.21)$$

In (4.21) ist für die Zwischenkreisspannung bereits eine Regelreserve von 4% berücksichtigt, welche für Stromrichter im Mittelspannungsbereich typisch ist. In Tabelle 4-1 sind für die in dieser Arbeit untersuchten Ausgangsspannungsklassen sowohl die Zwischenkreisspannungen als auch die Kommutierungsspannungen U_{Kom} der Halbleiter in den vorgestellten Stromrichtertopologien dargestellt, wobei eine konstante Zwischenkreisspannung angenommen wird.

Tabelle 4-1 Zwischenkreisspannungen U_{dc} und Kommutierungsspannungen U_{kom} für verschiedene Ausgangsspannungsklassen und Stromrichtertopologien

$U_{UV,1}$	U_{dc}	U_{kom}					
		3L-NPC	3L-FLC	4L-FLC	5L-FLC	5L-SMC	7L-SMC
		$U_{dc}/2$	$U_{dc}/2$	$U_{dc}/3$	$U_{dc}/4$	$U_{dc}/4$	$U_{dc}/6$
2,3 kV	3383 V	1691 V	1691 V	1128 V	846 V	846 V	564 V
3,3 kV	4854 V	2427 V	2427 V	1618 V	1214 V	1214 V	809 V
4,16 kV	6118 V	3059 V	3059 V	2039 V	2039 V	2039 V	1020 V
6,6 kV	9707 V	4854 V	4854 V	3236 V	2427 V	2427 V	1618 V

4.2.1 Stromauslegung

Für den in Kapitel 5 gezeigten Vergleich zwischen den untersuchten Multi-Level Stromrichtertopologien bezüglich des maximalen Phasenstromes, der maximalen Schaltfrequenz und der generierten Halbleiterverluste wird in allen Topologien eine identische installierte Schalterleistung S_S vorausgesetzt. Die installierte Schalterleistung S_S korrespondiert einerseits mit der in den einzelnen Stromrichtertopologien benötigten Anzahl von IGBTs bzw. Dioden und andererseits mit den Nennströmen $I_{C,n}$ bzw. Nennspannungen $U_{CE,n}$ der verwendeten IGBT Module. Die installierte Schalterleistung S_S berechnet sich wie folgt:

$$S_S = U_{CE,n} \cdot I_{C,n} \cdot N_{IGBT} + 0,5 \cdot U_{f,n} \cdot I_{f,n} \cdot N_{Diode} \quad (4.22)$$

Mit $U_{CE,n}$ bzw. $U_{f,n}$: Nennspannung des IGBTs bzw. der Diode

$I_{C,n}$ bzw. $I_{f,n}$: Nennstrom des IGBTs bzw. der Diode

N_{IGBT} bzw. N_{Diode} : Anzahl der IGBT bzw. Dioden

Der Diodenteil wird in (4.22) mit dem Faktor 0,5 berücksichtigt, was dem Verhältnis zwischen den Chipflächen des IGBT-Teils und des Dioden-Teils innerhalb eines IGBT-Moduls entspricht [8]. Da die Forderung nach einer identischen Schalterleistung in allen untersuchten Stromrichtertopologien durch die am Markt erhältlichen IGBT-Module nicht erreicht werden kann, werden IGBT-Module definiert, welche einen fiktiven Nennstrom aufweisen. Dafür wird ausgehend von am Markt erhältlichen IGBT-Modulen mit identischen Bodenplattenabmaßen ein Stromfaktor c_f definiert. Mit diesem Stromfaktor c_f wird die Anzahl der parallel geschalteten IGBT bzw. Dioden Chips innerhalb eines IGBT-Moduls linear angepasst, wobei eine gleichmäßige Stromaufteilung zwischen den einzelnen Chips erhalten bleibt. Da sich die Fläche der Chips direkt proportional mit dem Stromfaktor c_f verändert, ist es legitim, den thermischen Widerstand $R_{th,jc}$ zwischen der Sperrschicht und der Gehäusebodenplatte sowohl für den Dioden- als auch für den IGBT-Teil indirekt proportional mit dem Stromfaktor c_f anzupassen, was auch durch Datenblattangaben in guter Näherung bestätigt werden kann [73]. Der Übergangswärmeleitwert zwischen der Gehäusebodenplatte und dem Kühlkörper $R_{th,ch}$ wird nicht mit dem Stromfaktor c_f angepasst, da bei dem Stromrichtervergleich nur IGBT Module verwendet werden, welche identische Bodenplattenabmaße oder identische Gehäusebauformen besitzen. In Abb. 4.3 ist beispielhaft die ideale Parallelschaltung von zwei kompletten IGBT-Modul-Chips mit $c_f = 2$ graphisch dargestellt. Die Verlustenergien $E_{l/on/off}$ werden entsprechend der idealen Stromaufteilung ermittelt. Bei einer praktischen Parallelschaltung von IGBT-Modulen entstehen im stationären (Leitzustand) und im dynamischen (Schaltvorgängen) Betrieb Unsymmetrien bezüglich der Strom- und Spannungsaufteilung zwischen den IGBT Modulen, welche von vielen Faktoren beeinflusst werden.

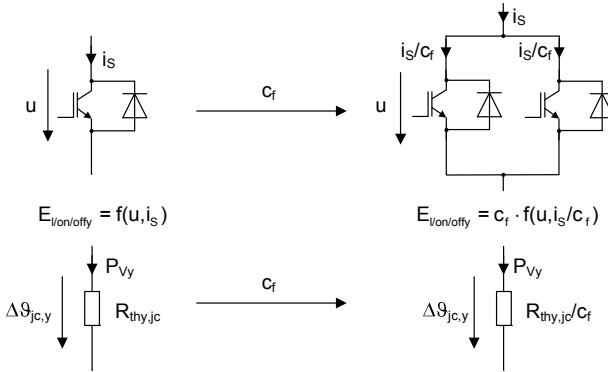


Abb. 4.3: Ideale Parallelschaltung von IGBT-Chips mit $c_f = 2$ (y: D=Diode; S=aktiver Schalter)

Maßnahmen zur Optimierung der Symmetrierung in den Einzelmodulen sind ausführlich in [75] dargestellt.

Für Stromrichter im Mittelspannungsbereich ist der erlaubte Temperaturhub der Sperrschichttemperatur $\Delta\vartheta_j$ und damit die geforderte Anzahl von thermischen Zyklen abhängig von der Art des Antriebes, wobei in vielen Anwendungen von einer Lebensdauer von 20 Jahren pro Halbleiterposition ausgegangen wird. Für low-performance Antriebe, wie Lüfter, Kompressoren und Pumpen, werden somit ca. 150000 Zyklen gefordert (Ansatz: 24 Lastzyklen pro Tag bei 313 Tagen pro Jahr). Hingegen liegt die geforderte Anzahl von Zyklen bei einem high-performance Antrieb, wie z.B. bei einem Walzwerkantrieb, aufgrund der kurzen Lastwechselzyklen, bei ca. $9 \cdot 10^6$ (Ansatz: 1 Lastzyklus pro min bei 313 Tagen pro Jahr) [59]. In Abb. 4.4 sind beispielhaft die Power Cycling Kurven für Medium und High Power IGBT Module der Firma Infineon dargestellt. In dieser Arbeit werden ausschließlich High Power IGBT Module verwendet, wobei ein Temperaturhub der Sperrschichttemperatur von $\Delta\vartheta_j = 30$ K zugelassen wird. Die Anzahl der Zyklen mit der die Sperrschicht mit diesem Temperaturhub beansprucht werden kann, beträgt nach Abb. 4.4 ca. $7 \cdot 10^6$ und liegt damit im geforderten Bereich für high-performance Antriebe im Mittelspannungsbereich.

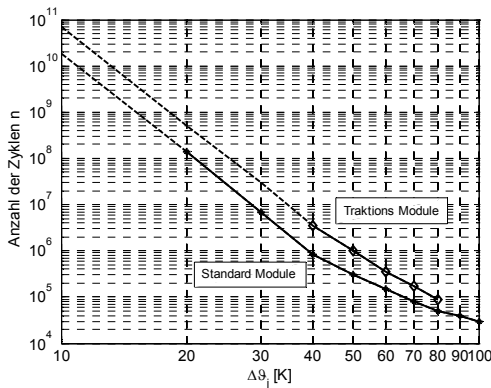


Abb. 4.4: Power Cycling Kurven von Medium und High Power IGBT Modulen ($\vartheta_j = 125^\circ\text{C}$) [73]

Die Temperatur der Kühleinrichtung ϑ_h beträgt, bei einer maximalen erlaubten Betriebssperschichttemperatur von $\vartheta_{j,max} = 125^\circ\text{C}$ und mit einem erlaubten Temperaturhub von 30 K, $\vartheta_h = 95^\circ\text{C}$.

4.2.2 Worst-Case Arbeitspunkte

Für die Auslegung der unterschiedlichen Stromrichtertopologien ist die Kenntnis der Worst-Case Arbeitspunkte, in denen bestimmte Halbleiter maximal mit Schalt- und Leitverlusten belastet werden, von entscheidender Bedeutung. In diesen Worst-Case Arbeitspunkten wird der maximal mögliche Phasenstrom bzw. die maximal mögliche Schaltfrequenz ermittelt, bei welchen die Sperrschichttemperaturen der am meisten beanspruchten Halbleiter 125°C erreichen. Bei der Extraktion der Worst-Case Arbeitspunkte wird die in Kapitel 3 für die unterschiedlichen Stromrichtertopologien dargestellte Sinus-Dreieck Modulation verwendet und ein sinusförmiger Phasenstrom nach (4.4) angenommen. Des Weiteren wird, ausgehend von der installierten Schalterleistung des 3L-NPC Umrichters, mit dem in Abschnitt 4.2.1 gezeigten Stromfaktor c_f die installierte Schalterleistung S_S in allen Topologien vereinheitlicht.

3L-NPC Stromrichter. In Abb. 4.5 a)-d) ist die Beanspruchung der Halbleiter mit Leit- als auch Schaltverlusten in den vier Worst-Case Arbeitspunkten einer Phase eines 3L-NPC Umrichters dargestellt, welche sich während der positiven Halbschwingung des Phasenstromes ergeben. In Abb. 4.5 a) wird mit einem maximalen Modulationsgrad von $m_a = 1,15$ aufgrund des angenommenen positiven Phasenstromes und einem Leistungsfaktor von $\cos(\varphi_i) = 1$ (Wechselrichterbetrieb) zwischen den Schaltzuständen $\{1\}$ und $\{0\}$

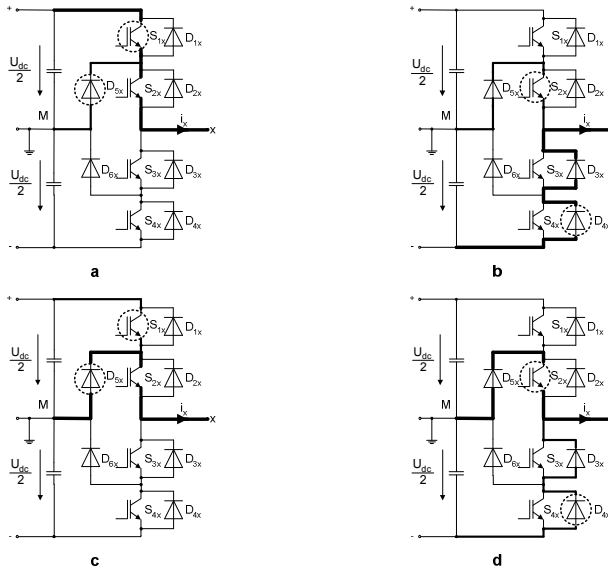


Abb. 4.5: Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Phase eines 3L-NPC Umrichters bei positiven Phasenstrom i_x
 a) $m_a = 1,15$; $\cos(\varphi_i) = 1$; b) $m_a = 1,15$; $\cos(\varphi_i) = -1$;
 c) $m_a = 0,05$; $\cos(\varphi_i) = 1$; d) $m_a = 0,05$; $\cos(\varphi_i) = -1$

(vgl. Tabelle 3-1) geschaltet. Die auftretenden Kommutierungsvorgänge wurden bereits in Abb. 3.3 dargestellt. Es ist ersichtlich dass in diesem Arbeitspunkt die Leitverluste des äußeren Schalters S_{1x} maximal sind, da die Dauer der Leitphasen des betrachteten Schalters maximal ist. Des Weiteren wird der Schalter S_{1x} in dem gezeigten Arbeitspunkt mit Schaltverlusten beansprucht, wodurch dieser Halbleiter die maximalen Gesamtverluste realisiert. In der oberen NPC-Diode D_{5x} werden zwar auch Schaltverluste generiert, doch sind die Leitphasen dieser Diode minimal. Hingegen wird der innere Schalter S_{2x} nicht mit Schaltverlusten beansprucht, da dieser ständig während der positiven Halbschwingung des sinusförmigen Phasenstromes leitet (bei $\cos(\varphi_i) = 1$). Bei einem kleinen Modulationsgrad ($m_a = 0,05$) sind die zuvor betrachteten Verhältnisse bezüglich der Leitverluste des Schalters S_{1x} und der Diode D_{5x} umgekehrt (vgl. Abb. 4.5 c). Das heißt, dass die Dauer der Leitphasen der oberen NPC-Diode D_{5x} nun maximal ist, während die des äußeren Schalters S_{1x} minimal ist. Somit sind die in der oberen NPC-Diode generierten Leitverluste und damit auch deren Gesamtverluste maximal.

Im Arbeitspunkt, welcher in Abb. 4.5 b) dargestellt ist, wird mit dem maximalen Modulationsgrad von $m_a = 1,15$ bei einem Leistungsfaktor $\cos(\varphi_i) = -1$ (Gleichrichterbetrieb) und einem positiven Phasenstrom zwischen den Schaltzuständen $\{-1\}$ und $\{0\}$ geschaltet (vgl. Tabelle 3-1). Es treten Kommutierungsvorgänge zwischen der äußeren antiparallelen Diode D_{4x} und dem inneren Schalter S_{2x} auf. Die äußere Diode D_{4x} wird dabei sowohl mit Leitverlusten als auch mit Schaltverlusten beansprucht. Die Leitdauer dieser Diode ist in diesem Arbeitspunkt maximal. Somit begrenzt diese Diode den maximalen Phasenstrom bzw. die maximale Schaltfrequenz des Umrichters in diesem Arbeitspunkt. In der Diode D_{3x} werden ausschließlich Leitverluste generiert, welche identisch sind mit denen der Diode D_{4x} . Die im inneren Schalter S_{2x} generierten Leitverluste sind in diesem Arbeitspunkt minimal, doch wird dieser Schalter auch mit Schaltverlusten beansprucht. Bei einem kleinen Modulationsgrad (z.B. $m_a = 0,05$) sind die zuvor betrachteten Verhältnisse bezüglich der Leitverluste der äußeren Diode D_{4x} und des inneren Schalter S_{2x} umgekehrt, d.h., dass nun der innere Schalter S_{2x} während der überwiegenden Zeit innerhalb der positiven Halbschwingung des Phasenstromes eingeschaltet ist (Abb. 4.5 c). Die Dauer der Leitphasen der äußere Diode D_{4x} ist im Vergleich zu der des Schalters S_{2x} gering. Dadurch werden in diesem Arbeitspunkt im inneren Schalter S_{2x} die höchsten Leit- und somit auch höchsten Gesamtverluste generiert. Während der negativen Halbschwingung des Phasenstromes i_x ergeben sich entsprechende Verhältnisse, so dass bei großen Modulationsgraden, je nach Leistungsfaktor, der äußere Schalter S_{4x} ($\cos(\varphi_i) = 1$) bzw. die äußere Diode D_{1x} ($\cos(\varphi_i) = -1$) die kritischen Bauelemente bezüglich der Gesamtverluste darstellen. Hingegen werden bei kleinen Modulationsgraden in der unteren NPC-Diode D_{6x} ($\cos(\varphi_i) = 1$) bzw. in dem inneren Schalter S_{3x} ($\cos(\varphi_i) = -1$) die größten Gesamtverluste generiert.

Beispielhaft sind in Abb. 4.6 a)-d) die simulierten Halbleiterverluste in den zuvor betrachteten Worst-Case Arbeitspunkten für einen 2,3 kV 3L-NPC-Stromrichter dargestellt. Es ist zu sehen, dass die getroffenen Aussagen über die Verlustverteilung bei Verwendung eines 3,3 kV IGBT-Moduls zutreffend sind. Des Weiteren ist zu erkennen, dass es in den verschiedenen Worst-Case Arbeitspunkten zu einer ungleichmäßigen Verteilung der Verluste zwischen den Schaltern bzw. Dioden innerhalb einer Phase eines 3L-NPC Umrichters kommt. Somit werden die entsprechenden als kritisch eingestuften Schalter bzw. Dioden (z.B. der Schalter S_{1x} bzw. S_{4x} bei $m_a = 1,15$; $\cos(\varphi_i) = 1$) übermäßig mit Gesamtverlusten beansprucht während die restlichen Schalter bzw. Dioden wesentlich weniger Gesamtverluste generieren (Schalter S_{2x} bzw. S_{3x}). Diese Tatsache resultiert in einer schlechteren Halbleiterausnutzung verglichen mit der FLC Topologie und wirkt somit einschränkend auf die maximale Ausgangsleistung im 4-Quadranten Betrieb, worauf in Kapitel 5 detailliert eingegangen wird.

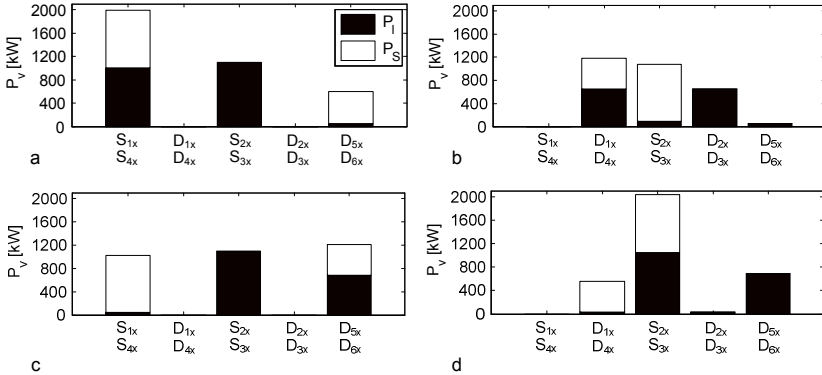


Abb. 4.6 Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Zelle eines 3L-NPC Umrichters ($I_x = 700$ A; FZ1200R33KF2C ($c_f = 1$); $f_c = 1050$ Hz; $U_{UV,1} = 2,3$ kV)
 a) $m_a = 1,15; \cos(\varphi_i) = 1$; b) $m_a = 1,15; \cos(\varphi_i) = -1$;
 c) $m_a = 0,05; \cos(\varphi_i) = 1$; d) $m_a = 0,05; \cos(\varphi_i) = -1$;

Es besteht aber die Möglichkeit durch das Hinzufügen von zwei weiteren IGBT-Schaltern die Verluste zwischen den Halbleitern in den Worst-Case Arbeitspunkten gleichmäßiger zu verteilen. Dadurch kann die maximale Stromrichterausgangsleistung eines 3L-NPC Umrichters im 4-Quadranten Betrieb um ca. 20 % erhöht werden. Diese Stromrichtertopologie wird 3L-ANPC (Active NPC Umrichter) genannt und wurde in [3] eingehend untersucht.

FLC Umrichter. In Abb. 4.7 a), b) ist die Beanspruchung der Halbleiter mit Leit- als auch Schaltverlusten in den Worst-Case Arbeitspunkten der FLC Topologie beispielhaft anhand einer Phase eines 3L-FLC Umrichters dargestellt, welche sich während der positiven Halbschwingung des Phasenstromes ergeben. Im Gegensatz zum 3L-NPC Umrichter sind bei der FLC Topologie, wie folgend gezeigt wird, nur zwei kritische Arbeitspunkte vorhanden, in denen bestimmte Halbleiter eine maximale Verlustleistung generieren. Da die Schaltsignale der Schalter einer FLC-Zelle identisch mit denen eines herkömmlichen 2L-Umrichters moduliert werden, sind die Worst-Case Arbeitspunkte dieser beiden Umrichtertopologien auch identisch.

Für die Extraktion der kritischen Arbeitspunkte genügt es, die Betrachtung auf eine einzelne FLC-Zelle zu reduzieren, da die Schaltsignale für die Schalter aller weiteren FLC-Zellen

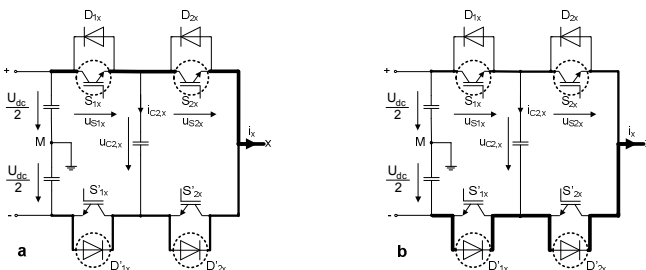


Abb. 4.7. Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Phase eines 3L-FLC Umrichter bei positiven Phasenstrom i_x
 a) $m_a = 1,15; \cos(\varphi_i) = 1$; b) $m_a = 1,15; \cos(\varphi_i) = -1$

(beim N-Level FLC Umrichter) bis auf die Phasenverschiebung der Trägersignale (vgl. Kapitel 3.2, Modulation) identisch moduliert werden. Bei einem hinreichend großen Frequenzverhältnis ($m_f > 9$) sind die Unterschiede bezüglich der Verluste in den entsprechenden Halbleitern der einzelnen FLC-Zellen marginal klein. In Abb. 4.7 a) und b) ist die Beanspruchung der Halbleiter in den kritischen Arbeitspunkten eines 3L-FLC Umrichters dargestellt, welche sich bei einem positiven Phasenstrom i_x ergeben. Im Arbeitspunkt, welcher in Abb. 4.7 a) dargestellt ist, wird bei einem Modulationsgrad von $m_a = 1,15$ und einem Leistungsfaktor von $\cos(\varphi_i) = 1$ der Schalter S_{1x} mit maximalen Leitverlusten beansprucht, da dieser die überwiegende Zeit während der positiven Halbschwingung des Phasenstromes eingeschaltet ist. Des Weiteren generiert dieser Schalter aufgrund der Kommutierungsvorgänge mit der unteren Diode (D'_{1x}) Schaltverluste, wodurch die Gesamtverluste verglichen mit den weiteren Halbleiterverlusten der betrachteten FLC-Zelle am Größten sind. Hingegen ist die Leitdauer, mit der die antiparallele Diode des unteren Schalters D'_{1x} an der Führung des Phasenstromes beteiligt ist, in diesem Arbeitspunkt sehr gering.

Wird nun bei dem maximalen Modulationsgrad von $m_a = 1,15$ ein Leistungsfaktor von $\cos(\varphi_i) = -1$ angenommen (vgl. Abb. 4.7 b)), so ist die Diode D'_{1x} die überwiegende Zeit während der positiven Halbschwingung des Phasenstromes an dessen Führung beteiligt. Die Diode D'_{1x} generiert somit höhere Leitverluste verglichen mit denen des Schalters S_{1x} und stellt somit bei Einbeziehung der Schaltverluste das kritische Bauelement in diesem Arbeitspunkt dar.

Wie bei der 3L-NPC Topologie können während der negativen Halbschwingung des Phasenstromes entsprechende Verhältnisse bezüglich der Halbleiterverluste hergeleitet werden. Im Wechselrichterbetrieb mit $\cos(\varphi_i) = 1$ und $m_a = 1,15$ generiert der untere Schalter (z.B. S'_{1x}) innerhalb einer FLC-Zelle die höchsten Verluste und ist damit das kritische Halbleiterbauelement. Entsprechend generiert die obere Diode D_{1x} im Gleichrichterbetrieb ($\cos(\varphi_i) = -1$, $m_a = 1,15$) während der negativen Halbschwingung des Phasenstromes die höchste Verlustleistung.

In Abb. 4.8 a)-d) sind die simulierten Halbleiterverluste in den zuvor betrachteten Worst-Case Arbeitspunkten für einen 2,3 kV 3L-FLC-Stromrichter dargestellt. Es ist zu sehen, dass die getroffenen Aussagen über die Verlustverteilung bei Verwendung eines 3,3kV IGBT-Moduls, wie beim 3L-NPC Umrichter, zutreffend sind. Im Gegensatz zur 3L-NPC und, wie folgend gezeigt wird, auch zur SMC Umrichtertopologie ergibt sich in den zwei Worst-Case Arbeitspunkten eines FLC Umrichters eine gleichmäßige Verlustverteilung zwischen den Schaltern bzw. Dioden. Dies führt zu einer besseren Halbleiterausnutzung verglichen mit der der SMC als auch der NPC Topologie, worauf in Kapitel 5 detailliert eingegangen wird.

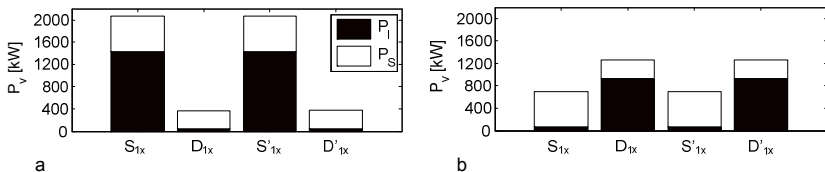


Abb. 4.8: Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Zelle eines 3L-FLC Umrichters

($I_x = 910$ A; FZ1200R33KF2C ($c_r = 7/6$); $f_c = 525$ Hz; $U_{UV,1} = 2,3$ kV)

a) $m_a = 1,15$; $\cos(\varphi_i) = 1$; b) $m_a = 1,15$; $\cos(\varphi_i) = -1$

SMC-Umrichter mit 2 Stacks. Bei der Betrachtung der Worst-Case Arbeitspunkte der SMC Topologie werden nur SMC Umrichter mit 2 Stacks untersucht, da mit (3.59) die Anzahl der benötigten Schalter (und deren antiparalleler Dioden) mit der Anzahl der Stacks q quadratisch wächst (vgl. Kapitel 3.3.2). Somit kann eine SMC Topologie mit mehr als 2 Stacks für den Einsatz in praktischen Anwendungen aus Kosten- und Zuverlässigkeitsgründen als nicht geeignet angesehen werden. Des Weiteren genügt es, eine Zelle eines SMC Umrichter mit 2 Stacks für die Extraktion der Worst-Case Arbeitspunkte zu betrachten, da die Schaltsignale für die Schalter der weiteren SMC-Zellen, bis auf die Phasenverschiebung der entsprechenden Trägersignale, identisch moduliert werden.

In Abb. 4.9 a)-d) ist die Beanspruchung der Halbleiter in den vier Worst-Case-Arbeitspunkten einer Zelle eines SMC-Umrichter mit 2 Stacks dargestellt, welche sich während der positiven Halbschwingung des Phasenstromes ergibt. In Abb. 4.9 a) und c) ist die Belastung der Halbleiter bei einem Leistungsfaktor von $\cos(\varphi_i) = 1$ zu sehen, wobei zwischen den Schaltzuständen 1 (S_{12x} und S_{22x} ein) und 0 (S'_{12x} und S_{22x} ein) des oberen Stacks geschaltet wird. Der positive Phasenstrom kommutiert dabei vom Schalter S_{12x} auf die Diode D'_{12x} und umgekehrt. Die Schalter S_{12x} und S_{22x} sind in den betrachteten Schaltzuständen ständig eingeschaltet.

Der Schalter S_{12x} führt bei einem maximalen Modulationsgrad $m_a = 1,15$ ($\cos(\varphi_i) = 1$) während der überwiegenden Zeit innerhalb der positiven Halbschwingung den Phasenstrom und generiert neben den Schaltverlusten, hohe Leitverluste (vgl. Abb. 4.9 a)). Dieses Bauelement wird somit in diesem Arbeitspunkt am meisten beansprucht. Die Leitverluste des

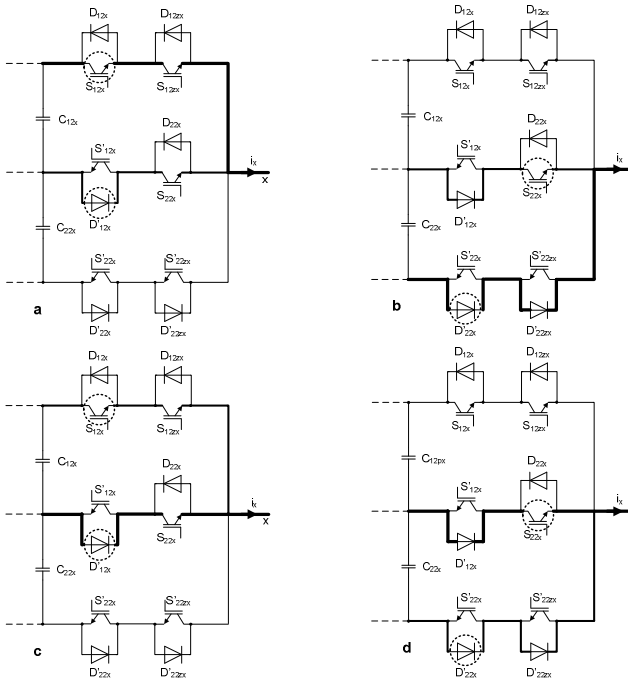


Abb. 4.9: Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Zelle eines SMC Umrichter mit 2 Stacks bei positiven Phasenstrom i_x
a) $m_a = 1,15$; $\cos(\varphi_i) = 1$; b) $m_a = 1,15$; $\cos(\varphi_i) = -1$;
c) $m_a = 0,05$; $\cos(\varphi_i) = 1$; d) $m_a = 0,05$; $\cos(\varphi_i) = -1$

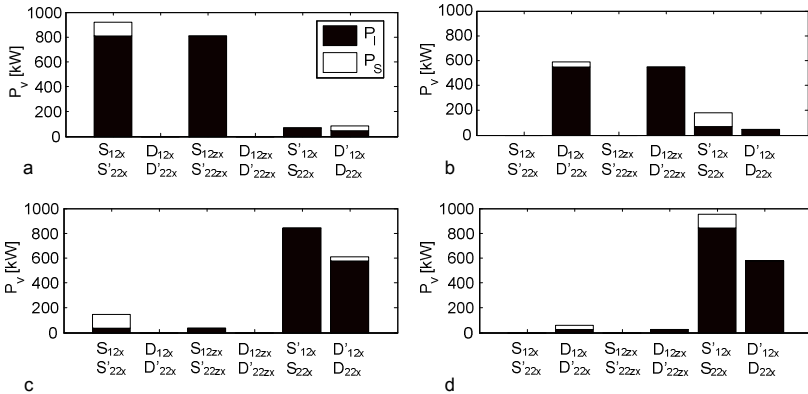


Abb. 4.10: Beanspruchung der Halbleiter mit Leit- und Schaltverlusten in den Worst-Case Arbeitspunkten einer Zelle eines 5L-SMC Umrichter mit 2 Stacks

($I_x = 690$ A; FZ1800R17KF6C ($c_r = 0.5$); $f_c = 525$ Hz; $U_{UV,1} = 2,3$ kV)

a) $m_a = 1,15$; $\cos(\varphi_i) = 1$; b) $m_a = 1,15$; $\cos(\varphi_i) = -1$

c) $m_a = 0,05$; $\cos(\varphi_i) = 1$; d) $m_a = 0,05$; $\cos(\varphi_i) = -1$

zusätzlichen Schalters S_{12x} sind identisch mit denen des Schalters S_{12x} , wenn identische Halbleiter verwendet werden, doch wird dieser nicht mit Schaltverlusten beansprucht (vgl. Abb. 4.10 a)). Die Diode D'_{12x} generiert neben den Schaltverlusten nur geringe Leitverluste, da die Einschaltdauer, im Vergleich zu dem Schalter S_{12x} , sehr gering ist. Hingegen ist die Diode D'_{12x} bei einem kleinen Modulationsgrad von $m_a = 0,05$ die überwiegende Zeit während der positiven Halbschwingung des Stromes eingeschaltet (vgl. Abb. 4.9 c)). Diese Diode generiert also in diesem Betriebspunkt ($m_a = 0,05$, $\cos(\varphi_i) = 1$) bei Berücksichtigung der Schaltverluste hohe Gesamtverluste und stellt somit das kritische Bauelement bezüglich der maximalen Sperrschichttemperatur $\vartheta_{j,max}$ dar, obwohl die Gesamtverluste des Schalters S_{22x} (bestehend nur aus Leitverlusten) größer sind (vgl. Abb. 4.10 c)). Dies ist damit zu erklären, dass der thermische Widerstand R_{thjc} des Dioden-Teils eines IGBT-Moduls um den Faktor 2 größer ist als der des IGBT-Teils (vgl. Kapitel 5). Die Einschaltzeiten des Schalters S_{12x} sind in dem genannten Betriebspunkt im Vergleich mit denen der Diode D'_{12x} sehr gering.

Die zwei weiteren Worst-Case Arbeitspunkte des SMC Umrichter treten, wie beim 3L-NPC Umrichter, bei einem Leistungsfaktor von $\cos(\varphi_i) = -1$ auf. Bei diesem Leistungsfaktor wird während der positiven Halbschwingung des Phasenstromes zwischen den Schaltzuständen 1 (S_{12x} ein) und 0 (S'_{22x} ein) des unteren Stacks geschaltet (Abb. 4.9 b) und d)). Dadurch werden sowohl im Schalter S_{22x} und in der Diode D'_{22x} Schaltverluste generiert. Beim maximalen Modulationsgrad von $m_a = 1,15$ (vgl. Abb. 4.9 b)) sind die Dioden D'_{22x} sowie D'_{22x} die überwiegende Zeit während der positiven Halbschwingung des Phasenstromes eingeschaltet, was zu hohen Leitverlusten führt. Somit ist in diesem Betriebspunkt die Diode D'_{22x} der kritische Halbleiter bezüglich der Gesamtverluste (vgl. Abb. 4.10 b)). Hingegen ist bei kleinen Modulationsgraden ($m_a = 0,05$; vgl. Abb. 4.9 d)) der Schalter S_{22x} das kritische Bauelement, da dieser die überwiegende Zeit während der positiven Halbschwingung des Phasenstromes eingeschaltet ist und somit neben Schaltverlusten auch hohe Leitverluste generiert (vgl. Abb. 4.10 d)).

Während der negativen Halbschwingung des Phasenstromes i_x ergeben sich entsprechende Verhältnisse, so dass bei großen Modulationsgraden, je nach Leistungsfaktor, der Schalter S'_{22x} ($\cos(\varphi_i) = 1$) bzw. die Diode D_{12x} ($\cos(\varphi_i) = -1$) die kritischen Bauelemente bezüglich der Gesamtverluste (S'_{22x}) bzw. der maximalen Sperrschichttemperatur (D_{12x}) darstellen.

Tabelle 4-2 Worst-Case-Arbeitspunkte und meist beanspruchte Halbleiterbauelemente

Leistungsfaktor	$\cos(\varphi_i) = 1$ (Wechselrichterbetrieb)		$\cos(\varphi_i) = -1$ (Gleichrichterbetrieb)	
	$m_a = 1,15$ (max)	$m_a \approx 0$ (min)	$m_a = 1,15$ (max)	$m_a \approx 0$ (min)
3L-NPC	$S_{1x}; S_{4x}$	$D_{5x}; D_{6x}$	$D_{1x}; D_{4x}$	$S_{3x}; S_{2x}$
FLC mit p-Zellen	$S_{px}; S'_{px}$	-	$D_{px}; D'_{px}$	-
SMC mit 2 Stacks / p-Zellen	$S_{1px}; S'_{2px}$	$D'_{1px}; D_{2px}$	$D_{1px}; D'_{2px}$	$S'_{1px}; S_{2px}$

Hingegen werden bei kleinen Modulationsgraden in der unteren Diode D_{22x} ($\cos(\varphi_i) = 1$) bzw. in dem Schalter S'_{12x} ($\cos(\varphi_i) = -1$) die größten Gesamtverluste generiert. Beispielhaft sind für einen 2,3 kV Antrieb in Abb. 4.10 a) - d) die simulierten Halbleiterverluste in den 4 kritischen Arbeitspunkten dargestellt, wobei zu erkennen ist, dass es bei der SMC Topologie mit 2 Stacks zu einer stark ungleichmäßigen Verlustverteilung zwischen den Schaltern bzw. Dioden einer Phase kommt. In den kritischen Arbeitspunkten, welche einen Modulationsgrad von $m_a = 0,05$ aufweisen, generieren sowohl die Schalter als auch die Dioden der IGBT-Module, welche im inneren Zweig angeordnet sind (S'_{12} , D'_{12x} , S_{22x} , D_{22x}), vergleichsweise hohe Leitverluste (vgl. Abb. 4.10 c), d)). Resultierend ergibt sich neben dem Temperaturhub zwischen der Sperrschicht und der Modulbodenplatte $\Delta\vartheta_{jc}$ ein relativ großer Temperaturhub zwischen der Modulbodenplatte und der Kühleinheit $\Delta\vartheta_{ch}$, da dieser durch die Summe der Verluste sowohl des IGBT-Teils als auch des Dioden-Teils bestimmt wird (vgl. Abb. 4.2 bzw. (4.20)). Die maximale Sperrschichttemperatur $\vartheta_{j,max}$ der Halbleiter des inneren Zweiges wird somit im Vergleich mit den weiteren kritischen Arbeitspunkten ($m_a = 1,15$) bei einer relativ kleinen Stromrichterausgangsleistung oder Schaltfrequenz erreicht.

Sämtliche Arbeitspunkte, die zwischen den vorgestellten Worst-Case Arbeitspunkten in den untersuchten Stromrichtertopologien liegen, sind für die Auslegung der Halbleiter unkritisch. Zusammenfassend sind in Tabelle 4-2 die Worst-Case Arbeitspunkte sowie die in diesen Betriebspunkten am meisten beanspruchten Halbleiter dargestellt.

4.3 Auslegung der Zwischenkreiskondensatoren

Zwischenkreiskondensatoren stellen einen Energiespeicher dar, der benötigt wird, um im Zwischenkreis die Differenz in den Augenblickswerten des lastseitigen Zwischenkreisstromes $i_{dc,L}$ und des netzseitigen Zwischenkreisstromes $i_{dc,N}$ kompensieren zu können. Es ergibt sich, eine Zwischenkreisspannung, welche neben dem Mittelwert eine Welligkeit aufweist, die von der Größe der Zwischenkreiskapazität abhängt. Des Weiteren ermöglichen Zwischenkreiskondensatoren die konstruktiv niederinduktive Anbindung der Kommutierungskreise der Stromrichter. In Mittelspannungsantrieben kommen aufgrund der hohen Zwischenkreisspannungen ausschließlich Folienkondensatoren zum Einsatz, wobei die Größe dieser Zwischenkreiskapazität aus Kosten- und Volumengründen möglichst klein gehalten wird. Der Aufbau und die Eigenschaften von Folienkondensatoren sind in [4], [76] ausführlich dargestellt und werden hier nicht weiter betrachtet. Allgemein können für die Auslegung der Zwischenkreiskondensatoren folgende Kriterien herangezogen werden:

- Dimensionierung bezüglich der Stromtragfähigkeit der Kondensatoren,

- Dimensionierung bezüglich einer definierten maximal zugelassenen Welligkeit der Zwischenkreisspannung.
- Dimensionierung bezüglich der so genannten Ride-Through-Capability, bei der bei einem Netzausfall für eine definierte Zeit die Magnetisierung der Maschine aufrechterhalten werden kann,
- Dimensionierung bezüglich einer geforderten gespeicherten Energie im Zwischenkreis.

Die Dimensionierung der Zwischenkreiskondensatoren bezüglich der Stromtragfähigkeit stellt in Mittelspannungsantrieben aufgrund der relativ hohen Wechselstrombelastung des Zwischenkreiskondensators, welche durch das schaltende Verhalten der Umrichter hervorgerufen wird, ein Hauptkriterium dar. Diese Wechselstrombelastung wirkt sich entscheidend auf die Lebensdauer der Zwischenkreiskondensatoren aus. Neben dem Kriterium der Stromtragfähigkeit wird beim Einsatz von Folienkondensatoren auch die Dimensionierung bezüglich einer geforderten Spannungswelligkeit häufig herangezogen. Dieses Kriterium wird auch in dieser Arbeit verwendet, wobei eine maximale Spannungswelligkeit von 5% der nominalen Zwischenkreisspannung im stationären Betrieb des lastseitigen Umrichters erlaubt wird. In einem ersten Schritt wird in diesem Kapitel sowohl die Strombelastung des Zwischenkreiskondensators als auch die Spannungswelligkeit der Zwischenkreisspannung, welche durch die unterschiedlichen lastseitigen Stromrichtertopologien hervorgerufen werden, näher untersucht. Im Weiteren wird der Netzstromrichter inklusive des Stromrichtertransformators mit in die Untersuchung einbezogen.

4.3.1 Spannungszwischenkreis

In Abb. 4.11 a) ist der Aufbau des Spannungszwischenkreises für die FLC Topologie dargestellt, wobei dieser mit dem Zwischenkreis eines herkömmlichen 2-Level Spannungswechselrichters identisch ist. Im Gegensatz dazu besitzt der Spannungszwischenkreis für die 3L-NPC als auch für die SMC Topologie mit 2 Stacks den Aufbau gemäß Abb. 4.11 b), bei dem der Mittelpunkt M topologiebedingt in entsprechenden Schaltzuständen mit Strom belastet wird. Beide Spannungszwischenkreise werden über einen 24-pulsigen Diodengleichrichter gespeist, welcher für Anwendungen im Mittelspannungsbereich weit verbreitet ist. Der Aufbau dieser netzseitigen Einspeisung wird in Kapitel 4.3.4 detailliert dargestellt.

Da, wie schon erwähnt, die Augenblickswerte des lastseitigen und des netzseitigen Zwischenkreisstromes nicht identisch sind, werden die Zwischenkreiskondensatoren mit der Differenz der Augenblickswerte der beiden Zwischenkreisströme beansprucht. Für den Kondensatorstrom i_C in Abb. 4.11 a) ergibt sich somit folgender Zusammenhang:

$$i_C = i_{dc,N} - i_{dc,L} = I_{dc,N,+} + i_{dc,N,-} - I_{dc,L,+} - i_{dc,L,-} \quad (4.23)$$

Entsprechend können die Kondensatorströme $i_{C,1}$ und $i_{C,2}$ für den Zwischenkreis gemäß Abb. 4.11 b) wie folgt berechnet werden:

$$i_{C,1} = i_{dc,N} - i_{dc,L+} = I_{dc,N,+} + i_{dc,N,-} - I_{dc,L+,+} - i_{dc,L+,-} \quad (4.24)$$

$$i_{C,2} = i_{dc,N} + i_{dc,L-} = I_{dc,N,+} + i_{dc,N,-} - I_{dc,L-,+} - i_{dc,L-,-} \quad (4.25)$$

Des Weiteren gilt folgender Zusammenhang zwischen den lastseitigen Zwischenkreisströmen:

$$i_{dc,L+} + i_{dc,L-} + i_{dc,L0} = 0 \quad (4.26)$$

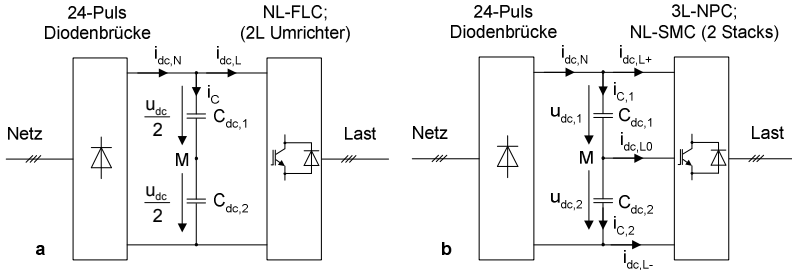


Abb. 4.11: Modellierung des Zwischenkreises eines realen Stromrichterbaus
a) NL-FLC / 2L-VSC; b) 3L-NPC / NL-SMC mit 2 Stacks

Die Zwischenkreisströme $i_{dc,N}$, $i_{dc,L}$, $i_{dc,L+}$ und $i_{dc,L-}$ können jeweils in einen Gleichanteil $I_{dc,=}$ und in einen Verzerrungsanteil $i_{dc,-}$, welcher sämtliche Oberschwingungen enthält, aufgeteilt werden. Im hier betrachteten quasistationären Zustand, bei dem die Leistungsbilanz zwischen der Netz- und der Lastseite ausgeglichen ist, sind die Gleichanteile der Zwischenkreisströme identisch und es gilt beispielsweise für den Zwischenkreis gemäß Abb. 4.11 a):

$$I_{dc,N,=} = I_{dc,L,=} = I_{dc} \quad (4.27)$$

Daraus folgt dass die Zwischenkreisspannung u_{dc} im quasistationären Betrieb einen konstanten Mittelwert U_{dc} besitzt, doch wird aufgrund des Verzerrungsanteils in den Zwischenkreisströmen auch ein Verzerrungsanteil in der Zwischenkreisspannung hervorgerufen, welcher beispielsweise für den Zwischenkreis gemäß Abb. 4.11 a) wie folgt berechnet werden kann:

$$u_{dc,-} = -\frac{1}{C_{dc}} \int (i_{dc,N,-} - i_{dc,L,-}) dt \quad (4.28)$$

Durch diese Beanspruchung kommt es zu einer Welligkeit in der Zwischenkreisspannung. Für den Zwischenkreis gemäß Abb. 4.11 b) können (4.27) und (4.28) entsprechend hergeleitet werden.

4.3.2 Lastseitige Strombelastung und resultierende Spannungswelligkeit im Spannungszwischenkreis

In einem ersten Schritt wird nun die Strombelastung des Zwischenkreiskondensators, welche von den verschiedenen Umrichtertopologien hervorgerufen wird, bezüglich des Effektivwertes des Verzerrungsstromes und der auftretenden Harmonischen genauer untersucht. Zur Extraktion des Verzerrungsstromes werden die in Abb. 4.12 dargestellten Ersatzschaltbilder benutzt, wobei die Zwischenkreiskondensatoren als ideale Spannungsquellen modelliert werden. Des Weiteren wird der Phasenstrom i_x gemäß (4.30) als sinusförmig angenommen.

Mit dem Ersatzschaltbild in Abb. 4.12 a) kann die Belastung des Zwischenkreiskondensators für die FLC Topologie hergeleitet werden. Dabei bestimmt der Schaltzustand der 1. Zelle (vgl. Abb. 3.9 a)) in jeder Phase, welcher die Werte 1 und -1 annehmen kann, ob der entsprechende sinusförmige Phasenstrom über den positiven oder negativen Zwischenkreisanschluss geführt wird. Hingegen wird mit dem Ersatzschaltbild in Abb. 4.12 b) die Strombelastung der Zwischenkreiskondensatoren der 3L-NPC Topologie als auch die der SMC Topologie mit 2 Stacks bestimmt. Beim 3L-NPC Umrichter ist der Stromfluss in

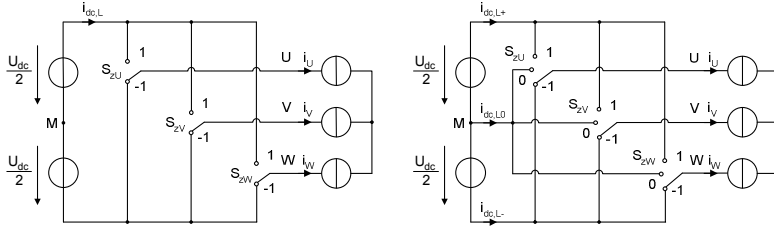


Abb. 4.12: Ersatzschaltbilder zur Bestimmung des lastseitigen Zwischenkreisstromes i_{dc}
a) NL-FLC / 2L-VSC; b) 3L-NPC / NL-SMC mit 2 Stacks

den Zwischenkreis durch die drei verschiedenen Schaltzustände $(-1;0;1)$ der 3 Phasenbausteine bestimmt (vgl. Abb. 3.1). Bei der SMC Topologie mit 2 Stacks ist nur der Schaltzustand der 1. Zelle in allen 3 Phasen maßgeblich für die Extraktion der Zwischenkreisströme (vgl. Abb. 3.24).

FLC Topologie Für die FLC Topologie kann folgender Zusammenhang zwischen dem Zwischenkreisstrom $i_{dc,L}$, den Schaltzuständen der 3 Phasen und den Phasenströmen hergeleitet werden (vgl. Abb. 4.12):

$$i_{dc,L} = \frac{s_{z1,U} + 1}{2} \cdot i_U + \frac{s_{z1,V} + 1}{2} \cdot i_V + \frac{s_{z1,W} + 1}{2} \cdot i_W \quad (4.29)$$

Die Schaltzustände $s_{z1,x}$ repräsentieren hierbei die Schaltzustände der 1. Zelle jeder Phase der NL-FLC Topologie. Die Schaltzustände der weiteren FLC-Zellen besitzen keinen Einfluss auf den lastseitigen Zwischenkreisstrom. Die sinusförmigen Phasenströme in (4.29) besitzen den in (4.30) gezeigten Verlauf.

$$i_{U/V/W} = \hat{I} \cdot \sin(\omega t - \varphi_{U/V/W} + \varphi_i); \omega = 2 \cdot \pi \cdot f_1; \varphi_U = 0; \varphi_V = \frac{2\pi}{3}; \varphi_W = \frac{4\pi}{3} \quad (4.30)$$

Mit (4.30) folgt

$$i_U + i_V + i_W = 0 \quad (4.31)$$

und die Berechnung des lastseitigen Zwischenkreisstromes $i_{dc,L}$ kann vereinfacht mit (4.32) hergeleitet werden.

$$i_{dc,L} = \frac{s_{z1,U} \cdot i_U + s_{z1,V} \cdot i_V + s_{z1,W} \cdot i_W}{2} \quad (4.32)$$

Zum bessern Verständnis besteht nun die Möglichkeit eine fiktive Mittelpunktspannung $u_{xM,NL-FLC}^*$ für jede Phase zu definieren, welche resultiert, wenn die Phasenbausteine eines NL-FLC Umrichters auf die 1. Zelle reduziert werden. Dabei gilt folgender Zusammenhang:

$$u_{xM,NL-FLC}^* = s_{z1,x} \cdot \frac{U_{dc}}{2}; x = Phase U, V, W \quad (4.33)$$

Mit (4.32) und (4.33) lässt sich der Zwischenkreisstrom $i_{dc,L}$ dann wie folgt beschreiben:

$$i_{dc,L} = \frac{u_{UM,NL-FLC}^* \cdot i_U + u_{VM,NL-FLC}^* \cdot i_V + u_{WM,NL-FLC}^* \cdot i_W}{U_{dc}} \quad (4.34)$$

Es wird nun angenommen, dass die Zeitverläufe der fiktiven gepulsten Mittelspannungen $u_{xM,NL-FLC}^*$ in allen 3 Phasen bis auf die Phasenlage identisch sind. Dies ist durch das Modulationsverfahren des Sinus-Dreiecks-Vergleichs gewährleistet, wenn, wie bei 3-phasigen Stromrichtern üblich, ein durch 3 teilbares Frequenzverhältnis m_f gewählt wird. Mit dieser Annahme kann in allen 3 Phasen jede fiktive Mittelpunktspannung allgemein durch eine Summe von Oberschwingungen gemäß (4.35) beschrieben werden [62]:

$$\begin{aligned} u_{UM,NL-FLC}^* &= \frac{U_{dc}}{2} \cdot \sum_{v=1}^{\infty} A_v \cdot \sin(v \cdot (\omega_1 \cdot t) + \varphi_v) \\ u_{VM,NL-FLC}^* &= \frac{U_{dc}}{2} \cdot \sum_{v=1}^{\infty} A_v \cdot \sin\left(v \cdot (\omega_1 \cdot t - \frac{2\pi}{3}) + \varphi_v\right) \\ u_{WM,NL-FLC}^* &= \frac{U_{dc}}{2} \cdot \sum_{v=1}^{\infty} A_v \cdot \sin\left(v \cdot (\omega_1 \cdot t - \frac{4\pi}{3}) + \varphi_v\right) \end{aligned} \quad (4.35)$$

Die in den fiktiven Mittelpunktspannungen enthaltenen Schwingungsanteile hängen von der Art der Modulation der 1. Zelle einer NL-FLC Topologie ab. Für die hier betrachtete Modulation des Sinus-Dreieck-Vergleichs ist in [7] ein analytisches Verfahren zur Bestimmung der Amplitude A_v und der Phasenlage φ_v der v -ten Oberschwingung hergeleitet worden. Setzt man nun (4.30) und (4.35) in (4.34) ein, so besitzt der lastseitige Zwischenkreisstrom folgenden Zeitverlauf:

$$i_{dc,L} = \frac{1}{4} \cdot \hat{I} \cdot \sum_{\beta=0}^2 \sum_{v=1}^{\infty} A_v \cdot \begin{bmatrix} \cos\left((v-1) \cdot \left(\omega_1 t - \beta \cdot \frac{2\pi}{3}\right) + \varphi_v - \varphi_i\right) \\ - \cos\left((v+1) \cdot \left(\omega_1 t - \beta \cdot \frac{2\pi}{3}\right) + \varphi_v + \varphi_i\right) \end{bmatrix} \quad (4.36)$$

wenn $v = 1, 3 \cdot n \pm 1; n = 1, 2, 3, \dots$

$$i_{dc,L} = 0 \quad \text{wenn } v = 3 \cdot n; n = 1, 2, 3, \dots$$

In (4.36) ist ersichtlich, dass die 3. Oberschwingung und deren Vielfache ($v = 3 \cdot n$) in der fiktiven Mittelspannung keine Oberschwingungen im lastseitigen Zwischenkreisstrom hervorrufen. Des Weiteren kann gezeigt werden, dass jede der verbleibenden v -ten Oberschwingungen ($v = 3 \cdot n \pm 1$) in der fiktiven Mittelpunktspannung eine Oberschwingung mit der Ordnungszahl

$$m = |v \mp 1| \quad (4.37)$$

im lastseitigen Zwischenkreisstrom generieren. Der Zwischenkreisstrom $i_{dc,L}$ enthält also nur Oberschwingungen der 3-fachen Grundfrequenz. Besteht die fiktive Mittelpunktspannung nur aus Oberschwingungen mit ungeraden Ordnungszahlen, was bei einer Halbperiodensymmetrie der Fall ist, so sind im lastseitigen Zwischenkreisstrom nur die 6. Oberschwingung und Ihre Vielfachen vorhanden. Der Mittelwert des lastseitigen Zwischenkreisstromes wird allein durch die Grundschiwingung der fiktiven Mittelpunktspannung sowie den sinusförmigen Phasenströmen bestimmt. Für $v = 1$, bei dem der Faktor A_1 in (4.36) gleich dem Modulationsgrad m_a entspricht, beträgt der Mittelwert des Zwischenkreisstromes mit dem Referenzsignal gemäß (3.2):

$$I_{dc,L=} = \frac{3}{4} \cdot m_a \cdot \hat{I}_x \cdot \cos(\varphi_i) \quad (4.38)$$

NPC Topologie / SMC Topologie mit 2 Stacks Bei der 3L-NPC Topologie können die Zwischenkreisströme $i_{dc,L+}$ und $i_{dc,L-}$ durch folgende Zusammenhänge hergeleitet werden [7]:

$$\begin{aligned} i_{dc,L+} &= \frac{s_{zU}^2 + s_{zU}}{2} \cdot i_U + \frac{s_{zV}^2 + s_{zV}}{2} \cdot i_V + \frac{s_{zW}^2 + s_{zW}}{2} \cdot i_W \\ &= \frac{s_{zU}^2 \cdot i_U + s_{zV}^2 \cdot i_V + s_{zW}^2 \cdot i_W}{2} + \frac{s_{zU} \cdot i_U + s_{zV} \cdot i_V + s_{zW} \cdot i_W}{2} \end{aligned} \quad (4.39)$$

$$\begin{aligned} i_{dc,L-} &= \frac{s_{zU}^2 - s_{zU}}{2} \cdot i_U + \frac{s_{zV}^2 - s_{zV}}{2} \cdot i_V + \frac{s_{zW}^2 - s_{zW}}{2} \cdot i_W \\ &= \frac{s_{zU}^2 \cdot i_U + s_{zV}^2 \cdot i_V + s_{zW}^2 \cdot i_W}{2} - \frac{s_{zU} \cdot i_U + s_{zV} \cdot i_V + s_{zW} \cdot i_W}{2} \end{aligned} \quad (4.40)$$

Setzt man (4.39) und (4.40) in (4.26) ein, so ist der Zwischenkreisstrom $i_{dc,L0}$ wie folgt definiert:

$$i_{dc,L0} = -s_{zU}^2 \cdot i_U - s_{zV}^2 \cdot i_V - s_{zW}^2 \cdot i_W \quad (4.41)$$

Beim 3L-NPC Umrichter besteht ein direkter Zusammenhang zwischen den Mittelpunktspannungen u_{xM} und den Schaltzuständen der jeweiligen Phase, welcher in (4.42) dargestellt ist.

$$u_{xM} = s_{x} \cdot \frac{U_{dc}}{2}; x = Phase U, V, W \quad (4.42)$$

Mit (4.39) und (4.42) kann der lastseitige Zwischenkreisstrom in der positiven Zwischenkreisschiene wie folgt beschrieben werden:

$$i_{dc,L+} = \frac{2 \cdot (u_{UM}^2 \cdot i_U + u_{VM}^2 \cdot i_V + u_{WM}^2 \cdot i_W)}{U_{dc}^2} + \frac{u_{UM} \cdot i_U + u_{VM} \cdot i_V + u_{WM} \cdot i_W}{U_{dc}} \quad (4.43)$$

Die Zwischenkreisströme $i_{dc,L-}$ und $i_{dc,L0}$ können analog als Funktion der Mittelpunktspannungen dargestellt werden. Da die auftretenden Terme in den verschiedenen Zwischenkreisströmen sehr ähnlich sind, wird in den folgenden Betrachtungen nur der Zwischenkreisstrom $i_{dc,L+}$ mathematisch hergeleitet.

Man erkennt in (4.43), dass der 2. Term einen identischen Aufbau besitzt, wie der welcher bei der NL-FLC Topologie in (4.34) hergeleitet wurde. Da die Beschreibung der fiktiven Mittelpunktspannungen bei der FLC Topologie in (4.35) einen allgemeinen Charakter aufweist, ist die Lösung in (4.36) auch für den 2. Term in (4.43) gültig, wenn die fiktiven Mittelpunktspannungen $u_{xM,NL-FLC}^*$ in (4.35) durch die in (4.42) dargestellten, für den 3L-NPC Umrichter gültigen, Mittelpunktspannungen u_{xM} ersetzt werden.

Im 1. Term in (4.43) ist das Quadrat der Mittelpunktspannungen u_{xM} enthalten. Wie schon erwähnt werden die Mittelpunktspannungen u_{xM} des 3L-NPC Umrichter analog zu (4.35) durch eine Summe dargestellt. Somit ergibt sich beispielsweise für das Quadrat der Mittelpunktspannung der Phase U folgender Ausdruck:

$$\begin{aligned} u_{UM}^2 &= \frac{U_{dc}^2}{4} \cdot \sum_{\kappa=1}^{\infty} \sum_{\nu=1}^{\infty} A_{\kappa} \cdot A_{\nu} \cdot \sin(\kappa \cdot (\omega_1 \cdot t) + \varphi_{\kappa}) \cdot \sin(\nu \cdot (\omega_1 \cdot t) + \varphi_{\nu}) \\ &= \frac{U_{dc}^2}{4} \cdot \sum_{\kappa=1}^{\infty} \sum_{\nu=1}^{\infty} \frac{A_{\kappa} \cdot A_{\nu}}{2} \cdot \left[\begin{aligned} &\cos((\kappa - \nu) \cdot (\omega_1 \cdot t) + \varphi_{\kappa} - \varphi_{\nu}) \\ &- \cos((\kappa + \nu) \cdot (\omega_1 \cdot t) + \varphi_{\kappa} + \varphi_{\nu}) \end{aligned} \right] \end{aligned} \quad (4.44)$$

Das Quadrat der Mittelpunktspannungen der weiteren Phasen kann in analoger Weise hergeleitet werden. Setzt man nun (4.44) (sowie das Quadrat der weiteren Mittelpunktspannungen) und (4.30) in (4.43) ein, kann der lastseitige Zwischenkreisstrom $i_{dc,L+}$ wie folgt beschrieben werden:

$$i_{dc,L+} = \frac{1}{8} \cdot \hat{I} \cdot \sum_{\beta=0}^2 \sum_{\kappa=1}^{\infty} \sum_{\nu=1}^{\infty} A_{\kappa} \cdot A_{\nu} \cdot \left[\begin{array}{l} -\sin\left((\kappa - \nu - 1) \cdot (\omega_1 \cdot t - \beta \cdot \frac{2\pi}{3}) + \varphi_{\kappa} - \varphi_{\nu} - \varphi_i\right) \\ +\sin\left((\kappa - \nu + 1) \cdot (\omega_1 \cdot t - \beta \cdot \frac{2\pi}{3}) + \varphi_{\kappa} - \varphi_{\nu} + \varphi_i\right) \\ +\sin\left((\kappa + \nu - 1) \cdot (\omega_1 \cdot t - \beta \cdot \frac{2\pi}{3}) + \varphi_{\kappa} + \varphi_{\nu} - \varphi_i\right) \\ -\sin\left((\kappa + \nu + 1) \cdot (\omega_1 \cdot t - \beta \cdot \frac{2\pi}{3}) + \varphi_{\kappa} + \varphi_{\nu} + \varphi_i\right) \end{array} \right] + (4.36) \quad (4.45)$$

Es ist an (4.45) zu erkennen, dass, neben den Oberschwingungen welche aus der Summe gemäß (4.36) resultieren, eine Vielzahl von Oberschwingungen im lastseitigen Zwischenkreisstrom generiert werden, wobei nur die 3. Harmonische und deren Vielfache auftreten. Im 1. Term in (4.45) treten nur Oberschwingungen im Zwischenkreisstrom auf, wenn die Differenz bzw. die Summe zweier in der Mittelpunktspannung enthaltene Oberschwingungen folgende Ordnungszahlen aufweisen:

$$|\kappa - \nu| = 3 \cdot n \pm 1 \quad \cup \quad \kappa + \nu = 3 \cdot n \pm 1; \quad n = 1, 2, 3, \dots \quad (4.46)$$

Des Weiteren kann, neben dem Gleichanteil aus (4.38), auch der 1. Term in (4.45) einen Gleichanteil aufweisen, wenn die Mittelpunktspannung sowohl gerade als auch ungerade Oberschwingungen aufweist (z.B. $\kappa = \nu + 1$). Das Auftreten von ungeraden und geraden Oberschwingungen in der Mittelpunktspannung ist nur möglich wenn keine Halbperiodensymmetrie des Pulsmusters vorliegt [7]. Bei einem realen Umrichtersystem muss also bei der Wahl des Frequenzverhältnisses darauf geachtet werden, dass ein halbperiodensymmetrisches Pulsmuster resultiert. Ansonsten kommt es z.B. bei der 3L-NPC Topologie mit sinusförmig angenommenen Phasenströmen zu einer unsymmetrischen Strombelastung der beiden Zwischenkreiskondensatoren in einer Periode der Mittelpunktspannung, was einen Gleichstrom im Mittelpunktzwischenkreisstrom $i_{dc,L0}$ zur Folge hat. Bei dieser Betriebsart, welche bei Antrieben allgemein vermieden wird, laufen die Kondensatorspannungen aufgrund des erwähnten Gleichstromes auseinander und müssen aktiv geregelt werden (vgl. Kapitel 3.1).

Bei der SMC Topologie mit 2 Stacks kann die Bestimmung der lastseitigen Zwischenkreisströme analog zur 3L-NPC Topologie erfolgen. Dabei bestimmt bei der SMC Topologie mit 2 Stacks nur der Schaltzustand der 1. SMC-Zelle einer jeden Phase (vgl. Abb. 3.1) ob der betreffende Phasenstrom in den positiven, negativen oder in den mittleren Zwischenkreisanschluss geführt wird. Für die Extraktion der Zwischenkreisströme müssen die Mittelpunktspannungen des 3L-NPC Umrichters in (4.43) durch fiktive Mittelpunktspannungen des SMC-Umrichters $u_{xM,NL-SMC}^*$, welche über die Schaltzustände der 1. SMC Zelle in den einzelnen Phasen hergeleitet werden können, ersetzt werden (analog zur FLC Topologie, vgl. (4.33)).

Mit (4.36) und (4.45) können die lastseitigen Zwischenkreisströme sämtlicher hier vorgestellter Stromrichter Topologien berechnet werden. Dabei ist die Belastung des Zwischenkreiskondensators, wie gezeigt wurde, von der Art der Modulation, dem Modulationsgrad m_a , dem Frequenzverhältnis m_f und dem Leistungsfaktor $\cos(\varphi_i)$ abhängig. Die nun folgenden Untersuchungen zeigen die Strombeanspruchung der Zwischenkreiskondensatoren, wenn die verschiedenen Stromrichter Topologien mit den in

Kapitel 3 verwendeten zwei Arten des Sinus-Dreieck-Vergleichs (mit PD- bzw. APOD-Trägersignalen) moduliert werden. Um einen Vergleich zwischen den Stromrichtertopologien und den beiden Arten der Modulation zu ermöglichen, wird bei allen Stromrichtertopologien dasselbe Frequenzverhältnis von $m_f = 15$ gewählt. Dadurch kommt es z.B. in der Mittelpunktspannung der 3L-NPC Topologie, welche unter Verwendung von APOD-Trägersignalen moduliert wird, zu einem Pulsmuster, das keine Halbperiodensymmetrie mehr aufweist (vgl. Abb. 3.5). In einem realen Umrichtersystem würde dies, wie schon erwähnt, zu einem Auseinanderlaufen der beiden Kondensatorspannungen führen. Bei den folgenden Untersuchungen wird deshalb ein quasistationäre Zustand angenommen, bei dem die Gleichanteile in den Zwischenkreisströmen, welche mit (4.38) und (4.45) hergeleitet werden können, durch einen idealen Eingangsstromrichter gedeckt werden (vgl. (4.27)). Die Zwischenkreiskondensatoren werden somit nur mit den Oberschwingungen des lastseitigen Zwischenkreisstromes beansprucht, welche, wie später gezeigt wird, im Vergleich mit denen eines realen Eingangsstromrichters (24-puls Einspeisung) dominant sind. Es gilt folgender Zusammenhang für den Effektivwert des Kondensatorstromes:

$$I_{C,eff} = \sqrt{I_{dc,L,eff}^2 - I_{dc,L,=}^2} \quad \text{für NL-FLC Umrichter} \quad (4.47)$$

$$I_{C1,eff} = \sqrt{I_{dc,L+,eff}^2 - I_{dc,L+,=}^2} \quad \text{für 3L-NPC und NL-SMC Umrichter mit 2 Stacks}$$

Des Weiteren wird die Spannungswelligkeit der Zwischenkreisspannung dargestellt, welche allein durch die Harmonischen der lastseitigen Oberschwingungen im Zwischenkreisstrom hervorgerufen wird. Dabei gilt unter der Annahme gleicher Kondensatoren $C_{dc,1} = C_{dc,2}$, folgender Zusammenhang für den Zwischenkreis gemäß Abb. 4.11 a)

$$u_{dc,-} = -\frac{2}{C_{dc,1}} \int i_{dc,L,-} dt \quad (4.48)$$

und für den Zwischenkreis gemäß Abb. 4.11 b)

$$u_{dc,-} = -\frac{1}{C_{dc,1}} \int i_{dc,L+,-} dt + \frac{1}{C_{dc,2}} \int i_{dc,L-,-} dt = \frac{1}{C_{dc,1}} \int i_{dc,L,-,-} - i_{dc,L+,-} dt \quad (4.49)$$

Für die Spannungswelligkeit im Zwischenkreis wird das Kriterium $\Delta U_{dc,rel}$ herangezogen, welches wie folgt definiert ist:

$$\Delta U_{dc,rel} = \frac{(U_{dc,-,max} + |U_{dc,-,min}|)}{U_{dc}} \quad (4.50)$$

Die Spannung U_{dc} wird dabei mit (4.21) berechnet. Damit die Ergebnisse auch für verschiedene lastseitige Nennspannungen $U_{UV,1}$, Nennausgangsfrequenzen $f_{1,n}$ und Nennströme $I_{x,n}$ gültig bleiben, wird beispielsweise für einen 3,3 kV Antrieb, welcher mit einem Nennphasenstrom von $I_{x,n} = 600$ A betrieben wird, folgender Bezugskondensator C_n definiert ($f_{1,n} = 50$ Hz):

$$Z_n = \frac{U_{UV,1}}{\sqrt{3} \cdot I_x} \Rightarrow C_n = \frac{1}{\omega_n \cdot Z_n} \approx 1000 \mu F \quad (4.51)$$

Die Kapazität C_n stellt die Gesamtkapazität im Zwischenkreis dar, so dass durch die Reihenschaltung von 2 Kondensatoren im Zwischenkreis nach Abb. 4.11 jeder der Kondensatoren eine Kapazität von $C_{dc,1} = C_{dc,2} = 2$ mF besitzt.

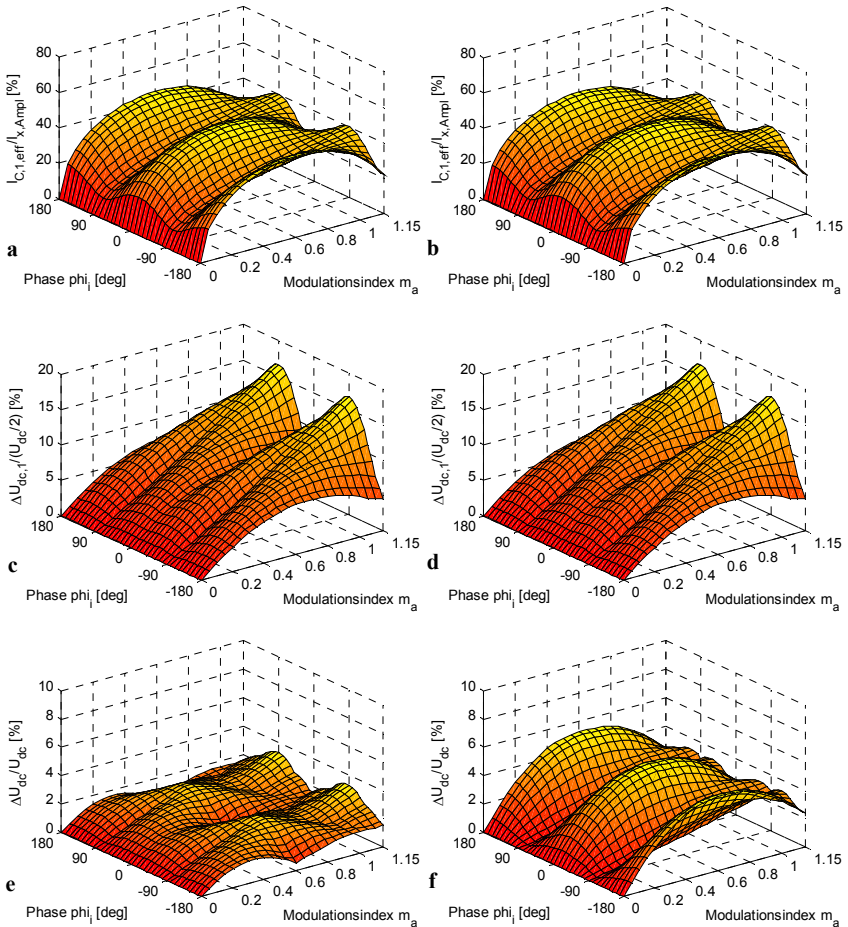


Abb. 4.13: 3L-NPC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C_{dc,eff}}/\hat{I}_x$ und Spannungswelligkeit $\Delta U_{dc}/U_{dc}$ im Zwischenkreis als Funktion des Phasenwinkel φ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$)
PD-Modulation: a) $I_{C_{dc,1,eff}}/\hat{I}_x$; c) $\Delta U_{dc,1}/(U_{dc}/2)$; e) $\Delta U_{dc}/U_{dc}$
APOD-Modulation: b) $I_{C_{dc,1,eff}}/\hat{I}_x$; d) $\Delta U_{dc,1}/(U_{dc}/2)$; f) $\Delta U_{dc}/U_{dc}$

3L-NPC Umrichter. In Abb. 4.13 a)-e) ist die Strombelastung der Zwischenkreiskondensatoren $I_{C_{dc,eff}}$ und die Spannungswelligkeit ΔU_{dc} im Zwischenkreis eines 3L-NPC Umrichters als Funktion des Phasenwinkels φ_i und des Modulationsgrades m_a dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wird. Die Abb. 4.13 a)-d) zeigen, dass sowohl der normierte Effektivwert des Kondensatorstromes $I_{C_{dc,eff}}/\hat{I}_x$ als auch die bezogene Spannungswelligkeit $\Delta U_{dc,1}/(U_{dc}/2)$ des oberen Zwischenkreiskondensators $C_{dc,1}$ nicht von der Art der Modulation (PD, APOD-Modulation) abhängt. Für die Kennwerte des unteren Zwischenkreiskondensators $C_{dc,2}$ kann die gleiche Aussage getroffen werden, da

Tabelle 4-3 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 3L-NPC Umrichter ($m_f = 15$; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD-Modulation			APOD-Modulation		
		@ m_a	@ φ_i		@ m_a	@ φ_i
$I_{C1/2,eff,max}/\hat{I}_x$	45,97%	0,6	$0^\circ; \pm 180^\circ$	45,97%	0,6	$0^\circ; \pm 180^\circ$
$\Delta U_{dc,1/2}/(U_{dc}/2)$	16,68%	1,15	$\pm 90^\circ$	16,68%	1,15	$\pm 90^\circ$
$\Delta U_{dc,max}/U_{dc}$	3,26%	1,15	$\pm 90^\circ$	5,31%	0,6	$0^\circ; \pm 180^\circ$

deren Verlauf identisch mit denen des oberen Zwischenkreiskondensators ist, weshalb hier, wie auch bei der SMC Topologie mit 2 Stacks, nur die Kennwerte des Kondensators $C_{dc,1}$ dargestellt werden. Hingegen ergeben sich je nach Art der Modulation unterschiedliche bezogene Spannungswelligkeiten der gesamten Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ (Abb. 4.13 e),f)), wobei die maximale Welligkeiten in verschiedenen Betriebspunkten auftreten. In Tabelle 4-3 sind die maximalen Kennwerte und die dazugehörigen kritischen Arbeitspunkte eines 3L-NPC Umrichters dargestellt.

In Abb. 4.14 a) und b) sind im Betriebspunkt des maximalen Kondensatorstromeffektivwertes (vgl. Tabelle 4-3) die Zeitverläufe des Kondensatorstromes $i_{C,1}$ und der Kondensatorspannung $u_{dc,1}$ sowie das normierte Amplitudenspektrum des Kondensatorstromes dargestellt (PD-Modulation). Man erkennt am Amplitudenspektrum, dass bei Verwendung eines durch 3 teilbaren Frequenzverhältnisses m_f im Kondensatorstrom $i_{C,1}$ nur Oberschwingungen der 3-fachen Grundfrequenz und deren Vielfache ($3 \cdot n \cdot f_1$) enthalten sind (vgl. (4.5)). Des Weiteren ist ersichtlich, dass die Oberschwingung mit der einfachen Trägerfrequenz f_c in diesem Betriebspunkt dominant ist. Bei Verwendung der APOD-Modulation ergeben sich am Kondensator $C_{dc,1}$ identische Zeitverläufe des Kondensatorstromes und -spannung, da das obere Trägersignal ($u_{carr,1}$ vgl. Abb. 3.5) bei beiden Arten der Modulation identisch ist. Das Amplitudenspektrum des Kondensatorstromes $i_{C,2}$ (unterer Kondensator, vgl. Abb. 4.11 b)) ist sowohl bei Verwendung der PD- als auch der APOD-Modulation mit dem des Kondensatorstromes $i_{C,1}$ identisch, doch weisen die Oberschwingungen eine, je nach Art der Modulation, unterschiedliche Phasenlage auf. Dadurch kommt es bei der APOD-Modulation, bei der das untere Trägersignal $u_{carr,2}$ gegenüber dem oberen Trägersignal $u_{carr,1}$ eine Phasenverschiebung von 180° aufweist, zu einer größeren Welligkeit der gesamten Zwischenkreisspannung.

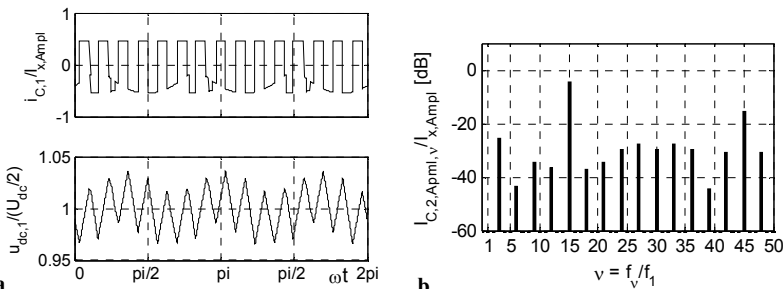


Abb. 4.14: a) Strom- und Spannungsverläufe am Kondensator $C_{dc,1}$ beim 3L-NPC Umrichter
b) normiertes Amplitudenspektrum des Kondensatorstromes $i_{C,1}$, $0\text{dB} = \hat{I}_x$
(PD-Modulation; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$; $\cos(\varphi_i) = 1$; $m_a = 0,6$)

3L-FLC Umrichter. In Abb. 4.15 a)-d) sind die normierte Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}/\hat{I}_x$ und die bezogene Spannungswelligkeit im Zwischenkreis $\Delta U_{dc}/U_{dc}$ eines 3L-FLC Umrichters als Funktion des Phasenwinkels φ_i und des Modulationsgrades m_a dargestellt, wobei, wie beim 3L-NPC Umrichter, ein Frequenzverhältnis von $m_r=15$ gewählt wurde. Es ist zu erkennen dass die Art der Modulation einen großen Einfluss auf die Strombelastung der Zwischenkreiskondensatoren und die Welligkeit der Zwischenkreisspannung hat. Während bei der APOD-Modulation die Strombelastung des Zwischenkreiskondensators mit der des 3L-NPC Umrichters vergleichbar ist, kommt es bei Verwendung der PD-Modulation schon bei kleinen Modulationsgraden ($m_a < 0.1$) zu einem signifikant größeren Effektivwert des Kondensatorstromes sowie zu einer größeren Welligkeit in der Zwischenkreisspannung. In Tabelle 4-4 sind die maximalen Kennwerte und die dazugehörigen Betriebspunkte dargestellt.

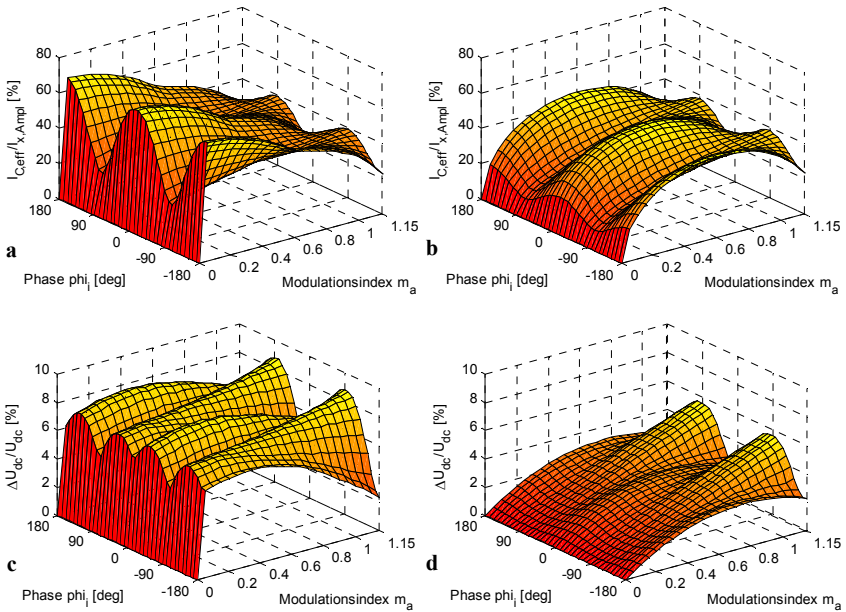


Abb. 4.15: 3L-FLC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}/\hat{I}_x$ und Spannungswelligkeit $\Delta U_{dc}/U_{dc}$ im Zwischenkreis als Funktion des Phasenwinkel φ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_r = 15$)
PD-Modulation: a) $I_{C,eff}/\hat{I}_x$; c) $\Delta U_{dc}/U_{dc}$; APOD-Modulation: b) $I_{C,eff}/\hat{I}_x$; d) $\Delta U_{dc}/U_{dc}$

Tabelle 4-4 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 3L-FLC Umrichter ($m_r = 15$; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD-Modulation			APOD-Modulation		
		@ m_a	@ φ_i		@ m_a	@ φ_i
$I_{C,eff,max}/\hat{I}_x$	67,36 %	0,05	0°; ±180°	46,04 %	0,6	0°; ±180°
$\Delta U_{dc,max}/U_{dc}$	8,79%	1,15	80°;-100°	5,63 %	1,15	80°;-100°

In Abb. 4.16 a)-d) sind im Betriebspunkt des maximalen Effektivwertes des Kondensatorstroms die Kondensatorstrom- und Kondensatorspannungszeitverläufe sowie das Amplitudenspektrum des Kondensatorstromes dargestellt. Vergleicht man die Zeitverläufe der Kondensatorströme i_C , welche durch die unterschiedlichen Arten der Modulation resultieren, so erkennt man, dass bei Verwendung PD-Modulation (Abb. 4.16 a)) der Kondensatorstrom größere Spitzenwerte annimmt, als bei Verwendung der APOD-Modulation (Abb. 4.16 b)). Da bei Verwendung der PD-Modulation mit einem ungeraden und durch 3 teilbaren Frequenzverhältnis in den fiktiven Mittelpunktspannungen $u_{xM,NL-FLC}^*$ (vgl. (4.35)), neben den Oberschwingungen bei der Trägerfrequenz und deren Vielfache, nur Oberschwingungen mit geraden Ordnungszahlen auftreten, sind im Amplitudenspektrum des Kondensatorstromes (Abb. 4.16 c)) gemäß (4.36) nur Oberschwingung enthalten, welche eine ungerade und durch 3 teilbare Ordnungszahl aufweisen. Im Gegensatz dazu erkennt man am Amplitudenspektrum des Kondensatorstromes in Abb. 4.16 d), dass bei Verwendung der APOD-Modulation nur Oberschwingungen mit geraden und durch 3 teilbaren Ordnungszahlen auftreten, wenn ein ungerades und durch 3 teilbares Frequenzverhältnis vorausgesetzt wird. Dies ist mit (4.36) erklärbar, da die fiktiven Mittelpunktspannungen $u_{xM,FLC}^*$ bei dieser Art der Modulation nur Oberschwingungen mit ungeraden Ordnungszahlen enthalten.

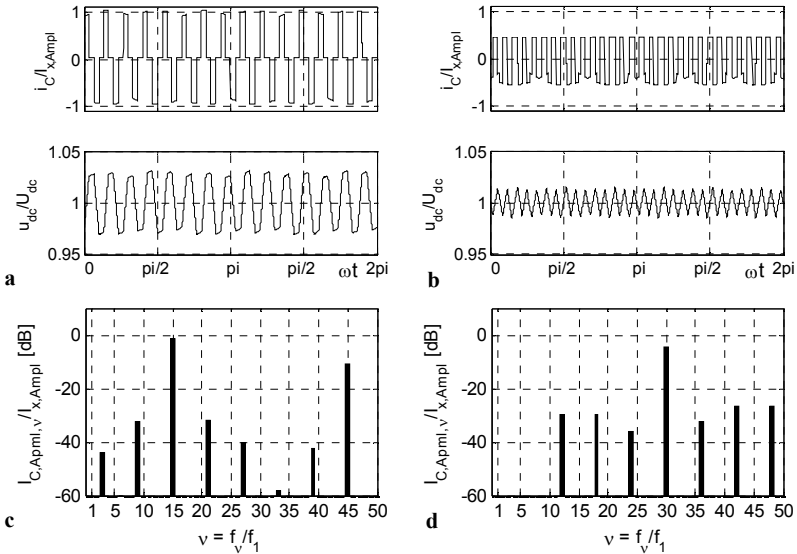


Abb. 4.16: 3L-FLC Umrichter ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_i = 15$; $\cos(\varphi_i) = 1$; $0\text{dB} = \hat{I}_c$)
PD-Modulation: a) Strom- und Spannungsverläufe im Zwischenkreis ($m_a = 0,05$)
 b) normiertes Amplitudenspektrum des Kondensatorstromes i_C ($m_a = 0,05$)
APOD-Modulation: c) Strom- und Spannungsverläufe im Zwischenkreis ($m_a = 0,6$)
 d) normiertes Amplitudenspektrum des Kondensatorstromes i_C ; ($m_a = 0,6$)

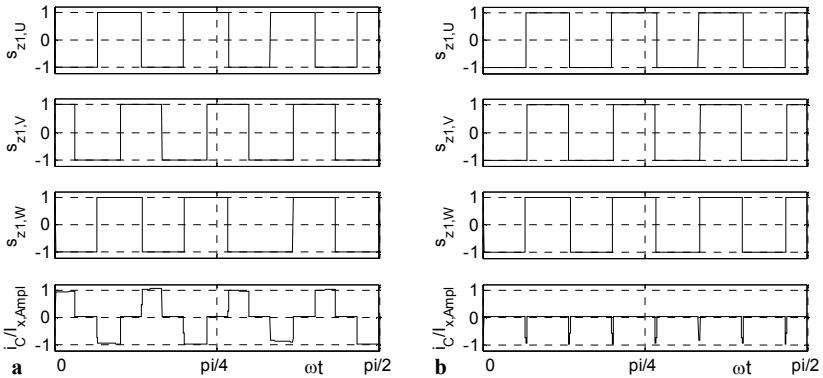


Abb. 4.17: 3L-FLC Umrichter: Vergleich der PD- und APOD-Modulation

($C_{dc,1} = C_{dc,2} = 2 \cdot C_N$; $m_f = 15$; $\cos(\phi_i) = 1$; $m_a = 0,05$)

a) Schaltzustände $s_{z1,U/V/W}$ der 1. Zelle jeder Phase, Kondensatorstrom i_C (PD-Modulation)

b) Schaltzustände $s_{z1,U/V/W}$ der 1. Zelle jeder Phase, Kondensatorstrom i_C (APOD-Modulation)

Um den hohen Effektivwert des Kondensatorstromes bei kleinen Modulationsgraden bei Verwendung der PD-Modulation verständlich zu machen, sind in Abb. 4.17 die Schaltzustände $s_{z1,U/V/W}$ der 1. Zellen sowie der resultierende Kondensatorstrom i_C des 3L-FLC Umrichters dargestellt. In Abb. 4.17 b) erkennt man, dass bei Verwendung der APOD-Modulation bei einem Modulationsgrad von $m_a = 0,05$ der Zeitverlauf der Schaltzustände der 1. Zellen in den jeweiligen Phasen nur minimal zeitlich gegeneinander verschoben sind. Daraus resultiert, dass die Schaltzustände der 1. Zelle in allen 3 Phasen in der überwiegenden Zeit innerhalb einer Periode der Ausgangsspannung identisch sind. Damit addieren sich alle drei sinusförmigen Phasenströme und der lastseitige Zwischenkreisstrom $i_{dc,L}$ (vgl. Abb. 4.11) ist in diesen Zeitabschnitten null, während der Kondensatorstrom i_C den eingangsseitigen Gleichstrom $I_{dc,N}$ führt. Des Weiteren besitzt der lastseitige Zwischenkreisstrom $i_{dc,L}$ bei dieser Art der Modulation nur positive Augenblickswerte.

Im Gegensatz dazu erkennt man an Abb. 4.17 a), in der die Zeitverläufe der Schaltzustände der 1. Zellen bei Verwendung der PD-Modulation dargestellt sind, dass die Schaltzustände im Vergleich zur APOD-Modulation auch bei einem kleinen Modulationsgrad von $m_a = 0,05$ einen größeren Zeitversatz zueinander aufweisen. Dadurch sind die Zeitabschnitte, in denen die Schaltzustände der 1. Zellen in allen 3 Phasen identisch sind, signifikant kürzer. Resultierend sind somit die Zeitabschnitte in denen der lastseitige Zwischenkreisstrom $i_{dc,L}$ null wird auch wesentlich kürzer. Darüber hinaus treten im Zeitverlauf des lastseitigen Zwischenkreisstromes $i_{dc,L}$ bei dieser Art der Modulation aufgrund des großen zeitlichen Versatzes der Zeitverläufe der Schaltzustände der 1. Zellen sowohl positive als auch negative Augenblickswerte auf, welche sich, bis auf den Gleichanteil, im Kondensatorstrom i_C widerspiegeln. Dies erklärt die Beobachtung, dass bei Verwendung der PD-Modulation der Effektivwert des Kondensatorstromes $I_{C,eff}$ bei kleinen Modulationsgraden ($m_a < 0,6$) signifikant größer ist als bei Verwendung der APOD-Modulation (vgl. Abb. 4.15 a-d).

4L-FLC Umrichter. In Abb. 4.18 a)-d) sind der normierte Effektivwert des Zwischenkreiskondensatorstromes $I_{C,eff}/\hat{I}_x$ und die bezogene Spannungswelligkeit im Zwischenkreis $\Delta U_{dc}/U_{dc}$ eines 4L-FLC Umrichters als Funktion des Phasenwinkels φ_i und des Modulationsgrades m_a dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wurde. Man erkennt in Abb. 4.18 b), d), dass bei Verwendung der APOD-Modulation sowohl der normierte Effektivwert des Kondensatorstromes $I_{C,eff}/\hat{I}_x$ als auch die bezogene Spannungswelligkeit im Zwischenkreis $\Delta U_{dc}/U_{dc}$ einen identischen Verlauf wie beim 3L-FLC Umrichter mit entsprechender Modulation besitzen (vgl. Abb. 4.15 b),d)). Dies war auch zu erwarten, da bei Verwendung der APOD-Modulation die Schaltsignale der 1. Zelle aller 3 Phasen, verglichen mit denen eines 3L-FLC Umrichters, identisch moduliert werden, wenn das gleiche Frequenzverhältnis m_f vorausgesetzt wird. Hingegen sind die Verläufe der betrachteten Kennwerte bei Verwendung der PD-Modulation nicht mit denen des 3L-FLC Umrichters bei entsprechender Modulation vergleichbar (vgl. Abb. 4.18 a),c) mit Abb. 4.15 a),c)). Man erkennt in Abb. 4.18 a),c), dass die normierten Verläufe des Effektivwertes des Kondensatorstromes $I_{C,eff}/\hat{I}_x$ und der Spannungswelligkeit $\Delta U_{dc}/U_{dc}$ bis zu einem Modulationsgrad vom $m_a < 0,4$ mit denen welche bei Verwendung der APOD-Modulation resultieren identisch sind. Ab einem Modulationsgrad $m_a > 0,4$ ergeben sich signifikant größere Kondensatorstromeffektivwerte als auch Spannungswelligkeiten im Zwischenkreis als bei der APOD-Modulation, da ab diesem Modulationsgrad das Referenzsignal (vgl. (3.2)) in das obere Modulationsband ($1/3 < m_a < 1$) eintritt (vgl. Abb. 3.18 b)). Es kann, analog zum 3L-FLC Umrichter, gezeigt werden, dass ab $m_a > 0,4$ die Zeitverläufe der Schaltzustände der 1. Zelle der 3 Phasen einen größeren zeitlichen Versatz aufweisen als bei Verwendung der

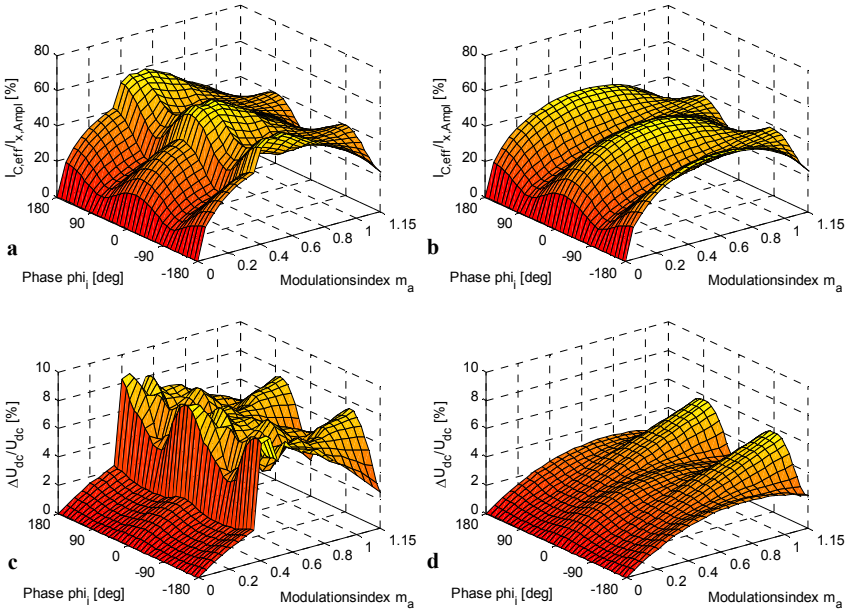


Abb. 4.18: 4L-FLC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}/\hat{I}_x$ und Spannungswelligkeit $\Delta U_{dc}/U_{dc}$ im Zwischenkreis als Funktion des Phasenwinkel φ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$)
PD-Modulation : a) $I_{C,eff}/\hat{I}_x$; c) $\Delta U_{dc}/U_{dc}$; APOD-Modulation : b) $I_{C,eff}/\hat{I}_x$; d) $\Delta U_{dc}/U_{dc}$

Tabelle 4-5 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 4L-FLC Umrichter ($m_f = 15$; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD-Modulation			APOD-Modulation		
		@ m_a	@ φ_1		@ m_a	@ φ_1
$I_{C,eff,max}/\hat{I}_x$	58,97 %	0,55	$0^\circ; \pm 180^\circ$	46,04 %	0,6	$0^\circ; \pm 180^\circ$
$\Delta U_{dc,max}/U_{dc}$	8,54 %	0,45	$0^\circ; \pm 180^\circ$	5,64 %	1,15	$80^\circ; -100^\circ$

APOD-Modulation. In Tabelle 4-5 sind die maximalen Kennwerte und die dazugehörigen Betriebspunkte, welche sich beim 4L-FLC Umrichter ergeben, dargestellt.

In Abb. 4.19 a),b) sind im Betriebspunkt des maximalen Kondensatorstromeffektivwertes die normierten Zeitverläufe des normierten Kondensatorstromes i_C/\hat{I}_x und der bezogenen Kondensatorspannung u_{dc}/U_{dc} sowie das normierte Amplitudenspektrum des Kondensatorstromes dargestellt, welche bei Verwendung der PD-Modulation resultieren. Man erkennt am Amplitudenspektrum des Kondensatorstromes in Abb. 4.19 b), dass im Gegensatz zum 3L-FLC Umrichter (vgl. Abb. 4.16 c)) sowohl ungerade als auch gerade Vielfache der 3. Oberschwingung im Kondensatorstrom enthalten sind, wenn ein durch 3 teilbares Frequenzverhältnis m_f bei der PD-Modulation verwendet wird. Dies ist darauf zurückzuführen, dass in den fiktiven Mittelpunktspannungen $u_{xM,NL-FLC}^*$, welche durch Modulation der Schaltzustände der 1. Zelle hergeleitet werden können, Oberschwingungen mit ungeraden als auch geraden Ordnungszahlen enthalten sind. Des Weiteren ist in diesem Betriebspunkt die Oberschwingung mit der Trägerfrequenz dominant. Bei Verwendung der APOD-Modulation sind die Zeitverläufe des Kondensatorstromes und der Zwischenkreisspannung im Betriebspunkt des maximalen Kondensatorstromeffektivwertes identisch mit den Verläufen, welche schon für den 3L-FLC Umrichter in Abb. 4.16 b), d) dargestellt wurden.

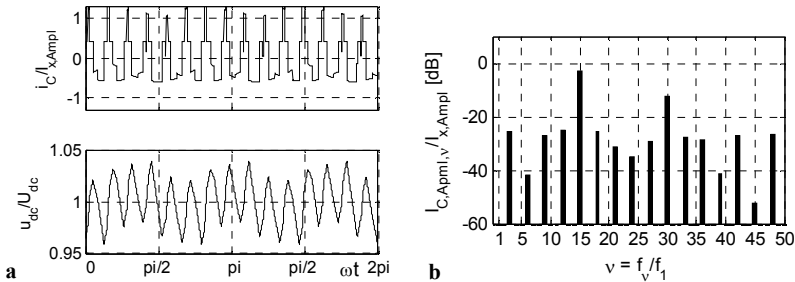


Abb. 4.19: a) Strom- und Spannungsverläufe im Zwischenkreis beim 4L-FLC Umrichter (PD-Modulation) b) normiertes Amplitudenspektrum des Kondensatorstromes $i_{C,1}$, $0\text{dB} = \hat{I}_x$ ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$; $\cos(\varphi_1) = 1$; $m_a = 0,55$)

5L-FLC Umrichter. Für den 5L-FLC Umrichter ist der normierte Kondensatorstromeffektivwert $I_{C,eff}/\hat{I}_x$ und die bezogene Spannungswelligkeit der Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ als Funktion des Phasenwinkels φ_1 und des Modulationsgrades m_a in Abb. 4.20 a)-d) dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wurde. Bei Verwendung der APOD-Modulation (Abb. 4.20 b),d)) sind die Verläufe des normierten Kondensatorstromeffektivwertes und der bezogenen Spannungswelligkeit identisch mit denen, welche beim 3L- und 4L-FLC Umrichter bei entsprechender Modulation resultieren. Hingegen erkennt man, dass bei Verwendung der PD-Modulation (Abb. 4.20 a),c)) der normierte Effektivwert des Kondensatorstromes als auch die bezogene Spannungswelligkeit im Zwischenkreis über den gesamten Bereich des Modulationsgrades und des Phasenwinkels größer sind als bei Verwendung der APOD-Modulation. Des Weiteren ist zu sehen, dass

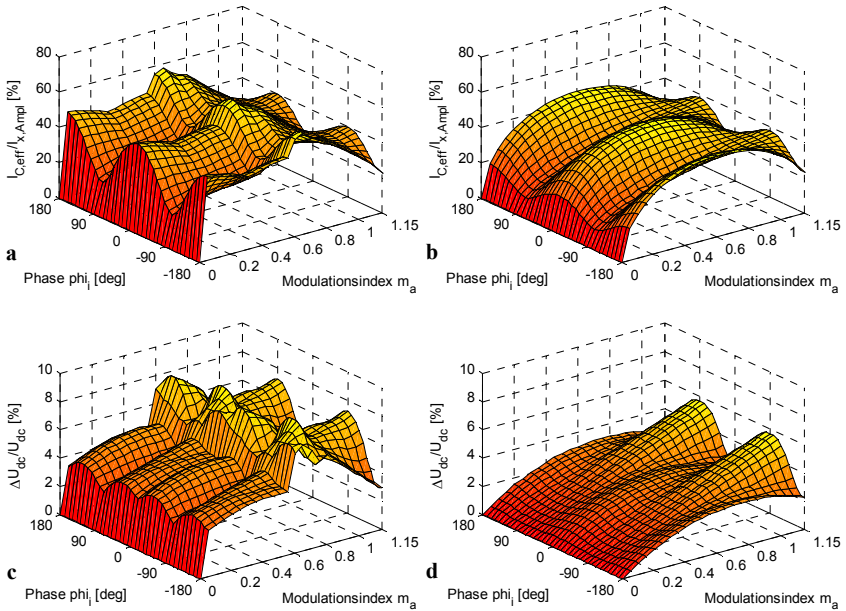


Abb. 4.20: 5L-FLC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}/\hat{I}_x$ und Spannungswelligkeit $\Delta U_{dc}/U_{dc}$ im Zwischenkreis als Funktion des Phasenwinkel φ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$)
PD-Modulation : a) $I_{C,eff}/\hat{I}_x$; c) $\Delta U_{dc}/U_{dc}$; APOD-Modulation : b) $I_{C,eff}/\hat{I}_x$; d) $\Delta U_{dc}/U_{dc}$

beide Kennwerte eine starke Steigung bei Modulationsgraden von $m_a = 0,05$ und $m_a = 0,6$ aufweisen. Dies ist darauf zurückzuführen dass bei der Modulation eines 5L-FLC Umrichter 4 Modulationsbänder benötigt werden, in denen die angepassten Trägersignale verlaufen (vgl. 4L-FLC Abb. 3.18 b)). Da bei Verwendung der PD-Modulation die angepassten Trägersignale zwischen den Modulationsbändern im Gegensatz zur APOD-Modulation keinen kontinuierlichen Verlauf aufweisen, kommt es bei Modulationsgraden m_a , in denen das Referenzsignal über die Grenzen der Modulationsbänder verläuft, zu einem starken Anstieg der hier untersuchten Kennwerte des Zwischenkreises. In Tabelle 4-5 sind die maximalen Kennwerte und die dazugehörigen Betriebspunkte, welche sich beim 5L-FLC Umrichter ergeben, dargestellt.

In Abb. 4.21 a),b) sind im Betriebspunkt des maximalen Kondensatorstromeffektivwertes die normierten Zeitverläufe des normierten Kondensatorstromes i_C/\hat{I}_x und der bezogenen Kondensatorspannung u_{dc}/U_{dc} sowie das normierte Amplitudenspektrum des Kondensatorstromes dargestellt, welche bei Verwendung der PD-Modulation resultieren. Man

Tabelle 4-6 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 5L-FLC Umrichter ($m_f = 15$; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD Modulation			APOD Modulation		
		@ m_a	@ φ_i		@ m_a	@ φ_i
$I_{C,eff,max}/\hat{I}_x$	57,89 %	0,65	0°; ±180°	46,02 %	0,6	0°; ±180°
$\Delta U_{dc,max}/U_{dc}$	8,2 %	0,75	70°; -110°	5,65 %	1,15	80°; -100°

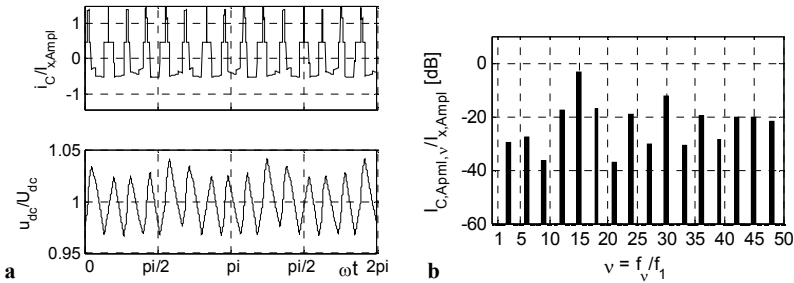


Abb. 4.21 a) Strom- und Spannungsverläufe im Zwischenkreis beim 5L-FLC Umrichter (PD-Modulation) b) normiertes Amplitudenspektrum des Kondensatorstromes $i_{c,1}$, $0\text{dB} = \hat{I}_x$
($C_{dc,1} = C_{dc,2} = 2 \cdot C_{01}$; $m_f = 15$; $\cos(\varphi) = 1$; $m_a = 0,65$)

erkennt, dass in diesem Betriebspunkt, ähnlich wie beim 4L-FLC Umrichter im Kondensatorstrom nur Oberschwingungen auftreten, deren Ordnungszahl durch 3 teilbar ist. Mit (4.36) und (4.37) ist ersichtlich, dass die fiktive Mittelpunktspannung $u_{x,M,NL-FLC}^*$ Oberschwingungen sowohl mit ungerader als auch gerader Ordnungszahl enthält. Bei Verwendung der APOD-Modulation sind die Zeitverläufe des Kondensatorstromes und der Zwischenkreisspannung im Betriebspunkt des maximalen Kondensatorstromeffektivwertes identisch mit den Verläufen welche schon für den 3L-FLC in Abb. 4.16 b),d) dargestellt wurden.

5L-SMC Umrichter. In Abb. 4.22 a)-d) sind der normierte Effektivwert des Zwischenkreiskondensatorstromes $I_{C,eff}/\hat{I}_x$ und die bezogene Spannungswelligkeit im Zwischenkreis $\Delta U_{dc,1}/(U_{dc}/2)$ eines 5L-SMC Umrichters als Funktion des Phasenwinkels φ_i und des Modulationsgrades m_a dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wurde. Man erkennt in den Abb. 4.22 b), d) und f), dass die Verläufe der Kennwerte bei Verwendung der APOD-Modulation identisch mit denen sind, welche beim 3L-NPC Umrichter bei Verwendung der PD-Modulation resultieren. Das ist damit zu erklären, dass die Zeitverläufe der Trägersignale (u_{carr11} , u_{carr21} in Abb. 3.29 a)) welche bei der APOD-Modulation für die Generierung der Schaltzustände der 1. Zellen eines 5L-SMC-Umrichter mit 2 Stacks verwendet werden, wie bei der PD-Modulation eines 3L-NPC Umrichters, gleichphasig sind. Somit sind auch die Zwischenkreisströme beider Umrichter identisch, wenn neben einem identischen Referenzsignal, das gleiche Frequenzverhältnis und die gleiche Phasenströme angenommen werden. Bei der PD-Modulation des 5L-SMC Umrichters mit Stacks in Abb. 4.22 a) und b) erkennt man, dass sowohl der normierte Effektivwert des Kondensatorstromes $I_{C,1,eff}/\hat{I}_x$ als auch die bezogene Spannungswelligkeit der Kondensators Spannung $u_{dc,1}$ bis zu einem Modulationsgrad $m_a < 0,6$ ähnliche Verläufe wie bei Verwendung APOD-Modulation besitzen. Ab einem Modulationsgrad $m_a > 0,6$ ergeben sich unterschiedliche Verläufe der Kennwerte, da ab diesem Modulationsgrad das Referenzsignal in das obere Modulationsband eintritt. Die maximale bezogene Spannungswelligkeit der gesamten Zwischenkreisspannung $\Delta U_{dc,max}/U_{dc}$ tritt bei beiden Modulationsarten im gleichen Betriebspunkt auf, wobei bei Verwendung der PD-Modulation die maximale Spannungswelligkeit um 77% größer ist, verglichen mit der, welche bei Verwendung der APOD-Modulation resultiert. In Tabelle 4-7 sind die maximalen Kennwerte und die dazugehörigen Betriebspunkte, welche sich beim 5L-SMC Umrichter ergeben, dargestellt.

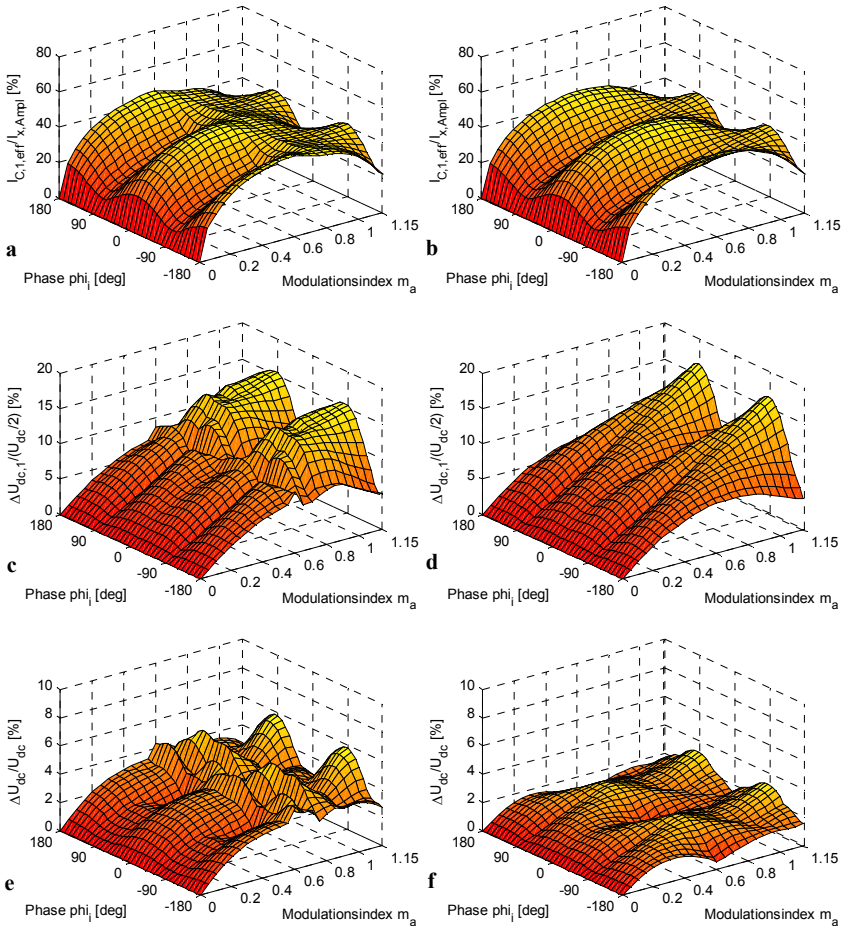


Abb. 4.22: 5L-SMC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}$ und Spannungswelligkeit ΔU_{dc} im Zwischenkreis als Funktion des Phasenwinkel ϕ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_r = 15$)
PD-Modulation : a) $I_{C1,eff}/\hat{I}_x$; c) $\Delta U_{dc,1}/(U_{dc}/2)$; e) $\Delta U_{dc}/U_{dc}$
APOD-Modulation : b) $I_{C1,eff}/\hat{I}_x$; d) $\Delta U_{dc,1}/(U_{dc}/2)$; f) $\Delta U_{dc}/U_{dc}$

Tabelle 4-7 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 5L-SMC Umrichter ($m_r = 15$; $C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD Modulation			APOD-Modulation		
	@ m_a	@ ϕ_i	@ ϕ_i	@ m_a	@ ϕ_i	@ ϕ_i
$I_{C1,2,eff,max}/\hat{I}_x$	45,9 %	0,6	$0^\circ; \pm 180^\circ$	45,98 %	0,6	$0^\circ; \pm 180^\circ$
$\Delta U_{dc,1/2}/(U_{dc}/2)$	15,35 %	1,15	$100^\circ; -80^\circ$	16,66 %	1,15	$\pm 90^\circ$
$\Delta U_{dc,max}/U_{dc}$	5,76%	1,15	$\pm 90^\circ$	3,25 %	1,15	$\pm 90^\circ$

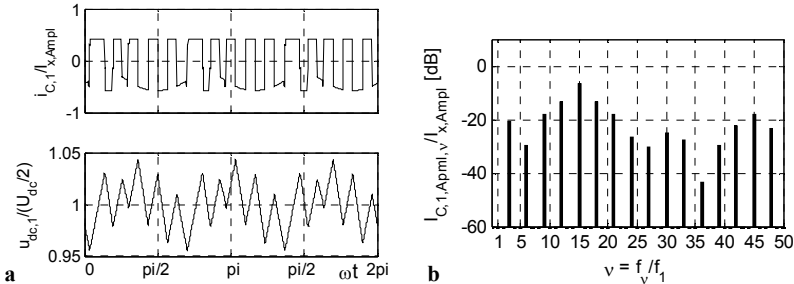


Abb. 4.23: a) Strom- und Spannungsverläufe im Zwischenkreis beim 5L-SMC Umrichter (PD-Modulation) b) normiertes Amplitudenspektrum des Kondensatorstromes $i_{C,1}$, $0\text{dB} = \hat{I}_x$ ($C_{dc,1} = C_{dc,2} = 2 \cdot C_{\text{ref}}$; $m_f = 15$; $\cos(\varphi_i) = 1$; $m_a = 0,6$)

In Abb. 4.23 a),b) sind im Betriebspunkt des maximalen Kondensatorstromeffektivwertes die normierten Zeitverläufe des normierten Kondensatorstromes $i_{C,1}/\hat{I}_x$ und der bezogenen Kondensatorspannung $u_{dc,1}/(U_{dc}/2)$ sowie das normierte Amplitudenspektrum des Kondensatorstromes dargestellt, welche bei Verwendung der PD-Modulation resultieren. Man erkennt am Amplitudenspektrum des Kondensatorstromes $i_{C,1}$, dass wie beim 3L-NPC Umrichter, nur Oberschwingungen mit durch drei teilbaren Ordnungszahlen auftreten, wenn ein durch 3 teilbares Frequenzverhältnis gewählt wird. Dabei ist die Oberschwingung mit der Trägerfrequenz f_c in diesem Betriebspunkt dominant. Bei Verwendung der APOD-Modulation sind die Zeitverläufe von Kondensatorstrom $i_{C,1}$ und -spannung $u_{C,1}$ im Betriebspunkt des maximalen Kondensatorstromeffektivwertes mit denen des 3L-NPC Umrichters in Abb. 4.14 a) identisch, da die 1. Zellen des 5L-SMC Umrichters, aufgrund identischer Träger- und Referenzsignale, die gleichen Schaltzustände innerhalb einer Periode der Ausgangsspannung realisieren.

7L-SMC Umrichter. In Abb. 4.24 a)-d) sind der normierte Effektivwert des Zwischenkreiskondensatorstromes $I_{C,1,\text{eff}}/\hat{I}_x$ und die bezogene Spannungswelligkeit im Zwischenkreis $\Delta U_{dc,1}/(U_{dc}/2)$ eines 7L-SMC Umrichters als Funktion des Phasenwinkels φ_i und des Modulationsgrades m_a dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wurde. Man erkennt in den Abb. 4.24 b) und d), dass die Verläufe der Kennwerte bei Verwendung der APOD-Modulation identisch mit denen sind, welche beim 3L-NPC Umrichter bei Verwendung der PD-Modulation und beim 5L-SMC Umrichter bei Verwendung der APOD-Modulation resultieren. Hingegen weist der Verlauf der Spannungswelligkeit der gesamten Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ Abb. 4.24 f) Unterschiede auf. Das ist darauf zurück zu führen, dass die Schaltsignale eines 7L-SMC Umrichter mit 2 Stacks gemäß Abb. 3.37 a) moduliert werden. Man erkennt, dass die Trägersignale u_{carr11} und u_{carr21} in Abb. 3.37 a), welche für die Generierung der Schaltzustände der 1. Zellen in allen Phasen herangezogen werden, im Gegensatz zu denen des 5L-SMC Umrichters (vgl. Abb. 3.29 a)) nicht gleichphasig sind. Der Versatz der beiden Trägersignale zueinander führt zu einer erhöhten Spannungswelligkeit der gesamten Zwischenkreisspannung, verglichen mit der des 5L-SMC Umrichters. In Tabelle 4-8 sind die maximalen Kennwerte und die dazugehörigen Betriebspunkte, welche sich beim 7L-SMC Umrichter bei Verwendung der PD- als auch APOD-Modulation ergeben, dargestellt.

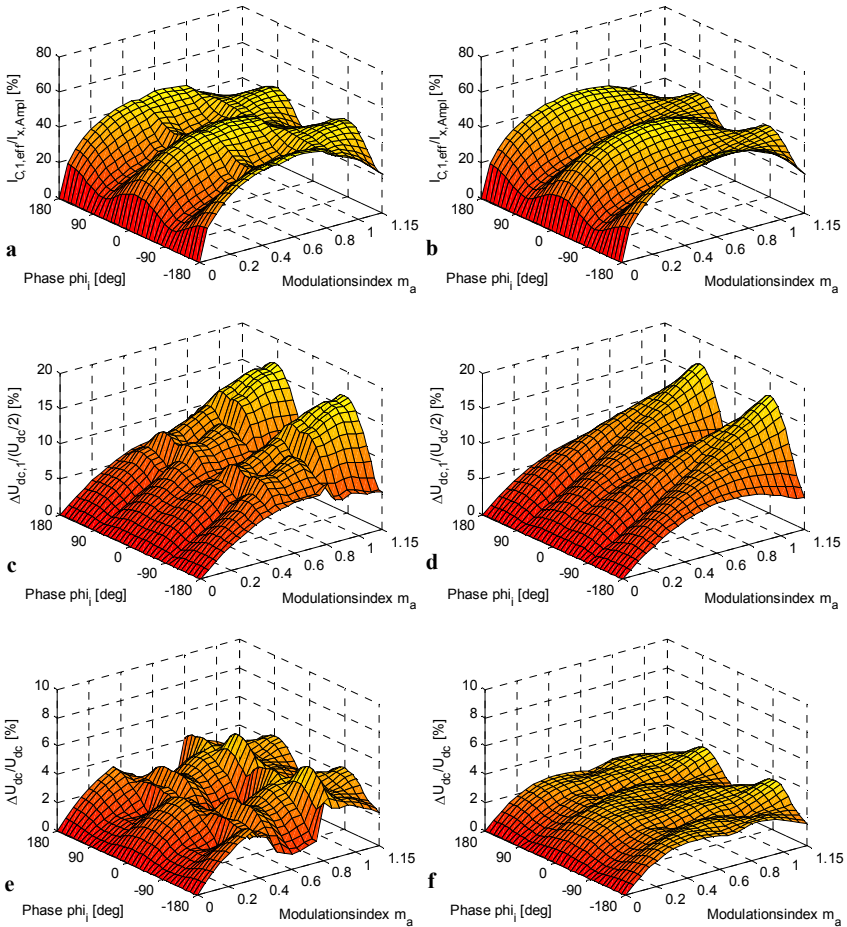


Abb. 4.24: 7L-SMC Umrichter: Strombelastung der Zwischenkreiskondensatoren $I_{C,eff}$ und Spannungswelligkeit ΔU_{dc} im Zwischenkreis als Funktion des Phasenwinkel φ_i und des Modulationsgrades m_a ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_r = 15$)

PD-Modulation : a) $I_{C1,eff}/\hat{I}_x$; c) $\Delta U_{dc,1}/(U_{dc}/2)$; e) $\Delta U_{dc,max}/U_{dc}$

APOD-Modulation : b) $I_{C1,eff}/\hat{I}_x$; d) $\Delta U_{dc,1}/(U_{dc}/2)$; f) $\Delta U_{dc,max}/U_{dc}$

Tabelle 4-8 Maximaler Effektivwert der Kondensatorströme und maximale relative Spannungswelligkeit im Zwischenkreis beim 7L-SMC Umrichter ($m_r = 15, C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)

	PD Modulation			APOD-Modulation		
		@ m_a	@ φ_i		@ m_a	@ φ_i
$I_{C1/2,eff,max}/\hat{I}_x$	45,86 %	0,6	$0^\circ; \pm 180^\circ$	45,98 %	0,6	$0^\circ; \pm 180^\circ$
$\Delta U_{dc,1/2}/(U_{dc}/2)$	16,5 %	1,15	$100^\circ; -80^\circ$	16,66 %	1,15	$\pm 90^\circ$
$\Delta U_{dc,max}/U_{dc}$	5,74%	0,85	$60^\circ; -120^\circ$	3,57 %	1,15	$\pm 90^\circ$

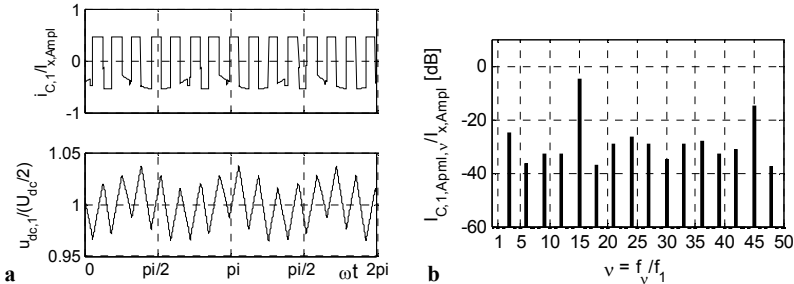


Abb. 4.25 a) Strom- und Spannungsverläufe im Zwischenkreis beim 7L-SMC Umrichter (PD-Modulation) b) normiertes Amplitudenspektrum des Kondensatorstromes $i_{C,1}$, $0\text{dB} = \hat{I}_x$ ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$; $m_f = 15$; $\cos(\varphi) = 1$; $m_a = 0,6$)

Man erkennt in Abb. 4.25 b), in der im Betriebspunkt des maximalen Kondensatorstromeffektivwertes das normierte Amplitudenspektrum des Kondensatorstromes $i_{C,1}$ dargestellt ist (PD-Modulation), dass, wie beim 5L-SMC Umrichter (vgl. Abb. 4.23), im Kondensatorstrom nur Oberschwingungen mit durch drei teilbaren Ordnungszahlen auftreten, wenn ein durch 3 teilbares Frequenzverhältnis gewählt wird. Des Weiteren ist die Oberschwingung mit der Trägerfrequenz in diesem Betriebspunkt dominant. Die Zeitverläufe des Kondensatorstromes $i_{C,1}$ und der Kondensatorspannung $u_{C,1}$, welche bei Verwendung der APOD-Modulation im Betriebspunkt des maximalen Kondensatorstromeffektivwertes resultieren, sind identisch mit denen des 3L-NPC Umrichters in Abb. 4.14 a), da die Schaltzustände der 1. Zellen im oberen Stack in den 3 Phasen des 7L-SMC Umrichters (2 Stacks) mit identischen Träger- und Referenzsignalen moduliert werden (vgl. Abb. 3.37 a) mit Abb. 3.5 a) bzw. f)).

4.3.3 Abhängigkeit der Strombelastung und der Spannungswelligkeit im Spannungszwischenkreis vom Frequenzverhältnis m_f

In Abb. 4.26 a) ist für die 3L- und 5L-FLC Topologien in den zuvor extrahierten Betriebspunkten des maximalen Kondensatorstromeffektivwertes $I_{C,eff,max}$ ($m_f = 15$; vgl. Tabelle 4-6 / Tabelle 4-4) der bezogene Kondensatorstromeffektivwert $I_{C,eff} / \hat{I}_x$ als Funktion des Frequenzverhältnisses m_f dargestellt, wobei bei beiden Arten der Modulation nur durch drei teilbare Frequenzverhältnisse verwendet werden. Man erkennt, dass nur der Kondensatorstromeffektivwert des 5L-FLC Umrichters bei Verwendung der PD-Modulation ein vom Frequenzverhältnis abhängiges signifikantes Verhalten zeigt, wobei der Kondensatorstromeffektivwert bei $m_f = 15$ in dem betrachteten Betriebspunkt maximal ist. Die Kondensatorstromeffektivwerte des 3L-FLC Umrichters, welche bei Verwendung der PD- und APOD-Modulation resultieren, sind kaum vom Frequenzverhältnis abhängig. Das Gleiche gilt für den Kondensatorstromeffektivwert des 5L-FLC Umrichter bei Verwendung der APOD-Modulation. Der nahezu konstante Verlauf der Kondensatorstromeffektivwerte ist damit zu erklären, dass die Amplituden der dominanten Stromoberschwingungen, welche mit Erhöhung des Frequenzverhältnisses bei höheren Frequenzen auftreten, in den jeweiligen Betriebspunkten nahezu konstant bleiben. Da die Stromtragfähigkeit eines Kondensators von der Frequenz des Kondensatorstromes abhängt, ist bei der Auslegung des Zwischenkreiskondensators bezüglich der Stromtragfähigkeit darauf zu achten, dass sich die Frequenz der dominanten Stromoberschwingungen (um $n \cdot f_C = n \cdot m_f \cdot f_1$) mit dem Frequenzverhältnis verändert.

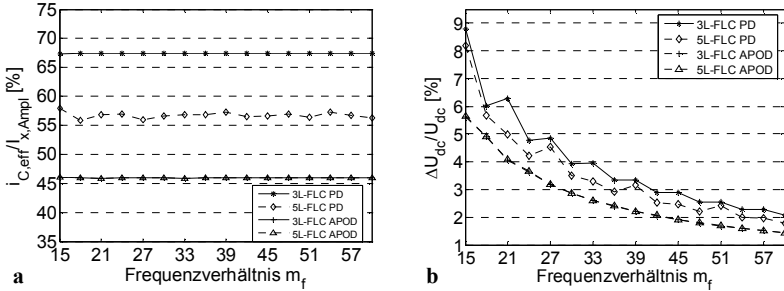


Abb. 4.26: Relativer Kondensatorstromeffektivwert $i_{C,eff}/\hat{I}_x$ (a) und relative Welligkeit der Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ (b) als Funktion des Frequenzverhältnisses m_f ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)
 a) 3L-FLC (PD-Modulation: $m_a = 0,05$; $\varphi_i = 0^\circ$; APOD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$)
 5L-FLC (PD-Modulation: $m_a = 0,65$; $\varphi_i = 0^\circ$; APOD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$)
 b) 3L-FLC (PD-Modulation: $m_a = 1,15$; $\varphi_i = 80^\circ$; APOD-Modulation: $m_a = 1,15$; $\varphi_i = 80^\circ$)
 5L-FLC (PD-Modulation: $m_a = 0,75$; $\varphi_i = 70^\circ$; APOD-Modulation: $m_a = 1,15$; $\varphi_i = 80^\circ$)

In Abb. 4.26 b) erkennt man, dass die Spannungswelligkeiten der Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ in den zuvor extrahierten Betriebspunkten der maximalen Spannungswelligkeit $\Delta U_{dc,max}$ ($m_f = 15$; vgl. Tabelle 4-6 / Tabelle 4-4) mit Erhöhung des Frequenzverhältnisses m_f in den betrachteten FLC Topologien indirekt proportional sinken. Dies ist wie folgt erklärbar: Die dominanten Oberschwingungen des Kondensatorstromes treten mit Erhöhung des Frequenzverhältnisses m_f bei höheren Frequenzen auf und besitzen somit, durch das frequenzabhängige Verhalten des Kondensators, einen geringeren Einfluss auf die Kondensatorspannung, was gleichzeitig zu einer geringeren Spannungswelligkeit führt. Somit ist das gewählte Frequenzverhältnis für die Auslegung des Zwischenkreiskondensators sowohl bezüglich einer maximal erlaubten Spannungswelligkeit als auch bezüglich der Stromtragfähigkeit von entscheidender Bedeutung.

In Abb. 4.27 a) ist für die 3L-NPC und 5L-SMC Topologien in den zuvor extrahierten Betriebspunkten des maximalen Kondensatorstromeffektivwertes $i_{C,1,eff,max}$ ($m_f = 15$; vgl. Tabelle 4-3 / Tabelle 4-7) der normierte Kondensatorstromeffektivwert $i_{C,1,eff}/\hat{I}_x$ als Funktion des Frequenzverhältnisses m_f dargestellt, wobei auch hier bei beiden Arten der Modulation nur durch drei teilbare Frequenzverhältnisse verwendet werden. Wie bei den FLC-Topologien (vgl. Abb. 4.26) erkennt man, dass die Kondensatorstromeffektivwerte bei Verwendung sowohl der PD- als auch der APOD-Modulation nur marginal vom Frequenzverhältnis m_f abhängen. Hingegen erkennt man in Abb. 4.27 b), dass die Spannungswelligkeiten der Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ beim 3L-NPC Umrichter sowie beim 5L-SMC Umrichter in den zuvor extrahierten Betriebspunkten der maximalen Spannungswelligkeit $\Delta U_{dc,max}$ ($m_f = 15$; vgl. Tabelle 4-3 / Tabelle 4-7) mit Erhöhung des Frequenzverhältnisses m_f indirekt proportional sinken. Dieses Verhalten wurde schon bei den FLC Topologien detailliert erklärt.

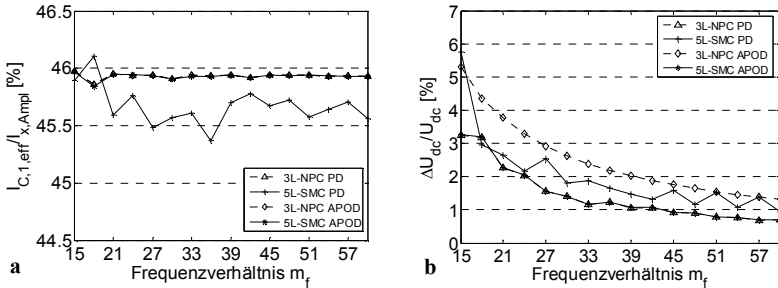


Abb. 4.27: Relativer Kondensatorstromeffektivwert $I_{C,eff}/\hat{I}_x$ (a) und relative Welligkeit der Zwischenkreisspannung $\Delta U_{dc}/U_{dc}$ (b) als Funktion des Frequenzverhältnisses m_f ($C_{dc,1} = C_{dc,2} = 2 \cdot C_n$)
 a) 3L-NPC (PD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$; APOD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$)
 5L-SMC (PD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$; APOD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$)
 b) 3L-NPC (PD-Modulation: $m_a = 1,15$; $\varphi_i = 90^\circ$; APOD-Modulation: $m_a = 0,6$; $\varphi_i = 0^\circ$)
 5L-SMC (PD-Modulation: $m_a = 1,15$; $\varphi_i = 90^\circ$; APOD-Modulation: $m_a = 1,15$; $\varphi_i = 90^\circ$)

4.3.4 Netzseitige Zwischenkreiseinspeisung

Das in dieser Arbeit verwendete Modell für die netzseitige Zwischenkreiseinspeisung ist in Abb. 4.28 dargestellt. Es handelt sich hierbei um eine 24-pulsige Einspeisung, welche im Mittelspannungsbereich weit verbreitet ist. Der Vorteil dieser Zwischenkreiseinspeisung gegenüber einer herkömmlichen 6-pulsigen Einspeisung liegt, wie später gezeigt wird, einerseits in einem geringen Oberschwingungsanteil im Netzstrom andererseits in einer geringeren Welligkeit der Zwischenkreisspannung. In industriellen Anwendungen besteht diese Einspeisung im Wesentlichen aus zwei parallel geschalteten Transformatoren, die mit 4 in Reihe geschalteten B6C-Diodenbrücken gekoppelt sind. Damit sich eine symmetrische 24-pulsige Charakteristik im Netzstrom ergibt, müssen die vier sekundären Drehspannungssysteme eine Phasenverschiebung von jeweils 15° zueinander aufweisen. Darüber hinaus müssen die Effektivwerte der entsprechenden sekundären Spannungen identisch sein. Im Folgenden wird die Modellierung sowohl des Transformators als auch des Gesamtsystems detailliert gezeigt.

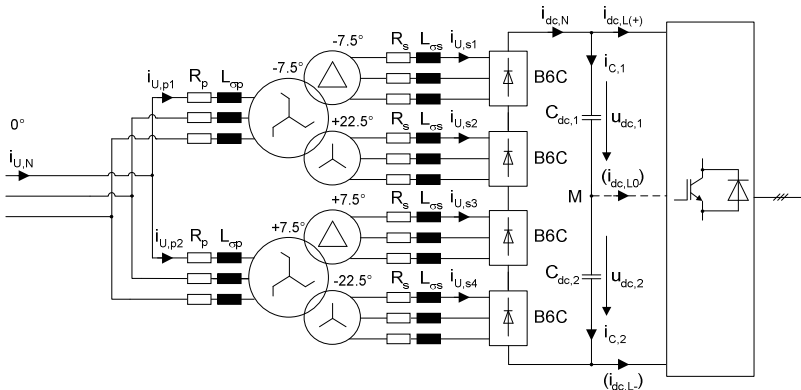


Abb. 4.28: Modellierung der netzseitigen Zwischenkreiseinspeisung

4.3.4.1 Zwischenkreiseinspeisung mit idealisiertem Transformatormodell

Bei dem hier verwendeten Transformatormodell wird eine ideale magnetische Kopplung zwischen den Wicklungen einer Phase angenommen, wobei eine magnetische Kopplung zwischen den einzelnen Phasen vernachlässigt wird. In [61] ist eine detaillierte Beschreibung einer 24-puls Zwischenkreiseinspeisung dargestellt, bei der eine Kopplung zwischen den Phasengrößen im Transformator berücksichtigt wird.

Wie in Abb. 4.29 ersichtlich, besteht jeder der beiden Transformatoren aus einer primärseitigen ZickZack-Wicklung, einer sekundärseitigen Dreieckwicklung und einer sekundärseitigen Sternwicklung. Die Windungszahlen N_{pY} , $N_{p\Delta}$, $N_{s\Delta}$ und N_{sY} der Wicklungen beider Transformatoren sind dabei so dimensioniert, dass die sekundärseitigen Drehspannungssysteme jeweils eine Phasenverschiebung von $\pm 7,5^\circ$ (Dreieckwicklungen) sowie $\pm 22,5^\circ$ (Sternwicklungen) zum primärseitigen Drehspannungssystem aufweisen. Für den in Abb. 4.29 a) dargestellten idealen Transformator kann folgender Zusammenhang zwischen den Spannungen und Windungszahlen der primärseitigen ZickZack-Wicklung und der sekundärseitigen Dreieckwicklung hergeleitet werden:

$$u_{UV,p1} = \ddot{u}_{Y\Delta} \cdot u_{UV,s1} + \ddot{u}_{\Delta\Delta} \cdot u_{UV,s1} - \ddot{u}_{Y\Delta} \cdot u_{VW,s1} \quad \text{mit} \quad \ddot{u}_{Y\Delta} = \frac{N_{pY}}{N_{s\Delta}}; \ddot{u}_{\Delta\Delta} = \frac{N_{p\Delta}}{N_{s\Delta}} \quad (4.52)$$

Wird (4.52) in komplexen Zeigergrößen ausgedrückt, so folgt für eine gewünschte Phasenverschiebung von $-7,5^\circ$ zwischen den genannten Drehspannungssystemen:

$$U_{UV,p1} \cdot e^{j0^\circ} = \ddot{u}_{Y\Delta} \cdot U_{UV,s1} \cdot e^{-j7,5^\circ} + \ddot{u}_{\Delta\Delta} \cdot U_{UV,s1} \cdot e^{-j7,5^\circ} - \ddot{u}_{Y\Delta} \cdot U_{UV,s1} \cdot e^{-j(7,5^\circ+120^\circ)} \quad (4.53)$$

Die Übertragungsfaktoren $\ddot{u}_{Y\Delta}$ und $\ddot{u}_{\Delta\Delta}$ können mit (4.53) bestimmt werden:

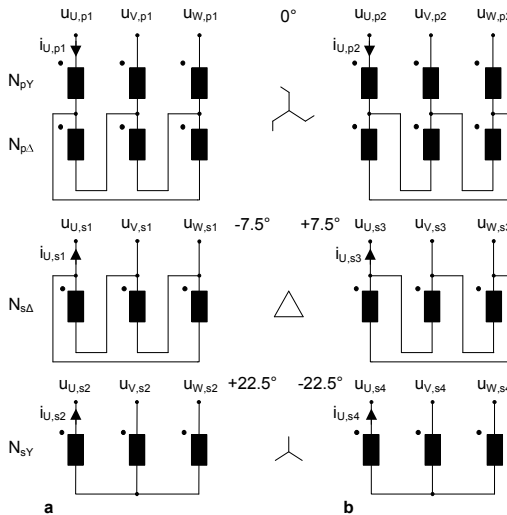


Abb. 4.29: Wicklungsanordnung der idealen 12-puls Transformatoren
a) Schaltgruppe Zd0.25y11.25; b) Schaltgruppe Zd11.75y0.75

$$\ddot{u}_{Y\Delta} = \frac{U_{UV,p1}}{U_{UV,s1}} \cdot \frac{2 \cdot \sin(7,5^\circ)}{\sqrt{3}} \approx \ddot{u} \cdot 0,1507 \quad \text{mit } \ddot{u} = \frac{U_{UV,p1}}{U_{UV,s1}} \quad (4.54)$$

$$\ddot{u}_{\Delta\Delta} = \frac{U_{UV,p1}}{U_{UV,s1}} \cdot (\cos(7,5^\circ) - \sqrt{3} \cdot \sin(7,5^\circ)) \approx \ddot{u} \cdot 0,7654 \quad \text{mit } \ddot{u} = \frac{U_{UV,p1}}{U_{UV,s1}} \quad (4.55)$$

Zwischen den Drehspannungssystemen der primärseitigen ZickZack-Wicklung und der sekundärseitigen Sternwicklung ergibt sich mit den in (4.54) und (4.55) hergeleiteten Übersetzungsverhältnissen eine Phasenverschiebung von $+22,5^\circ$, da das Drehspannungssystem der sekundärseitigen Sternwicklung gegenüber dem der sekundärseitigen Dreieckwicklung um $+30^\circ$ vorausleitet (Abb. 4.29 a)). Damit die Effektivwerte der sekundären Drehspannungssysteme $U_{UV,s1}$ und $U_{UV,s2}$ identisch sind, müssen die Übersetzungsverhältnisse für die sekundärseitige Sternwicklung wie folgt angepasst werden:

$$\ddot{u}_{YY} = \ddot{u}_{Y\Delta} \cdot \sqrt{3} = \frac{N_{pY}}{N_{sY}}; \quad \ddot{u}_{\Delta Y} = \ddot{u}_{\Delta\Delta} \cdot \sqrt{3} = \frac{N_{p\Delta}}{N_{sY}} \quad (4.56)$$

Es kann in gleicher Weise gezeigt werden, dass für den Transformator gemäß Abb. 4.29 b), bei dem die Phasenverschiebungen zwischen dem primären und den sekundären Drehspannungssystemen $+7,5^\circ$ bzw. $-22,5^\circ$ betragen, sämtliche Übersetzungsverhältnisse, welche in (4.54), (4.55) und (4.56) hergeleitet wurden, identisch sind.

Der Zusammenhang zwischen dem primärseitigen Strom der Phase U und den sekundärseitigen Strömen der beiden Transformatoren ist in (4.57) und (4.58) dargestellt.

$$i_{U,p1} = \frac{1}{3} \cdot \left(\begin{aligned} &((\ddot{u}_{\Delta\Delta} + 3 \cdot \ddot{u}_{Y\Delta}) \cdot (i_{U,s1} - i_{V,s1}) - \ddot{u}_{\Delta\Delta} \cdot (i_{W,s1} - i_{U,s1}) + \\ &((\ddot{u}_{\Delta Y} + 3 \cdot \ddot{u}_{YY}) \cdot i_{U,s2} - \ddot{u}_{\Delta Y} \cdot i_{W,s2}) \end{aligned} \right) \quad (4.57)$$

$$i_{U,p2} = \frac{1}{3} \cdot \left(\begin{aligned} &((\ddot{u}_{\Delta\Delta} + 3 \cdot \ddot{u}_{Y\Delta}) \cdot (i_{U,s3} - i_{W,s3}) - \ddot{u}_{\Delta\Delta} \cdot (i_{V,s3} - i_{U,s3}) + \\ &((\ddot{u}_{\Delta Y} + 3 \cdot \ddot{u}_{YY}) \cdot i_{U,s4} - \ddot{u}_{\Delta Y} \cdot i_{V,s4}) \end{aligned} \right) \quad (4.58)$$

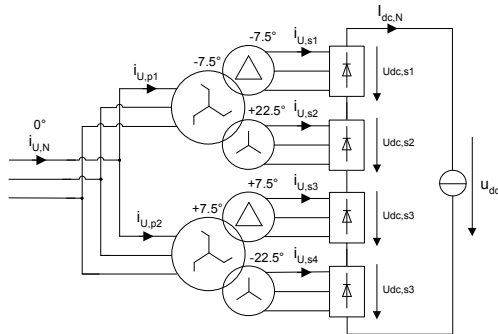


Abb. 4.30: Vereinfachtes Modell der 24-puls Einspeisung ohne Zwischenkreiskondensator

Die nun folgenden Zeitverläufe der Ströme und Spannungen im Transformator wurden an dem in Abb. 4.30 dargestellten Modell der Einspeisung hergeleitet, bei dem einerseits die primärseitigen und sekundärseitigen Spannungen gleich groß sind ($\ddot{u} = 1$) und andererseits ein konstanter Zwischenkreisstrom $I_{dc,N} = \text{const.}$ angenommen wird. Des Weiteren werden die B6-Brücken als ideal angenommen, d.h. dass alle Halbleiter verlustfrei betrieben werden.

In Abb. 4.31 sind die sekundärseitigen Spannungen $u_{UV,s1/2/3/4}$, die Zwischenkreisspannungen $u_{dc,s1/2/3/4}$ und u_{dc} sowie die Amplitudenspektren der Zwischenkreisspannungen dargestellt. In Abb. 4.31 a) erkennt man, dass die sekundärseitigen Spannungen $u_{UV,s1/2/3/4}$ um 15° zueinander phasenverschoben sind. Dies führt nach der Gleichrichtung auf die in Abb. 4.31 b) dargestellten Ausgangsspannungen $u_{dc,s1/2/3/4}$ der B6-Brücken im Zwischenkreis. Im Amplitudenspektrum dieser Spannungen Abb. 4.31 c)) sind neben dem Gleichanteil nur Oberschwingungen der 6-fachen Netzfrequenz f_{Netz} enthalten, wobei die Amplituden folgende Werte annehmen:

$$\hat{U}_{dc,s1,v} = \frac{2}{(v^2 - 1)} \cdot U_{dc,s1,i} \quad \text{für } v = (6 \cdot n); n = 1, 2, 3, \dots \quad \text{mit } U_{dc,s1,i} = \frac{3}{\pi} \cdot \hat{U}_{UV,s1} \quad (4.59)$$

Aufgrund der Addition der vier B6-Brücken Ausgangsspannungen $u_{dc,s1/2/3/4}$ kommt es zur Eliminierung von Oberschwingungsanteilen, so dass in der Zwischenkreisspannung u_{dc} nur Oberschwingungen der 24-fachen Netzfrequenz enthalten sind (vgl. Abb. 4.31 d)).

$$\hat{U}_{dc,v} = \frac{2}{(v^2 - 1)} \cdot U_{dc,i} \quad \text{für } v = (24 \cdot n); n = 1, 2, 3, \dots \quad \text{mit } U_{dc,i} = \frac{12}{\pi} \cdot \hat{U}_{UV,s1} \quad (4.60)$$

In Abb. 4.32 sind die sekundärseitigen Ströme $i_{U,s1/2/3/4}$, der primärseitige Strom $i_{U,p1}$ und der Netzstrom $i_{U,N}$ sowie deren Amplitudenspektren dargestellt. In Abb. 4.32 a) erkennt man den für B6-Diodenbrücken typischen Verlauf der sekundärseitigen Ströme, wobei diese jeweils eine Phasenverschiebung von 15° zueinander aufweisen. Im Amplitudenspektrum dieser

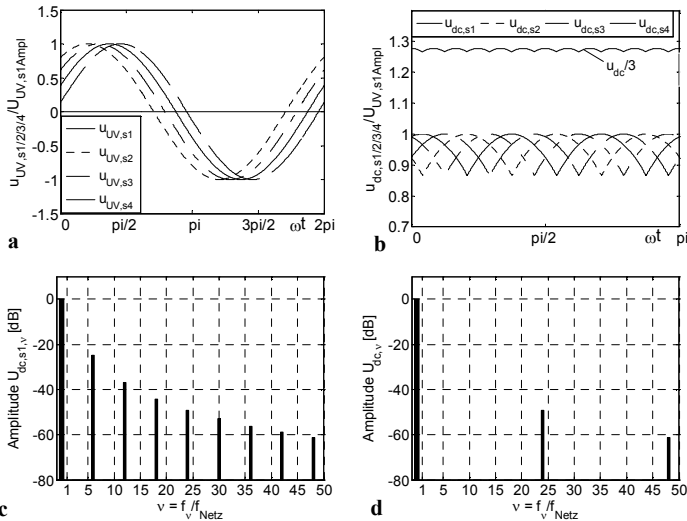


Abb. 4.31: Transformatorspannungen und deren Amplitudenspektren ($\ddot{u} = 1$)

a) sekundärseitige Spannungen $u_{UV,s1/2/3/4}$; c) Amplitudenspektrum $u_{dc,s1/2/3/4}$ (0dB = $U_{dc,s1,i}$)
 b) Zwischenkreisspannungen $u_{dc,s1/2/3/4}$ und u_{dc} d) Amplitudenspektrum u_{dc} (0dB = $U_{dc,i}$)

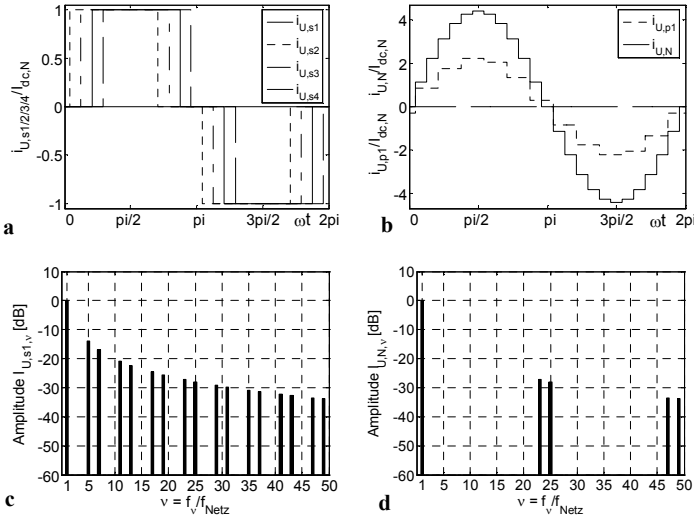


Abb. 4.32: Transformatorströme und deren Amplitudenspektren ($I_{dc,N} = \text{const.}$; $\hat{u} = 1$)

- a) sekundärseitige Ströme $i_{U,s1/2/3/4}$ der Phase U; c) Amplitudenspektrum $i_{U,s1/2/3/4}$ (0dB = $\hat{I}_{U,s1,1}$)
 b) primärseitige Ströme $i_{U,p1}$ und $i_{U,N}$ der Phase U; d) Amplitudenspektrum $i_{U,N}$ (0dB = $\hat{I}_{U,N,1}$)

Ströme treten Oberschwingungen mit den Ordnungszahlen $v = (6 \cdot n \pm 1) = f_v/f_{\text{Netz}}$ auf. Die Amplituden besitzen dabei folgende Werte (vgl. Abb. 4.32 c):

$$\hat{I}_{U,s1,v} = \frac{1}{v} \cdot \hat{I}_{U,s1,1} \quad \text{für } v = (6 \cdot n \pm 1); n = 1, 2, 3, \dots \quad \text{mit } \hat{I}_{U,s1,1} = \frac{2}{\pi} \cdot \sqrt{3} \cdot I_{dc,L}; I_{dc,L} = \text{const.} \quad (4.61)$$

Es kann gezeigt werden, dass durch die in den Transformatoren realisierte Addition der zueinander phasenverschobenen sekundärseitigen Ströme bestimmte Oberschwingungsanteile eliminiert werden, so dass im netzseitigen Strom $i_{U,N}$ nur noch folgende Oberschwingungen enthalten sind (vgl. Abb. 4.32 d):

$$\hat{I}_{U,N,v} = \frac{1}{v} \cdot \hat{I}_{U,N,1} \quad \text{für } v = (24 \cdot n \pm 1); n = 1, 2, 3, \dots \quad \text{mit } \hat{I}_{U,N,1} = \frac{8}{\pi} \cdot \sqrt{3} \cdot I_{dc,L}; I_{dc,L} = \text{const.} \quad (4.62)$$

4.3.4.2 Zwischenkreiseinspeisung mit erweitertem Transformatormodell

Um in dieser Arbeit eine für den Mittelspannungsbereich hinreichend genaue Auslegung zu erreichen, wird in diesem Kapitel ein erweitertes Transformatormodell gemäß Abb. 4.28 verwendet. Dabei werden für die im vorigen Kapitel gezeigten idealen Transformatoren sämtliche Wicklungswiderstände sowie die Streu-, als auch Magnetisierungsinduktivitäten mit berücksichtigt. Für die Berechnung der passiven Komponenten wird ein einphasiges elektrisches Ersatzschaltbild der Phase U eines 12-puls Transformators gemäß Abb. 4.33 betrachtet, bei dem das Übersetzungsverhältnis \hat{u} (vgl. (4.54)) das Verhältnis zwischen der primärseitigen und den sekundärseitigen Leerlaufspannungen widerspiegelt ($\hat{u} = U_{U,p1}/U_{U,s1/2} = U_{UV,p1}/U_{UV,s1/2}$ bei $i_{U,s1} = i_{U,s2} = 0$). Des Weiteren werden in diesem Ersatzschaltbild die Eisenverluste vernachlässigt.

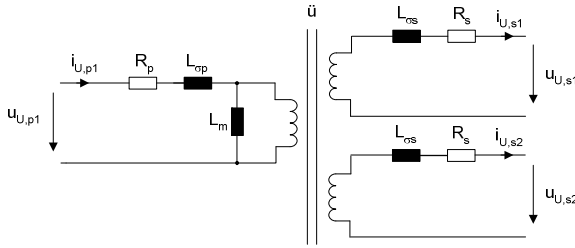


Abb. 4.33: Elektrisches einphasiges Ersatzschaltbild eines 12-puls Transformators

Tabelle 4-9 Kenndaten eines 12-puls Transformators für den Mittelspannungsbereich

Relative Kurzschlussspannung $u_{k,p1/s1/2,rel}$ (primär ↔ sekundär)	8 %
Relative Kurzschlussspannung $u_{k,s1/s2,rel}$ (sekundär ↔ sekundär)	14 %
Relativer Magnetisierungsstrom $I_0/I_{U,p1,n}$	0,5 %
Verhältnis $X/R = 2 \cdot \pi \cdot f_{Netz} \cdot L/R$	20

Mit den Transformator Kenndaten, welche für Transformatoren im Mittelspannungsbereich gelten und in Tabelle 4-9 dargestellt sind, können sämtliche ohmschen Widerstände und Induktivitäten des einphasigen Ersatzschaltbildes gemäß Abb. 4.33 berechnet werden. In einem ersten Schritt wird dafür die Transformatornennimpedanz $Z_{n,T}$ bestimmt, welche sich über den primärseitige Nennstrom $I_{U,p1,n}$, die Nennscheinleistung $S_{n,T}$ und die Nenneingangsphasenspannung $U_{U,p1,n}$ des Transformators wie folgt berechnen lässt:

$$Z_{n,T} = \frac{U_{UV,p1n}^2}{S_{n,T}} = \frac{U_{U,p1,n}}{I_{U,p1,n}} \quad (4.63)$$

Eine andere wichtige Kenngröße eines Transformators ist die so genannte Kurzschlussspannung $U_{k,p1/s1/2} = u_{k,p1/s1/2,rel} \cdot U_{U,p1,n}$, die primärseitig angelegt werden muss ($U_{U,p1} = U_{k,p1/s1/2}$), um bei einer kurzgeschlossenen Sekundärwicklung den Nennstrom $I_{U,p1,n}$ zu erreichen. Über diesen Zusammenhang kann eine Kurzschlussimpedanz Z_k definiert werden:

$$Z_k = \frac{U_{U,p1,n} \cdot u_{k,p1/s1/2,rel}}{I_{U,p1,n}} = \sqrt{(\omega_{Netz} \cdot L_k)^2 + R_k^2} \quad (4.64)$$

Mit dem Verhältnis X/R in Tabelle 4-9 kann die Kurzschlussimpedanz auch wie folgt dargestellt werden:

$$Z_k = \frac{U_{U,p1,n} \cdot u_{k,p1/s1/2,rel}}{I_{U,p1,n}} = \sqrt{(\omega_{Netz} \cdot L_k)^2 + \left(\frac{\omega_{Netz} \cdot L_k}{X/R}\right)^2} = \sqrt{(\omega_{Netz} \cdot L_k)^2 \cdot \left(1 + \left(\frac{R}{X}\right)^2\right)} \quad (4.65)$$

Die Kurzschlussinduktivität L_K und der Kurzschlusswiderstand R_K können unter Verwendung von (4.65) wie folgt bestimmt werden:

$$L_K = \frac{Z_k}{\sqrt{1 + \left(\frac{R}{X}\right)^2}} \cdot \omega_{Netz} \Rightarrow R_K = \frac{\omega_{Netz} \cdot L_K}{\left(\frac{X}{R}\right)} \quad (4.66)$$

Über die beiden in Tabelle 4-9 dargestellten bezogenen Kurzschlussspannungen $u_{k,s1/s2,rel}$ und $u_{k,p1/s1/2,rel}$ kann ein Verhältnis zwischen den primärseitigen und den auf die Primärseite bezogenen sekundärseitigen Induktivitäten bzw. Widerständen hergeleitet werden. Es gilt:

$$\frac{L'_{\sigma s}}{L_{\sigma p}} = \frac{R'_s}{R_p} = \kappa = 7 \quad \text{mit } L'_{\sigma s} = \hat{u}^2 \cdot L_{\sigma s} \text{ und } R'_s = \hat{u}^2 \cdot R_s \quad (4.67)$$

Mit (4.66) und (4.67) folgt für die primärseitige Streuinduktivität $L_{\sigma p}$ und den primärseitigen Wicklungswiderstand R_p :

$$L_{\sigma p} = \frac{L_K}{(1 + \kappa)}; \quad R_p = \frac{R_K}{(1 + \kappa)} \quad (4.68)$$

Entsprechend können die sekundärseitige Streuinduktivität $L_{\sigma s}$ und der sekundärseitige Wicklungswiderstand R_s wie folgt berechnet werden:

$$L_{\sigma s} = L_{\sigma p} \cdot \kappa \cdot \frac{1}{\hat{u}^2}; \quad R_s = R_p \cdot \kappa \cdot \frac{1}{\hat{u}^2} \quad (4.69)$$

Mit dem in Tabelle 4-9 angegebenen bezogenen Magnetisierungsstrom $I_0/I_{U,p1,n}$ lässt sich bei Verwendung des Ersatzschaltbildes gemäß Abb. 4.33 die Magnetisierungsinduktivität L_m herleiten:

$$L_m = \sqrt{\frac{\left(Z_n \cdot \frac{I_{U,p1,n}}{I_0} \right)^2 - R_p^2}{\omega_{Netz}^2}} - L_{\sigma p} \quad (4.70)$$

Durch die Modellierung der realen 12-puls Transformatoren kommt es aufgrund der Kommutierungsvorgänge in den B6-Brücken sowohl zu einem induktiven (dx) als auch zu einem ohmschen (dr) Spannungsabfall, welche bei der Bemessung des Übersetzungsverhältnisses \hat{u} zum Erreichen einer geforderten Zwischenkreisspannung U_{dc} berücksichtigt werden müssen. Bei der hier betrachteten 24-pulsigen Einspeisung können folgende Abschätzungen für die genannten Spannungsabfälle benutzt werden:

$$dr = 4 \cdot 2 \cdot I_{dc,N} \cdot (R'_p + R_s + r_{on,D}) \quad \text{mit} \quad R'_p = \frac{1}{\hat{u}^2} \cdot R_p \quad (4.71)$$

$$dx = 24 \cdot f_{Netz} \cdot I_{dc,N} \cdot (L'_{\sigma p} + L_{\sigma s}) \quad \text{mit} \quad L'_{\sigma p} = \frac{1}{\hat{u}^2} \cdot L_{\sigma p} \quad (4.72)$$

Der Widerstand $r_{0,D}$ in (4.71) beschreibt dabei den differentiellen Widerstand der Dioden der B6-Brücken.

Der resultierende Mittelwert der entsprechenden Zwischenkreisspannung U_{dc} kann wie folgt berechnet werden:

$$U_{dc} = U_{dc,i} - dr - dx \quad (4.73)$$

4.3.5 Simulation des Gesamtsystems

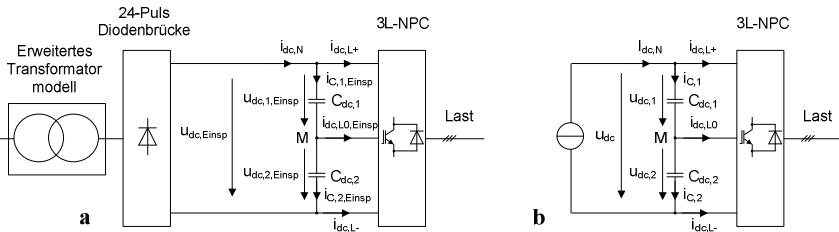


Abb. 4.34: Konfiguration der Einspeisung mit erweitertem Transformatormodell (a) sowie vereinfachtes Modell der Zwischenkreiseinspeisung (b) mit $i_{dc,N} = I_{dc,N} = I_{dc,L+} = I_{dc,L-} = \text{konstant}$

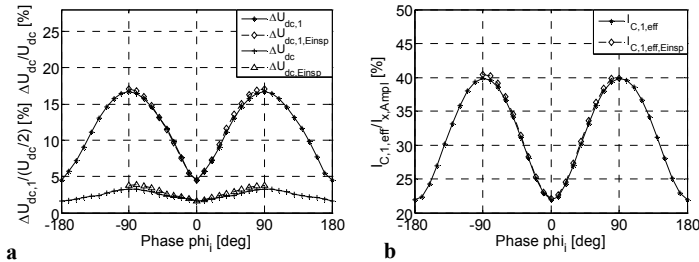


Abb. 4.35: Vergleich 3L-NPC mit idealer und realer Zwischenkreiseinspeisung ($C_{dc,1} = C_{dc,2} = 2 \cdot C_0$; $m_f = 15$; $m_a = 1,15$; PD-Modulation; $S_{a,T} = \sqrt{3} \cdot U_{UV,1} \cdot I_{c,1,04}$)
 a) Spannungswelligkeit ΔU_{dc} , $\Delta U_{dc,1}$ und $\Delta U_{dc,Einsp}$, $\Delta U_{dc,1,Einsp}$ im Zwischenkreis
 b) Kondensatorstrombelastung $i_{C,1,eff}$ und $i_{C,1,eff,Einsp}$

Die Simulation des Gesamtsystems (vgl. Abb. 4.34 a)) wurde mit dem Simulationsprogramm MATLAB/Simulink durchgeführt, wobei die im vorhergehenden Kapitel modellierten Transformatoren mit den Kenndaten aus Tabelle 4-9 verwendet wurden. Des Weiteren wurden sämtliche Halbleiter der untersuchten Stromrichtertopologien als ideale Schalter modelliert. Die Vorgehensweise zur Bestimmung der Größe der Zwischenkreiskapazität, welche benötigt wird, um im Betriebspunkt mit $m_a = 1,15$, $\cos(\varphi_i) = 0,9$ und einer Frequenz der Ausgangsspannung von $f_1 = 50$ Hz eine maximale bezogene Spannungswelligkeit $\Delta U_{dc,1}/U_{dc,1}$ von 5% zu erhalten, wird beispielhaft anhand der 3L-NPC Topologie dargestellt. Der genannte Betriebspunkt ist typisch für Antriebsysteme wie z.B. Lüfter und Kompressoren. In Abb. 4.35 a) sind die auf U_{dc} bzw. $U_{dc}/2$ bezogenen Spannungswelligkeiten $\Delta U_{dc,1}$, ΔU_{dc} , $\Delta U_{dc,1,Einsp}$ und $\Delta U_{dc,Einsp}$ als Funktion des Phasenwinkels φ_i dargestellt, wobei ein Modulationsgrad $m_a = 1,15$ und ein Frequenzverhältnis $m_f = 15$ gewählt wurde. Die Spannungswelligkeiten $\Delta U_{dc,1}$ und ΔU_{dc} sind gemäß Kapitel 4.3.2 (vgl. Abb. 4.13 c),e)) evaluiert worden, wobei angenommen wurde, dass der Gleichanteil im netzseitigen Zwischenkreisstrom $i_{dc,N}$ von einer fiktiven Einspeisung zur Verfügung gestellt wird (vgl. Abb. 4.34 b)). D.h., dass zur Berechnung der Spannungswelligkeit $\Delta U_{dc,1}$ und ΔU_{dc} nur der Verzerrungsanteil im lastseitigen Zwischenkreisstrom herangezogen wurde. Zum Vergleich sind in Abb. 4.35 a) die Spannungswelligkeiten $\Delta U_{dc,1,Einsp}$ und $\Delta U_{dc,Einsp}$, welche mittels einer Simulation des Gesamtsystems inklusive der Zwischenkreiseinspeisung (vgl. Abb. 4.34 a)) mit erweitertem Transformatormodell (vgl. Kapitel 4.3.4.2) bestimmt wurden, dargestellt. Die

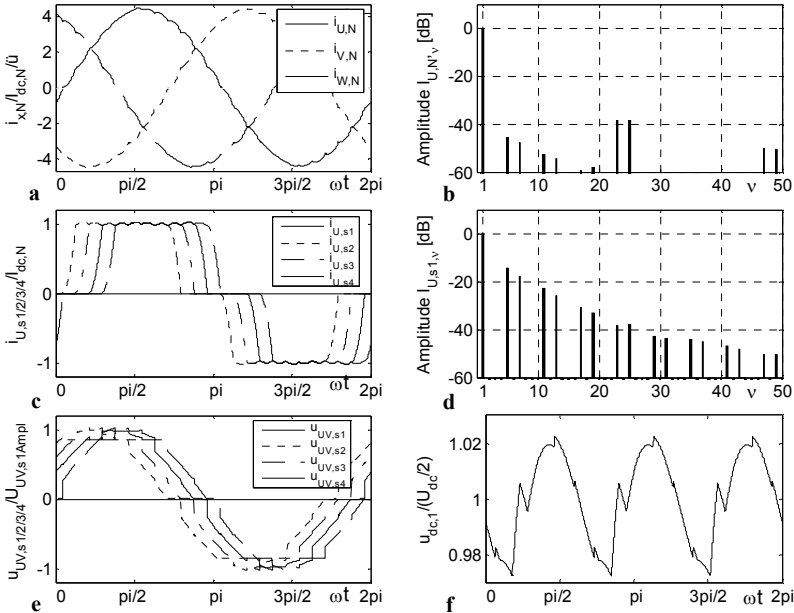


Abb. 4.36: 3L-NPC Umrichter ($C_{dc,1} = C_{dc,2} = 1,78 \cdot 2 \cdot C_n$; $m_f = 15$; $m_a = 1,15$; PD-Modulation;

$$S_{n,T} = \sqrt{3} \cdot U_{UV,1} \cdot I_{x,N} \cdot 1,04; \cos(\varphi_i) = 0,9; v = f_w/f_{Netz}$$

a) Netzströme $i_{x,N}$ b) Amplitudenspektrum $i_{x,N}$ (0dB = $\hat{I}_{x,N,1}$)

c) Ströme $i_{U,s1/2/3/4}$ der Phase U d) Amplitudenspektrum $i_{U,s1/2/3/4}$ (0dB = $\hat{I}_{U,s1,1}$)

e) Spannungen $u_{UV,s1/2/3/4}$ f) Spannungen $u_{dc,1}$

letztenannten Spannungswelligkeiten werden dabei nur im Bereich $-90 < \varphi_i < 90^\circ$ simuliert, da außerhalb dieses Bereiches der ausgangseitige Wechselrichter als aktiver Gleichrichter arbeitet (bei $\hat{I}_x = \text{const.}$) und es somit bei einer passiven Zwischenkreiseinspeisung zu einem kontinuierlichen Anstieg der Zwischenkreisspannung kommen würde. Entsprechend den Spannungswelligkeiten sind in Abb. 4.35 b) die Kondensatorstromeffektivwerte $I_{C,1,eff}$ und $I_{C,1,eff,Einsp}$, welche sich bei den in Abb. 4.34 unterschiedlichen Zwischenkreiseinspeisungen ergeben, dargestellt. Man erkennt, dass beim 3L-NPC Umrichter in dem dargestellten Betriebspunkt bei PD-Modulation die Unterschiede zwischen der idealen und der realen Zwischenkreiseinspeisung bezüglich der Spannungswelligkeiten sowie den Kondensatorstromeffektivwerten marginal sind. Bei der 3L-NPC und den SMC Topologien mit 2 Stacks werden zur Bestimmung der Zwischenkreiskapazität eine maximale bezogene Spannungswelligkeit der Kondensatorspannung $\Delta U_{dc,1}/U_{dc,1}$ von 5% festgelegt.

In Abb. 4.36 sind sowohl die netzseitigen Strom- und Spannungsverläufe, als auch die Zwischenkreisspannung $u_{dc,1}$ des Gesamtsystems dargestellt, welche sich in dem betrachteten Betriebspunkt ($m_a = 1,15$; $m_f = 15$; $\cos(\varphi_i) = 0,9$) beim 3L-NPC Umrichter ergeben. Damit in diesem Betriebspunkt die bezogene Kondensatorspannung $\Delta U_{dc,1}/U_{dc,1}$ eine Welligkeit von 5% aufweist, muss der Zwischenkreiskondensator eine Kapazität von $C_{dc,1} = 2 \cdot 1,78 \cdot C_n$ besitzen (vgl. (4.51)). In Abb. 4.36 b), in der das Amplitudenspektrum des Netzstromes $I_{U,N}$ dargestellt ist, erkennt man, dass die dominanten Oberschwingungen um $v = f_w/f_{Netz} = 24$ ($v = 23,25$) auftreten, was mit den idealen Betrachtungen übereinstimmt (vgl. (4.29)). Des

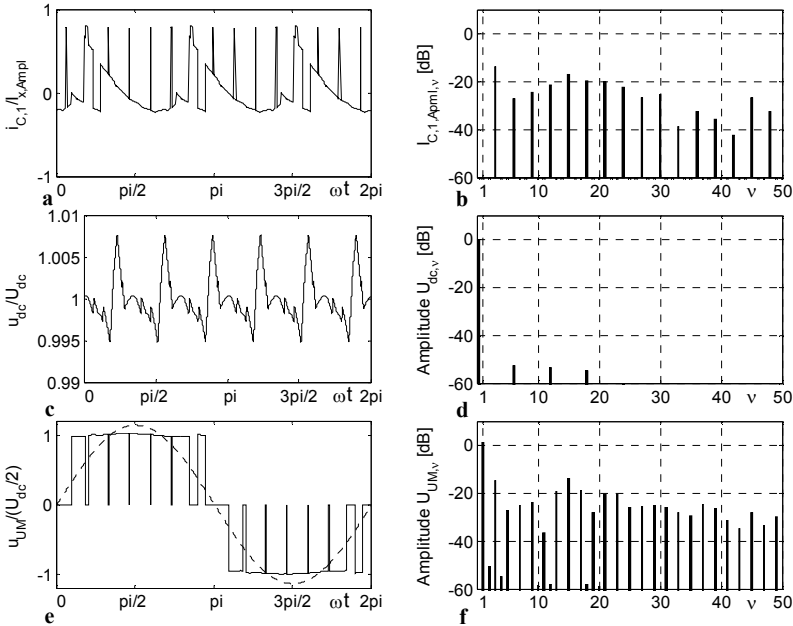


Abb. 4.37: 3L-NPC Umrichter ($C_{dc,1} = C_{dc,2} = 1,78 \cdot 2 \cdot C_n$; $m_f = 15$; $m_a = 1,15$; PD-Modulation; $S_{n,T} = \sqrt{3} \cdot U_{UV,1} \cdot I_{c,1} \cdot 1,04 \cdot \cos(\varphi_i) = 0,9$; $v = f_v/f_1$)
a) Kondensatorstrom $i_{C,1}$ **b)** Amplitudenspektrum $i_{C,1}$ (0dB = \hat{I}_c)
c) Zwischenkreisspannung u_{dc} **d)** Amplitudenspektrum u_{dc} (0dB = U_{dc})
e) Mittelpunktspannung u_{UM} **f)** Amplitudenspektrum u_{UM} (0dB = $U_{dc}/2$)

Weiteren sind um $v = 6$ Oberschwingungen lokalisiert, wobei deren Amplituden im Vergleich mit denen um $v = 24$ sehr gering sind. Im Amplitudenspektrum des sekundärseitigen Stromes $I_{U,s1}$ in Abb. 4.36 d) treten die dominanten Oberschwingungen erwartungsgemäß um $v = f_v/f_{\text{Netz}} = 6$ auf. Im Zeitverlauf der sekundärseitigen verketteten Spannungen $u_{UV,s1/2/3/4}$ (Abb. 4.36 e)) sind die Spannungseinbrüche, welche während der Kommutierungsvorgänge in den B6-Brücken auftreten, eindeutig zu beobachten. Mit einer Kapazität des Zwischenkreiskondensators $C_{dc,1}$ von $2 \cdot 1,78 \cdot C_n$ beträgt die Welligkeit der Zwischenkreisspannung 5%, was in Abb. 4.36 f) zu sehen ist.

In Abb. 4.37 sind die Zeitverläufe sowie die Amplitudenspektren des Kondensatorstromes $i_{C,1}$, der Zwischenkreisspannung u_{dc} und der Mittelpunktspannung u_{UM} dargestellt ($m_a = 1,15$; $m_f = 15$; $\cos(\varphi_i) = 0,9$). Im Amplitudenspektrum des Kondensatorstromes $I_{C,1}$ (Abb. 4.37 b)) erkennt man, dass nur Oberschwingungen der 3-fachen Grundfrequenz f_1 ($v = f_v/f_1 = 3 \cdot n$) der Umrichterspannung enthalten sind, wobei die 3. und die um die Trägerfrequenz f_c auftretenden Oberschwingungen dominant sind. In (Abb. 4.37 d)), in der das Amplitudenspektrum der Zwischenkreisspannung U_{dc} dargestellt ist, erkennt man, dass im Gegensatz zur idealen Betrachtung (vgl. Abb. 4.31) Oberschwingungen um die 6-fache Grundfrequenz auftreten, doch sind diese im Vergleich zum Gleichanteil sehr gering. Durch die geringe Welligkeit der Zwischenkreisspannung ΔU_{dc} ist deren Einfluss auf die ausgangsseitige Mittelpunktspannung u_{UM} im Amplitudenspektrum in Abb. 4.37 f) kaum zu erkennen. Vergleicht man die WTHDn der Mittelpunktspannung u_{UM} und der verketteten

Spannung u_{UV} , welche durch die Simulation des Gesamtsystems bestimmt wurden, mit denen welche sich mit einer konstanten Zwischenkreisspannung ergeben (vgl. Abb. 3.7), so sind die Unterschiede marginal.

Für den im Kapitel 5 gezeigten Stromrichtervergleich werden für die dort untersuchten Frequenzverhältnisse m_f auf Basis der voran gegangenen Untersuchungen (Simulation des Gesamtsystems) Kapazitätswerte für die Zwischenkreiskondensatoren ermittelt, wobei eine Welligkeit der bezogenen Zwischenkreisspannung $\Delta U_{dc,1}/U_{dc,1}$ von 5% zugelassen wird. Des Weiteren wird nur der Betriebspunkt mit $m_a = 1,11$; $\cos(\varphi_i) = 0,9$ und einer Frequenz der Ausgangsspannung $f_1 = 50$ Hz betrachtet, da dieser für Antriebssysteme mit einer quadratischen Lastkennlinie charakteristisch ist.

4.4 Auslegung der Flying Capacitors

Die Auslegung der Flying Capacitors in den FLC und SMC Topologien (2 Stacks) ist für den hier gezeigten Vergleich der verschiedenen Umrichtertopologien bezüglich der gespeicherten Energie von großer Bedeutung. Allgemein wird die Kapazität der Flying Capacitors bezüglich einer maximal erlaubten Spannungswelligkeit $\Delta U_{C,FLC}$ ausgelegt, da diese einerseits die Spannung über den Halbleitern bestimmt und andererseits das harmonische Spektrum der Mittelpunktspannung u_{xM} bezüglich des normierten WTHD negativ beeinflusst. Des Weiteren ist die Strombelastung für die Auslegung der Flying Capacitors aufgrund der begrenzten Stromtragfähigkeit von Kondensatoren von großem Interesse.

Wie in den Abschnitten 3.2 und 3.3 gezeigt, fließt während bestimmter Schaltzustände der FLC und SMC Umrichter der Phasenstrom i_x über die Flying Capacitors. Dadurch resultiert eine Abweichung der betreffenden Kondensatorspannung von Ihrem nominalen Wert (vgl. (3.48), (3.52)). Die Beanspruchung des Flying Capacitors $C_{Fip,x}$ wird dabei durch den zeitlichen Verlauf der Schaltzustände $s_{z(i-1),x}$ und $s_{z i,x}$ der Schalter $S_{(i-1)x}$ und S_{ix} ($i = 2, \dots, p$) benachbarter FLC-Zellen sowie durch den Verlauf des Phasenstromes i_x bestimmt. Damit die Kondensatorspannungen nach einer (oder mehreren) Trägersignalperiode(n) wieder Ihre nominalen Werte erreichen, müssen die Ströme durch die Flying Capacitors in dem betrachteten Intervall im Mittel null betragen. Es muss gelten:

$$I_{C_{i,x}} = \frac{1}{T_x} \int_0^{T_x} i_{C_{i,x}} dt = \frac{1}{T_x} \int_0^{T_x} i_x \cdot \frac{1}{2} \cdot (s_{z(i-1),x} - s_{z i,x}) dt = 0 \quad s_{z p,x} \in \{-1; 1\} \quad i = 2, 3, \dots, p \quad (4.74)$$

(4.74) ist erfüllt, wenn die Tastverhältnisse der Schalter der benachbarten FLC-Zellen über dem betrachteten Intervall T_x im Mittel null sind.

In [22], [54], [19] und [23] wird gezeigt, dass es bei dem in dieser Arbeit vorgestellten APOD-Modulationsverfahren (versetzte Trägersignale) im stationären Betrieb der FLC Umrichter zu einer Balancierung der Spannungen über den Flying Capacitors nach einer Periode des Referenzsignals kommt, wenn die Trägersignale für die Modulation der Schaltsignale der p FLC-Zellen eine Phasenverschiebung von $\varphi_T = 360^\circ/p$ zueinander aufweisen. Dies ist auch der Fall, wenn als Last eine sinusförmige Stromquelle verwendet wird. Bei den SMC Topologien hingegen kommt es bei Verwendung der APOD-Modulation nicht in allen Betriebspunkten zu einer Balancierung der Spannungen über den Flying Capacitors, wenn eine sinusförmige Stromquelle als Last verwendet wird. Dies trifft auch für die FLC und SMC Topologien bei Verwendung der in [52] vorgestellten PD-Modulation zu. Eine Balancierung der Kondensatorspannungen kann aber auch beim APOD- (SMC Topologien) und beim PD-Modulationsverfahren mittels

- der natürlichen Balancierung [24], [47] oder
- einer aktiven Regelung der Kondensatorspannungen [25]

erfolgen. Eine natürliche Balancierung der Kondensatorspannungen ist eine charakteristische Eigenschaft der FLC und SMC Topologien und ist immer dann gegeben, wenn eine passive Last einen ohmschen Anteil enthält und die Trägersignale für die Modulation der Schaltsignale in den einzelnen FLC-Zellen Phasenverschiebung von $\varphi_T = 360^\circ/p$ zueinander aufweisen. Der Mechanismus der natürlichen Balancierung kann wie folgt erklärt werden: Bei einer unsymmetrischen Spannungsaufteilung über den Flying Capacitors treten in der Mittelpunktspannung Frequenzanteile auf, welche einen Strom in der Last hervorrufen, der die Kondensatorströme derart beeinflusst, dass die Spannungsaufteilung in den symmetrischen Zustand zurückkehrt. Im Regelfall ist bei Antriebssystemen durch das Vorhandensein eines Wirkleistungsanteils in der Last die natürliche Balancierung der Kondensatorspannungen gegeben, welche auch im nicht stationären Betrieb des Umrichters (z.B. durch Variation des Laststromes I_x oder der Zwischenkreisspannung U_{dc}) zur Wirkung kommt. Die Zeitkonstante dieser natürlichen Balancierung hängt aber stark sowohl vom Betriebspunkt des Umrichters (m_a ; $m_f \cos(\varphi_i)$) als auch von der Art der Last ab. Es besteht zwar die Möglichkeit durch das Hinzufügen eines so genannten Balancing-Boosters die Zeitkonstante wesentlich zu verkürzen [19], doch erfordert dies einen je nach Umrichtertopologie unterschiedlichen Mehraufwand an passiven Bauelementen, was eine Vergleichbarkeit der untersuchten Topologien und Modulationsarten bezüglich der Flying Capacitor Auslegung erschwert. Des Weiteren ist die natürliche Balancierung bei relativ zur Ausgangsfrequenz bezogenen kleinen Schaltfrequenzen nicht wirksam [47].

Eine weitere, einfache Möglichkeit der Balancierung der Kondensatorspannungen ist in [53] dargestellt, bei der das hier verwendete PD-Modulationsverfahren leicht modifiziert wird, so dass im stationären Betrieb eine Balancierung der Kondensatorspannungen auch bei einer rein sinusförmigen Stromquelle als Last sichergestellt ist. Das modifizierte PD-Modulationsverfahren (ModPD) basiert auf einem zyklischen Vertauschen der bei der PD-Modulation verwendeten Trägersignale nach jeweils einer Periode des Referenzsignals u_{ref} , wobei eine Balancierung der Kondensatorspannungen nach p -Perioden des Referenzsignals erfolgt. Diese Modifikation kann auch bei Verwendung des APOD-Modulationsverfahrens bei den SMC Topologien für die Balancierung der Kondensatorspannungen im stationären Betrieb herangezogen werden und wird in dieser Arbeit als ModAPOD bezeichnet. Bei beiden modifizierten Modulationsverfahren besitzt die Vertauschung der Trägersignale keinen Einfluss auf die Verläufe der idealen Mittelpunktspannungen u_{xM} (bei konstanten Flying Capacitor Spannungen), so dass diese mit denen identisch sind, welche bei Verwendung der herkömmlichen PD- bzw. APOD-Modulation resultieren (vgl. Kapitel 3).

In dieser Arbeit werden neben der APOD- und der PD-Modulation die genannten ModAPOD- und ModPD-Modulationsverfahren für die Dimensionierung der Flying Capacitors verwendet, da diese in allen Betriebspunkten des Umrichters (z.B. nicht ganzzahlige Frequenzverhältnisse m_f) eine Balancierung der Kondensatorspannungen ohne einen zusätzlichen Aufwand an passiven Bauelementen (z.B. Balancing-Booster; R/L-Last [24]) sicherstellen. Des Weiteren erfordern die modifizierten Modulationsverfahren keine komplexe Regelungsstruktur (vgl. [25]) zur Balancierung der Kondensatorspannungen.

In den nun folgenden Untersuchungen wird eine konstante Zwischenkreisspannung U_{dc} und eine sinusförmige Stromquelle als Last angenommen (vgl. (4.4)), wobei nur der stationäre Betrieb der Umrichter betrachtet wird. Des Weiteren werden alle Schalter als ideal betrachtet.

4.4.1 Strombelastung der Flying Capacitors

In einem ersten Schritt wird ein analytisches Berechnungsverfahren für die Extraktion der Kondensatorstromeffektivwerte am Beispiel der 3L-FLC Topologie gezeigt (vgl. Abb. 3.9). Der Kondensatorstromeffektivwert ist von Art der Modulation, von der Phasenverschiebung φ_i und vom Modulationsgrad m_a abhängig und kann allgemein wie folgt berechnet werden:

$$I_{C_{i,x,eff}} = \sqrt{\frac{1}{T_1} \int_0^{T_1} i_{ci,x}^2 dt} \quad i = 2, \dots, p \quad (4.75)$$

Bei der folgenden Berechnung des Kondensatorstromeffektivwertes handelt es sich, wie bei der analytischen Berechnung der Leitverluste der Halbleiter (vgl. (4.11)-(4.13)), um eine Mittelwertbetrachtung bei der angenommen wird, dass die Trägersignalfrequenz f_C wesentlich größer ist als die Frequenz f_1 des sinusförmigen Phasenstromes bzw. des Referenzsignals ($m_f > 39$). Damit können kurzzeitig konstante Mittelwerte für den sinusförmigen Phasenstromes i_x und das Referenzsignal u_{refx} innerhalb einer Trägersignalperiode T_C angenommen werden. Für kleinere Frequenzverhältnisse $m_f < 21$ kann diese Berechnung, wie folgend gezeigt wird, als eine gute Abschätzung angesehen werden (vgl. Abb. 4.39).

Das Integral in (4.75) lässt sich mit den genannten Voraussetzungen in folgendes Integral überführen:

$$I_{C_{i,x,eff}} = \sqrt{\frac{1}{T_1} \int_0^{T_1} m_C^*(u_{ref}) \cdot i_x^2 dt} \quad i = 2, 3, \dots, p \quad (4.76)$$

Die stückweise stetige Funktion $m_C^*(u_{ref})$ stellt dabei die auf eine Trägersignalperiode T_C bezogene gemittelte Zeitdauer $t_{on,C,FLC}$ dar, in der der Flying Capacitor vom Phasenstrom i_x durchflossen wird. Diese Modulationsfunktion $m_C^*(u_{ref})$ muss für die verschiedenen Topologien hergeleitet werden.

In Abb. 4.38 a) sind die bezogenen Stromflusszeiten $t_{on,C,FLC}/T_C$ (= Modulationsfunktion $m_C^*(u_{ref})$) sämtlicher Flying Capacitors der 3L- / 4L- und der 5L-FLC Topologie als Funktion des Referenzsignals u_{ref} dargestellt. Es ist zu sehen, dass beim 3L-FLC Umrichter, bei welchem die Trägersignale für die Modulation der Schaltsignale der einzelnen FLC-Zellen um 180° zueinander phasenverschoben sind, durch den Flying Capacitor für die gesamte Dauer einer Trägersignalperiode der Laststrom fließt, wenn das Referenzsignal null beträgt. Für die Flying Capacitors eines 4L-FLC Umrichters ergibt sich hingegen eine maximale bezogene Stromflussdauer von $2/3$, wenn sich das Referenzsignal zwischen den Werten

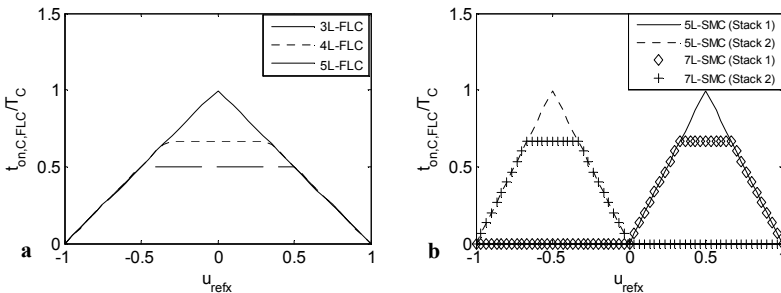


Abb. 4.38: Mittlere relative Stromflusszeiten $t_{on,C,FLC}/T_C$ der Flying Capacitors als Funktion von u_{ref}
a) 3L-/4L-/5L-FLC Umrichter; b) 5L-/7L-SMC Umrichter (APOD- und ModPD-Modulation)

$-1/3 < u_{\text{refx}} < 1/3$ befindet. Es ist ersichtlich, dass mit Erhöhung der Anzahl der Levels N in einer FLC Topologie die maximale bezogene Zeit $t_{\text{on,C,FLC,max}}/T_C$ kleiner wird, was auch beim 5L-FLC Umrichter zu sehen ist, bei dem die maximale bezogene Zeit $t_{\text{on,C,FLC,max}}/T_C = 0,5$ beträgt ($-1/2 < u_{\text{refx}} < 1/2$). Allgemein kann gezeigt werden, dass folgender Zusammenhang zwischen der maximalen bezogenen Stromflussdauer $t_{\text{on,C,FLC,max}}/T_C$ und der Anzahl N der Level in der Mittelpunktspannung u_{xM} einer FLC Topologie besteht:

$$m_{C,\text{max}}^* = \frac{t_{\text{on,C,FLC,max}}}{T_C} = \frac{2}{N-1} \quad \text{wenn} \quad -\frac{N-3}{N-1} \leq u_{\text{ref}} \leq \frac{N-3}{N-1} \quad (4.77)$$

In Abb. 4.38 b) erkennt man, dass bei der SMC Topologie mit 2 Stacks bei positiven Werten des Referenzsignals ($u_{\text{refx}} > 0$) nur die Flying Capacitors des oberen Stacks (Stack 1) vom Phasenstrom i_x durchflossen werden. Entsprechend werden bei negativen Werten des Referenzsignals ($u_{\text{refx}} < 0$) die Kondensatoren des unteren Stacks (Stack 2) mit dem Phasenstrom beansprucht. Da die Trägersignalanordnung für die Modulation der Schaltsignale des oberen und des unteren Stacks eines 5L-SMC Umrichters jeweils mit denen identisch sind, welche beim 3L-FLC Umrichter verwendet werden, beträgt die maximale bezogene Stromflussdauer $t_{\text{on,C,FLC,max}}/T_C$ der Flying Capacitors des oberen bzw. unteren Stacks eins (bei $u_{\text{refx}} = 0,5$ bzw. $-0,5$). Entsprechend ergeben sich für die Kondensatoren des Stacks 1 bzw. des Stacks 2 der 7L-SMC Topologie maximale bezogene Stromflusszeiten $t_{\text{on,C,FLC,max}}/T_C$ von $2/3$ (bei $1/3 < u_{\text{refx}} < 2/3$ bzw. $-2/3 < u_{\text{refx}} < -1/3$). Allgemein gilt folgender Zusammenhang zwischen der maximalen bezogenen Stromflussdauer $t_{\text{on,C,FLC,max}}/T_C$, während der die Flying Capacitors des oberen Stacks (Stack 1) vom Phasenstrom i_x durchflossen werden, und der Anzahl N der Level in der Mittelpunktspannung u_{xM} einer SMC Topologie mit 2 Stacks:

$$m_{C,\text{max}}^* = \frac{t_{\text{on,C,FLC,max}}}{T_C} = \frac{4}{N-1} \quad \text{wenn} \quad \frac{2}{N-1} \leq u_{\text{ref}} \leq \frac{N-3}{N-1} \quad (4.78)$$

Entsprechend gilt für die maximale bezogene Stromflussdauer $t_{\text{on,C,FLC,max}}/T_C$ der Flying Capacitors des unteren Stacks:

$$m_{C,\text{max}}^* = \frac{t_{\text{on,C,FLC,max}}}{T_C} = \frac{4}{N-1} \quad \text{wenn} \quad -\frac{N-3}{N-1} \leq u_{\text{ref}} \leq -\frac{2}{N-1} \quad (4.79)$$

Die Modulationsfunktion $m_c^*(t)$ besitzt beispielsweise für den 3L-FLC Umrichter bei beiden Modulationsarten (APOD und ModPD) folgenden Verlauf (vgl. Abb. 4.38 a)):

$$m_c^*(u_{\text{ref}}) = \frac{t_{\text{on,C,FLC}}}{T_C} = \begin{cases} 1 - u_{\text{refx}} & \text{für } 0 \leq u_{\text{refx}} \leq 1 \\ 1 + u_{\text{refx}} & \text{für } -1 \leq u_{\text{refx}} \leq 0 \end{cases} \quad (4.80)$$

Mit dem Referenzsignal gemäß (3.2) ergibt sich beispielsweise mit (4.76) und (4.80) für den Kondensatorstromeffektivwert $I_{C2,x,\text{eff}}$ des Flying Capacitors der 3L-FLC Topologie folgender Zusammenhang, wenn der Laststrom i_x nach (4.4) einen rein sinusförmigen Verlauf besitzt:

$$\frac{I_{C2,x,\text{eff}}}{I_x} = \sqrt{1 - \frac{2}{\pi} \cdot \left(\frac{9}{10} \cdot m_a + \frac{1}{4} \cdot m_a \cdot \cos(2 \cdot \varphi_1) \right)} \quad (4.81)$$

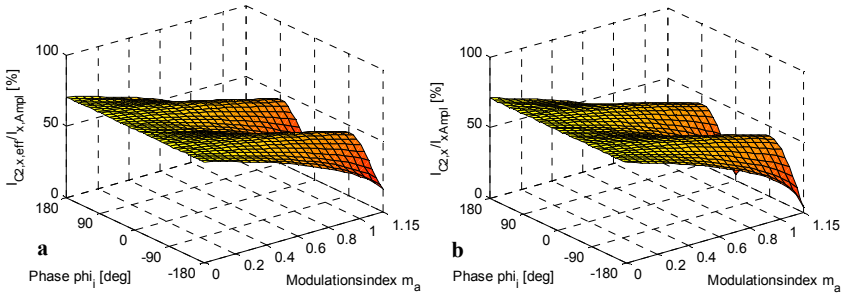


Abb. 4.39: Kondensatorstromeffektivwert $I_{C2,x,eff}$ des Flying Capacitors $C_{FL2,x}$ eines 3L-FLC Umrichters
a) simulierter Verlauf; b) analytischer Verlauf (APOD- und ModPD-Modulation; $m_f = 15$)

In Abb. 4.39 a) und b) ist der Kondensatorstromeffektivwert des Flying Capacitors einer 3L-FLC Topologie gemäß Abb. 3.9 als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i dargestellt. Vergleicht man den simulierten Verlauf des Kondensatorstromeffektivwertes (Abb. 4.39 a) mit dem welcher analytisch mit (4.81) hergeleitet wurde (Abb. 4.39 b)), so erkennt man, dass sich bei einem gewählten Frequenzverhältnis von $m_f = 15$ eine gute Übereinstimmung beider Verläufe ergibt. Eine signifikante Differenz in den Verläufen des Kondensatorstromeffektivwertes ergibt sich nur in den Betriebspunkten $m_a = 1,15$ bei $\varphi_i = 0^\circ, \pm 180^\circ$. Weiterhin ist zu erkennen, dass der maximale Kondensatorstromeffektivwert bei $m_a = 0$ ($\varphi_i = \text{bel.}$) dem Effektivwert des Laststromes I_x entspricht. Dies ist damit zu erklären, dass bei $m_a = 0$ nur zwischen den beiden Schaltzuständen $\{1 -1\}$ und $\{-1 1\}$ (vgl. Tabelle 3-3), in denen die Mittelpunktspannung $u_{xM} = 0$ beträgt, geschaltet wird. Somit fließt in diesem Betriebspunkt ständig der Phasenstrom über den Flying Capacitor.

Die nun folgenden Kondensatorstromeffektivwerte der Flying Capacitors der weiteren untersuchten Stromrichtertopologien werden mittels Simulationen ermittelt.

In Abb. 4.40 sind die Kondensatorstromeffektivwerte des Flying Capacitors $C_{FL2,x}$ der 4L-FLC (a) und der 5L-FLC Topologie (b) dargestellt. Man erkennt, dass der maximale Effektivwert des Kondensatorstromes beim 4L-FLC Umrichter in einem Modulationsgradbereich von $0 < m_a < 0,4$ auftritt. In diesem Bereich befindet sich das Referenzsignal nach (3.2) zwischen $-1/3 < u_{ref} < 1/3$. Somit beträgt die bezogene Stromflussdauer $t_{on,C,FLC}/T_C$ des über den Flying Capacitor fließenden Phasenstromes $2/3$ und

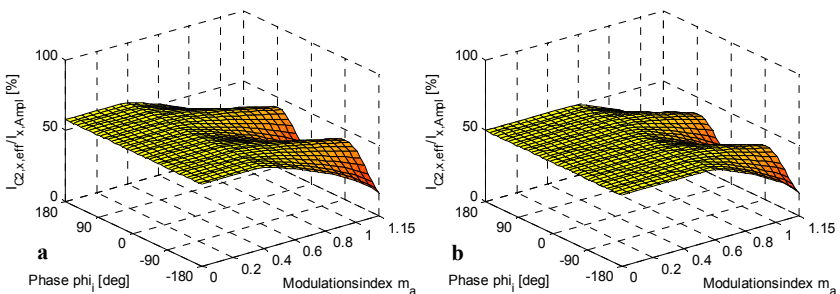


Abb. 4.40: Kondensatorstromeffektivwert $I_{C2,x,eff}$ der Flying Capacitors $C_{FL2,x}$ ($m_f = 15$)
a) 4L-FLC Umrichter; b) 5L-FLC Umrichter (APOD- und ModPD-Modulation)

ist damit maximal (vgl. Abb. 4.38 a)). Beim 5L-FLC Umrichter hingegen ist der maximale Kondensatorstromeffektivwert in einem Modulationsgradbereich $0 < m_a < 0,55$ lokalisiert. Das Referenzsignal befindet sich in diesem Bereich zwischen $-1/2 < u_{ref} < 1/2$, was eine bezogene Stromflussdauer des über den Flying Capacitor fließenden Phasenstromes von $1/2$ zur Folge hat. Es kann gezeigt werden, dass der Verlauf der Kondensatorstromeffektivwerte der weiteren Flying Capacitors bis auf marginale Abweichungen identisch sind.

In Abb. 4.41 sind die Kondensatorstromeffektivwerte $I_{C12,x}$ des Flying Capacitors C_{12x} der 5L-SMC (a) (vgl. Abb. 3.26) und der 7L-SMC Topologie (b) dargestellt. Man erkennt, dass im Gegensatz zu den FLC Topologien bei einem Modulationsgrad von $m_a = 0$ keine Strombelastung der Flying Capacitors bei der SMC Topologie (mit 2 Stacks) auftritt, da zur Generierung einer Mittelpunktspannung von $u_{xM} = 0$ der Ausgang x der betreffenden Phase über die mittleren Schalter mit dem Mittelpunkt M des Zwischenkreises verbunden wird (vgl. Abb. 3.27 a)). Die maximale Strombelastung des Flying Capacitors C_{12x} tritt bei der 5L-SMC Topologie mit 2 Stacks bei einem Modulationsgrad vom $m_a = 0,6$ und einer Phasenverschiebung von $\varphi_i = 0^\circ; \pm 180^\circ$ auf. Bei diesem Modulationsgrad besitzt das Referenzsignal u_{ref} die überwiegende Zeit innerhalb der positiven Halbschwingung einen Wert von ca. 0,5 besitzt und verläuft somit nahe der maximalen bezogenen Stromflussdauer $t_{on,C,FLC,max}/T_C$ des Flying Capacitors des Stacks 1 eines 5L-SMC Umrichters (vgl. Abb. 4.38 b)). Verläuft der Phasenstrom i_x in Phase ($\varphi_i = 0^\circ$) bzw. gegenphasig ($\varphi_i = \pm 180^\circ$) zum Referenzsignal ($m_a = 0,6$), so sind die Augenblickswerte des sinusförmigen Stromes mit denen die Flying Capacitors in den durch die Modulation festgelegten Phasen beansprucht wird, maximal, wodurch der betrachtete Kondensatorstromeffektivwert in diesen Betriebspunkten auch maximal ist. Für den Flying Capacitor C_{22x} des unteren Stacks (Stack 2) ist der Verlauf des Kondensatorstromeffektivwertes identisch mit dem des Flying Capacitors C_{12x} .

Beim Verlauf des Kondensatorstromeffektivwertes des Flying Capacitors C_{12x} eines 7L-SMC Umrichters (mit 2 Stacks) in Abb. 4.41 b) ist zu erkennen, dass sich im Modulationsgradbereich $0,4 < m_a < 0,8$ und einer Phasenverschiebung von $\varphi_i = 0^\circ; \pm 180^\circ$ der Maximalwert befindet. Das Referenzsignal verläuft in dem genannten Modulationsbereich in der überwiegenden Zeit der positiven Halbschwingung zwischen den Werten $1/3 < u_{ref} < 2/3$, in welchem die bezogenen Stromflusszeiten $t_{on,C,FLC}/T_C$ der Flying Capacitors des Stacks 1 maximal sind (vgl. Abb. 4.38 b)). Wie beim 5L-SMC Umrichter tritt der Maximalwert des Kondensatorstromeffektivwertes $I_{C12,eff,max}$ bei einer Phasenverschiebungen von $\varphi_i = 0^\circ; \pm 180^\circ$ auf. Für alle weiteren Flying Capacitors C_{13x} , C_{22x} und C_{23x} ist der Verlauf des Kondensatorstromeffektivwertes bis auf marginale Abweichungen identisch mit dem des Flying Capacitors C_{12x} , weshalb hier auf deren Darstellung verzichtet wird.

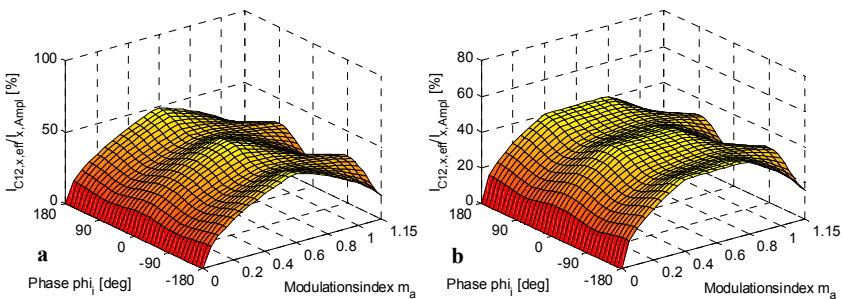


Abb. 4.41: Kondensatorstromeffektivwert $I_{C12,x,eff}$ des Flying Capacitors C_{12x} ($m_f = 15$)
a) 5L-SMC Umrichter; b) 7L-SMC Umrichter (ModAPOD- und ModPD-Modulation)

Tabelle 4-10 Maximaler Effektivwert der Kondensatorströme der Flying Capacitors ($m_r = 15$)

	APOD- / ModPD-Modulation		
	$I_{C2,x,eff,max}/\hat{I}_x$	@ m_a	@ φ_i
3L-FLC	70,7 %	0	-180° -180°
4L-FLC	57,7 %	0 - 0,4	-180° -180°
5L-FLC	50 %	0 - 0,55	-180° -180°
5L-SMC	48,7 %	0,6	-180°; 0°; 180°
7L-SMC	40,8 %	0,65	-180°; 0°; 180°

In Tabelle 4-10 sind die maximalen Kondensatorstromeffektivwerte der Flying Capacitors bezogen auf den Amplitudenwert des Phasenstromes \hat{I}_x in den untersuchten Stromrichtertopologien dargestellt. Es ist zu erkennen, dass die Strombelastung der Flying Capacitors mit Erhöhung der Anzahl in der Mittelpunktspannung u_{xM} sinkt. Interessanterweise ergeben sich beim 5L-FLC und beim 5L-SMC Umrichter ähnliche maximale Kondensatorstromeffektivwerte, obwohl die Flying Capacitors der 5L-SMC Topologie nur während der halben Periode des Referenzsignals u_{ref} mit dem Phasenstrom beansprucht werden. Dies ist damit zu erklären, dass bei der hier verwendeten Modulation die maximale bezogene Stromflusszeit $t_{on,C,FLC,max}/T_C$ beim 5L-FLC Umrichter nur halb so groß ist, verglichen mit der der 5L-SMC Topologie (vgl. Abb. 4.38).

4.4.2 Spannungswelligkeit über den Flying Capacitors

In [22] ist für einen 8L-FLC Umrichter, welcher als Gleichstromsteller betrieben wird, folgende Gleichung für die Bestimmung der Kapazität der Flying Capacitors hergeleitet worden, wobei die Schaltsignale der einzelnen FLC-Zellen unter Verwendung des APOD-Modulationsverfahrens generiert wurden.

$$C_{FLC} = \frac{I_{x,d}}{p \cdot f_C \cdot \Delta U_{C,FLC}} \quad (4.82)$$

Mit $I_{x,d}$: ausgangsseitiger Gleichstrom
 p : Anzahl der in Reihe geschalteten FLC-Zellen
 f_C : Trägerfrequenz
 $\Delta U_{C,FLC}$: maximale Kondensatorspannungswelligkeit

Für die Dimensionierung der Flying Capacitors nach (4.82) sind in Abb. 4.42 die Kondensatorspannung und der Kondensatorstrom des Flying Capacitor $C_{F12,x}$ sowie die Spannungen über den Schaltern $S_{1,x}$ und $S_{2,x}$ eines 4L-FLC Umrichters (vgl. Abb. 3.16) im stationären Gleichstromstellerbetrieb dargestellt. Die Kapazität der Flying Capacitors $C_{F12,x}$ und $C_{F13,x}$ sind mit (4.82) berechnet worden, wobei eine Trägerfrequenz von $f_C = 750$ Hz, ein Phasengleichstrom von $I_{x,d} = \text{const.} = \sqrt{2} \cdot 600$ A und eine Spannungswelligkeit über beide Kondensatoren von $\Delta U_{C,FLC} = 0,1 \cdot U_{dc}/3$ ($U_{dc} = 1,04 \cdot \sqrt{2} \cdot 3,3$ kV) vorausgesetzt wurde. Die Kapazitäten der Flying Capacitors $C_{F12,x}$ und $C_{F13,x}$ betragen unter den gemachten Voraussetzungen $2331 \mu\text{F}$. Bezieht man diesen Wert auf die Nennkapazität C_n nach (4.51) so folgt $C_{F12,x} = C_{F13,x} = 2,33 C_n$.

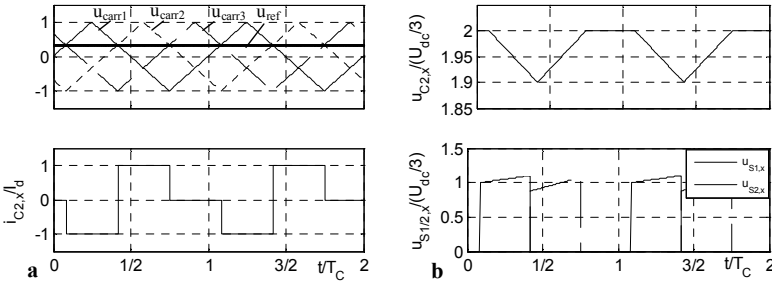


Abb. 4.42: Strom- und Spannungsverläufe beim 4L-FLC Umrichter im Gleichstromstellerbetrieb

a) APOD-Modulation (oben); Kondensatorstrom $i_{C2,x}$ (unten)

b) Kondensatorspannung $u_{C2,x}$ (oben); Schalterspannung $u_{S1/2,x}$ (unten)

($C_{FL2,x} = C_{FL3,x} = 2,331 \cdot C_n$; $f_c = 750$ Hz; $u_{ref} = \text{const.} = 1/3$; $\Delta u_{C,FLC} = 0,1 \cdot U_{de}/3$; $I_{x,d} = \sqrt{2} \cdot 600$ A)

In Abb. 4.42 wurde des Weiteren ein Betriebspunkt gewählt, in dem die auftretende Welligkeit in der Kondensatorspannung $u_{C2,x}$ maximal ist. Dies ist bei einem als Gleichstromsteller betriebenen 4L-FLC Umrichter gegeben, wenn das konstante Referenzsignal U_{ref} im Bereich $-1/3 \leq U_{ref} \leq 1/3$, d.h. zwischen den Kreuzungspunkten der Trägersignale, verläuft (vgl. (4.84)). In diesem Referenzsignalbereich wird bei Verwendung der APOD-Modulation der Kondensator $C_{FL2,x}$ innerhalb einer Trägersignalperiode T_C abschnittsweise mit einem positiven und negativen Strom beansprucht, wobei die jeweiligen Abschnitte eine identische maximale zeitliche Dauer von $\Delta t_{C,4L-FLC,max} = 1/3 T_C$ besitzen. Außerdem wird der Kondensator während einem Drittel der Trägersignalperiode nicht vom konstant angenommenen Phasenstrom durchflossen. Die genannte Strombeanspruchung ist die Ursache für die Welligkeit in der Kondensatorspannung $u_{C2,x}$, welche in Abb. 4.42 b) zu sehen ist. Man erkennt, dass die maximale Welligkeit der Kondensatorspannung $\Delta u_{C2,x,max}$ (vgl. (4.83)) innerhalb einer halben Trägersignalperiode auftritt und exakt dem Wert entspricht ($\Delta u_{C,FLC} = 0,1 \cdot U_{de}/3$), welcher für die Bestimmung der Kapazität der Flying Capacitors in (4.82) angenommen wurde.

$$\Delta u_{C_{i,x},max} = (U_{C_{i,x},max} - U_{C_{i,x},min}) \quad i = 2, 3, \dots, p; \text{ für FLC Umrichter} \quad (4.83)$$

$$\Delta u_{C_{jh,x},max} = (U_{C_{jh,x},max} - U_{C_{jh,x},min}) \quad i = 2, 3, \dots, p; \quad j = 1, 2, \dots, q \text{ für SMC Umrichter}$$

Die maximale Schalterspannung tritt in dem betrachteten Betriebspunkt über dem Schalterpaar S_{1x}/S'_{1x} auf und ist mit $U_{S1x,max} = 1,1 \cdot U_{Kom}$ (vgl. (3.30)) um 10% ($= \Delta u_{C,FLC}/(U_{de}/3)$) größer als bei einer konstant angenommenen Kondensatorspannung $U_{C2,x} = U_{de}/3$. Ferner kommt es innerhalb einer Trägersignalperiode T_C zu einer Balancierung der Kondensatorspannung $u_{C2,x}$, da die Mittelwerte des zeitlichen Verlaufs der Schaltzustände $s_{z1,x}$ und $s_{z2,x}$ bei einem konstanten Referenzsignal im betrachteten Intervall identisch sind und somit (4.74) erfüllt ist. Bei einem konstanten Referenzsignal und einem konstanten Laststrom ist (4.82) für die Dimensionierung der Flying Capacitors gültig.

Allgemein sind die Lade- und Entladezeiten $\Delta t_{C,NL-FLC}$ der Flying Capacitors einer N-stufigen FLC Topologie im stationären Gleichstromstellerbetrieb identisch ($I_{x,d} = \text{const.}$; $U_{ref} = \text{const.}$). Die maximalen Lade- und Entladezeiten $\Delta t_{C,NL-FLC,max}$ betragen innerhalb einer Trägersignalperiode T_C :

$$\Delta t_{C,NL-FLC,max} = \frac{T_C}{(N-1)} = \frac{T_C}{p} \quad \text{wenn} \quad -\frac{N-3}{N-1} \leq U_{ref} \leq \frac{N-3}{N-1} \quad (4.84)$$

In diesem Zeitintervall ist die Änderung der Spannung über den Flying Capacitors $\Delta U_{Ci,x}$ maximal (vgl. Abb. 4.42).

Bei einer NL-SMC Topologie mit 2 Stacks gilt im Gleichstromstellerbetrieb für die Flying Capacitors des oberen Stacks (Stack 1) folgender Zusammenhang zwischen der Anzahl der Spannungsstufen in der Mittelpunktspannung N und den maximalen Lade- und Entladezeiten $\Delta t_{C,NL-SMC,max}$:

$$\Delta t_{C,NL-SMC,max} = \frac{2 \cdot T_c}{(N-1)} = \frac{T_c}{p} \quad \text{wenn} \quad \frac{2}{N-1} \leq U_{ref} \leq \frac{N-3}{N-1} \quad (4.85)$$

Entsprechend ergibt sich folgender Zusammenhang für die Flying Capacitors des unteren Stacks (Stack 2):

$$\Delta t_{C,NL-SMC,max} = \frac{2 \cdot T_c}{(N-1)} = \frac{T_c}{p} \quad \text{wenn} \quad -\frac{N-3}{N-1} \leq U_{ref} \leq -\frac{2}{N-1} \quad (4.86)$$

In den nun folgenden Untersuchungen wird gezeigt, dass bei einem periodischem Referenzsignal u_{ref} gemäß (3.2) und einem sinusförmigen Phasenstrom i_x die maximale Welligkeit der Flying Capacitor Spannungen $\Delta U_{Ci,x,max}$ (FLC) bzw. $\Delta U_{ji,x,max}$ (SMC) größer ist als die für die Dimensionierung der Flying Capacitors in (4.82) spezifizizierte maximale Welligkeit von $\Delta U_{C,FLC}$. Das ist damit zu erklären, dass die maximalen Lade- und Entladezeiten $\Delta t_{C,NL-FLC/SMC,max}$ bei Verwendung eines zeitveränderlichen Referenzsignals u_{ref} (APOD- und PD-Modulation) größer sind als die, welche in (4.84)-(4.86) für ein konstantes Referenzsignal U_{ref} hergeleitet wurden. Außerdem kommt es durch den sinusförmigen Strom innerhalb einer Trägersignalleriode T_c zu unterschiedlichen Zeitverläufen der Lade- und Entladeströme der Flying Capacitors, was, wie folgend gezeigt wird, zu einer Drift der Spannungen über den Flying Capacitors führt. Diese Spannungsdrift ist kritisch für die Halbleiterbauelemente und muss deshalb auf einen definierten Wert begrenzt werden. Wie schon erwähnt, kommt es bei den hier für die Dimensionierung der Flying Capacitors verwendeten Modulationsverfahren (ModAPOD / ModPD) nach maximal p -Perioden des Referenzsignals zu einer Balancierung der Kondensatorspannungen.

Als Abschätzung für die Dimensionierung der Flying Capacitors kann (4.82) weiterhin verwendet werden, wenn der Gleichstrom $I_{x,d}$ durch den Amplitudenwert des sinusförmigen Phasenstromes \hat{I}_x ersetzt und ein Frequenzverhältnis $m_f > 21$ angenommen wird (vgl. (4.87)) [1].

$$C_{FLC} = \frac{\hat{I}_x}{p \cdot f_c \cdot \Delta U_{C,FLC}} \quad (4.87)$$

In Abb. 4.43 ist die gespeicherte Energie in den Flying Capacitors bezogen auf die Stromrichter Ausgangsscheinleistung $E_{FLC/Sc}$ in Abhängigkeit der Anzahl der Ausgangsspannungsstufen N sowohl für die FLC als auch für die SMC Topologie mit 2 Stacks dargestellt, wobei die Kapazitäten der Flying Capacitors mit (4.87) hergeleitet werden. Dabei wird in (4.87) die Trägerfrequenz f_c derart angepasst, dass das 1. Trägerband in der Ausgangsspannung um $f_{1cb} = 750$ Hz lokalisiert ist und ein maximaler Spannungsrippel von $\Delta U_{C,FLC} = 0.1 \cdot U_{dc}/(N-1)$ zugelassen wird (U_{dc} -Berechnung gemäß (4.21)). Man erkennt, dass unter den genannten Voraussetzungen die gespeicherten Energien in den Flying Capacitors sowohl der FLC als auch der SMC Topologie quadratisch mit der Anzahl der Ausgangsspannungsstufen N wachsen. Beispielhaft realisiert die SMC Topologie im Vergleich zur FLC Topologie bei einer identischen Anzahl der Ausgangsspannungsstufen von $N = 5$ eine um den Faktor 7 und bei $N = 7$ eine um den Faktor 5,5 reduzierte gespeicherte Energie in den Flying Capacitors.

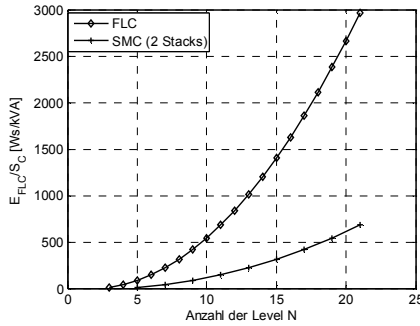


Abb. 4.43: Bezogene gespeicherte Energie der Flying Capacitors in einem 3-phasigen Umrichter in Abhängigkeit der Ausgangsspannungsstufen N ($f_{cb} = 750$ Hz; $\Delta U_{C,FLC} = 0,1 \cdot U_{dc}/(N-1)$)

Da die Auslegung der Kapazitäten für die Flying Capacitors gemäß (4.87), wie folgend gezeigt, nur als Abschätzung herangezogen werden kann, wird die maximal auftretende Spannungswelligkeit $\Delta U_{CQ}i_{x,max}$, welche bei Verwendung des in (3.2) definierten Referenzsignals u_{ref} und bei einem sinusförmigen Phasenstrom i_x (vgl. (4.4)) auftritt, durch Simulationen im stationären Betrieb der Umrichter ermittelt. Die in (4.87) spezifizierte Spannungswelligkeit $\Delta U_{C,FLC}$ aller Flying Capacitors wird dabei mit 10% der nominalen Spannung des inneren Flying Capacitors $C_{Flp,x}$ (FLC Topologie) bzw. C_{jpx} (SMC Topologie mit 2 Stacks) festgelegt. Bei einer Trägerfrequenz von $f_c = 750$ Hz und einem Phasenstrom von $I_x = 600$ A ergibt sich für sämtliche Flying Capacitors in den untersuchten FLC Topologien ein Kapazitätswert von $C_{FLC} = 2331 \mu\text{F}$ (3,3 kV Antrieb). Für sämtliche Flying Capacitors der SMC Topologien mit 2 Stacks beträgt dieser Wert $C_{FLC} = 4661 \mu\text{F}$, da die nominale Spannung der Flying Capacitors (vgl. (3.48)) und damit die spezifizierte Spannungswelligkeit $\Delta U_{C,FLC}$ bei der gleichen Anzahl von in Reihe geschalteten FLC-Zellen p um den Faktor 2 kleiner ist als bei den FLC Topologien (z.B. 3L-FLC: $p = 2$; $U_{C2,x} = U_{dc}/2$; $\Delta U_{C,FLC} = 0,1 \cdot U_{dc}/2$; 5L-SMC: $p = 2$; $U_{C12,x} = U_{dc}/4$; $\Delta U_{C,FLC} = 0,1 \cdot U_{dc}/4$).

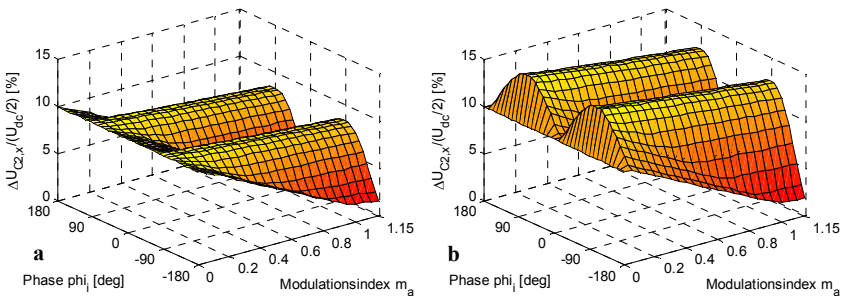


Abb. 4.44: Kondensatorspannungswelligkeit $\Delta U_{C2,x}$ des Flying Capacitors $C_{Fl2,x}$ beim 3L-FLC Umrichter a) APOD-Modulation; b) PD-Modulation ($m_r = 15$; $C_{Fl2,x} = 2,331 \cdot C_r$; $f_c = 750$ Hz; $I_x = 600$ A)

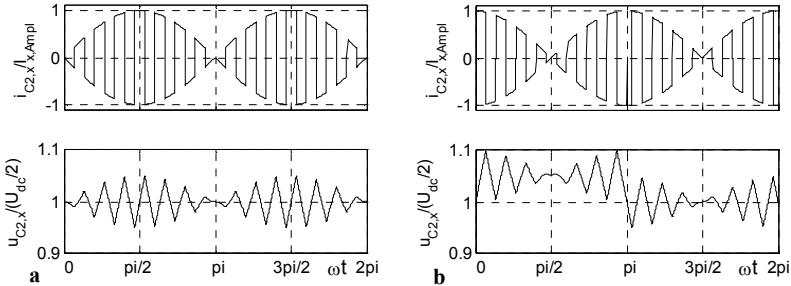


Abb. 4.45: Strom- und Spannungsverläufe beim 3L-FLC Umrichter

- a) Kondensatorspannung $u_{C2,x}$; Kondensatorstrom $i_{C2,x}$ (APOD-Modulation; $m_a = 0$; $\varphi_i = 0^\circ$)
 b) Kondensatorspannung $u_{C2,x}$; Kondensatorstrom $i_{C2,x}$ (PD-Modulation; $m_a = 0,05$; $\varphi_i = -90^\circ$)
 ($C_{F12,x} = 2,331 \cdot C_n$; $f_C = 750 \text{ Hz}$; $I_x = 600 \text{ A}$)

3L-FLC Umrichter. In Abb. 4.44 ist die bezogene Spannungswelligkeit $\Delta U_{C2,x}/(U_{dc}/2)$ über dem Flying Capacitor $C_{F12,x}$ eines 3L-FLC Umrichters als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i bei Verwendung des APOD- und des PD-Modulationsverfahrens dargestellt, wobei es bei einem Frequenzverhältnis von $m_f = 15$ bei beiden Modulationsverfahren zu einer Balancierung der Flying Capacitors Spannungen innerhalb einer Periode des Referenzsignals kommt. Man erkennt an Abb. 4.44 a), dass bei Verwendung der APOD-Modulation die maximale bezogene Spannungswelligkeit $\Delta U_{C2,x,max}/(U_{dc}/2)$ bei $m_a = 0$ und $\varphi_i = -180^\circ - 180^\circ$ auftritt und mit 10% exakt mit dem Wert übereinstimmt, welcher für die Bestimmung der Kapazität der Flying Capacitors in (4.87) angenommen wurde. Die exakte Übereinstimmung ist auf zwei Gegebenheiten zurück zu führen: Erstens entspricht im Betriebspunkt bei $m_a = 0$ das zeitveränderliche Referenzsignal u_{ref} einem konstanten Referenzsignal $U_{ref} = 0 = \text{konst.}$, womit in diesem Betriebspunkt die maximale Lade- bzw. Entladezeit $\Delta t_{C,3L-FLC,max}$ des Flying Capacitors gemäß (4.84) auftritt. Zweitens wurde bei der Bestimmung der Kapazität in (4.87) angenommen, dass während der maximalen Lade und Entladezeit $\Delta t_{C,3L-FLC,max} = 1/(f_C \cdot p)$ (bei $m_a = U_{ref} = 0$) der maximale betragmäßige Phasenstrom \hat{I}_x über den Flying Capacitor fließt. Mit steigenden Modulationsgraden ($m_a > 0$) sinken die Lade- und Entladezeiten $\Delta t_{C,3L-FLC}$ der Flying Capacitors, was zu einer geringeren Welligkeit der Kondensatorspannung $\Delta U_{C2,x,max}/(U_{dc}/2)$ führt. In Abb. 4.45 a), in der die Strom- und Spannungsverläufe des Flying Capacitors bei Verwendung der APOD-Modulation dargestellt sind, ist zu sehen, dass im Betriebspunkt mit $m_a = 0$ und $\varphi_i = 0^\circ$ um $\omega t = \pi/2$ bzw. $3\pi/2$ die maximale bezogene Spannungswelligkeit $\Delta U_{C2,x,max}/(U_{dc}/2)$ auftritt, da der Betrag des Kondensatorstromes um diese Winkel annähernd dem Amplitudenwert des Phasenstromes \hat{I}_x entspricht. Bei Verwendung der PD-Modulation ergibt sich eine um ca. 50% höhere maximale bezogene Spannungswelligkeit $\Delta U_{C2,x,max}/(U_{dc}/2)$ als bei Verwendung der APOD-Modulation. Das ist damit erklärbar, dass bei der PD-Modulation die Trägersignale für die Modulation der Schaltsignale der beiden FLC-Zellen im oberen und unteren Modulationsband einen trapezförmigen Verlauf besitzen (vgl. Abb. 3.12 b); [54]). Dies führt in den Nulldurchgängen des Referenzsignals u_{ref} zu einer wesentlich längeren maximalen Lade- bzw. Entladezeit $\Delta t_{C,3L-FLC,max}$ verglichen mit der, welche bei Verwendung der APOD-Modulation auftritt. In Abb. 4.45 b), in der die Strom- und Spannungsverläufe des Flying Capacitors bei Verwendung der PD-Modulation bei $m_a = 0,05$ und $\varphi_i = -90^\circ$ dargestellt sind, ist dieser Effekt eindeutig um $\omega t = \pi$ zu erkennen.

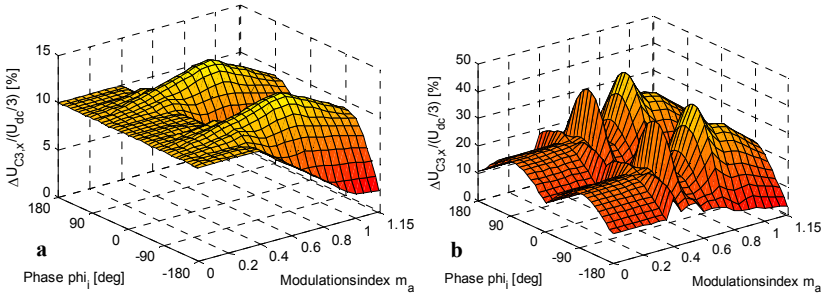


Abb. 4.46: Kondensatorspannungswelligkeit $\Delta U_{C_{3,x}}$ des Flying Capacitors $C_{F_{13,x}}$ beim 4L-FLC Umrichter
a) APOD-Modulation; **b)** ModPD-Modulation ($m_r = 15$; $C_{F_{12,x}} = 2,331 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

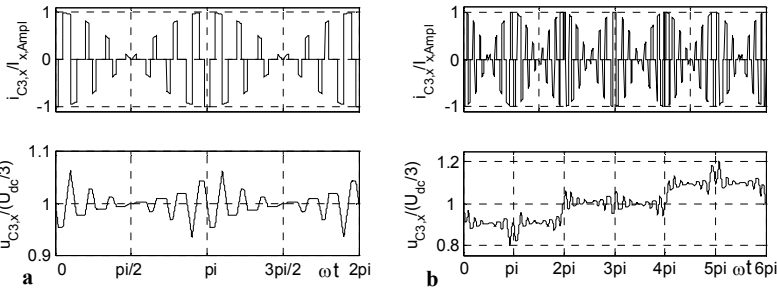


Abb. 4.47: Strom- und Spannungsverläufe beim 4L-FLC Umrichter
a) Kondensatorspannung $u_{C_{3,x}}$; Kondensatorstrom $i_{C_{3,x}}$ (APOD-Mod.; $m_a = 0,75$; $\varphi_i = -90^\circ$)
b) Kondensatorspannung $u_{C_{3,x}}$; Kondensatorstrom $i_{C_{3,x}}$ (ModPD-Mod.; $m_a = 0,75$; $\varphi_i = -90^\circ$)
 ($C_{F_{12,x}} = C_{F_{13,x}} = 2,331 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

4L-FLC Umrichter. In Abb. 4.46 ist die bezogene Spannungswelligkeit $\Delta U_{C_{3,x}}/(U_{dc}/2)$ über dem Flying Capacitor $C_{F_{13,x}}$ eines 4L-FLC Umrichters als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i bei Verwendung des APOD- und des ModPD-Modulationsverfahrens dargestellt. Bei Verwendung der APOD-Modulation tritt beim 4L-FLC Umrichter innerhalb einer Periode T_1 des Referenzsignals die maximale Spannungswelligkeit $\Delta U_{C_{3,x,max}}/(U_{dc}/3)$ von 12,77% im Betriebspunkt bei $m_a = 0,75$ und $\varphi_i = \pm 90^\circ$ auf (Abb. 4.46 a)). Die Strom- und Spannungsverläufe des Flying Capacitors $C_{F_{13,x}}$, welche in diesem Betriebspunkt resultieren, sind in Abb. 4.47 a) zu sehen. Man erkennt, dass die maximale Änderung der Kondensatorspannung $u_{C_{3,x}}$ innerhalb einer Trägersignalperiode T_C in den Abschnitten auftritt, in denen der Kondensatorstrom $i_{C_{3,x}}$ betragsmäßig der Amplitude des Phasenstromes \hat{I}_x entspricht. Da die maximale Lade- bzw. Entladezeit $\Delta t_{C,4L-FLC,max}$ bei Verwendung der APOD-Modulation mit einem zeitveränderlichen Referenzsignal u_{ref} in den Abschnitten auftritt, in denen das Referenzsignal u_{ref} zwischen $-1/3 \leq u_{ref} \leq 1/3$ verläuft (bei $m_a = 0,75$), ist bei einer Phasenverschiebung von $\varphi_i = \pm 90^\circ$ der betragsmäßig größte Kondensatorstrom und damit die maximale Änderung der Kondensatorspannung $u_{C_{3,x}}$ zu erkennen. Die maximale Lade- bzw. Entladezeit ist dabei größer als die, welche in (4.84) für den Gleichstromstellerbetrieb hergeleitet wurde. Dies führt zu einer ca. 27% größeren maximalen bezogenen Welligkeit $\Delta U_{C_{3,x,max}}/(U_{dc}/3)$ verglichen mit der in (4.87) spezifizierten Welligkeit von $\Delta U_{C_{FLC}}/(U_{dc}/3) = 0,1$. Wie in [53] dargestellt, kommt es bei Verwendung der

PD-Modulation nach [54] nicht zu einer Balancierung der Flying Capacitor Spannungen nach einer Periode T_1 des Referenzsignals, was in Abb. 4.47 b) am Verlauf der Kondensatorspannung $u_{C3,x}$ zu erkennen ist. Durch das hier angewendete zyklische Vertauschen der Trägersignale nach jeweils einer Periode T_1 des Referenzsignals, ist erst nach 3(p) Perioden des Referenzsignals eine Balancierung der Kondensatorspannungen sichergestellt [53]. Die maximale bezogene Spannungswelligkeit $\Delta U_{C3,x,max}/(U_{dc}/3)$ beträgt bei Verwendung des ModPD-Modulationsverfahrens ca. 41% und tritt, wie bei Verwendung der APOD-Modulation, im Betriebspunkt mit $m_a = 0,75$ und $\varphi_i = \pm 90^\circ$ auf (vgl. Abb. 4.46 b)). Im Vergleich zur spezifizierten Spannungswelligkeit von $\Delta U_{C,FLC}/(U_{dc}/3) = 0,1$ ergibt sich eine um den Faktor 4 größere bezogene Spannungswelligkeit $\Delta U_{C3,x,max}/(U_{dc}/3)$. Das ist einerseits auf die trapezförmigen Verläufe der Trägersignale (vgl. Abb. 3.18 b)) zurückzuführen, wodurch die maximalen Lade- bzw. Entladezeiten $\Delta t_{C,4L-FLC,max}$ der Flying Capacitors, welche innerhalb einer Periode Trägersignals T_C resultieren, größer sind als bei Verwendung der APOD-Modulation. Andererseits ist am Verlauf der Kondensatorspannung $u_{C3,x}$ in Abb. 4.47 b) zu sehen, dass es nach jeweils einer Periode T_1 des Referenzsignals zu einer Drift der Kondensatorspannung kommt, welche erst nach 3 (p) Perioden ($3 \cdot T_1$) kompensiert wird. Die Aussagen über die maximalen Spannungswelligkeiten des Flying Capacitors $C_{FB,x}$ sind für beide Modulationsverfahren bis auf marginale Unterschiede auch für den Flying Capacitor $C_{FB,x}$ gültig.

5L-FLC Umrichter. In Abb. 4.48 ist die bezogene Spannungswelligkeit $\Delta U_{C3,x}/(U_{dc}/2)$ über dem Flying Capacitor $C_{FB,x}$ eines 5L-FLC Umrichters als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i bei Verwendung des APOD- und des ModPD-Modulationsverfahrens dargestellt. Bei Verwendung der APOD-Modulation tritt beim 5L-FLC Umrichter innerhalb einer Periode T_1 des Referenzsignals die maximale Spannungswelligkeit $\Delta U_{C3,x,max}/(U_{dc}/3)$ von 13,38% im Betriebspunkt bei $m_a = 1,0$ und $\varphi_i = \pm 90^\circ$ auf (Abb. 4.48 a)). Man erkennt an den Strom- und Spannungsverläufen des Flying Capacitors $C_{FB,x}$ in Abb. 4.49 a), welche in diesem Betriebspunkt resultieren, dass analog zum 4L-FLC Umrichter die maximale Lade- bzw. Entladezeit $\Delta t_{C,5L-FLC,max}$ bei Verwendung eines zeitveränderlichen Referenzsignals größer ist als die, welche in (4.84) für den Gleichstromstellerbetrieb hergeleitet wurde. Im Gegensatz zum 4L-FLC Umrichter tritt beim 5L-FLC Umrichter die maximale Lade- bzw. Entladezeit in den Abschnitten auf, in denen das Referenzsignal zwischen $-1/2 \leq u_{ref} \leq 1/2$ verläuft (bei $m_a = 1,0$). Beim 5L-FLC Umrichter ergibt sich dadurch eine ca. 33% größere maximale bezogene Welligkeit $\Delta U_{C3,x,max}/(U_{dc}/4)$ verglichen mit der in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/4) = 0,1$. Analog zum

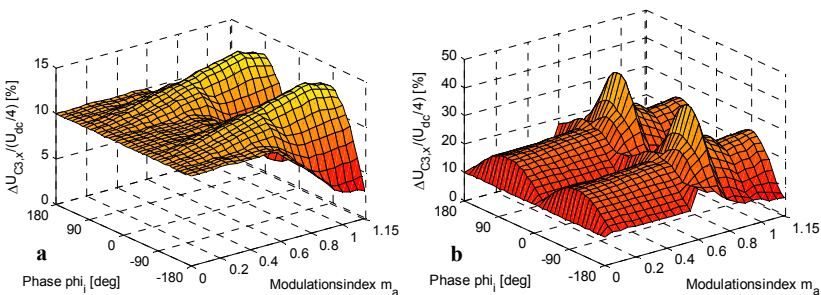


Abb. 4.48: Kondensatorspannungswelligkeit $\Delta U_{C3,x}$ des Flying Capacitors $C_{FB,x}$ beim 5L-FLC Umrichter a) APOD-Mod.; b) ModPD-Mod. ($m_f = 15$; $C_{FB,x} = 2,331 \cdot C_n$; $f_C = 750$ Hz; $I_x = 600$ A)

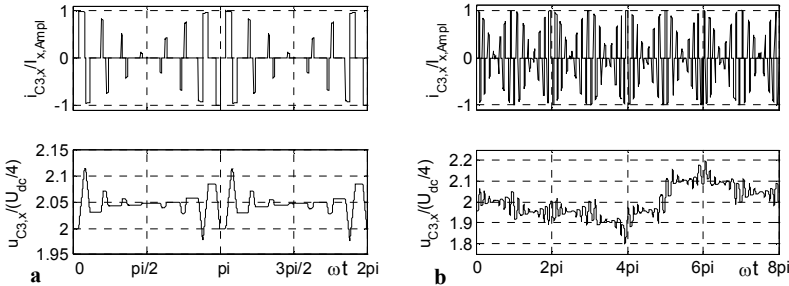


Abb. 4.49: Strom- und Spannungsverläufe beim 5L-FLC Umrichter

a) Kondensatorspannung $u_{C3,x}$; Kondensatorstrom $i_{C3,x}$ (APOD-Mod.; $m_a = 1,0$; $\varphi_i = -90^\circ$)

b) Kondensatorspannung $u_{C3,x}$; Kondensatorstrom $i_{C3,x}$ (ModPD-Mod.; $m_a = 0,75$; $\varphi_i = -90^\circ$)

($C_{12,x} = C_{22,x} = 2,331 \cdot C_n$; $f_C = 750 \text{ Hz}$; $I_x = 600 \text{ A}$)

4L-FLC Umrichter ist bei Verwendung der ModPD-Modulation beim 5L-FLC Umrichter nach 4 (p) Perioden T_1 des Referenzsignals u_{ref} eine Balancierung der Spannungen über den Flying Capacitors sichergestellt [53]. In Abb. 4.48 b) erkennt man, dass innerhalb dieses Intervalls die maximale bezogene Spannungswelligkeit $\Delta U_{C3,x,max}/(U_{dc}/4)$ von ca. 39,6 % im Betriebspunkt mit $m_a = 0,75$ und $\varphi_i = \pm 90^\circ$ auftritt, womit diese um eine Faktor von ca. 4 über der in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/4) = 0,1$ liegt. Die Strom- und Spannungsverläufe des Flying Capacitors $C_{F1,3}$ in dem Betriebspunkt, bei dem die maximale bezogene Spannungswelligkeit $\Delta U_{C3,x,max}/(U_{dc}/4)$ auftritt, ist in Abb. 4.49 b) dargestellt. Die Aussagen über die maximalen Spannungswelligkeiten des Flying Capacitors $C_{F13,x}$ sind für beide Modulationsverfahren bis auf marginale Unterschiede auch für die Flying Capacitors $C_{F12,x}$ und $C_{F14,x}$ gültig.

5L-SMC Umrichter. In Abb. 4.50 ist die bezogene Spannungswelligkeit $\Delta U_{C12,x}/(U_{dc}/4)$ über dem Flying Capacitor $C_{12,x}$ eines 5L-SMC Umrichters mit 2 Stacks als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i bei Verwendung des ModAPOD- und des ModPD-Modulationsverfahrens dargestellt. Beim 5L-SMC Umrichter mit 2 Stacks wird der Flying Capacitor $C_{12,x}$ des oberen Stacks bei beiden Modulationsverfahren nur während der positiven Halbschwingung des Referenzsignals u_{ref} beansprucht. Im Gegensatz zu den FLC Topologien kommt es bei Verwendung der herkömmlichen APOD-Modulation nach einer Periode T_1 des Referenzsignals nicht zu einer Balancierung der Kondensatorspannung $u_{C12,x}$, was in Abb. 4.51 a) dargestellt ist. Durch das analog zum ModPD-Modulationsverfahren der FLC Umrichter zyklische Vertauschen der bei der APOD-Modulation verwendeten Trägersignale ist eine Balancierung der Flying Capacitor Spannungen von 2 (p) Perioden des Referenzsignals sichergestellt (vgl. Abb. 4.51 a)) [53]. Bei Verwendung der ModAPOD-Modulation tritt beim 5L-SMC Umrichter innerhalb von 2 (p) Perioden des Referenzsignals die maximale Spannungswelligkeit $\Delta U_{C12,x,max}/(U_{dc}/4)$ von 10,83% im Betriebspunkt mit $m_a = 1,15$ und $\varphi_i = +70^\circ$ - 110° auf (Abb. 4.50a)). Die Strom- und Spannungsverläufe des Flying Capacitors $C_{12,x}$, welche in diesem Betriebspunkt ($\varphi_i = +70^\circ$) resultieren, sind in Abb. 4.51a) zu sehen. Da der obere Stack eine 5L-SMC Umrichter analog zum 3L-FLC moduliert wird, ist die maximale Spannungswelligkeit $\Delta U_{C12,x,max}/(U_{dc}/4)$ nur um ca. 8% größer als die in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/4) = 0,1$. Die Abweichung ist mit dem Vertauschen der Trägersignale nach jeweils einer Periode des Referenzsignals T_1 zu erklären, da dadurch der Flying Capacitor $C_{12,x}$ mit unterschiedlichen Lade- und Entladeströmen in der 1. und 2. Periode

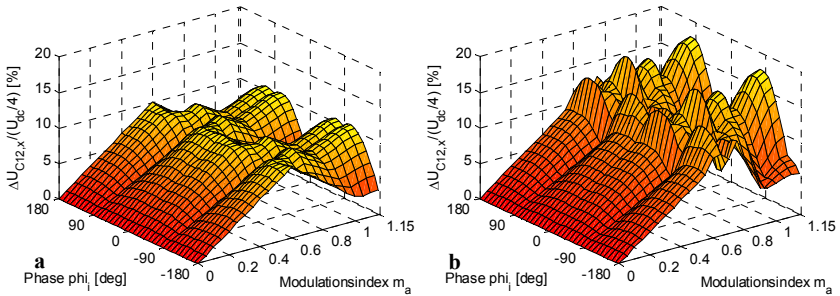


Abb. 4.50: Kondensatorspannungswelligkeit $\Delta U_{C12,x}$ des Flying Capacitors C_{12x} beim 5L-SMC Umrichter
a) ModAPOD-Modulation; b) ModPD-Modulation
 ($m_r = 15$; $C_{22,x} = 4,662 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

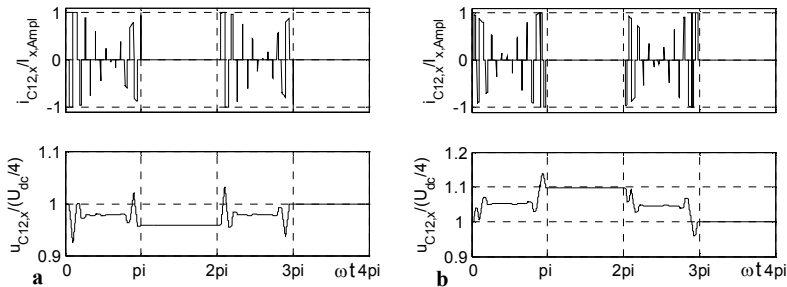


Abb. 4.51: Strom- und Spannungsverläufe beim 5L-SMC Umrichter
a) Kondensatorspannung $u_{C12,x}$; Kondensatorstrom $i_{C12,x}$ (ModAPOD; $m_a = 1,15$; $\varphi_i = 70^\circ$)
b) Kondensatorspannung $u_{C12,x}$; Kondensatorstrom $i_{C12,x}$ (ModPD; $m_a = 1,15$; $\varphi_i = 100^\circ$)
 ($C_{12,x} = C_{22,x} = 2,331 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

des Referenzsignals beansprucht wird (vgl. Abb. 4.51a)). Beim ModPD-Modulationsverfahren kommt es zu einer größeren bezogenen maximalen Spannungswelligkeit von $\Delta U_{C12,x,max}/(U_{dc}/4) = 17,19\%$, als bei Verwendung der ModAPOD-Modulation (vgl. (Abb. 4.50b))). Die bezogene maximale Spannungswelligkeit von $\Delta U_{C12,x,max}/(U_{dc}/4)$ tritt dabei im Betriebspunkt mit $m_a = 1,15$ und $\varphi_i = +110^\circ/-70^\circ$ auf (vgl. Abb. 4.50b)) und ist um ca. 71% größer als der in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/4) = 0,1$. Die Aussagen über die maximalen Spannungswelligkeiten des Flying Capacitors $C_{12,x}$ des oberen Stacks sind für beide Modulationsverfahren bis auf marginale Unterschiede auch für den Flying Capacitor $C_{22,x}$ des unteren Stacks gültig.

7L-SMC Umrichter. In Abb. 4.52 ist die bezogene Spannungswelligkeit $\Delta U_{C23,x}/(U_{dc}/6)$ über dem Flying Capacitor $C_{23,x}$ eines 7L-SMC Umrichters mit 2 Stacks als Funktion des Modulationsgrades m_a und der Phasenverschiebung φ_i bei Verwendung des ModAPOD- und des ModPD-Modulationsverfahrens dargestellt. Beim 7L-SMC Umrichter mit 2 Stacks wird der Flying Capacitor $C_{23,x}$ des unteren Stacks bei beiden Modulationsverfahren nur während der negativen Halbschwingung des Referenzsignals u_{ref} beansprucht. Bei Verwendung der ModAPOD-Modulation tritt beim 7L-SMC Umrichter innerhalb von 3 (p) Perioden des Referenzsignals die maximale Spannungswelligkeit $\Delta U_{C23,x,max}/(U_{dc}/6)$ von 14,5% im Betriebspunkt mit $m_a = 1,05$ und $\varphi_i = \pm 90^\circ$ auf (Abb. 4.52 a)). Die Strom- und

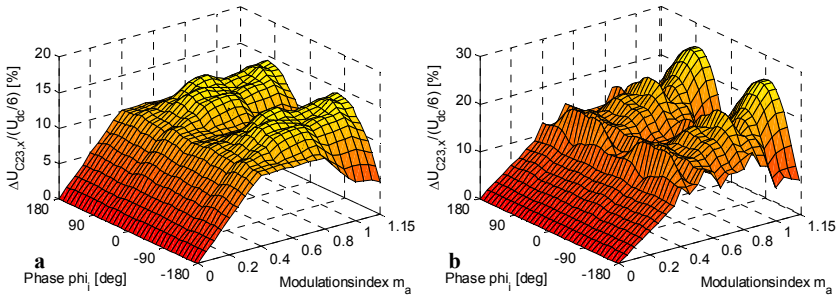


Abb. 4.52: Kondensatorspannungswelligkeit $\Delta U_{C23,x}$ des Flying Capacitors $C_{23,x}$ beim 7L-SMC Umrichter
a) ModAPOD-Modulation; b) ModPD-Modulation
 ($m_f = 15$; $C_{23,x} = 4,661 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

Spannungsverläufe des Flying Capacitors $C_{23,x}$, welche in diesem Betriebspunkt ($\varphi_i = +90^\circ$) resultieren, sind in Abb. 4.53 a) zu sehen. Die maximale Spannungswelligkeit $\Delta U_{C23,x,max}/(U_{dc}/6)$ ist um ca. 45% größer als die in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/6) = 0,1$. Beim ModPD-Modulationsverfahren kommt es zu einer größeren bezogenen maximalen Spannungswelligkeit von $\Delta U_{C23,x,max}/(U_{dc}/6) = 25,36\%$, als bei Verwendung der ModAPOD-Modulation (vgl. (Abb. 4.52 b))). Die bezogene maximale Spannungswelligkeit von $\Delta U_{C23,x,max}/(U_{dc}/6)$ tritt dabei im Betriebspunkt mit $m_a = 1,10$ und $\varphi_i = +80^\circ/-110^\circ$ auf (vgl. Abb. 4.52 b)) und ist ca. um den Faktor 2,5 größer als der in (4.87) spezifizierten Welligkeit von $\Delta U_{C,FLC}/(U_{dc}/6) = 0,1$. Die Aussagen über die maximalen Spannungswelligkeiten des Flying Capacitors $C_{23,x}$ des unteren Stacks sind für beide Modulationsverfahren bis auf marginale Unterschiede sowohl für den Flying Capacitor $C_{22,x}$ als auch für Flying Capacitor $C_{12,x}$ und $C_{13,x}$ des oberen Stacks gültig.

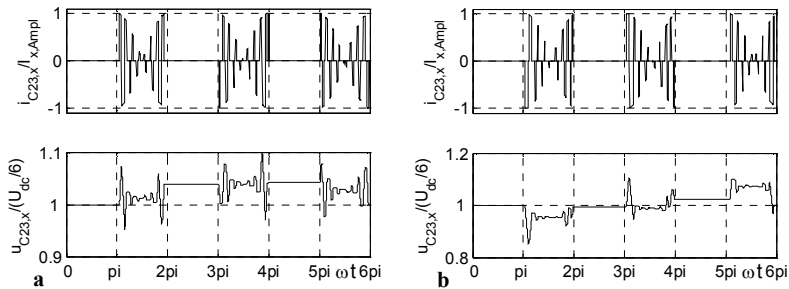


Abb. 4.53: Strom- und Spannungsverläufe beim 7L-SMC Umrichter
a) Kondensatorspannung $u_{C23,x}$; Kondensatorstrom $i_{C23,x}$ (ModAPOD; $m_a = 1,05$; $\varphi_i = 90^\circ$)
b) Kondensatorspannung $u_{C23,x}$; Kondensatorstrom $i_{C23,x}$ (ModPD; $m_a = 1,10$; $\varphi_i = 80^\circ$)
 ($C_{12,x} = C_{23,x} = 4,662 \cdot C_n$; $f_c = 750$ Hz; $I_x = 600$ A)

In Tabelle 4-11 und Tabelle 4-12 sind die durch Simulation der untersuchten Stromrichter Topologien extrahierten maximalen Spannungswelligkeiten, sowie die dazugehörigen kritischen Arbeitspunkte zusammengefasst. Damit die in (4.87) spezifizierte Spannungswelligkeit $\Delta U_{C,FLC}$ eingehalten wird, müssen die mit (4.87) berechneten Kapazitäten der Flying Capacitors in den entsprechenden Stromrichtertopologien proportional mit dem durch die Simulation gewonnen bezogenen Wert der Spannungswelligkeit $\Delta U_{C(j),x,max}/(U_{dc}/(N-1))$ angepasst werden. Es ist ersichtlich, dass in allen untersuchten

Stromrichtertopologien bei Verwendung des ModPD-Modulationsverfahrens wesentlich größere Kapazitätswerte für die entsprechenden Flying Capacitors benötigt werden, als bei Verwendung des APOD- (FLC) bzw. ModAPOD- (SMC) Modulationsverfahrens. Die in Tabelle 4-12 ermittelten Werte für die maximale Spannungswelligkeit $\Delta U_{C(j)i,x,max}$ bei Verwendung des ModPD-Modulationsverfahrens sind stark abhängig von der Phasenlage des Referenzsignals u_{ref} zu den entsprechenden Trägersignalen. Hier wurde der Worst-Case in der Phase U betrachtet, bei dem die Vertauschung der Trägersignale nach einer Periode T_1 des Referenzsignals in dessen Nulldurchgang vorgenommen wurde. Für die Phasen V und W kann gezeigt werden, dass sich kleinere maximale Spannungswelligkeit $\Delta U_{C(j)i,x,max}$ ergeben. Allgemein gilt aber, dass bezüglich der Baugröße der Flying Capacitors, welche proportional zum Kapazitätswert wächst, das APOD- (FLC) bzw. ModAPOD- (SMC) Modulationsverfahren eindeutig vorzuziehen ist. Des Weiteren kann (4.87) bei Verwendung eines sinusförmigen Phasenstromes und eines zeitveränderlichen Referenzsignals nur als sehr grobe Abschätzung zur Bestimmung der Kapazitäten der Flying Capacitors benutzt werden.

Tabelle 4-11 Maximale Kondensatorspannungswelligkeit $\Delta U_{C,x,max}$ der Flying Capacitors bei Verwendung der APOD-Modulation (FLC) / ModAPOD-Modulation (SMC)
($m_r = 15$; $f_c = 750$ Hz; $I_x = 600$ A; $C_n \approx 1000$ μ F)

APOD- (FLC) / ModAPOD- (SMC) Modulation						
Spezifizierte Werte gemäß (4.87)			Simulationsergebnisse			
	$\Delta U_{C,FLC}$	C_{FLC}	$\Delta U_{C_i,x,max}$ bzw. $\Delta U_{C_{ii},x,max}$	krit. $C_{F_{ji}}$ bzw. C_{ji}	@ m_a	@ φ_i
3L-FLC	10%·Udc/2	2,331· C_n	10%·Udc/2	$C_{F_{12,x}}$	0	-180°-180°
4L-FLC	10%·Udc/3	2,331· C_n	12,77%·Udc/3	$C_{F_{13,x}}$	0,75	±90°
5L-FLC	10%·Udc/4	2,331· C_n	13,38%·Udc/4	$C_{F_{13,x}}$	1,0	±90°
5L-SMC	10%·Udc/4	4,662· C_n	10,82%·Udc/4	$C_{12,x}$	1,15	+70°/-110°
7L-SMC	10%·Udc/6	4,662· C_n	14,5%·Udc/6	$C_{23,x}$	1,05	±90°

Tabelle 4-12 Maximale Kondensatorspannungswelligkeit $\Delta U_{C,x,max}$ der Flying Capacitors bei Verwendung der ModPD-Modulation ($m_r = 15$; $f_c = 750$ Hz; $I_x = 600$ A; $C_n \approx 1000$ μ F)

ModPD-Modulation						
Spezifizierte Werte gemäß (4.87)			Simulationsergebnisse			
	$\Delta U_{C,FLC}$	C_{FLC}	$\Delta U_{C_i,x,max}$ bzw. $\Delta U_{C_{ii},x,max}$	krit. $C_{F_{ji}}$ bzw. C_{ji}	@ m_a	@ φ_i
3L-FLC	10%·Udc/2	2,331· C_n	14,8%·Udc/2	$C_{F_{12,x}}$	0,05	±90°
4L-FLC	10%·Udc/3	2,331· C_n	41,13%·Udc/3	$C_{F_{13,x}}$	0,75	±90°
5L-FLC	10%·Udc/4	2,331· C_n	39,68%·Udc/4	$C_{F_{13,x}}$	0,75	±90°
5L-SMC	10%·Udc/4	4,662· C_n	17,91%·Udc/4	$C_{12,x}$	1,15	-80°/+100°
7L-SMC	10%·Udc/6	4,662· C_n	25,36%·Udc/6	$C_{23,x}$	1,10	+80°/-100°

4.4.3 Abhängigkeit der Spannungswelligkeit der Flying Capacitors vom Frequenzverhältnis m_f

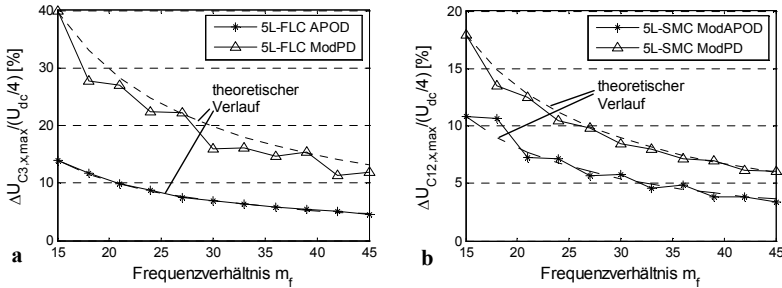


Abb. 4.54: maximale relative Welligkeit der Spannung $\Delta U_{C_{ij,x,\max}}/(U_{dc}/4)$ über den Flying Capacitors als Funktion des Frequenzverhältnisses m_f ($C_{Fl,x} = 2,331 \cdot C_n$ (FLC); $C_{fi,x} = 4,662 \cdot C_n$ (SMC))
 a) 5L-FLC (APOD-Modulation; ModPD-Modulation)
 b) 5L-SMC (ModAPOD-Modulation; ModPD-Modulation)

In Abb. 4.54 a) und b) sind beispielhaft die maximalen bezogenen Welligkeiten der Spannung über dem Flying Capacitor $C_{F3,x}$ bzw. $C_{12,x}$ eines 5L-FLC Umrichters bzw. eines 5L-SMC Umrichters als Funktion des Frequenzverhältnisses m_f dargestellt, wobei unterschiedliche Modulationsverfahren (APOD, ModAPOD, ModPD) verwendet und die Kapazität der Flying Capacitors konstant gehalten wurden. Die maximalen bezogenen Welligkeiten $\Delta U_{C(j)i,x,\max}/(U_{dc}/4)$ der Spannungen über den betrachteten Flying Capacitors treten dabei abhängig vom Frequenzverhältnis m_f in unterschiedlichen Betriebspunkten der entsprechenden Umrichter auf. Des Weiteren wurden bei dieser Untersuchung nur durch 3 teilbare Frequenzverhältnisse m_f gewählt. Zusätzlich zu den simulierten Verläufen der maximalen bezogenen Spannungswelligkeiten sind deren theoretischen Verläufe $\Delta U_{C(j)i,x,\max,theo}$ in Abb. 4.54 dargestellt, welche sich ergeben, wenn man ausgehend von der simulierten maximalen bezogenen Spannungswelligkeit $\Delta U_{C(j)i,x,\max}/(U_{dc}/4)$ bei $m_f = 15$ (vgl. Tabelle 4-11 / Tabelle 4-12, 5L-Topologien) analog zu (4.87) folgenden Zusammenhang annimmt:

$$\Delta U_{C(j)i,x,\max,theo}(m_f) = \frac{\Delta U_{C(j)i,x,\max}(m_f = 15)}{U_{dc}/4} \cdot \frac{(m_f = 15)}{m_f} \quad (4.88)$$

Man erkennt in Abb. 4.54 a), dass beim 5L-FLC Umrichter bei Verwendung der APOD-Modulation der simulierte Verlauf der maximalen bezogenen Spannungswelligkeit $\Delta U_{C_{3,x,\max}}/(U_{dc}/4) = f(m_f)$ mit dem mit (4.88) hergeleiteten theoretischen Verlauf exakt übereinstimmt. Hingegen kommt es bei Verwendung der ModPD-Modulation zu Abweichungen zwischen dem simulierten und dem theoretischen Verlauf der maximalen bezogenen Spannungswelligkeit, wobei bei ungeradzahligem und durch 3 teilbarem Frequenzverhältnissen ($m_f = 15, 21, 27, 33, 39, 45$) die Abweichungen kleiner sind als bei geradzahligem Frequenzverhältnissen ($m_f = 18, 24, 30, 36, 42$).

In Abb. 4.54 b) ist zu sehen, dass beim 5L-SMC Umrichter bei Verwendung der ModAPOD-Modulation die durch Simulation ermittelte maximale bezogene Spannungswelligkeit $\Delta U_{C_{12,x,\max}}/(U_{dc}/4) = f(m_f)$ bei ungeradzahligem und durch 3 teilbarem Frequenzverhältnissen ($m_f = 15, 21, 27, 33, 39, 45$) etwas kleiner ist als die, welche mit (4.88) hergeleitet wurde. Hingegen ergeben sich bei geradzahligem Frequenzverhältnissen ($m_f = 18, 24, 30, 36, 42$) im Vergleich mit dem theoretischen Verlauf größere maximale bezogene Spannungswelligkeiten $\Delta U_{C_{12,x,\max}}/(U_{dc}/4) = f(m_f)$. Bei Verwendung der ModPD-Modulation ist zu erkennen, dass

beim 5L-SMC Umrichter die durch Simulation ermittelte Spannungswelligkeit $\Delta U_{C_{12,x},\max}/(U_{dc}/4)$ bei sämtlichen hier betrachteten Frequenzverhältnissen m_f kleiner ist als die welche mit (4.88) hergeleitet wurde. Des Weiteren werden die Abweichungen zwischen den simulierten und den theoretischen Verläufen der bezogenen maximalen Spannungswelligkeit über den entsprechenden Flying Capacitors mit Erhöhung des Frequenzverhältnisses m_f bei beiden Modulationsverfahren kleiner (5L-SMC, vgl. Abb. 4.54 b)).

Zusammenfassend kann folgende Aussage getroffen werden: Die maximale Spannungswelligkeit über den Flying Capacitors, welche im stationären Betrieb des Umrichters auftritt, sinkt indirekt proportional mit Erhöhung des Frequenzverhältnisses m_f bei den hier verwendeten Modulationsverfahren, wenn die Kapazität der Flying Capacitors sowohl im 5L-FLC Umrichter als auch in 5L-SMC Umrichter konstant gehalten wird. Anders ausgedrückt sinkt bei einer konstant angenommenen maximalen Spannungswelligkeit über den Flying Capacitors deren Kapazitätswert indirekt proportional mit Erhöhung des Frequenzverhältnisses m_f . Dieses Verhalten ist bei der groben Abschätzung der Kapazität der Flying Capacitors in (4.87) bereits berücksichtigt, doch wurde durch Simulationen der verschiedenen Schaltungen gezeigt, dass die maximale Spannungswelligkeit bei Verwendung eines sinusförmigen Referenzsignals mit aufmodulierter 3. Harmonischer und einem sinusförmigen Phasenstrom zum Teil wesentlich größer ist (vgl. Tabelle 4-11 / Tabelle 4-12) als der in (4.87) spezifizierte Wert. Die Abweichungen der spezifizierten Spannungswelligkeit sind dabei abhängig von der Stromrichtertopologie, der Wahl des Frequenzverhältnisses m_f und dem verwendeten Modulationsverfahren. Mit (4.87) und den in Tabelle 4-11 und Tabelle 4-12 durch Simulation ermittelten Werten ist aber eine hinreichend genaue Abschätzung der Kapazität der Flying Capacitors auch möglich, wenn ein durch 3 teilbares Frequenzverhältnis gewählt wird.

Für eine exakte Bestimmung der Kapazität der Flying Capacitors ist aber eine Untersuchung mittels Simulation des Gesamtsystems in allen stationären und dynamischen Betriebspunkten notwendig, um einerseits die geforderte Qualität der Ausgangsspannung sicherzustellen und andererseits ein Überschreiten der Spannung über den Halbleitern zu vermeiden.

Es kann gezeigt werden, dass für die weiteren in dieser Arbeit untersuchten Stromrichter topologien mit Flying Capacitors (3L- / 4L-FLC und 7L-SMC) die getroffenen Aussagen auch zutreffen. Analog zu (4.88) wird die Kapazität der Flying Capacitors für den in Kapitel 5 gezeigten Stromrichtervergleich (für die FLC Topologien (4.89) und für SMC Topologien (4.90)) wie folgt bestimmt:

$$C_{F_{i,l}} = \frac{\Delta U_{C_{i,x},\max}(m_f = 15)}{\Delta U_{C,FLC}} \cdot \frac{1}{m_f} \cdot C_n \cdot \frac{2 \cdot \pi}{\sqrt{3} \cdot 1,04 \cdot \Delta U_{C,FLC} / (U_{dc} / (N-1))} \quad (4.89)$$

$$C_{j_i} = \frac{\Delta U_{C_{j_i,x},\max}(m_f = 15)}{\Delta U_{C,FLC}} \cdot \frac{1}{m_f} \cdot C_n \cdot \frac{4 \cdot \pi}{\sqrt{3} \cdot 1,04 \cdot \Delta U_{C,FLC} / (U_{dc} / (N-1))} \quad (4.90)$$

mit

$\Delta U_{C_{j_i,x},\max}$ bzw. $\Delta U_{C_{i,x},\max}$: maximale simulierte Spannungswelligkeit gemäß Tabelle 4-11 und Tabelle 4-12

C_n : Nennkapazität gemäß (4.51)

4.4.4 Auswirkung der Spannungswelligkeit der Flying Capacitors auf die Ausgangsspannungen

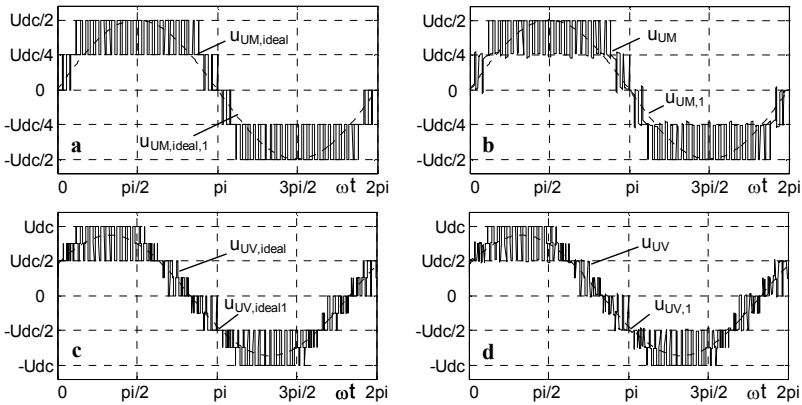


Abb. 4.55: Spannungsverläufe des 5L-FLC Stromrichters bei Sinus-Dreieck Modulation (APOD)
 $(m_f = f_c/f_1 = 15; f_c = 750 \text{ Hz}; m_a = 1,0; \varphi_i = -90^\circ; I_x = 600 \text{ A}; U_{dc} = 4854 \text{ V} = \text{konst.})$
a) ideale Mittelpunktspannung $u_{UM,ideal}$ ($U_{C2,x} = 3U_{dc}/4; U_{C3,x} = U_{dc}/2; U_{C4,x} = U_{dc}/4$)
b) Mittelpunktspannung u_{UM} ($\Delta U_{C2/3/4,x} = 0,1 \cdot U_{dc}/4; C_{FL2/3/4} = 3119 \mu\text{F}$)
c) ideale Außenleiterspannung $u_{UV,ideal}$ ($U_{C2,x} = 3U_{dc}/4; U_{C3,x} = U_{dc}/2; U_{C4,x} = U_{dc}/4$)
d) Außenleiterspannung u_{UV} ($\Delta U_{C2/3/4,x} = 0,1 \cdot U_{dc}/4; C_{FL2/3/4} = 3119 \mu\text{F}$)

Die Auswirkung der Spannungswelligkeit der Flying Capacitors auf die Ausgangsspannungen wird in diesem Kapitel anhand der 5L-FLC Topologie dargestellt, wobei das APOD-Modulationsverfahren verwendet wird. Des Weiteren wird eine konstante Zwischenkreisspannung U_{dc} angenommen. Die Flying Capacitors werden gemäß dem vorherigen Kapitel so dimensioniert, dass eine maximale Spannungswelligkeit von $\Delta U_{C2/3/4,x,max} = 10\% \cdot U_{dc}/4$ nicht überschritten wird. Die Kapazität der Flying Capacitors beträgt mit (4.87) und Tabelle 4-11 unter den in Kapitel 4.4.2 gemachten Annahmen für einen 3,3 kV Antrieb ($m_f = 15; f_c = 750 \text{ Hz}; I_x = 600 \text{ A}; U_{dc} = 4854 \text{ V} = \text{konst.}$) $C_{FL2/3/4,x} = 3119 \mu\text{F}$. In Abb. 4.55 sind die Spannungsverläufe der Mittelpunktspannung u_{UM} sowie der Außenleiterspannung u_{UV} dargestellt, welche sich einerseits bei konstanten Flying Capacitor Spannungen ($U_{C2,x} = 3U_{dc}/4; U_{C3,x} = U_{dc}/2; U_{C4,x} = U_{dc}/4$) und andererseits unter Berücksichtigung der Spannungswelligkeit $\Delta U_{C2/3/4,x}$ ergeben. Im dargestellten Betriebspunkt mit $m_a = 1,0$ und $\varphi_i = -90^\circ$ tritt die maximale Spannungswelligkeit $\Delta U_{C3,x,max}$ über dem Kondensator $C_{FL3,x}$ auf (vgl. Tabelle 4-11). Man erkennt, dass die einzelnen Spannungsstufen ($u_{UM} \neq \pm U_{dc}/2$ bzw. $u_{UV} \neq \pm U_{dc}$) in den Zeitverläufen sowohl der Mittelpunktspannung $u_{UM,x}$ (Abb. 4.55 b)) als auch der Außenleiterspannung u_{UV} (Abb. 4.55 d)) durch die Welligkeit in den Flying Capacitor Spannungen nicht mehr exakt denen der entsprechenden idealen Verläufe (Abb. 4.55 a),c)) entsprechen. In den Amplitudenspektren der Mittelpunktspannungen, welche in Abb. 4.56 zu sehen sind, erkennt man, dass in der idealen Mittelpunktspannung $u_{UM,ideal}$ das 1. Trägerband um die 4-fache Trägerfrequenz $f_{1eb} = 4 \cdot f_c = 60 \cdot f_1$ auftritt (Abb. 4.56 a)). Hingegen sind bei Berücksichtigung der Spannungswelligkeit über den Flying Capacitors in der Mittelpunktspannung u_{UM} Frequenzanteile enthalten, welche um die einfache ($f_c = 15 \cdot f_1$), doppelte ($2 \cdot f_c = 30 \cdot f_1$) und um die dreifache ($3 \cdot f_c = 45 \cdot f_1$) Trägerfrequenz lokalisiert sind (Abb. 4.56 b)). Da die Amplituden der in den Schalterspannungen $u_{S1/2/3/4x}$ enthaltenden Frequenzanteile, welche ebenfalls um

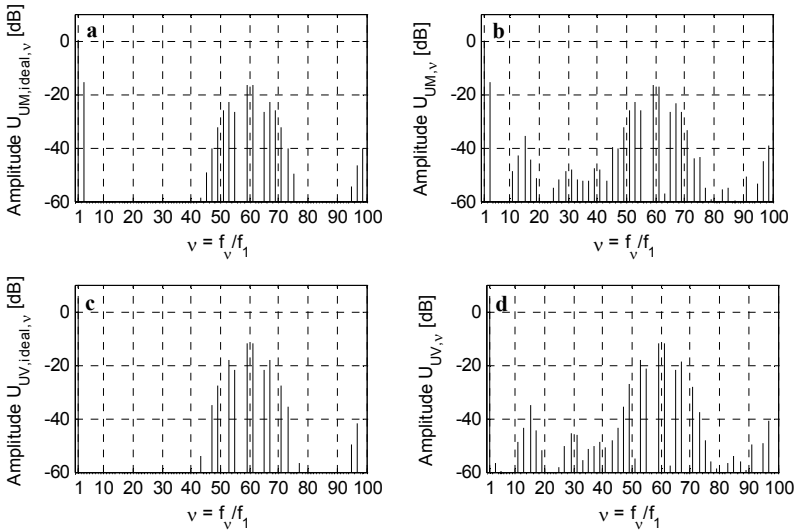


Abb. 4.56: Amplitudenspektren beim 5L-FLC Umrichter (APOD-Modulation)
 ($m_f = f_C/f_1 = 15$; $f_C = 750$ Hz; $m_a = 1,0$; $\varphi_i = -90^\circ$; $I_x = 600$ A; $U_{dc} = 4854$ V = konst.)
 a) ideale Mittelpunktspannung $u_{UM,ideal}$ ($U_{C2,x} = 3U_{dc}/4$; $U_{C3,x} = U_{dc}/2$; $U_{C4,x} = U_{dc}/4$)
 b) Mittelpunktspannung u_{UM} ($\Delta U_{C2/3/4,x} = 0,1 \cdot U_{dc}/4$; $C_{F1,2/3/4} = 3119$ μ F)
 c) ideale Außenleiterspannung $u_{UV,ideal}$ ($U_{C2,x} = 3U_{dc}/4$; $U_{C3,x} = U_{dc}/2$; $U_{C4,x} = U_{dc}/4$)
 d) Außenleiterspannung u_{UV} ($\Delta U_{C2/3/4,x} = 0,1 \cdot U_{dc}/4$; $C_{F1,2/3/4} = 3119$ μ F)

$v = 15, 30, 45$ auftreten, aufgrund der Welligkeit der Flying Capacitor Spannungen nicht mehr identisch sind, ergibt sich trotz der versetzten Taktung der einzelnen FLC-Zellen keine vollständige Eliminierung dieser Frequenzanteile in der Mittelpunktspannung u_{UM} .

In Abb. 4.57 sind die WTHDn der Mittelpunktspannungen $u_{UM,ideal}$ und u_{UM} sowie der Außenleiterspannungen $u_{UV,ideal}$ und u_{UV} als Funktion des Modulationsgrades m_a dargestellt, wobei ein Frequenzverhältnis von $m_f = 15$ gewählt wurde. Ein Unterschied im WTHDn zwischen der idealen und der unter Berücksichtigung der Spannungswelligkeiten über den Flying Capacitors ermittelten Mittelpunktspannung ist nur bei einem Modulationsgrad von $m_a = 0$ zu erkennen. Dies ist darauf zurückzuführen, dass der Verlauf des WTHDn (vgl. (3.16)) der Mittelpunktspannung durch die frequenzabhängige Wichtung der Oberschwingungen maßgeblich von der im Referenzsignal enthaltenen 3. Harmonischen, deren Amplitude gemäß (3.2) linear mit dem Modulationsgrad wächst, bestimmt wird. Bei $m_a = 0$ hingegen treten nur die Oberschwingungen, welche durch die Spannungswelligkeit der Flying Capacitor Spannungen hervorgerufen werden, im WTHDn in Erscheinung (Abb. 4.57 a)). An den Verläufen des WTHDn der beiden Außenleiterspannungen u_{UV} und $u_{UV,ideal}$ (Abb. 4.57 b)) erkennt man, dass durch die Spannungswelligkeiten über den Flying Capacitors der WTHDn der Außenleiterspannung u_{UV} im gesamten Modulationsgradbereich größer ist als der der idealen Spannung $u_{UV,ideal}$. Die Abweichungen zwischen den beiden Verläufen sind bei $m_a = 0$; 0,3 (7%) und 0,6 (23%) am Größten, da bei diesen Modulationsgraden die Mittelpunktspannungen u_{UM} und u_{VM} und damit die Spannung u_{UV} innerhalb einer Periode des Referenzsignals u_{ref} überwiegend aus den Flying Capacitor Spannungen $u_{C2/3/4x}$ gebildet wird. Hingegen werden bei $m_a = 1,15$ die Ausgangsspannungen u_{UM} , u_{VM} und u_{UV} größtenteils über

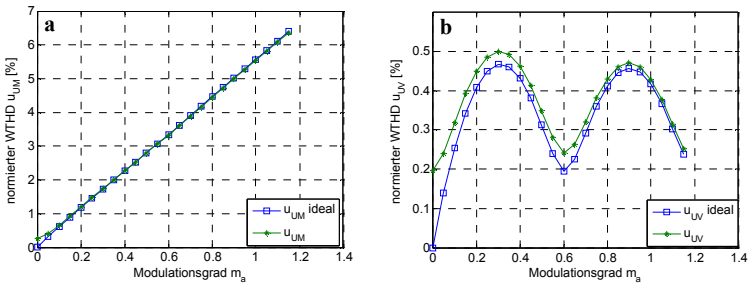


Abb. 4.57: Vergleich des WTHDn der Spannungen am 5L-FLC Umrichter (APOD-Modulation); ideal / unter Berücksichtigung der Spannungswelligkeit über den Flying Capacitors
 ($m_f = f_C/f_1 = 15$; $f_C = 750$ Hz; $\varphi_i = -90^\circ$; $I_x = 600$ A; $U_{dc} = 4854$ V = konst.)
 a) WTHDn der Mittelpunktspannung $u_{UM, ideal} / u_{UM}$
 b) WTHDn der Außenleiterspannung $u_{UV, ideal} / u_{UV}$

die konstant angenommene Zwischenkreisspannung U_{dc} generiert, womit die Abweichung zwischen den beiden Verläufen des WTHDn sehr klein ist.

5 Vergleich der Stromrichtertopologien

Es gibt in der Literatur zahlreiche Publikationen zur Funktion bzw. zu Teilaspekten (z.B. Modulationsarten, Auslegung Flying Capacitors, Harmonische Spektren, etc.) der zuvor beschriebenen Stromrichtertopologien 3L-NPC, 3L-FLC, 4L-FLC, 5L-FLC, 5L-SMC, 7L-SMC. Da es bisher allerdings keinen detaillierten Vergleich dieser Stromrichtertopologien gibt, soll in diesem Kapitel der Aufwand an aktiven und passiven Komponenten, das harmonische Spektrum der Ausgangsspannung (THDn, WTHDn), die Halbleiterverlustverteilung, die maximalen Stromrichterleistungen der o.g. Stromrichter untersucht werden. Hierzu werden folgende Festlegungen getroffen und Vergleiche durchgeführt:

1. Daten für den Stromrichtervergleich
2. Basis des Vergleiches
3. Vergleich von 2,3 kV / 4,16 kV / 6,6 kV Mittelspannungsstromrichtern
4. Vergleich bei verschiedenen Schaltfrequenzen
5. Vergleich bei maximaler Trägerfrequenz
6. Vergleich bei einer identischen Ausgangsleistung

5.1 Daten für den Stromrichtervergleich

In diesem Kapitel werden die für den Stromrichtervergleich benötigten Halbleiterbauelemente definiert, wobei diskrete IGBT-Module (Single IGBT-Module) mit einer integrierten antiparallelen Diode zum Einsatz kommen. Zur besseren Vergleichbarkeit der untersuchten Stromrichtertopologien werden nur IGBT-Module verwendet, welche eine Bodengrundplattenfläche von 190mm x 140mm aufweisen. Die in dieser Arbeit vorgestellten Stromrichtertopologien besitzen dabei Ausgangsspannungen von $U_{UV,1} = 2,3 \text{ kV} / 4,16 \text{ kV}$ sowie 6,6 kV, welche für Anwendungen im Mittelspannungsbereich typisch sind.

In Tabelle 5-1 ist eine Übersicht über die verwendeten IGBT-Module dargestellt. Es werden IGBT-Module verwendet, welche aktuell am Markt verfügbar sind [73], [74] und heutzutage in spannungsgespeisten Stromrichtern (z.B. 3L-NPC, 4L-FLC und SCHB Umrichtern) eingesetzt werden. Für die Bestimmung der Leit- und Schaltverluste wird das in Kapitel 4.1 (vgl. Abb. 4.1) dargestellte Verlustmodell benutzt, wobei die Durchlassspannungs- und die Schaltverlustenergiefunktionen der verwendeten IGBTs bzw. Dioden mit den in Anhang A dargestellten mathematischen Formeln sowie deren Faktoren angepasst werden.

In Tabelle 5-2 - Tabelle 5-4 sind für die entsprechenden Stromrichter-Ausgangsspannungen die Kommutierungsspannung U_{Kom} sowie die Nennspannungen ($U_{CE,n}$) der verwendeten IGBT-Module dargestellt. Die Zwischenkreisspannung U_{dc} wurde mit (4.21) berechnet und wird als konstant angenommen, da die in Kapitel 4.3 darstellte Spannungswelligkeit ΔU_{dc} für die Bestimmung der Halbleiterverluste im Mittel vernachlässigt werden kann. Entsprechend wird auch die Spannungswelligkeit, welche in den FLC/SMC Topologien über den Flying Capacitors auftritt, vernachlässigt. Gemäß den Ausführungen in Kapitel 3 sind die Kommutierungsspannungen U_{Kom} für die verschiedenen Stromrichter hergeleitet worden (vgl. Tabelle 4-1). Das Verhältnis $U_{Kom}/U_{Kom@100FIT}$ stellt ein Maß für die Spannungsausnutzung der verwendeten IGBT-Module in den betrachteten Kommutierungszellen der verschiedenen Stromrichtertopologien dar. Des Weiteren wird in den Stromrichtertopologien, in denen in der entsprechenden Spannungsklasse die Verwendung eines 6,5 kV Moduls pro Schalterposition notwendig wird ($U_{UV,1} = 4,16 \text{ kV}$: 3L-NPC / 3L-FLC), vergleichend die Verwendung von zwei in Reihe geschalteten 3,3 kV Modulen betrachtet, da diese Anordnung auch in industriellen

Stromrichtern zum Einsatz kommt. Dabei wird eine ideale (symmetrische) Spannungsaufteilung zwischen den in Reihe geschalteten IGBT-Modulen angenommen. Bei der technischen Realisierung treten bei einer Reihenschaltung von IGBT-Modulen aufgrund unterschiedlichster Faktoren (z.B. unterschiedliche Sperrschichttemperaturen und Schaltverzögerungszeiten) sowohl im stationären Betrieb (Blockier- bzw. Durchlasszustand) als auch in den dynamischen Schaltvorgängen Unsymmetrien in der Spannungsaufteilung auf. Diese Effekte sowie Maßnahmen zur Optimierung hin zu einer symmetrischen Spannungsaufteilung sind in [75] detailliert dargestellt.

Man erkennt in Tabelle 5-2 - Tabelle 5-4, dass der Spannungsausnutzungsfaktor $U_{\text{Kom}}/U_{\text{Kom}@100\text{FIT}}$ der IGBT-Module in den betrachteten Stromrichter-ausgangsspannungsklassen zwischen 0,81 und 1,08 liegt. Damit liegen die Ausfallraten der IGBT-Module aufgrund der Höhenstrahlung in einem vergleichbaren Bereich.

Tabelle 5-1 Übersicht der verwendeten IGBT-Module

IGBT-Modul (Kennzeichnung)	1,2kV / 1800 A (FZ1800R12KL4C)	1,7kV / 1800 A (FZ1800R17KF6C B2)
Hersteller	INFINEON	INFINEON
Nennspannung $U_{\text{CE,n}}$	1200 V	1700 V
$U_{\text{Kom}@100\text{FIT}}^*$	600 V	900 V
Schalterleistung S_S^{**}	3,24 MVA	4,59 MVA
Nennstrom $I_{\text{C,n}} @ \vartheta_{\text{T,max}}=125^\circ\text{C}$	1800A	1800A
IGBT-Modul Abmessung	190 x 140 [mm]	190 x 140 [mm]
Wärmewiderstand IGBT $R_{\text{th,ic,T}}$	11 K/kW	9 K/kW
Wärmewiderstand Diode $R_{\text{th,ic,D}}$	24 K/kW	17 K/kW
Modul Übergangs-Wärmewiderstand $R_{\text{th,ch}}$	6 K/kW	6 K/kW

IGBT-Modul (Kennzeichnung)	2,5kV / 1200 A (CM1200HB-50H)	3,3kV / 1200 A (FZ1200R33KF2C)
Hersteller	Mitsubishi	INFINEON
Nennspannung $U_{\text{CE,n}}$	2500V	3300V
$U_{\text{Kom}@100\text{FIT}}^*$	1250 V	1800 V
Schalterleistung S_S^{**}	4,5 MVA	5,94 MVA
Nennstrom $I_{\text{C,n}} @ \vartheta_{\text{T,max}}=125^\circ\text{C}$	1200A	1200A
IGBT-Modul Abmessung	190 x 140 [mm]	190 x 140 [mm]
Wärmewiderstand IGBT $R_{\text{th,ic,T}}$	8 K/kW	8,5 K/kW
Wärmewiderstand Diode $R_{\text{th,ic,D}}$	16 K/kW	17 K/kW
Modul Übergangs-Wärmewiderstand $R_{\text{th,ch}}$	6 K/kW	6 K/kW

IGBT-Modul (Kennzeichnung)	4,5 kV/ 900 A (CM900HB-90H)	6,5 kV / 600A (FZ600R65KF1)
Hersteller	Mitsubishi	INFINEON
Nennspannung $U_{\text{CE,n}}$	4500 V	6500 V
$U_{\text{Kom}@100\text{FIT}}^*$	2250 V	3600 V
Schalterleistung S_S^{**}	6,075 MVA	5,85 MVA
Nennstrom $I_{\text{C,n}} @ \vartheta_{\text{T,max}}=125^\circ\text{C}$	900 A	600 A
IGBT-Modul Abmessung	190 x 140 [mm]	190 x 140 [mm]
Wärmewiderstand IGBT $R_{\text{th,ic,T}}$	9 K/kW	11 K/kW
Wärmewiderstand Diode $R_{\text{th,ic,D}}$	18 K/kW	21 K/kW
Modul Übergangs-Wärmewiderstand $R_{\text{th,ch}}$	7 K/kW	6 K/kW

***) Kommutierungsspannung U_{Kom} bei einer Modulzuverlässigkeit von 100 FIT**

*****) Schalterleistung pro Modul $S_S = U_{\text{CE,n}} \cdot I_{\text{C,n}} + 0,5 \cdot U_{\text{f,n}} \cdot I_{\text{f,n}}$ (IGBT + Diode) [8]**

Tabelle 5-2 Kommutierungsspannung U_{Kom} und Nennspannung $U_{CE,n}$ der verwendeten IGBT-Module pro Schalterposition (2,3 kV-Antrieb; $U_{dc} = 3882$ V)

Umrichter	3L-NPC	3L-FLC	4L-FLC	5L-FLC	5L-SMC	7L-SMC
U_{Kom}	1691 V	1691 V	1127 V	846 V	846 V	564 V
Nennspannung $U_{CE,n}$ IGBT-Modul	3,3 kV	3,3 kV	2,5 kV	1,7 kV	1,7 kV	1,2 kV
$U_{Kom}/U_{Kom@100FIT}$	0,94	0,94	0,90	0,94	0,94	0,94

Tabelle 5-3 Kommutierungsspannung U_{Kom} und Nennspannung $U_{CE,n}$ der verwendeten IGBT-Module pro Schalterposition (4,16 kV-Antrieb; $U_{dc} = 6118$ V)

Umrichter	3L-NPC	3L-FLC	4L-FLC	5L-FLC	5L-SMC	7L-SMC
U_{Kom}	3059 V	3059 V	2039 V	1529 V	1529 V	1020 V
Nennspannung $U_{CE,n}$ IGBT-Modul	2 x 3,3 kV 6,5 kV	2 x 3,3 kV 6,5 kV	4,5 kV	3,3 kV	3,3 kV	2,5 kV
$U_{Kom}/U_{Kom@100FIT}$	0,85	0,85	0,91	0,85	0,85	0,82

Tabelle 5-4 Kommutierungsspannung U_{Kom} und Nennspannung $U_{CE,n}$ der verwendeten IGBT-Module pro Schalterposition (6,6 kV-Antrieb; $U_{dc} = 9707$ V)

Umrichter	3L-NPC	3L-FLC	4L-FLC	5L-FLC	5L-SMC	7L-SMC
U_{Kom}	4854 V	4854 V	3236 V	2427 V	2427 V	1618 V
Nennspannung $U_{CE,n}$ IGBT-Modul	2 x 4,5 kV	2 x 4,5 kV	2 x 3,3 kV 6,5 kV	2 x 2,5 kV	2 x 2,5 kV	3,3 kV
$U_{Kom}/U_{Kom@100FIT}$	1,08	1,08	0,90	1,08	1,08	0,90

Tabelle 5-5 Stromrichterdaten für den Vergleich

Stromrichternennausgangsspannung $U_{UV,1}$	2,3 kV	4,16 kV	6,6 kV
Zwischenkreisspannung U_{dc}	3382 V	6118 V	9707 V
Phasenstrom $I_{x,rms}$	690 A – 1260 A	220 A – 625 A	350 A – 995 A
Stromrichterscheinleistung S_C	2,768 MVA – 5,019 MVA	1,585 MVA – 4,503 MVA	4 MVA – 11,37 MVA
Modulation	Kontinuierliche Sinus-Dreieck-Modulation mit aufmodulierter 3. Harmonischer 3L-NPC: PD-Modulation FLC: APOD-Modulation SMC: ModAPOD-Modulation [53]		
Trägerfrequenz f_c	150 Hz – 3450 Hz	150 Hz – 2800 Hz	150 Hz – 3325 Hz
Stromrichter Ausgangsfrequenz f_o	50 Hz	50 Hz	50 Hz
Maximale Sperrschichttemperatur $\vartheta_{j,max}$ (IGBT, Diode)	125° C	125° C	125° C
Temperatur der Kühleinrichtung T_h	95° C	95° C	95° C

In Tabelle 5-5 sind die Kennwerte der Stromrichter des in Kapitel 5 gezeigten Stromrichtervergleichs dargestellt, wobei in jeder betrachteten Spannungs-kategorie eine identische installierte Schalterleistung S_s gemäß (4.22) in allen untersuchten Stromrichtertopologien angenommen wird. Da die Leit- und Schaltverluste der Halbleiter nur marginal von der Art der Modulation (PD-, APOD-Modulation) abhängen, werden bei dem Stromrichtervergleich nur die gegenwärtig am häufigsten verwendeten Modulationsverfahren benutzt (vgl. Tabelle 5-5, [7], [23], [27]).

Die Kapazität des Zwischenkreiskondensators C_{dc} wird gemäß Abschnitt 4.3 durch eine Simulation des Gesamtsystems (inkl. netzseitiger 24-puls Einspeisung; $\sqrt{3}U_{U,pl} = 10$ kV) ermittelt, wobei eine maximale Spannungswelligkeit von 5% der Zwischenkreisspannung U_{dc} im Betriebspunkt mit $m_a = 1,11$; $\cos(\varphi_i) = 0,9$ und einer Frequenz der Ausgangsspannung von $f_1 = 50$ Hz angenommen wird. Die Kenndaten der beiden 12-puls Transformatoren sind in Tabelle 4-9 dargestellt.

Die Kapazitäten der Flying Capacitors werden mittels der Untersuchungen des Kapitels 4.4.3 bzw. mit (4.89) und (4.90) bestimmt, wobei eine maximale Spannungswelligkeit über den Flying Capacitors von 10% der nominalen Spannung des inneren Flying Capacitors C_{FLP} (FLC Topologie) bzw. C_{jp} (SMC Topologie mit 2 Stacks) festgelegt wird. Des Weiteren wird für die Dimensionierung der Kapazität der Flying Capacitors bei den FLC / SMC Topologien das APOD-Modulationsverfahren herangezogen, da der Wert der Kapazität im Vergleich zur PD-Modulation deutlich geringer ist und somit einen realistischeren Vergleich bezüglich der gespeicherten Energie der betrachteten Stromrichtertopologien ermöglicht. (vgl. Tabelle 4-11 / Tabelle 4-12).

5.2 Basis des Vergleiches

Bei dem nun folgenden Vergleich der Stromrichtertopologien wird einerseits die maximale Stromrichterausgangsleistung $S_{C,max}$ und andererseits die maximale Trägerfrequenz $f_{C,max}$ ermittelt, wobei in den jeweiligen Ausgangsspannungsklassen (2,3 kV / 4,16 kV / 6,6 kV) eine identische installierte Schalterleistung S_S in allen untersuchten Stromrichtertopologien angenommen wird. Die Basis für die installierte Schalterleistung in jeder Spannungsstufe wird dabei von der Schalterleistung der 3L-NPC Topologie, welche mit diskreten IGBT-Modulen gemäß den Tabelle 5-1 - Tabelle 5-4 betrieben wird, bestimmt. Damit die weiteren Stromrichtertopologien eine identische installierte Schalterleistung aufweisen, werden, ausgehend von den in Tabelle 5-1 verwendeten IGBT-Modulen, IGBT-Module mit einem fiktiven Nennstrom $I_{C,n}$ definiert (vgl. Kapitel 4.2.1). Die installierte Schalterleistung S_S gemäß (4.22) ist dabei ein Maß für den Halbleitaraufwand.

Der Vergleich bezüglich der maximalen Stromrichterausgangsleistung $S_{C,max}$ wird bei drei verschiedenen Frequenzen gezeigt, wobei jeweils die Frequenz $f_{1,cb}$, um die das 1. Trägerband im Amplitudenspektrum der verketteten Ausgangsspannung u_{UV} auftritt, in allen Stromrichtertopologien identisch ist ($f_{1,cb} = 450$ Hz / 750 Hz / 1050 Hz). Damit das 1. Trägerband in den betrachteten Topologien um die gleiche Frequenz $f_{1,cb}$ liegt, müssen die Trägerfrequenzen f_c der untersuchten FLC / SMC Topologien im Vergleich zu der des 3L-NPC Stromrichters ($f_{c,3L-NPC} = f_{1,cb}$) reduziert werden (vgl. Kapitel 3; Tabelle 5-6). Für den 5L-FLC Umrichter resultiert bei einer Frequenz $f_{1,cb} = 450$ Hz, um die das 1. Trägerband lokalisiert ist, eine Trägerfrequenz von $f_c = 112,5$ Hz ($= f_{1,cb}/4$), was einem Frequenzverhältnis von $m_f = 2,25$ entspricht. Für dieses kleine Frequenzverhältnis ist die Anwendung des hier verwendeten Sinus-Dreieck-Vergleichs unrealistisch, weshalb der 5L-FLC Umrichter bei $f_{1,cb} = 450$ Hz nicht weiter betrachtet wird. Unter den genannten Voraussetzungen ($f_{1,cb} = 450$ Hz / 750 Hz / 1050 Hz) ergibt sich in dem betrachteten Betriebspunkt mit $m_a = 1,11$ ($U_{UV,1} = 2,3$ kV / 4,16 kV / 6,6 kV) ein WTHDn (vgl. (3.16)) der bei allen Stromrichtertopologien in einem vergleichbaren Bereich liegt.

Die maximale Stromrichterausgangsleistung $S_{C,max}$ der jeweiligen Stromrichtertopologie wird dabei in dem kritischsten Arbeitspunkt der im Abschnitt 4.2.2 dargestellten Betriebspunkte bestimmt, in dem ein Halbleiter aufgrund der generierten Verluste im 4-Quadrantenbetrieb die maximale Sperrschichttemperatur $\vartheta_{j,max} = 125$ °C erreicht.

Beim Vergleich der maximalen Trägerfrequenzen $f_{C,max}$, welche in den untersuchten Stromrichtertopologien erreicht werden können, wird die installierte Schalterleistung S_S sowie die Stromrichterausgangsleistung S_C festgelegt. Analog zur Bestimmung der maximalen

Stromrichterausgangsleistung $S_{C,\max}$ wird die maximale Trägerfrequenz der jeweiligen Stromrichtertopologie in einem der kritischen Arbeitspunkte bestimmt, in dem ein Halbleiter aufgrund der generierten Verluste im 4-Quadrantenbetrieb eine maximale Sperrschichttemperatur $\vartheta_{j,\max} = 125\text{ °C}$ erreicht.

5.3 Vergleich für einen 2,3 kV Mittelspannungsstromrichter

5.3.1 Vergleich bei verschiedenen Schaltfrequenzen

In Tabelle 5-6 sind die Halbleiterauslegung, die maximale Stromrichterscheinleistung $S_{C,max}$, die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien dargestellt, wobei drei verschiedene Frequenzen f_{1cb} , um die das 1. Trägerband in der verketteten Ausgangsspannung u_{UV} ($f_{1cb} = 450$ Hz, 750 Hz, 1050 Hz) lokalisiert ist, betrachtet werden ($S_S = 83,16$ MVA = const.). Als Bezugswert für die installierte Schalterleistung $S_S = 83,16$ MVA = const. aller Topologien wird die des 3L-NPC Umrichters mit 3,3kV/1200A IGBT-Modulen gewählt. Des Weiteren ist ein Halbleiterausnutzungsfaktor $S_{C,max}/S_S$ definiert worden, welcher das Verhältnis zwischen der maximalen Stromrichterscheinleistung $S_{C,max}$ im 4-Quadranten Betrieb und der installierten Schalterleistung S_S angibt. Zusammenfassend sind die wichtigsten Ergebnisse der Untersuchungen bezüglich der Auslegung des 2,3 kV Stromrichters in den Abb. 5.1 - Abb. 5.7 grafisch dargestellt.

Maximale Stromrichterausgangsleistung. In Tabelle 5-6 und Abb. 5.1 ist die maximale Stromrichterausgangsleistung $S_{C,max}$ dargestellt, wobei die prozentualen Angaben (maximale Stromrichterausgangsleistung $S_{C,max,rel}$) in Abb. 5.1 auf die maximale Stromrichterleistung im 4-Quadranten Betrieb des 3L-NPC Umrichters bei der jeweiligen Frequenz f_{1cb} , um die das 1. Trägerband lokalisiert ist, bezogen sind. Man erkennt in Tabelle 5-6 und Abb. 5.1, dass im Vergleich zum 3L-NPC Umrichter ($S_{C,max,3L-NPC} = 3,585$ MVA) der 3L-FLC Umrichter eine um 19% und der 4L-FLC Umrichter eine um 40% größere maximale Stromrichterscheinleistung $S_{C,max}$ im 4-Quadrantenbetrieb realisieren, wenn das erste Trägerband im Amplitudenspektrum der verketteten Spannung u_{UV} um $f_{1cb} = 450$ Hz auftritt ($S_{C,max,3L-FLC} = 4,263$ MVA; $S_{C,max,4L-FLC} = 5,019$ MVA). Dies ist damit zu erklären, dass die Trägerfrequenz des 3L-FLC bzw. des 4L-FLC Umrichters unter den getroffenen Voraussetzungen ($f_{1cb} = 450$ Hz) um den Faktor 2 bzw. 3 kleiner ist verglichen mit der des 3L-NPC Umrichters ($f_{C,3L-NPC} = 450$ Hz; $f_{C,3L-FLC} = 225$ Hz; $f_{C,4L-FLC} = 150$ Hz). Somit generieren die entsprechenden Halbleiter einer Kommutierungszelle (z.B. 3L-NPC: S_{1x}/D_{5x} bzw. S_{3x}/D_{1x} vgl. Kapitel 3.1.1) des 3L-NPC Umrichters in den kritischen Arbeitspunkten neben den Leitverlusten $P_{IS/D}$ höhere Schaltverluste $P_{on/off/S/D}$ im Vergleich zu denen des 3L- bzw. 4L - FLC Umrichters (3L/4L-FLC: S_{1x}/D'_{1x} bzw. S'_{1x}/D_{1x} vgl. Kapitel 3.2.1), da sowohl beim 3L-NPC Umrichter als auch bei den FLC-Umrichtern die gemittelten Schaltfrequenzen der Halbleiter einer Kommutierungszelle der halben Trägerfrequenz entsprechen. Zusätzlich kommt es im Gegensatz zu den FLC Topologien beim 3L-NPC Umrichter zu einer ungleichmäßigen Aufteilung der Halbleiterverluste in den für den 4-Quadrantenbetrieb kritischen Arbeitspunkten (vgl. Kapitel 4.2.2; Abb. 4.6 / Abb. 4.8), womit die maximale Sperrschichttemperatur des kritischen Halbleiters bei einem, im Vergleich zu den FLC Topologien, niedrigeren Phasenstrom auftritt.

Hingegen sind die maximalen Stromrichterausgangsleistungen $S_{C,max}$ im 4-Quadranten Betrieb sowohl der 5L- als auch der 7L-SMC Topologie um ca. 23% geringer verglichen mit der der 3L-NPC Topologie, obwohl die Trägerfrequenzen und somit die durchschnittlichen Schaltfrequenzen der Halbleiter in den entsprechenden Kommutierungszellen um den Faktor 2 (5L-SMC) bzw. 3 (7L-SMC) geringer sind ($f_{C,5L-SMC} = 225$ Hz; $f_{C,7L-SMC} = 150$ Hz). Dies ist dadurch zu erklären, dass die Schalter und Dioden der IGBT-Module, welche im inneren Zweig angeordnet sind, in den kritischen Arbeitspunkten mit $m_a = 0,05$ im Vergleich zu den Schaltverlusten sehr hohe Leitverluste generieren (vgl. Kapitel 4.2.2 Abb. 4.10 c),d)), welche die maximale Stromrichterausgangsleistung im Wesentlichen begrenzen.

Tabelle 5-6 Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_S und identischer Frequenz f_{teb} um die das 1. Trägerband in der Ausgangsspannung auftritt ($f_{\text{teb}} = 450 / 750 / 1050$ Hz; $U_{\text{UV},1} = 2,3$ kV; $U_{\text{de}} = 3382$ V)

	3L-NPC VSC	3L-FLC VSC	4L-FLC VSC	
Installierte Schalterleistung S_S	83,16 MVA	83,16 MVA	83,16 MVA	
IGBT	FZ1200R33KF2C	FZ1200R33KF2C	CM1200HB-50H	
$U_{\text{Kom}} / U_{\text{Kom}@100\%I}$	0,94	0,94	0,9	
IGBT/Dioden Nennstrom I_{C_n} (Stromfaktor c_f)	1200 A (1)	1400 A (7/6)	1232A (1,0266)	
Relative Chipfläche IGBT / Diode	100 % / 100 %	116,7 % / 77,8 %	99,9 % / 80,5 %	
$f_{\text{teb}} = 450$ Hz	Trägerfrequenz f_c	450 Hz	225 Hz	150 Hz
	Maximaler Phasenstrom $I_{c,\text{max}}$ @ $\vartheta_{\text{max}} = 125^\circ$ C	900 A	1070 A	1260 A
	Maximale Scheinleistung $S_{C,\text{max}}$	3,585 MVA	4,263 MVA	5,019 MVA
	Relative Maximale Scheinleistung $S_{C,\text{max,rel}}$	100 %	119 %	140 %
	Halbleiterausnutzungsfaktor $S_{C,\text{max}}/S_S$	4,31 %	5,13 %	6,04 %
	DC-Link Capacitor C_{dc}	2919 μF	8009 μF	5885 μF
	Flying Capacitors C_{FLC}	-	19881 μF	44844 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{C,\text{max}}$)	16702 Ws 4,66 Ws/kVA	45830 Ws 10,75 Ws/kVA	33673 Ws 6,71 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{C,\text{max}}$)	-	85315 Ws 20,01 Ws/kVA	427642 Ws 85,2 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{C,\text{max}}$	4,66 Ws/kVA	30,76 Ws/kVA	91,9 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)	1,79 % (PD)	4,5 % (APOD)	3,55 % (APOD)
$f_{\text{teb}} = 750$ Hz	Trägerfrequenz f_c	750 Hz	375 Hz	250 Hz
	Maximaler Phasenstrom $I_{c,\text{max}}$ @ $\vartheta_{\text{max}} = 125^\circ$ C	790 A	990 A	1220 A
	Maximale Scheinleistung $S_{C,\text{max}}$	3,147 MVA	3,944 MVA	4,8601 MVA
	Relative Maximale Scheinleistung $S_{C,\text{max,rel}}$	100 %	125 %	154 %
	Halbleiterausnutzungsfaktor $S_{C,\text{max}}/S_S$	3,78 %	4,74 %	5,84 %
	DC-Link Capacitor C_{dc}	3383 μF	3379 μF	7223 μF
	Flying Capacitors C_{FLC}	-	11036 μF	26053 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{C,\text{max}}$)	19357 Ws 6,15 Ws/kVA	19335 Ws 4,90 Ws/kVA	41329 Ws 8,50 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{C,\text{max}}$)	-	47362 Ws 12,01 Ws/kVA	248439 Ws 51,12 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{C,\text{max}}$	6,15 Ws/kVA	16,91 Ws/kVA	59,62 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)	1,68 % (PD)	2,05 % (APOD)	1,5 % (APOD)
$f_{\text{teb}} = 1050$ Hz	Trägerfrequenz f_c	1050 Hz	525 Hz	350 Hz
	Maximaler Phasenstrom $I_{c,\text{max}}$ @ $\vartheta_{\text{max}} = 125^\circ$ C	700 A	910 A	1180 A
	Maximale Scheinleistung $S_{C,\text{max}}$	2,789 MVA	3,625 MVA	4,701 MVA
	Relative Maximale Scheinleistung $S_{C,\text{max,rel}}$	100 %	130 %	169 %
	Halbleiterausnutzungsfaktor $S_{C,\text{max}}/S_S$	3,35 %	4,36 %	5,65 %
	DC-Link Capacitor C_{dc}	2727 μF	2135 μF	4215 μF
	Flying Capacitors C_{FLC}	-	7346 μF	17998 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{C,\text{max}}$)	15602 Ws 5,59 Ws/kVA	12219 Ws 3,37 Ws/kVA	24114 Ws 5,13 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{C,\text{max}}$)	-	31096 Ws 8,58 Ws/kVA	171639 Ws 36,51 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{C,\text{max}}$	5,59 Ws/kVA	11,95 Ws/kVA	41,64 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)	1,09 % (PD)	1,39 % (APOD)	0,88 % (APOD)

Fortsetzung Tabelle 5-6
Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_S und
identischer Frequenz f_{leb} um die das 1. Trägerband in der Ausgangsspannung auftritt
($f_{\text{leb}} = 450 / 750 / 1050$ Hz; $U_{\text{UV},1} = 2,3$ kV; $U_{\text{dc}} = 3382$ V)

		5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
	Installierte Schalterleistung S_S	83,16 MVA	83,16 MVA	83,16 MVA
	IGBT	FZ1800R17KF6CB2	FZ1800R17KF6B2	FZ1800R12KL4C
	$U_{k,\text{om}} / U_{k,\text{om}}@100\text{kHz}$	0,94	0,94	0,94
	IGBT/Dioden Nennstrom $I_{c,n}$ (Stromfaktor c_t)	1358,8 A (0,7549)	905,9 A (0,50327)	856 A (0,4756)
	Relative Chipfläche IGBT / Diode	118 % / 58,8 %	118 % / 58,8 %	130 % / 92,5 %
$f_{\text{ob}} = 450$ Hz	Trägerfrequenz f_c		225 Hz	150 Hz
	Maximaler Phasenstrom $I_{s,\text{max}}$ @ $\vartheta_{s,\text{max}} = 125^\circ$ C		700 A	695 A
	Maximale Scheinleistung $S_{c,\text{max}}$		2,789 MVA	2,769 MVA
	Relative Maximale Scheinleistung $S_{c,\text{max,rel}}$		77,78 %	77,22 %
	Halbleiterausnutzungsfaktor $S_{c,\text{max}}/S_S$		3,35 %	3,33 %
	DC-Link Capacitor C_{dc}		5306 μF	3115 μF
	Flying Capacitors C_{FLC}		28146 μF	56173 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{c,\text{max}}$)		30357 Ws 10,83 Ws/kVA	17825 Ws 6,44 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{c,\text{max}}$)		60390 Ws 21,66 Ws/kVA	267838 Ws 96,74 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{c,\text{max}}$		32,54 Ws/kVA	103,28 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)		2,51 % (APOD)	3,45 % (APOD)
$f_{\text{ob}} = 750$ Hz	Trägerfrequenz f_c	187,5 Hz	375 Hz	250 Hz
	Maximaler Phasenstrom $I_{s,\text{max}}$ @ $\vartheta_{s,\text{max}} = 125^\circ$ C	1100 A	695 A	690 A
	Maximale Scheinleistung $S_{c,\text{max}}$	4,382 MVA	2,768 MVA	2,748 MVA
	Relative Maximale Scheinleistung $S_{c,\text{max,rel}}$	139 %	87,97 %	87,3 %
	Halbleiterausnutzungsfaktor $S_{c,\text{max}}/S_S$	5,27 %	3,3 %	3,3 %
	DC-Link Capacitor C_{dc}	15583 μF	5469 μF	6169 μF
	Flying Capacitors C_{FLC}	32816 μF	16767 μF	33462 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{c,\text{max}}$)	89163 Ws 20,35 Ws/kVA	31291 Ws 11,30 Ws/kVA	35299 Ws 12,88 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{c,\text{max}}$)	492876 Ws 112,48 Ws/kVA	35975 Ws 12,99 Ws/kVA	159546 Ws 58,04 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{c,\text{max}}$	132,83 Ws/kVA	24,29 Ws/kVA	70,88 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)	1,75 % (APOD)	1,75 % (APOD)	1,72 % (APOD)
$f_{\text{ob}} = 1050$ Hz	Trägerfrequenz f_c	262,5 Hz	525 Hz	350 Hz
	Maximaler Phasenstrom $I_{s,\text{max}}$ @ $\vartheta_{s,\text{max}} = 125^\circ$ C	1090 A	690 A	690 A
	Maximale Scheinleistung $S_{c,\text{max}}$	4,342 MVA	2,748 MVA	2,748 MVA
	Relative Maximale Scheinleistung $S_{c,\text{max,rel}}$	156 %	98,6 %	98,6 %
	Halbleiterausnutzungsfaktor $S_{c,\text{max}}/S_S$	5,22 %	3,3 %	3,3 %
	DC-Link Capacitor C_{dc}	6403 μF	3999 μF	6186 μF
	Flying Capacitors C_{FLC}	23227 μF	11890 μF	23901 μF
	gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}} / S_{c,\text{max}}$)	36639 Ws 8,44 Ws/kVA	22883 Ws 8,32 Ws/kVA	35394 Ws 12,88 Ws/kVA
	gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}} / S_{c,\text{max}}$)	348854 Ws 80,34 Ws/kVA	25512 Ws 9,28 Ws/kVA	113962 Ws 41,46 Ws/kVA
	Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{c,\text{max}}$	88,78 Ws/kVA	17,60 Ws/kVA	54,34 Ws/kVA
	WTHDn u_{UV} ($m_b = 1,11$)	0,93 % (APOD)	0,93 % (APOD)	1,0 % (APOD)

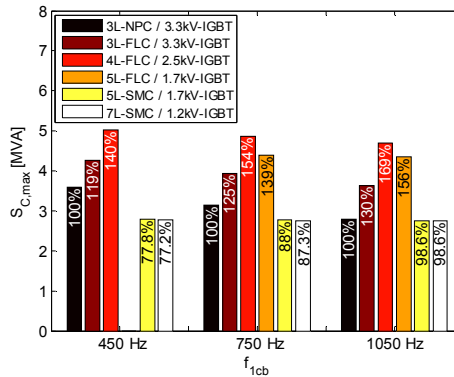


Abb. 5.1 Maximale Stromrichterausgangsleistung $S_{C,max}$ als Funktion der Frequenz $f_{1,cb}$ um die das 1. Trägerband in der Ausgangsspannung auftritt ($U_{UV,1} = 2,3$ kV)

Mit Erhöhung der Frequenz, um die das 1. Trägerbandes ($f_{1,cb} = 750$ Hz / 1050 Hz) der Ausgangsspannung lokalisiert ist, sinken in allen betrachteten Umrichter die entsprechenden maximal möglichen Stromrichterausgangsleistungen $S_{C,max}$, da die Schaltverluste der Halbleiter zunehmen. Somit wird die maximale Sperrschichttemperatur der kritischen Halbleiter in den entsprechenden Topologien bei einem kleineren Phasenstrom I_x erreicht.

Bezüglich der maximalen Stromrichterausgangsleistung $S_{C,max,rel}$ der FLC- und SMC Topologien können bei Erhöhung der Frequenz $f_{1,cb}$ folgende Aussagen im Vergleich zu der des 3L-NPC Umrichter getroffen werden:

- Wird die Frequenz $f_{1,cb}$, um die das 1. Trägerbandes in der Mittelpunktspannung u_{UM} auftritt, erhöht, so wächst bei den FLC als auch bei den SMC Umrichtern die maximale Stromrichterausgangsleistung $S_{C,max,rel}$ (vgl. Tabelle 5-6) im 4-Quadrantenbetrieb. Bei einer Frequenz $f_{1,cb}$ von 750 Hz (1050Hz) ist die maximale Stromrichterausgangsleistung $S_{C,max,rel}$ des 3L-FLC Umrichters um 25 % (30 %) und die des 4L-FLC Umrichters um 54 % (69 %) größer als die des 3L-NPC Umrichters. Dies ist einerseits auf die durch die hohe Trägerfrequenz ($f_{C,3L-NPC} = f_{1,cb}$) generierten Schaltverluste der Halbleiter des 3,3kV IGBT-Moduls im 3L-NPC Umrichter zurückzuführen. Andererseits ist dafür die ungleichmäßige Belastung der Halbleiter im 4-Quadrantenbetrieb des 3L-NPC Umrichters ursächlich. Der 5L-FLC Umrichter realisiert im 4-Quadrantenbetrieb bei einer Frequenz $f_{1,cb}$ von 750 Hz (1050Hz) eine um 39% (55%) größere maximale Stromrichterausgangsleistung $S_{C,max,rel}$.
- Die maximalen Stromrichterausgangsleistungen $S_{C,max,rel}$ im 4-Quadrantenbetrieb der 5L- und 7L-SMC Umrichter sind bei einer Frequenz $f_{1,cb}$ von 750 Hz (1050 Hz) um ca. 12 % (1,5 %) geringer als die des 3L-NPC Umrichters. Während beim 3L-NPC Umrichter die maximale Stromrichterausgangsleistung sowohl durch die in den 3,3kV IGBT-Modulen generierten Leit- und Schaltverluste, (wovon Letztere sich linear mit $f_{1,cb}$ erhöhen) begrenzt wird, sind bei den SMC Umrichtern die Leitverluste der Halbleiter, welche in den IGBT-Modulen des mittleren Zweiges angeordnet sind, maßgeblich für die Höhe der maximalen Stromrichterausgangsleistung. Die in den SMC Topologien eingesetzten 1,7kV (5L) bzw. 1,2kV (7L) IGBT-Module generieren im Vergleich zu den Leitverlusten sehr geringe Schaltverluste, womit die maximale Stromrichterausgangsleistung $S_{C,max}$ kaum von der Frequenz $f_{1,cb}$ (und somit von der Trägerfrequenz) abhängt (vgl. Tabelle 5-6). Dies ist auch beim 5L-FLC Umrichter zu

erkennen, bei welchem, wie beim 5L-SMC Umrichter, 1,7kV IGBT-Module verwendet werden.

Halbleiterverlustverteilung. Beim Vergleich der Halbleiterverlustverteilungen wird bei den betrachteten Frequenzen, um die das 1. Trägerband lokalisiert ist, jeweils der Phasenstrom I_x der Umrichtertopologie angenommen, welche beim Vergleich der maximalen Stromrichterleistungen den geringsten Wert realisierte. Dadurch wird ein Vergleich sowohl der Gesamtverluste als auch der Verlustverteilungen ermöglicht, bei welchem die Halbleiter aller betrachteten Topologien unterhalb der maximalen Sperrschichttemperatur ($\theta_{j,\max} = 125^\circ\text{C}$) betrieben werden.

Wie in Abb. 5.2 a) zu erkennen ist, ergeben sich für die Gesamthalbleiterverluste P_v des 3L-NPC, 3L-FLC und 4L-FLC Umrichters, welche im Betriebspunkt mit $U_{UV,1} = 2,3\text{ kV}$ ($m_a = 1,11$) und einem Phasenstrom von $I_x = 690\text{ A}$ ($\cos(\varphi_i) = 0,9$) auftreten, nur marginale Unterschiede ($f_{cb} = 450\text{ Hz}$). Die in den 3L-Topologien eingesetzten Schalter und Dioden der 3,3kV IGBT-Module generieren bei der entsprechenden Kommutierungsspannung U_{Kom} ($= U_{dc}/2$) höhere Schaltverluste $P_{on/offS/D}$ als die im 4L-FLC verwendeten Halbleiter der 2,5kV IGBT-Module ($U_{Kom} = U_{dc}/3$). Hingegen sind die Gesamtleitverluste $P_{IS/D}$ im 4L-FLC Umrichter größer als in den 3L-Topologien, da grundsätzlich 3 Halbleiter in jedem Schaltzustand den Phasenstrom i_x führen (vgl. Kapitel 3.2.2). Im Gegensatz dazu leiten bei den 3L-Topologien in jedem Schaltzustand nur 2 Halbleiter den Phasenstrom (vgl. Kapitel 3.1.1 / 3.2.1). Die Gesamtverluste, welche in den Halbleitern der 3L-FLC Topologie generiert werden sind trotz der, im Vergleich zur 3L-NPC Topologie, um die Hälfte reduzierten Trägerfrequenz etwas geringer, was auf den um 17% größeren Nennstrom der eingesetzten IGBTs und Dioden in 3L-FLC Umrichter zurückzuführen ist. Aufgrund der Annahme einer identischen installierten Schalterleistung S_S in sämtlichen Stromrichtertopologien ergibt sich bei den IGBT-Modulen des 3L-FLC Umrichters ein höherer Nennstrom, da hier der im 3L-NPC Umrichter berücksichtigte Halbleitaraufwand der 6 NPC-Dioden entfällt.

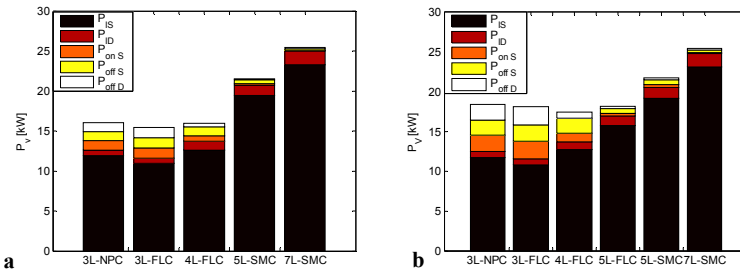


Abb. 5.2: Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 2,3\text{ kV}$; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
 a) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{cb} = 450\text{ Hz}$ ($I_x = 695\text{ A}$)
 b) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{cb} = 750\text{ Hz}$ ($I_x = 690\text{ A}$)

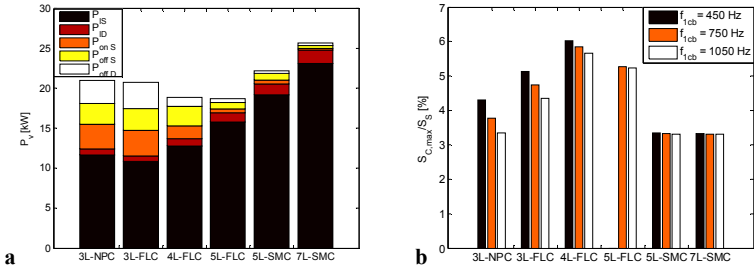


Abb. 5.3: a) Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 2,3 \text{ kV}$; $m_a = 1,11$; $\cos(\phi_i) = 0,9$)
 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 1050 \text{ Hz}$ ($I_x = 690$)
 b) Halbleiterausnutzungsfaktor $S_{C,max}/S_S = f(f_{1cb})$ ($S_S = 83,16 \text{ MVA}$)

Die Halbleiter der 5L-SMC Topologie generieren im betrachteten Betriebspunkt sehr hohe Leitverluste, da grundsätzlich 4 Halbleiter den Phasenstrom führen (vgl. Kapitel 3.3.1). Hingegen sind die Schaltverluste bei der entsprechenden Kommutierungsspannung U_{Kom} ($= U_{dc}/4$) im Vergleich mit den 3L und 4L-Topologien sehr gering, da die eingesetzten 1,7kV IGBTs bzw. Dioden wesentlich geringere Schaltverluste als die Halbleiter der 3,3kV bzw. 2,5kV IGBT-Module bei der entsprechenden Kommutierungsspannung generieren. Die Gesamtverluste des 5L-SMC Umrichters sind in dem betrachteten Betriebspunkt um ca. 34 % größer als die des 3L-NPC Umrichters, was im Wesentlichen auf die Leitverluste zurückzuführen ist.

Beim 7L-SMC, bei dem in einem 2,3 kV Umrichter 1,2kV IGBT-Module verwendet werden, sind die entstehenden Gesamtschaltverluste $P_{on/off/S/D}$ marginal, doch ergeben sich im Vergleich mit den weiteren Topologien die größten Gesamtleitverluste, da in jedem Schaltzustand des 7L-SMC Umrichters grundsätzlich 6 Halbleiter den Strom führen (vgl. Kapitel 3.3.2). Die Gesamtverluste des 7L-SMC Umrichters sind deshalb bei einer Frequenz f_{1cb} von 450 Hz im Vergleich mit denen des 3L-NPC Umrichters um ca. 58 % größer.

Die Halbleiterverlustverteilungen, welche sich in den untersuchten Topologien bei Frequenzen f_{1cb} von 750 Hz ($I_x = 690 \text{ A}$) und 1050 Hz ($I_x = 690 \text{ A}$) ergeben, sind in Abb. 5.2 b) bzw. Abb. 5.3 a) zu sehen. Man erkennt, dass der Anteil der Schaltverluste mit Erhöhung der Trägerfrequenz in allen Topologien wächst. Da die Schaltverluste der Halbleiter der in den 3L-Topologien eingesetzten 3,3kV IGBT-Module größer sind als die der 2,5kV (4L-FLC) bzw. der 1,7 kV (5L-FLC / 5L-SMC) IGBT-Module, sind bei einer Frequenz $f_{1cb} = 1050 \text{ Hz}$ (Abb. 5.3 a)) in dem betrachteten Betriebspunkt die Gesamthalbleiterverluste des 4L- und des 5L-FLC Umrichters ca. 11 % geringer als die des 3L-NPC Umrichters. Die Gesamtverluste des 5L-SMC Umrichters sind hingegen 6 % und die des 7L-SMC Umrichters 21 % größer als die des 3L-NPC Umrichters. Es ist ersichtlich, dass sich für die 4L- und 5L-FLC Topologien durch die Verwendung von IGBT-Modulen einer, im Vergleich mit den 3L-Toplogien, geringeren Spannungs-kategorie mit Erhöhung der Frequenz f_{1cb} Vorteile bezüglich der generierten Halbleiterverluste ergeben. Durch die im Verhältnis zu den Gesamtverlusten sehr großen Leitverluste der SMC Topologien sind trotz des sehr geringen Schaltverlustanteils die Gesamthalbleiterverluste auch bei einer hohen Frequenz f_{1cb} ($f_{1cb} = 1050 \text{ Hz}$) größer als die des 3L-NPC Umrichters.

Halbleiterausnutzung. In Abb. 5.3 b) ist der Halbleiterausnutzungsfaktor, welcher die maximale Stromrichterleistung $S_{C,max}$ im 4-Quadrantenbetrieb bezogen auf die installierte Schalterleistung S_S angibt, für sämtliche untersuchten Stromrichtertopologien und Frequenzen f_{1cb} (um die das 1. Trägerband in der Ausgangsspannung auftritt) dargestellt (2,3 kV Stromrichter). Der Halbleiterausnutzungsfaktor wird definiert, um einen Vergleich

der Topologien in den unterschiedlichen Ausgangsspannungsklassen zu ermöglichen ($U_{UV,1} = 2,3 \text{ kV} / 4,16 \text{ kV} / 6,6 \text{ kV}$).

Man erkennt in Abb. 5.3 b) bzw. Tabelle 5-6, dass bei allen Topologien der Halbleiterausnutzungsfaktor mit Erhöhung der Trägerfrequenz ausgehend von $f_{1cb} = 450 \text{ Hz}$ sinkt. Durch die Erhöhung der Trägerfrequenz verbessert sich zwar der WTHDn in den entsprechenden Ausgangsspannungen, doch steigen in allen Topologien die resultierenden Schaltverluste in den Halbleitern linear mit der Schaltfrequenz, was gleichzeitig zu einer Verringerung der maximal möglichen Stromrichterausgangsleistung $S_{C,max}$ führt. Der Gradient mit dem der Halbleiterausnutzungsfaktor mit der Erhöhung der Trägerfrequenz sinkt, unterscheidet sich signifikant in den untersuchten Topologien. Durch den Einsatz von Halbleitern mit einer maximalen Sperrspannung gemäß Tabelle 5-2 ist der Gradient bei den 3L-Topologien (3L-NPC; 3L-FLC), bei denen 3,3kV IGBT-Module angenommen wurden, am Größten und sinkt mit der maximalen Sperrspannung. Beim 5L-FLC (1,7kV IGBTs), beim 5L-SMC (1,7kV IGBTs) und beim 7L-SMC-Umrichter (1,2kV IGBTs) ist kaum ein Einfluss der Trägerfrequenz f_c (bzw. f_{1cb}) auf die Halbleiterausnutzungsfaktoren mehr beobachtbar.

Des Weiteren realisiert der 4L-FLC, bei dem Mitsubishi 2,5kV Halbleiter verwendet werden, den größten Ausnutzungsfaktor mit ca. $S_{C,max}/S_S = 6\%$. Der 5L-FLC Umrichter mit 1,7kV IGBT-Modulen besitzt einen um ca. 8% geringeren Halbleiterausnutzungsfaktor ($f_{1cb} = 1050 \text{ Hz}$). Die SMC Topologien haben topologiebedingt den kleinsten Halbleiterausnutzungsfaktor, da, wie schon erwähnt, die maximale Stromrichterausgangsleistung im 4-Quadranten Betrieb durch die hohe Verlustleistung der inneren IGBT-Module maßgeblich begrenzt wird ($m_a = 0,05$; vgl. Abschnitt 4.2.2 Abb. 4.10 c),d)). Es ist aber gleichzeitig zu erkennen, dass sich mit zunehmender Frequenz f_{1cb} der Halbleiterausnutzungsfaktor der SMC Topologien in den Bereich des 3L-NPC Umrichters bewegt.

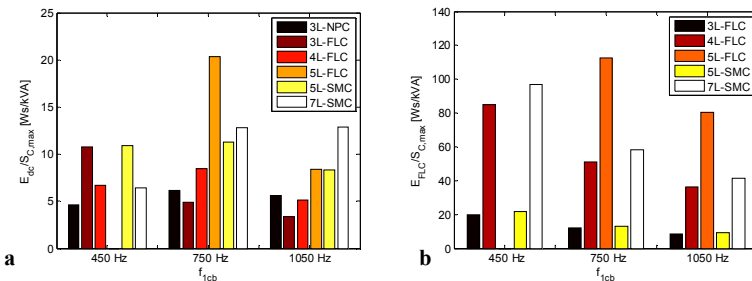


Abb. 5.4: Bezogene gespeicherte Energie $E/S_{C,max} = f(f_{1cb})$ ($m_a = 1,11$; $\cos(\varphi) = 0,9$, $f_1 = 50 \text{ Hz}$)

a) Bezogene gespeicherte Energie im Zwischenkreis $E_{dc}/S_{C,max}$ ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$)

b) Bezogene gespeicherte Energie der Flying Capacitors $E_{FLC}/S_{C,max}$ ($\Delta U_{Cij,x}/U_{Cij,x} = 10\%$)

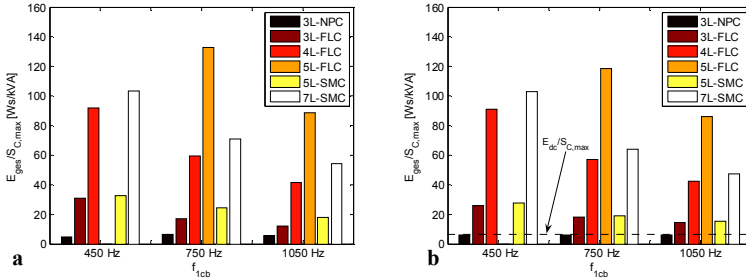


Abb. 5.5: Bezogene gesamte gespeicherte Energie $E_{ges}/S_{C,max} = f(f_{1cb})$ ($m_a = 1,11$; $\cos(\varphi_i) = 0,9$; $f_1 = 50$ Hz)

a) Bezogene gespeicherte Energie bei $f_{1cb} = 450$ Hz / 750 Hz / 1050 Hz ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$)

b) Bezogene gespeicherte Energie bei $f_{1cb} = 450$ Hz / 750 Hz / 1050 Hz (mit $E_{dc}/S_{C,max} = 6$ Ws/kVA)

Gespeicherte Energie. In Abb. 5.4 und Abb. 5.5 sind die gespeicherten Energien des Zwischenkreises E_{dc} , der Flying Capacitors E_{FLC} und die Gesamtenergien E_{ges} bezogen auf die maximalen Stromrichterleistungsleistungen $S_{C,max}$ aller Topologien bei Frequenzen f_{1cb} von $f_{1cb} = 450$ Hz / 750 Hz / 1050 Hz dargestellt. Die bezogene gespeicherte Energie im Zwischenkreis $E_{dc}/S_{C,max}$ wird dabei einerseits im Betriebspunkt mit $m_a = 1,11$, $\cos(\varphi_i) = 0,9$ und $f_1 = 50$ Hz durch Simulation des Gesamtsystems (Umrichter + 24-puls Einspeisung) gemäß Kapitel 4.3.5 ermittelt. Andererseits wird bei allen Stromrichtertopologien ein minimaler, konstanter Wert der bezogenen Zwischenkreisenergie von 6 Ws/kVA angenommen, womit eine vergleichbare Ride-Through-Capability der jeweiligen Stromrichter, ohne Beachtung des resultierenden Spannungsrippels, realisiert wird (Abb. 5.5 b)).

In Abb. 5.4 a) sowie Tabelle 5-6 erkennt man, dass sich die bezogenen gespeicherten Energien im Zwischenkreis bei einer Frequenz f_{1cb} von 450 Hz zwischen 4,66 Ws/kVA beim 3L-NPC Umrichter und 10,833 Ws/kVA beim 5L-SMC Umrichter bewegen, wenn ein maximaler Spannungsrippel $\Delta U_{dc,1}$ von 5% der halben nominalen Zwischenkreisspannung $U_{dc}/2$ angenommen wird. Trotz des in allen Umrichtertopologien ähnlichen Modulationsverfahrens der Ausgangsspannung ergeben sich auch bei den weiteren Frequenzen f_{1cb} ($f_{1cb} = 750$ Hz / 1050 Hz) signifikante Unterschiede in der bezogenen gespeicherten Energie in den Zwischenkreisen der untersuchten Topologien. Einzig der 3L-NPC Umrichter besitzt bei allen Frequenzen eine nahezu identische bezogene gespeicherte Energie im Zwischenkreis (zwischen 4,66 Ws/kVA bei $f_{1cb} = 450$ Hz – 6.15 Ws/kVA bei $f_{1cb} = 750$ Hz). Dies ist darauf zurück zu führen, dass das Frequenzverhältnis m_f nur beim 3L-NPC Stromrichter durch 3 teilbar ist und somit die Frequenzanteile welche im lastseitigen Zwischenkreisstrom auftreten keinen niederfrequenten bzw. subharmonischen Charakter aufweisen (vgl. Kapitel 4.3.2). Bei allen weiteren Stromrichtertopologien ergeben sich bei den identisch angenommen Frequenzen f_{1cb} entweder keine ganzzahligen oder nicht durch 3 teilbaren und sehr niedrigen Frequenzverhältnisse (z.B. $m_f = 3,75$ bei 5L-FLC Umrichter mit $f_{1cb} = 750$ Hz). Durch diese Tatsache werden im lastseitigen Zwischenkreisstrom sehr niederfrequente Stromanteile generiert, welche ihrerseits die relativ gespeicherte Energie $E_{dc}/S_{C,max}$, welche unter den genannten Annahmen (konstanter Spannungsrippel) benötigt wird, rasant anwachsen lässt (z.B. 20,35 Ws/kVA beim 5L-FLC mit $f_{1cb} = 750$ Hz). Ein Vergleich der relativ gespeicherten Energie im Zwischenkreis der verschiedenen Stromrichtertopologien ist somit unter den getroffenen Annahmen nur bedingt möglich. Eine konstante bezogene gespeicherte Energie im Zwischenkreis von $E_{dc} = 6$ Ws/kVA erlaubt hingegen einen aussagekräftigeren Vergleich der gesamten gespeicherten Energien zwischen den untersuchten Topologien.

In Abb. 5.4 b) ist die relativ gespeicherte Energie der Flying Capacitors $E_{\text{FLC}}/S_{\text{C,max}}$ in den FLC bzw. SMC Topologien bei Frequenzen $f_{1\text{cb}}$ von 450 Hz / 750 Hz / 1050 Hz zu sehen. Die Kapazitätswerte der Flying Capacitors werden mit (4.89) und (4.90) hergeleitet. Man erkennt, dass der 3L-FLC und der 5L-SMC Umrichter die geringsten bezogenen gespeicherten Energien verglichen mit der 4L-FLC, 5L-FLC und 7L-SMC Topologie realisieren. Der 4L-FLC (5L-FLC) Umrichter besitzt dabei bei allen dargestellten Frequenzen $f_{1\text{cb}}$ eine um ca. 425% (936%) größere bezogene gespeicherte Energie in den Flying Capacitors als der 3L-FLC Umrichter. Hingegen ist die bezogene gespeicherte Energie des 5L-SMC Umrichter gegenüber der des 3L-FLC nur um 8% größer. Im Vergleich zum 7L-SMC Umrichter realisiert der 3L-FLC Umrichter eine 4,83-fach geringere bezogene gespeicherte Energie in den Flying Capacitors. Somit liegt die bezogene gespeicherte Energie des 4L-FLC Umrichters im gleichen Bereich wie die des 7L-SMC Umrichters. Man erkennt weiterhin, dass sich die gespeicherten Energien in den Flying Capacitors mit Erhöhung der Frequenz $f_{1\text{cb}}$ und damit mit Erhöhung der Trägerfrequenz f_c reziprok proportional verringern.

In Abb. 5.5 a) ist die gesamte bezogene gespeicherte Energie $E_{\text{ges}}/S_{\text{C,max}}$ aller untersuchten Topologien mit den betrachteten Frequenzen $f_{1\text{cb}}$ dargestellt, wobei hier die Summe der bezogenen gespeicherten Energien in den Flying Capacitors und die der Zwischenkreise, welche unter der Annahme eines definierten Spannungsrippels hergeleitet wurden, gebildet wurden. Hingegen wurde in Abb. 5.5 b) ein konstanter Wert von 6Ws/kVA für die bezogene gespeicherte Energie im Zwischenkreis $E_{\text{dc}}/S_{\text{C,max}}$ angenommen. Durch die im Vergleich zu der bezogenen gespeicherten Energie des Zwischenkreises $E_{\text{dc}}/S_{\text{C,max}}$ wesentlich größere bezogene gespeicherte Energie in den Flying Capacitors $E_{\text{FLC}}/S_{\text{C,max}}$ sind die Aussagen, welche über die gespeicherte Energien der Flying Capacitors getroffen wurden weiterhin gültig, wobei die 3L-NPC Topologie aufgrund der fehlenden Flying Capacitors die geringste bezogene gespeicherte Energie aufweist.

5.3.2 Vergleich bei maximaler Trägerfrequenz

In Tabelle 5-7 sind die Halbleiterauslegung, die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien bei maximaler Trägerfrequenz $f_{\text{C,max}}$ dargestellt, wobei eine identische Stromrichterausgangsleistung S_{C} von 2,748 MVA und eine identische installierte Schalterleistung $S_{\text{S}} = 83,16$ MVA angenommen wird. Die maximale Trägerfrequenz $f_{\text{C,max}}$ wird in den kritischen Arbeitspunkten der jeweiligen Topologie (vgl. 4.2.2) derart ermittelt, dass die maximale Sperrschichttemperatur des entsprechenden Halbleiters nicht überschritten wird. Der Phasenstrom $I_{\text{x}} = 690$ A und damit die Stromrichterausgangsleistung $S_{\text{C}} = 2,748$ MVA wird entsprechend den Ergebnissen aus dem vorangegangenen Kapitel 5.3.1 gewählt. Bei diesem Vergleich realisiert der 7L-SMC bei einer Frequenz $f_{1\text{cb}}$ von 1050 Hz den geringsten Phasenstrom (690 A). Der Halbleiterausnutzungsfaktor $S_{\text{C}}/S_{\text{S}}$ ist bei allen Topologien mit 3,3% identisch.

Maximale Trägerfrequenz. In Tabelle 5-7 erkennt man, dass der 3L-NPC Umrichter eine maximale Trägerfrequenz von $f_{\text{C,max}} = 1100$ Hz realisiert. Hingegen beträgt die maximale Trägerfrequenz des 3L-FLC Umrichters unter den genannten Annahmen $f_{\text{C,max}} = 990$ Hz. Vergleicht man bei diesen Trägerfrequenzen die Frequenz $f_{1\text{cb}}$ um die das 1. Trägerband im Amplitudenspektrum der Ausgangsspannung lokalisiert ist, so ist dieses beim 3L-NPC um die einfache Trägerfrequenz und die des 3L-FLC Umrichters um die doppelte Trägerfrequenz ($f_{1\text{cb}} = 1980$ Hz) lokalisiert. Daraus resultiert ein um ca. 33% geringerer WTHDn in der verketteten Ausgangsspannung des 3L-FLC Umrichters. Beim 4L-FLC (5L-FLC) Umrichter tritt das 1. Trägerband um $f_{1\text{cb}} = 5850$ Hz (13,8 kHz) auf. Dies führt zu einem im Vergleich zum 3L-FLC Umrichter um 82% (92%) geringeren WTHDn. Die hohen maximal möglichen

Tabelle 5-7 Maximale Trägerfrequenz $f_{C,max}$ bei identischer installierter Schalterleistung S_S und identischer Stromrichterausgangsleistung S_C ($I_x = 690$ A; $S_C = 2,748$ MVA; $U_{UV,1} = 2,3$ kV; $U_{dc} = 3382$ V)

	3L-NPC VSC	3L-FLC VSC	4L-FLC VSC
Installierte Schalterleistung S_S	83,16 MVA	83,16 MVA	83,16 MVA
IGBT	FZ1200R33KF2C	FZ1200R33KF2C	CM1200HB-50H
$U_{Kom} / U_{Kom@100FT}$	0,94	0,94	0,9
IGBT/ Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	1200 A (1)	1400 A (7/6)	1232A (1,0266)
Rel. Chipfläche IGBT / Diode	100 % / 100 %	116,67 % / 77,78 %	99,9 % / 80,47 %
Maximale Trägerfrequenz $f_{C,max}$ @ $\vartheta_{1,max} = 125^\circ$ C	1100 Hz	990 Hz	1950 Hz
Frequenz des 1. Trägerbandes $f_{1,th}$	1100 Hz	1980 Hz	5850 Hz
Halbleiterausnutzungsfaktor S_C / S_S	3,3 %	3,3 %	3,3 %
DC-Link Capacitor C_{dc}	2820 μ F	807 μ F	401 μ F
Flying Capacitors C_{FLC}	-	2914 μ F	1889 μ F
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc} / S_C)	16137 Ws 5,87 Ws/kVA	4618 Ws 1,68 Ws/kVA	2294 Ws 0,83 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC} / S_C)	-	12504 Ws 4,55 Ws/kVA	18014 Ws 6,55 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges} / S_C	5,87 Ws/kVA	6,23 Ws/kVA	7,38 Ws/kVA
WTHDn u_{UV} ($m_n = 1,11$)	1,05 % (PD)	0,71 % (APOD)	0,13 % (APOD)

	5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
Installierte Schalterleistung S_S	83,16 MVA	83,16 MVA	83,16 MVA
IGBT	FZ1800R17KF6CB2	FZ1800R17KF6B2	FZ1800R12KLCAC
$U_{Kom} / U_{Kom@100FT}$	0,94	0,94	0,94
IGBT Nennstrom $I_{C,n}$ (Stromfaktor c_f)	1358,8A (0,7549)	905,9 A (0,50327)	856 A (0,4756)
Rel. Chipfläche IGBT / Diode	118 % / 58,8 %	118 % / 58,8 %	130 % / 92,5 %
Maximale Trägerfrequenz $f_{C,max}$ @ $\vartheta_{1,max} = 125^\circ$ C	3450 Hz	525 Hz	350 Hz
Frequenz des 1. Trägerbandes $f_{1,th}$	13800 Hz	1050 Hz	1050 Hz
Halbleiterausnutzungsfaktor S_C / S_S	3,3 %	3,3 %	3,3 %
DC-Link Capacitor C_{dc}	228 μ F	3999 μ F	6186 μ F
Flying Capacitors C_{FLC}	1119 μ F	11890 μ F	23901 μ F
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc} / S_C)	1306 Ws 0,48 Ws/kVA	22883 Ws 8,32 Ws/kVA	35394 Ws 12,89 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC} / S_C)	16803 Ws 6,11 Ws/kVA	25512 Ws 9,28 Ws/kVA	113962 Ws 41,46 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges} / S_C	6,59 Ws/kVA	17,60 Ws/kVA	54,34 Ws/kVA
WTHDn u_{UV} ($m_n = 1,11$)	0,062 % (APOD)	0,93 % (APOD)	1,0 % (APOD)

Trägerfrequenzen des 4L-FLC Umrichters sowie des 5L-FLC Umrichters sind durch den Einsatz von 2,5kV (4L-FLC) und 1,7kV (5L-FLC) IGBT-Modulen erklärbar, welche wesentlich geringere Schaltverlustenergien bei entsprechenden Kommutierungsspannungen im Vergleich zu dem bei den 3L-Topologien (3L-FLC, 3L-NPC) eingesetzten 3,3kV IGBT-Modulen aufweisen. Aufgrund der recht geringen maximal realisierbaren Trägerfrequenzen des 5L-SMC ($f_{C,max} = 525$ Hz) sowie des 7L-SMC Umrichters ($f_{C,max} = 350$ Hz) ist der WTHDn im Vergleich zum 3L-FLC Umrichter trotz der höheren Anzahl der Spannungsstufen in der Ausgangsspannung um 30% (5L-SMC) bzw. 40% (7L-SMC) größer.

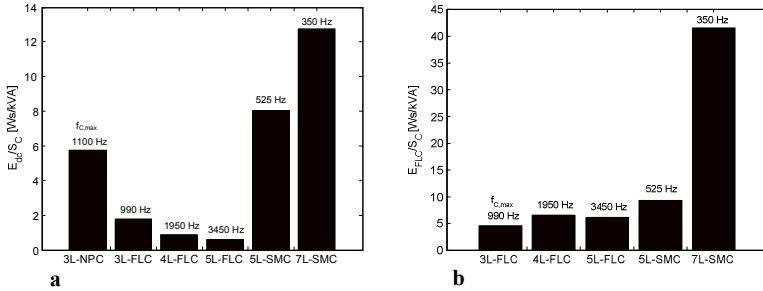


Abb. 5.6: Bezogene gespeicherte Energie E/S_C bei $f_c = f_{c,max}$ ($U_{UV,1} = 2,3$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)

a) Bezogene gespeicherte Energie im Zwischenkreis E_{de}/S_C ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$; $I_x = 690$ A)

b) Bezogene gespeicherte Energie der Flying Capacitors E_{FLC}/S_C ($\Delta U_{Cij,x}/U_{Cji,x} = 10\%$; $I_x = 690$ A)

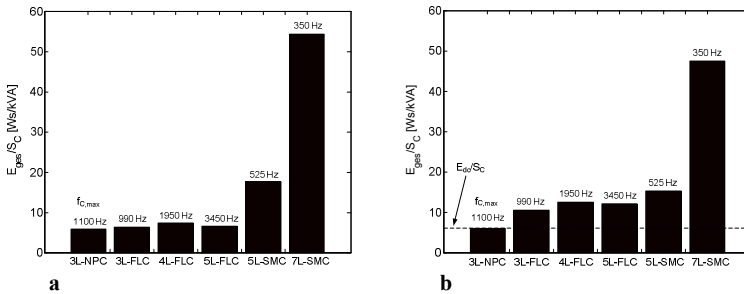


Abb. 5.7: Bezogene gespeicherte Energie E_{gev}/S_C bei $f_c = f_{c,max}$ ($U_{UV,1} = 2,3$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)

a) Bezogene gespeicherte Energie bei $f_{c,max}$ ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$; $I_x = 690$ A)

b) Bezogene gespeicherte Energie bei $f_{c,max}$ (mit $E_{de}/S_C = 6$ Ws/kVA = const.; $I_x = 690$ A)

Gespeicherte Energie. In Abb. 5.6 a) ist die bezogene gespeicherte Energie im Zwischenkreis E_{de}/S_C bei maximaler Trägerfrequenz $f_{c,max}$ aller Topologien dargestellt, wobei die Zwischenkreiskapazität unter der Annahme eines maximalen Spannungsrippels im Zwischenkreis von $\Delta U_{dc,1}/(U_{dc}/2) = 5\%$ durch Simulation des Gesamtsystems (Umrichter + 24-puls Einspeisung) gemäß Kapitel 4.3.5 ermittelt wurde ($I_x = 690$ A; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$). Man erkennt, dass der 3L-NPC Umrichter bei einer maximalen Trägerfrequenz von $f_{c,max} = 1100$ Hz eine bezogene gespeicherte Energie von 5,87 Ws/kVA im Zwischenkreis benötigt. Der 3L-FLC Umrichter hingegen benötigt bei $f_{c,max} = 990$ Hz in dem betrachteten Betriebspunkt nur noch 1,86 Ws/kVA was im Vergleich mit dem 3L-NPC Umrichter einer Reduktion von 70% entspricht. Der 4L-FLC Umrichter sowie der 5L-FLC Umrichter realisieren im betrachteten Betriebspunkt die geringsten bezogenen gespeicherten Energien im Zwischenkreis mit 0,83 Ws/kVA (4L-FLC) bzw. 0,48 Ws/kVA (5L-FLC). Diese geringen Energien sind durch das hohe Frequenzverhältnis m_f bei beiden Topologien bedingt, wodurch die ersten Harmonischen im lastseitigen Zwischenkreisstrom $i_{dc,L}$ um m_f lokalisiert sind (vgl. Kapitel 4.3.2). Diese höherfrequenten Stromanteile führen auch bei relativ kleinen Kapazitätswerten im Zwischenkreis zu einem geringen Spannungsripple $\Delta U_{dc,1}/(U_{dc}/2)$. Aufgrund der relativ zu den weiteren Topologien geringen maximalen Trägerfrequenz der SMC Topologien, ergeben sich beim 5L-SMC mit 8,32 Ws/kVA bzw. beim 7L-SMC mit 12,89 Ws/kVA um 40% bzw. um 119% größere gespeicherte Energien im Vergleich zum 3L-NPC Umrichters.

In Abb. 5.6 b) ist die bezogene gespeicherte Energie der Flying Capacitors $E_{\text{FLC/SC}}$ bei der maximalen Trägerfrequenz der FLC und SMC Topologien dargestellt, wobei ein maximaler Spannungsrippel über den Flying Capacitors von 10% der jeweiligen inneren Flying Capacitor Spannung angenommen wird. Es ist zu sehen, dass sich die bezogenen Energien der Flying Capacitors der FLC Topologien in einem Bereich von 4,55 Ws/kVA (3L-FLC) bis 6,55 Ws/kVA (4L-FLC) bewegen, wobei der 5L-FLC einen Wert von 6,11 Ws/kVA realisiert. Der 5L-SMC Umrichter besitzt hingegen mit 9,28 Ws/kVA eine um ca. 50% größere gespeicherte bezogene Energie im Vergleich zum 5L-FLC Umrichter. Die größte relativ gespeicherte Energie in den Flying Capacitors von 41,5 Ws/kVA ist aufgrund der sehr niedrigen maximalen Trägerfrequenz von $f_{\text{C,max}} = 350$ Hz beim 7L-SMC zu beobachten.

In Abb. 5.7 a) und b) sind die bezogenen gespeicherten Gesamtenergien $E_{\text{FLC/SC}}$ der untersuchten Topologien bei maximaler Trägerfrequenz dargestellt, wobei in Abb. 5.7 a) die maximale Gesamtenergie mit den in Tabelle 5-7 gezeigten Werten für die bezogene gespeicherte Zwischenkreisenergie gewonnen wird. Hingegen wird in Abb. 5.7 b) für die bezogene Zwischenkreisenergie ein konstanter Wert in allen Topologien von 6Ws/kVA angenommen. Man erkennt, dass sich bei diesem Vergleich die bezogene gespeicherte Gesamtenergie des 3L-NPC Umrichters mit 5,87 Ws/kVA im gleichen Bereich bewegt wie die der weiteren FLC Topologien. Der 3L-FLC Umrichter besitzt dabei eine um ca. 6%, der 4L-FLC eine um 25% und der 5L-FLC Umrichter eine um 12% größere gespeicherte Gesamtenergie, wenn ein konstanter Spannungsrippel als Kriterium für die Bestimmung der benötigten Zwischenkreisenergie herangezogen wird (vgl. Tabelle 5-7 bzw. Abb. 5.7 a)). Der 5L-SMC Umrichter besitzt hingegen unter dieser Annahme eine um 167% größere bezogene Gesamtenergie im Vergleich zum 5L-FLC Umrichter. Der 7L-SMC Umrichter wiederum benötigt die größte bezogene gespeicherte Gesamtenergie mit 54,34 Ws/kVA.

Geht man hingegen von einer konstanten bezogenen gespeicherten Energie im Zwischenkreis aller Topologien aus (6 Ws/kVA), so ist zu erkennen (vgl. Abb. 5.7 b)), dass der 3L-FLC gegenüber dem 3L-NPC Umrichter eine um 79% größere bezogene gespeicherte Gesamtenergie benötigt. Für den 4L-FLC ergibt sich vergleichend zum 3L-NPC eine um 113% und für den 5L-FLC eine um 106% größere bezogene gespeicherte Gesamtenergie. Unter den genannten Annahmen beträgt die bezogene Gesamtenergie des 5L-SMC Umrichters 15,28 Ws/kVA und ist damit nur noch um ca. 26% größer als die des 5L-FLC Umrichters.

5.4 Vergleich für einen 4,16 kV Mittelspannungsstromrichter

5.4.1 Vergleich bei verschiedenen Schaltfrequenzen

In Tabelle 5-8 sind die Halbleiterauslegung, die maximale Stromrichterscheinleistung $S_{C,max}$, die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien dargestellt, wobei drei verschiedene Frequenzen f_{1cb} ($f_{1cb} = 450 \text{ Hz} / 750 \text{ Hz} / 1050 \text{ Hz}$) in der verketteten Ausgangsspannung u_{UV} betrachtet werden. Als Bezugswert für die installierte Schalterleistung $S_S = 81,9 \text{ MVA} = \text{const.}$ aller Topologien wird die des 3L-NPC Umrichters mit 6,5kV/600A IGBT-Modulen gewählt. Da der 6,5kV IGBT im Vergleich zum 3,3kV IGBT signifikant höhere Schaltverlustenergien bei entsprechenden Kommutierungsspannungen generiert, wird bei den 3L-Topologien (3L-NPC, 3L-FLC) sowohl ein 6,5kV IGBT als auch eine Serienschaltung von zwei 3,3kV IGBTs pro Schalterposition betrachtet, wobei kein Derating aufgrund einer unsymmetrischen Spannungsaufteilung angenommen wird. Zusammenfassend sind die wichtigsten Ergebnisse der Untersuchungen bezüglich der Auslegung des 4,16 kV Stromrichters in den Abb. 5.8 - Abb. 5.13 grafisch dargestellt.

Maximale Stromrichterausgangsleistung. In Tabelle 5-8, Abb. 5.8 und Abb. 5.9 sind die maximalen Stromrichterausgangsleistungen $S_{C,max}$ dargestellt, wobei die prozentualen Angaben (maximale Stromrichterausgangsleistung $S_{C,max,rel}$) in Abb. 5.8 auf die maximale Stromrichterleistung im 4-Quadranten Betrieb des 3L-NPC Umrichters mit 6,5kV IGBTs und in Abb. 5.9 des 3L-NPC Umrichters mit 2x 3,3kV IGBTs bei der jeweiligen Frequenz f_{1cb} bezogen sind. Man erkennt, dass der 3L-NPC Umrichter allein durch den Einsatz von zwei 3,3kV IGBTs pro Schalterposition eine gegenüber dem Einsatz von 6,5kV IGBTs 37% größere Stromrichterausgangsleistung ($S_{C,max,6,5KVIGBT} = 2,738 \text{ MVA}$; $S_{C,max,3,3KVIGBT} = 3,747 \text{ MVA}$) realisiert, wenn das 1. Trägerband im Amplitudenspektrum der Ausgangsspannung um 450 Hz auftritt. Beim 3L-FLC Umrichter ergibt sich unter diesen Annahmen eine um ca. 14% größere Stromrichterausgangsleistung ($S_{C,max,6,5KVIGBT} = 3,891 \text{ MVA} / S_{C,max,3,3KVIGBT} = 4,431 \text{ MVA}$). Vergleicht man die maximale Ausgangsleistung des 3L-FLC Umrichters mit der des 3L-NPC Umrichters, so ergibt sich bei $f_{1cb} = 450 \text{ Hz}$ eine um 42% (6,5kV IGBTs) bzw. eine um ca. 18% (2x3,3kV IGBTs) größere maximale Ausgangsleistung. Dies ist einerseits auf den größeren Nennstrom der IGBT-Module beim 3L-FLC Umrichter ($I_{C,n} = 690 \text{ A}$) im Vergleich zu dem des 3L-NPC Umrichters ($I_{C,n} = 600 \text{ A}$) zurück zu führen (bei gleicher installierter Schalterleistung S_S). Andererseits besitzt der 3L-NPC eine ungleichmäßige Aufteilung der Halbleiterverluste in den für den 4-Quadrantenbetrieb kritischen Arbeitspunkten (vgl. Kapitel 4.2.2; Abb. 4.6 / Abb. 4.8). Der 4L-FLC Umrichter realisiert mit 4,179 MVA eine um 53% bzw. um 12% größere Ausgangsleistung als der 3L-NPC Umrichter mit 6,5kV IGBTs bzw. mit 2x3,3kV IGBTs. Die maximale Ausgangsleistung des 5L-SMC Umrichters liegt 4% über der des 3L-NPC Umrichters mit 6,5kV IGBTs. Verglichen mit dem 4L-FLC Umrichter ist die Ausgangsleistung des 5L-SMC Umrichters um ca. 32% niedriger. Beim 7L-SMC beträgt die maximale Ausgangsleistung 3,206 MVA und liegt damit um ca. 17% über bzw. 15% unter der des 3L-NPC Umrichters mit 6,5kV IGBTs bzw. mit 2x3,3kV IGBTs ($f_{1cb} = 450 \text{ Hz}$).

Tabelle 5-8 Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_s und identischer Frequenz f_{1cb} um die das 1. Trägerband in der Ausgangsspannung auftritt ($f_{1cb} = 450 / 750 / 1050$ Hz; $U_{UV,1} = 4,16$ kV; $U_{dc} = 6118$ V)

	3L-NPC VSC	3L-NPC VSC	3L-FLC VSC	3L-FLC VSC
Installierte Schalterleistung S_s	81,9 MVA	81,9 MVA	81,9 MVA	81,9 MVA
IGBT	FZ600R65KF1	FZ1200R33KF2C ^{2x}	FZ600R65KF1	FZ1200R33KF2C ^{2x}
$U_{k,om} / U_{k,om@100\%T}$	0,85	0,85	0,85	0,85
IGBT/Dioden Nennstrom $I_{c,r}$ (Stromfaktor c_r)	600 A (1)	590,9 A (0,4924)	700 A (7/6)	689,39 A (0,5745)
Relative Chipfläche IGBT / Diode	100 % / 100 %	97,2 % / 98,5 %	116,7% / 77,8%	113,4% / 76,6 %
Trägerfrequenz f_c	450 Hz	450 Hz	225 Hz	225 Hz
Maximaler Phasenstrom $I_{k,max}$ @ $\vartheta_{1,max} = 125^\circ$ C	380 A	520 A	540 A	615 A
Maximale Scheinleistung SC_{max}	2,738 MVA	3,747 MVA	3,891 MVA	4,431 MVA
Relative Maximale Scheinleistung $SC_{max,rel}$	100 %	137 %	142,1 %	161,8 %
Halbleiterausnutzungsfaktor SC_{max}/S_s	3,34 %	4,57 %	4,75 %	5,41 %
DC-Link Capacitor C_{dc}	681 μ F	933 μ F	2235 μ F	2545 μ F
Flying Capacitors C_{FLC}	-	-	5547 μ F	6318 μ F
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc} / SC_{max})	12755 Ws 4,66 Ws/kVA	17454 Ws 4,66 Ws/kVA	41833 Ws 10,75 Ws/kVA	47644 Ws 10,75 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC} / SC_{max})	-	-	77875 Ws 20,01 Ws/kVA	88691 Ws 20,01 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges} / SC_{max}	4,66 Ws/kVA	4,66 Ws/kVA	30,76 Ws/kVA	30,76 Ws/kVA
WTHDn u_{UV} ($m_n = 1,11$)	1,79 % (PD)	1,79 % (PD)	4,5 % (APOD)	4,5 % (APOD)
Trägerfrequenz f_c	750 Hz	750 Hz	375 Hz	375 Hz
Maximaler Phasenstrom $I_{k,max}$ @ $\vartheta_{1,max} = 125^\circ$ C	280 A	480 A	445 A	580 A
Maximale Scheinleistung SC_{max}	2,017 MVA	3,459 MVA	3,206 MVA	4,179 MVA
Relative Maximale Scheinleistung $SC_{max,rel}$	100 %	171,4 %	158,93 %	207,14 %
Halbleiterausnutzungsfaktor SC_{max}/S_s	2,46 %	4,22 %	3,91 %	5,1 %
DC-Link Capacitor C_{dc}	663 μ F	1136 μ F	840 μ F	1095 μ F
Flying Capacitors C_{FLC}	-	-	2743 μ F	3575 μ F
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc} / SC_{max})	12409 Ws 6,15 Ws/kVA	21272 Ws 6,15 Ws/kVA	15720 Ws 4,90 Ws/kVA	20488 Ws 4,90 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC} / SC_{max})	-	-	38505 Ws 12,01 Ws/kVA	50186 Ws 12,01 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges} / SC_{max}	6,15 Ws/kVA	6,15 Ws/kVA	16,91 Ws/kVA	16,91 Ws/kVA
WTHDn u_{UV} ($m_n = 1,11$)	1,68 % (PD)	1,68 % (PD)	2,05 % (APOD)	2,05 % (APOD)
Trägerfrequenz f_c	1050 Hz	1050 Hz	525 Hz	525 Hz
Maximaler Phasenstrom $I_{k,max}$ @ $\vartheta_{1,max} = 125^\circ$ C	220 A	435 A	370 A	545 A
Maximale Scheinleistung SC_{max}	1,585 MVA	3,134 MVA	2,666 MVA	3,927 MVA
Relative Maximale Scheinleistung $SC_{max,rel}$	100 %	197,7 %	168,18 %	247,7 %
Halbleiterausnutzungsfaktor SC_{max}/S_s	1,94 %	3,83 %	3,26 %	4,79 %
DC-Link Capacitor C_{dc}	474 μ F	937 μ F	480 μ F	707 μ F
Flying Capacitors C_{FLC}	-	-	1629 μ F	2399 μ F
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc} / SC_{max})	8869 Ws 5,59 Ws/kVA	17536 Ws 5,59 Ws/kVA	8986 Ws 3,37 Ws/kVA	33684 Ws 3,37 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC} / SC_{max})	-	-	22868 Ws 8,58 Ws/kVA	33684 Ws 8,58 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges} / SC_{max}	5,59 Ws/kVA	5,59 Ws/kVA	11,95 Ws/kVA	11,95 Ws/kVA
WTHDn u_{UV} ($m_n = 1,11$)	1,09 % (PD)	1,09 % (PD)	1,39 % (APOD)	1,39 % (APOD)

Fortsetzung Tabelle 5-8 Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_S und identischer Frequenz f_{cb} um die 1. Trägerband in der Ausgangsspannung auftritt

$$(f_{\text{cb}} = 450 / 750 / 1050 \text{ Hz}; U_{\text{UV},1} = 4,16 \text{ kV}; U_{\text{dc}} = 6118 \text{ V})$$

	4L-FLC VSC	5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
Installierte Schalterleistung S_S	81,9 MVA	81,9 MVA	81,9 MVA	81,9 MVA
IGBT	CM900HB-90H	FZ1200R33KF2C	FZ1200R33KF2C	CM1200HB-50H
$U_{\text{kom}} / U_{\text{kom}@100\text{FF}}$	0,91	0,85	0,85	0,98
IGBT/Dioden Nennstrom $I_{\text{c,n}}$ (Stromfaktor c_T)	674 A (0,74897)	689,4 A (0,5745)	459,6 A (0,383)	404,6 A (0,337)
Relative Chipfläche IGBT / Diode	109,4% / 92,9 %	113,4% / 76,6 %	113,4% / 76,6 %	97,06% / 79,24%
$f_{\text{cb}} = 450 \text{ Hz}$				
Trägerfrequenz f_c	150 Hz		225 Hz	150 Hz
Maximaler Phasenstrom $I_{\text{s,max}}$ @ $\vartheta_{\text{s,max}} = 125^\circ \text{ C}$	580 A		395 A	445 A
Maximale Scheinleistung $S_{\text{C,max}}$	4.179 MVA		2.846 MVA	3.206 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	152,63 %		103,95 %	117,1 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	5,1 %		3,48 %	3,91 %
DC-Link Capacitor C_{dc}	1498 μF		1655 μF	1102 μF
Flying Capacitors C_{FLC}	11413 μ		8781 μF	19886 μF
gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}}/S_{\text{C,max}}$)	38035 Ws 6,71 Ws/kVA		30983 Ws 10,89 Ws/kVA	20643 Ws 6,44 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}}/S_{\text{C,max}}$)	356043 Ws 85,2 Ws/kVA		61634 Ws 21,66 Ws/kVA	310179 Ws 96,74 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}}/S_{\text{C,max}}$	91,91 Ws/kVA		32,55 Ws/kVA	103,18 Ws/kVA
WTHDn u_{UV} ($m_a = 1,11$)	3,55 % (APOD)		2,51 % (APOD)	3,46 % (APOD)
$f_{\text{cb}} = 750 \text{ Hz}$				
Trägerfrequenz f_c	250 Hz	187,5 Hz	375 Hz	250 Hz
Maximaler Phasenstrom $I_{\text{s,max}}$ @ $\vartheta_{\text{s,max}} = 125^\circ \text{ C}$	550 A	625 A	380 A	440 A
Maximale Scheinleistung $S_{\text{C,max}}$	3.963 MVA	4.503 MVA	2.738 MVA	3.170 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	196,43 %	223,2 %	135,7 %	157,1 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	4,84 %	5,5 %	3,34 %	3,87 %
DC-Link Capacitor C_{dc}	1800 μF	4895 μF	1653 μF	2175 μF
Flying Capacitors C_{FLC}	6494 μF	10309 μF	5069 μF	11797 μF
gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}}/S_{\text{C,max}}$)	33700 Ws 8,50 Ws/kVA	91630 Ws 20,35 Ws/kVA	30945 Ws 11,30 Ws/kVA	40712 Ws 12,88 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}}/S_{\text{C,max}}$)	202576 Ws 51,12 Ws/kVA	506513 Ws 112,48 Ws/kVA	35577 Ws 12,99 Ws/kVA	184016 Ws 58,04 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}}/S_{\text{C,max}}$	59,62 Ws/kVA	132,83 Ws/kVA	24,29 Ws/kVA	70,88 Ws/kVA
WTHDn u_{UV} ($m_a = 1,11$)	1,5 % (APOD)	1,75 % (APOD)	1,75 % (APOD)	1,72 % (APOD)
$f_{\text{cb}} = 1050 \text{ Hz}$				
Trägerfrequenz f_c	350 Hz	262,5 Hz	525 Hz	350 Hz
Maximaler Phasenstrom $I_{\text{s,max}}$ @ $\vartheta_{\text{s,max}} = 125^\circ \text{ C}$	525 A	605 A	360 A	435 A
Maximale Scheinleistung $S_{\text{C,max}}$	3.783 MVA	4.359 MVA	2.594 MVA	3.134 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	238,64 %	275 %	163,64 %	197,7 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	4,62 %	5,32 %	3,17 %	3,83 %
DC-Link Capacitor C_{dc}	1036 μF	1965 μF	1154 μF	2156 μF
Flying Capacitors C_{FLC}	4427 μF	7128 μF	3430 μF	8331 μF
gespeicherte Energie DC-Link E_{dc} (bezogene Energie $E_{\text{dc}}/S_{\text{C,max}}$)	19405 Ws 5,13 Ws/kVA	36782 Ws 8,44 Ws/kVA	21594 Ws 8,32 Ws/kVA	40358 Ws 12,88 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie $E_{\text{FLC}}/S_{\text{C,max}}$)	138120 Ws 36,51 Ws/kVA	350218 Ws 80,34 Ws/kVA	24075 Ws 9,28 Ws/kVA	129947 Ws 41,46 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}}/S_{\text{C,max}}$	41,64 Ws/kVA	88,78 Ws/kVA	17,60 Ws/kVA	54,34 Ws/kVA
WTHDn u_{UV} ($m_a = 1,11$)	0,88 % (APOD)	0,93 % (APOD)	0,93 % (APOD)	1,0 % (APOD)

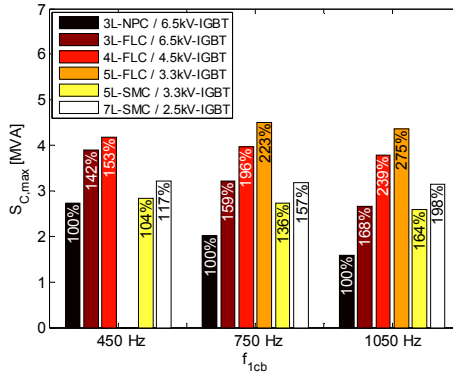


Abb. 5.8: Maximale Stromrichterleistung $S_{C,max}$ als Funktion der Frequenz f_{1cb} ($U_{UV,1} = 4,16$ kV; 3L-Topologie: 6,5kV IGBTs)

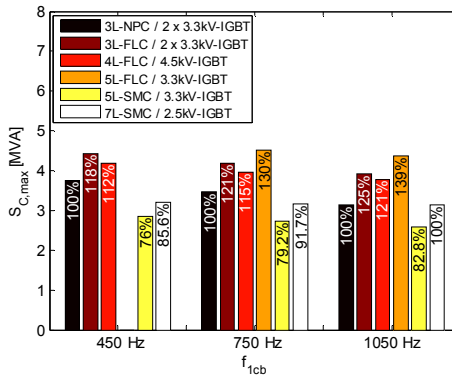


Abb. 5.9: Maximale Stromrichterleistung $S_{C,max}$ als Funktion der Frequenz f_{1cb} ($U_{UV,1} = 4,16$ kV; 3L-Topologien: 2x3,3kV IGBTs)

Wie beim Vergleich der Topologien mit einer Ausgangsspannung von 2,3 kV (vgl. Kapitel 5.3.1) sinken die jeweiligen maximalen Stromrichterleistung $S_{C,max}$ aller Umrichter topologien mit der Erhöhung der Frequenz f_{1cb} ($f_{1cb} = 750$ Hz / 1050 Hz, vgl. Tabelle 5-8).

Durch die Serienschaltung von 2x3,3kV IGBTs anstelle eines 6,5kV IGBTs pro Schalterposition ergibt sich beim 3L-NPC Umrichter bei der jeweiligen betrachteten Frequenz f_{1cb} eine um 71% ($S_{C,max,3,3kVIGBT} = 3,46$ MVA; $f_{1cb} = 750$ Hz) bzw. um 98% ($S_{C,max,3,3kVIGBT} = 3,134$ MVA; $f_{1cb} = 1050$ Hz) größere maximale Stromrichterleistung. Bei der 3L-FLC Umrichter topologie wird unter den genannten Bedingungen eine maximale Stromrichterleistung erreicht, die bei der jeweiligen betrachteten Frequenz f_{1cb} um 30% ($S_{C,max,3,3kVIGBT} = 4,18$ MVA; $f_{1cb} = 750$ Hz) bzw. um 48% ($S_{C,max,3,3kVIGBT} = 3,93$ MVA; $f_{1cb} = 1050$ Hz) größer ist.

Relativ zu der maximalen Stromrichterleistung des 3L-NPC mit 2x3,3kV IGBTs lassen sich bei Erhöhung der Frequenz f_{1cb} folgende Aussagen treffen (vgl. Abb. 5.9):

- Der 3L-FLC Umrichter (2x3,3kV IGBTs) realisiert eine um 21% (25%) größere maximale Stromrichterausgangsleistung, wenn das 1. Trägerband um $f_{1cb} = 750$ Hz (1050 Hz) lokalisiert ist. Für die 4L-FLC Umrichtertopologie ergibt sich bei den genannten Frequenzen f_{1cb} eine um 15% (21%) größere maximale Stromrichterausgangsleistung. Die maximale Stromrichterausgangsleistung des 5L-FLC Umrichters ist um 30% (39%) größer. Man erkennt, dass mit Erhöhung der Trägerfrequenz die maximalen Stromrichterausgangsleistungen der FLC Topologien wachsen. Ursächlich hierfür ist einerseits die in den kritischen Arbeitspunkten ungleichmäßige Verlustaufteilung zwischen den Halbleitern des 3L-NPC Umrichters im Vergleich zu der des 3L-FLC Umrichters. Andererseits generieren die in der 4L-FLC bzw. 5L-FLC Topologie eingesetzten 4,5kV bzw. 3,3kV IGBTs im Vergleich zu der Serienschaltung von zwei 3,3kV IGBTs (3L-Topologien) bei den entsprechenden Kommutierungsspannungen geringere Schaltverluste, da die Trägerfrequenzen f_c bei identischer Frequenz f_{1cb} geringer sind.
- Die maximalen Stromrichterausgangsleistungen $S_{C,max,rel}$ im 4-Quadrantenbetrieb des 5L-SMC Umrichter sind bei einer Frequenz f_{1cb} , um die das 1. Trägerbandes auftritt, von 750 Hz (1050 Hz) um ca. 20 % (17 %) geringer als die des 3L-NPC Umrichters (2x3.3kV IGBTs). Der 7L-SMC realisiert eine maximale Stromrichterausgangsleistung, welche um 8% ($f_{1cb} = 750$ Hz) unter der des 3L-NPC Umrichters (2x3.3kV IGBTs) liegt. Bei $f_{1cb} = 1050$ Hz hingegen ist die Ausgangsleistung identisch. Die in den SMC Topologien eingesetzten Halbleiter der 3,3kV (5L-SMC) bzw. 2,5kV (7L-SMC) IGBT-Module generieren im Vergleich zu den Leitverlusten auch signifikante Schaltverluste, womit die maximale Stromrichterausgangsleistung $S_{C,max}$ stärker von der Frequenz f_{1cb} (und somit von der Trägerfrequenz) abhängt (vgl. Tabelle 5-8) als dies beim Vergleich mit einer Ausgangsspannung von $U_{UV} = 2,3$ kV (vgl. Kapitel 5.3.1) der Fall war.

Halbleiterverlustverteilung. Beim Vergleich der Halbleiterverlustverteilungen wird bei den betrachteten Frequenzen f_{1cb} jeweils der Phasenstrom I_x der Umrichtertopologie angenommen, welcher beim Vergleich der maximalen Stromrichterleistungen den geringsten Wert realisierte. Dadurch werden Vergleiche sowohl der Gesamtverluste als auch der Verlustverteilungen ermöglicht, bei welchen die Halbleiter aller betrachteten Topologien unterhalb der maximalen Sperrschichttemperatur ($\theta_{j,max} = 125^\circ\text{C}$) betrieben werden. Der Vergleich bei einer Ausgangsspannung $U_{UV,1} = 4,16$ kV ($m_a = 1,11$) in Abb. 5.10 a) zeigt, dass sich die Gesamthalbleiterverluste P_V des 3L-NPC verglichen mit denen des 3L-FLC Umrichters, welche bei einem Phasenstrom von $I_x = 390$ A ($\cos(\varphi_i) = 0,9$) auftreten, nur marginal unterscheiden, wenn in beiden Topologien entweder 6,5kV IGBTs

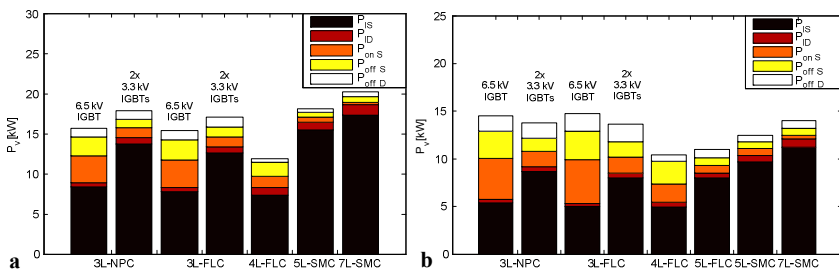


Abb. 5.10: Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 4,16$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
 a) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 450$ Hz ($I_x = 380$ A)
 b) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 750$ Hz ($I_x = 280$ A)

($P_{V,3L-NPC} = 15,7 \text{ kW}$; $P_{V,3L-FLC} = 15,4 \text{ kW}$) oder eine Serienschaltung von zwei 3,3kV IGBTs ($P_{V,3L-NPC} = 17,8 \text{ kW}$; $P_{V,3L-FLC} = 17,1 \text{ kW}$) verwendet werden ($f_{1cb} = 450 \text{ Hz}$). Bei dieser geringen Trägerfrequenz beider Topologien ($f_{C,3L-NPC} = 450 \text{ Hz}$; $f_{C,3L-FLC} = 225 \text{ Hz}$) ist der Einsatz von 6,5kV IGBTs bezüglich der Gesamtverluste vorteilhaft, da der 6,5kV IGBT im Vergleich zur Serienschaltung von zwei 3,3kV IGBTs ca. 38% geringere Leitverluste generiert. Die 4,5kV Halbleiter des 4L-FLC Umrichters ($f_{C,4L-FLC} = 150 \text{ Hz}$) generieren in dem betrachteten Betriebspunkt die geringsten Leit- und Gesamtverluste aller Topologien ($P_{V,4L-FLC} = 11,9 \text{ kW}$). Bei den Halbleitern des 5L-SMC (3,3kV IGBTs) und des 7L-SMC (2,5kV IGBTs) besitzen die Gesamtleitverluste $P_{IS,D}$ den größten Anteil (5L-SMC: 91%; 7L-SMC: 94%) an den Gesamtverlusten ($P_{V,5L-SMC} = 18,1 \text{ kW}$; $P_{V,7L-SMC} = 19,7 \text{ kW}$), da grundsätzlich mehrere Halbleiter (5L-SMC: 4 Halbleiter; 7L-SMC: 6 Halbleiter) gleichzeitig den Phasenstrom führen.

Bei einem Phasenstrom von $I_x = 280 \text{ A}$ ($\cos(\varphi_i) = 0,9$) und einer Frequenz f_{1cb} von $f_{1cb} = 750 \text{ Hz}$ (Abb. 5.10 b)) ergeben sich bei den 3L-Topologien geringere Gesamthalbleiterverluste P_V , wenn eine Reihenschaltung von 2x3,3kV IGBTs pro Schalterposition ($P_{V,3L-NPC} = 13,8 \text{ kW}$; $P_{V,3L-FLC} = 13,6 \text{ kW}$) verwendet wird. Der 6,5kV IGBT ($P_{V,3L-NPC} = 14,5 \text{ kW}$; $P_{V,3L-FLC} = 14,7 \text{ kW}$) generiert bei diesen Trägerfrequenzen ($f_{C,3L-NPC} = 750 \text{ Hz}$; $f_{C,3L-FLC} = 375 \text{ Hz}$) im Vergleich zu einer Reihenschaltung von 2x3,3kV IGBTs signifikant (3L-NPC: um 91%; 3L-FLC: um 85%) größere Schaltverluste. In den 4,5kV Halbleitern des 4L-FLC Umrichters entstehen die geringsten Gesamthalbleiterverluste ($P_{V,4L-FLC} = 10,4 \text{ kW}$). Beim 5L-FLC (3,3kV IGBT) sowie beim der 3L-FLC Topologie mit 2x3,3kV IGBTs führen in jedem Schaltzustand 4 Halbleiter den Phasenstrom, womit identische Gesamtleistverluste in den Halbleitern generiert werden. Die Schaltverluste des 5L-FLC Umrichters sind aber um ca. 48% geringer, da die Trägerfrequenz und damit die Schaltfrequenz der Kommutierungszellen um die Hälfte geringer ist als bei der 3L-FLC Topologie ($f_{C,5L-FLC} = 187,5 \text{ Hz}$). Des Weiteren ist der Stromfaktor c_f der IGBT-Module bei dieser Konfiguration in beiden Topologien (3L-FLC, 5L-FLC) identisch. Der 5L-SMC Umrichter generiert im Vergleich zum 5L-FLC um 21% größere Leit- und um 11% geringere Schaltverluste, doch liegen die Gesamthalbleiterverluste ($P_{V,5L-SMC} = 12,5 \text{ kW}$) noch unterhalb denen der 3L-Topologien. Durch den Einsatz von 2,5kV IGBTs beim 7L-SMC Umrichter ergeben sich in den Halbleitern die maximalen Leitverluste und die minimalen Schaltverluste in dem betrachteten Betriebspunkt. Die Gesamthalbleiterverluste des 7L-SMC Umrichters ($P_{V,7L-SMC} = 13,5 \text{ kW}$) liegen über denen der 4L-FLC, 5L-FLC und 5L-SMC Topologie, sind aber immer noch geringer als die der 3L-Topologien.

Für einen Phasenstrom von $I_x = 220 \text{ A}$ ($\cos(\varphi_i) = 0,9$) und einer Frequenz von $f_{1cb} = 1050 \text{ Hz}$ können bezüglich der Halbleiterverlustverteilung prinzipiell die gleichen Aussagen getroffen werden, wie bei $f_{1cb} = 750 \text{ Hz}$ (vgl. Abb. 5.11 a)). Es bestehen jedoch im Vergleich zu

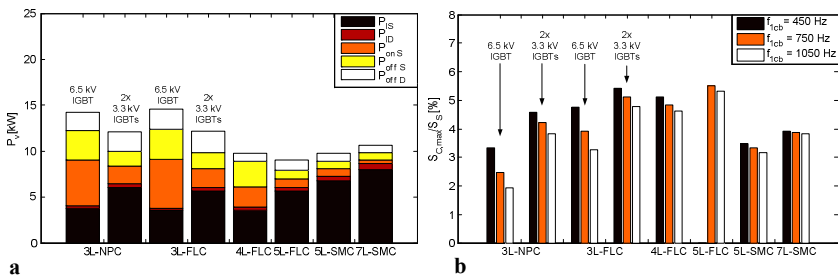


Abb. 5.11 a) Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 4,16 \text{ kV}$; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 1050 \text{ Hz}$ ($I_x = 220 \text{ A}$)
b) Halbleiterausnutzungsfaktor $S_{C,max}/S_S = f(f_{1cb})$ ($S_S = 81,9 \text{ MVA}$)

$f_{1cb} = 750$ Hz Unterschiede in der Aufteilung der Gesamthalbleiterverluste in Schalt- und Leitverluste in den jeweiligen Topologien. Die Anteile der Schaltverluste nehmen in den Topologien, welche mit 2x3,3kV, 4,5kV und 6,5kV IGBTs betrieben werden (3L-NPC, 3L-FLC, 4L-FLC) stärker zu, als in den restlichen Topologien (5L-FLC; 5L-SMC; 7L-SMC). Bei dieser Frequenz f_{1cb} sind die Gesamtverluste der 3L-Topologien bei Verwendung von 6,5kV IGBTs am Größten ($P_{V,3L-NPC} = 14,2$ kW; $P_{V,3L-FLC} = 14,6$ kW). Hingegen reduzieren sich die Gesamtverluste in diesem Betriebspunkt bei den 3L-Topologien um ca. 15%, wenn 2x3,3kV IGBTs eingesetzt werden ($P_{V,3L-NPC} = 12,1$ kW; $P_{V,3L-FLC} = 12,2$ kW). Die Gesamtverluste des 4L-FLC Umrichters sind nochmals um 20%, die des 5L-FLC Umrichters um 25% geringer als bei den 3L-Topologien mit 2x3,3kV IGBTs ($P_{V,4L-FLC} = 9,7$ kW; $P_{V,5L-FLC} = 9,1$ kW). Bei den SMC Topologien sind durch den hohen Anteil an Leitverlusten die Gesamtverluste um ca. 9% (5L-SMC) bzw. ca. 12% (7L-SMC) größer als beim 5L-FLC Umrichter.

Halbleiterausnutzung. In Abb. 5.11 b) ist der Halbleiterausnutzungsfaktor, welcher die maximale Stromrichter Ausgangsleistung $S_{C,max}$ im 4-Quadrantenbetrieb bezogen auf die installierte Schalterleistung S_S angibt, für sämtliche untersuchten Stromrichtertopologien und Frequenzen des f_{1cb} dargestellt (4,16 kV Stromrichter).

Da im vorhergehenden Abschnitt *Maximale Stromrichter Ausgangsleistung* sowie im Kapitel 5.3.1 beim 2,3 kV Stromrichter die wichtigsten prinzipiellen Kernaussagen schon getroffen werden, liegt eine übertragbare detaillierte Evaluation der wesentlichen Ergebnisse bereits vor. Die Darstellung der Ergebnisse in Abb. 5.11 b) zeigt darüber hinaus für den 4,16 kV Stromrichter, dass bezüglich der Halbleiterausnutzung ein Einsatz der FLC Topologien sehr attraktiv ist, da diese Topologien die größte Ausnutzung der eingesetzten Halbleiter realisieren. Die SMC Topologien liegen bei dieser Betrachtung im Bereich des 3L-NPC, wobei erwähnt werden muss, dass diese nur bei einer hohen Trägerfrequenz einen kleineren WTHDn in der Ausgangsspannung zur Verfügung stellen.

Gespeicherte Energie. Für die gespeicherten Energien in den jeweiligen Stromrichtertopologien sind die grundlegenden Aussagen, welche in Kapitel 5.3.1 (2,3 kV Vergleich) getroffen worden sind, sowohl für die gespeicherten Energien des Zwischenkreises als auch für die der Flying Capacitors gültig. Dies liegt daran, dass einerseits sämtliche Faktoren für die Ermittlung der Kapazitätswerte des Zwischenkreises C_{dc} und die der Flying Capacitors C_{FLC} (vgl. Tabelle 4-11 / Tabelle 4-12) auf eine Bezugskapazität C_n normiert ermittelt worden sind (für $f_{1cb} = 450$ Hz / 750 Hz / 1050 Hz). Andererseits sind in Kapitel 5.3.1 alle gespeicherten Energien (E_{dc} ; E_{FLC}) auf die maximale Stromrichter Ausgangsleistung ($S_{C,max}$) bezogen. Somit ergeben sich für die bezogenen gespeicherten Energien ($E_{dc,rel}$; $E_{FLC,rel}$) identische Werte, welche in Abb. 5.4 und Abb. 5.5 dargestellt sind. Die absoluten Kapazitätswerte aller Kondensatoren sowie deren gespeicherten Energien sind für den 4,16 kV Stromrichter in Tabelle 5-8 hergeleitet worden.

5.4.2 Vergleich bei maximaler Trägerfrequenz

In Tabelle 5-9 sind die Halbleiterauslegung und die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien bei maximaler Trägerfrequenz $f_{C,max}$ dargestellt, wobei eine identische Stromrichterausgangsleistung S_C von 2,017 MVA und eine identische installierte Schalterleistung $S_S = 81,9$ MVA angenommen wird. Die maximale Trägerfrequenz $f_{C,max}$ wird in den kritischen Arbeitspunkten der jeweiligen Topologie (vgl. 4.2.2) derart ermittelt, dass die maximale Sperrschichttemperatur ($\vartheta_{j,max} = 125^\circ\text{C}$) der entsprechenden Halbleiter nicht überschritten wird. Der Phasenstrom $I_x = 280$ A und damit die Stromrichterausgangsleistung $S_C = 2,017$ MVA wird entsprechend den Ergebnissen aus dem vorangegangenen Kapitel 5.4.1 gewählt. Bei diesem Vergleich realisiert der 3L-NPC Umrichter mit 6,5kV IGBTs bei einer Frequenz f_{1cb} von 750 Hz den geringsten Phasenstrom ($I_x = 280$ A). Der Halbleiterausnutzungsfaktor S_C/S_S ist bei allen Topologien mit 2,46% identisch.

Tabelle 5-9 Maximale Trägerfrequenz $f_{C,max}$ bei identischer installierter Schalterleistung S_S und identischer Stromrichterausgangsleistung S_C ($I_x = 280$ A; $S_C = 2,017$ MVA; $U_{UV,1} = 4,16$ kV; $U_{dc} = 6118$ V)

	3L-NPC VSC	3L-NPC VSC	3L-FLC VSC	3L-FLC VSC
Installierte Schalterleistung S_S	81,9 MVA	81,9 MVA	81,9 MVA	81,9 MVA
IGBT	FZ600R65KF1	2x FZ1200R33KF2C	FZ600R65KF1	2x FZ1200R33KF2C
$U_{Ksm} / U_{Ksm}@100\text{TF}$	0,85	0,85	0,85	0,85
IGBT/Dioden Nennstrom $I_{c,n}$ (Stromfaktor c_t)	600 A	590,9 A (0,4924)	700 A (7/6)	689,39 A (0,5745)
Rel. Chipfläche IGBT / Diode	100 % / 100 %	97,2 % / 98,5 %	116,7% / 77,8%	113,4% / 76,6 %
Maximale Trägerfrequenz $f_{C,max}$ @ $\vartheta_{j,max} = 125^\circ\text{C}$	750 Hz	2375 Hz	775 Hz	2100 Hz
Frequenz des 1. Trägerbandes f_{1cb}	750 Hz	2375 Hz	1550 Hz	4200 Hz
Halbleiterausnutzungsfaktor S_C/S_S	2,46 %	2,46 %	2,46 %	2,46 %
DC-Link Capacitor C_{dc}	663 μF	571 μF	237 μF	84,5 μF
Flying Capacitors C_{FLC}	-	-	835 μF	308 μF
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc}/S_C)	12409 Ws 6,15 Ws/kVA	10685 Ws 5,30 Ws/kVA	4427 Ws 2,19 Ws/kVA	1581 Ws 0,784 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC}/S_C)	-	-	11723 Ws 5,81 Ws/kVA	4326 Ws 2,144 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges}/S_C	6,15 Ws/kVA	5,30 Ws/kVA	8,00 Ws/kVA	2,93 Ws/kVA
WTHDn u_{UV} ($m_a = 1,11$)	1,68 % (PD)	0,59 % (PD)	0,92 % (APOD)	0,33 % (APOD)

	4L-FLC VSC	5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
Installierte Schalterleistung S_S	81,9 MVA	81,9 MVA	81,9 MVA	81,9 MVA
IGBT	CM900HB-90H	FZ1200R33KF2C	FZ1200R33KF2C	CM1200HB-50H
$U_{Ksm} / U_{Ksm}@100\text{TF}$	0,91	0,85	0,85	0,98
IGBT Nennstrom $I_{c,n}$ (Stromfaktor c_t)	674 A (0,74897)	689,4 A (0,5745)	459,6 A(0,383)	404,6 A(0,337)
Rel. Chipfläche IGBT / Diode	109,4% / 92,9 %	113,4% / 76,6 %	113,4% / 76,6 %	97,06% / 79,24%
Maximale Trägerfrequenz $f_{C,max}$ @ $\vartheta_{j,max} = 125^\circ\text{C}$	1250 Hz	2125 Hz	1475 Hz	2800 Hz
Frequenz des 1. Trägerbandes f_{1cb}	3750 Hz	8500 Hz	2950 Hz	8400 Hz
Halbleiterausnutzungsfaktor S_C/S_S	2,46 %	2,46 %	2,46 %	2,46 %
DC-Link Capacitor C_{dc}	142 μF	86,5 μF	596 μF	588 μF
Flying Capacitors C_{FLC}	661 μF	408 μF	950 μF	670 μF
gespeicherte Energie DC-Link E_{dc} (bezogene Energie E_{dc}/S_C)	2671 Ws 1,32 Ws/kVA	1618 Ws 0,802 Ws/kVA	11149 Ws 5,53 Ws/kVA	10447 Ws 5,18 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene Energie E_{FLC}/S_C)	20626 Ws 10,22 Ws/kVA	20022 Ws 9,92 Ws/kVA	6665 Ws 3,30 Ws/kVA	10455 Ws 5,18 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges}/S_C	11,54 Ws/kVA	10,7 Ws/kVA	8,83 Ws/kVA	10,36 Ws/kVA
WTHDn u_{UV} ($m_a = 1,11$)	0,2 % (APOD)	0,1 % (APOD)	0,29 % (APOD)	0,082 % (APOD)

Maximale Trägerfrequenz. Die maximale Trägerfrequenz $f_{C,max}$ des 3L-NPC Umrichters mit einer Serienschaltung von $2 \times 3,3$ kV IGBTs liegt im 4-Quadranten Betrieb mit 2375 Hz um 216% über der, welche mit 6,5kV IGBTs realisiert werden kann (vgl. Tabelle 5-9). Dies resultiert in einen um ca. 65% niedrigen WTHDn (bei $m_a = 1,11$) in der Ausgangsspannung u_{UV} , wobei das 1. Trägerband in der Ausgangsspannung um $f_{C,max}$ lokalisiert ist. Vergleicht man die 3L-Topologien mit 6,5kV IGBTs untereinander, so ist die maximale Trägerfrequenz des 3L-FLC mit $f_{C,max} = 775$ Hz um 3,3% größer als die des 3L-NPC Umrichters. Da beim 3L-FLC Umrichter das 1. Trägerband f_{1cb} um die doppelte Trägerfrequenz $f_{C,max}$ auftritt, ist der WTHDn mit 0,92% um 45% geringer als der des 3L-NPC ($WTHDn_{3L-NPC} = 1,68\%$). Werden beim 3L-FLC Umrichter $2 \times 3,3$ kV IGBTs pro Schalterposition angenommen, so beträgt $f_{C,max} = 2100$ Hz ($f_{1cb} = 4200$ Hz) und der WTHDn ist mit 0,33% um 45% geringer als der des 3L-NPC Umrichters ($WTHDn_{3L-NPC} = 0,59\%$; $2 \times 3,3$ kV IGBTs). Das 1. Trägerband in der Ausgangsspannung ist beim 4L-FLC Umrichter ($f_{C,max} = 1250$ Hz) um 3750 Hz lokalisiert und der WTHDn ist mit 0,2% um ca. 66% geringer als der des 3L-NPC Umrichters mit $2 \times 3,3$ kV IGBTs pro Schalterposition. Der 5L-FLC Umrichter realisiert eine maximale Trägerfrequenz von $f_{C,max} = 2125$ Hz ($f_{1cb} = 8500$ Hz) und einen WTHDn = 0,1%. Verglichen mit dem 5L-SMC Umrichter ist die maximale Trägerfrequenz des 5L-FLC Umrichters um 44% größer ($f_{C,max,5L-SMC} = 2950$ Hz) und der WTHDn um das 2,9-fache geringer. Die 7L-SMC Topologie besitzt bei einer maximalen Trägerfrequenz von $f_{C,max} = 2800$ Hz ($f_{1cb} = 8400$ Hz) den geringsten WTHDn mit 0,082%, was auf die hohe Stufenzahl in der Ausgangsspannung zurück zu führen ist.

Gespeicherte Energie. In Abb. 5.12 a) ist die bezogene gespeicherte Energie im Zwischenkreis E_{dc}/S_C bei maximaler Trägerfrequenz $f_{C,max}$ aller Topologien dargestellt, wobei die Zwischenkreiskapazität unter der Annahme eines maximalen Spannungsrippels im Zwischenkreis von $\Delta U_{dc,1}/(U_{dc}/2) = 5\%$ durch Simulation des Gesamtsystems (Umrichter + 24-puls Einspeisung) gemäß Kapitel 4.3.5 ermittelt wurde ($I_x = 280$ A; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$). Der 3L-NPC Umrichter mit 6,5kV IGBTs benötigt unter den genannten Annahmen bei einer maximalen Trägerfrequenz von $f_{C,max} = 750$ Hz eine bezogene gespeicherte Energie von 6,15 Ws/kVA im Zwischenkreis. Bei Verwendung von $2 \times 3,3$ kV IGBTs erhöht sich zwar die maximale Trägerfrequenz auf $f_{C,max} = 2375$ Hz, doch sinkt die bezogene gespeicherte Energie im Zwischenkreis nur um 14% auf 5,3 Ws/kVA. Dies ist damit zu erklären, dass trotz der hohen Trägerfrequenz eine 3. Harmonische der Frequenz der Ausgangsspannung im Kondensatorstrom enthalten bleibt (vgl. Kapitel 4.3.2). Der 3L-FLC Umrichter mit 6,5kV IGBTs hingegen benötigt bei $f_{C,max} = 775$ Hz in dem betrachteten Betriebspunkt nur noch 2,19 Ws/kVA was im Vergleich mit dem 3L-NPC Umrichter (6,5kV IGBT) einer Reduktion von ca. 65% entspricht. Bei einer maximalen Trägerfrequenz $f_{C,max} = 2100$ Hz des 3L-FLC ($2 \times 3,3$ kV IGBTs) treten die ersten Harmonischen im lastseitigen Zwischenkreisstrom um 2100 Hz auf. In Bezug auf den erlaubten Spannungsrippel benötigt der 3L-FLC Umrichter ($2 \times 3,3$ kV IGBTs) eine sehr kleine bezogene Energie von 0,78 Ws/kVA im Zwischenkreis. Die bezogene gespeicherte Energie im Zwischenkreis des 5L-FLC Umrichters ($f_{C,max} = 2125$ Hz) unterscheidet sich mit 0,80 Ws/kVA nur marginal. Verglichen mit dem 3L-NPC Umrichtern liegen die bezogenen gespeicherten Energien des 5L-SMC und des 7L-SMC Umrichters mit 5,5 Ws/kVA und 5,18 Ws/kVA in einem ähnlichen Bereich.

In Abb. 5.12 b) sind die bezogenen gespeicherten Energien E_{FLC}/S_C der Flying Capacitors dargestellt. Die Kapazitätswerte der Flying Capacitors werden mit (4.89) und (4.90) hergeleitet. Es ist zu erkennen, dass der 4L-FLC und der 5L-FLC die größten bezogenen Energien bei der maximale Trägerfrequenz benötigen um einen maximalen Spannungsrippel von 10% der inneren Kondensatorspannung ($U_{dc}/(N-1)$) nicht zu überschreiten (4L: $E_{FLC}/S_C = 10,22$ Ws/kVA; 5L: $E_{FLC}/S_C = 9,92$ Ws/kVA). Hingegen liegen die

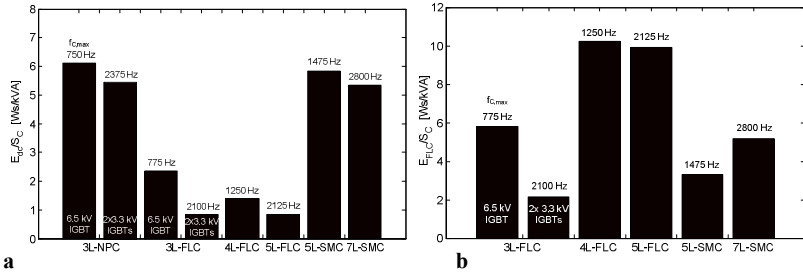


Abb. 5.12: Bezogene gespeicherte Energie E/S_C bei $f_C = f_{C,max}$ ($U_{UV,1} = 4,16$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
 a) Bezogene gespeicherte Energie im Zwischenkreis E_{dc}/S_C ($I_x = 280$ A)
 b) Bezogene gespeicherte Energie der Flying Capacitors E_{FLC}/S_C ($I_x = 280$ A)

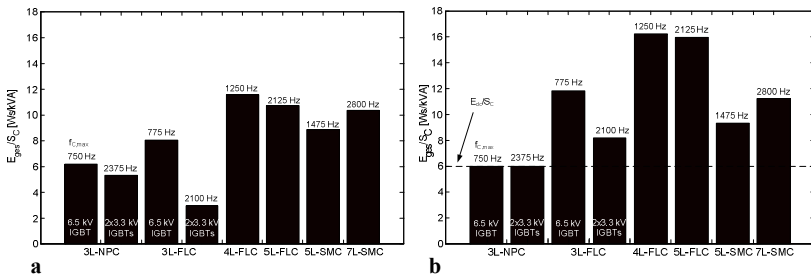


Abb. 5.13: Bezogene gespeicherte Energie E_{ges}/S_C bei $f_C = f_{C,max}$ ($U_{UV,1} = 4,16$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
 a) Bezogene gespeicherte Energie bei $f_{C,max}$ ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$; $I_x = 280$ A)
 b) Bezogene gespeicherte Energie bei $f_{C,max}$ (mit $E_{dc}/S_C = 6$ Ws/kVA = const.; $I_x = 280$ A)

gespeicherten Energien in den Flying Capacitors der restlichen Topologien unterhalb von 6Ws/kVA, wobei der 3L-FLC Umrichter mit 2x3,3kV IGBTs die geringste bezogene gespeicherte Energie realisiert (2,14 Ws/kVA). Vergleicht man die bezogenen gespeicherten Energien der Flying Capacitors des 5L-FLC und des 5L-SMC Umrichters so erkennt man, dass der Einsatz eines SMC Umrichters in dem betrachteten Betriebspunkt eine Reduzierung um ca. 66% ermöglicht.

In Abb. 5.13 a) und b) sind die bezogenen gespeicherten Gesamtenergien E_{ges}/S_C dargestellt, wobei einerseits die Summe aus den bezogenen Energien gemäß Abb. 5.12 a) und b) (Abb. 5.13 a)) und andererseits eine konstante bezogene Zwischenkreisenergie von 6 Ws/kVA angenommen wird (Abb. 5.13 b)). Man erkennt in Abb. 5.13 a), dass der 3L-FLC Umrichter (2x3,3kV IGBTs) die geringste bezogene Gesamtenergie mit 2,92 Ws/kVA benötigt. Der 3L-NPC Umrichter (2x3,3kV IGBTs) benötigt in dem betrachteten Betriebspunkt eine um 81% größere gespeicherte Gesamtenergie (5,3 Ws/kVA). Setzt man hingegen in den 3L-Topologien 6,5kV IGBTs ein, so realisiert der 3L-FLC Umrichter eine um 30% größere bezogene Gesamtenergie (8,0 Ws/kVA). Vergleicht man die 4L-FLC, 5L-FLC, 5L-SMC und 7L-SMC Umrichter so benötigt der 5L-SMC die geringste Gesamtenergie mit 8,83 Ws/kVA. Nimmt man hingegen eine konstante gespeicherte bezogene Zwischenkreisenergie (vgl. Abb. 5.13 b)) von 6Ws/kVA an, so ist die bezogene Gesamtenergie des 3L-FLC Umrichters um 35% (2x3,3kV IGBTs: 8,14 Ws/kVA) bzw. um 96% (6,5kV IGBTs: 11,8 Ws/kVA) größer als die des 3L-NPC Umrichters. Der 4L-FLC Umrichter benötigt unter den genannten Annahmen die größte bezogene gespeicherte Energie mit 16,22 Ws/kVA. Diese liegt damit um 170% über der des 3L-NPC Umrichters. Auch hier zeigt sich, dass der Einsatz eines 5L-SMC Umrichters ($E_{ges}/S_C = 9,3$ Ws/kVA) bezüglich der Gesamtenergie vorteilhaft gegenüber dem

eines 5L-FLC Umrichters ($E_{ges}/S_C = 15,92 \text{ Ws/kVA}$) ist, da die bezogene gespeicherte Gesamtenergie um 42% niedriger ist.

5.5 Vergleich für einen 6,6 kV Mittelspannungsstromrichter

5.5.1 Vergleich bei verschiedenen Schaltfrequenzen

In Tabelle 5-10 sind die Halbleiterauslegung, die maximale Stromrichterscheinleistung $S_{C,max}$, die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien dargestellt, wobei drei verschiedene Frequenzen f_{1cb} in der verketteten Ausgangsspannung u_{UV} betrachtet werden. Als Bezugswert für die installierte Schalterleistung $S_S = 170,1 \text{ MVA} = \text{const. aller Topologien}$ wird die des 3L-NPC Umrichters mit 2x4,5kV/900A IGBT-Modulen gewählt (vgl. Tabelle 5-1). Da der 6,5kV IGBT im Vergleich zum 3,3kV IGBT signifikant höhere Schaltverlustenergien bei entsprechenden Kommutierungsspannungen generiert, wird bei der 4L-FLC Topologie sowohl ein 6,5kV IGBT als auch eine Serienschaltung von 2x3,3kV IGBTs pro Schalterposition betrachtet, wobei kein Derating aufgrund einer unsymmetrischen Spannungsaufteilung angenommen wird. Für die 5L-FLC und die 5L-SMC Topologie werden zwei in Serie geschaltete 2,5kV IGBTs verwendet. Hingegen kommt beim 7L-SMC aufgrund der geringen Kommutierungsspannung ($U_{K,om} = U_{dc}/6$) ein 3,3kV IGBT pro Schalterposition zum Einsatz. Zusammenfassend sind die wichtigsten Ergebnisse der Untersuchungen bezüglich der Auslegung des 6,6 kV Stromrichters in Abb. 5.14-Abb. 5.18 grafisch dargestellt.

Maximale Stromrichterausgangsleistung. In Tabelle 5-10 und Abb. 5.14 ist die maximale Stromrichterausgangsleistung $S_{C,max}$ dargestellt, die im 4-Quadranten Betrieb der untersuchten Stromrichtertopologien realisiert werden kann, wobei eine maximale Sperrschichttemperatur von $\vartheta_{j,max} = 125^\circ\text{C}$ nicht überschritten wird. Die prozentualen Angaben in Abb. 5.14 stellen die in Tabelle 5-10 dargestellte maximale Stromrichterleistung $S_{C,max,rel}$ dar, wobei die maximale Stromrichterausgangsleistung des 3L-NPC Umrichters bei der jeweiligen Frequenz f_{1cb} als Bezugswert herangezogen wird. Man erkennt, dass bei $f_{1cb} = 450 \text{ Hz}$ der 3L-FLC Umrichter mit $S_{C,max} = 8,573 \text{ MVA}$ eine 18% größere Stromrichterausgangsleistung realisiert als der 3L-NPC Umrichter ($S_{C,max} = 7,259 \text{ MVA}$). Die maximale Stromrichterausgangsleistung des 4L-FLC Umrichters ($S_{C,max} = 8,631 \text{ MVA}$), bei welchem 6,5kV IGBTs pro Schalterposition eingesetzt werden, liegt 19% über der des 3L-NPC Umrichters und somit im Bereich der des 3L-FLC Umrichters ($S_{C,max} = 8,573 \text{ MVA}$). Durch die Serienschaltung von zwei 3,3kV IGBTs pro Schalterposition steigt die Stromrichterausgangsleistung des 4L-FLC Umrichters um ca. 11% ($S_{C,max} = 9,602 \text{ MVA}$) im Vergleich zur Einfachschaltung von 6,5kV IGBTs. Der 5L-SMC Umrichters besitzt eine maximale Stromrichterausgangsleistung die im Bereich des 3L-NPC liegt ($S_{C,max} = 7,202 \text{ MVA}$), obwohl die Trägerfrequenz nur halb so groß ist wie die des 3L-NPC Umrichters ($f_{C,5L-SMC} = 225 \text{ Hz}$; $f_{C,3L-NPC} = 450 \text{ Hz}$). Dies ist damit zu erklären, dass die Serienschaltung von 2x2,5kV IGBTs (5L-SMC) verglichen mit den 2x4,5kV IGBTs im 3L-NPC Umrichter im Verhältnis zu den Schaltverlusten sehr große Leitverluste generiert, welche die maximale Stromrichterausgangsleistung begrenzen. Die gleiche Aussage trifft auch auf den 7L-SMC Umrichter zu, welcher mit 3,3kV IGBTs betrieben wird. Dieser realisiert eine um ca. 18% geringere Stromrichterausgangsleistung ($S_{C,max} = 5,944 \text{ MVA}$) im Vergleich zu der des 3L-NPC Umrichters.

Tabelle 5-10 Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_S und identischer Frequenz f_{eb} um die 1. Trägerband in der Ausgangsspannung auftritt
($f_{\text{eb}} = 450 / 750 / 1050 \text{ Hz}$; $U_{\text{UV},1} = 6,6 \text{ kV}$; $U_{\text{dc}} = 9707 \text{ V}$)

	3L-NPC VSC	3L-FLC VSC	4L-FLC VSC	4L-FLC VSC
Installierte Schalterleistung S_S	170,1 MVA	170,1 MVA	170,1 MVA	170,1 MVA
IGBT	2x CM900HB-90H	2x CM900HB-90H	FZ600R65KF1	2x FZ1200R33KF2C
$U_{\text{Kcm}} / U_{\text{Kcm}@100\text{FF}}$	1,08	1,08	0,9	0,9
IGBT/Dioden Nennstrom I_{ca} (Stromfaktor c)	900 A	1050 A (7/6)	954,5 A (0,7955)	969,2 A (1,6154)
Relative Chipfläche IGBT / Diode	100 % / 100 %	116,7 % / 77,8 %	124,4 % / 65,1 %	120,9 % / 64,1 %
$f_{\text{eb}} = 450 \text{ Hz}$				
Trägerfrequenz f_c	450 Hz	225 Hz	150 Hz	150 Hz
Maximaler Phasenstrom $I_{\text{a,max}}$ (@ $\vartheta_{\text{j,max}} = 125^\circ \text{ C}$)	635 A	750 A	755 A	840 A
Maximale Scheinleistung $S_{\text{C,max}}$	7,259 MVA	8,573 MVA	8,631 MVA	9,602 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	100 %	118 %	119 %	132,3 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	4,27 %	5,04 %	5,07 %	5,65 %
DC-Link Capacitor C_{dc}	718 μF	1956 μF	1229 μF	1367 μF
Flying Capacitors C_{FLC}	-	4856 μF	9364 μF	10418 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{C,max}}$)	33816 Ws 4,66 Ws/kVA	92180 Ws 10,75 Ws/kVA	57899 Ws 6,71 Ws/kVA	64417 Ws 6,71 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{C,max}}$)	-	171600 Ws 20,01 Ws/kVA	735314 Ws 85,2 Ws/kVA	818097 Ws 85,2 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{C,max}}$	4,66 Ws/kVA	30,76 Ws/kVA	91,9 Ws/kVA	91,9 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)	1,79 % (PD)	4,5 % (APOD)	3,55 % (APOD)	3,55 % (APOD)
$f_{\text{eb}} = 750 \text{ Hz}$				
Trägerfrequenz f_c	750 Hz	375 Hz	250 Hz	250 Hz
Maximaler Phasenstrom $I_{\text{a,max}}$ (@ $\vartheta_{\text{j,max}} = 125^\circ \text{ C}$)	460 A	675 A	630 A	795 A
Maximale Scheinleistung $S_{\text{C,max}}$	5,259 MVA	7,716 MVA	7,202 MVA	9,088 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	100 %	146,7 %	137 %	172,8 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	3,09 %	4,54 %	4,23 %	5,34 %
DC-Link Capacitor C_{dc}	686,5 μF	803 μF	1300 μF	1640 μF
Flying Capacitors C_{FLC}	-	2622 μF	4688 μF	5916 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{C,max}}$)	32343 Ws 6,15 Ws/kVA	37830 Ws 4,90 Ws/kVA	61243 Ws 8,50 Ws/kVA	77283 Ws 8,50 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{C,max}}$)	-	92664 Ws 12,01 Ws/kVA	368144 Ws 51,12 Ws/kVA	464562 Ws 51,12 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{C,max}}$	6,15 Ws/kVA	16,91 Ws/kVA	59,62 Ws/kVA	59,62 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)	1,68 % (PD)	2,05 % (APOD)	1,5 % (APOD)	1,5 % (APOD)
$f_{\text{eb}} = 1050 \text{ Hz}$				
Trägerfrequenz f_c	1050 Hz	525 Hz	350 Hz	350 Hz
Maximaler Phasenstrom $I_{\text{a,max}}$ (@ $\vartheta_{\text{j,max}} = 125^\circ \text{ C}$)	350 A	605 A	545 A	760 A
Maximale Scheinleistung $S_{\text{C,max}}$	4,001 MVA	6,916 MVA	6,230 MVA	8,688 MVA
Relative Maximale Scheinleistung $S_{\text{C,max,rel}}$	100 %	172,9 %	155,7 %	217 %
Halbleiterausnutzungsfaktor $S_{\text{C,max}}/S_S$	2,35 %	4,1 %	3,7 %	5,11 %
DC-Link Capacitor C_{dc}	475 μF	495 μF	678 μF	946 μF
Flying Capacitors C_{FLC}	-	1679 μF	2897 μF	4040 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{C,max}}$)	22386 Ws 5,59 Ws/kVA	23311 Ws 3,37 Ws/kVA	31960 Ws 5,13 Ws/kVA	44568 Ws 5,13 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{C,max}}$)	-	59325 Ws 8,58 Ws/kVA	227481 Ws 36,51 Ws/kVA	317221 Ws 36,51 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{C,max}}$	5,59 Ws/kVA	11,95 Ws/kVA	41,64 Ws/kVA	41,64 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)	1,09 % (PD)	1,39 % (APOD)	0,88 % (APOD)	0,88 % (APOD)

Fortsetzung Tabelle 5-10
Maximaler Phasenstrom und Ausgangsleistung bei identischer installierter Schalterleistung S_s und
identischer Frequenz f_{cb} um die das 1. Trägerband in der Ausgangsspannung auftritt
($f_{\text{cb}} = 450 / 750 / 1050 \text{ Hz}$; $U_{\text{UV},1} = 6,6 \text{ kV}$; $U_{\text{dc}} = 9707 \text{ V}$)

	5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
Installierte Schalterleistung S_s	170,1 MVA	170,1 MVA	170,1 MVA
IGBT	2x CM1200HB-50H	2x CM1200HB-50H	FZ1200R33KF2C
$U_{\text{Kom}} / U_{\text{Kom}@100\text{FT}}$	0,97	0,97	0,9
IGBT/Dioden Nennstrom $I_{\text{c,n}}$ (Stromfaktor c_d)	945 A (63/80)	630 A (21/40)	636,4 A (0,53)
Relative Chipfläche IGBT / Diode	103,5 % / 66,3 %	103,5 % / 66,3 %	120,9 % / 64,1 %
$f_{\text{cb}} = 450 \text{ Hz}$			
Trägerfrequenz f_c		225 Hz	150 Hz
Maximaler Phasenstrom $I_{\text{c,max}}$ (@ $\vartheta_{\text{T,max}} = 125^\circ \text{ C}$)		630 A	520 A
Maximale Scheinleistung $S_{\text{c,max}}$		7,202 MVA	5,944 MVA
Relative Maximale Scheinleistung $S_{\text{c,max,rel}}$		99,21 %	81,89 %
Halbleiterausnutzungsfaktor $S_{\text{c,max}}/S_s$		4,23 %	3,49 %
DC-Link Capacitor C_{dc}		1664 μF	812 μF
Flying Capacitors C_{FLC}		8828 μF	14646 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{c,max}}$)		78401 Ws 10,89 Ws/kVA	38271 Ws 6,44 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{c,max}}$)		155964 Ws 21,66 Ws/kVA	575051 Ws 96,74 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{c,max}}$		32,55 Ws/kVA	103,2 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)		2,51 % (APOD)	3,46 % (APOD)
$f_{\text{cb}} = 750 \text{ Hz}$			
Trägerfrequenz f_c	187,5 Hz	375 Hz	250 Hz
Maximaler Phasenstrom $I_{\text{c,max}}$ (@ $\vartheta_{\text{T,max}} = 125^\circ \text{ C}$)	995 A	620 A	505 A
Maximale Scheinleistung $S_{\text{c,max}}$	11,374 MVA	7,088 MVA	5,773 MVA
Relative Maximale Scheinleistung $S_{\text{c,max,rel}}$	216,3 %	134,8 %	109,78 %
Halbleiterausnutzungsfaktor $S_{\text{c,max}}/S_s$	6,69 %	4,17 %	3,4 %
DC-Link Capacitor C_{dc}	4912 μF	1700 μF	1573 μF
Flying Capacitors C_{FLC}	10344 μF	5212 μF	8534 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{c,max}}$)	231437 Ws 20,35 Ws/kVA	80102 Ws 11,30 Ws/kVA	74135 Ws 12,84 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{c,max}}$)	1279336 Ws 112,48 Ws/kVA	92093 Ws 12,99 Ws/kVA	325078 Ws 58,04 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{c,max}}$	132,83 Ws/kVA	24,29 Ws/kVA	70,88 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)	1,75 % (APOD)	1,75 % (APOD)	1,72 % (APOD)
$f_{\text{cb}} = 1050 \text{ Hz}$			
Trägerfrequenz f_c	262,5 Hz	525 Hz	350 Hz
Maximaler Phasenstrom $I_{\text{c,max}}$ (@ $\vartheta_{\text{T,max}} = 125^\circ \text{ C}$)	980 A	610 A	490 A
Maximale Scheinleistung $S_{\text{c,max}}$	11,203 MVA	6,973 MVA	5,601 MVA
Relative Maximale Scheinleistung $S_{\text{c,max,rel}}$	280 %	174,3 %	140 %
Halbleiterausnutzungsfaktor $S_{\text{c,max}}/S_s$	6,59 %	4,1 %	3,29 %
DC-Link Capacitor C_{dc}	2006 μF	1232 μF	1530 μF
Flying Capacitors C_{FLC}	7277 μF	3663 μF	5915 μF
gespeicherte Energie DC-Link E_{dc} (bezogene $E_{\text{dc}} / S_{\text{c,max}}$)	94527 Ws 8,44 Ws/kVA	58051 Ws 8,32 Ws/kVA	72125 Ws 12,88 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene $E_{\text{FLC}} / S_{\text{c,max}}$)	900035 Ws 80,34 Ws/kVA	64720 Ws 9,28 Ws/kVA	232232 Ws 41,46 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors $E_{\text{ges}} / S_{\text{c,max}}$	88,78 Ws/kVA	17,60 Ws/kVA	54,34 Ws/kVA
WTHDn u_{UV} ($m_3 = 1,11$)	0,93 % (APOD)	0,93 % (APOD)	1,0 % (APOD)

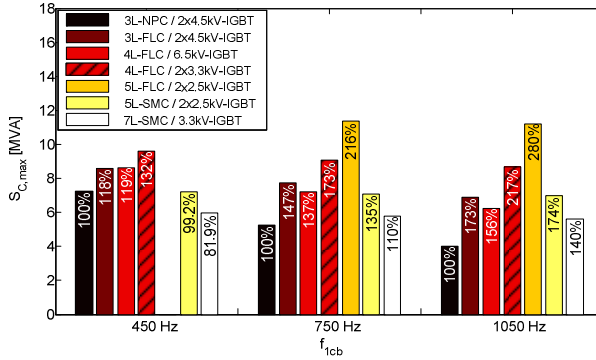


Abb. 5.14: Maximale Stromrichterleistung $S_{C,max}$ als Funktion der Frequenz f_{cb} ($U_{UV,1} = 6,6$ kV)

Bei den 3L-NPC mit größeren Trägerfrequenzen ($f_{c,3L-NPC} = 750$ Hz/1050 Hz) wird die maximale Stromrichterleistung immer mehr durch die hohen Schaltverluste der Serienschaltung der 4,5kV IGBTs pro Schalterposition begrenzt ($S_{C,max,750Hz} = 5,259$ MVA; $S_{C,max,1050Hz} = 4$ MVA). Da die Trägerfrequenzen des 3L-FLC und des 4L-FLC Umrichter um den Faktor 2 bzw. 3 kleiner sind, wächst die maximale Stromrichterleistung $S_{C,max,rel}$ mit Erhöhung der Trägerfrequenzen an. Der 3L-FLC Umrichter realisiert bei einer Frequenz $f_{cb} = 750$ Hz bzw. 1050 Hz ($f_{c,3L-FLC} = 375$ Hz bzw. 525 Hz) eine um 47% bzw. 73% ($S_{C,max,750Hz} = 7,716$ MVA; $S_{C,max,1050Hz} = 6,916$ MVA) größere maximale Stromrichterleistung als die des 3L-NPC Umrichters. Die maximale Stromrichterleistung des 4L-FLC Umrichters (6,5kV IGBTs) wächst zwar auch mit Erhöhung der Frequenz f_{cb} , so dass, verglichen mit dem 3L-NPC Umrichter, eine um 37% ($f_{cb} = 750$ Hz) bzw. um 56% ($f_{cb} = 1050$ Hz) größere Stromrichterleistung ($S_{C,max,750Hz} = 7,202$ MVA; $S_{C,max,1050Hz} = 6,230$ MVA) zur Verfügung gestellt werden kann, doch liegt diese im Gegensatz zu $f_{cb} = 450$ Hz unterhalb der des 3L-FLC Umrichters. Hingegen liegt die maximale Stromrichterleistung des 4L-FLC Umrichters bei Verwendung von 2x3,3kV IGBTs pro Schalterposition sowohl bei $f_{cb} = 750$ Hz als auch bei $f_{cb} = 1050$ Hz über der des 3L-FLC Umrichters ($S_{C,max,750Hz} = 9$ MVA; $S_{C,max,1050Hz} = 8,688$ MVA). Bezogen auf den 3L-NPC Umrichter ergibt das eine um 73% ($f_{cb} = 750$ Hz) bzw. 117% ($f_{cb} = 1050$ Hz) größere maximale Stromrichterleistung. Der 5L-FLC besitzt bei diesen Frequenzen f_{cb} eine um 116% ($f_{cb} = 750$ Hz; $S_{C,max,750Hz} = 11,374$ MVA) bzw. um 180% ($f_{cb} = 1050$ Hz; $S_{C,max,1050Hz} = 11,203$ MVA) größere maximale Stromrichterleistung als der 3L-NPC Umrichter. Die Trägerfrequenzen beim 5L-FLC Umrichter sind derart klein ($f_{c,5L-FLC} = f_{c,3L-NPC}/4 = f_{cb}/4$), das im wesentlichen die in der Serienschaltung von zwei 2,5kV IGBTs generierten Leitverluste die maximale Stromrichterleistung begrenzen. Man erkennt in Abb. 5.14 weiterhin, dass der 5L-SMC Umrichter bei $f_{cb} = 750$ Hz eine um 35% ($S_{C,max} = 7,09$ MVA) und bei $f_{cb} = 1050$ Hz ($S_{C,max} = 6,973$ MVA) eine um 74% größere Stromrichterleistung realisieren kann als der 3L-NPC Umrichter, doch stellt dieser Umrichter im Vergleich zum 5L-FLC bezüglich der Ausgangsleistung keine wirkliche Alternative dar. Die maximale Stromrichterleistung des 7L-SMC Umrichters liegt mit $S_{C,max} = 5,773$ MVA ($f_{cb} = 750$ Hz) bzw. $S_{C,max} = 5,601$ MVA ($f_{cb} = 1050$ Hz) im Gegensatz zu $f_{cb} = 450$ Hz um 10% bzw. 40 % über der des 3L-NPC Umrichters. Im Vergleich zum 4L-FLC (2x3,3 kV IGBTs) und zum 5L-FLC Umrichter sind die maximalen Ausgangsleistungen der SMC Topologien gering, was damit zu erklären ist, dass im 4-Quadranten Betrieb der

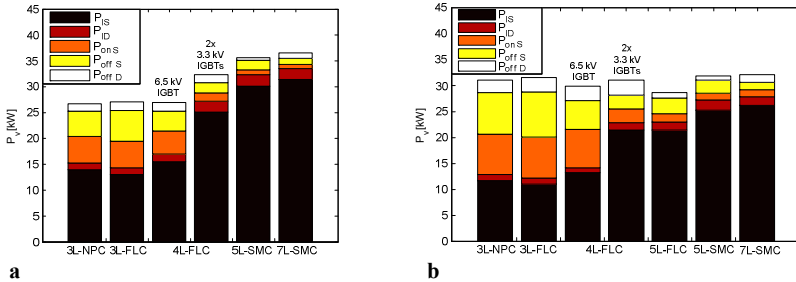


Abb. 5.15: Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 6,6 \text{ kV}$; $m_a = 1,11$; $\cos(\varphi) = 0,9$)
a) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 450 \text{ Hz}$ ($I_s = 520 \text{ A}$)
b) 1. Trägerband in der Ausgangsspannung um die Frequenz $f_{1cb} = 750 \text{ Hz}$ ($I_s = 460 \text{ A}$)

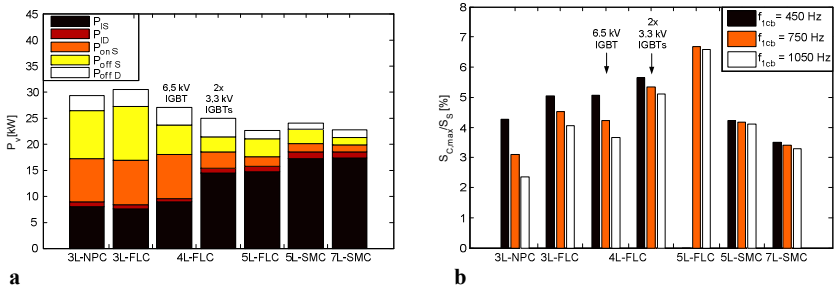


Abb. 5.16: a) Verlustverteilung der Leistungshalbleiter ($U_{UV,1} = 6,6 \text{ kV}$; $m_a = 1,11$; $\cos(\varphi) = 0,9$)
bei identischer Frequenz $f_{1cb} = 1050 \text{ Hz}$ ($I_s = 350 \text{ A}$)
b) Halbleiterausnutzungsfaktor $S_{C,max}/S_S = f(f_{1cb})$ ($S_S = 170,1 \text{ MVA}$)

Betriebspunkt mit einem kleinen Modulationsgrad der Ausgangsspannung ($m_a = 0,05$) für die inneren IGBT-Module sehr kritisch ist (vgl. Abb. 4.10).

Halbleiterverlustverteilung. Beim Vergleich der Halbleiterverlustverteilungen wird bei den betrachteten Frequenzen f_{1cb} jeweils der Phasenstrom I_s der Umrichter topologie angenommen, welche beim Vergleich der maximalen Stromrichterleistungen den geringsten Wert realisierte. Dadurch werden Vergleiche sowohl der Gesamtverluste als auch der Verlustverteilungen ermöglicht, bei welchen die Halbleiter aller betrachteten Topologien unterhalb der maximalen Sperrschichttemperatur ($\vartheta_{j,max} = 125^\circ\text{C}$) betrieben werden.

In Abb. 5.15 a) ist zu erkennen, dass die Halbleiter des 3L-NPC, des 3L-FLC und des 4L-FLC Umrichters mit 6,5kV IGBTs ähnliche Verluste generieren ($P_{V,3L-NPC} = 26,6 \text{ kW}$; $P_{V,3L-FLC} = 27 \text{ kW}$; $P_{V,4L-FLC,6,6kV \text{ IGBT}} = 26,8 \text{ kW}$). Hingegen sind die Halbleiterverluste des 4L-FLC Umrichters mit einer Serienschaltung von zwei 3,3kV IGBTs um ca. 21,3% ($P_{V,4L-FLC,6,6kV \text{ IGBT}} = 32,3 \text{ kW}$) größer als die des 3L-NPC Umrichters, was im Wesentlichen durch die größeren Leitverluste im Vergleich zu den im 3L-NPC Umrichter eingesetzten 4,5kV IGBTs hervorgerufen wird. Durch die im 5L-SMC Umrichter eingesetzte Serienschaltung von 2x 2,5kV IGBTs pro Schalterposition ergeben sich mit $P_V = 35,6 \text{ kW}$ ca. 33% größere Gesamtverluste als beim 3L-NPC Umrichter. Die Leitverluste der Halbleiter des 5L-SMC Umrichters sind dabei um 112% größer und die Schaltverluste um ca. 71% kleiner als die des 3L-NPC Umrichters. Beim 7L-SMC Umrichter teilen sich in diesem Betriebspunkt die Gesamtverluste von $P_V = 36 \text{ kW}$ in 93% Leitverluste und 7% Schaltverluste auf. Bezogen

auf die Gesamtverluste des 3L-NPC Umrichters sind die des 7L-SMC Umrichters um ca. 35% größer.

Für eine Frequenz $f_{1cb} = 750$ Hz und einen Phasenstrom von $I_x = 460$ A (5,26 MVA; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$) ist die Halbleiterverlustverteilung in Abb. 5.15 b) dargestellt. In diesem Betriebspunkt liegen die Gesamthalbleiterverluste des 3L-FLC Umrichters ca. 1,5% über ($P_{V,3L-FLC} = 31,5$ kW) und die des 4L-FLC Umrichters mit 6,5kV IGBTs ca. 4% unter ($P_{V,4L-FLC,6,6kV IGBT} = 29,8$ kW) denen des 3L-NPC Umrichters ($P_{V,3L-NPC} = 31$ kW). In Abb. 5.15 b) ist weiterhin zu erkennen, dass im Gegensatz zum 4L-FLC Umrichter mit 2x3,3kV IGBTs ($P_{V,4L-FLC,3,3kV IGBT} = 30,9$ kW) bei den zuvor genannten Topologien der Anteil der Schaltverluste an den Gesamthalbleiterverlusten größer ist. Beim 5L-FLC Umrichter sind die Gesamthalbleiterverluste mit $P_V = 28,6$ kW um ca. 8% niedriger als beim 3L-NPC Umrichter, wobei auch hier der Anteil der Leitverluste an den Gesamtverlusten wesentlich größer ist, was auf den Einsatz von 2x2,5kV IGBTs pro Schalterposition zurück zu führen ist. Der 5L-SMC und der 7L-SMC Umrichter generieren annähernd identische Halbleiterverluste ($P_{V,5L-SMC} = 31,8$ kW; $P_{V,7L-SMC} = 31,6$ kW), welche im Bereich von denen des 3L-FLC Umrichters liegen.

Bei einer noch größeren Frequenz $f_{1cb} = 1050$ Hz (vgl. Abb. 5.16 a)) und einem Phasenstrom von $I_x = 350$ A (4 MVA; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$) erkennt man, dass die Gesamthalbleiterverluste des 5L-FLC ($P_V = 22,5$ kW), des 5L-SMC ($P_V = 24,5$ kW) und des 7L-SMC Umrichters ($P_V = 22,5$ kW), um 23%, 18% und 23% niedriger sind als die des 3L-NPC Umrichters ($P_V = 29,3$ kW). Des Weiteren ist zu erkennen, dass die Schaltverluste des 3L-NPC, 3L-FLC ($P_V = 30,5$ kW) und des 4L-FLC Umrichters (6,5kV IGBTs; $P_{V,4L-FLC,6,6kV IGBT} = 27,0$ kW) mit 70%, 72% und 65% den überwiegenden Anteil an den Gesamtverlusten ausmachen, was auf den Einsatz von bezüglich der Sperrspannung hochsperrenden IGBTs (2x4,5kV bzw. 6kV IGBTs) zurück zu führen ist. Es kann also gesagt werden, dass die Halbleiter der 5L-Topologien (2x2,5kV IGBTs) bzw. der 7L-SMC Topologie (3,3kV IGBTs) bei Frequenzen von mehr als $f_{1cb} > 750$ Hz geringere Gesamthalbleiterverluste im Vergleich zu denen der weiteren Umrichtertopologien generieren.

Halbleiterausnutzung In Abb. 5.15 b) ist der Halbleiterausnutzungsfaktor, welcher die maximale Stromrichter Ausgangsleistung $S_{C,max}$ im 4-Quadrantenbetrieb bezogen auf die installierte Schalterleistung S_S angibt, für sämtliche untersuchten Stromrichtertopologien und Frequenzen dargestellt (6,6 kV Umrichter). Man erkennt, dass der 4L-FLC (2x3,3kV IGBTs) und der 5L-FLC Umrichter bezüglich der Halbleiterausnutzung bei allen untersuchten Frequenzen f_{1cb} die größten Werte liefert. Diese Aussage wurde bereits beim Vergleich der Topologien mit einer Ausgangsspannung von 4,16 kV bzw. 2,3 kV getroffen. Die Halbleiterausnutzung der SMC Topologien liegen bei $f_{1cb} = 450$ Hz im Bereich des 3L-NPC Umrichters. Hingegen liegen deren Halbleiterausnutzungsfaktoren bei $f_{1cb} = 750$ Hz / 1050 Hz klar über denen des 3L-NPC Umrichters. Eine detaillierte Bewertung der maximalen Stromrichter Ausgangsleistungen der untersuchten Stromrichtertopologien erfolgt im Abschnitt *Maximale Stromrichter Ausgangsleistung* für 6,6 kV Stromrichter.

Gespeicherte Energie. Für die gespeicherten Energien in den jeweiligen Stromrichtertopologien sind die grundlegenden Aussagen, welche in Kapitel 5.3.1 (2,3 kV Vergleich) getroffen wurden, auch für die 6,6 kV Stromrichter gültig. Dies gilt sowohl für die gespeicherten Energien des Zwischenkreises als auch für die der Flying Capacitors. Die absoluten Kapazitätswerte der Zwischenkreiskondensatoren sowie der Flying Capacitors, die sich aus den maximalen Stromrichter Ausgangsleistungen $S_{C,max}$ bei einer Ausgangsspannung von 6,6 kV ergeben, sind in Tabelle 5-10 dargestellt.

5.5.2 Vergleich bei maximaler Trägerfrequenz

In Tabelle 5-11 sind die Halbleiterauslegung, die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien bei maximaler Trägerfrequenz $f_{C,max}$ dargestellt. Die Stromrichterausgangsleistung S_C von 4,001 MVA sowie die installierte Schalterleistung $S_S = 170,1$ MVA sind in allen Topologien identisch. Die maximale Trägerfrequenz $f_{C,max}$ wird, wie bei den Vergleichen der 2,3 kV und 4,16 kV Umrichter, in den kritischen Arbeitspunkten der jeweiligen Topologie (vgl. 4.2.2) derart ermittelt, dass die maximale Sperrschichttemperatur ($\vartheta_{j,max} = 125^\circ\text{C}$) der entsprechenden Halbleiter nicht überschritten wird. Der Phasenstrom $I_x = 350$ A und damit die Stromrichterausgangsleistung $S_C = 4,001$ MVA wird entsprechend den Ergebnissen aus dem vorangegangenen Kapitel 5.5.1 gewählt. Bei diesem Vergleich realisiert der 3L-NPC Umrichter mit 2x4,5kV IGBTs pro Schalterposition bei einer Frequenz f_{1cb} von 1050 Hz den geringsten Phasenstrom ($I_x = 350$ A). Der Halbleiterausnutzungsfaktor S_C/S_S ist bei allen Topologien mit 2,35% identisch.

Tabelle 5-11 Maximale Trägerfrequenz $f_{C,max}$ bei identischer installierter Schalterleistung S_S und identischer Stromrichterausgangsleistung S_C ($I_x = 350$ A; $S_C = 4,001$ MVA; $U_{UV,1} = 6,6$ kV; $U_{dc} = 9707$ V)

	3L-NPC VSC	3L-FLC VSC	4L-FLC VSC	4L-FLC VSC
Installierte Schalterleistung S_S	170,1 MVA	170,1 MVA	170,1 MVA	170,1 MVA
IGBT	2x CM900HB-90H	2x CM900HB-90H	FZ600R65KF1	2x FZ1200R33KF2C
$U_{Kom} / U_{Kom@100FT}$	1,08	1,08	0,9	0,9
IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_I)	900 A	1050 A (7/6)	954,5 A (0,7955)	969,2 A (1,6154)
Rel. Chipfläche IGBT / Diode	100 % / 100 %	116,7 % / 77,8 %	124,4 % / 65,1 %	120,9 % / 64,1 %
Maximale Trägerfrequenz $f_{C,max}$ (@ $\vartheta_{j,max} = 125^\circ\text{C}$)	1050 Hz	1025 Hz	700 Hz	1950 Hz
Frequenz des 1. Trägerbandes f_{1cb}	1050 Hz	2050 Hz	2100 Hz	5850 Hz
Halbleiterausnutzungsfaktor S_C/S_S	2,35 %	2,35 %	2,35 %	2,35 %
DC-Link Capacitor C_{dc}	475 μF	138,6 μF	206,7 μF	70,7 μF
Flying Capacitors C_{FLC}	-	497,5 μF	930 μF	334 μF
gespeicherte Energie DC-Link E_{dc} (bezogene E_{dc}/S_C)	22386 Ws 5,59 Ws/kVA	6532 Ws 1,63 Ws/kVA	9739 Ws 2,43 Ws/kVA	3330 Ws 0,832 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene E_{FLC}/S_C)	-	17579 Ws 4,39 Ws/kVA	73044 Ws 18,26 Ws/kVA	26221 Ws 6,55 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges}/S_C	5,59 Ws/kVA	6,02 Ws/kVA	20,69 Ws/kVA	7,38 Ws/kVA
WTHDn u_{UV} ($m_x = 1,11$)	1,09 % (PD)	0,69 % (APOD)	0,37 % (APOD)	0,13 % (APOD)

	5L-FLC VSC	5L-SMC VSC	7L-SMC VSC
Installierte Schalterleistung S_S	170,1 MVA	170,1 MVA	170,1 MVA
IGBT	2x CM1200HB-50H	2x CM1200HB-50H	FZ1200R33KF2C
$U_{Kom} / U_{Kom@100FT}$	0,97	0,97	0,9
IGBT Nennstrom $I_{C,n}$ (Stromfaktor c_I)	945 A (63/80)	630 A (21/40)	636,4 A (0,53)
Rel. Chipfläche IGBT / Diode	103,5 % / 66,3 %	103,5 % / 66,3 %	120,9 % / 64,1 %
Maximale Trägerfrequenz $f_{C,max}$ (@ $\vartheta_{j,max} = 125^\circ\text{C}$)	3325 Hz	2700 Hz	1475 Hz
Frequenz des 1. Trägerbandes f_{1cb}	13300 Hz	5400 Hz	4425 Hz
Halbleiterausnutzungsfaktor S_C/S_S	2,35 %	2,35 %	2,35 %
DC-Link Capacitor C_{dc}	43,5 μF	459 μF	473 μF
Flying Capacitors C_{FLC}	205,2 μF	409 μF	1003 μF
gespeicherte Energie DC-Link E_{dc} (bezogene E_{dc}/S_C)	2049 Ws 0,512 Ws/kVA	21627 Ws 5,4 Ws/kVA	23307 Ws 5,58 Ws/kVA
gespeicherte Energie Flying Capacitors E_{FLC} (bezogene E_{FLC}/S_C)	25377 Ws 6,34 Ws/kVA	7221 Ws 1,8 Ws/kVA	39361 Ws 9,84 Ws/kVA
Bezogene gespeicherte Energie DC-Link + Flying Capacitors E_{ges}/S_C	6,85 Ws/kVA	7,2 Ws/kVA	15,42 Ws/kVA
WTHDn u_{UV} ($m_x = 1,11$)	0,064 % (APOD)	0,16 % (APOD)	0,16 % (APOD)

Maximale Trägerfrequenz. In Tabelle 5-11 sind neben der maximalen Trägerfrequenz $f_{C,max}$ im genannten Betriebspunkt auch die resultierenden WTHDn Werte sowie die resultierenden Frequenzen f_{1cb} der untersuchten Stromrichtertopologien dargestellt. Der 3L-FLC Umrichter realisiert eine maximale Trägerfrequenz von $f_{C,max} = 1025$ Hz ($f_{1cb} = 2050$ Hz; WTHDn = 0,69%) was zu einem um 37% niedrigeren WTHDn im Vergleich zum 3L-NPC Umrichter ($f_{C,max} = f_{1cb} = 1050$ Hz; WTHDn = 1,09%) führt. Die maximale Trägerfrequenz des 4L-FLC Umrichters, welcher mit 6,5kV IGBTs betrieben wird, beträgt nur $f_{C,max} = 700$ Hz, doch ist die Frequenz ($f_{1cb} = 3 \cdot f_{C,max}$) um 2100 Hz lokalisiert. Diese Tatsache sowie die 4-stufige Charakteristik in der Ausgangsspannung führt zu einem WTHDn = 0,37% der um ca. 66% bzw. 46% niedriger ist als der des 3L-NPC bzw. als der des 3L-FLC Umrichters. Bei Verwendung von 2x3,3kV IGBTs pro Schalterposition realisiert der 4L-FLC Umrichter eine maximal mögliche Trägerfrequenz von $f_{C,max} = 1950$ Hz und das 1. Trägerbandes in der Ausgangsspannung liegt somit um $f_{1cb} = 5850$ Hz. Der WTHDn ist verglichen mit dem 4L-FLC Umrichter (6,5kV IGBTs) um rund 65% geringer. Der 5L-FLC Umrichter realisiert in dem betrachteten Betriebspunkt die größte Trägerfrequenz aller untersuchten Topologien ($f_C = 3325$ Hz), was auf den Einsatz von 2x2,5kV IGBTs pro Schalterposition zurück zu führen ist. Bei diesen IGBTs ist der Anteil der Schaltverluste bei der entsprechenden Kommutierungsspannung und bei gleichem Strom geringer als bei den 3,3kV, 4,5kV und 6,5kV, was eine hohe Trägerfrequenz und somit eine hohe mittlere Schaltfrequenz der IGBTs ermöglicht (vgl. Abb. 5.15 a)). Durch die hohe maximale Trägerfrequenz des 5L-FLC Umrichters tritt das 1. Trägerband um 13,3 kHz auf und der WTHDn ist mit 0,064% sehr gering. Die Frequenz f_{1cb} ist beim 7L-SMC Umrichter ($f_{1cb} = 4425$ Hz) um 18% niedriger als die des 5L-SMC Umrichters ($f_{1cb} = 5400$ Hz), doch realisieren beide Umrichter einen WTHDn von 0,16%, was auf die 7-stufigen Ausgangsspannungs-charakteristik des 7L-SMC zurück zu führen ist.

Gespeicherte Energie. In Abb. 5.17 a) ist die bezogene gespeicherte Energie im Zwischenkreis E_{dc}/S_C bei maximaler Trägerfrequenz $f_{C,max}$ aller Topologien dargestellt, wobei die Zwischenkreiskapazität unter der Annahme eines maximalen Spannungsrippels im Zwischenkreis von $\Delta U_{dc,1}/(U_{dc}/2) = 5\%$ durch Simulation des Gesamtsystems (Umrichter + 24-puls Einspeisung) gemäß Abschnitt 0 ermittelt wurde ($I_x = 350$ A; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$). Der 3L-FLC Umrichter mit 1,63 Ws/kVA benötigt im Zwischenkreis bei einer Trägerfrequenz von $f_C = 1025$ Hz im Vergleich zum 3L-NPC Umrichter ($f_C = 1050$ Hz; $E_{dc}/S_C = 5,59$ Ws/kVA) eine um ca. 70 % geringere gespeicherte Energie im Zwischenkreis. Beim 4L-FLC Umrichter mit 6,5kV IGBTs bzw. 2x3,3kV IGBTs pro Schalterposition ist die gespeicherte Energie im Zwischenkreis um ca. 57% bzw. um 85% geringer als die des 3L-NPC Umrichters. Da bei den FLC Topologien die ersten signifikanten Harmonischen im lastseitigen Zwischenkreisstrom erst um die Trägerfrequenz auftreten, ist der geforderte Spannungsrippel im Zwischenkreis auch mit sehr kleinen gespeicherten Energien erreichbar. Hingegen tritt im lastseitigen Zwischenkreisstrom des 3L-NPC (und der SMC Topologien) eine 3. Harmonische der Ausgangsfrequenz auf, welche sich nachteilig auf die benötigte gespeicherte Energie im Zwischenkreis auswirkt (vgl. Kapitel 4.3.2). Das ist auch beim Vergleich der gespeicherten Energien im Zwischenkreis des 5L-FLC und des 5L-SMC Umrichters zu sehen. Der 5L-FLC Umrichter benötigt eine bezogene gespeicherte Energie im Zwischenkreis von ca. 0,51 Ws/kVA (bei $f_{C,max} = 3325$ Hz) und diese liegt damit um knapp eine Größenordnung unter der des 5L-SMC Umrichters ($f_{C,max} = 2700$ Hz; $E_{dc}/S_C = 5,4$ Ws/kVA). Verglichen mit den gespeicherten Energien im Zwischenkreis des 3L-NPC und des 7L-SMC Umrichters unterscheidet sich die des 5L-SMC Umrichters nur marginal.

Bezüglich der bezogenen gespeicherten Energien E_{FLC}/S_C in den Flying Capacitors der untersuchten Topologien (vgl. Abb. 5.17 b)), welche mittels mit (4.89) und (4.90) hergeleitet

werden, erkennt man, dass der 4L-FLC Umrichter mit 6,5kV IGBTs pro Schalterposition ($f_{C,max} = 700$ Hz; $E_{FLC}/S_C = 18,25$ Ws/kVA) im Vergleich zum 3L-FLC, 5L-FLC, 5L-SMC und 7L-SMC Umrichter eine um 315%, 187%, 913% und 85% größere gespeicherte Energie besitzt. Somit ist die Verwendung dieser Umrichtertopologie für 6,6 kV Anwendungen eher fragwürdig. Es ist weiterhin zu sehen, dass der 5L-SMC Umrichter die geringste gespeicherte Energie in den Flying Capacitors mit 1,80 Ws/kVA ($f_{C,max} = 700$ Hz) benötigt, was im Vergleich zu der des 5L-FLC Umrichters ($f_{C,max} = 3325$ Hz; $S_C = 6,34$ Ws/kVA) eine Reduktion um ca. 72% darstellt.

Summiert man nun die voran gegangenen Ergebnisse so bekommt man die Darstellung der bezogenen Gesamtenergie E_{ges}/S_C gemäß Abb. 5.18 a). Es ist zu erkennen, dass der 4L-FLC Umrichter mit 6,5kV IGBTs die größte bezogene Gesamtenergie mit $E_{ges}/S_C = 20,7$ Ws/kVA aller untersuchten Topologien bei der maximalen Trägerfrequenz realisiert. Die gespeicherten Gesamtenergien des 4L-FLC mit 2x3,3kV IGBTs ($E_{ges}/S_C = 7,39$ Ws/kVA), des 5L-FLC ($E_{ges}/S_C = 6,85$ Ws/kVA) und des 5L-SMC Umrichters ($E_{ges}/S_C = 7,21$ Ws/kVA) unterscheiden sich maximal um ca. 8% voneinander. Der 3L-FLC Umrichter benötigt eine bezogene Gesamtenergie von $E_{ges}/S_C = 6,02$ Ws/kVA und liegt damit um 7% über der des 3L-NPC Umrichters ($E_{ges}/S_C = 5,6$ Ws/kVA). Der 7L-SMC Umrichter ($E_{ges}/S_C = 15,4$ Ws/kVA) kann hingegen mit einer im Vergleich zum 5L-SMC Umrichter ca. doppelten gespeicherten Gesamtenergie betrieben werden.

Unter der Annahme einer konstanten bezogenen gespeicherten Energie im Zwischenkreis von $E_{dc}/S_C = 6$ Ws/kVA ergeben sich bezüglich der gespeicherten Gesamtenergie die in Abb. 5.18 b) gezeigten Verhältnisse. Hiernach benötigen der 3L-NPC ($E_{ges}/S_C = 6$ Ws/kVA) und der 5L-SMC Umrichter ($E_{ges}/S_C = 7,8$ Ws/kVA) die geringsten gespeicherten Gesamtenergien bei der maximalen Trägerfrequenz. Verglichen mit dem 3L-NPC Umrichter realisieren der 3L-FLC, der 4L-FLC (2x3,3kV IGBTs) und der 5L-FLC Umrichter gespeicherte Gesamtenergien, welche um 73%, 109% und 106% größer sind. Wie bei der Betrachtung mit einer durch Simulation gewonnenen gespeicherten Gesamtenergie gemäß Abb. 5.18 a) sind im 4L-FLC (6,5kV IGBTs; $E_{ges}/S_C = 24,25$ Ws/kVA) und im 7L-SMC ($E_{ges}/S_C = 15,84$ Ws/kVA) die gespeicherten Gesamtenergien am Größten, wobei die genannte 4L-FLC Topologie bei der maximalen Trägerfrequenz mit ca. dem 4-fachen der gespeicherten Gesamtenergie des 3L-NPC Umrichters betrieben werden muss.

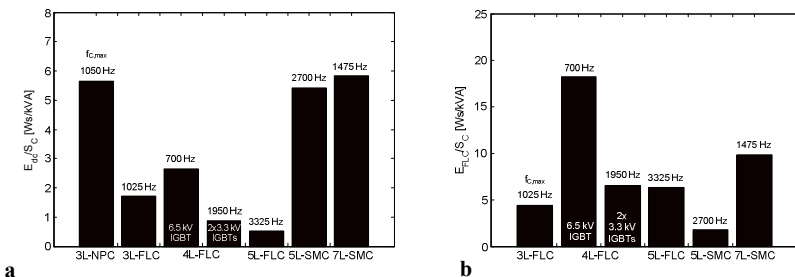


Abb. 5.17: Bezogene gespeicherte Energie E/S_C bei $f_C = f_{C,max}$ ($U_{UV,1} = 6,6$ kV; $m_a = 1,11$; $\cos(\varphi_1) = 0,9$)
a) Bezogene gespeicherte Energie im Zwischenkreis E_{dc}/S_C ($I_x = 350$ A)
b) Bezogene gespeicherte Energie der Flying Capacitors E_{FLC}/S_C ($I_x = 350$ A)

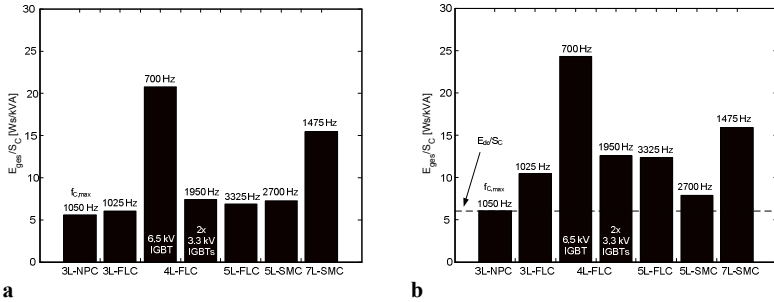


Abb. 5.18 Bezoogene gespeicherte Energie E_{ges}/S_C bei $f_C = f_{C,max}$ ($U_{UV,1} = 6,6$ kV; $m_a = 1,11$; $\cos(\varphi_i) = 0,9$)
 a) Bezoogene gespeicherte Energie bei $f_{C,max}$ ($\Delta U_{dc,1}/(U_{dc}/2) = 5\%$; $I_x = 350$ A)
 b) Bezoogene gespeicherte Energie bei $f_{C,max}$ (mit $E_{d}/S_C = 6$ Ws/kVA = const.; $I_x = 350$ A)

5.6 Vergleich von 2,3 kV, 4,16 kV und 6,6 kV Mittelspannungsstromrichtern

5.6.1 Vergleich bei identischer installierter Schalterleistung S_S

In diesem Abschnitt wird ein Vergleich des Halbleiterausnutzungsfaktors $S_{C,max}/S_S$ zwischen den betrachteten Ausgangsspannungsklassen (2,3 kV / 4,16 kV / 6,6 kV) im 4-Quadrantenbetrieb der untersuchten Stromrichtertopologien dargestellt. Die Halbleiterausnutzungsfaktoren wurden bereits in den Abschnitten 5.3.1, 5.4.1, 5.5.1 und in den Abb. 5.3, Abb. 5.11 sowie Abb. 5.16 dargestellt. Dabei wurde für alle untersuchten Topologien eine identische installierte Schalterleistung S_S innerhalb der betrachteten Ausgangsspannungsklasse angenommen. Um einen Vergleich des Halbleiterausnutzungsfaktors zwischen den Ausgangsspannungsklassen zu ermöglichen, werden in der Abb. 5.19 beispielhaft die Ergebnisse für eine Frequenz $f_{1cb} = 750$ Hz dargestellt. Des Weiteren wird der Wirkungsgrad η unter den genannten Bedingungen gegenüber gestellt (vgl. Abb. 5.20), wobei hierbei der Betriebspunkt mit dem entsprechenden maximalen Phasenstrom $I_{x,max}$ (vgl. Tabelle 5-6; Tabelle 5-8; Tabelle 5-10) bei $\cos(\varphi_i) = 0,9$ und $m_a = 1,11$ betrachtet wird. Der Wirkungsgrad η wird dabei gemäß (5.1) berechnet, wobei nur die Halbleiter als Verlustquellen berücksichtigt werden.

$$\eta = \frac{P_C}{(P_C + P_V)} \tag{5.1}$$

mit P_C : Stromrichterleistung
 P_V : Halbleiterverlustleistung

In Abb. 5.19 erkennt man, dass der 3L-NPC Umrichter bei einer Ausgangsspannung von $U_{UV,1} = 2,3$ kV bei Verwendung von einem Halbleiter pro Schalterposition (3,3kV IGBT) den größten Halbleiterausnutzungsfaktor mit $S_{C,max}/S_S = 3,8\%$ realisiert. Bei einer Ausgangsspannung von $U_{UV,1} = 4,16$ kV und Verwendung von 6,5kV IGBTs beträgt der Halbleiterausnutzungsfaktor 2,46%. Hingegen realisiert der 3L-NPC Umrichter bei $U_{UV,1} = 4,16$ kV einen Halbleiterausnutzungsfaktor von $S_{C,max}/S_S = 4,2\%$, wenn 2x3,3kV IGBTs pro Schalterposition angenommen werden. Die gleiche Aussage kann auch für den 3L-FLC bei $U_{UV,1} = 2,3$ kV ($S_{C,max}/S_S = 4,7\%$; 3,3kV IGBT) und bei $U_{UV,1} = 4,16$ kV

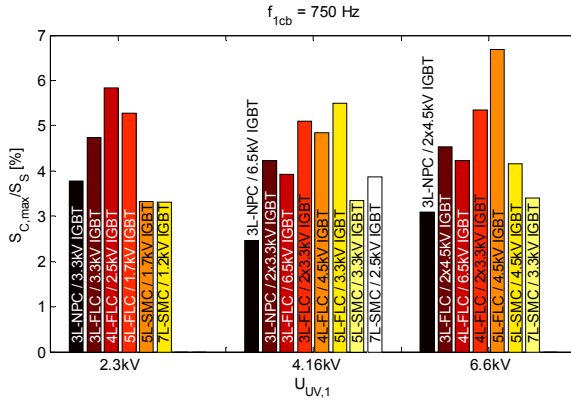


Abb. 5.19: Halbleiterausnutzungsfaktor $S_{C,max}/S_S$ bei verschiedenen Ausgangsspannungen und einer Frequenz $f_{1cb} = 750$ Hz ($S_{S,2,3kV} = 83,16$ MVA; $S_{S,4,16kV} = 81,9$ MVA; $S_{S,6,6kV} = 170,1$ MVA)

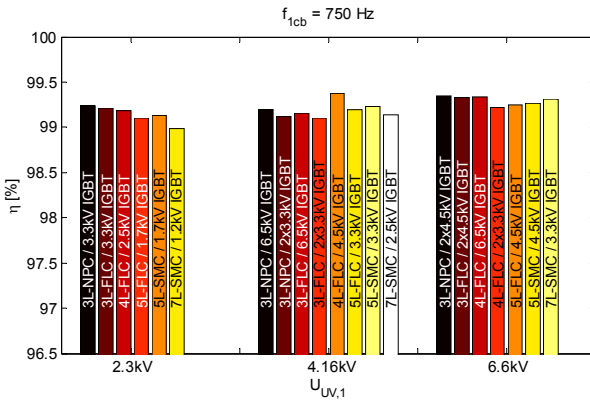


Abb. 5.20: Wirkungsgrad η bei verschiedenen Ausgangsspannungen und einer Frequenz $f_{1cb} = 750$ Hz ($S_{S,2,3kV} = 83,16$ MVA; $S_{S,4,16kV} = 81,9$ MVA; $S_{S,6,6kV} = 170,1$ MVA; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$; $I_x = I_{x,max}$)

($S_{C,max}/S_S = 5,1\%$; $2 \times 3,3$ kV IGBT) getroffen werden, wobei die Halbleiterausnutzungsfaktoren verglichen mit denen des 3L-NPC Umrichters doch signifikant größer sind. Des Weiteren ist zu sehen, dass die Halbleiterausnutzungsfaktoren der weiteren FLC Topologien in allen betrachteten Ausgangsspannung über denen des 3L-NPC Umrichters liegen, wobei der 5L-FLC Umrichter bei einer Ausgangsspannung von $U_{UV,1} = 6,6$ kV und Verwendung von 4,5 kV IGBTs mit $S_{C,max}/S_S = 6,7\%$ den größten Halbleiterausnutzungsfaktor aufweist. Die SMC Topologien besitzen mit den verwendeten Halbleitern (vgl. Tabelle 5-1) bei $U_{UV,1} = 2,3$ kV im Vergleich zum 3L-NPC Umrichter und zu den FLC Topologien mit $S_{C,max}/S_S = 3,3\%$ die geringsten Halbleiterausnutzungsfaktoren. Hingegen ergeben sich bei $U_{UV,1} = 6,6$ kV Halbleiterausnutzungsfaktoren, die mit $S_{C,max}/S_S = 4,16\%$ (5L-SMC) bzw. $S_{C,max}/S_S = 3,4\%$ (7L-SMC) leicht über dem des 3L-NPC Umrichters ($S_{C,max}/S_S = 3,1\%$) liegen. Diese geringe Ausnutzung resultiert, wie schon erwähnt, bei den SMC Topologien aus der erheblichen Belastung der inneren Halbleiter (bei $m_a = 0,05$; vgl. Kapitel 4.2.2; Abb. 4.10 c),d)).

Wie in Abb. 5.20 zu sehen ist, liegen sämtliche Wirkungsgrade aller untersuchten Stromrichtertopologien bei Verwendung der in Tabelle 5-1 genannten Halbleiter in allen betrachteten Ausgangsspannungsklassen in einem Bereich von $\eta = 98,9\%$ (7L-SMC; 2,3 kV) bis $\eta = 99,37\%$ (4L-FLC; 4,16 kV).

5.6.2 Vergleich bei einer identischen Ausgangsleistung

In diesem Abschnitt wird für alle untersuchten Stromrichtertopologien eine identische Stromrichterausgangsleistung von $S_{C,max} = 4$ MVA in allen Ausgangsspannungsklassen angenommen, wobei die entsprechende installierte Schalterleistung S_S derart variiert wird, dass im 4-Quadranten Betrieb die maximale Sperrschichttemperatur ($\vartheta_{j,max} = 125^\circ\text{C}$) in den für die Halbleiter kritischen Arbeitspunkten (vgl. Kapitel 4.2.2) nicht überschritten wird. Bei diesem Vergleich wird, wie in Kapitel 5.6.1 eine identische Frequenz f_{1cb} von $f_{1cb} = 750$ Hz für alle untersuchten Stromrichtertopologien angenommen. Die Ergebnisse sind in Tabelle 5-12 sowie in Abb. 5.21 und Abb. 5.22 dargestellt.

In Abb. 5.21 ist der Halbleiterausnutzungsfaktor $S_{C,max}/S_S$ sämtlicher hier betrachteten Topologien zu sehen ($S_{C,max} = 4$ MVA; $f_{1cb} = 750$ Hz). Der 3L-NPC Umrichter realisiert unter den genannten Bedingungen einen Halbleiterausnutzungsfaktor $S_{C,max}/S_S$ von 3,2% bei $U_{UV,1} = 2,3$ kV, von 1,2% bei $U_{UV,1} = 4,16$ kV und von 3,62% bei $U_{UV,1} = 6,6$ kV. Es ist ersichtlich, dass für diese Betriebsbedingungen der Einsatz eines 6,5kV IGBTs pro Schalterposition höchst unattraktiv ist. Hingegen ergibt sich bei Einsatz von 2x3,3kV IGBTs (bei $U_{UV,1} = 4,16$ kV) pro Schalterposition beim 3L-NPC Umrichters ein $S_{C,max}/S_S$ von ca. 4,1%. Er liegt damit im Bereich des 7L-SMC Umrichters ($S_{C,max}/S_S = 3,7\%$). Durch die gleichmäßigere Verlustverteilung des 3L-FLC Umrichters in den für die Verlustgenerierung der Halbleiter kritischen Arbeitspunkten (vgl. Kapitel 4.2.2) realisiert der 3L-FLC Umrichter in allen Spannungsklassen eine durchweg größere Halbleiterausnutzung als der 3L-NPC Umrichter. Der größte Halbleiterausnutzungsfaktor des 3L-FLC Umrichter mit $S_{C,max}/S_S = 5,97\%$ ist bei einer Ausgangsspannung von $U_{UV,1} = 6,6$ kV zu beobachten. Beim 4L-FLC Umrichter hingegen ergibt sich bei einer Ausgangsspannung von $U_{UV,1} = 2,3$ kV der größte Halbleiterausnutzungsfaktor ($S_{C,max}/S_S = 6,17\%$). Man erkennt gerade bei diesem Umrichter, dass in der Spannungsklasse 6,6 kV durch den Einsatz von 2x3,3kV IGBTs anstelle von einem 6,5kV IGBT pro Schalterposition, keine signifikanten Vorteile bezüglich des Halbleiterausnutzungsfaktors entstehen, wie das beim 3L-NPC bzw. 3L-FLC Umrichter bei $U_{UV,1} = 4,16$ kV der Fall ist. Dies ist eindeutig mit der geringen Trägerfrequenz und damit der geringen Schaltfrequenz einer Kommutierungszelle des 4L-FLC Umrichters bei $f_{1cb} = 750$ Hz ($f_c = 250$ Hz) zu erklären. Der 6,5kV IGBT generiert bei dieser niedrigen Schaltfrequenz zwar signifikante Schaltverluste, doch sind die Leitverluste in der Serienschaltung der 3,3 kV IGBTs in diesem Betriebspunkt ($I_x = I_{x,max}$) auch relativ hoch (vgl. Abb. 5.15 b)). Den größten Halbleiterausnutzungsfaktor aller Topologien realisiert der 5L-FLC Umrichter bei $U_{UV,1} = 6,6$ kV ($S_{C,max}/S_S = 7,65\%$). Dies ist eindeutig mit der sehr niedrigen Trägerfrequenz von $f_c = 187,5$ Hz (bei $f_{1cb} = 750$ Hz) und damit mit sehr geringen Schaltverlusten in den IGBTs der einzelnen Kommutierungszellen zu erklären. Die SMC Topologien gewinnen bezüglich der Halbleiterausnutzung an Attraktivität, wenn die Ausgangsspannungen 4,16 kV überschreiten. In diesen Ausgangsspannungsklassen sind die Halbleiterausnutzungsfaktoren vergleichbar mit denen der 3L-NPC Topologie.

Tabelle 5-12 Installierte Schalterleistung S_S und Wirkungsgrad η bei identischer Stromrichterausgangsleistung S_C ($S_C = 4 \text{ MVA}$; $U_{UV,1} = 2,3 \text{ kV}/4,16 \text{ kV}/6,6 \text{ kV}$; $f_{cb} = 750 \text{ Hz}$; $U_{dc} = 9707 \text{ V}$)

		3L-NPC VSC		3L-FLC VSC		4L-FLC VSC	
Trägerfrequenz f_c		750 Hz		375 Hz		250 Hz	
WTHDn u_{UV} ($m_a = 1.11$)		1,68 % (PD)		2,05 % (APOD)		1,5 % (APOD)	
$U_{UV,1} = 2,3 \text{ kV}$	IGBT	FZ1200R33KF2C		FZ1200R33KF2C		CM1200HB-50H	
	$U_{K,com} / U_{K,com@100FT}$	0,94		0,94		0,9	
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	1740 A (1,45)		1380 A (1,15)		960 A (0,8)	
	Installierte Schalterleistung S_S	120,582 MVA		81,972 MVA		64,8 MVA	
	Halbleiterausnutzungsfaktor S_C/S_S	3,32 %		4,88 %		6,17 %	
	Gesamtverlustleistung P_V	26,792 kW		28,962 kW		30,245 kW	
Wirkungsgrad η	99,26 %		99,20 %		99,17 %		
$U_{UV,1} = 4,16 \text{ kV}$	IGBT	FZ600 R65KF1	2xFZ1200 R33KF2C	FZ600 R65KF1	2xFZ1200 R33KF2C	CM900HB-90B	
	$U_{K,com} / U_{K,com@100FT}$	0,85	0,85	0,85	0,85	0,91	
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	2580 A (4,3)	708 A (0,59)	1020 A (1,7)	642 A (0,535)	684 A (0,76)	
	Installierte Schalterleistung S_S	327,6 MV A	98,129 MVA	119,34 MVA	76,27 MV A	83,11 MVA	
	Halbleiterausnutzungsfaktor S_C/S_S	1,22 %	4,08 %	3,35 %	5,24 %	4,81 %	
	Gesamtverlustleistung P_V	28,17 kW	31,531 kW	29,956 kW	32,98 kW	22,621 kW	
	Wirkungsgrad η	99,22 %	99,13 %	99,17 %	99,09 %	99,37 %	
$U_{UV,1} = 6,6 \text{ kV}$	IGBT	2xCM1200HB-50H		2xCM1200HB-50H		FZ600 R65KF1	2x FZ1200 R33KF2C
	$U_{K,com} / U_{K,com@100FT}$	1,08		1,08		0,9	0,9
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	780 A (0,65)		552 A (0,46)		408 A (0,68)	372 A (0,31)
	Installierte Schalterleistung S_S	110,565 MVA		67,068 MVA		71,6 MVA	66,29 MV A
	Halbleiterausnutzungsfaktor S_C/S_S	3,62 %		5,97 %		5,59 %	6,04 %
	Gesamtverlustleistung P_V	23,754 kW		24,88 kW		25,59 kW	29,71 kW
Wirkungsgrad η	99,34 %		99,31 %		99,29 %	99,18 %	
		5L-FLC VSC		5L-SMC VSC		7L-SMC VSC	
Trägerfrequenz f_c		187,5 Hz		375 Hz		250 Hz	
WTHDn u_{UV} ($m_a = 1.11$)		1,75 % (APOD)		1,75 % (APOD)		1,72 % (APOD)	
$U_{UV,1} = 2,3 \text{ kV}$	IGBT	FZ1800R17KF6CB2		FZ1800R17KF6B2		FZ1800R12KL4C	
	$U_{K,com} / U_{K,com@100FT}$	0,94		0,94		0,94	
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	1170 A (0,65)		1556 A (0,87)		1494 A (0,83)	
	Installierte Schalterleistung S_S	71,6 MVA		143,759 MVA		145,22 MVA	
	Halbleiterausnutzungsfaktor S_C/S_S	5,59 %		2,78 %		2,75 %	
	Gesamtverlustleistung P_V	33,422 kW		29,203 kW		33,951 kW	
Wirkungsgrad η	99,08 %		99,19 %		99,06 %		
$U_{UV,1} = 4,16 \text{ kV}$	IGBT	FZ1200R33KF2C		FZ1200R33KF2C		CM1200HB-50H	
	$U_{K,com} / U_{K,com@100FT}$	0,85		0,85		0,98	
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	600 A (0,5)		744 A (0,62)		540 A (0,45)	
	Installierte Schalterleistung S_S	71,28 MVA		132,58 MVA		109,35 MVA	
	Halbleiterausnutzungsfaktor S_C/S_S	5,61 %		3,02 %		3,66 %	
	Gesamtverlustleistung P_V	29,459 kW		26,798 kW		30,709 kW	
Wirkungsgrad η	99,19 %		99,16 %		99,15 %		
$U_{UV,1} = 6,6 \text{ kV}$	IGBT	2xCM1200HB-50H		2xCM1200HB-50H		FZ1200R33KF2C	
	$U_{K,com} / U_{K,com@100FT}$	0,97		0,97		0,9	
	IGBT/Dioden Nennstrom $I_{C,n}$ (Stromfaktor c_f)	290 A (0,242)		315 A (0,263)		402 A (0,335)	
	Installierte Schalterleistung S_S	52,272 MVA		85,212 MVA		107,455 MVA	
	Halbleiterausnutzungsfaktor S_C/S_S	7,65 %		4,7 %		3,72 %	
	Gesamtverlustleistung P_V	28,749 kW		27,833 kW		26,139 kW	
Wirkungsgrad η	99,21 %		99,23 %		99,28 %		

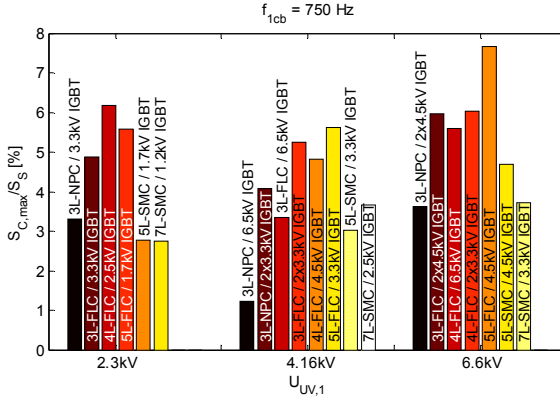


Abb. 5.21: Halbleiterausnutzungsfaktor $S_{C,max}/S_S$ bei verschiedenen Ausgangsspannungen und einer Frequenz $f_{1cb} = 750$ Hz ($S_{C,max} = 4$ MVA)

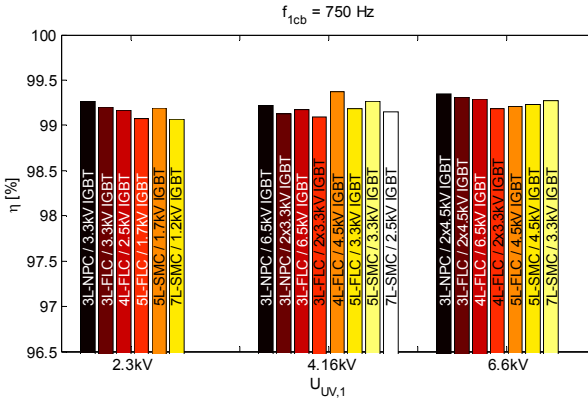


Abb. 5.22: Wirkungsgrad η bei verschiedenen Ausgangsspannungen und einer Frequenz $f_{1cb} = 750$ Hz ($S_{C,max} = 4$ MVA; $\cos(\varphi_i) = 0,9$; $m_a = 1,11$)

In Abb. 5.22 ist der Wirkungsgrad η (vgl. (5.1)) der untersuchten Stromrichter topologien in den betrachteten Ausgangsspannungsklassen dargestellt, wobei die Ausgangsleistung $S_{C,max} = 4$ MVA beträgt. Man erkennt, dass bei einer Ausgangsspannung von $U_{UV,1} = 2,3$ kV der 3L-NPC den größten Wirkungsgrad im betrachteten Betriebspunkt ($\cos(\varphi_i) = 0,9$; $m_a = 1,11$) mit 99,26% realisiert. Die Wirkungsgrade der FLC Topologien liegen bei dieser Ausgangsspannung zwischen 99,20% (3L-FLC) und 99,08% (5L-FLC). Hingegen beträgt der Wirkungsgrad des 5L-SMC Umrichters mit den verwendeten 1,7kV IGBTs 99,19% und liegt somit im Bereich des 3L-FLC Umrichters. Bei einer Ausgangsspannung von $U_{UV,1} = 4,16$ kV ergibt sich für den 4L-FLC Umrichter (4,5kV IGBTs) der größte Wirkungsgrad aller Topologien mit 99,37%. Bei dieser Ausgangsspannung sind die Wirkungsgrade des 3L-NPC Umrichters mit 6,5 kV IGBTs ($\eta = 99,22\%$) und des 5L-SMC Umrichters ($\eta = 99,26\%$) nahezu identisch. Der Einsatz von 2x3,3kV IGBTs anstelle eines 6,5 kV IGBTs pro Schalterposition beim 3L-NPC und beim 3L-FLC Umrichters führen zu einem geringeren Wirkungsgrad ($U_{UV,1} = 4,16$ kV). Bei $U_{UV,1} = 6,6$ kV ergeben sich für die 3L-Topologien mit 99,34% (3L-NPC) und 99,31% (3L-FLC) die größten Wirkungsgrade. Hingegen realisiert der 4L-FLC Umrichter mit einer Serienschaltung von 2x3,3kV IGBTs pro Schalterposition den

geringsten Wirkungsgrad ($\eta = 99,18\%$) in dieser Spannungs-klasse. Der 7L-SMC Umrichter besitzt unter den genannten Betriebsbedingungen einen Wirkungsgrad ($\eta = 99,28\%$), der mit dem des 3L-FLC Umrichters vergleichbar ist.

6 Zusammenfassung und Bewertung

In der vorliegenden Arbeit werden drei grundlegend verschiedene Multi-Level Stromrichter topologien (NPC, FLC, SMC Umrichter), welche einen zentralen kapazitiven Zwischenkreisenergiespeicher aufweisen, für den Einsatz in industriellen Mittelspannungsanwendungen detailliert untersucht. Ausgehend von allgemeinen Betrachtungen bezüglich der Schaltzustände, der Kommutierungen und der Modulationsverfahren für eine beliebige Stufenanzahl in der Ausgangsspannung werden für Ausgangsspannungen von 2,3 kV, 4,16 kV und 6,6 kV am Markt verfügbare Stromrichter (3L-NPC, 4L-FLC) einem neuartigen Stromrichterkonzept (SMC) gegenüber gestellt, wobei als Leistungshalbleiter kommerzielle 1,2kV-6,5kV IGBT-Module verwendet werden. Die für diese Gegenüberstellung benötigte Modellierung der Stromrichter zur Auslegung der Halbleiter und der passiven Komponenten (Zwischenkreiskondensatoren, Flying Capacitors, Einspeisetransformator) wird detailliert dargestellt. Auf der Basis einer simulationsgestützten Analyse wird ein Vergleich der Halbleiterverluste, der Halbleiterverlustverteilung, der installierten Schalterleistung, der gespeicherten Energien, des THDn/WTHDn der Ausgangsspannung sowie des Wirkungsgrades evaluiert.

In einem ersten Vergleich wird für jede der betrachteten Umrichter Ausgangsspannungen eine konstante installierte Schalterleistung S_S , welche ein Maß für den Halbleiteraufwand ist, angenommen. Des Weiteren werden drei für Mittelspannungsanwendungen typische Frequenzen f_{1cb} (450Hz / 750 Hz / 1050 Hz) in den Ausgangsspannungen betrachtet. Eine identische Frequenz f_{1cb} erlaubt eine Ausgangsfilterauslegung, bei welcher die Größe und die Kosten der passiven Komponenten jeweils in einem vergleichbaren Bereich liegen. Durch diese Annahmen wird ein direkter Vergleich der Stromrichter topologien bezüglich der maximalen Stromrichter Ausgangsleistung und der gespeicherten Energien ermöglicht.

Die maximale Stromrichter Ausgangsleistung $S_{C,max}$ jeder Stromrichter topologie wird in einem der kritischen Arbeitspunkte bestimmt, in dem bestimmte Halbleiter aufgrund der generierten Verluste im 4-Quadrantenbetrieb die maximale Sperrschichttemperatur $\vartheta_{j,max} = 125^\circ\text{C}$ bei einer konstanten Kühlkörpertemperatur von $\vartheta_h = 95^\circ\text{C}$ erreichen. Es können folgende Aussagen auf Basis der detaillierten Umrichtersuchungen getroffen werden:

- Mit den in dieser Arbeit vorgestellten Modulationsverfahren realisieren die 3L-NPC Topologie und die SMC Topologien bei großen ($m_a > 1,1$) und kleinen ($m_a \leq 0,05$) Modulationsgraden eine stark unsymmetrische Verlustverteilung zwischen den IGBTs bzw. Dioden.
- Im Gegensatz dazu weisen die FLC Topologien eine symmetrische Verlustverteilung auf. Dies ist der Hauptgrund dafür, dass die maximalen Stromrichter Ausgangsleistungen $S_{C,max}$ der FLC Topologien in allen Ausgangsspannungsklassen und Frequenzen f_{1cb} größer sind als die der 3L-NPC und der SMC Topologien.
- Die maximalen Stromrichterleistungen der FLC und SMC Topologien bezogen auf die des 3L-NPC Umrichters steigen mit Erhöhung der Frequenz f_{1cb} . Beispielhaft ergibt sich bei einer Ausgangsspannung von 4,16 kV, dass die 3L-, und 4L-FLC Umrichter eine um 18% und 12% bei $f_{1cb} = 450$ Hz, eine um 21% und 15% bei $f_{1cb} = 750$ Hz und eine um 25% und 21% bei $f_{1cb} = 1050$ Hz größere Stromrichter Ausgangsleistung als der 3L-NPC Umrichter mit 2x3,3kV IGBTs pro Schalterposition realisieren. Beim 3L-FLC Umrichter ist diese Tatsache auf den um 15% größeren Nennstrom der IGBT-Module bei einer identischen installierten Schalterleistung S_S ($S_S = 81,9$ MVA) und

beim 4L-FLC Umrichter auf die um den Faktor 3 reduzierte Trägerfrequenz ($f_{C,4L-FLC} = f_{1cb}/3$) und damit geringere durchschnittliche Schaltfrequenz der Halbleiter im Vergleich zum 3L-NPC Umrichter zurück zu führen. Hingegen sind die maximalen Stromrichterleistungsleistungen $S_{C,max}$ im 4-Quadrantenbetrieb der SMC Topologien bei $f_{1cb} = 750$ Hz um 20% (5L-SMC) und 8% (7L-SMC) geringer als die des 3L-NPC Umrichters mit 2x3,3kV IGBTs. Bei $f_{1cb} = 1050$ Hz liegt die maximale Stromrichterleistungsleistung des 5L-SMC Umrichters noch um 7 % unter der des 3L-NPCs (2x3,3kV IGBTs), wohingegen die des 7L-SMC Umrichters identisch ist. Bei der SMC Topologie werden die Dioden und IGBTs der IGBT-Module, welche im inneren Zweig angeordnet sind, bei Modulationsgrade $m_a \leq 0,05$ sehr stark belastet, was die maximale Stromrichterleistungsleistung im 4-Quadrantenbetrieb erheblich reduziert.

Bezüglich der bezogenen gespeicherten Energien wird für sämtliche Umrichter die bezogene Zwischenkreisenergie $E_{dc}/S_{C,max}$ im Betriebspunkt mit Nennausgangsspannung ($m_a = 1,11$), maximalem Ausgangstrom und einem Grundschwingungsleistungsfaktor von $\cos(\varphi_i) = 0,9$ ermittelt. Der in diesem Betriebspunkt erlaubte Spannungsrüppel wird dabei mit 5% der nominalen Zwischenkreisspannung angenommen. Bei den FLC und SMC Topologien wird die bezogene gespeicherte Energie in den Flying Capacitors derart bestimmt, dass die maximalen Spannungsrüppel von 10% der nominalen Flying Capacitor Spannungen der inneren Flying Capacitors (welche die kleinsten nominalen Spannungen aufweisen) nicht überschritten werden. Diese Forderung ist für einen sicheren Betrieb der FLC- bzw. SMC Topologien notwendig, da die Spannungsbelastung der Halbleiter durch den Zeitverlauf der Spannungen über den Flying Capacitors bestimmt wird. Es können folgende Aussagen getroffen werden:

- Der 3L-NPC Umrichter realisiert die geringste bezogene gespeicherte Energie aller Umrichtertopologien bei allen betrachteten Frequenzen f_{1cb} , da nur die Zwischenkreiskapazität als Energiespeicher betrachtet werden muss. Die bezogene gespeicherte Energie liegt in einem Bereich von 4,66 Ws/kVA (bei $f_{1cb} = 450$ Hz) und 6,15 Ws/kVA (bei $f_{1cb} = 750$ Hz).
- Die bezogenen gespeicherten Energien in den Flying Capacitors $E_{FLC}/S_{C,max}$ der FLC- und SMC Topologien sind nur von den gewählten Trägerfrequenzen f_c (und damit von der Frequenz f_{1cb}) abhängig, wobei die gespeicherten Energien sich reziprok proportional mit der Trägerfrequenz verringern.
- Die bezogene gespeicherte Gesamtenergie $E_{FLC}/S_{C,max}$ der FLC und SMC Topologien wird maßgeblich von den in den Flying Capacitors gespeicherten Energien bestimmt. Beispielhaft ergibt sich bei $f_{1cb} = 450$ Hz beim 3L- bzw. 4L-FLC Umrichter eine um das 6,6-fache bzw. um das 19,7-fache größere bezogene gespeicherte Gesamtenergie verglichen mit der des 3L-NPC Umrichters. Bei $f_{1cb} = 1050$ Hz sind die bezogenen Gesamtenergien des 3L- bzw. 4L-FLC Umrichters nur noch um das 2-fache bzw. um das 7,4-fache größer. Der 5L-SMC Umrichter besitzt bei $f_{1cb} = 1050$ Hz eine um 3,1-fache größere gesamte bezogene gespeicherte Gesamtenergie bezogen auf die des 3L-NPC Umrichters, doch ist diese um den Faktor 5 reduziert zu der des 5L-FLC Umrichters. Die SMC Umrichtertopologie realisiert also eine wesentlich geringere gespeicherte Energie als ein in der Stufenanzahl vergleichbarer FLC Umrichter.

In einem zweiten Vergleich werden die gespeicherten Energien im Zwischenkreis E_{dc} sowie in den Flying Capacitors E_{FLC} der untersuchten Stromrichtertopologien bei maximaler Trägerfrequenz $f_{C,max}$ evaluiert, wobei eine identische Stromrichterleistungsleistung S_C und eine identische installierte Schalterleistung S_S in jeder betrachteten Ausgangsspannungsklasse

angenommen wird. Die maximale Trägerfrequenz $f_{C,max}$ wird in den kritischen Arbeitspunkten des 4-Quadrantenbetriebes der jeweiligen Topologie derart ermittelt, dass die maximale Sperrschichttemperatur von $\vartheta_{j,max} = 125^\circ\text{C}$ der entsprechenden Halbleiter bei einer konstanten Kühlkörpertemperatur $\vartheta_n = 95^\circ\text{C}$ nicht überschritten wird.

Die maximal mögliche Trägerfrequenz $f_{C,max}$ ist stark abhängig von den eingesetzten IGBT-Modulen in den jeweiligen Umrichtertopologien. Beispielhaft beträgt im 4-Quadranten Betrieb bei einer Ausgangsspannung von 2,3 kV und einem Phasenstrom von 690 A die maximale Trägerfrequenz des 3L-NPC Umrichters $f_{C,max} = 1100$ Hz. Die 3L-, 4L- und 5L-FLC Umrichter realisieren unter diesen Bedingungen maximale Trägerfrequenzen von 990 Hz; 1950 Hz und 3450 Hz. Die maximal möglichen Trägerfrequenzen der 5L- und der 7L-SMC Umrichter betragen hingegen nur 525 Hz und 350 Hz. Gerade bei der 7L-SMC Topologie, bei der 1,2kV IGBT-Module eingesetzt sind, überwiegen in den kritischen Betriebspunkten mit $m_a \leq 0,05$ die Leitverlustanteile gegenüber den Schaltverlustanteilen.

In einem dritten Vergleich werden die Halbleiterausnutzungsfaktoren $S_{C,max}/S_S$ sowie die resultierenden Wirkungsgrade bei den drei betrachteten Ausgangsspannungen (2,3 kV/ 4,16 kV/6,6 kV) bei $f_{lcb} = 750$ Hz gegenübergestellt. Die Bedingungen für die Ermittlung der maximalen Stromrichterleistungsleistung $S_{C,max}$ werden dabei aus dem ersten Vergleich übernommen. Der Wirkungsgrad wird in den Betriebspunkten mit Nennausgangsspannung ($m_a = 1,11$), maximalem Ausgangsstrom und einem Grundschwingungsleistungsfaktor von $\cos(\varphi_i) = 0,9$ bestimmt. Es können folgende Aussagen getroffen werden:

- Der 5L-FLC Umrichter realisiert bei einer Ausgangsspannung von $U_{UV,1} = 6,6$ kV den größten Halbleiterausnutzungsfaktor mit 6,7%
- Die Halbleiterausnutzungsfaktoren der FLC Umrichter sind bei allen Ausgangsspannungen größer als die des 3L-NPC Umrichters und der SMC Umrichter.
- Der Wirkungsgrad des 3L-NPC Umrichters ist bei Ausgangsspannungen von $U_{UV,1} = 2,3$ kV ($\eta = 99,26\%$) und $U_{UV,1} = 6,6$ kV ($\eta = 99,34\%$) am Größten

An den in dieser Arbeit vorgestellten Ergebnissen zeigt sich, dass die 3L-NPC Topologie für Ausgangsspannungen $U_{UV,1} \leq 4,16$ kV für einen weiten Bereich von Mittelspannungsanwendungen sehr attraktiv ist. Dies ist dadurch begründet, dass die Anzahl der aktiven Bauelemente und die gespeicherte Gesamtenergie im Vergleich zu den FLC- und SMC Topologien gering sind, wodurch eine hohe Zuverlässigkeit gegeben ist. Ein Hauptnachteil der NPC Topologie ist die unsymmetrische Verlustverteilung zwischen den Halbleiterschaltern, wodurch die maximale Ausgangsleistung im 4-Quadrantenbetrieb und damit die Halbleiterausnutzung maßgeblich eingeschränkt werden. Des Weiteren ist eine Erweiterung der NPC Topologie mit mehr als drei Ausgangsspannungsstufen in der Ausgangsspannung einerseits mit einem kaum zu realisierbaren konstruktiven Aufwand (niederinduktive Kommutierungspfade) verbunden und andererseits ergibt sich dadurch eine unsymmetrische Spannungaufteilung zwischen den Zwischenkreiscondensatoren. Für Anwendungen mit Ausgangsspannungen $U_{UV,1} > 4,16$ kV ist deshalb beim 3L-NPC Umrichter eine Serienschaltung von 3,3kV-6,5kV IGBT-Modulen oder IGBTs pro Schalterposition oder der Einsatz eines ausgangsseitigen Hochsetz-Transformators notwendig.

Die FLC Topologie realisiert im Gegensatz zur NPC Topologie eine symmetrische Belastung der Halbleiter, womit eine bessere Halbleiterausnutzung erreicht werden kann. Des Weiteren besteht konstruktiv die Möglichkeit durch die Aneinanderreihung von FLC-Zellen sowohl die Stufenanzahl in der Ausgangsspannung zu erhöhen als auch Ausgangsspannungen $U_{UV,1} > 4,16$ kV mit einem Halbleiterbauelement pro Schalterposition zu realisieren. Die Erhöhung der Stufenanzahl führt einerseits zu einer besseren Qualität der Ausgangsspannung

(geringerer THD / WTHD) und andererseits wird die Common-Mode-Spannungsbelastung der Last reduziert. Nachteilig ist der durch die unterschiedlichen Nennspannungen der Flying Capacitors nicht streng modulare Aufbau eines Flying Capacitor Umrichters bei einer Ausgangsspannungsstufenanzahl $N > 3$. Darüber hinaus wächst die gespeicherte Energie und somit auch das damit benötigte Kondensatorvolumen quadratisch mit der Anzahl der Ausgangsspannungsstufen N , wenn die Frequenz f_{1cb} in der Ausgangsspannung f_{1cb} und der auf die kleinste Nennspannung des innersten Flying Capacitors $C_{Flp,x}$ bezogene Spannungsrippel konstant gehalten wird. Trotzdem stellt die FLC Topologie bei einer geringen Anzahl von Ausgangsspannungsstufen ($N \leq 4$) und bei Verwendung hoher Trägerfrequenzen ($f_c > 1$ kHz) eine Alternative für industrielle Anwendungen im Mittelspannungsbereich dar. Gerade bei Anwendungen bei denen entweder sehr hohe Ausgangsfrequenzen (schnell-laufende Antriebe) mit $f_1 > 150$ Hz, eine hohe Ausgangsspannung ($U_{UV,1} > 4,16$ kV) oder ein sehr geringer THD bzw. WTHD in den Ausgangsgrößen gefordert werden (z.B. bei Netzeinspeisungen), ist diese Topologie bestens geeignet [36].

Die SMC Topologie besitzt gegenüber der FLC Topologie den Vorteil, dass die gespeicherten Energien in den Flying Capacitors bei einer gleichen Anzahl von Ausgangsspannungsstufen N deutlich kleiner sind, wenn die Frequenz f_{1cb} in der Ausgangsspannung identisch ist. Nachteilig wirkt sich hingegen die größere Anzahl an Halbleiterschaltern bei gleicher Anzahl von Ausgangsspannungsstufen aus (z.B. um den Faktor 1,33 größer bei einer 5-stufigen Ausgangsspannung). Dabei ist die Anzahl der benötigten Halbleiterschalter einer Spannungsklasse bei der SMC Topologie nur dann minimal, wenn eine Schaltungskonfiguration mit zwei Stacks gewählt wird. Wie beim FLC Umrichter kann durch das Hinzufügen von SMC-Zellen die Anzahl der Ausgangsspannungsstufen erhöht werden, doch besteht bezüglich eines streng modularen Aufbaus hier auch das Problem, dass die Nennspannungen der Flying Capacitors unterschiedlich sind. Des Weiteren ist die Verlustverteilung zwischen den Halbleitern, wie bei der 3L-NPC Topologie, unsymmetrisch, was zu einer geringeren Halbleiterausnutzung im Vergleich zur FLC Topologie führt. Besonders bei kleinen Modulationsgraden ($m_a \leq 0,05$) generieren speziell die Dioden als auch die IGBTs der inneren Schalter gleichzeitig sehr große Verlustleistungen, wodurch die maximale Ausgangsleistung im 4-Quadrantenbetrieb maßgeblich begrenzt wird. Zusammenfassend kann die Aussage getroffen werden, dass die SMC Topologie aufgrund der geringeren gespeicherten Energie in den Flying Capacitors eine Alternative zum FLC Umrichter darstellt. Wie beim FLC Umrichter sollten dabei die Trägerfrequenzen möglichst hoch gewählt werden, um die gespeicherte Energie in den Flying Capacitors gering zu halten. Die möglichen Anwendungsfelder für die SMC Topologie sind identisch mit denen der FLC Topologie. Aufgrund der unsymmetrischen Verlustverteilung und der damit zum FLC Umrichter geringeren Halbleiterausnutzung werden letztendlich die Kosten für den Halbleiteraufwand im Verhältnis zu denen für die kapazitiv gespeicherte Energie darüber entscheiden, ob das SMC Konzept in eine Produktentwicklung mündet.

		A ₀	B ₀	B ₁	B ₂	U ₀	r ₀	B ₁	R _{thjc} [K/W]	R _{thch} [K/W]
Mitsubishi CM1200HB50H [74], Mar. 2003										
IGBT	E _{ons}	0,1e-3	3,70	-1,477	0,227	-	-	-	0,008	0,006
	E _{ofs}	0,1e-3	3,627	-1,286	0,176	-	-	-		
Diode	u _{ons}	-	-	-	-	0,5	0,075	0,499	0,016	
	E _{ofd}	0,01	0,869	-0,1	-	-	-	-		
	u _{ond}	-	-	-	-	0,5	0,024	0,607		
INFINEON FZ1200R33KF2C [73], Rev. 2.0, Mar. 2003										
IGBT	E _{ons}	1e-3	3,11	-1,37	0,233	-	-	-	0,009	0,006
	E _{ofs}	0,1e-3	3,03	-0,934	0,127	-	-	-		
Diode	u _{ons}	-	-	-	-	1,0	0,026	0,688	0,017	
	E _{ofd}	6,3e-3	1,15	-0,124	-	-	-	-		
	u _{ond}	-	-	-	-	0,5	0,032	0,602		

		A ₀	B ₀	B ₁	B ₂	U ₀	r ₀	B ₁	R _{thjc} [K/W]	R _{thch} [K/W]
Mitsubishi CM900HB90H [74], Mar. 2003										
IGBT	E _{ons}	1e-4	2,5	-0,453	0,046	-	-	-	0,009	0,007
	E _{ofs}	0,1e-3	4,39	-1,717	0,25	-	-	-		
Diode	u _{ons}	-	-	-	-	1,2	0,018	0,696	0,018	
	E _{ofd}	1e-5	3,11	-0,486	-	-	-	-		
	u _{ond}	-	-	-	-	1,0	0,0142	0,766		
INFINEON FZ600R65KF1 [73], Rev, Series 1, Jul 2002										
IGBT	E _{ons}	1e-3	3,27	-1,31	0,222	-	-	-	0,011	0,006
	E _{ofs}	1e-3	2,169	-0,554	0,083	-	-	-		
Diode	u _{ons}	-	-	-	-	1,0	0,0943	0,598	0,021	
	E _{ofd}	2,5e-3	1,578	-0,204	-	-	-	-		
	u _{ond}	-	-	-	-	0,5	0,079	0,588		

Referenzen

Bücher und Dissertationen

- [1] S. Dieckerhoff, *Transformatorlose Stromrichterschaltungen für Bahnfahrzeuge am 16 $\frac{2}{3}$ Hz Netz*, Aachen: Verlag Shaker, 2004.
- [2] S.S. Fazel, *Investigation and Comparison of Multi-Level Converters for Medium Voltage Applications*, Dissertation, Technische Universität Berlin, 2007
- [3] T. Brückner, *The active NPC Converter for Medium Voltage Drives*, Verlag Shaker, 2006.
- [4] M. Winkelkemper, *Reduzierung von Zwischenkreiskapazitäten in Frequenzumrichtern für Niederspannungsantriebe*, Dissertation, Technische Universität Berlin, 2005
- [5] S. Tschirley, *Automatisierte messtechnische Charakterisierung von 10kV Integrierten Gate-Kommutierten Thyristoren (IGCTs)*, Technische Universität Berlin, 2007.
- [6] S. Rohner, *Untersuchung des Modularen Mehrpunktstromrichters M2C für Mittelspannungsanwendungen*, Verlag Dr. Hut, 2011
- [7] F. Jenni and D. Wüest, *Steuerverfahren für selbstgeführte Stromrichter*, vdf, 1995.

Konferenz – und Journal Paper

- [8] M. Beuermann, M. Hiller, R. Sommer, *Converter Topologies and Power Semiconductors for Industrial Medium Voltage Converters*, Industry Applications Society Annual Meeting, 2008. IAS '08. IEEE
- [9] T. Bruckner and S. Bernet, *Loss balancing in three-level voltage source inverters applying active NPC switches*, Power Electronics Specialists Conference, IEEE 32nd Annual, 2001, vol. 2, pp. 1135-1140.
- [10] S. Bernet, *Recent Developments of High Power Converters for Industry and Traction Applications*, IEEE Transactions on Power Electronics, 2000, vol. 15, no. 6, pp. 1102-1117.
- [11] D. Krug, M. Malinowski, S. Bernet, *Design and Comparison of Medium Voltage Multi-Level Converters for Industry Applications*, in Conf. Rec. IEEE-IAS Annu. Meeting, 2004, vol. 2, pp. 781-790.
- [12] D. Krug; S. Bernet, S.S. Fazel, K. Jalili, M. Malinowski, *Comparison of 2.3-kV Medium-Voltage Multilevel Converters for Industrial Medium-Voltage Drives*, IEEE Transactions on Industrial Electronics, Dec. 2007, vol 54, pp. 2979 – 2992
- [13] S.S. Fazel, S. Bernet, D. Krug, K. Jalili, *Design and Comparison of 4-kV Neutral-Point-Clamped, Flying-Capacitor, and Series-Connected H-Bridge Multilevel Converters*, IEEE Transactions on Industrial Applications, Jul.-Aug., 2007, vol 43, pp. 1032 - 1040

- [14] S. Bernet, D. Krug; S.S Fazel and K. Jalili, *Design and comparison of 4.16 kV neutral point clamped, flying capacitor and series connected H-bridge multi-level converters*, Conference Record of Industry Applications Conference, 2005, Hong Kong.
- [15] T. Brückner, S. Bernet, S., P.K. Steimer, *The Active NPC Converter for Medium-Voltage Applications*, Proc. of 40th Industry Applications Conference (IEEE-IAS) Annual Meeting, Hong-Kong, China, October 2005
- [16] T.A. Meynard. and H. Foch, *Imbricated Cells Multi-Level Voltage Source Inverter for High Voltage Applications*; EPE Journal Vol. 3, June 1993, P. 99 - 106.
- [17] J. Courault, O. Lapierre and J.L. Pouliquen, *Industrial Interest of Multilevel Converters*; EPE'99-Lausanne, CD-ROM conference proceedings
- [18] G. Beinhold, R. Jacob, and M. Nahrstaedt, *A new range of medium voltage multilevel inverter drives with floating capacitor technology*, Proc. European Power Electronics Conf., 2001.
- [19] T.A. Meynard, H. Foch, P. Thomas, J. Courault, R. Jakob and M. Nahrstaedt, *Multicell Converters: Basic Concepts and Industry Applications*, IEEE Transactions on Industrial Electronics, Vol. 49, No. 5, Oct 2002
- [20] T.A. Meynard, M. Fadel, N. Aouda, *Modelling of Multilevel Converters*, IEEE Transactions on Industrial Electronics, Vol. 44, No. 3, June 1997, pp. 356 – 364
- [21] T.A. Meynard and H. Foch, *Multi-Level conversion: High voltage choppers and voltage source inverters*, in Proc. IEEE-PESC, 1992, Toledo, pp. 397 - 403
- [22] P. Carrère, T.A. Meynard and J.P. Lavieville, *4000V-300A Eight-Level IGBT Inverter Leg*, EPE-Journal, vol. 7, no1-2, Aug. 1997, pp. 39 - 44
- [23] C. Saudemont, J.P. Cambronnie, C. Rombaut, *Capacitor voltages in the imbricated cell topology Generalisation of the variation rules*, EPE'99-Lausanne, CD-ROM conference proceedings
- [24] R. H. Wilkinson, T.A. Meynard, an H. d. Toit Mounton, *Natural Balance of Multicell ^ Converters: The General Case*, IEEE Transactions on Power Electronics, 2006, vol. 21, no. 6, pp. 1658 - 1666
- [25] G. Gateau, M. Fadel, P. Maussion, R. Bensaid and T.A. Meynard, *Multicell Converters: Active Control and Observation of Flying-Capacitor Voltages*, Transactions on Industrial Electronics, Vol. 49, No. 5, Oct 2002, pp. 998 – 1008
- [26] C. Keller, R. Jakob, *Low Power Converters for High Output Voltages*, EPE 2005-Dresden, CD-ROM conference proceedings
- [27] G. Gateau, T.A. Meynard, H. Foch, *Stacked multicell converter (SMC): properties and design*, Power Electronics Specialists Conference (PESC), IEEE, Jun 2001, Vancouver

- [28] L. Delmas, G. Gateau, T.A. Meynard, H. Foch, *Stacked multicell converter (SMC): control and natural balancing*, Power Electronics Specialists Conference (PESC), IEEE, Jun 2002
- [29] G. Gateau, T.A. Meynard, H. Foch, *Stacked multicell converter (SMC): Topology and control*, in Conf. Rec. EPE 2001, Graz
- [30] L. Delmas, T.A. Meynard, H. Foch, G. Gateau, *Comparative study of multilevel topologies: NPC, multicell inverter and SMC with IGBT*, IECON 02 28th Annual Conference of the Industrial Electronics Society, IEEE 2002, Nov. 2002, vol. 1, pp. 828 - 833
- [31] T.A. Meynard, H. Foch, F. Forest, C. Turpin, F. Richardeau, L. Delmas, G. Gateau, E. Lefevre, *Multicell Converters: Derived Topologies*, IEEE Trans. Ind. Electronics, vol. 49, no. 5, pp. 978-987, Oct. 2002
- [32] R. Jakob, C. Keller, G. Möhlenkamp, and B. Gollentz, *3-Level High Power Converter with Press Pack IGBT*, in Conf. Rec. EPE, Aalborg, Denmark, 2007, CD-ROM
- [33] C. Dietrich, S. Gediga, M. Hiller, R. Sommer, H. Tischmacher, *A new 7.2kV medium voltage 3-Level-NPC inverter using 6.5kV-IGBTs*, in Conf. Rec. EPE, Aalborg, Denmark, 2007, CD-ROM
- [34] J. Rodriguez, J. S. Lai, and F. Zheng Peng, *Multilevel inverters: a survey of topologies, control and applications*, IEEE Trans. on Industrial. Application, 2002, vol. 49, no. 4, pp. 724-738.
- [35] IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems, IEEE 519-1992
- [36] S. Bernet, *State of the Art and Developments of Medium Voltage Converters – An Overview*, Przegląd Elektrotechniczny (Electrical Review), May 2006, vol. 82, no. 5, pp. 1-10.
- [37] Y. Shakweh, *MV Inverter Stack Topologies*, IEEE Power Engineering Journal, June 2001, vol. 15, no. 3, pp. 139 – 149
- [38] J. Rodriguez, S. Bernet, P.K. Steimer, I.E. Lizama, *A Survey on Neutral-Point-Clamped Inverters*, IEEE Transactions on Industrial Electronics, vol. 57, no. 7, July 2010, pp. 2219 - 2230
- [39] P. Barbosa, P. Steimer, J. Steinke, M. Winkelkemper and N. Celanovic, *Active-Neutral-Point-Clamped (ANPC) Multilevel Converter Technology*, Conf. Rec. of IEEE-PESC, Recife, Brasil, 2005
- [40] F. Kieferndorf, M. Basler, L. A. Serpa, J.-H. Fabian, A. Coccia, G. A. Scheuer, *A New Medium Voltage Drive System Based on ANPC-5L Technology*, IEEE-ICIT, Valparaiso, Chile, 2010

- [41] M. Hiller, D. Krug, R. Sommer, S. Rohner, *A new highly modular medium voltage converter topology for industrial drive applications*, in Proc. European Conference on Power Electronics and Applications (EPE), Barcelona, Sept. 2009
- [42] A. Lesnicar, R. Marquardt: *A new modular voltage source inverter topology*, in Proc. Power Electronics and Applications (EPE), Toulouse (France), September 2003
- [43] A. Nabae, I. Takahashi, and H. Akagi, *A new neural point clamped PWM inverter*, in Proc. IEEE-IAS Annual Meeting, Cincinnati, OH, 1980, pp. 761-766 and IEEE Trans. Ind. Appl., 1981, vol. 1A-17, pp. 518-522.
- [44] P. K. Steimer, M.D. Manjrekar, *Practical Medium Voltage Converter Topologies for High Power Applications*, Conference Record IEEE Industry Applications Conference, 2001. IAS Annual Meeting, Chicago, vol. 3, pp. 1723 – 1730
- [45] G. Carrara, S. Gardella, M. Marchesoni, R. Salutari, and G. Sciutto, *A New Multilevel PWM Method: A Theoretical Analysis*, IEEE Trans. on Power Electronics, July 1992, vol. 7, no. 3, pp. 497-505
- [46] B.P. McGrath, D.G. Holmes, *Multicarrier PWM strategies for multilevel inverters*, IEEE Trans. on Industrial Electronics, Aug. 2002, vol. 49, no.4, pp. 858-867
- [47] B.P. McGrath, T.A. Meynard; G.Gateau, D.G. Holmes, *Optimal Modulation of Flying Capacitor and Stacked Multicell Converters Using a State Machine Decoder*, Conf. Rec. of IEEE-PESC, Recife, Brasil, 2005; pp. 1671 – 1677 and IEEE Trans. on Power Electronics, Mar. 2007, vol. 22, no. 2, pp. 508 - 516
- [48] T. Ishida, k. Matsuse, K. Sugita, L. Huang, K. Sasagawa, *DC Voltage Control for a Five Level Converter*, IEEE Trans. on Power Electronics, vol. 15, no. 3, May 2000, pp.508-515
- [49] C. Newton and M. Sumner, *Novel technique for maintaining balanced internal DC link voltages in diode clamped five-level inverters*, IEE Proc. on Electric Power Applications, vol. 146, May 1999, pp. 341 - 349
- [50] R.W. Menzies, P. Steimer and J.K. Steinke, *Five Level GTO Inverters for Large Induction Motor Drives*, IEEE Transactions on Industrial Electronics, vol. 30, no. 4, July 1994, pp. 938-944
- [51] C. Newton and M. Sumner, *Neutral point control for multilevel inverters, theory, design and operational limitations*, in Proc, IEEE-IAS Annual Meeting, 2000, Rome, pp. 1336-1343
- [52] S.-G. Lee, D.-W. Kang, Y.-H. Lee, D.-S. Hyun, *The Carrier-based PWM Method for Voltage Balance of Flying Flying Capacitor Multilevel Inverter*, in Proc. IEEE-PESC, 2001, Vancouver, pp. 126 – 131
- [53] D.-W. Kang, B.-K. Lee, J.-H. Jeon T.-J. Kim and D.-S. Hyun, *A Symmetric Carrier Technique of CRPWM for Voltage Balance Method of Flying-Capacitor Multilevel Inverter*, IEEE Transactions on Industrial Electronics, vol. 52, no. 3, June 2005, pp. 879-888

- [54] W.-K. Lee, S.-Y. Kim, J.-S. Yoon, D.-H. Daek, *A Comparison of te Carrier-based PWM techniques for Voltage Balancing of Flying Capacitor in the Flying Capacitor Multilevel Inverter*, IEEE Applied Power Electronics Conference and Exposition, 2006, pp. 1653-1658
- [55] T. Matsuo, S. Bernet, R. Colby, and T. Lipo, *Modeling and simulation of matrix converter/induction motor drive*, Mathematics and Computers in Simulation 46, 1998, pp.175-195.
- [56] F. Blaabjerg, J.K. Pedersen, S. Sigurjónsson and A. Elkjær, *An extended model of power losses in hard-switched IGBT-inverters*, in Conf. Rec. IEEE-IAS Annual Meeting, 1996, San Diego, pp. 1454-1463
- [57] S. Bernet, S. Ponnaluri, and R. Teichmann, *Design and Loss Comparison of Matrix Converters and Voltage-Source Converters for Modern AC Drives*, IEEE Trans. on Industrial Electronics, April 2002, vol. 49, no. 2.
- [58] H. Müller, *Beziehungen zwischen dem praktisch verwendeten und dem physikalisch sinnvollen Wärmeersatzschaltbild von Dioden und Thyristoren*, Archiv für Elektrotechnik, vol. 54, 1971, pp. 170-176
- [59] Y. Shakweh, *Power Devices for medium voltage PWM converters*, Power Engineering Journal, vol. 13, Dec. 1999, pp. 297 – 307
- [60] T. Brückner and S. Bernet, *Estimation and Measurement of junction temperatures in a Three-Level Voltage Source Converter*, in IEEE-IAS Annu. Meeting, Hong Kong, 2005, pp.106-114.
- [61] A. Sapin, P. Allenbach, and J.-J. Simond, *Modeling of multi-windings phase shifting transformers for DC supplies*, ICEM Conference, Helsinki, 2000.
- [62] A.M. Cross, P.D. Evans and A.J. Forsyth, *DC-link current in PWM inverters with unbalanced and non-linear loads*, IEE Proc. Electr. Power Applications, vol. 146, No. 6, Nov. 1999, pp. 620-626

Patents

- [63] T.A. Meynard and H. Foch, *Electronic device for electrical energy conversion between a voltage source and a current source by means of controllable switching cells*, European Patent 92/916336.8, July 8, 1992. (Brevet Francais No 91.095282, 25 Juillet 1991)
- [64] G. Gateau, T.A. Meynard and H. Foch, *Multi-Cell Energy Conversion Device*, US-Patent No 20040032757A1, Feb. 19, 2004 (Brevet Francais No 0006786, 26 Mai 2000)
- [65] R. H. Baker, "High-Voltage Converter Circuit," *U.S. Patent 4,203,151*, May 1980.

Datenblätter und Broschüren

- [66] Alstom: *Multilevel technology with Alsipa VDM6000* , Publication No. DCG 162-en, 2000
- [67] Alstom: *Symphony™ Air Cooled Medium Voltage AC Drives ALSPA VDM6000*, Publication No. POWC/BPROB/SVACDR/uke/GDB/03.01/UK/1916, 2001
- [68] ABB: *It's time to connect*, Publication on www.abb.com, 2013
- [69] ABB: *PCS 8000 AC Excitation*, Publication on www.abb.com, 2010
- [70] ABB: *Medium Voltage Drive ACS 2000*, Produkt Broschüre unter www.abb.com, 2010
- [71] Siemens AG: *Introduction into HVDC PLUS*, unter <http://www.energy.siemens.com>
- [72] Siemens AG: *sinamics-perfect-harmony-gh150-en.pdf*, unter <http://www.industry.siemens.com>, 2014
- [73] Infineon AG, *Datenblätter IGBT Module* unter <http://www.infineon.com>
- [74] Mitsubishi Electric Coporation, *Datenblätter IGBT Module* unter <http://www.mitsubishichips.com/>
- [75] SEMIKRON Elektronik GmbH & Co. KG, *Semikron Applikationshandbuch*, 1998, unter <http://www.semikron.de/>
- [76] Epcos AG: *Film Capacitors: General Technical Information*, Application Note, <http://www.epcos.de/>