

# 低電圧並列電源システムの簡易リップル算出モデルについて\*

小 浜 輝 彦\*\*  
横 溝 篤 史\*\*\*

## Ripple Estimation for Paralleled Converter System with Simplified Circuit Model

Teruhiko KOHAMA and Atsushi YOKOMIZO

Ripple estimation for paralleled converter system is proposed. Current and voltage ripples in the output capacitor of the paralleled system are estimated through a simplified circuit model which is available for any paralleled converter system. Relationships between the ripples and circuit parameters such as duty ratio, inductor and number of modules are revealed clearly, that leads the paralleled system to a zero ripple converter system.

**Key Words:** Paralleled Converter System, Ripple, Interleaving Operation, DC-DC Converter, Fast Response, VRM

### 1. まえがき

DC-DC コンバータを複数台並列接続する並列電源システム<sup>(1)-(5)</sup>は、低電圧大容量電源を実現する手法として広く利用されている。並列電源システムは電源モジュールをインターリーブ動作させることによって出力電圧の高速応答を実現することができるため VRM(Voltage Regulation Module)のように頻繁に出力電圧が変動する電源に適している。

インターリーブとは、各モジュールのスイッチング位相を意図的にずらすことによって出力リップルを低減する技術である。例えば、図 1 (a)のように 2 台の電源モジュールを使った並列システムについて考える。ここで、各モジュールのスイッチング周期が等しく、位相差が $180^\circ$ 異なると、それぞれの電流波形は図 1 (b) のようになり、その和である出力電流はリップルが大幅に低減した波形となる。この結果、モジュール1台で電力供給する場

合と比べて大幅に電圧、電流リップルを低減させることが可能となる。言い換えると、出力電流、電圧リップル一定の条件下では、並列電源システムの方が、モジュールの出力インダクタやコンデンサを大幅に小さくすることができ、高速な出力電圧応答が容易に実現できる。

一般に、出力リップルは接続台数の増加に伴って低減することが広く知られている。しかし、実際にどの程度低減できるかといった定量的な把握はこれまでなされておらず、実機による確認がほとんどであった。

そこで本稿では、任意の並列電源システムにおいてその出力電流、電圧リップルを比較的簡便に算出するための等価簡易モデルを導出し、これを基にリップル算出を行った。動作の前提として電源モジュールは適切なインターリーブ動作を行っているものとする。

### 2. 並列電源システムの簡易等価モデル

#### 2.1 電源モジュールの簡易モデル

まずは、図 1 (a)の電源モジュールについて考える。低電圧電源であるため、電源モジュールは降圧形コンバータを採用している。降圧形は出力フィルタから入力側を

\* 平成18年 5月31日受付

\*\* 電気工学科

\*\*\* 電気工学専攻博士前期課程

見ると図2のようにパルス電圧源  $V_p$  で簡潔に表すことができる。ただし、 $V_p$  の波形はモジュールの回路パラメーターによって決まる値で、 $V_i$  は入力電圧、 $D$  は半導体スイッチの時比率、 $T_s$  はスイッチング周期である。

ここで、モデルを簡略化するために全ての電源モジュールは同一特性を有し、均等な時間遅れ  $T_s/N$  を伴って理想的なインターリーブ動作を行うものとする。さらに、インターリーブ動作が行われている間は、電圧リップルは出力電圧  $V_o$  と比べ十分小さいと仮定できるので、モジュール電流は直線的に変化する三角波形となる。図3にモジュール#1の直流成分を除いたリップル電流波形  $\Delta i_1(t)$  を示す。ここで、三角波の傾き  $m_1, m_2$  はそれぞれ次式で表される。

$$m_1 = \frac{V_i - V_o}{L} \quad (1)$$

$$m_2 = \frac{V_o}{L} \quad (2)$$

図3からリップル電流  $\Delta i_1(t)$  の大きさ  $\Delta I$  は

$$\Delta I = m_1 D T_s = m_2 (1 - D) T_s \quad (3)$$

となる。

ここで、出力電圧  $V_o$  がスイッチング周期  $T_s$  の期間に

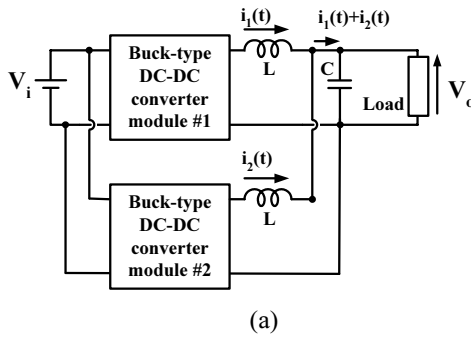


図1 並列電源システム (二台接続)

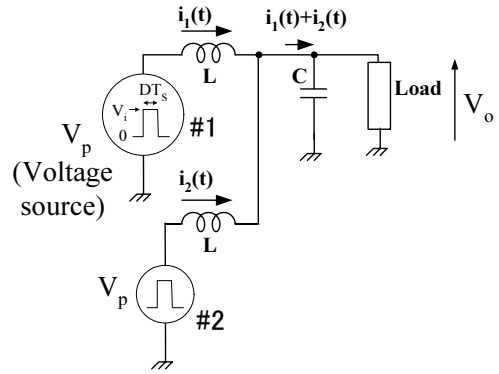


図2 並列電源システムの簡略化モデル

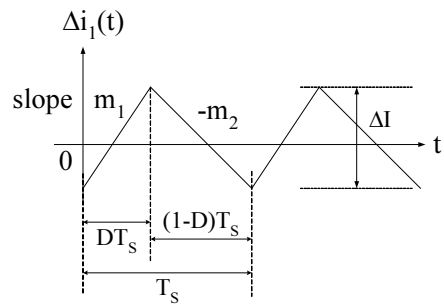


図3 電源モジュールの電流リップル波形

おいてほとんど一定であると仮定すると、各モジュール電流はお互い独立であると考えることができ、図4のように三角波電流源が並列接続された回路図で等価表現することができる。ただし、ここでは電源モジュール  $N$  台が並列接続された状態を表している。この等価回路は、あくまでリップル算出のための簡易モデルであり、負荷電流や出力電圧  $V_o$  はリップルに依存しないものとして省かれている。

図3からモジュール#1のリップル電流波形  $\Delta i_1(t)$  を求めると、

$$\Delta i_1(t) = \begin{cases} m_1 t - \Delta I / 2 & (0 < t < D T_s) \\ \Delta I / 2 - m_2 t & (D T_s < t < T_s) \end{cases} \quad (4)$$

となる。

同様にモジュール#  $k$  について考えると、位相遅れが伴うことを除けば式(4)と同じだから

$$\Delta i_k(t) = i_1 \left( t - (k-1) \frac{T_s}{N} \right). \quad (5)$$

で表すことができる。

ただし、 $N$  は電源モジュールの並列接続台数である。

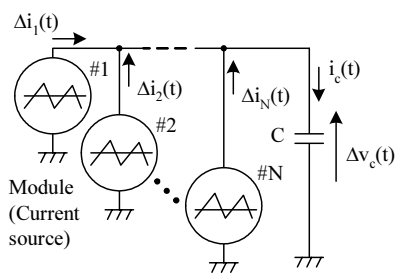


図4 リプル算出用簡易モデル

## 2.2 出力コンデンサのリップル算出

したがって、出力コンデンサ C に流れ込む電流  $i_c(t)$  は、全てのモジュール電流を合成することによって、

$$i_c(t) = \sum_{k=1}^N \Delta i_k(t) \quad (6)$$

で得られる。

式(6)から電流リップルの大きさ  $\Delta I_C$  を求めるには、最大値と最小値の差を求めればよく、

$$\Delta I_C = \text{Max}(i_c(t)) - \text{Min}(i_c(t)). \quad (7)$$

となる。

ただし、

$\text{Max}(x)$  は関数  $x(t)$  の最大値を示す関数であり、 $\text{Min}(x)$  は  $x(t)$  の最小値を示す関数である。

同様に、出力コンデンサ C の電圧リップル波形  $\Delta v_c(t)$  は式(6)を積分することによって得られるので、次式となる。

$$\Delta v_c(t) = \frac{1}{C} \int i_c(t) dt \quad (8)$$

これから、電圧リップルの大きさ  $\Delta V_C$  は  $\Delta v_c(t)$  の最大値と最小値の差を取って、

$$\Delta V_C = \text{Max}(v_c(t)) - \text{Min}(v_c(t)) \quad (9)$$

で与えられる。

## 2.3. コンデンサの ESR を考慮したリップル算出

図4の等価回路モデルにおいてコンデンサは理想的であると仮定したが、実際には図5のように等価直列抵抗 (ESR) が存在するため、この影響も考慮しなければならない。これについても、まず、ESR は通常数十 m 程度であり、これによる電圧降下は  $V_0$  の大きさに比べて十分小さいことからモジュール電流波形への影響は無視することができ、式(6)をそのまま使用することができる。この結果、ESR を考慮した出力コンデンサの電圧リップル  $\Delta v_c(t)$  は

$$\Delta v_c(t) = \frac{1}{C} \int i_c(t) dt + R_{ESR} i_c(t) \quad (10)$$

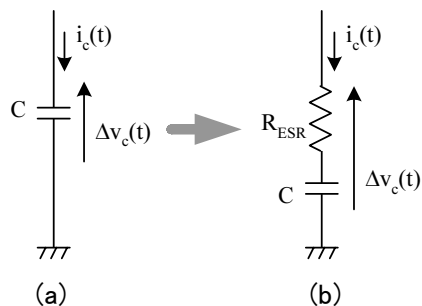


図5 ESR を考慮したコンデンサ等価回路

で表される。実機を使って測定データと比較する場合は、式(8)を式(10)に置き換えることで、電圧リップル  $\Delta V_C$  を求めることができる。

## 3. リプル評価

### 3.1. ゼロリップル条件

Mathcad を使って計算により電流リップル  $\Delta I_C$  および電圧リップル  $\Delta V_C$  を求めた。図6は電流リップルと接続台数 N の関係を時比率 D をパラメータとして表している。同様に、図7には電圧リップルと N, D の関係を示した。いずれも N の増大に伴って、リップルが減少する傾向にあるが、ある条件下においてはリップルが完全にゼロとなるゼロリップル条件が存在する。

例えば、図6(a)の  $D=0.2$  では  $N=5$  でリップルがゼロとなっている。

その他、図6(b), (c), (d), (e) についても同様に ( $D=0.3, N=10$ ), ( $D=0.4, N=5, 10$ ), ( $D=0.5, N=2, 4, 6, 8, 10$ ), ( $D=0.6, N=5, 10$ ) の組合せにおいていずれも  $\Delta I_C$  がゼロである。

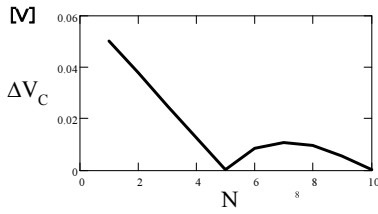
この結果、図7の電圧リップル特性も同一条件でリップルがゼロとなる。

これらのゼロリップル条件をまとめると以下の関係が明らかとなる。

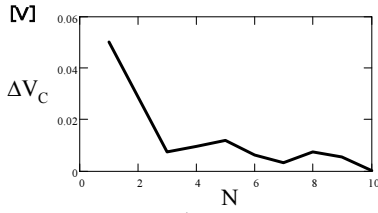
$$DN = \text{integer}. \quad (11)$$

この理由について述べる。例えば、2台の並列システム ( $N=2$ ) について考える。仮に  $D=0.7$  の場合、電流波形は図8(a)となり、電流  $i_1(t)$  と  $i_2(t)$  の山と谷の時刻は一致せず、その合成電流にはリップルが現れる。しかし、 $ND=1$  となる  $D=0.5$  では、電流波形が図8(b)となり、山と谷の変化が完全に相殺される。

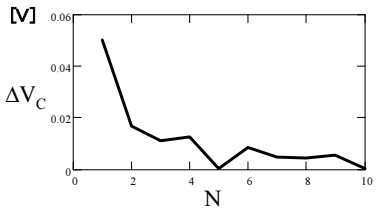
$D=0.5, N=8$  の場合も同様に  $DN=4$  となって式(11)を満足するが、このときの電流波形は図8(c)である。いずれか山が現れたとき、必ず他の谷と重なるのでリップルはゼロとなる。他の  $D, N$  についても式(11)を満足する



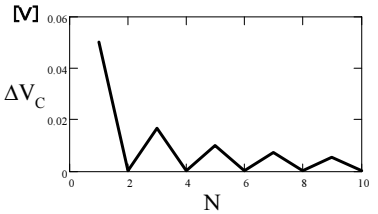
(a) D=0.2



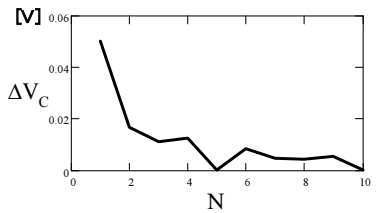
(b) D=0.3



(c) D=0.4

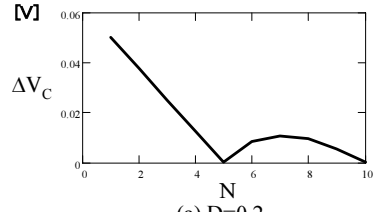


(d) D=0.5

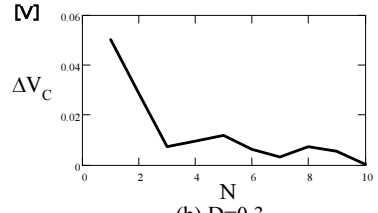


(e) D=0.6

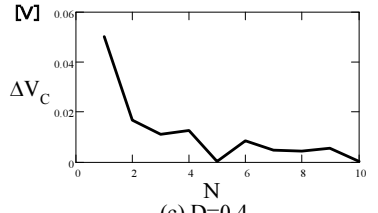
図6 出力コンデンサの電流リップル



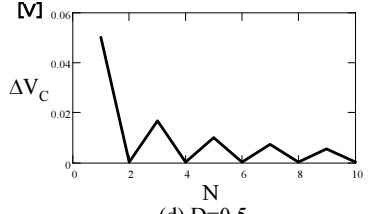
(a) D=0.2



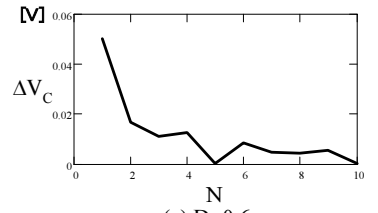
(b) D=0.3



(c) D=0.4



(d) D=0.5



(e) D=0.6

図7 出力コンデンサの電圧リップル

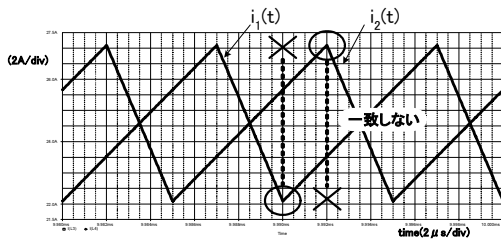
場合、山と谷が相殺されるのでリップルが完全に除去される。

この性質を上手く利用してゼロリップル電源が実現可能である。もし、並列電源システム設計時に、接続台数と時比率との関係が式(11)を満足するように設計することができれば原理上ゼロリップルとなる。

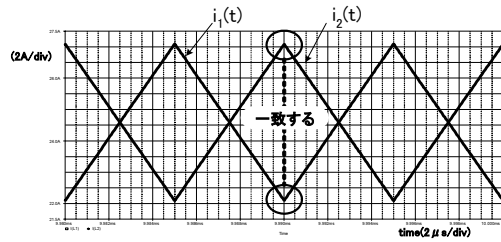
例えば5台の電源モジュールで構成した並列電源を考

えた場合、各モジュールの時比率がD=0.2で一樣動作させることができればゼロリップルとなり、出力インダクタンスをより小さくすることが可能となる。しかも、理論的には出力コンデンサCを除去することができる。

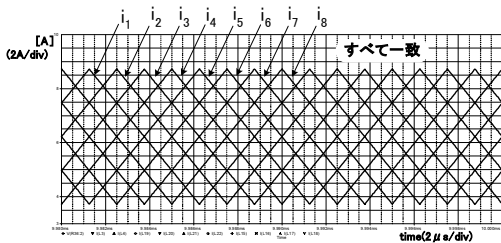
時比率は当然、モジュールの入出力電圧、負荷電流、回路方式に大きく依存するので任意に選定したり、厳密に設定することは困難と考えられる。しかし、図9およ



(a)  $D=0.7, N=2$

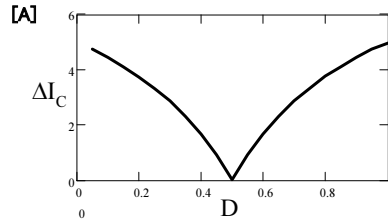


(b)  $D=0.5, N=2$

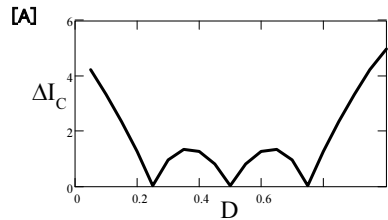


(c)  $D=0.5, N=8$

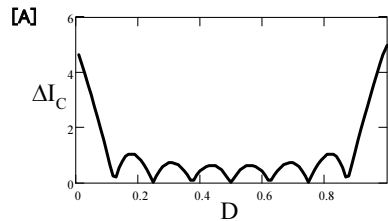
図8 電源モジュールの電流波形



(a)  $N=2$



(b)  $N=4$



(c)  $N=8$

図9 出力コンデンサの電流リップル

び図10の  $N$  をパラメータとした時比率とリップルの関係から明らかなように、式(11)のゼロリップル条件を満足する時比率付近では、リップルが非常に小さいため、この条件を完全に満たさなくとも、その近傍で動作する限り、大きな低減効果があることは明らかである。よって、ゼロリップル電源の実現手法として、式(11)の関係を意識したシステム設計が今後考えられる。

ただし、ゼロリップルの前提条件としてインターリーブが適切に機能しなければならない。この点については、すでに我々は、任意の接続数 $N$ の電源モジュールを自動的に最適な位相差で動作させる自動インターリーブ機能と、これを実現する回路方式を提案しており<sup>(6)</sup>、これを採用することによって前提条件を満足させることができる。

### 3.2 回路シミュレーションとの比較

簡易リップル算出モデルから得られた結果を回路シミュレーション結果と比較する。回路の条件は以下の通りである。

入力電圧  $V_i = 5V$ 、出力電圧  $V_o = 1.5V$   
 各モジュール電流リップルの大きさ  $\Delta I = 5A$   
 負荷電流  $I_o = 50A$   
 時比率  $D = 0.3$ 、スイッチング周波数  $f_s = 100kHz$   
 出力コンデンサ容量  $C = 470\mu F$ 、等価直列抵抗  $R_{ESR} = 10m\Omega$

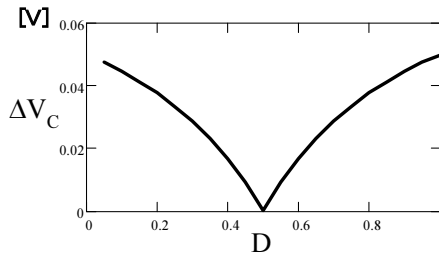
両者の結果を表1に示す。両者の値はいずれも台数の増加に伴って減少しており、また計算値、シミュレーション結果ともに近い値が得られている。よって、ここで提案した簡易モデルは有効であるといえる。

本稿では、簡易モデル導出手順と、これを用いたリップル算出法について述べたが、今後は実機による簡易モデルの検証が必要である。

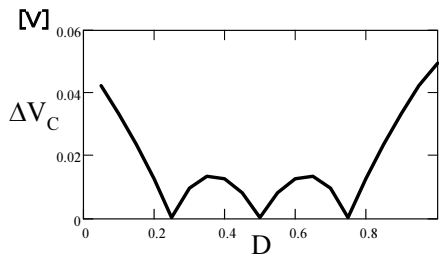
ただ、式(11)の関係は原理上明らかなので、ゼロリップル電源を構成することは十分可能であると考えられる。

## 4. むすび

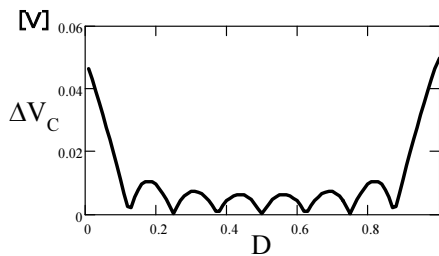
並列電源システムにおける出力電流、電圧リップルの簡



(a) N=2



(b) N=4



(c) N=8

図10 出力コンデンサの電流リップル

易算出モデルを提案し、これから任意の並列電源システムの出力リップルを算出した。この結果、接続台数増加に伴いリップルは低下するもののその特性は単調減少ではなく、ゼロリップルとなる条件が幾つも存在することが明らかとなった。この条件を満足するように回路設計に反映させることができればゼロリップル電源の実現が可能であると考えられる。

表1 理論値とシミュレーション結果の比較

	2 台		4 台		8 台	
	電流リップル [A]	電流リップル [mV]	電流リップル [A]	電流リップル [mV]	電流リップル [A]	電流リップル [mV]
理論値	2.858	3.802	0.952	0.641	0.714	0.275
シミュレーション値	2.846	3.779	0.948	0.633	0.708	0.237

参考文献

- (1) L. Thorsell, P. Lindman, "Reliability analysis of a direct parallel connected n+1 redundant power system based on highly reliable DC/DC modules," 10th IEEE International Telecommunications Energy Conference Record, pp.551-556, 1988.
- (2) B. Choi, B. H. Cho, R. B. Ridley, Fred F. C. Lee, "Control Strategy for multi-module parallel converter system," 21th IEEE Power Electronics Specialists Conference Record, pp.225-234, 1990.
- (3) H. Tanaka, K. Kobayashi, F. Ihara, K. Asahi, M. Motoyama, "Method for centralized voltage control and current balancing for parallel operation of power supply equipment", 10th IEEE International Telecommunications Energy Conference Record, pp. 434-440, 1988.
- (4) R. H. Wu, T. Kohama, Y. Koderu, T. Ninomiya, "Load-Current-Sharing Control for Parallel Operation of DC-to-DC Converters", IEEE Power Electronics Specialists Conference Record, pp.101-107, June 1993.
- (5) 小浜輝彦, 二宮 保, 庄山正仁, "並列コンバータシステムにおける新方式位同期回路について", 電子情報通信学会論文誌 Vol. J81-B-I, No.10, pp.621-628, October 1998.
- (6) T.Kohama, G.Endo, H.Shimamori, T.Ninomiya, "New Synchronizing Circuit Suitable for Paralleled Converter System with Automatic Interleaving Operation," Proceedings of IEEE 19th Applied Power Electronics Conference and Exposition, No.17.5, CD-ROM (7 pages), February 2004.