

3次元積層型グローバルシャッタCMOSイメージセンサの研究

著者	近藤 亨
学位授与機関	Tohoku University
学位授与番号	11301甲第17601号
URL	http://hdl.handle.net/10097/00121595

氏名	こんどう とおる 近藤 亨
研究科, 専攻の名称	東北大学大学院工学研究科 (博士課程) 技術社会システム専攻
学位論文題目	3次元積層型グローバルシャッタ CMOS イメージセンサの研究
論文審査委員	主査 東北大学教授 須川 成利 東北大学教授 長平 彰夫 東北大学教授 中村 健二 東北大学准教授 黒田 理人

論文内容要約

CMOS イメージセンサは多くの撮像システムに使われ、撮像システムの機能、性能を左右するキーデバイスである。中でもグローバルシャッタ CMOS イメージセンサはメカシャッタレス化による撮像システムの小型化や高速化が実現可能な技術である。従来のグローバルシャッタ CMOS イメージセンサの課題を解決することができればより多くのアプリケーションでの適用が可能となり、グローバルシャッタ CMOS イメージセンサの市場価値を高めるとともに、新しい撮像システムの創生にもつながる。

本論文は従来のグローバルシャッタ CMOS イメージセンサにおける撮像性能に関する課題を解決するために、先進的な 3 次元積層型グローバルシャッタ CMOS イメージセンサの構造および回路構成を提案し、その有効性を実証した成果をまとめたもので、全文 5 章からなる。

第 1 章では序論として、研究の背景となっている CCD イメージセンサと CMOS イメージセンサの技術動向と、イメージセンサの読み出し方式であるローリングシャッタ読み出しとグローバルシャッタ読み出しの違いと課題について述べている。また、CCD イメージセンサでのグローバルシャッタ読み出し動作について記述し、CMOS イメージセンサでのグローバルシャッタ読み出し動作に関するノイズ、メモリーーク、寄生光感度 (Parasitic Light Sensitivity; PLS) の課題について考察し、これらの課題を解決するために画素内にグローバルシャッタ用の専用メモリを設ける構成が提案されていることを述べている。更に、画素内メモリを形成した場合に新たに生じる飽和電荷量の課題や、画素内メモリを形成した場合でも PLS が -100dB 程度であり改善の課題が残ること、PLS の課題があるために裏面照射型の画素構造にすることができないといったグローバルシャッタ CMOS イメージセンサの課題について述べ、これらの課題解決の手法として、3 次元積層構造を用いたグローバルシャッタ CMOS イメージセンサの実現性を検証し、3 次元積層構造を用いたグローバルシャッタ CMOS イメージセンサで達成可能な機能と性能を明らかにし、その設計論を確立することが本研究の目的であると論じている。

第 2 章では従来のグローバルシャッタ CMOS イメージセンサの画素数、飽和電荷量、ノイズ、PLS (Parasitic light sensitivity)、メモリーークの課題解決に向けて、裏面照射型のフォトダイオードを搭載した PD (Photo Diode) 基板と、CDS (Correlated Double Sampling) 機能を有した電圧読み出し後保持方式の画素内メモリ回

路を搭載したメモリ基板と、を積層した 3 次元積層型グローバルシャッタ CMOS イメージセンサを提案している。まず、3 次元積層型のグローバルシャッタ CMOS イメージセンサの画素構造について考察し、3 次元積層型グローバルシャッタ CMOS イメージセンサに適用可能な半導体 3 次元積層技術についてマイクロバンプ、金属直接接合、TSV (Through Silicon Via) の技術比較を行い、ウエハ製造工程での制約が少ないマイクロバンプ方式での接続が最も実現性が高いと論じている。また、3 次元積層型グローバルシャッタ CMOS イメージセンサに最適な画素内メモリ方式として FD 保持方式、電荷保持方式、電圧読み出し後保持方式、デジタル変換後保持方式について技術的な比較を行い、 $3.8\mu\text{m}$ セルの 4 つの画素に対し $7.6\mu\text{m}$ ピッチのマイクロバンプを設けて PD 基板とメモリ基板とを接続する 1600 万画素、400 万個のマイクロバンプを有した先進的な 3 次元積層型グローバルシャッタ CMOS イメージセンサの設計を行っている。設計した 3 次元積層型グローバルシャッタ CMOS イメージセンサの仕様を表 1 に、構成図を図 1 に示す。

表 1 3 次元積層型グローバルシャッタ CMOS イメージセンサの設計仕様

PD 基板プロセス	$0.18\mu\text{m}$ 1P6M
メモリ基板プロセス	$0.13\mu\text{m}$ 1P6M
チップサイズ	$20.1 \times 19.66\text{mm}$
画素アレイ領域	$17.51 \times 13.22\text{mm}$
画素数	4608 (H) \times 3480 (V)
画素サイズ	$3.8 \times 3.8\mu\text{m}$
読み出しレート	5fps
入力電圧	3.3V
画素アレイ領域内の接続電極数	4,008,960
接続電極ピッチ	$7.6\mu\text{m}$

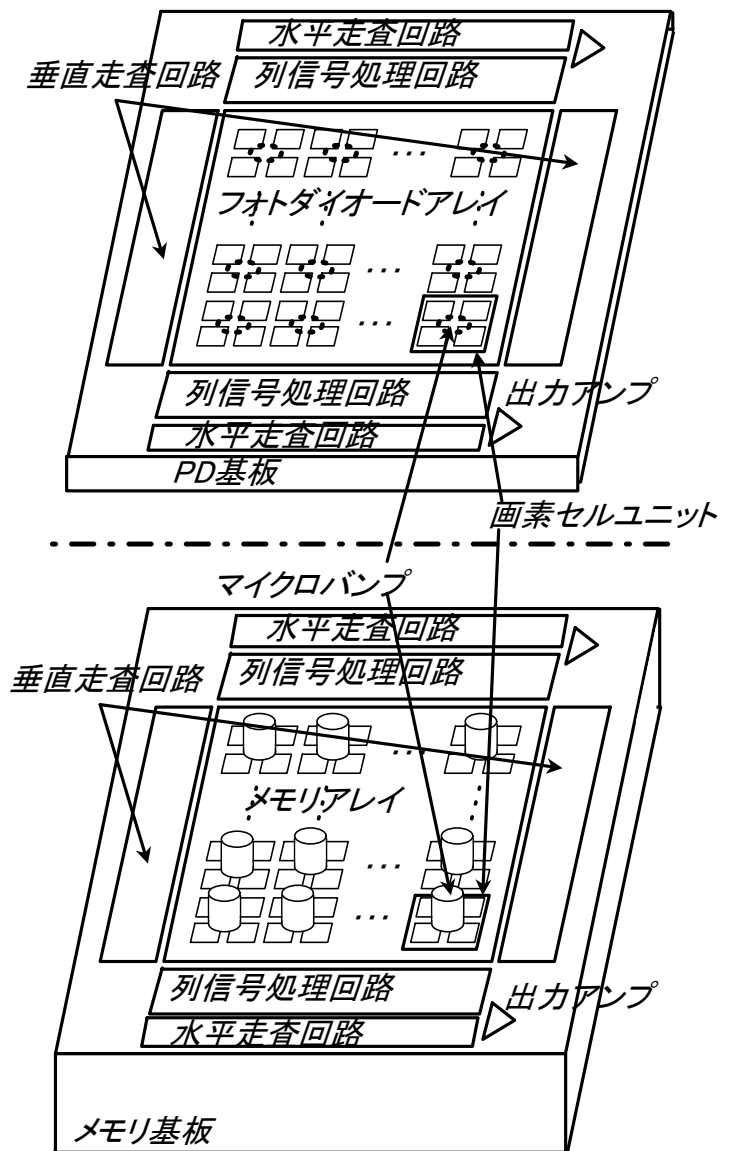


図 1 3 次元積層型グローバルシャッタ CMOS イメージセンサの構成図

第 3 章では 3 次元積層型グローバルシャッタ CMOS イメージセンサの試作フローについて述べ、試作したサンプルについて、断面構造やウエハ面内の接合ズレなどの物理的な観察を行い、また試作したサンプルを用いて

3次元積層プロセスによる飽和電荷量や感度などのイメージセンサ特性への影響の有無および400万個の画素内接続電極の接続歩留りについて信頼性試験を含めた測定を行い、マイクロバンプを用いた画素内接続の有効性を実証している。また接続歩留りについては、400万個の画素内接続を効率よく測定するための回路手法と、測定結果を基にした接続歩留りの改善について述べている。更に、設計した画素回路でのグローバルシャッタ機能および飽和電荷量、PLS、メモリリーク、ランダムノイズなどのグローバルシャッタ性能を確認し、飽和電荷量とPLSの性能において従来実現できなかった性能を達成した。特にフォトダイオードの感度 Q_{pd} と、メモリの寄生感度 Q_{fd} との比で定義される PLS に関しては図2に示す通り-180dBを超える性能を実現し、従来の-100dBを凌駕する性能を実証した。また、メモリリークやランダムノイズなどのグローバルシャッタ性能については、MIM (Metal Insulator Metal) 容量2層化によるメモリリークやランダムノイズ低減の方針を立案し、改善の見込みを得ている。更に変換ゲインの切り替えや、フレームレートの向上などの一般的な CMOS イメージセンサで行われている設計手法を取り入れることで改善される撮像性能について見積りを行い明らかにしている。

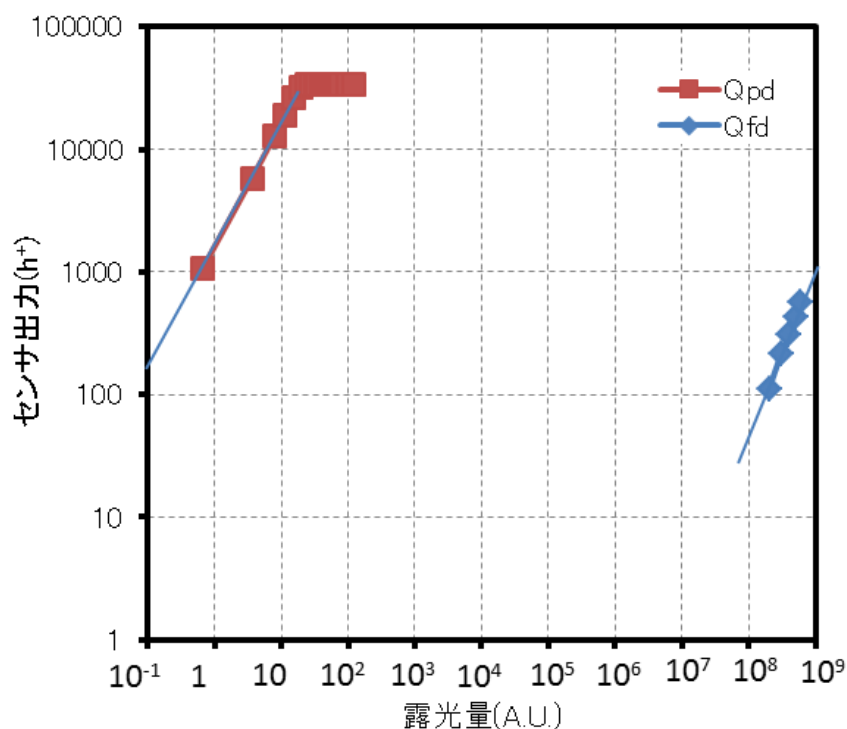


図2 フォトダイオードの感度 Q_{pd} とメモリの寄生感度 Q_{fd} の測定結果

4章では本研究で提案する3次元積層型グローバルシャッタ CMOS イメージセンサを用いたアプリケーションへの応用例として、10Kfps から 100Kfps 相当で 200 万画素の画像を 8 枚読み出すことができる高速撮影可能な回路構成を提案し、試作サンプルにて撮像動作を実証している。また、試作サンプルを高速撮影の撮像システムに適応する際に課題となる感度向上および取得画像枚数向上についての解決策の立案を行い、改善の見込みを得ている。更に、本研究で提案する 3 次元積層型グローバルシャッタ CMOS イメージセンサを用いたアプリケ

ーションへの別の応用例としてローリングシャッタとグローバルシャッタの同時読み出し動作について提案し、試作サンプルにて撮像動作を実証し、将来的な撮像システムへ適用する際に最適な読み出し方について論じている。

5章は結論である。

以上要するに、本研究により従来のグローバルシャッタ方式のCMOSイメージセンサの課題を解決し、先進的な機能を付加できる3次元積層型グローバルシャッタCMOSイメージセンサ技術の基礎を築いた。