

# イメージセンサと液晶表示素子を一体化した即時画像処理システム

著者	小柳 光正
URL	<a href="http://hdl.handle.net/10097/41437">http://hdl.handle.net/10097/41437</a>



イメージセンサと液晶表示素子を一体化した

即時画像処理システム

(課題番号 07405051)

平成7年度～平成8年度科学研究費補助金<基盤研究(A)(2)>研究成果報告書

平成10年度7月

研究代表者 小柳 光正

(東北大学大学院 工学研究科 教授)

平成7年度～平成8年度科学研究費補助金 <基盤研究(A)(2)>

## イメージセンサと液晶表示素子を一体化した

### 即時画像処理システム

#### 1. 研究組織

研究代表者：小柳光正	東北大学大学院 工学研究科	教授
研究分担者：江刺正喜	東北大学大学院 工学研究科	教授
柳 基鎬	東北大学大学院 工学研究科	助手

#### 2. 研究経費

平成7年度	15,500千円
平成8年度	4,500千円
計	20,000千円

#### 3. 研究発表

#### 4. 研究成果

謝辞

東北大学図書



00010132961

附属図書館

3. 研究発表

学会論文誌 (Regular Paper, Letter)

Authors	Title	Journal	Vol., [No] pp., Date
K-H.Yu Y.Kudoh T.Matsumoto S.Pidin M.Koyanagi	Development of Real-Time Microvision Systems Based on Three-Dimensional LSI Technology	Journal of Intelligent Material Systems and Structures,7	7(3) pp342-345 1996
T.Matsumoto M.Satoh K.Sakuma H.Kurino N.Miyakawa H.Itani M.Koyanagi	New Three-Dimensional Wafer Bonding Technology Using the Adhesive Injection Method	Jpn. J. Appl. Phys.	Vol. 37 pp1217-1221 Part 1, No.3B March 1998

学会発表、研究会、シンポジウム、セミナー (Proceeding, Extended Abstract, 予稿)

Authors	Title	Journal	Vol., [No] pp., Date
T.Matsumoto Y.Kudoh M.Tahara K.-H. Yu N.Miyakawa H.Itani T.Ichikizaki A.Fujiwara H.Tsukamoto M.Koyanagi	Three-Dimensional Integration Technology Based on Wafer Bonding Technique Using Micro-Bumps	Extended Abstracts of the 1995 International Conference on Solid State Devices and Materials, Osaka	LB-L6 pp1073-1074 1995
K.Hirano S.Kawahito T.Matsumoto Y.Kudoh S.Pidin N.Miyakawa H.Itani T.Ichikizaki H.Tsukamoto M.Koyanagi	A New Three- Dimensional Multiport Memory for Shared Memory in High Performance Parallel Processor System	Extended Abstracts of the 1996 International Conference on Solid State Devices and Materials, Yokohama	D-6-2 pp824-826 1996
K.-H. Yu T.Satoh S.Kawahito M.Koyanagi	Real-Time Microvision System with Three- Dimensional Integration Structure	Proc.IEEE Int.Conf. on Multisensor Fusion and Integration for Intelligent Systems	pp831-835 1996
T.Matsumoto M.Satoh K.Sakuma H.Kurino N.Miyakawa H.Itani M.Koyanagi	New Three- Dimensional Wafer Bonding Technology Using Adhesive Injection Method	Extended Abstracts of the 1997 International Conference on Solid State Devices and Materials, Hamamatsu	A-14-3 pp460-461 1997
H.Kurino T.Matsumoto K.-H. Yu N.Miyakawa H.Itani H.Tsukamoto M.Koyanagi	Three-Dimensional Integration Technology for Real Time Micro-Vision System	Proc. of the Intern. Conf. on Innovative Systems in Silicon	pp203-212 1997



国内学会発表

Authors	Title	Journal	Vol., [No] pp., Date
川人哲 工藤義治 松本拓治 田原宗弘 小柳光正 宮川宣明 猪谷彦太郎 市来崎哲雄 塚本颯彦	3次元集積化技術と マイクロ視覚情報処理 システム	応用物理学会	28a-Q-5 1996 春
福田和博 工藤義治 松本拓治 栗野浩之 小柳光正 宮川宣明 猪谷彦太郎 市来崎哲雄 塚本颯彦	An/In マイクロバンブ を用いた三次元積層化 技術	応用物理学会	28a-PB-29 1997 春
松本拓治 佐藤昌和 佐久間克幸 宮川宣明 猪谷彦太郎 栗野浩之 小柳光正	接着剤注入法を用いた 新しい3次元積層化 技術	応用物理学会	3a-E-4 1997 秋
佐久間克幸 松本拓治 李康旭 宮川宣明 猪谷彦太郎 栗野浩之 小柳光正	接着剤注入法を用いた 新しい3次元積層化 技術	応用物理学会	29a-N-2 1998 春

## 4. 成果報告

研究種目

科学研究費補助金 基盤研究(A)(2)

研究課題名

イメージセンサと液晶表示素子を一体化した即時画像処理システム

研究課題番号

07405051

### 1. 研究の背景

当該研究者らはこれまで異種材料や異種要素技術を集積した新しいマイクロ集積システムに関する研究を行ってきた。例えば光インターコネクションと集積回路技術を駆使した小型で超高速の新しい並列処理システムや特定用途向けの小型専用並列処理システム、更には、柔らかく動くマイクロ運動システムに搭載するためのマイクロセンサシステムなどである。また、これらの集積システムを実際に製作するために必要な要素技術に関する研究も行い、色々な要素技術分野で先駆的な成果を数多く上げてきた。例えば、システムの高速度の基本となる超高速の極微細素子や絶縁基板上に単結晶からなる高速の微細素子を形成する技術、素子を数多く集積した層を3次元(立体)的に積層化する技術、フォトファブ리케이션により非平坦面に立体的に微細加工を施す技術などの開発である。これらのマイクロ集積システムや要素技術に関しては国内外で高く評価されており、論文や雑誌、新聞等でも度々取り上げられている。

ところで、このようなマイクロ集積システムを用いると高速で高機能の情報処理が可能となるが、その高速性と高機能性をできるだけ生かそうとすると大きな問題となるのがシステム間の通信と入出力部におけるデータ処理である。特に入力データとして膨大な量を有する動画データなどを入力する場合にはデータの入力に時間がかかって、システム全体の性能がデータの入出力によって律速されるようになる。このようなシステムの入出力ボトルネックを解消するためには、2次元の動画をそのまま2次元情報として取り扱い、処理できるような新しい画像処理システムの開発が必須となる。

## 2. 目的

本研究では2次元の動画像をそのまま2次元画像情報として取り扱い、入出力画像間で複雑な演算処理をリアルタイムで実行できるような新しい画像処理システムを実現するための基本技術の開発とそのための画像処理手法を確立することを目的とした。このシステムは図1に示すように、イメージセンサと液晶表示素子を一体化したセル（スマートピクセル）を2次元状に配置したパネルから成る入出力層と、画像演算処理を行うための簡易的な画像プロセッサをアレイ状に配置したプロセッサ層を積層化した構成となっている。このシステムの例では、1個のプロセッサが複数個のピクセルからの画像信号を処理する。処理の内容としては、輪郭抽出、特徴抽出、画像構成、連想などの基本的な画像処理以外にリアルタイムの移動体追跡などの新しい高速画像処理も可能となる。本研究で提案するシステムの具体的な構造の断面図を図2に示す。図からわかるように画像処理は複数の単結晶 CMOS 回路層からなる。このような CMOS 回路は3次元集積化技術を用いて形成する。このようにして形成した CMOS プロセッサ上に反射用金属電極、フォトダイオードから成るスマートピクセルを形成する。ここで、反射用金属電極は入力光を反射するための反射板と液晶に画像表示信号を印加するための電極の両方を兼用している。また、最上層のシリコン基板層に形成した PN 接合は光信号検知器として働く。スマートピクセルの等価回路を図3に示す。さらに本研究では下層の画像処理層で初歩的な画像処理であるエッジ抽出を行うことを目指した。そのため本研究では以下の3項目の研究を行った。

- (1) 受光素子を混載した液晶表示素子の研究
- (2) 液晶表示素子と画像処理回路を積層するための3次元集積化技術の研究
- (3) 画像処理を効率的に行うための回路技術の研究

## 3. 研究成果

本研究の最終目標はイメージセンサと液晶表示を一体化した即時画像処理システムを構築することであるが、そのため基礎研究／開発として上記3項目について研究を進めたのでこれに沿って以下で成果を報告する。

- (1) 受光素子を混載した液晶表示素子の研究

本研究分野は以下の順で研究を進めたのでこの順を追って説明する。

- (1.1) 透過型 TN-LCD 液晶セルの試作
- (1.2) 反射型 TN-LCD 液晶セルの試作

### (1.3) 回路設計／試作

#### (1.1) 透過型 TN-LCD 液晶セルの試作

まず始めに図 4 に示す透過型 TN-LCD 液晶ディスプレイを試作した。試作は図 5 に示すようにガラス基板上に ITO 膜を形成、パターンニングを行う。配向膜塗布後、ラビング、スペーサーを散布する。基板周辺にシールを形成した後、ITO 膜を成膜、パターンニングしたガラス基板を張り合わせ、液晶を注入する。液晶注入部を封止した後、偏光板を張り付け完成となる。このように作成した透過型 TN-LCD 液晶ディスプレイの動作結果を図 6 に示す。図に示すように良好に表示することができた。

#### (1.2) 反射型 TN-LCD 液晶セルの試作

図 3 に示すようにセンサー及び、CMOS 回路をシリコン基板上に作成すると透過光が使えなくなる。そのため反射型 TN-LCD 液晶セル (図 7) を開発する必要がある。反射型液晶セルは明るさ、コントラストは落ちるものの透過型セルと同様に作成することができる。図 8 にその動作結果を示す。前述のように明るさ、コントラストは落ちるものの表示できることが確認できた。

#### (1.3) 回路設計／試作

液晶表示素子及び、受光素子を動作させるため、D フリップフロップを基本としたシフトレジスタ、ワード線ドライバー及び、受光信号を増幅するためのセンスアンプを設計した。図 9 にセル及び、周辺回路を示す。また、受光回路の等価回路及び、受光信号を増幅するためのカレントミラー回路を図 10、11 に示す。これらの回路の SPICE シミュレーション結果を図 12 に示す。図 10、図 12 において WL はシフトレジスタの入力信号、RES はシフトレジスタのリセット信号、CLK1 はシフトレジスタのクロックパルス、CLK2 はセルアクセス用クロック信号、QW1、QW2 は 1、2 段目のシフトレジスタの出力信号を表す。更に、WL1、WL2 は 1、2 列目のワードラインに印可される走査パルス電圧、Oa1、Oa2 はセンシング動作における出力信号を表す。シミュレーションからフォトダイオードにフォト・カレントとして 5nA、2nA、3nA、4nA の電流が流れると信号に応じた良好な出力電圧 Oa1、Oa2 を読み出せることを確認できた。

液晶表示部の回路構成を図 13 に示し、その SPICE シミュレーション結果を図 14 に示す。同様にこの結果から良好に書き込みができることを確認できた。

設計したセンサ／表示素子一体型画像処理システムのレイアウトを図 15 に示す。

中央に 50×50 のセルと、周辺に WL 駆動回路、増幅回路等が配置されている。

このシステムの仕様を表 1 にまとめた。図 16 に示すような 1.2  $\mu$ m CMOS 技術を使ってこのシステムをベンチャー・ビジネス・ラボラトリーにおいて試作している。

## (2) 液晶表示素子と画像処理回路を積層するための3次元集積化技術の研究

我々が提案する即時画像処理システムの画像処理部の断面構造を図17に示す。イメージセンサと液晶表示素子を一体化した即時画像処理システムでは最上層にイメージセンサ/液晶表示素子/駆動回路層が形成されるが、この図ではその層を除いて示している。図18に三次元積層画像処理LSIの製作工程を示す。この工程に従ってSOIウェーハを用いた新しい埋め込み配線の形成方法、ウェーハの薄層化、更には接着剤注入法によるウェーハ張り合わせ方法について説明する。

### (2.1) SOIウェーハを用いた新しい埋め込み配線の形成方法

我々の提案する三次元LSI製作工程ではウェーハの張り合わせを行う前に、張り合わせられる方のLSIウェーハに予め埋め込み配線を形成しておく。この埋め込み配線は、シリコン基板に深溝(トレンチ)を形成し溝内を酸化した後、不純物をドーブした多結晶シリコンを埋め込むことによって形成する。LSIウェーハには $0.5\mu\text{m}\sim 1\mu\text{m}$ の厚さの埋め込み酸化膜を有するSOIウェーハを用いる。埋め込み酸化膜上の単結晶シリコンの厚さは $20\mu\text{m}\sim 50\mu\text{m}$ である。埋め込み配線はSOIウェーハの埋め込み酸化膜を貫通するように形成される。埋め込み配線が形成されたLSIウェーハは、その後研磨によって埋め込み配線の底部が露出するまで薄くされるが、研磨は埋め込み酸化膜のところで自動的に停止する。その後、露出した埋め込み配線の部分にリフトオフ法を用いてAu/Inのマイクロバンプを形成する。マイクロバンプを形成した後、位置合わせを行った。

下地となるLSIに垂直方向配線を埋め込むためのシリコンの深溝(トレンチ)形成に新しい方式のICP(誘導結合型プラズマエッチング)を採用し、シリコン基板に直径 $3\mu\text{m}$ 、深さ $100\mu\text{m}$ の深溝を再現性良く形成する条件を見出した。また、内部を酸化した深溝に低抵抗の多結晶シリコンを被覆性良く形成する条件も見出し、埋め込み配線形成のための最適条件を決定した。シリコン・トレンチ形成後のSEM観察写真を図19に示す。図には、トレンチ内を酸化してそこに低抵抗の多結晶シリコンを埋め込んだ後のSEM写真も示してある。図からわかるように、非常に良好な埋め込み配線が形成できている。

### (2.2) ウェーハの薄層化

これまで、機械研磨とCMP(Chemical Mechanical Polishing)を用いて6インチ・ウェーハに対して $30\pm 1\mu\text{m}$ と非常に均一にウェーハを薄層化する条件を見出ししている。今回は埋め込み配線用のトレンチを形成した後にウェーハを裏面からの研磨により薄層化することを試みた。研磨後のウェーハ裏面の顕微鏡写真を図20に示す。図から、研磨によってトレンチ底部が露出していることがわかる。このように、研磨によってトレンチ底部を露出させることは容易であるが、問題は研磨するシリコン厚の制御である。研磨しすぎても、また研磨が不足しても埋め込み配線が埋め込み配線として使えなくなって

しまう。そこで、この問題を解決するために、薄層化するウェーハに SOI ウェーハを用いることとした。SOI ウェーハの埋め込み酸化膜を CMP のストッパーに使うことによって残存するシリコン層の厚さを一定になるように制御する。したがって、埋め込み配線は予め、残存するシリコン層と埋め込み酸化膜を貫通するように形成されていなければならない。また、埋め込み配線の形成深さは  $50\mu\text{m}$  程度なので、使用する SOI ウェーハの SOI (単結晶シリコン) 膜厚も  $50\mu\text{m}$  程度とした。

### (2.3) ウェーハ張り合わせ方法

これまで、ウェーハの張り合わせは、埋め込み配線部に Au/In から成るマイクロバンプを形成した後全面に液体接着剤を均一に塗布し、これによって張り合わせを行っていた。この方法では、ウェーハ張り合わせ時に上下のマイクロバンプ間に接着剤が存在しているため、この接着剤を押し出す必要がある。これまで、ウェーハ同士を位置合わせを行って接触させた後、ウェーハに均一な圧力を加えてバンプ間の接着剤を押し出す方法を用いていた。このために、専用のウェーハ・アライナも開発して、これを用いて張り合わせを行っていた。しかし、ウェーハサイズが大きくなるとウェーハに加える圧力が著しく大きくなるため、今回接着剤注入法を用いた新しいウェーハ張り合わせ法を新たに開発した。このウェーハ張り合わせ法では図 2 1 に示すように、Au/In マイクロバンプで仮接着させたウェーハを真空中に導入し、真空中でその一部を液体接着剤に浸した状態で真空を破る。2 枚のウェーハ同士は接着剤に浸された部分を除いては周辺部が封止されているので、真空を破ると圧力差によって 2 枚のウェーハの間隙に接着剤が注入される。この手法より張り合わせたウェーハ断面 SEM を図 2 2 に示す。図より 2 枚のウェーハが良好に接着していることがわかる。

### (3) 画像処理を効率的に行うための回路技術の研究

我々が開発しようとしているセンサ/表示素子 1 体化システムの三次元積層画像処理 LSI 部を簡略化して図 2 3 に示す。この画像処理 LSI はイメージセンサ、アンプ、AD コンバータ、データラッチ・レジスタ、プロセッサアレイ、出力回路などから成る層を多層に積層化した構造をもっている。画像データの処理は各ピクセルごとに行われ、層と垂直方向に上から下へとデータが処理され、最終的に最上層の表示部へと戻される。このような処理は SIMD 的に全ピクセルで同時並列的に行われる。しかし、ピクセル全部を同時並列的に動作させるためにはピクセルごとにプロセッサや AD コンバータを付加する必要があるが、三次元積層化構造を用いてもこれを実現するのは難しい。そこで、図 2 4 に示すように、64 個のピクセルを 1 つにまとめて処理ユニットとし、この処理ユニットを同時並列的に動作させるようにしている。処理ユニット内では図 2 5 に示すように、データは逐次的に処理される。しかし、その動作は一部パイプライン的に処理できるのでその分だけ高速化される。画像の一画面はこのような処理ユニットの集合として構成

されるが、例えば  $640 \times 480$  ピクセルから成る VGA では  $80 \times 60$  個の処理ユニットが同時並列的に動作することとなる。この場合、隣接する処理ユニット間でのデータ処理に関しては、図 2 6 に示すように、処理ユニット周辺部にオーバーラップ領域を設けて、処理ユニットの端の方では隣接した処理ユニットのデータを使いながら演算できるようにしている。このような処理ユニットの構成を図 2 7 にブロック図で示す。このブロック図からも明らかなように、処理ユニット内ではイメージセンサ (PD) から送られてきた信号を AD 変換した後、レジスタに一旦蓄える。その場合、ピクセル全部のデータをレジスタに蓄えようとする処理ユニットは  $8 \times 8$  ピクセルから成っているため 1 ピクセル当たりのデータ量を 4 ビットとしても 1 処理ユニット当たり 256 ビットのレジスタが必要となる。これだけのレジスタを  $8 \times 8$  ピクセルに相当する面積に収めることは難しいので、今回は図 2 8 に示すように、AD コンバータから出力されるデータを 1 次元データの流れとして捉え、一回の演算処理に必要なデータを蓄えるのに必要なレジスタのみを用意することでレジスタの容量を大幅に減らしている。このような処理ユニットにおけるデータ処理は図 2 9 に示すように、一部パイプライン的に行われる。ALU はこのようにして送られてきたデータのうちから必要なデータを選択して演算処理を実行する。

以上に述べた処理ユニットに関して、 $2 \times 2$  の処理ユニットから成るテストチップを設計、試作した。三次元集積化技術はトータル技術としてはまだ完成していないため、今回は従来の 2 次元 LSI 技術を用いて試作した。ただ、このテストチップはその一部を修正するだけで、三次元 LSI テストチップとしてセンサ/表示素子一体化システムに実装できる。試作したテストチップの顕微鏡写真を図 3 0 に示す。1 ユニットの  $8 \times 8$  のピクセルから成っているため、今回試作したテストチップは総計  $16 \times 16$  のピクセルをもつこととなる。ただし、今回のテストチップにはイメージセンサは搭載していないので、画像処理信号はチップ外部から入力することになる。チップの動作波形を図 3 1 に示す。この波形はエッジ抽出のためのラプラス演算を実行させた時の測定波形である。4 ユニットの並列に動作させているが、先に述べた並列パイプライン動作が正しく実行されていることがわかる。実際に、図 3 2 a) に示すような 2 値の入力画像に対してエッジ抽出を行ってみると、図 3 2 (b) に示すように、良好にエッジ抽出が行われることを確認できた。今後は、三次元構造のテストチップを試作して同様の動作確認を行う。

センサ/表示素子一体型即時画像処理システムをつくるための基本技術である、液晶技術、3 次元集積化技術及び、回路技術の開発にはほめどがついた。今後これらの技術を組み合わせ早急に動作試験を行う予定である。

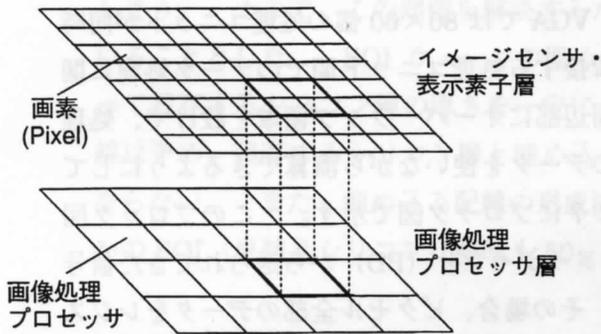


図1. 画像処理システムの構成

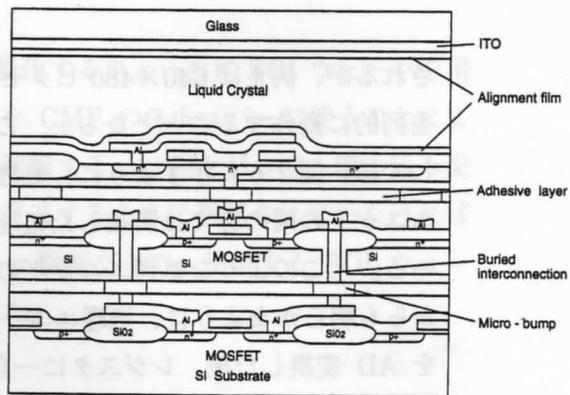


図2. センサ/液晶素子一体型システムの構造

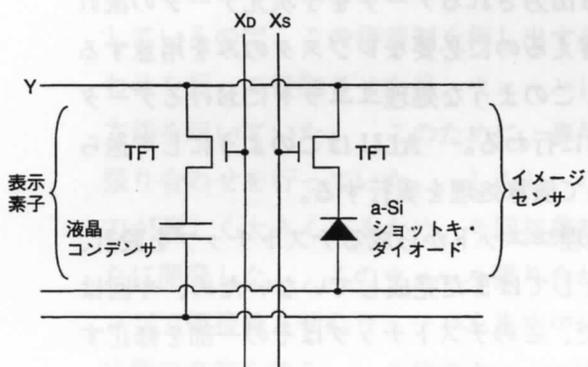


図3. スマートピクセル等価回路

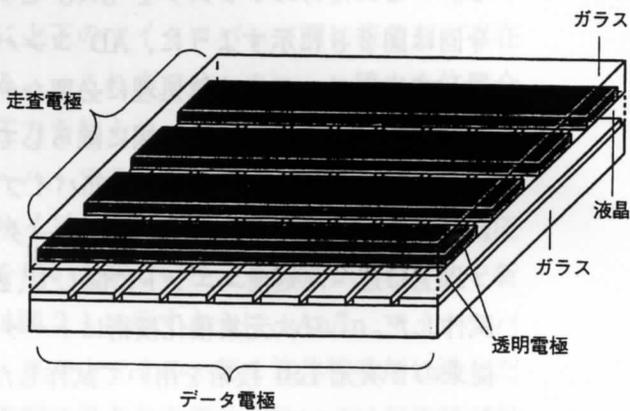


図4. 単純マトリクス液晶パネルの構造

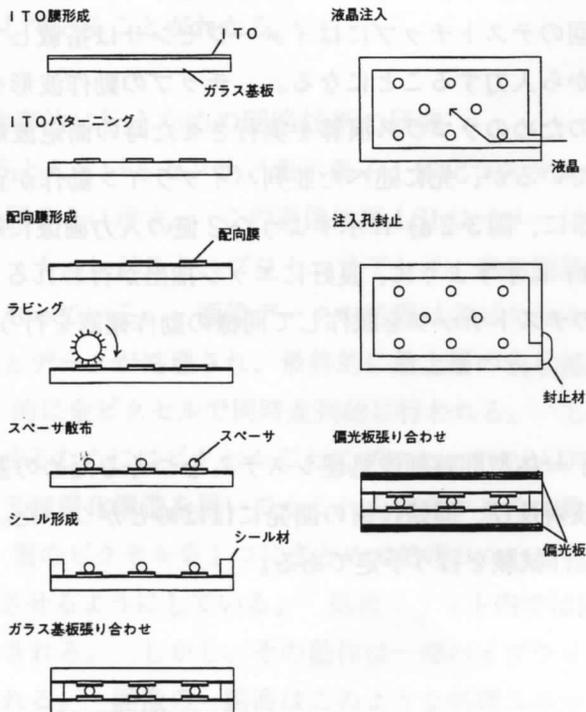
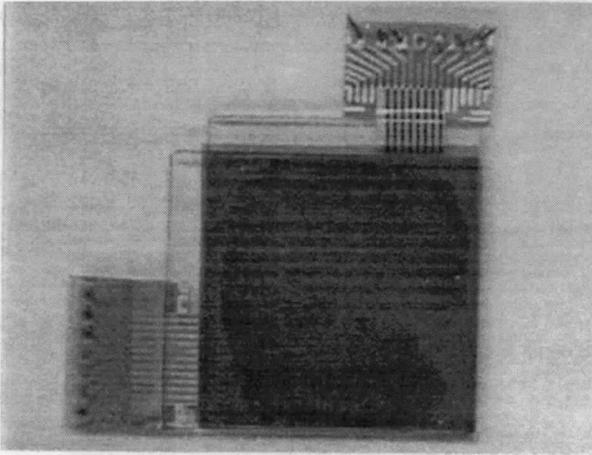
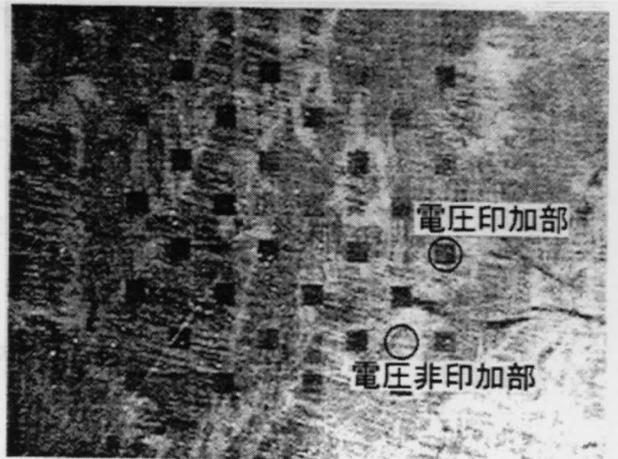


図5. TN-LCDのプロセスフロー



(a) 全体写真



(b) 液晶セル

図6. 透過型液晶表示素子

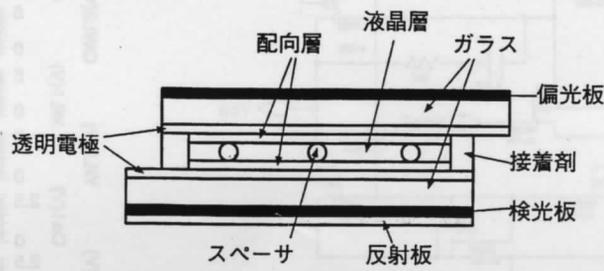
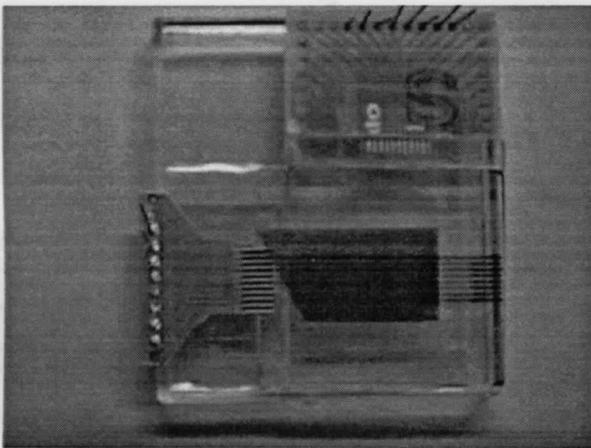
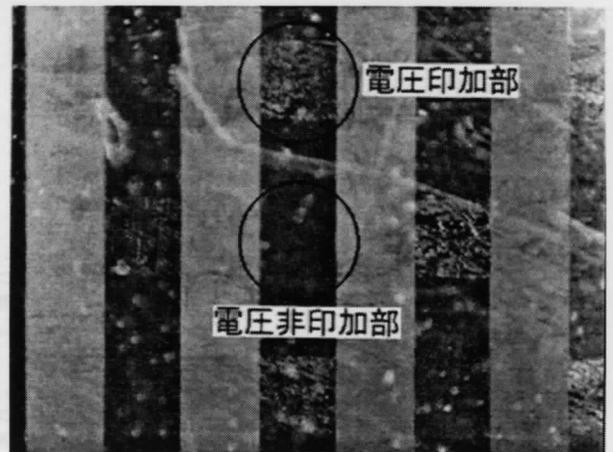


図7. 液晶パネルの基本構造



(a) 全体写真



(b) 液晶セル

図8. 反射型液晶表示素子

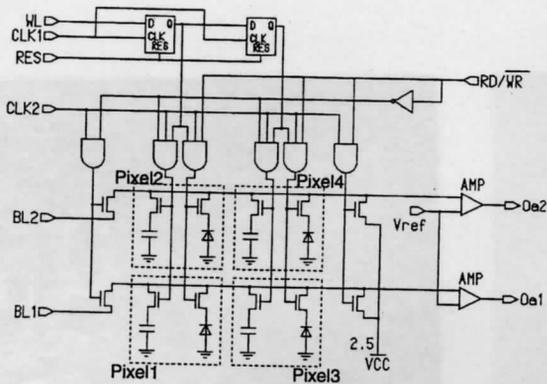


図9. センサ/表示素子一体型画像処理システムの回路

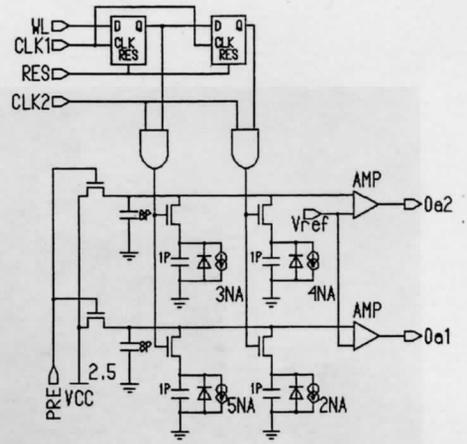


図10. 画像処理システムのイメージセンサ部の回路

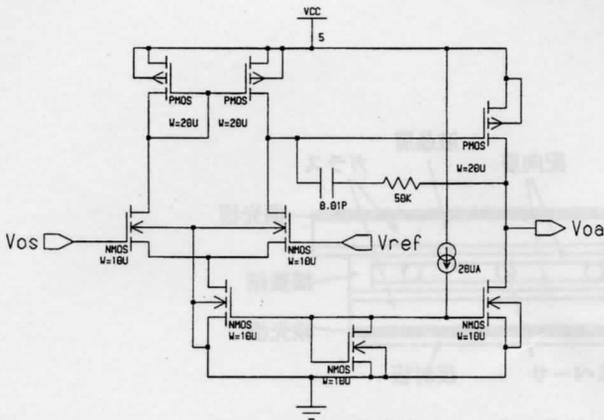


図11. カレントミラーセンスアンプ

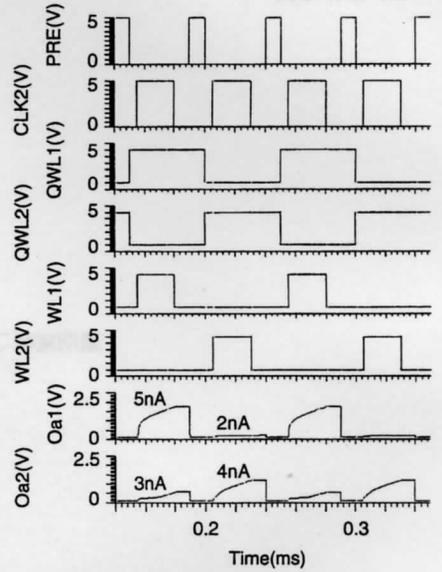


図12. イメージセンサ部のタイミングチャート

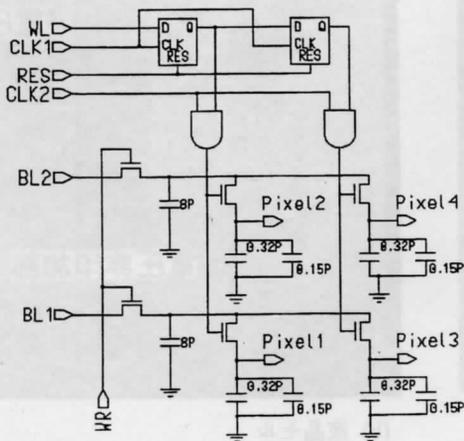


図13. 画像処理システムの液晶表示部の回路

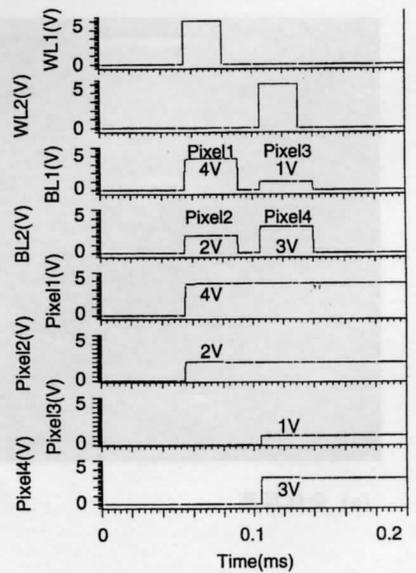


図14. 液晶表示部のタイミングチャート

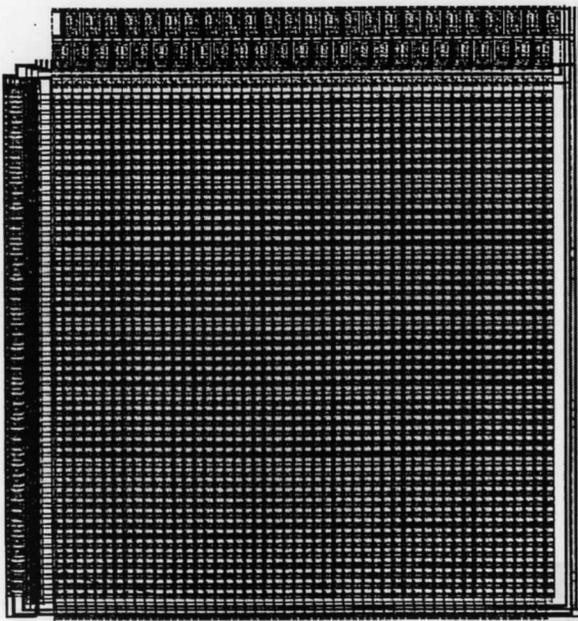


図15. センサ/表示素子一体型画像処理システムのレイアウト図

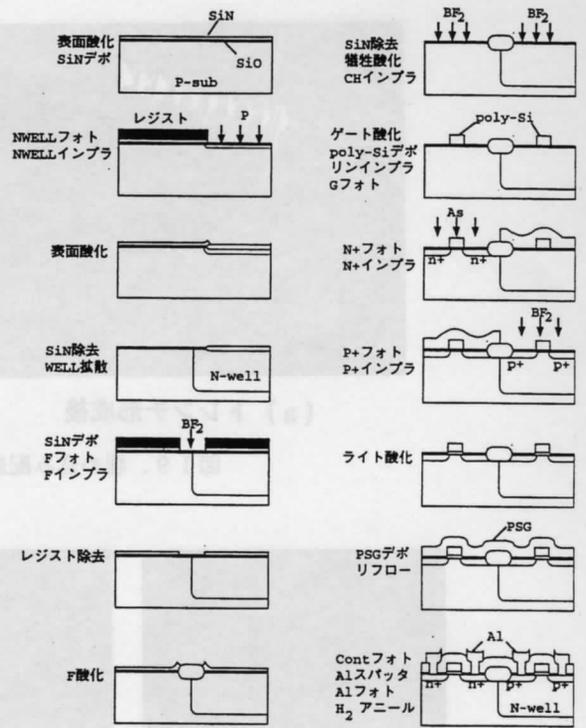


図16. プロセスフロー

画面サイズ	対角 2inch
画素数	50 × 50 画素
画素ピッチ	500 $\mu$ m × 500 $\mu$ m
画素サイズ	400 $\mu$ m × 400 $\mu$ m
センサ部	n <sup>+</sup> -p フォトダイオード (400 $\mu$ m × 150 $\mu$ m)
表示部	液晶 (400 $\mu$ m × 250 $\mu$ m)
ビットライン	Al (W = 30 $\mu$ m, L = 36mm)
ワードライン	Al (W = 30 $\mu$ m, L = 36mm)
スイッチング素子	NMOS (W/L = 50/10 $\mu$ m)

表1. センサ/表示素子一体型画像処理システムの仕様

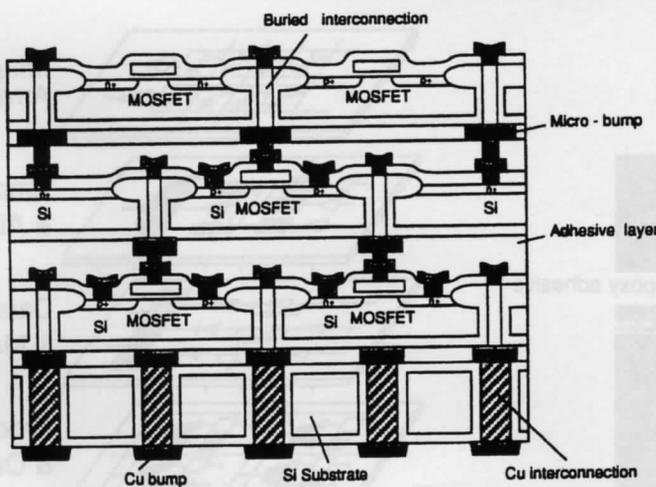


図17. 三次元積層画像処理LSIの断面構造

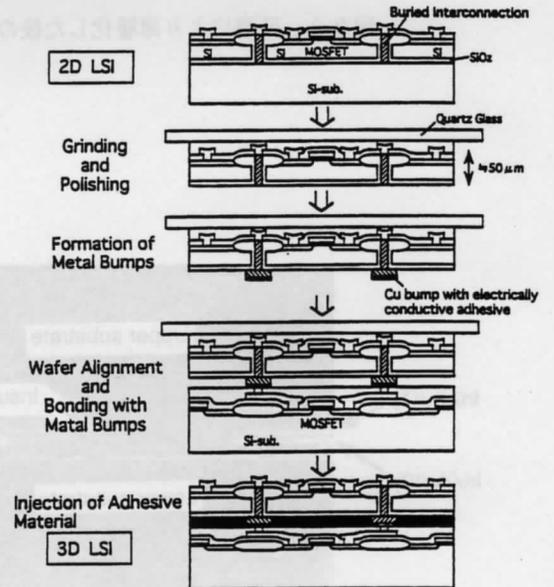
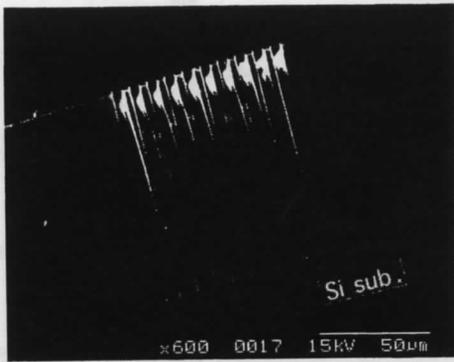
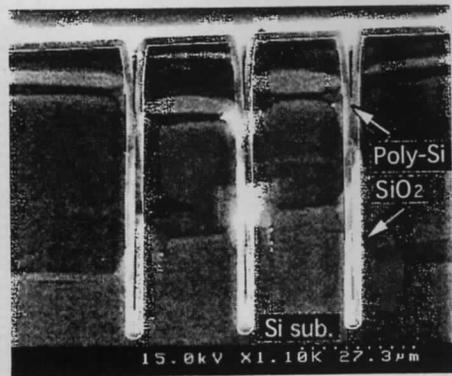


図18. 三次元LSIの製作フロー

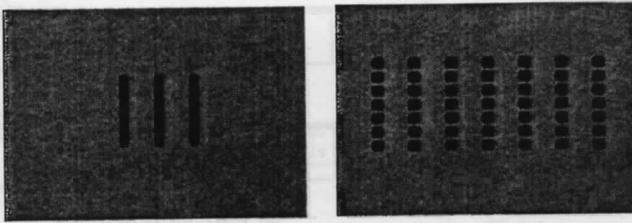


(a) トレンチ形成後

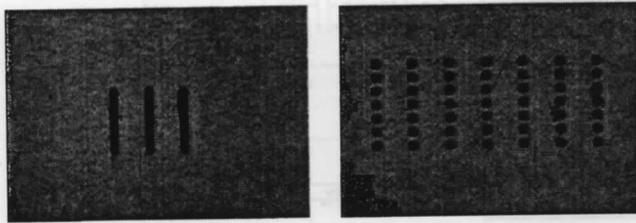


(b) Poly-Si埋め込み後

図19. 埋め込み配線用シリコントレンチ配線のSEM観察写真

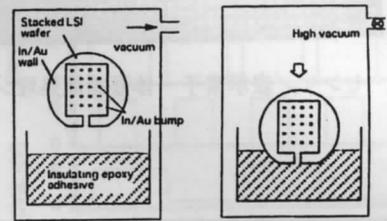


(a) ウェーハ表面



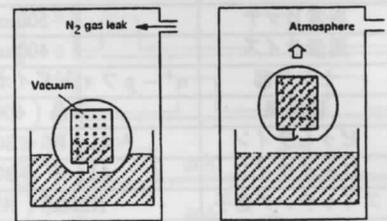
(b) ウェーハ裏面

図20. 研磨により薄層化した後のウェーハ顕微鏡写真



(a)

(b)



(c)

(d)

図21. 接着剤注入法の手順

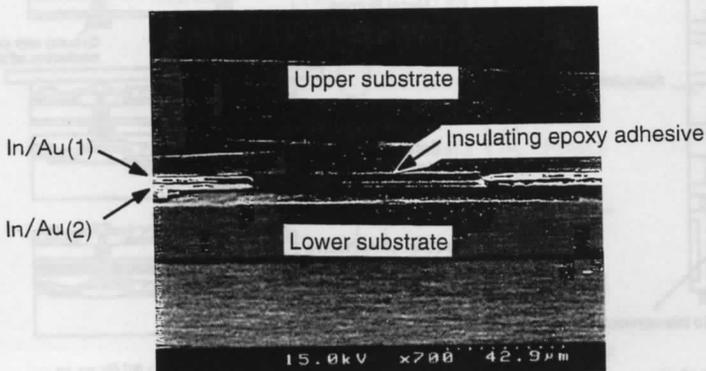


図22. 接着剤注入法を用いて張り合わせた後のSEM断面観察写真

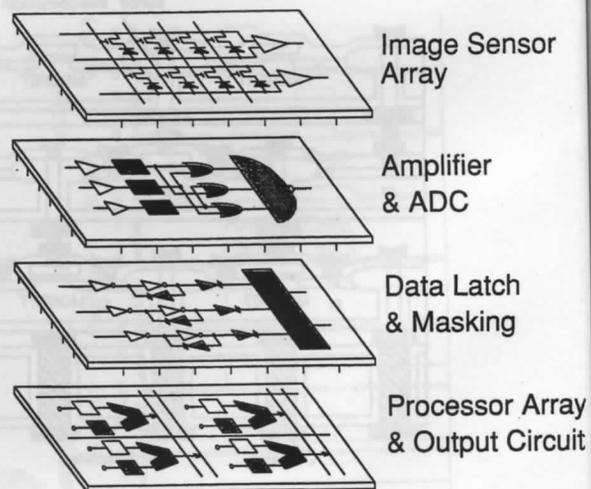


図23. 三次元積層画像処理システムの構成

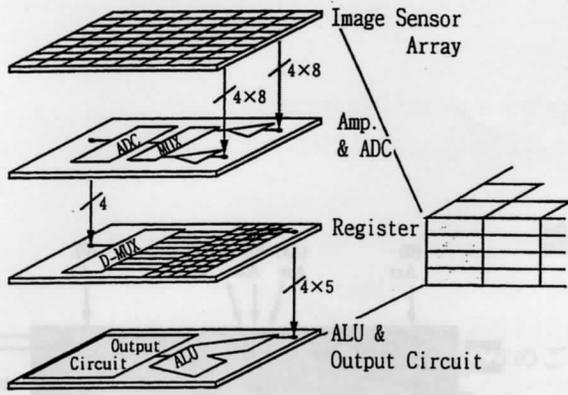


図 24. 画像処理ユニットの構成

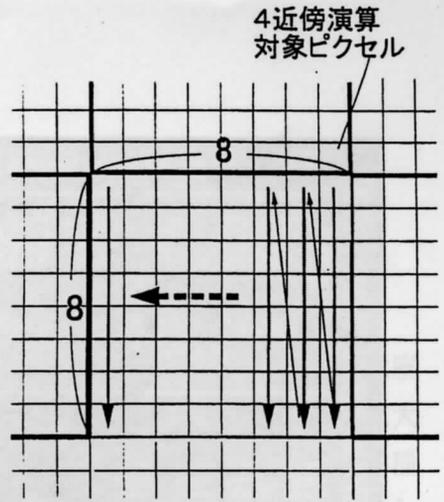


図 25. ユニット内での画像処理

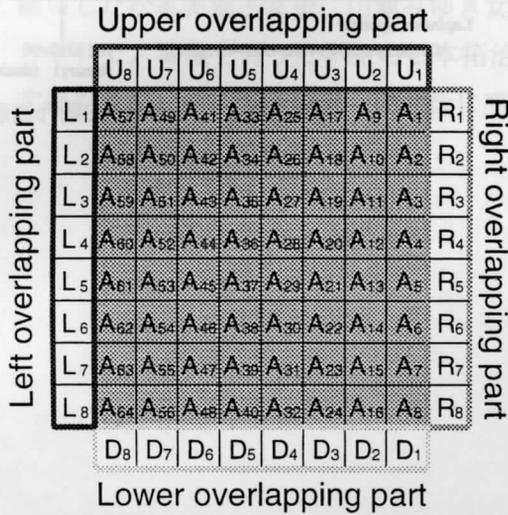


図 26. 処理ユニットの周辺オーバーラップ領域

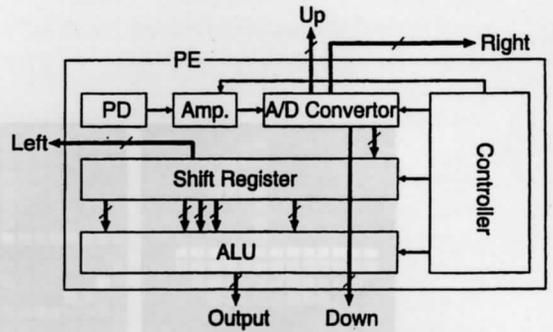


図 27. 処理ユニットのブロック図

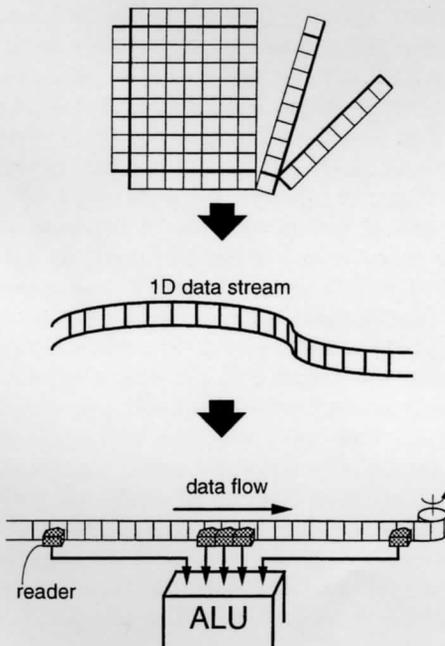


図 28. ユニット内でのデータ処理の流れ

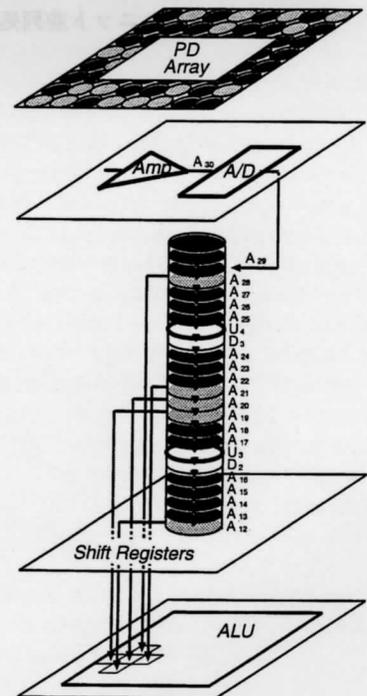


図 29. 処理ユニットのパイプライン動作

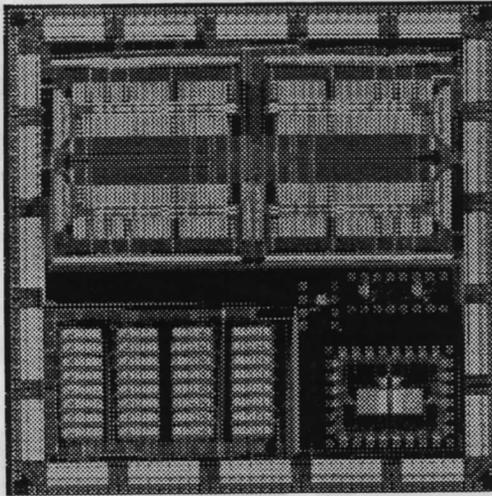


図30. 画像処理テストチップの顕微鏡写真

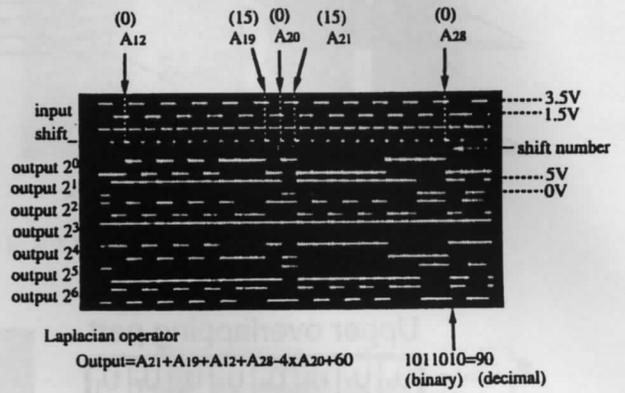
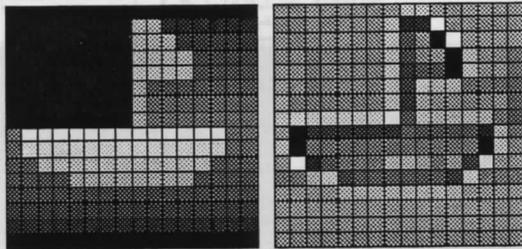


図31. 画像処理テストチップの動作波形



(a) 入力パターン (b) 出力パターン

図32. テストチップによるエッジ抽出処理  
 (4ユニット並列処理による)

## Three-Dimensional Integration Technology Based on Wafer Bonding Technique Using Micro-Bumps

論文目録

### 謝 辞

本研究を遂行するにあたり多くの方のご支援を頂きました。本研究の試作は江刺研究室及び、東北大学ベンチャー・ビジネス・ラボラトリーを利用して行われました。東北大学ベンチャー・ビジネス・ラボラトリーの関係者、日頃の施設維持を担当する東北大学稲村技官及び、ポスドクの人々に感謝致します。また会計/事務、書類のとりまとめをお願いした松本美穂子女史、山浦みゆき女史に感謝します。

プロセス開発を行った学生の松本拓治君、佐藤昌和君、廣瀬明紀君、河江大輔君、平井文靖君及び、ポスドクの張 波萍氏に感謝します。

添付文献

- 1) M.Koyanagi *et, al* "Three-Dimensional Integration Technology Based on Wafer Bonding Technique Using Micro-Bumps" Extended Abst. 1995 Int. Conf. on Solid State Devices and Materials pp1073-1074 (1995)
- 2) M.Koyanagi *et, al* "A New Three-Dimensional Multiport Memory for Shared Memory in High Performance Parallel Processor System" Extended Abst. 1996 Int. Conf. on Solid State Devices and Materials pp824-826 (1996)
- 3) M.Koyanagi *et, al* "Development of Real-Time Microvision System Based on Three-Dimensional LSI Technology" Journal of Intelligent Material Systems and Structures pp342-345 (1996)
- 4) M.Koyanagi *et, al* "New Three-Dimensional Wafer Bonding Technology Using Adhesive Injection Method" Extended Abst. 1997 Int. Conf. on Solid State Devices and Materials pp460-461 (1997)
- 5) M.Koyanagi *et, al* "Three-Dimensional Integration Technology for Real Time Micro-Vision System" Proc. of the Intern. Conf. on Innovative Systems in Silicon pp203-212 (1997)
- 6) M.Koyanagi *et, al* "New Three-Dimensional Wafer Bonding Technology Using the Adhesive Injection Method" Jpn. J. Appl. Phys. Vol.37 pp1217-1221 (1998)
- 7) M.Koyanagi *et, al* "New Three Dimensional Integration Technology for future System-on-Silicon LSIs" IEEE International Workshop on Chip-Package Codesign CPD '98 pp96-103

本報告書収録の学術雑誌等発表論文は本ファイルに登録していません。なお、このうち東北大学在籍の研究者の論文で、かつ、出版社等から著作権の許諾が得られた論文は、個別に **TOUR** に登録しております。