

# 配線ボトルネックフリー2線式多値デジタルコン ピューティングVLSIシステム

著者	亀山 充隆
URL	<a href="http://hdl.handle.net/10097/41516">http://hdl.handle.net/10097/41516</a>



配線ボトルネックフリー2線式多値デジタルコン  
ピューティング VLSI システム

研究課題番号 12480064

平成12年度～平成14年度科学研究費補助金(基盤研究(B)(2))

研究成果報告書

平成15年4月

研究代表者 亀山 充隆

東北大学大学院情報科学研究科

配線ボトルネックフリー2線式多値デジタルコン  
ピューティング VLSI システム

研究課題番号 12480064

平成12年度～平成14年度科学研究費補助金(基盤研究(B)(2))

研究成果報告書

平成15年4月

研究代表者 亀山 充隆

東北大学大学院情報科学研究科

# 平成12年度～平成14年度科学研究費補助金 (基盤研究(B)(2)) 研究成果報告書

## 1. 研究課題

配線ボトルネックフリー2線式多値デジタルコンピューティング  
VLSI システム

研究課題番号 12480064

## 2. 研究代表者

亀山 充隆 (東北大学大学院情報科学研究科 教授)

## 3. 研究分担者

羽生 貴弘 (東北大学電気通信研究所 教授)

## 4. 研究経費 (すべて直接経費のみ)

平成12年度	2,900	千円
平成13年度	2,800	千円
平成14年度	2,200	千円
計	7,900	千円

# はしがき

集積能動素子自体のスイッチング時間遅れよりも、内部配線の複雑さに起因する性能劣化が避けられない状況になりつつある。また、メモリと演算部が完全に分離したアーキテクチャでは、メモリ・演算部間のデータ転送に限界が生じることになる。このような状況下においても数 GHz クロック周波数で動作する高速・低電力 VLSI プロセッサのための高性能回路技術の開発が望まれている。本研究では、このような問題を解決するための新しい方法として、高い電流駆動能力を有する差動対回路技術を徹底的に活用した高性能多値 VLSI システムを考案し、その有用性を実証した。また、高並列性を有するハードウェアアルゴリズム、演算と記憶を一体化した多値ロジックインメモリ VLSI アーキテクチャ、低電力・高速多値集積回路などに関する研究を行い、信号の多レベル化に基づく多値集積回路の有用性を実証し、多値演算集積回路チップファミリを形成する基盤技術を開発することができた。以下に、その主要な成果を列挙する。

## 1. 世界最高性能の多値集積回路の開拓

カレントミラーと差動対回路により構成される電流モード多値集積回路を解析した。これにより、カレントミラーの入力に適切なバイアス電流を重畳すると共に、入力電圧振幅をスイッチング速度を損なわない最小電圧値となるように設定することにより、大幅な高性能化が達成できる方法を考案した。

また、電流モード多値集積回路のさらなる高性能化のために、1 個の MOS トランジスタによる電流・電圧変換に基づき、全てのスイッチング動作を差動対回路のみで行うフルソースカップルドロジック多値集積回路とその最適設計法を提案している。0.35  $\mu$  m CMOS に基づく基本回路の評価を行い、カレントミラーを用いた同等機能の電流モード多値集積回路と比較して消費電力を半減できることを実証した。

さらに、全ての差動対回路を 2 線相補入力対で駆動する 2 線式フルソースカップルドロジック多値集積回路を提案し、1 線入力駆動の場合と比較して電流駆動能力を大幅に向上できることを明らかにした。0.18  $\mu$  m CMOS に基づくシミュレーションを行った結果、同一消費電力の下で 1 線駆動方式と 2 線駆動方式を比較して、1.3 倍程度の高速化が達成されることを示すことができた。これは、低電圧振幅動作に有用な回路技術である。

フルソースカップルドロジック多値集積回路を用いた細粒度パイプライン VLSI システムへの応用も考察した。電圧入力信号が低振幅となることに着目し、パストランジスタ 1 個を付加したダイナミック記憶に基づくパイプラインレジスタを考案し、高性能化に有用であることを示した。0.18  $\mu\text{m}$  CMOS に基づくシミュレーションを行った結果、2 値 CMOS ゲートを用いた同等機能演算回路と比較して、1.6 倍程度の高速化が達成されることを明らかにすることができた。

低電力化をさらに推進する回路技術として、ドミノ論理に基づく低消費電力化ソース結合形回路も考案した。すなわち、Precharge-Evaluate 論理を活用すると、電源からグランドへの貫通電流が生じないため、低消費電力化に有効となる。また、電流・電圧ハイブリッドモードロジックインメモリ多値集積回路の開発にも成功した。電流モード回路の最大の特長は線形加算が結線により行えることであるが、パストランジスタネットワークなどの電圧モード回路も適宜用いることにより、高性能かつ小型な集積回路を構成することができる。このためには電圧-電流変換回路と電流・電圧変換回路が必要になるため、これらの回路の構成法を考察した。さらに、電荷記憶をフローティングゲート MOS トランジスタで行うことにより、記憶と演算とを一体化するロジックインメモリアーキテクチャを検討し、ステレオビジョン VLSI プロセッサへ応用したときの性能評価を行った。フローティングゲート MOS トランジスタを利用したロジックインメモリ VLSI においても、ソース結合形回路の適用が有用である。すなわち、記憶機能が分散されたパストランジスタ論理においても、ソース結合形回路を利用した高性能化を検討した。これらの基本回路の設計・試作を行い、良好に動作することを確認した。

## 2. 強誘電体デバイスを用いたロジックインメモリアーキテクチャ

強誘電体キャパシタを用いた不揮発性ロジックインメモリ回路を提案した。強誘電体キャパシタに印加する入力電位差に応じて特定の残留分極状態遷移が起こることに着目した機能パスゲートの構成法を与えることができた。さらに、非破壊読出し動作のためのプリチャージ方式を考案した。0.6  $\mu\text{m}$  CMOS / 強誘電体プロセスにより基本回路の試作を行った結果、同等機能の CMOS 回路のみによる構成と比較して、面積はもとよりリーク電流などに起因する消費電力の大幅な減少が可能となることを明らかにした。応用例として完全並列形連想メモリの評価を行い、大幅な高性能化が達成できることを実証した。

以上のような提案 VLSI は、高性能専用 VLSI の実現のみならず、記憶機能と演算機能を一体化して通信ボトルネックを極限まで減少させる新しい FP

GAアーキテクチャの構築法や、演算回路と記憶回路への供給電源を統一的に制御できる新しい低消費電力VLSIシステムの構成法、電流モード多値回路との融合による算術演算回路のさらなる高性能化、高性能VLSIシステム実現に向けた新しい機能デバイス開発への指針を提示するなど、次世代超高性能VLSIシステム実現へ向けた革新的な基盤技術となり得る可能性があり、ここに報告する次第である。

## 研究発表

### (1) 学会誌等

- 池司, 羽生貴弘, 亀山充隆, “2線式電流モード多値論理に基づくセルチェックVLSIシステム”, 電子情報通信学会論文誌 C, J83-C, 4, pp. 318-325 (2000).
- Takahiro Hanyu, Hiromitsu Kimura and Michitaka Kameya “DRAM-Cell-Based Multiple-Valued Logic-in-Memory VLSI with Charge Addition and Charge Storage”, IEEE Proceedings of the 30th International Symposium on Multiple-Valued Logic, pp. 423-429 (2000).
- Takahiro Hanyu, Tsukasa Ike and Michitaka Kameyama, “Low-power Dual-Rail Multiple-Valued Current-Mode Logic Circuit Using Multiple Input-Signal Levels”, IEEE Proceedings of the Twenty-Ninth International Symposium on Multiple-Valued Logic, pp. 382-387 (2000).
- Shunichi Kaeriyama, Takahiro Hanyu and Michitaka Kameyama, “Arithmetic-Oriented Multiple-Valued Logic-in-Memory VLSI Based on Current-Mode Logic”, Proceedings of the 30th IEEE International Symposium on Multiple-Valued Logic, pp. 438-443 (2000).
- 羽生貴弘, 亀山充隆, “2色2線式符号化に基づく非同期電流モード多値VLSIシステム”, 電子情報通信学会論誌 C, Vol. J83-C, No. 6, pp. 463-470 (2000).
- 木村啓明, 羽生貴弘, 亀山充隆, “強誘電体デバイスを用いたロジックインメモリ VLSI とその応用”, 電子情報通信学会論文誌 C, Vol. J83-C, No. 8, pp. 749-756 (2000).
- Takahiro Hanyu, Tsukasa Ike and Michitaka Kameyama, “Integration of Asynchronous and Self-Checking Multiple-Valued Current-Mode Circuits Based on Dual-Rail Differential Logic”, Proc. 2000 IEEE Pacific Rim Int. Symposium on Dependable Computing, pp. 27-33, (2000).



- Tsukasa Ike, Takahiro Hanyu and Michitaka Kameyama, “Dual-Rail Multiple-Valued Current-Mode VLSI with Biasing Current Sources”, Proceedings of the 31st IEE International Symposium on Multiple-Valued Logic, pp.21-26(2001).
- Takahiro Hanyu, Michitaka Kameyama, Katsuhiko Shimabukuro and Chotei Zukeran, “Multiple-Valued Mask-Programmable Logic Array Using One-Transistor Universal-Literal Circuits”, Proceedings of The 31st IEEE International Symposium on Multiple-Valued Logic, pp.167-172(2001).
- Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama, “Dynamic-Storage-Based Multiple-Valued Logic-in-Memory Circuit and Its Application”, Proc. 2nd Korea-Japan Joint Symposium on Multiple-Valued Logic, pp.147-151(2001).
- 亀山充隆, “未来情報社会を創る知能集積システム”, pp.126 -154, 東北大学大学院電気・情報系および電気通信研究所編：個性の輝くコミュニケーションー21世紀への夢一, 東北大学出版会 (2001).
- Shunichi Kaeriyama, Takahiro Hanyu and Michitaka Kameyama, “Arithmetic-Oriented Logic -in-Memory VLSI Using Floating-Gate MOS Transistors”, Multiple -Valued Logic, Vol.8(1), pp.33-51(2002).
- Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama, “Dynamic -Storage-Based Logic-in-Memory Circuit and Its Application to a Fine-Grain Pipelined System”, IEICE Trans. Electron., Vol.E85-C, No.2, pp.288-296(2002).
- Takahiro Hanyu, Hiromitsu Kimura, Michitaka Kameyama, Yoshikazu Fujimori, Takashi Nakamura and Hidemi Takasu, “Ferroelectric-Based Functional Pass-Gate for Fine-Grain Pipelined VLSI Computation”, IEEE Int. Solid-State Circuits Conf. (ISSCC)Dig. Tech. Papers, pp.208-209 (2002).

- Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama, "Multiple-Valued Logic-in-Memory VLSI Based on Ferroelectric Capacitor Storage and Charge Addition" ,Proc. of the 32nd IEEE International Symposium on Multiple-Valued Logic, pp.161-166, (2002).
- Tsukasa Ike, Takahiro Hanyu, and Michitaka Kameyama, "Fully Source-Coupled Logic Based Multiple-Valued VLSI" , Proc. of the 32nd IEEE Int. Symposium on Multiple-Valued Logic, pp.270-275, (2002).
- Hiromitsu Kimura, Takahiro Hanyu, Michitaka Kameyama, Yoshikazu Fujimori, Takashi Nakamura and Hidemi Takasu, "Ferroelectric-Based Functional Pass-Gate for Low-Power VLSI," IEEE Symp. VLSI Circuits , Dig. Tech. Papers, pp.196-199 (2002) .
- Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama "Implementation of a DRAM-Cell-Based Multiple-Valued Logic-in-Memory Circuit" , IEICE Trans. Electron., Vol.E85-C, No.10, pp.1814-1823(2002).
- Hiromitsu Kimura, Takahiro Hanyu and Michitaka Kameyama, "VLSI System Based on Ferroelectric Logic-in-Memory Architecture" , 2002 International Symposium on New Paradigm VLSI Computing, pp. 60-65(2002).
- Hiromitsu Kimura, Takahiro Hanyu, Michitaka Kameyama, Yoshikazu Fujimori, Takashi Nakamura and Hidemi Takasu, "Complementary Ferroelectric-Capacitor Logic and Its Application" , IEEE Int. Solid-State Circuits Conf. (ISSCC) Dig. Tech. Papers, pp.160-161 (2003).

## (2) 口頭発表

- 池 司, 羽生 貴弘, 亀山 充隆, ”セルフチェック性を有する2線式電流モード多値集積回路と高性能算術演算VLSIへの応用”, 信学技報, FTS2000-3, pp. 17-24 (2000).
- 羽生貴弘, 亀山充隆, ”2色2線式電流モード多値非同期VLSIシステムとその応用”, 信学技法, FTS2000-2, pp. 9-15 (2000).
- 羽生貴弘, 古川剛志, 亀山充隆, “高並列性と高駆動能力性を有する電流モードロジックインメモリVLSIの構成”, 多値論理研究ノート, Vol. 23, No. 20, pp. 20-1~20-10 (2000).
- 木村啓明, 羽生 貴弘, 亀山 充隆, “局所演算性に基づく Dynamic-Storage 形 Logic-In-Memory VLSI の構成”, 信学技報, ICD2000-135, pp. 53-58 (2000).
- 望月孝祥, 羽生貴弘, 亀山充隆, “ダイナミック記憶に基づく2線式電流モード多値集積回路の高性能化とその応用”, 多値技報, MVL01-6, pp. 42-49 (2001).
- 古川剛志, 羽生貴弘, 亀山充隆, “2線式電圧・電流ハイブリッドモード多値集積回路とそのロジックインメモリVLSIへの応用”, 多値技報, MVL01-7, pp. 50-57 (2001).
- 望月孝祥, 羽生貴弘, 亀山充隆, “ソース結合形論理に基づく多値ドミノ集積回路の構成”, 信学技報, ICD2001-101, no. 384, pp. 61-66 (2001).
- 藤原誠, 亀山充隆, “超高基数 Signed-Digit 数系に基づく高並列演算VLSIの構成” 多値技報, MVL02-7, No. 1, pp. 46-55 (2002).
- 金尚賢, 羽生貴弘, 亀山充隆, “電圧・電流ハイブリッドモード多値集積回路とステレオビジョンVLSIプロセッサへの応用”, 多値技報, MVL02-8, No. 1, pp. 56-64 (2002).
- 木村啓明, 羽生貴弘, 亀山充隆, 藤森敬和, 中村孝, 高須秀視, “強誘電体デバイスに基づくロジックインメモリVLSIの構成”, 信学技報, ICD2002-9, pp. 7-12 (2002).

- 木村啓明, 羽生貴弘, 亀山充隆, 藤森敬和, 中村孝, 高須秀視, “強誘電体デバイスを用いた機能パスゲートと低電力 VLSI への応用”, 電気学会 電子材料研究会資料, EMF-02-9~18, pp. 57-62 (2002).
- 高橋知宏, 羽生貴弘, 亀山充隆, “多値双方向データ転送に基づく非同期 VLSI システム” 多値論理研究ノート, Vol. 25, No. 5, pp. 5-1~5-10 (2002).
- 藤原誠, 亀山充隆, “超高基数 Signed-Digit 数高並列演算ハードウェアアルゴリズムとその VLSI 化”, 多値論理研究ノート, Vol. 25, No. 4, pp. 5-1 - 5-10 (2002).
- 池司, 羽生貴弘, 亀山充隆, “ソース結合形多値集積回路の高性能化と画像処理 VLSI プロセッサへの応用”, 信学技報, ICD2002-102, pp. 45-50 (2002).
- 亀山充隆, 羽生貴弘, 木村啓明, “強誘電体ロジックインメモリアーキテクチャに基づくシステム LSI の展望”, 信学技報, ICD2002-172, pp. 47-52 (2002).
- 池司, 羽生貴弘, 亀山充隆, “カレントミラーの高速化に基づく 2 線式多値電流モード集積回路の構成”, 電子情報通信学会秋季全国大会, C-12-20, p. 100 (2000).
- 望月孝祥, 羽生貴弘, 亀山充隆, “複数電源電圧を用いた 2 線式電流モード多値集積回路に基づくパイプライン積和演算器”, 電気関係学会東北支部連合大会, 2H4, pp. 288 (2000).
- 池司, 羽生貴弘, 亀山充隆, “ソース結合形論理に基づく多値集積回路の構成”, 電子情報通信学会総合全国大会, C-12-19 (2001).
- 木村啓明, 羽生貴弘, 亀山充隆, “ダイナミック記憶に基づく多値ロジックインメモリ VLSI 回路”, 電子情報通信学会総合全国大会, C-12-20 (2001).
- 池司, 羽生貴弘, 亀山充隆, “高性能多値電流モード集積回路の設計” 電子情報通信学会秋季全国大会, C-12-15 (2001).
- 木村啓明, 羽生貴弘, 亀山充隆, “ゲートレベルパイプライン用ロジックインメモリ VLSI の構成”, 電子情報通信学会秋季全国大会, C-12-8 (2001).

- 古川剛志, 羽生貴弘, 亀山充隆, “ソース結合形回路を用いた多値ロジックインメモリ VLSI の構成”, 電子情報通信学会秋季全国大会, C-12-9(2001).
- 山口通智, 羽生貴弘, 亀山充隆, “適応的電源電圧制御に基づく低消費電力 VLSI アーキテクチャ”, 電子情報通信学会総合大会, C-12-21, p103 (2002).
- 山口通智, 羽生貴弘, 亀山充隆, “適応的電源電圧制御に基づく低消費電力 VLSI プロセッサの構成”, 第 45 回自動制御連合講演会, 2P2-B7, pp. 493-494 (2002).

# 研 究 成 果

本報告書収録の学術雑誌等発表論文は本ファイルに登録していません。なお、このうち東北大学在籍の研究者の論文で、かつ、出版社等から著作権の許諾が得られた論文は、個別に **TOUR** に登録しております。