

DESAIN SKEMATIK ALGORITMA HISTOGRAM UNTUK KEBUTUHAN ANALISIS TEKSTUR CITRA BERBASIS FPGA (Field Programmable Gate Array)

*Atit Pertiwi*¹
*Sarifudin Madenda*²
*Sunny Arief Sudiro*³

^{1,2,3} *Jurusan Sistem Komputer, Fakultas Ilmu Komputer Universitas Gunadarma*
^{1,2,3} (*atit, sarif, sunny*) @staff.gunadarma.ac.id

Abstrak

Makalah ini menyajikan desain skematik algoritma histogram dengan menggunakan FPGA (Field Programmable Gate Array) untuk analisis tekstur secara real time. Desain algoritma histogram dibangun oleh komponen digital decoder dan counter. Secara khusus komponen digital decoder yang digunakan adalah 8 to 256 decoder yang berfungsi untuk menentukan nilai derajat keabuan suatu citra dan komponen digital counter 16 bit yang dirancang khusus untuk menghitung jumlah kejadian kemungkinan munculnya nilai intensitas derajat keabuan suatu citra yang berkisar antara 0 – 255. Pemrosesan algoritma secara parallel di dalam FPGA dapat meningkatkan kecepatan proses dan penggunaan sumberdaya yang lebih efisien. Dengan performa yang tinggi dapat digunakan dalam aplikasi seperti diagnose medis dan deteksi target. Pembuatan desain algoritma histogram ini menggunakan perangkat lunak xilinx ISE 9.2i yang compatible dengan FPGA Spartan 3e.

Kata Kunci: *Citra, Histogram, Decoder, Counter, FPGA*

PENDAHULUAN

Tekstur merupakan sumber visual alamiah yang memegang peranan penting dalam analisis citra. Tekstur tidak hanya berperan dalam proses pengenalan (*recognition*), segmentasi dan sintesis citra, akan tetapi dapat berperan sebagai alat bantu untuk memahami mekanisme dasar dari persepsi visual manusia. Analisis tekstur citra, saat ini sudah diterapkan dalam berbagai bidang, diantaranya; Analisis citra medis seperti klasifikasi penyakit paru-paru dan diagnosis leukemia,

analisis penginderaan jarak-jauh, digunakan untuk kepentingan klasifikasi area tanah dan inspeksi secara otomatis pada industri tekstil, pengecatan mobil dan pemakaian karpet. Metode sederhana untuk mendapatkan tekstur suatu citra adalah berdasarkan pada histogram citra tersebut.

Histogram adalah grafik yang menggambarkan penyebaran nilai-nilai intensitas *pixel* dari suatu citra atau bagian tertentu di dalam citra yang menunjukkan propabilitas kemunculan nilai derajat keabuan (gray level) piksel pada suatu citra. Dari sebuah histogram

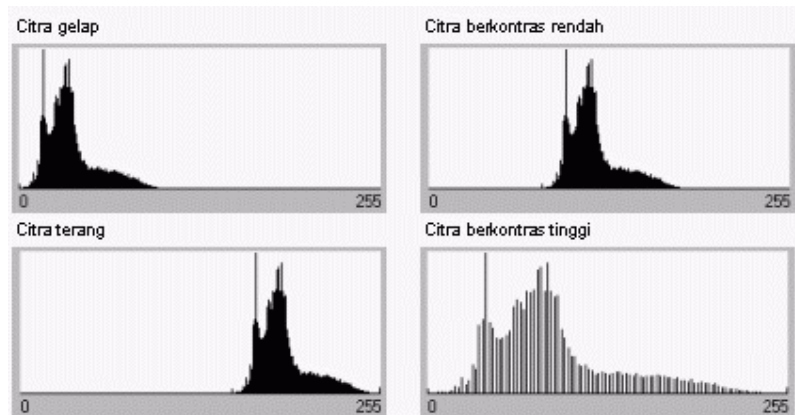
dapat diketahui frekuensi kemunculan nisbi (*relative*) intensitas pada citra tersebut. Algoritma histogram untuk citra dengan ukuran $N \times M$ adalah sebagai berikut:

```
For (i=0; i<N; i++)  
    For (j=0; j<M; j++)  
        Histogram [image[i] [j] ] +=1;
```

Histogram juga dapat menunjukkan banyak hal, diantaranya; kecerahan (*brightness*) dan kontras (*contrast*) dari sebuah gambar. Analisis tekstur citra dengan menggunakan algoritma histogram, sering dilakukan dalam pengolahan citra, hal ini karena algoritma histogram mempunyai fitur yang simple dan dapat digunakan pada tekstur citra alami yang tidak terstruktur dari sub pola dan himpunan aturan

(mikrostruktur). Misalnya, citra dengan *grayscale* 8 bit, terdapat 256 level nilai intensitas yang berbeda maka pada histogram akan ditampilkan secara grafik distribusi dari masing-masing 256 level nilai piksel tersebut. Ilustrasi histogram citra sebagai fungsi probabilitas kemunculan nilai intensitas pada citra, ditunjukkan pada gambar 1.

Karena itu, histogram adalah alat bantu yang berharga dalam pekerjaan pengolahan citra baik secara kualitatif maupun kuantitatif. Agar proses penyajian histogram citra dapat dilakukan secara *real time* maka dibutuhkan suatu implementasi algoritma histogram ke dalam bentuk rangkaian elektronik yang terintegrasi dalam IC-FPGA (Integrited Circuit - Field Programmable Gate Array).



Gambar 1. Histogram Citra

Beberapa paper yang sudah melakukan penelitian di bidang implementasi histogram citra dengan menggunakan FPGA, diantaranya; pada paper [Salcic, Z. and Sivaswamw, J. 1999], menerapkan implementasi histogram citra dengan menggabungkan software dan hardware pada skema histogram berbasis FPGA. Dengan melakukan pembacaan memori, kenaikan dan penulisan urutan data

dilakukan secara tradisional. Waktu yang dibutuhkan untuk melakukan komputasi histogram ekualisasi adalah 50 ms dengan frekuensi clock 30 MHz dan ukuran citra 256 X 256 pixel. Pendekatan ini memiliki kekurangan kinerja lambat dan tidak melakukan proses secara real time. Pendekatan pada paper [Lianfa, B., Xing, L., Qian, C. and Baomin, Z], proses perbaikan citra dengan melakukan penataan ulang

derajat keabuan (gray level) berbasis histogram. Metode perbaikan citra diimplementasikan dengan menggunakan Digital Signal Processing (DSP) dan arsitektur hardware dengan pemrograman FPGA. Konfigurasi hardware ini tidak mampu memperoleh keseluruhan pixel citra secara real time, konfigurasi ini hanya mampu meng-capture dan memproses satu dari tiga pixel yang berdekatan.

Pada makalah ini, pendekatan yang dilakukan untuk pembuatan desain skematik algoritma histogram berbasis FPGA adalah dengan menggunakan decoder yang berfungsi untuk menentukan nilai gray level dan Counter yang berfungsi untuk menghitung jumlah kejadian probabilitas dari gray level yang dilakukan secara paralel.

METODE PENELITIAN

Langkah – langkah penelitian yang dilakukan untuk mendesain metode algoritma histogram dengan menggunakan FPGA adalah sebagai berikut:

1. Pembuatan desain, yaitu proses perancangan rangkaian algoritma histogram yang akan diimplementasikan dengan menggunakan FPGA. Pada tahap ini menggunakan VHDL pada perangkat lunak xilinx ISE 9.2i yang merupakan salah satu bahasa deskripsi untuk perancangan rangkaian berupa gerbang-berbang logika dalam FPGA. Hasil yang diperoleh dari tahap ini berupa sintesis *register transfer logic* (RTL) yang diterjemahkan menjadi *netlist* yaitu daftar komponen yang digunakan dalam perancangan.

2. Verifikasi desain, yaitu tahap pemeriksaan hasil desain yang telah dibuat dengan kode VHDL dengan menggunakan simulasi sintesis. Hasil yang didapatkan berupa diagram bentuk gelombang masukan dan keluaran pada

FPGA spartan 3e.

3. Implementasi, merupakan tahap penterjemahan, pemetaan dan penyambungan komponen yang dihasilkan *netlist* untuk ditanamkan ke dalam FPGA Spartan 3e.

Implementasi FPGA dalam perancangan perangkat keras algoritma histogram, menggunakan prinsip tingkat register transfer logic (RTL). Sistem yang dibangun pada tingkat RTL berdasarkan pada sistem komponen digital yang terdiri dari register geser (*shift register*), penjumlah (*adder*) dan *multiplexer*. Metode yang dibuat berdasarkan pada metode top down, yaitu suatu metode yang mendeskripsikan modul ke dalam sub-sub modul, sehingga diperoleh suatu rancangan yang lebih spesifik.

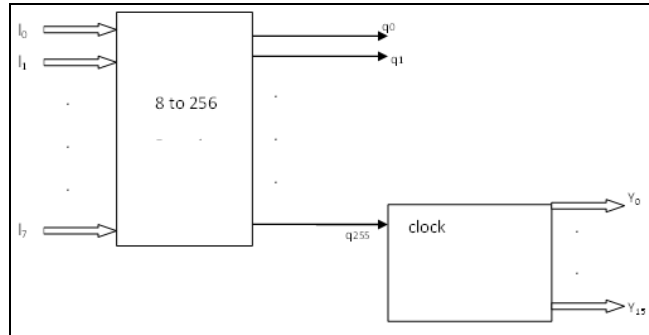
HASIL DAN PEMBAHASAN

Desain skematik rangkaian histogram sebagai transformasi algoritma histogram, dibangun oleh komponen digital 8 to 256 decoder dan 16 bit counter. Rangkaian *Decoder* merupakan penterjemah sinyal hasil encoder menjadi data yang dapat dimengerti kembali oleh penerima. Decoder berfungsi untuk mengaktifkan salah satu outputnya yang sesuai dengan kombinasi N inputnya. Sebuah N input decoder akan mempunyai 2^N output. Dalam penelitian ini menggunakan 8 to 256 decoder, yaitu menggunakan 8 masukan dan 256 keluaran. Dalam desain rangkaian algoritma histogram, decoder 8 to 256 berfungsi untuk menentukan nilai derajat keabuan dari suatu citra. sedangkan 16 bit Counter berfungsi untuk menghitung jumlah kejadian munculnya dari nilai derajat keabuan yang berkisar dari 0 – 255 dan mengakumulasi kumpulan kejadian nilai derajat keabuan pixel tersebut. Hasil proses akumulasi nilai derajat keabuan

merupakan nilai histogram.

Gambar 2 merupakan blok skematik rangkaian algoritma histogram berupa 8 to 256 decoder dan counter 16 bit. Untuk melakukan perhitungan nilai intensitas suatu citra dengan derajat keabuan antara 0 – 255, dibutuhkan

komponen digital decoder sejumlah 256. Setiap nilai intensitas suatu citra yaitu 0,1, 2, 3, 4, 5,, 255 akan didekodekan oleh masing-masing decoder. Sedangkan counter 16 bit melakukan perhitungan jumlah nilai intensitas pixel suatu citra.



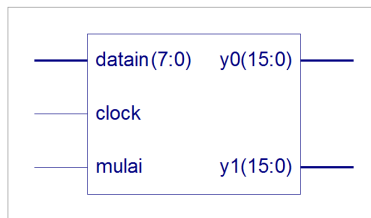
Gambar 2. Blok skematik rangkaian algoritma histogram

Desain algoritma ini tidak menggunakan array memory yang umum digunakan untuk proses perhitungan sehingga memiliki kelebihan, yaitu dapat mengurangi waktu proses secara signifikan dan dapat menyajikan data histogram suatu citra dalam bentuk real time.

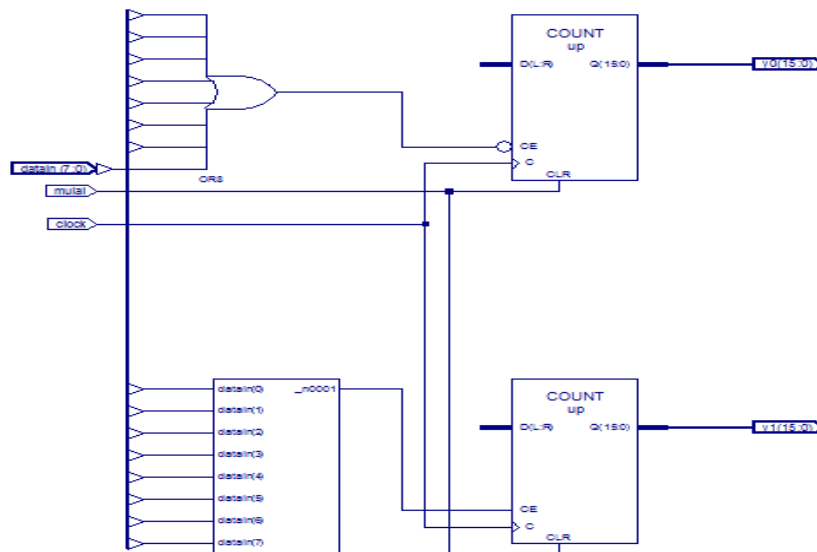
Entitas skematik rangkaian algoritma histogram dapat dilihat pada gambar 3 yang merupakan entitas level teratas dari komponen algoritma histogram. Sebagai pin masukan pada

proses perhitungan histogram menggunakan datain dengan lebar data 8 bit dan untuk memicu proses perhitungan histogram menggunakan sinyal clock dan mulai. Hasil proses perhitungan histogram akan dikeluarkan secara parallel melalui pin y0 y255. Gambar 4 adalah entitas decoder 8 to 256 dan counter 16 bit.

Hasil simulasi yang dilakukan terhadap rangkaian skematik algoritma histogram dapat dilihat pada gambar 6.



Gambar 3. Entitas Rangkaian Algoritma Histogram



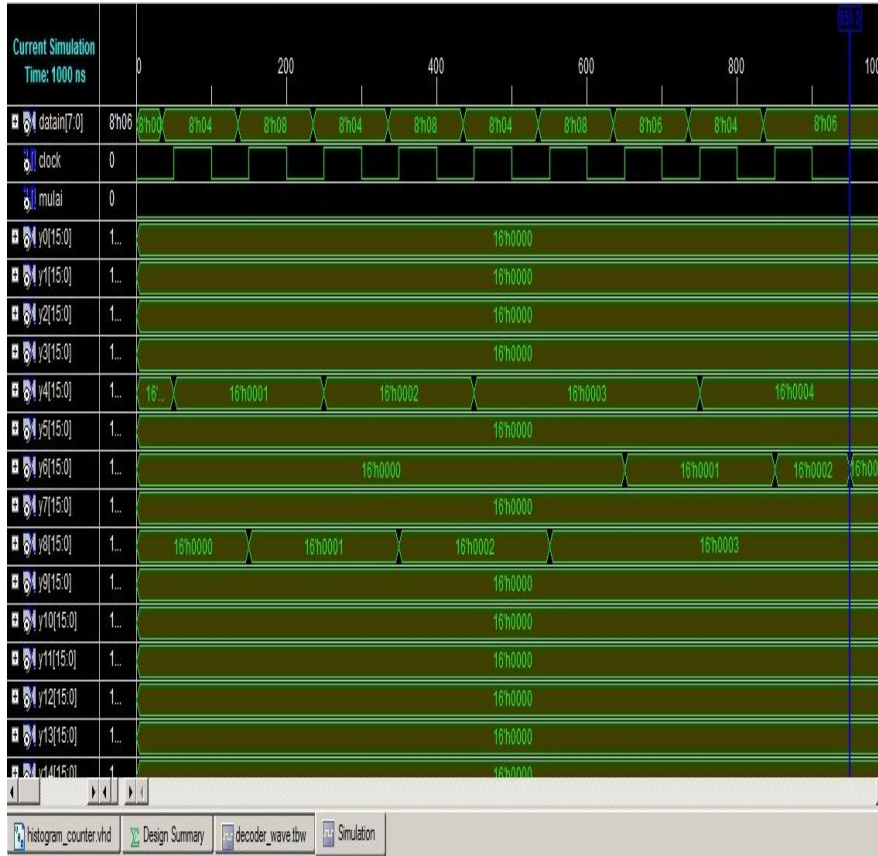
Gambar 4. Entitas Decoder dan Counter

$Y_{total}(7:0)$ adalah jumlah nilai histogram derajat keabuan suatu piksel citra. $dataIn(7:0)$ adalah data masukan yang akan di proses oleh entitas histogram secara serial. Pin mulai aktif (low) maka data masukan dapat diproses oleh entitas histogram sehingga dapat menghasilkan nilai derajat keabuan suatu citra.

Berdasarkan hasil simulasi Skematik algoritma histogram seperti pada gambar 6, dengan memberikan nilai masukan berupa nilai piksel suatu citra pada $dataIn$ dapat menghasilkan nilai keluaran, yaitu nilai level derajat keabuan secara total. Dengan

menggunakan Skematik ini dapat menghasilkan proses perhitungan nilai histogram secara parallel tanpa adanya jeda waktu, yaitu setiap data yang masuk langsung diproses tanpa menunggu proses masukan data secara keseluruhan.

Implementasi desain algoritma histogram, memerlukan penempatan area sebesar 2218 slices atau 15%, kemudian 4096 flip-flops atau 13% dan 4391 atau 14% 4input LUT. FPGA Board yang digunakan adalah FG320 dengan Xilinx XC3S1600e dan memori 4MB. Lebih detail dapat dilihat pada gambar 7.



Gambar 6. Hasil Simulasi Skematik Algoritma Histogram

HISTOGRAM Project Status			
Project File:	Histogram.isc	Current State:	Synthesized
Module Name:	Histogram_Decoder	• Errors:	No Errors
Target Device:	xc3s1600e-4fg320	• Warnings:	2 Warnings
Product Version:	ISE 9.3i	• Updated:	Wed Sep 17 11:33:51 2014

Device Utilization Summary (estimated values)			
Logic Utilization	Used	Available	Utilization
Number of Slices	2218	14752	15%
Number of Slice Flip Flops	4096	29504	13%
Number of 4 input LUTs	4391	29504	14%
Number of bonded IOBs	4106	250	1642%
Number of GCLKs	1	24	4%

Detailed Reports					
Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report	Current	Wed Sep 17 06:14:44 2014	0	2 Warnings	0
Translation Report					
Map Report					
Place and Route Report					
Static Timing Report					

Gambar 7. Ringkasan hasil implementasi

SIMPULAN DAN SARAN

Paper ini menunjukkan bahwa desain algoritma histogram dapat diimplementasikan dengan menggunakan komponen digital decoder dan counter untuk menghitung histogram suatu citra. Hasil sintesis dari FPGA Spartan 3e menunjukkan bahwa konsumsi *slice* yang digunakan dalam perancangan ini hanya sebesar 2218 dari 14752 *slices* yang tersedia atau sekitar 15% saja, sehingga masih memungkinkan untuk pengembangan desain dengan menggabungkan desain lainnya misalnya digabungkan dengan

perhitungan parameter statistic yang dibutuhkan dalam analisis citra.

DAFTAR PUSTAKA

Abduallah M Alsuwailem and Saleh A. Aishebeili [2005]. A New Approach For Real-Time Histogram Equalization Using FPGA. IEEE. International Symposium of Intelligent Signal Processing and Communication Systems.

Abdul Kadir dan Adhi Susanto [2012]. Pengolahan Citra Teori dan Aplikasi, CV. Andi Offset, Yogyakarta.

- Asadollah Shahbahrami, Jae Young Hur,
Ben Juurlink and Stephan Wong
[2009]. FPGA Implementation of
Parallel Histogram Computation,
NWO.
- G. N. Srinivasan and Shobha G [2008].
Statistical Texture Analysis,
PWASET, Vol 36.
- Lianfa, B., Xing, L., Qian, C. and
Baomin, Z. [2003]. The hardware
design of a real-time infrared image
enhancement system. IEEE Int.
Conf. Neural Networks & Signal
Processing, pp. 1009–1012.
- R.E.Woods, S.L. Eddins, dan R.C.
Gonzales [2005]. Digital Image
Processing using MATLAB. Pearson
Education.
- Salcic, Z. and Sivaswamw, J. IMECO
[1999]. A Reconfigurable FPGA
based Image Enhancement, Co-
Processor Framework. Real-Time
Imaging, 5, , pp. 385–395.
- Xilinx Team [2008]. Spartran - 3e fpga
family datasheet. Xilinx Inc. 2.4
Edition.