

3次元型トランジスタを用いた LSI の設計法

渡辺 重佳* 玉井 翔人**

Design Technology of LSI using 3 dimensional transistor

Shigeyoshi WATANABE* and Shoto TAMAI**

Abstract:

Design technology of LSI such as system LSI and memory using 3 dimensional transistors has been described. By using 3 dimensional transistors, FinFET, double gate transistor and stacked double gate transistor, pattern area of logic gate and full adder circuit can be reduced drastically compared with that with conventional planar transistor. By using double gate transistor and Carbon Nano Tube transistor the reconfigurable circuit with many logic functions can be realized with small pattern area. Furthermore, stacked NAND MRAM with 3 dimensional spin transistor has been newly proposed. This stacked NAND MRAM is a promising candidate which replaces currently available DRAM and NAND flash memory.

KEY WORDS : LSI, 3 dimensional transistor, FinFET, double gate, SGT, reconfigurable system, MRAM

要旨:

3次元型トランジスタを用いたLSIの設計法について述べた。はじめに、3次元型トランジスタであるFinFET,ダブルゲート型トランジスタ、積層型ダブルゲート型トランジスタを用いたインバータ、NAND回路等の論理回路や、フルアダー等のシステムLSIのパターン面積の比較結果について述べた。過去に提案したように、3次元型トランジスタの導入により、製造コストに直結するパターン面積が、従来の平面型トランジスタを用いた場合と比較して大幅に縮小できる事が分かる。次に、過去に提案した、一方の信号を入力信号、他方を制御信号としたダブルゲート型トランジスタ及びCNT型トランジスタを用いた再構成可能な論理回路の設計法について述べた。僅かな素子数で多数の論理を実現できる。最後に著者達が今回新たに検討した、縦方向に3次元型トランジスタSGTを直列接続して実現される、スピントランジスタを用いた積層型NAND MRAMの設計法を提案した。この方式を導入で、DRAMと同程度の高速性と、NAND型フラッシュメモリと同程度の低コストな半導体不揮発性メモリを実現できる可能性がある。

キーワード : LSI,3次元型トランジスタ、FinFET,ダブルゲート型トランジスタ、SGT,再構成可能論理、MRAM

1. 3次元型トランジスタの紹介と代表的なトランジスタを用いたシステムLSIのパターン面積の縮小法

1-1 はじめに

約6年前、渡辺は「システムLSIの低消費電力化、高密度化の現状と将来展望」¹⁾と題して紀要を執筆したが、それ以来LSI産業の重要性は益々高まり、産業全体の規模は益々大きくなっている。残念ながら日本の電機メーカーの地位は当時より厳しい状況にあるものの、NAND型フラッシュメモリに注力してい

る東芝等のトップメーカーはインテル、三星、TI等と共に主導的な地位を占めている。このLSIの発展を支えているのは当時同様にムーアの法則で知られているMOSトランジスタの微細化である。MOSトランジスタは1世代で縦、横、高さ方向に同じ割合(0.7倍)に縮小され、トランジスタが微細化されると共に、高速化、低消費電力化が進んでいる。しかしながら過去40年以上続いた微細化もそろそろ限界に近づいている。従来から使われているいわゆる平面型トランジスタでは、ゲート長が短い時に動作を制御できなくなるいわゆるショートチャネル効果が抑制できず、微細化の限界が見えてきた。

この問題を解決するのが3次元型トランジスタである。3次元型トランジスタは、ゲート電極が構造的にチャネル部分を囲む構造になっているのでゲート

* 湘南工科大学 工学部 情報工学科 教授

** 大井電気 株式会社

のチャンネル部分に対する制御性が従来の平面型よりも強い。その為平面型よりも微細化に適している特徴がある。この制御性の良さが平面型以上の高速動作、低消費電力特性を実現し、パターン面積の縮小にも貢献している。

以上のように色々な特徴がある 3 次元型トランジスタの唯一の欠点は製造技術の複雑さにある。このため過去その潜在的に優れた特性にもかかわらず、製品に使われることは無かった。それが今年 3 次元型トランジスタの中で最も研究開発が進んでいる FinFET^{2) 3)} が初めてインテルのマイクロプロセッサに使用されることになり^{4) 5)}、3 次元型トランジスタの時代に突入することになった。図 1-1 に FinFET の構造を従来の平面型と比較する形で示す(2 入力 NAND 回路)。チャンネルになる基板を 3 方向からゲート電極で囲む構成になっているためゲートの制御性が良く、側面をチャンネルに使用できるためパターン面積も小さく出来る特徴がある。ゲート 拡散層

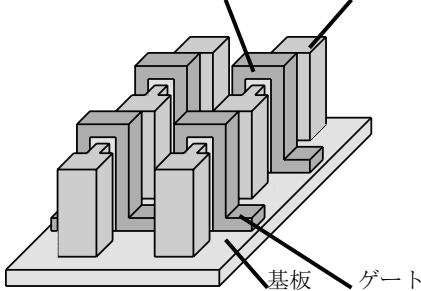


図 1-1 (a) FinFET トランジスタによる 2 入力 NAND

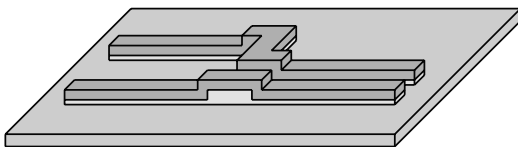


図 1-1 (b) 平面型トランジスタによる 2 入力 NAND

今まで問題となっていた製造技術の複雑さも、長年の努力によって克服され、平面型トランジスタより僅か数パーセント多い製造コストで、実現することが可能になった⁴⁾。今後 3 次元型トランジスタの中で最も構造が簡単で製造しやすい FinFET がマイクロプロセッサ以外の各種システム LSI に使用されていくと予想される。

一方この FinFET に類似した形状をしているが FinFET 以上に様々な応用が期待されているのがダブルゲート型トランジスタ^{6) 7) 8)}である。図 1-2 にダ

ブルゲート型トランジスタを使用した 2 入力 NAND 回路の構成を示す。FinFET では側壁に同じ信号が

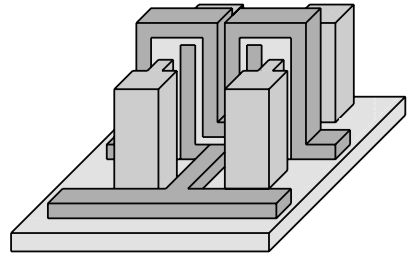


図 1-2 ダブルゲート型トランジスタによる 2 入力 NAND 回路

入力されるのに対してダブルゲート型トランジスタでは左右の側壁に異なる信号を入力することができる。そのため左右に異なる入力信号を入力すれば、少ないトランジスタ数で複雑な論理を実現出来(本章の後半で紹介する)、一方の信号を入力信号、他方を制御信号として利用すれば、制御信号を変更することによって実現する論理を変更できる再構成可能な論理回路を比較的容易に実現することが出来る(詳細に関しては第 2 章で紹介する)。トランジスタ数を減らせられる事例を図 1-3 に示す。従来の平面型トランジスタでは 2 個のトランジスタを用いて実現される直列接続、並列接続を、各トランジスタの基板の不純物濃度の個別の最適化により、わずか 1 個のトランジスタで実現できる。

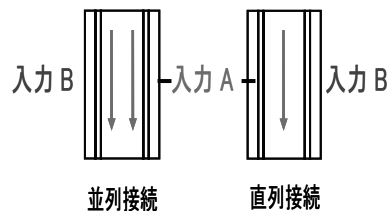


図 1-3 ダブルゲート型トランジスタによる直列・並列接続の実現

FinFET、ダブルゲート型トランジスタ共に電流はドレインからソース電極に向かって横方向に流れる 3 次元型トランジスタである。それに対し電流が縦方向に流れる 3 次元型トランジスタとして SGT が提案されている^{9) 10) 11)}。図 1-4 に SGT の構造を示す。チャンネルになるシリコン柱を 4 方向から囲む形でゲート電極が形成されるため、FinFET、ダブルゲート型トランジスタ以上にゲート電極によるチャンネルの

制御が容易になる特徴がある。また電流が縦方向に流れるため、トランジスタを縦に直列接続する NAND 型メモリのような回路構成では

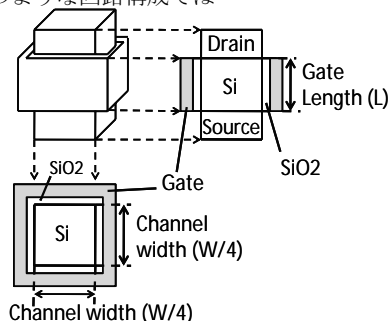


図 1-4 SGT の上面図と断面図

最も高密度化できるという特徴を持つ（詳細に関しては第3章で紹介する）。

また更に進んだ技術としてはこれらの3次元型トランジスタを縦方向に積層して更に高密度化を実現している方式もある。図 1-5 に一例としてダブルゲート型トランジスタを積層した例を示す。^{1 2)}

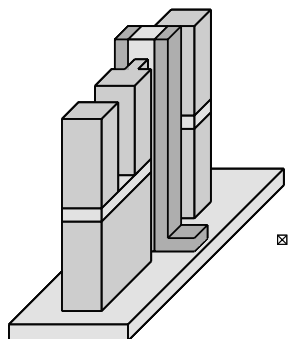


図 1-5 積層型ダブルゲート型トランジスタによる2入力 NAND 回路

本論文は以下のように構成される。第1章の後半で、3次元型トランジスタ FinFET、ダブルゲート型トランジスタ、積層型ダブルゲート型トランジスタを用いたインバータ、NAND 回路等の論理回路やフルアダーでの渡辺が過去に提案したシステム LSI のパターン面積の比較結果について述べる^{8) 13) 14) -20)}。第2章では一方の信号を入力信号、他方を制御信号としたダブルゲート型トランジスタ及び CNT 型トランジスタを用いた再構成可能な論理回路に関して、渡辺

が過去に提案した設計法について述べる^{23) 28)}。第3章では、著者達が今回新たに検討した方法である、縦方向に3次元型トランジスタ SGT を直列接続して実現されるスピントランジスタを用いた積層型 NAND MRAM の設計法に関して述べ、4章を結論とする。

1-2 各種3次元型トランジスタを用いたシステムLSIのパターン面積の縮小効果

本節では1-1で述べた代表的な3次元型トランジスタを用いるとシステム LSI のパターン面積をどれだけ縮小できるか比較検討する。この比較より各種3次元型トランジスタの特徴が把握できる。構造の比較を行うため、どのトランジスタでも同一のチャンネル幅、ゲート長では同一のドレイン電流が流れると仮定している。パターン面積が小さいほどそれに比例する製造コストが安くなり、世の中で普及しやすいと考えられる。その意味でパターン面積は動作速度や消費電力と同様に LSI を比較する上で非常に重要な指標となる。

図 1-6 に比較に用いたデザインルールを示す。F は最小加工寸法で、現在の最先端 LSI では 22nm が使用されている。

	Planar	FinFET	Double Gate	Stack
Gate length	F	F	F	F
Wiring	F	F	F	F
Wiring to Wiring	F	F	F	F
Contact size	F × F	F × F	F × F	F × F
Sidewall channel width		4.5F	10F	10F
Height of silicon substrate		4.5F	10F	21F
Width of silicon substrate		F	F	F
Active area for V_{DD} to active area				F

図 1-6 比較に用いたデザインルール

図 1-6 で Planar は従来の平面型、Stack は積層型ダブルゲート型トランジスタを表している。図 1-7 にチャンネル幅 5F のインバータのパターン図と平面型と比べたそのパターン面積を示す。図で3番目はダブルゲート型トランジスタの場合、4番目は積層型ダブルゲート型トランジスタの場合を示す。3次元型トランジスタを用いると、平面型の場合と比較してパターン面積が大幅に縮小できることが分かる。ダブルゲート型トランジスタの面積が FinFET と同じなのは、インバータ回路では入力がかかっているのは1個しかないため

め図 1-3 に示すようなダブルゲート型トランジスタ固有の面積縮小技術が適用できないためである。一方積層型ダブルゲート型トランジスタの場合には PMOS の上に NMOS を積層出来るため、そのパターン面積は FinFET 等と比較してその半分に縮小できる。

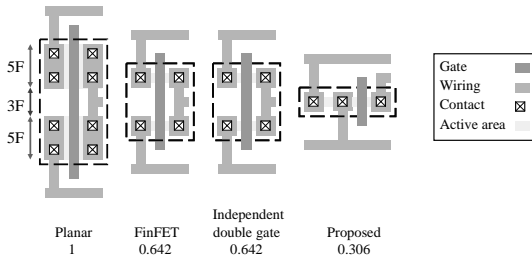


図 1-7 チャネル幅 5F のインバータのパターン図

図 1-8 にチャネル幅 5F の 2 入力 NAND 回路のパターン図と平面型に比べたそのパターン面積を示す。3 次元型トランジスタを用いると、平面型の場合と比較してパターン面積が大幅に縮小できるのはインバータと同様である。インバータの場合と異なりダブルゲート型トランジスタの面積が FinFET より大幅に縮小される。これは 2 入力 NAND 回路では入力が 2 個有り、図 1-3 に示すようなダブルゲート型トランジスタ固有の面積縮小技術が適用できるためである。図 1-9 にチャネル幅 5F の 4 入力 NAND 回路のパターン図と平面型に比べたそのパターン面積を示す。面積縮小の傾向は 2 入力の場合とほぼ同じになる。

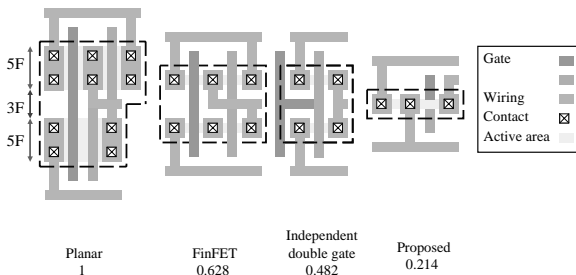
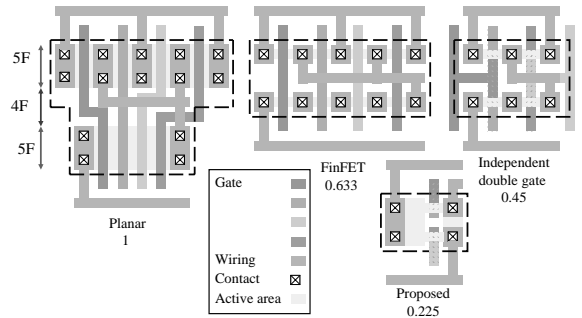


図 1-8 チャネル幅 5F の 2 入力 NAND のパターン図

以上チャネル幅 5F の場合の検討結果をまとめたがチャネル幅が大きくなっても基本的に以上のパターン面積の縮小の傾向は変わらない。一例としてチャネル幅 10F の 2 入力 NAND 回路での検討結果を図 1-10 に示す。



1-9 チャネル幅 5F の 4 入力 NAND のパターン図

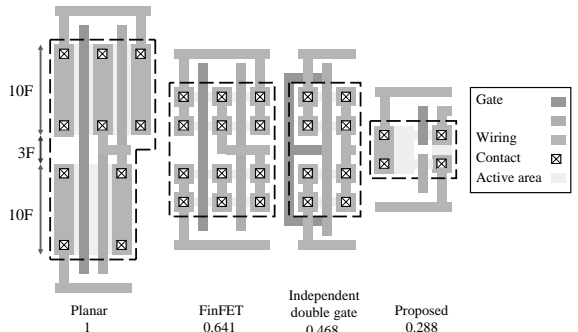


図 1-10 チャネル幅 10F の 2 入力 NAND のパターン図

以上の比較結果 (チャネル幅 10F) を図 1-11 にまとめた。ダブルゲート型トランジスタを用いた方式では入力数が奇数の場合パターン面積の縮小効果が下がる傾向にある。

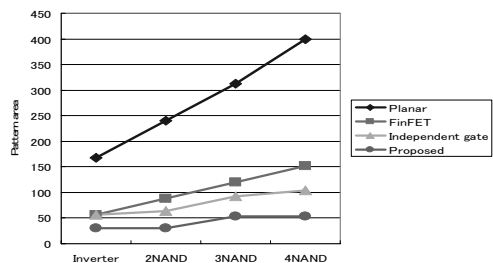


図 1-11 インバータ、NAND 回路でのパターン面積の比較結果

3次元型トランジスタを用いたLSIの設計法（渡辺・玉井）

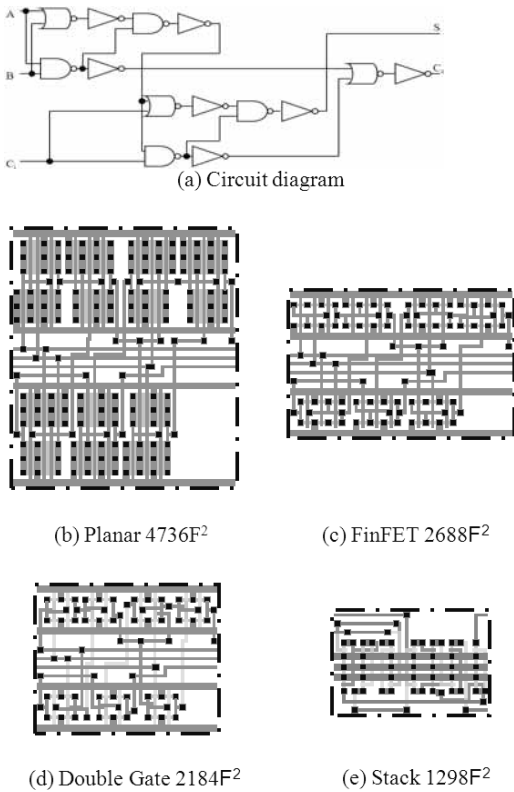


図 1-12 (a)2 入力 NAND/ NOR で設計した全加算器の回路図, (b)平面型, (c)FinFET, (d)ダブルゲート型, (e)積層型ダブルゲート型で設計したパターンレイアウト図

次にシステム LSI の代表として全加算器（フルアダー）でのパターン面積の比較結果を示す。今回の検討には、論理回路として広く使用されている全加算器を用いた。回路方式としては① 3．4 入力 NAND/NOR 回路を用いた方式、② 2 入力 NAND/NOR 回路を用いた方式、③ Pass Transistor Logic を用いた方式、④ 複合ゲートを用いた方式の 4 種類を採用した。これらの多くの種類の回路方式を検討したのは、3次元型トランジスタを導入した場合のパターン面積の縮小効果の回路構成、トランジスタの構造依存性等を解析するためである。検討結果の 1 例として図 1-12 に 2 入力 NAND/NOR で設計した全加算器、図 1-13 に (a) 複合ゲートで設計した全加算器の回路図, (b) 平面型トランジスタ, (c) FinFET、(d) ダブルゲート型トランジスタ, (e) 積層型ダブルゲート型ト

ランジスタで設計した場合のパターンレイアウト図を示す。

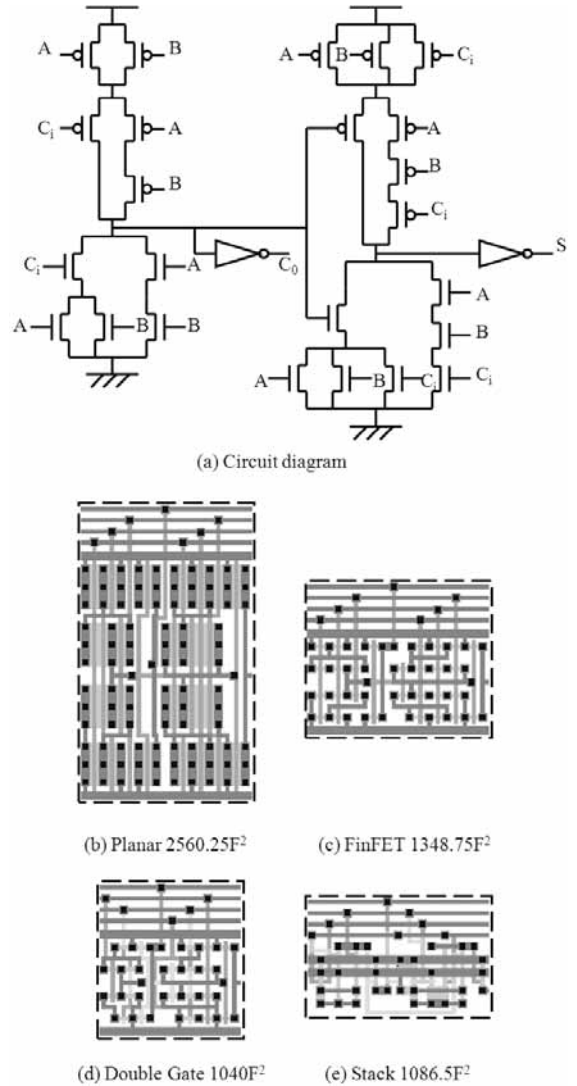


図 1-13 (a)複合ゲートで設計した全加算器の回路図, (b)平面型, (c)FinFET, (d)ダブルゲート型, (e)積層型ダブルゲート型で設計したパターンレイアウト図

図 1-14 にパターン設計した 16 種類の全加算器のパターン面積を示す。図では、平面型トランジスタ

の場合を基準の 100 とした。各種 3 次元型トランジスタでパターン設計すると、平面型トランジスタを用いてレイアウト設計した場合よりパターン面積が縮小される傾向があるが、その縮小効果は回路構成に強く依存している。

	Planar	FinFET	Double Gate	Stacked	No. of Tr.
3input NAND/NOR	100	62	51	27	56
2input NAND/NOR	100	57	46	27	42
Pass Transistor	100	59	59	38	24
Composite gate	100	53	41	42	28

図 1-14 各種全加算器のパターン面積の比較

トランジスタ数の多い、3. 4 入力 NAND/NOR あるいは 2 入力 NAND/NOR を用いて設計した場合には、FinFET、ダブルゲート型、積層型ダブルゲート型とより複雑な 3 次元型トランジスタを導入するほど、大きくパターン面積が縮小している。これは両方式でダブルゲート型に適したゲートへの複数入力の回路が使用され、積層型ダブルゲート型に適した、上下に積層可能な NMOS と PMOS の対が必ず存在する回路形式を使用しているためと考えられる。それに対してトランジスタ数の少ない Pass Transistor Logic と複合ゲートを用いた場合には、複雑な構造の 3 次元型トランジスタを導入すれば必ず大幅にパターン面積が縮小される結果にはなっていない。例えば Pass Transistor Logic を用いて設計した全加算器では、ダブルゲート型に適したゲートへの複数入力される回路が使用されていないため、ダブルゲート型を導入しても FinFET 以上にパターン面積は縮小されない。更に回路を構成する NMOS と PMOS のトランジスタ数が異なるため、積層型ダブルゲート型導入によるパターン面積の縮小効果も小さい。複合ゲートの場合には、NMOS と PMOS の数は同じだが、上下に積層出来る簡単な回路方式になっていないため、積層型ダブルゲート型導入によるパターン面積の縮小効果は無い。以上の解析結果より、ダブルゲート型や積層型ダブルゲート型のような複雑な構成の 3 次元型トランジスタを導入する場合には、十分にパターン面積を縮小できないことがあることが分かった。それに対して比較的簡単な構成である FinFET では、単体のトランジスタ単位でパターン面積を縮小するため、回路方式に依存せずパターン面積縮小に有効であることが分かった。

以上 1-1 で紹介した代表的な 3 次元型トランジスタを用いてインバータ回路や NAND 回路等の簡単な論理回路や全加算器のような代表的なシステム LSI をレイアウト設計し、そのパターン面積を従来の平面型を用いて設計した場合と比較した。いずれの方式も、3 次元型トランジスタの構造によって面積縮小率に差があるものの、パターン面積・製造コスト削減に有効であることが分かった。

2. 3次元型 MOS,CNT トランジスタを用いた再構成可能な論理回路の設計法

2-1. はじめに

近年処理内容の高度化に伴いシステム LSI の素子数やチップ面積が増加している。その問題を解決出来るだけでなく、再構成可能な論理を実現するデバイスとして MOS ダブルゲート型トランジスタ²¹⁾と CNT 型トランジスタ²²⁾が注目されている。MOS ダブルゲートトランジスタを利用することにより、図 2-1 に示すような再構成可能な論理実現のために必要となる特性を実現できる。例えばコントロール信号が 0 の場合、入力の電圧がそのままゲートの電圧となる。

コントロール信号	素子の特性	入力の認識
+V	入力によらず ON	ショート
0	入力が生きる	A
-V	入力によらず OFF	オープン

図 2-1 MOS ダブルゲートトランジスタの特性

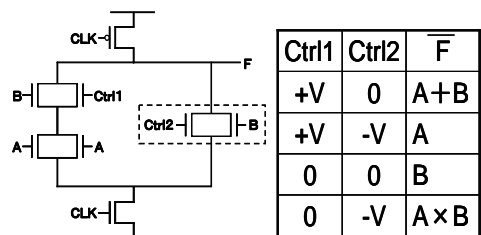


図 2-2、MOS ダブルゲートトランジスタによる 2 入力回路

MOS ダブルゲート型トランジスタを用いた再構成可能な論理回路として、3 素子を用いて 2 入力に対して 4 種類の論理を出力する方式が提案されている²¹⁾

(図 2-2)。図 2-2 でクロック信号(CLK)を用いたダイナミック回路で、入力信号Aを入力するトランジスタに直列及び並列に、入力B及び制御信号 Ctrl 1、Ctrl 2 を入力するトランジスタを接続する(図内の点線内で 1 個のダブルゲート型トランジスタを示す)。真理値表に示すように Ctrl 1、Ctrl 2 の信号を制御する事により、わずか 3 素子で入力信号の反転、NAND、NOR の 4 種類の信号が実現出来る。

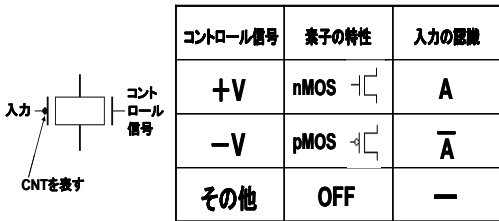


図 2-3、CNT 型トランジスタの特性

一方 CNT 型トランジスタを用いた再構成可能な論理回路として、CNT 固有の特性を用いて MOS ダブルゲート型トランジスタでは実現不可能な入力信号とその反転信号を組み合わせた論理を実現している²²⁾

(図 2-3、2-4)。例えばコントロール信号が +V では入力の信号がそのままゲートの電圧に、-V では入力の反転信号がゲートの電圧になる。本章では最近提案した 3 入力以上に対応可能な、MOS ダブルゲート型トランジスタ、CNT 型トランジスタを用いた再構成可能な論理回路について述べる。更に両トランジスタを組み合わせた新たな方式についても述べる。検討では出来るだけ少ない素子数(トランジスタ数)で出来るだけ多くの種類の論理を実現する事を目標にした。

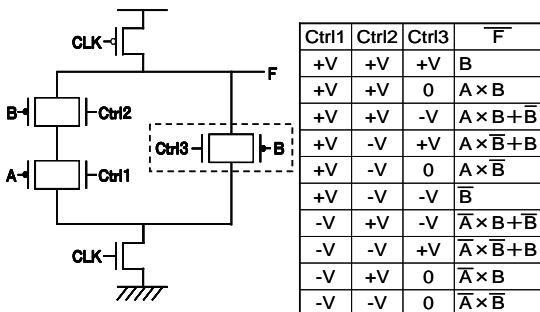


図 2-4、CNT 型トランジスタによる 2 入力回路

2-2. MOS ダブルゲート型トランジスタを用いた 3 入力論理回路

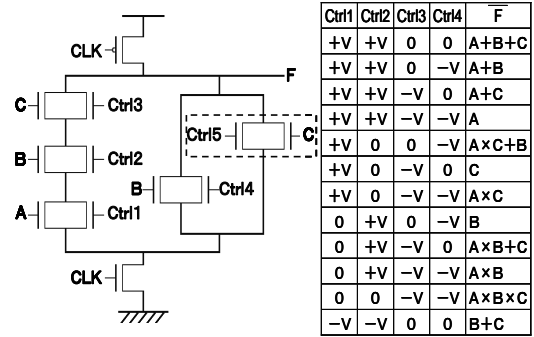


図 2-5 3 入力論理回路の回路図と真理値表 (MOS ダブルゲート型)

図 2-5 に最近提案した 3 入力論理回路と真理値表を示す。2 入力論理回路(図 2-2)に 3 入力目の入力信号 C を入力するトランジスタを直列及び並列につなぎ、それぞれに独立した Ctrl 素子を取り付けた回路構成になっている。この方式により 2 入力の場合と比較してわずか 2 素子増やし(合計 5 素子)、制御信号を追加するだけで 8 種類多い(合計 12 種類の論理が実現出来る。以上のように MOS ダブルゲート型トランジスタを用いると、多数の論理を実現できる特徴があるが、入力信号とその反転信号を組み合わせた論理が実現出来ない欠点がある(反転信号を実現するためには更にインバータを追加しなければならない)。

2-3. CNT 型トランジスタを用いた 3 入力論理回路

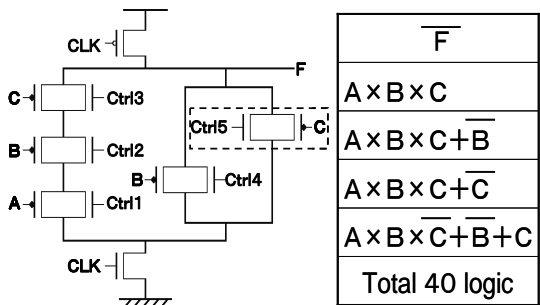


図 2-6 3 入力論理回路の回路図と真理値表 (CNT 型)

2-2 で提案した回路構成に CNT 型トランジスタを用いた方式も最近提案した(図 2-6)。CNT 型トランジスタでは、Ctrl 素子に正の電圧(+V)を与えた場合には

nMOS と同じ動作をするので入力信号はそのまま認識される、Ctrl 素子への電圧を 0 とした時には入力によらず動作しない、Ctrl 素子に負の電圧(-V)を与えた場合には pMOS と同じ動作をするので入力信号はその反転信号として認識される特徴がある²²⁾。この動作を明確にするため、回路図では CNT 型トランジスタの入力側に黒丸をつける。上記の特性を利用するとインバータを使用せずに入力信号から反転信号を実現出来るので、素子数を抑えられるのが特徴である。その結果、図 2-6 で示すように図 2-5 と同じわずか 5 素子で、入力信号とその反転信号を組み合わせた論理を含む合計 40 種類の論理が実現出来る。以上のように CNT 型トランジスタの導入により、実現する論理数は更に増える特徴があるが、MOS トランジスタのドレインとソースのショートによる論理(A×B、A×C 等、図 2-5 参照)が実現出来ない欠点がある。

2-4. MOS ダブルゲート型トランジスタと CNT 型トランジスタを用いた 3 入力論理回路

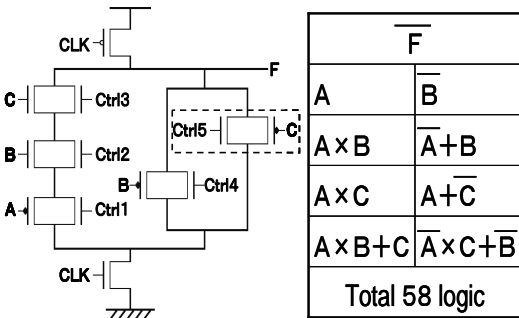


図 2-7 3 入力論理回路の回路図と真理値表(MOS ダブルゲート型/CNT 型)

2-2 と 2-3 で提案した方式の欠点を補うため、MOS ダブルゲート型トランジスタと CNT 型トランジスタを組み合わせた方式も提案した(図 2-7)。入力 A と入力 A に並列につないだ入力 B と入力 C は CNT 型トランジスタ、入力 A に直列につないだ入力 B と入力 C は MOS ダブルゲート型トランジスタを用いている。組み合わせとしては他方式も考えられるが、図 2-7 の組み合わせが最大の合計 58 種類の論理を実現出来る。2-2 の欠点は CNT 型トランジスタを用いる事で補え、2-3 の欠点は MOS ダブルゲート型トランジスタを直列につなぐトランジスタに用いる事で補う事が出来る。

2-5 2、3 入力論理回路のレイアウト設計

次に今までに述べた回路のパターン面積を見積もるためにパターン設計を行った。パターン設計により素子数より正確にハードウェア量を見積もることが出来る。

図 2-8 に今回パターン設計する時に用いたデザインルールと各パターンレイヤを示す(F はデザインルール)。図 2-9 に DG (以下 MOS ダブルゲート型トランジスタを DG と略す) を用いた 2 入力の再構成可能な論理回路²¹⁾の回路図(a)とパターン図(b)を示す。パターン図において、各コントロール信号は左右から入力し、各入力(A、B)は上下から入力する。パターン面積は点線で囲まれた部分で計算した。縦幅は 9F、横幅は 8F でパターン面積は 72F²になる。

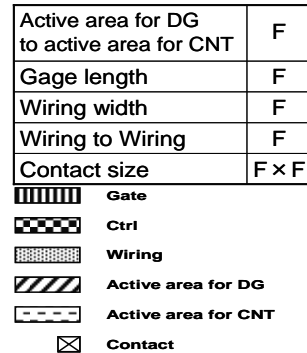


図 2-8 設計に用いたデザインルール

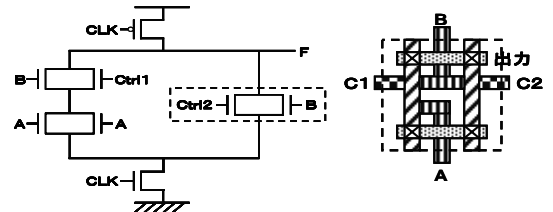


図 2-9 DG を用いた 2 入力論理回路の(a)回路図と(b)パターン図

図 2-10 に DG を用いた 3 入力の再構成可能な論理回路²⁵⁾の回路図(a)とパターン図(b)を示す。2 入力と比較して増えた入力 C は入力 A の横から入力し、入力間はデザインルール F だけ離してレイアウトする。その結果 2 入力より横幅は 4F 増加して 12F になる。2 入力と比較して増えたコントロール信号は左右から入力し、コントロール信号間はデザインルール F だけ離してレイアウトする。その結果 2 入力より縦幅は 4F 増加して 13F になる(パターン面積は 156F²)

になる)。

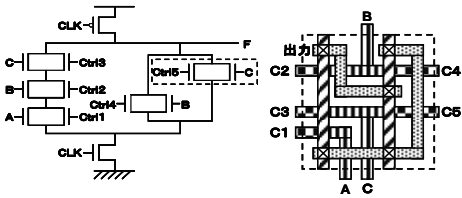


図 2-10 DG を用いた 3 入力論理回路の (a) 回路図と (b) パターン図

図 2-9、図 2-10 は DG を用いた論理回路を示しているが、CNT (以下 CNT 型トランジスタを CNT と略す) でも DG と同じデザインルールを用いているため、トランジスタが DG から CNT に変わる以外は CNT を用いた場合でも DG と同様の回路構成及びパターン形状 (パターン面積) となる (使用レイヤは異なる)。

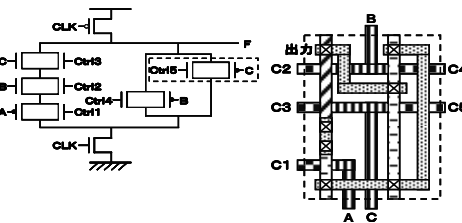


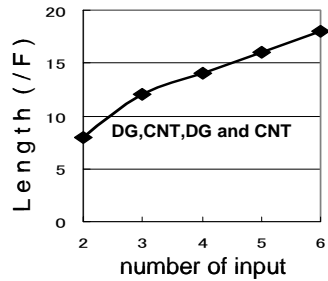
図 2-11 DG and CNT 用いた 3 入力論理回路の (a) 回路図と (b) パターン図

図 2-11 に DG and CNT を用いた 3 入力の再構成可能な論理回路 [3] の回路図 (a) とパターン図 (b) を示す。DG のみの図 2-10 と比較して DG と CNT を用いており (CNT はゲートに黒丸をつけて DG と区別する) 両者の拡散層を分離するためにパターン面積が大きくなる。具体的には拡散層の分離のために縦幅が 4F 増加して 17F になる (パターン面積は $204F^2$ になる)。以上のように DG や CNT のみの場合と比較して DG and CNT ではパターン面積は同一入力数の場合に若干増加する。以上の設計法を使用して 2~6 入力の再構成可能な論理回路のパターン設計を DG、CNT、DG and CNT の 3 種類に関して行った。

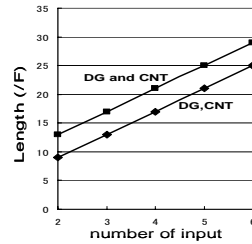
2-6 パターン面積、製造コスト、実現論理の種類解析

次に 2-5 で求めた各論理回路のパターン面積や製造コストとトランジスタの種類 (DG、CNT、DG and CNT)、入力数 (2 入力~6 入力)、実現論理の種類 (何種類有るか数を求める) の関係を解析した。図 2-12

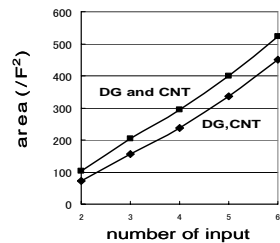
に各論理回路での入力数とパターンの横幅 (a)、パターンの縦幅 (b)、パターン面積 (c) の関係を示す。横幅、縦幅共に入力数の増加と共に増加する。どの種類のトランジスタでも横幅は同じになるが、横幅は DG and CNT の場合若干大きくなる。その結果、どの種類のトランジスタを用いた場合にも、入力数の増加と共にパターン面積は増加するが、同一入力数では DG and CNT の場合は DG か CNT のみの場合よりパターン面積が大きくなる (2 入力では 40%、3 入力以上では約 20%程度、入力数が大きくなるほど両者の比率は小さくなる)。



(a)



(b)



(c)

図 2-12 論理回路の (a) パターンの横幅、(b) パターンの縦幅、(c) パターン面積と入力数の関係、

次に図 2-13 に各論理回路での入力数と 1 素子当りのパターン面積の関係を示す。ここで 1 素子当りの

パターン面積は、論理回路全体のパターン面積を素子数で割った値として定義する。入力数が大きくなるほど 1 素子当りのパターン面積が大きくなること分かる。これは、入力数が大きくなるほど素子(トランジスタ)以外の配線部分のパターン面積が大きくなる傾向にあるためである。

図 2-14 に各論理回路での入力数と実現論理の種類の関係を示す。どの種類のトランジスタを用いた場合にも、入力数の増加と共に実現論理の種類は指数関数的に増加する。入力数が 1 増加した時の実現論理の種類増加率は、DG では約 3 倍、CNT では約 4 倍、DG and CNT では約 5 倍になる(詳細は図 2-15 参照)。同一入力数では、種類の大きい順に DG and CNT、CNT、DG となり、その差は入力数が大きいほど大きくなる。DG and CNT では CNT か DG のみの場合と比較してパターン面積は図 2-12 に示したように若干大きくなるが、非常に多くの種類の論理を実現できる特徴があることが分かる。

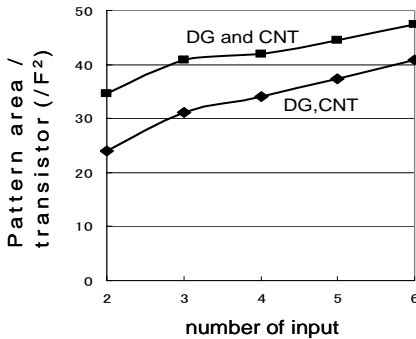


図 2-13 論理回路の 1 素子当りのパターン面積と入力数の関係

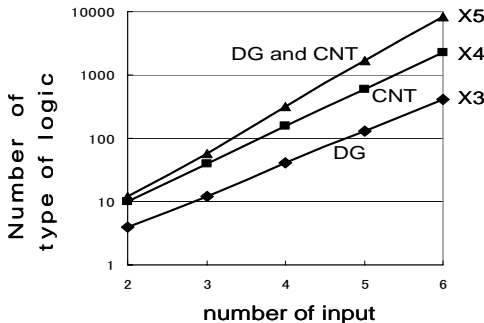


図 2-14 論理回路の実現論理の種類と入力数の関係

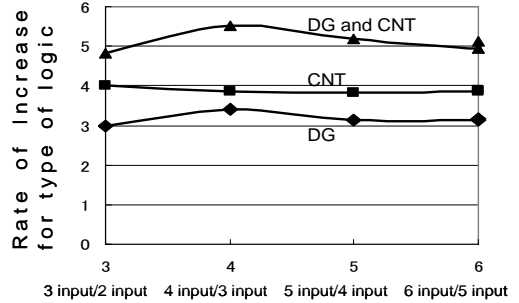


図 2-15 論理回路の実現論理の種類増加率と入力数の関係

次に実現論理の種類が多いほど論理回路の再構成能力が高いため論理回路として柔軟であり付加価値が高くなることを考慮し、1 実現論理当りのパターン面積(及び製造コスト)を求めた。ここで 1 実現論理当りのパターン面積は、論理回路のパターン面積をその論理回路が実現できる論理の種類で割った値として定義した。図 2-16 に各論理回路での入力数と 1 実現論理当りのパターン面積の関係を示す。どの種類のトランジスタを用いた場合にも、入力数の増加と共に 1 実現論理当りのパターン面積は急激に減少する。このことは本論文で解析した新しい論理回路群は、入力数が増加するほどパターン面積の増加よりも実現論理の種類増加の方が大きくなり、再構成可能論理回路として優れた性能を持っていることを示している。同一入力数では、入力数が非常に小さい場合を除き、1 実現論理当りのパターン面積の小さい順に DG and CNT、CNT、DG となる。入力数が大きい場合(図 2-16 では入力数 3 以上)では、図 2-12 で述べた DG and CNT の DG か CNT のみの場合と比較したパターン面積の増加よりも実現論理の種類増加の方が大きくなるため 1 実現論理当りのパターン面積は DG and CNT が一番小さくなる。

次に本論文で解析した新しい論理回路群の優れた再構成可能能力を従来の高密度な LSI と比較した。現在 LSI の中で最も高密度なのは、フラッシュメモリであり²⁴⁾、 $4F^2$ の小さなメモリセルにデジタル情報を記憶できる。つまり 1 論理を実現するために必要なパターン面積はフラッシュメモリでは $4F^2$ になると想定される。それを図 2-16 に参考のために示した。DG and CNT や CNT では、入力数 3 以上の場合にはフラッシュメモリ以上の優れた再構成能力を持っていることが分かる。

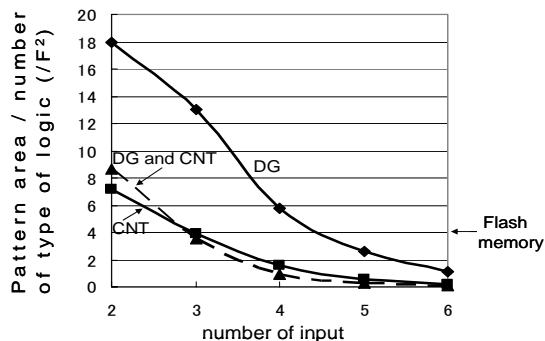


図 2-16 論理回路の 1 実現論理当りのパターン面積と入力数

2-7 まとめ及び今後の展望

最近提案した DG, CNT, DG and CNT を用いた 3 入力以上の再構成可能な論理回路の回路構成と、2~6 入力の論理回路に関してパターン設計結果、DG, CNT, DG and CNT で設計した場合のパターン面積、製造コスト、実現論理の種類等の比較結果について述べた。その結果 DG and CNT の場合は DG, CNT の場合と比較して入力数が大きいほど高い再構成能力 (1 実現論理当りのパターン面積や製造コスト) を持っている等新たな知見が得られた。これらの再構成可能な論理回路は現在の高機能システム LSI や FPGA を置き換える有力な候補であると考えられる。

今回の検討では出来るだけ少ない素子数で多数の論理数を実現することを目標とした。一方再構成可能な論理の視点から考えると、論理回路に必要な全ての論理を実現することも重要になる。例えば 2 入力の回路の場合に、合計 16 論理が必要となるが今まで 16 論理を実現できる回路構成は過去提案されていなかった。最近 12 素子から 16 素子を使って 16 論理全てを実現できる回路構成が初めて提案されている^{25) 26)}。今後はこの素子数を更に低減して 16 論理全てを実現する回路方式の提案が期待される。

また今まで提案されている回路方式はいわゆるダイナミック回路方式で素子数は少ない反面消費電力が多く、注意深く設計しないと動作が不安定になるという問題がある。最近いわゆるスタティック回路で実現した例が初めて提案されているが (図 2-17)、その素子数は 12 素子と多く、制御信号数も素子数と同じになってしまう²¹⁾。今後更に素子数と制御信号数が少ない方式の提案が望まれる。

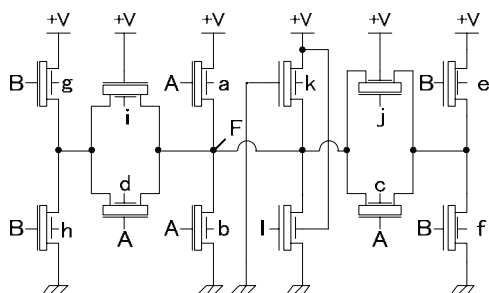


図 2-17 スタティック回路を用いた回路例

今回提案された回路設計法はいわゆる熟練の回路設計技術が必要になり、設計の自動化には程遠い状況にあるのが現状である。今後再構成可能な論理回路の主流である FPGA に置き換わるためにはいわゆる設計自動化技術の開発が必要不可欠になる。

(参考文献²⁷⁾ ではグラフを用いて設計を自動化する試みが始められている。図 2-18)。

更に CNT 型トランジスタのコントロール信号による極性 (NMOS か PMOS) の制御に関してはまだデバイス技術的に十分検討されておらず、MOS ダブルゲートトランジスタのように完成度が高いとはいえない現状にある。今後 CNT 型トランジスタの動作原理の更なる理解と制御が益々重要になる。

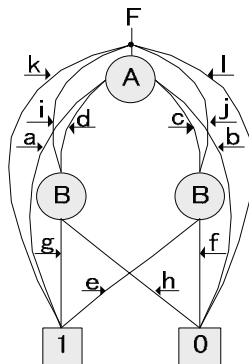


図 2-18 グラフを用いた自動設計

3. 3次元型スピントランジスタを用いた積層型 NAND MRAM の設計法

3-1 はじめに

現在の DRAM はその高速性能の為、パソコンの主記憶等に広く利用されている。一方、NAND 型に代表されるフラッシュメモリは書き込み速度や書き換え回数に制限があるものの、低コスト、不揮発性のためデジタルカメラ、携帯電話等のマルチメディア情報記憶用メモリとして広範囲に使われている。しかしながら、DRAM と NAND 型フラッシュメモリの特長を併せ持つ低コストで高速な不揮発性メモリは現在まで実現されていない。本章ではこの特性を具備したスピントランジスタ³¹⁾を用いた積層型 NAND MRAM を提案した。本章では小容量だが高速な、従来の 1 トランジスタ+1MTJ (Magnetic Tunnel Junction) 型の MRAM³²⁾より高速性能は劣るものの DRAM と同程度の高速性能と、不揮発性、1 層型の NAND 型フラッシュメモリより大容量な低コストを目標としている(図 3-1)。

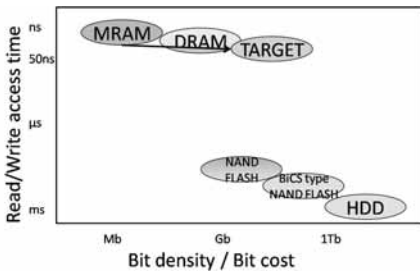


図 3-1、積層型 NAND MRAM の目標性能

本章は以下のように構成される。3-2 では新たに提案する、積層型 NAND MRAM のメモリセルの基本構成について述べる。3-3 では積層型 NAND MRAM を実現するために必要なメモリセル構造の最適化について説明する。3-4 では 64Gbit を想定した時のメモリ全体の構成、3-5 では読み出し、書き込み動作の方式、3-6 では各種動作を実現するためのロウデコーダ/カラムデコーダ等のコア回路の構成、3-7 ではメモリセルアレイ、コア回路関連の設計及び特性の見積りについて、3-8 にビットコスト低減のための積層数最適化、3-9 に将来の展望について述べ、3-10 を結論とする。

3-2 メモリセルの基本構成

図 3-2 にメモリセルの基本構成を示す³³⁾。メモリセルは 1 個のスピントランジスタから構成されている。ソースとドレイン電極は固定層としてスピンの向きは全て同じにする(A)では上向きの場合を示

す)。一方、情報はボディ部に上向きか下向きの情報を記憶する。このメモリセルを直列接続すると比較的容易に NAND 構成が実現出来る((A)では簡単化のため 4 個直列接続した場合を示す)。直列接続したスピントランジスタの上に読み出し用ビット線へ選択的に接続するためにゲートにブロック選択信号が入力される通常の MOS トランジスタを接続する。また書き込みの為に、直列接続されたスピントランジスタの横に書き込み用ビット線を走らせる(詳細は 3-3 に示す)。本方式では、1 層型 NAND 型フラッシュメモリ以下の低ビットコストを実現する為、(A)で示した NAND 構造を縦方向に積層して実現する(B)。本章で用いる、このビットコストを低減するために縦方向に積層した NAND 構造を導入する方式は NAND 型フラッシュメモリで初めて提案され³⁴⁾、その改良方式がいくつか提案されている³⁵⁾⁻³⁸⁾。これらの提案ではマスク工程無しに単純に積層数だけワード線材と絶縁膜を積層しそれらを一括して加工する事により、低ビットコストが実現出来る特徴がある。参考文献 36)37)では 60nm の微細なデザインルールを用いて 32Gbit の積層型 NAND フラッシュメモリを実現し、メモリセルの基本動作だけでなく、メモリセルの信頼性に関するデータも得られている。16 層の積層構造を実現するにはその半分の 8 層を一括して加工しており、更に高度のエッチングプロセスを用いればそれ以上の一括加工によってビットコストが低減できる事を示唆している。また参考文献 38)では、従来困難と考えられていた積層型ワード線材の低抵抗化のため、ダマシンプロセスを用いてワード線材料を置換する新プロセス技術も提案されている。以上の状況により、一括加工を用いた BiCS 型積層構造形成技術は十分に実用化出来るレベルに達していると考えられる。(C)に断面図を示す。スピントランジスタは周囲をゲート電極で囲まれた SGT³⁹⁾に近い構造で実現し、中心を縦に走る書き込み用ビット線を読み出し用ビット線で取り囲む構成とする。即ち、書き込み用ビット線を 3 方向から囲み、残りの 1 側面には絶縁膜を形成して隣接したワード線間を分離している。書き込み用ビット線を $F \times F$ (F はデザインルール)、ワード線間分離用の絶縁膜幅を F とするとメモリセルサイズは $3F \times 3F = 9F^2$ に縮小する事が出来る。

3-3. 3次元型メモリセルの構造の最適化

積層型 NAND MRAM では 3 次元型メモリセル構造として 3-2 で述べたように書き込み用ビット線を 3 方向からスピントランジスタのチャンネルが取り囲む新構造を採用した。以下にその理由について述べる。

従来の MRAM では磁界によってメモリセルに情報を

書き込む、いわゆる磁界書き込み方式^{40) 41)}を多くの場合採用している。従来のMRAMではいわゆるNOR型にメモリセルが接続されるため、比較的容易にワード線とビット線に電流を流し、その交点のメモリセルに合成磁場を発生させて書き込む事が出来た。しかしながら今回提案するNAND MRAMでは図3-3(A)に示すように直列接続した下方のメモリセルにはビット線からの磁界は届かず書き込みを行うことは出来ない。

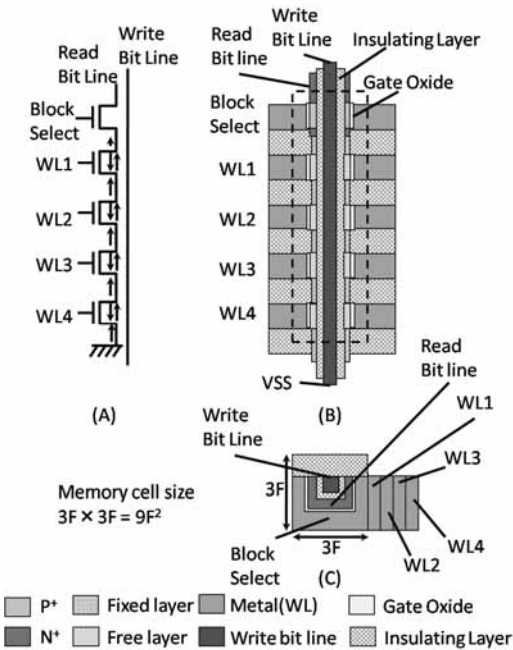


図3-2、メモリセルの基本構成
(A)等価回路、(B)断面図、(C)上面図

そのため今回新たに直列接続されたスピントランジスタの横に書き込み用ビット線を配置する方式を提案、導入した(図3-3(B))。次に図3-3(B)を出来るだけ小さなメモリセルサイズで実現するため図3-3(C)のように書き込み用ビット線を同心円状にスピントランジスタで囲む方式を考案した。しかし、この方式にはワード線に流れる電流がメモリセル部分で左右に分かれ、メモリセル部分に上向きと下向きのスピンを半分ずつ形成する(図3-4(A))問題が発生してしまう。この場合、常に上向きと下向きのスピンを半分ずつ形成しメモリセルとして機能しない。そこで次の図3-4(B)に示すように一方の隣接ワ

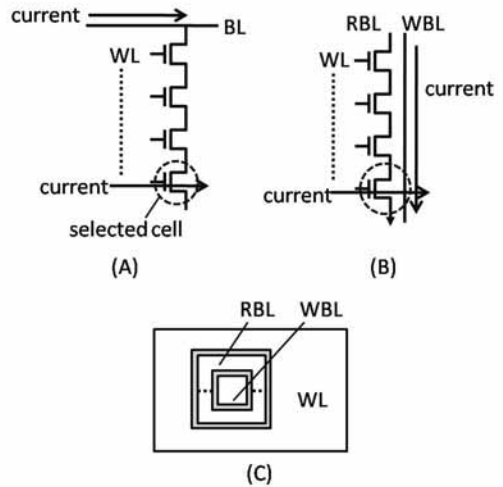


図3-3、メモリセルへの書き込み法
(A)従来方式、(B)提案方式、(C)従来型のSGTを用いた方式の断面図

ード線間を絶縁膜で分離することにより、ワード線に流れる電流の一方を無くす方式を考案した。だがこの方式はワード線の幅がメモリセル部分で狭く、ワード線抵抗が大きくなる懸念がある。そこで最終的にこれらの問題を解決した、チャンネルを3側面に減らした図3-4(C)の方式を採用した。これをワード線方向とビット線方向に配列してメモリセルアレイを形成する。

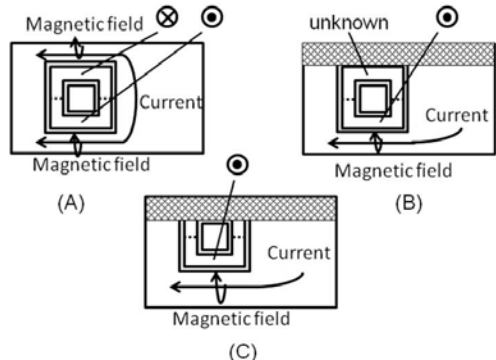


図3-4、3側面をチャンネルに用いた提案方式の上面図

図3-4(C)に示した構造のメモリセルを4行4列配

列したメモリセルアレイの構成を示す(図 3-5)。絶縁膜の横のスピンの情報の制御が可能となっており、選択された書き込み用ビット線及びワード線の交点となるセルの自由層への磁界書き込みによる情報の書き込みはセルアレイ構成でも 1 ビット単位で可能である。

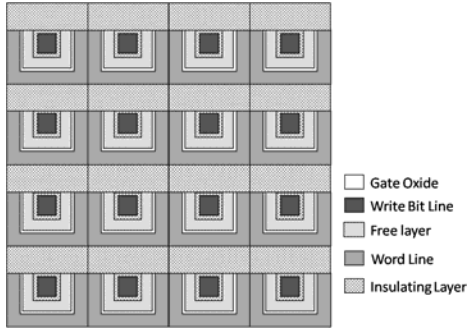


図 3-5、メモリセルアレイの構成

3-4 積層型 NAND MRAM の全体構成

次に 3-2, 3-3 で述べたスピントランジスタを用いた積層型 NAND MRAM の全体構成について述べる。全体構成を検討するにあたり、以下の 2 つの理由により 90nm デザインルールを想定した。第 1 の理由として 90nm は現在の先端 LSI よりデザインルールとして値が大きく、既にこのレベルのデザインルールでは積層型メモリの基本技術(一括加工、多層積層、ワード線材料の低抵抗プロセス、コア回路の設計法)が Gbit 級のテストチップで実証されているためである(参考文献 36)37)では 60nm ルールで実証済み)。第 2 の理由は、今回想定している磁界書き込み方式は既に製品化されている MRAM としては最も実績のある方式だが素子の微細化に伴う書き込み電流の増加、電流密度の増加に伴う信頼性の劣化が指摘されており⁴²⁾、現在の先端 LSI のデザインルールでは実現が困難になりつつあるためである。最近の微細なデザインルールで磁界書き込み方式を採用した事例⁴³⁾では、90nm ルールで書き込み電流は最大 1mA(平均 0.6mA)が報告されている。そこで、90nm ルールは 1mA という比較的設計しやすい電流値であり、磁界書き込み出来る、最も微細なルールに近いと考え本論文に用いた。90nm を用いると 64 層程度積層する事により、1 層型フラッシュメモリと同程度のチップサイズで 64Gbit のメモリが実現できる。

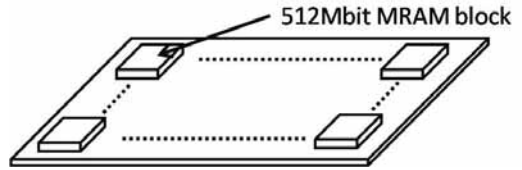


図 3-6 64Gbit チップの構成

64Gbit の構成例を図 3-6 に示す。512Mbit レベルの MRAM ブロックを 128 個配列構成している。512Mbit MRAM はロウ方向に 4k 個、カラム方向に 2k 個の 8Mbit を平面上に配列したメモリセルアレイを、64 層積層し $8\text{Mbit} \times 64 = 512\text{Mbit}$ を実現している(64 層積層すると DRAM 並みの高速性能を確保しつつ低ビットコストを実現出来る。詳細は 3-7, 3-8 で述べる)。以下にチップ上に並べる 512Mbit MRAM の構成の概要を説明する(図 3-7)。

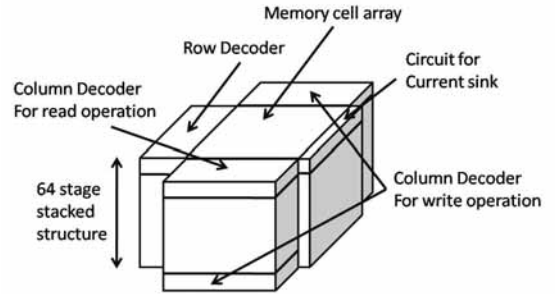


図 3-7、512Mbit MRAM ブロックの構成

64 段に積層がなされたメモリセルアレイを中心に配置し、その片側に書き込みと読み出しを行う為のロウデコーダと、それと対になる書き込み時に選択と接地する為の回路(Circuit for current sink)が配置される。書き込み時にワード線に流す電流は一方方向にのみ限定されるのでロウデコーダはセルアレイの片側だけに配置するだけで済む。カラムデコーダは、書き込み用と読み出し用をそれぞれ用意する。書き込み用カラムデコーダはメモリセルアレイの上下の点対称となる位置に配置する。書き込み用カラムデコーダを上下に点対称に配置するのは、磁界書き込みを行う為に双方向に電流を流す事が必要である為である。具体的には上下に配置したデコーダの片方を接地させ、片方の電圧を上げることで双方向に電流を流す。以下に更に詳細な構成を示す。

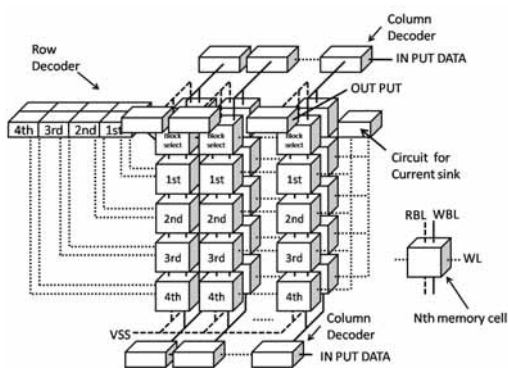


図3-8、512Mbit MRAM ブロックの詳細な構成

図3-8では簡単に構成を示すために4段(1st~4th)積層した例を示す。各メモリセル(Nth memory cell)には縦にRBLとWBLが走り、横にWLが走る。積層化するにはまず下部のカラムデコーダを形成し、次にメモリセルを順次4th, 3rd, 2nd, 1stの順に積層し、次にBlock Selectを積層し、最後に上部のカラムデコーダとロウデコーダを同一層に形成する。メモリセル部を積層する際には低コスト化のためにBiCS(Bit Cost Scalable)技術^{34) 35)}を採用する。上部で構成されたロウデコーダの出力は接続されるメモリセルの高さまで下に向かって縦方向に配線され(4thセルでは一番下まで)、その後横方向に配線してメモリセルに入力する。3-7で詳述するが、ロウデコーダはSGTを用いて構成する事により狭いメモリセルピッチ3Fに合わせてロウデコーダをメモリセルレイの片側に配置し、チップ面積の増大を防いでいる。

3-5 積層型 NAND MRAM の読み出し、書き込み方式

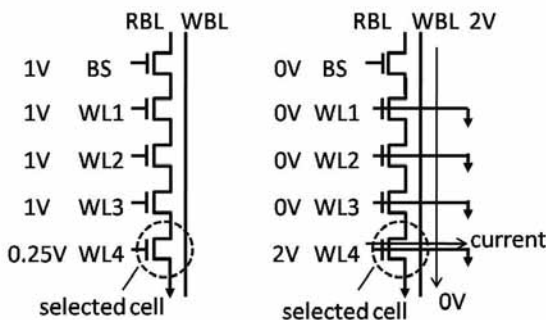


図3-9 読み出し書き込み方式

積層型 NAND MRAM では NAND 構成でのランダムな読み出しを実現する為、選択した NAND において、通過セルのゲートには高い電圧(1V)を、選択セルのゲートには低い電圧(0.25V 等)をワード線電圧発生器を用いて印加する、新たな回路方式を導入する³³⁾(図3-9)。この方式により通過セルに誤書き込みする事なく選択セルのデータを読み出せる。また、前述したWBLを新たに導入する事により NAND 構成でのランダムな書き込みが可能となる。選択された NAND の中で選択されたセルに接続されるロウデコーダの出力は2V, Current Sink 回路には0Vを印加してワード線WL4に書き込み電流を流す。その時に通過セルに接続されるロウデコーダの出力、Current Sink 回路共に0Vを印加して電流を流さない。一方WBLには上端か下端に2Vか0V、逆の端にもう一つの電圧を印加して電流を流す(図では上端が2V、下端が0V)。

3-6. ロウデコーダ/カラムデコーダ等のコア回路の構成

以下にロウデコーダの回路図, 動作タイミング図を示し、動作の説明をする。

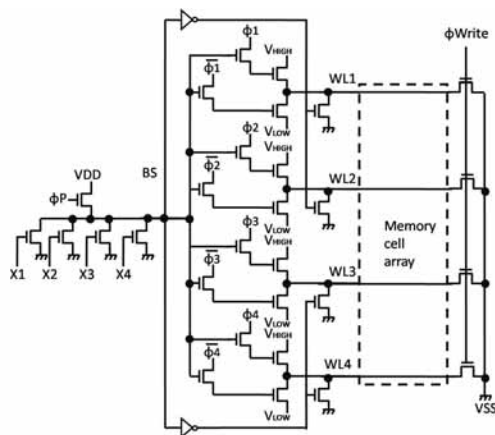


図3-10 ロウデコーダ回路

図3-10にロウデコーダ回路、図3-11にロウデコーダの駆動回路を示す。ロウデコーダ回路は簡単化のために4層のNAND MRAMを駆動する場合を想定している(実際には64層になり図3-11に示す駆動信号はΦ64まで必要となる)。ロウデコーダ回路は基本的に大容量DRAMで使用されるプリチャージ型のNOR部分にWLドライバ回路を接続した方式になっている⁴⁵⁾。X1~X4およびΦ1~Φ4はアドレス信号を部分デ

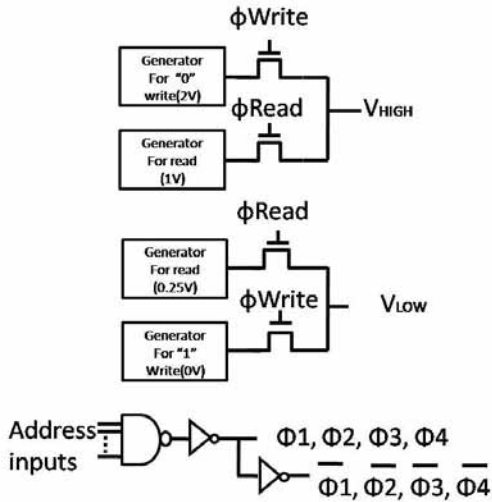


図 3-11 ロウデコーダ駆動回路

コードした信号である。ロウデコーダ回路の中で特徴的なのは各ワード線の出力をドレインが V_{HIGH} に接続されるトランジスタか V_{LOW} に接続されているトランジスタのいずれかで充電する方式である。これは一組のロウデコーダ回路を最小のトランジスタ数で選択、通過メモリセルに読み出し、書き込みに必要な信号を発生するために新たに考案した。この方式を用いる事により、読み出し時には選択セルのゲートに接続されたワード線は V_{LOW} に接続されているトランジスタにより 0.25V に充電され、通過セルのゲートに接続されたワード線は V_{HIGH} に接続されているトランジスタにより 1V に充電される。一方書き込み時には選択セルのゲートに接続されたワード線は V_{HIGH} に接続されているトランジスタにより 2V に充電され、通過セルのゲートに接続されたワード線は V_{LOW} に接続されているトランジスタにより 0V に設定される。またメモリセルアレイを挟んでWLドライバ部分の逆側には書き込み時に選択セルのワード線に電流を流すための Current Sink 用の回路を設ける。書き込み時に選択セルのゲートに接続されるワード線は WL ドライバ側が 2V に充電されるのに対し、Current Sink 用の回路側は接地されるためその電位差によりワード線に一方方向に電流が流れる。図 3-11 に示すように読み出しや書き込みに必要となる積層型 NAND MRAM 固有の電圧 0.25V、1V、2V はロウデコーダ外に設置された専用の発生回路で生成する。(電源電圧を 1V とした場合には 1V の発生回路は不要になる)。

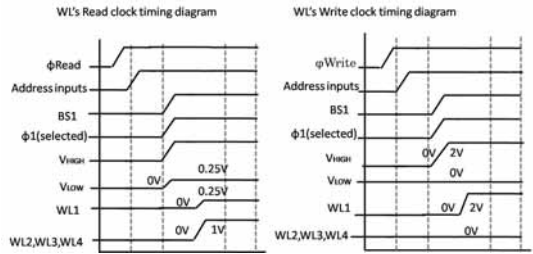


図 3-12 ワード線動作タイミング図

図 3-12 にロウデコーダ部分を中心としたワード線関連の信号の読み出し、書き込み時の動作タイミングを示す。図 3-10 で WL1 を選択する場合には、アドレス入力が無効になった後に読み出し時に WL 1 は 0.25V に充電され、通過セル用のワード線 WL2、WL3、WL4 は 1V に充電される。書き込み時にはアドレス入力が無効になった後に WL1 のみ 2V に充電される。

図 3-10 のロウデコーダをメモリセルの縦方向にピッチ 3F で設計するのは通常平面型トランジスタでは困難である。そこで今回ロウデコーダ等のコア回路のパターン設計には平面型よりも高密度化に適しており、パターン面積を約半分縮小出来る 3 次元型トランジスタの代表例である SGT^{(46) (47) (48)} を採用した。図 3-13 に図 3-10 のロウデコーダ回路の SGT によるパターン設計例 (上面図と断面図) を示す。

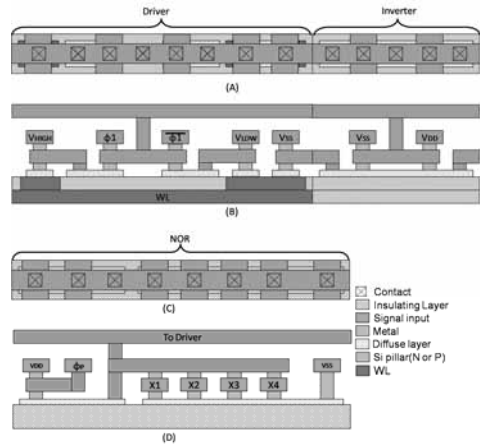


図 3-13 ロウデコーダ SGT パターン図 (A) ドライバ回路とインバータ回路の上面図、(B) 断面図 (C) NOR 回路の上面図、(D) 断面図

3次元型トランジスタを用いたLSIの設計法（渡辺・玉井）

どのトランジスタもチャンネル幅4Fで設計している。パターン設計に当たってはシリコン柱やコンタクトのサイズはF*F、それらと下部の拡散層、上部配線等との余裕は0.5F、SGTのゲート電極のトランジスタ部分での厚さは0.25Fを想定した。図に示すようにNOR部分の出力であるBS信号はロウデコーダ内をワード線の走る方向に横に走る。一方電源、アドレスの部分デコード信号等ロウデコーダ外で発生する信号はロウデコーダ内をワード線に垂直に縦に走る。インバータ部分はパターン設計の関係上2個の隣接したWLドライバのみに出力を接続する。実際にはメモリセルを64層積層するためロウデコーダ1個あたりNOR部分が1個、インバータが32個、WLドライバが64個必要になる。SGTを用いて初めて3Fの狭いピッチにロウデコーダ回路を配置出来、しかもその長さも必要最小限に抑えることが出来た。ロウデコーダの横の長さは、NOR部が25F、インバータ部が12.5F、WLドライバ部が22.5Fを用いると64段分で合計1865Fとなる。以下にカラムデコーダの回路図、駆動回路、動作タイミング図、パターン図を示し、動作の説明をする。

場合を示しているが、実際には2k個のビット線が接続される。

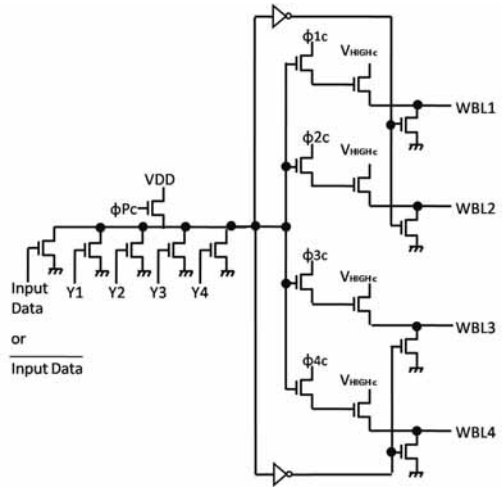


図 3-15 書き込み用カラムデコーダ回路

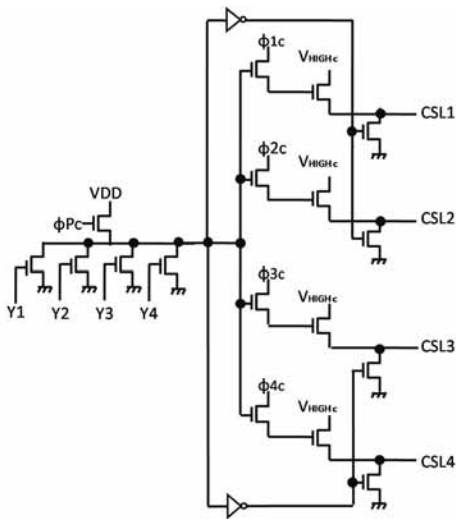


図 3-14 読み出し用カラムデコーダ回路

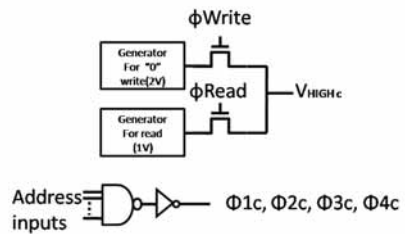


図 3-16 カラムデコーダ駆動回路

図 3-14 に読み出し用カラムデコーダ回路、図 3-15 に書き込み用カラムデコーダ回路、図 3-16 にカラムデコーダの駆動回路、図 3-17 にカラムデコーダとメモリセルアレイの構成を示す(図では簡単化のために出力である Output に 4 本のビット線が接続される

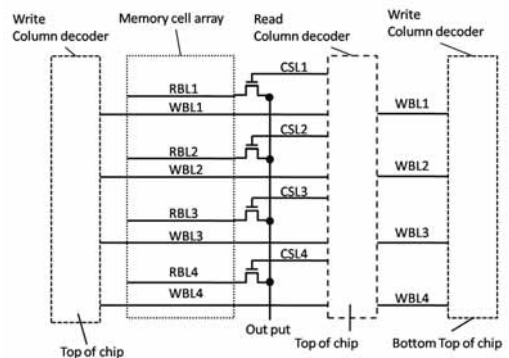


図 3-17 カラムデコーダ、メモリセルアレイの構成

読み出し用カラムデコーダ回路は基本的に大容量 DRAM で使用されるブリチャージ型の NOR 部分にドライバ回路を接続した方式になっている。Y1~Y4 にはアドレス信号を部分デコードした信号が使用される。読み出し時には選択した RBL を output に接続する為の CSL 信号を選択し V_{HIGH} に接続されているトランジスタにより 1V に充電する。その際それ以外の CSL 信号は接地される。書き込み用カラムデコーダ回路は、チップの上部と下部に 1 個ずつ配置する。上部にはブリチャージ型の NOR 部分に入力データを表す Input Data を入力し、下部には入力データの反転を表す Input Data を入力する。この方式を用いると選択された書き込み用ビット線のセルアレイ内の一方の端は書き込み用高電圧 (2V) に充電され、他方は接地される。例えば “Input Data が 0” の場合、上部の書き込み用ビット線の出力は書き込み用高電圧になり、下部の出力は接地となり、上部から下部に向かって書き込み用ビット線に電流が流れる。書き込み高電圧の値 (2V) はメモリの情報の書き込みに必要な電流値の下限値と、書き込み用ビット線の抵抗値の積によって決まる (詳細は 3-7 で説明する)。図 3-16 に示すように読み出しや書き込みに必要となる積層型 NAND MRAM 固有の電圧はロウデコーダと同様に外の専用の発生回路を用いて生成する。図 3-14 で説明した読み出し用カラムデコーダはチップ上部に配置する (図 3-17)。一方書き込み用カラムデコーダは一方はチップの上部、他方はチップの下部に配置する (図 3-17)。一方を上部、一方を下部に配置する方式は磁界書き込みを用いた積層型 NAND MRAM で必然的に必要となる新たな配置方式である。図 3-18 にカラムデコーダ関連の動作タイミングを示す。読み出し時に CSL1 を選択する場合アドレスが有効になった後 CSL1 は 1V に充電される。一方書き込み時には CSL1 に対応する WBL1 が 2V に充電される。

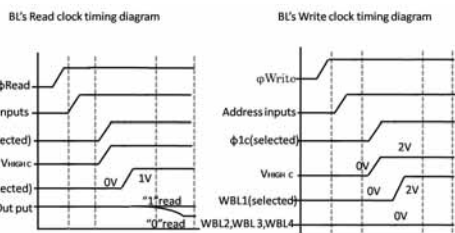


図 3-18 ビット線動作タイミング図

カラムデコーダのトランジスタのチャンネル幅はロウデコーダと同じく 4F で設計している。パターン設

計もロウデコーダと同様に代表的な 3 次元型トランジスタである SGT を用いる。デザインルールもロウデコーダと同様である。図 3-19 に読み出し用カラムデコーダ、図 3-20 に書き込み用カラムデコーダの SGT によるパターン設計例 (上面図と断面図) を示す。

図に示すように NOR 部分の出力信号はカラムデコーダ内をビット線の走る縦方向に走る。一方電源、アドレスの部分デコード信号等カラムデコーダ外で発生する信号はカラムデコーダ内を NOR 部の出力信号に垂直に縦に走る。インバータ部分はパターン設計の関係上 2 個の隣接したドライバ回路のみに出力を接続する。SGT の導入により 3F の幅にコンパクトにパターン面積を実現出来た。カラムデコーダはロウデコーダと違い段数に関係なく、メモリセルアレイ内のビット線の本数によって配置するデコーダの数は決まる。そのためパターン面積もロウデコーダと比較して小さい。書き込み用、読み出し用共にカラムデコーダは NOR 部分が 1 個、インバータが 1 個、BL ドライバが 2 個で構成される。読み出し用カラムデコーダの横の長さは、NOR 部が 25.5F、インバータ部が 12.5F、CSL ドライバ部が 15F を用いると合計 67.5F となる。書き込み用カラムデコーダの横の長さは、NOR 部が 27.5F、インバータ部が 12.5F、WBL ドライバ部が 15F を用いると合計 70F となる。いずれの場合も 64 段分のロウデコーダの 1865F と比較的小さい値で実現出来る。

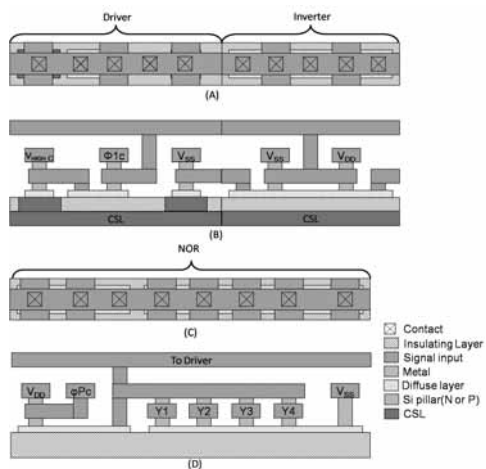


図 3-19 読み出し用カラムデコーダ (A) ドライバ回路とインバータ回路の上面図、(B) 断面図 (C) NOR 回路の上面図、(D) 断面図

3 次元型トランジスタを用いた LSI の設計法 (渡辺・玉井)

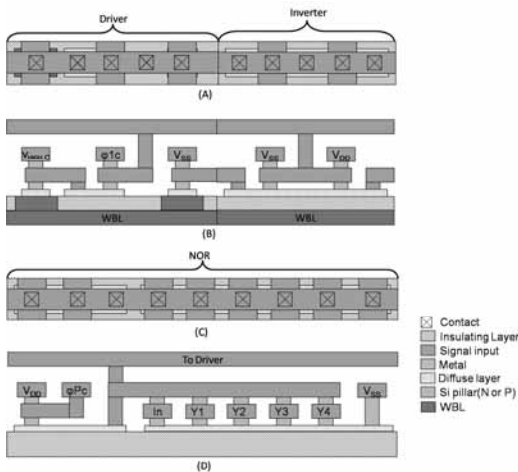


図 3-20 書き込み用カラムデコーダ

(A) ドライバ回路とインバータ回路の上面図、(B) 断面図 (C) NOR回路の上面図、(D) 断面図

3-7 メモリセルアレイ、コア回路の設計及び特性見積り

次にメモリセルアレイ、ロウデコーダ、カラムデコーダ、ワード線、ビット線等のコア回路関連の設計、特性見積り、1本のワード線、ビット線に接続されるメモリセル数と、積層段数を決定した。本メモリでは①DRAMと同程度の高速特性を実現するためDRAMのアクセス時間50nsの20%である10ns以内にワード線、ビット線関連の遅延時間が収まる事、②1層型NAND型フラッシュメモリ以下の低ビットコストを実現するため積層段数を最適化し、その時DRAM並みの60%のメモリセル占有率を確保する事、③コスト低減のために配線等の材料は出来るだけ従来技術を採用する事、④トランジスタ等の信頼性を考慮し、読み出し書き込みに使用する高電圧は数V程度に抑える事、の4点を念頭にコア回路関連の設計及び特性見積りを行った。

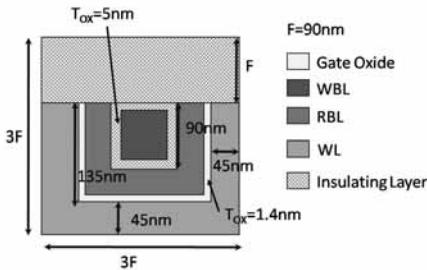


図 3-21 メモリセルの水平方向の断面図

はじめにワード線容量、ワード線抵抗を元に1本のワード線へのメモリセルの接続数を決定した。ワード線の容量は大部分を占めるSGTトランジスタのゲート容量のみを考慮した。見積りに用いたメモリセルの水平方向の断面図を図3-21に示す。SGTのチャンネル幅5F、ゲート長F、ゲート絶縁膜厚1.4nm、デザインルールF=90nmを用いると、1セル当たりのゲート容量は0.001pFになる。一方ワード線抵抗は図3-21の形状とワード線に低抵抗高融点金属材料を新たに導入することを仮定してシート抵抗=0.1Ω/□を使用すると1セル当たり0.47Ωになる。ワード線1本の容量と抵抗はこれらの値に接続メモリセル数を掛けた値となるが、接続メモリセル数が4千個ではそれぞれ4.00pFと1.86kΩになる。両者の積がワード線の遅延時間になると仮定するとワード線の遅延時間は7.42nsになり①の条件を満足する。またメモリセルの書き込みに必要な電流は1mAと仮定し、書き込み時にワード線に1mA流すために必要な電圧 V_{HIC1} は $1mA \times 1.86k\Omega = 1.86V$ となり④を満足している。接続セル数を倍の8千個に増やすとワード線1本の抵抗は3.73kΩ、容量は7.98pF、遅延時間は29.7nsに増加し、ビット線の遅延時間を考慮すると①は満足しなくなる。そのため1本のワード線へのメモリセルの接続数は4千個とした。ワード線の抵抗が大きくなる傾向の強いSGTを用いているにもかかわらず比較的ワード線の抵抗値が小さいのは今回新たに導入したチャンネルを3側面に減らした新方式を導入した事により、小さなメモリセル面積に大きなワード線幅0.5Fが確保できたためである。

次に読み出しビット線の縦方向の容量・抵抗、書き込みビット線の縦方向の抵抗を元に積層段数を決定した。ビット線の縦方向の容量は図3-22より求めた。

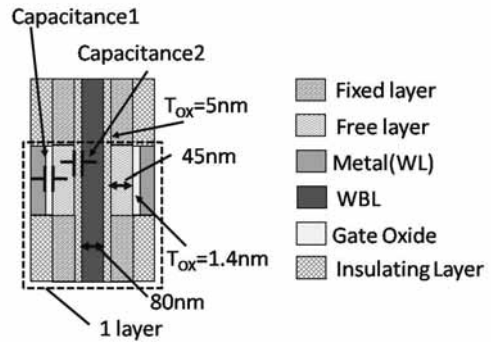


図 3-22 メモリセルの断面図

隣接した上下のワード線間隔を F 、書き込み用ビット線と読み出し用ビット線間の絶縁膜厚を 5nm とすると、1層当たりの縦方向の読み出し用ビット線の容量は読み出しビット線とワード線間のゲート容量 (Capacitance1) と読み出し、書き込み用ビット線間容量 (Capacitance2) の和として表わされ 0.0013pF になる。一方読み出しビット線の縦方向の抵抗は SGT 構造を用いたスピントランジスタの等価抵抗から求められる³³⁾。過去の研究報告³³⁾より縦方向の読み出しビット線の抵抗は積層数に依存せず、選択セルの等価抵抗の2倍以内に抑えないと誤読み出しする事が知られている。そこで選択セルの等価抵抗を求め、その2倍の値を縦方向の読み出しビット線の抵抗値とする。過去の研究報告³³⁾よりゲート長 10nm 、チャネル幅 30nm 、ドレイン電圧 0.05V 、ゲート電圧 0.25V 、しきい値電圧 0.2V の時の選択セルの等価抵抗が求められている。ゲート長 90nm の今回の検討ではチャネル幅、ゲート長に比例した β 値が使えると仮定して、図3-21のSGT構造での等価抵抗 (ドレイン電圧とゲート電圧は過去の研究報告と同じ) を求めた。その値は $42\text{k}\Omega$ であるため、縦方向の読み出しビット線の総抵抗値はその2倍の $84\text{k}\Omega$ になる。書き込みビット線抵抗は図3-21の形状と書き込みビット線に従来のポリサイド材料を導入することを仮定してシート抵抗 $=5\Omega/\square$ を使用すると1セル当たり 10Ω になる。縦方向の読み出しビット線容量と縦方向の書き込みビット線抵抗はこれらの値に積層数を掛けた値となるが、積が64層ではそれぞれ 0.06pF と、 640Ω (書き込みビット線) になる。その結果読み出しビット線の遅延時間は 5.04ns になり①の条件を満足する。またメモリセルの書き込みに必要な電流は 1mA と仮定すると、書き込み時に書き込み用ビット線に 1mA 流すために必要な電圧は $1\text{mA} \times 0.64\text{k}\Omega = 0.64\text{V}$ となり④を満足している。積層数を128層に増加させると読み出しビット線の遅延時間が 10ns を若干を超えるため、①を満足するためには64層を用いるのが望ましい。64層の積層数ではロウデコーダの長さは3-6で述べたように $1863F$ になる。1本のワード線に接続されるメモリセル数は 4k 個なので、メモリセルアレイのワード線の走る方向の長さは $3F \times 4000 = 12000F$ になる。DRAM並みのメモリセル占有率60%を確保するためには、ロウデコーダ・カラムデコーダ部を20%、周辺回路を20%に押さえない⁴⁰⁾。ロウ・カラムデコーダ部の大部分をロウデコーダで占めると考えるとロウデコーダの面積は15%程度に抑える必要がある。そのためロウデコーダの面積はメモリセルアレイの $15/60 = 25\%$ におさえる必要がある。すなわちロウデコーダの長さは

$12000F \times 0.25 = 3000F$ 以下にする必要があるが前述したように64層ではこの条件を満足している (②を満足している)。

最後に読み出しビット線の横方向の容量・抵抗、書き込みビット線の横方向の抵抗を元に一本の読み出し・書き込みビット線に接続されるメモリセル数を決定した。1セル当たりの読み出し用ビット線の横方向の容量はブロック選択用トランジスタのドレインの N^+ 拡散と基板との接合容量 (基板の不純物濃度は 10^{17}cm^{-3}) とビット線配線と周りの配線との層間容量 (層間距離は F 、層間絶縁膜はシリコン酸化膜) の和として表わされ 0.00009pF になる。一方横方向の読み出し用ビット線に従来の Cu 配線を導入することを仮定してシート抵抗 $=0.1\Omega/\square$ を使用すると1セル当たり 0.3Ω になる。その結果1本の横方向に走る読み出し用ビット線に 2k 個のメモリセルを接続すると横方向の読み出し用ビット線容量は 0.06pF 、横方向の読み出し用ビット線抵抗は $0.6\text{k}\Omega$ となり、横方向の読み出し用ビット線の遅延時間は 0.65ns になる。この値に縦方向の読み出しビット線の遅延時間を加えても①の条件を満足する。一方横方向の書き込み用ビット線にも Cu 配線を使用する事を仮定してシート抵抗 $=0.1\Omega/\square$ を使用すると1セル当たり 0.3Ω になる。その結果 2k 個のメモリセルの上を走る書き込み用ビット線の抵抗は $0.6\text{k}\Omega$ になる。この横方向の書き込み用ビット線に 1mA の電流を流すには 0.6V の電圧が必要で、これに縦方向の書き込み用ビット線に必要な電圧 0.64V を加えても 1.24V となり④の条件を満足する。

以上の検討結果より、積層数を64、1本のワード線へのメモリセル接続数を 4k 個、1本の読み出し用ビット線へのメモリセルの接続数を 2k 個、ワード線材料には低抵抗高融点材料を導入する必要があるが、縦方向の書き込み用ビット線 (ポリサイド)、横方向読み出し用ビット線と横方向書き込み用ビット線 (Cu) には従来からLSIに広く使用されている材料を使用する事により本論文の目標である高速低コスト不揮発性メモリに必要な①~④の仕様が満足されることが分かった。また書き込み時にワード線及び書き込み用ビット線に 1mA の電流を少し余裕を持って流せるようにワード線や書き込み用ビット線の駆動用電源の電圧は 2V に設定する。

3-8 ビットコスト低減のための積層数最適化

3-7の検討により、DRAMと同等の高速性能を実現するための積層数の上限が64~128層であり、それが縦方向ビット線の遅延時間に起因する事が分かった。本節ではビットコストの最小化の視点で最適積

層数を求め、1層型のフラッシュメモリ、積層型 BiCS フラッシュメモリ（動作速度が本提案より遅く、本提案と同じフィールドでの比較対象にはならない）と比較した。最初に、積層数を変数としたチップ面積を求めた。メモリセル部の面積は積層数によらず一定とし、コア回路部の大部分の面積を占めるロウデコーダに関しては 3-6 に述べた方式で詳細に見積もり、それ以外の周辺回路はチップ面積の 40% を占めると仮定した。見積もり結果を図 3-23 に示す。積層段数の増加に伴いロウデコーダの面積が増加し、512 層ではメモリセル部を超える事が分かる。

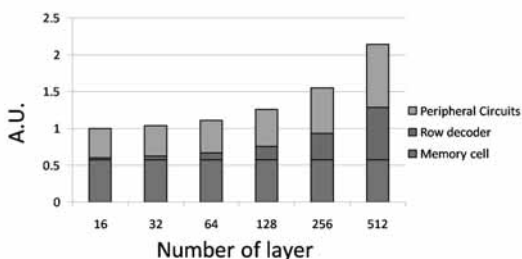


図 3-23 チップ面積の見積もり

比較に用いる積層型 NAND フラッシュのメモリセル占有率は積層数によらず 80% と一定にした。積層型 NAND MRAM の方がメモリセル占有率が低いのは DRAM と同等の高速性能を実現する為メモリセルアレイを多分割し(本論文では 1Gbit を 128 分割)、それを駆動する周辺回路が大きくなっているためである(参考文献³⁶⁾³⁷⁾では 1Gbit を 2 分割しかしていない)。

次にチップコストを比較した。チップコストはチップ面積と工程数に比例し、歩留まりに反比例すると仮定して計算した。積層型 NAND MRAM のセル面積は $9F^2$ とし、フラッシュメモリ、積層型フラッシュのセル面積は共に $4F^2$ 、セル占有率は 80% とした。1 層のフラッシュメモリを製作するのに必要な工程数を 1 とすると 64 層の積層型では、 $3+0.04 \times 64=5.56$ 倍の工程数が必要になる。積層型 NAND MRAM では、積層型 NAND フラッシュ同様に上部にブロック選択用トランジスタ(製作に工程数 1 必要)、下部にカラムデコーダ(積層型 NAND フラッシュでは下部選択トランジスタ製作にいずれも工程数 1 必要)といった構成になっており NAND フラッシュ同様積層数によらず別に 3 工程数分必要となる。積層するにあたり 1 層当たりが必要なプロセス(ワード線材の形成、絶縁膜の形成)は積層型 NAND MRAM、積層型 NAND フラッシュ共に同じであると仮定し工程数の増分は 0.04 とした(1 層当たりの工程数の増分 0.04 という値は積層型 NAND

フラッシュのビットコストが 1 層型フラッシュの約 10% に低減する際に必要な上限値である)。

次に積層型 NAND MRAM の 1 層当たりの歩留まりは $Y=\exp(-DA)$ を用いて求めた (Y は歩留まり、 D は欠陥密度、 A はチップ面積)。その値は 92% になる。これを積層する際に工程数の増加による歩留まりの低下は 64 層の場合 $Y=0.92^{5.56}=0.64$ として求めた。最後に 1 ビット当たりのコストであるビットコストはチップコストを積層数で割って求めた。その結果を図 3-24 に示す。

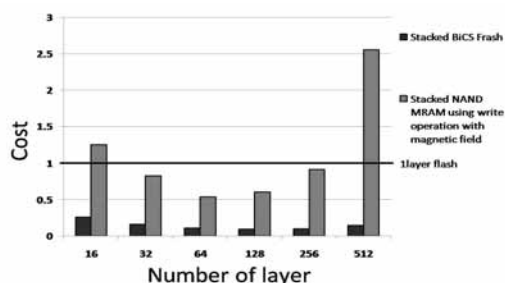


図 3-24 積層型メモリのビットコストの比較

積層型 NAND MRAM では 64 層積層するとビットコストは最小になり、その値は 1 層のフラッシュメモリの約 53% に低減出来る事が分かった。積層数を更に増加させるとロウデコーダ部分の面積増による歩留まり低下によりビットコストは急激に増加する。

この積層数は前節で求めた DRAM と同等の高速性能を実現出来る積層数の上限と同じになっている。つまり、コスト面、性能面の両者を考えた場合 64 層が最適な積層数になる。64 層の積層を実現するためには、幅 F 、深さ $2F \times 64=128F$ のアスペクト比 128 のエッチング技術が必要になる。これは現在の高密度 DRAM 用のシリコンエッチング技術の更なる改良で実現可能であると予想される⁵⁰⁾⁵¹⁾。一方積層型 BiCS フラッシュでは 128 層でビットコストは最小になり 1 層型の約 10% に低減出来る(64 層でもほぼ同じビットコストが実現出来る)。以上の結果を図 3-25 にまとめた(積層型は 64 層の場合を示す)。

	1layer flash	BiCS flash	Stacked NAND MRAM
Cell size(F^2)	4	4	9
Cell occupied ratio	0.8	0.8	0.52
Chip size	1	1	3.6
Number of process step	1	5.56	5.56
Yield	0.95	0.75	0.640
Chip cost	1	6.976	34.33
Bit cost	1	0.109	0.536

図 3-25 ビットコストのまとめ

図 3-25 の結論を得る上での重要なパラメータは歩留まり (95%)、1 層当たりの工程数の増分 (0.04)、周辺回路の占有率 (40%) である。これらのパラメータの値のビットコストに与える影響に関しても以下に簡単に見積もった。

Yield of 1layer flash	1layer flash	BiCS flash	Stacked NAND MRAM
0.9	1	0.104 (64)	0.813 (64)
0.95	1	0.091(128)	0.536 (64)
0.99	1	0.057(512)	0.374(128)

図 3-26 ビットコストの歩留まり依存性

図 3-26 にビットコストの歩留まり依存性を示す。1 層当たりの工程数の増加分は 0.04、周辺回路の占有率は 40% とした。() 内は最適積層段数を示す。歩留まりを 95% の前後である 90%、99% に変えてもビットコストの絶対値は変化するものの、積層型 BiCS フラッシュと積層型 NAND MRAM 間のビットコストの比率は 90% で 7.8 倍、95% で 5.8 倍、99% で 6.4 倍という値や、最適積層段数は余り変化しない。また、積層型 NAND 方式のメモリでは歩留まりが高いほどビットコスト低減の効果が大きくなる事が分かる。

Excess process step for 1layer addition	1layer flash	BiCS flash	Stacked NAND MRAM
0.06	1	0.110 (64)	0.731 (64)
0.04	1	0.091(128)	0.536 (64)
0.02	1	0.046(256)	0.337 (64)

図 3-27 ビットコストの 1 層当たりの工程数依存性

図 3-27 にビットコストの 1 層当たりの工程数の増加分依存性を示す。1 層型 NAND フラッシュの歩留まりは 95%、周辺回路の占有率は 40% とした。() 内は最適積層段数を示す。1 層当たりの工程数の増加分を 0.04 の前後の 0.02、0.06 に変えてもビットコストの絶対値は変化するものの、BiCS 型フラッシュと積層型 NAND MRAM 間のビットコストの比率は増加分が 0.02 で 7.3 倍、0.04 で 5.8 倍、0.06 で 6.6 倍という値はそれほど大きく変化しない。また積層型 NAND 方式のメモリでは将来プロセス技術の進展により、1 層当たりの工程数の増加分が小さくなるとビットコストが安くなりコスト面での最適積層段数が増加する。

Occupied area of peripheral circuit	1layer flash	BiCS flash	Stacked NAND MRAM
40%			0.536 (64)
30%			0.438 (64)
20%	1	0.091(128)	0.335 (64)

図 3-28 ビットコストの周辺回路の占有率依存性

図 3-28 に積層型 NAND MRAM のビットコストの周辺回路の占有率依存性を示す。1 層型 NAND フラッシュの歩留まりは 95%、1 層当たりの工程数の増加分は 0.04 とした。() 内は最適積層段数を示す。回路設計技術の進展により周辺回路の面積占有率を下げられれば、ビットコストを低減出来る可能性がある事が分かる。

3-9 今後の展望

前節までの検討により、90nm デザインルールで 64 層の磁界書き込み方式積層型 NAND MRAM を用いれば、DRAM と同程度の高速性能と、1 層のフラッシュメモリの約 53% の低ビットコストの 64Gbit 不揮発性メモリが実現出来る可能性がある事を示した。しかしながら、3-4 に述べたように磁界書き込み方式は更なる微細化に対応するのが困難である。

素子の微細化に伴う書き込み電流の増加を抑えようとすれば、もれ磁場を防ぐメモリセルの設計⁵²⁾ や書き込み用ビット線を取り囲む SGT 構造を生かした最適設計法等が考えられるが根本的な対策にはなりにくい。一方、素子の微細化に伴う電流密度増加による信頼性の劣化に関しては書き込み後必ずワード線と書き込み用ビット線に書き込み後、書き込み時と逆方向の電流を流し信頼性の劣化を防ぐ方式^{53) 54)} が有効であるが、トグル方式⁵⁵⁾ 同様アクセス時間が遅くなってしまいう問題がある。即ち、選択したメモリセルのワード線と書き込み用ビット線に電流を流してメモリセルに書き込みを行った後に、ワード線に書き込み時の逆方向の電流を流し、その後ワード線の電流を止め、書き込み用ビット線のみ書き込み時の逆方向の電流を流す方式では、DRAM と同程度の高速性能が失われる問題がある。

以上の事を勘案すると、50nm 以下の微細化を実現する為には磁界書き込み以上に微細化に適したスピン注入書き込み方式^{56) 57)} の導入が必要不可欠になると考えられる。スピン注入書き込み方式を導入出来れば磁界書き込み方式で必要不可欠な書き込み用ビット線が不要になり、メモリセルサイズをフラッシュメモリと同様に 4F² まで縮小できる可能性がある。磁界書き込み方式積層型 NAND MRAM のビットコストが積層型 NAND フラッシュメモリより高いのは主にメモリセル面積とメモリセル占有率に起因する。少なくともスピン注入書き込み方式によりメモリセルサイズを 4F² まで縮小出来れば磁界書き込み型以上のビットコスト低減が期待できる。メモリセル面積が 9F² から 4F² に縮小された効果を考慮したビットコストの比較結果を図 3-29 に示す。積層数 64 層でスピン注入書き込み方式の場合に、ビットコストは 1 層の NAND フラッシュの約 53% まで低減出来、その値は 64 層の積層型 BiCS フラ

ツシュの約4.9倍に抑えられる。

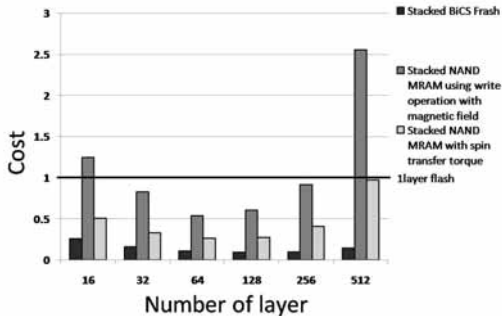


図 3-29 将来の積層型メモリのビットコストの比較

以上に述べた様に今後の微細化のためにはスピン注入方式の導入が信頼性、低電力化、低コスト化のために必要不可欠となる(磁界書き込み方式以上に微細化に適した方法として磁壁移動書き込み方式⁵⁸⁾も有効である)。また、スピン注入書き込み方式と同様に重要なのがスピントランジスタ自身の開発、特にその3次元化である。現在スピントランジスタはデバイスシミュレーションレベルでの検討は行われているが未だメモリ素子として適用できるような電気的な実測データは得られていない。今後、更なるデバイス、プロセス技術の進展が望まれる。

3-10 まとめ

低コスト、高速性能、不揮発性を併せ持つ3次元型スピントランジスタを積層した積層型 NAND MRAM を新たに提案した。メモリセルには3方向から書き込みビット線を取り囲む形の3次元構造のSGT型のスピントランジスタを導入し、 $9F^2$ の微細なセル面積での従来の磁界書き込み方式での書き込みを可能にした。また90nmルールを用いた64Gbitメモリを想定したセルアレイとデコーダ等のコア回路の仮想設計を行った。その結果メモリセルを64層積層し、1本のワード線に4k個、1本のビット線に2k個のメモリセルを接続する方式によりDRAMと同程度の高速性能と、1層型NANDフラッシュメモリの約53%の低ビットコストが実現出来る可能性がある事を示した。更に今後の展望としてスピン注入等の新たな書き込み方式の導入により積層型NANDフラッシュメモリに近い低ビットコスト化を実現出来る事が期待出来る可能性がある。3次元構造のスピントランジスタを本方式は将来の低コスト、高速性能な不揮発性メモリを実現する候補として極めて有効である。

4. 結論

3次元型トランジスタを用いたLSIの設計法について述べた。第1章では、過去に提案した3次元型トランジスタFinFET、ダブルゲート型トランジスタ、積層型ダブルゲート型トランジスタを用いたインバータ、NAND回路等の論理回路やフルアダー等のシステムLSIのパターン面積の比較結果について述べた。3次元型トランジスタの導入により製造コストに直結するパターン面積が従来の平面型トランジスタを用いた場合と比較して大幅に縮小できる事が分かった。第2章では過去に提案した一方の信号を入力信号、他方を制御信号としたダブルゲート型トランジスタ及びCNT型トランジスタを用いた再構成可能な論理回路の設計法について述べた。僅かな素子数で多数の論理を実現できる事を示した。第3章では、著者達が今回新たに検討した縦方向に3次元型トランジスタSGTを直列接続して実現されるスピントランジスタを用いた積層型NAND MRAMの設計法を提案した。この方式を導入するとDRAMと同程度の高速性とNAND型フラッシュメモリと同程度の低コストな半導体不揮発性メモリを実現できる可能性があることを示した。

以上の結果より、今年度マイクロプロセッサで初めて製品に適用される3次元型トランジスタは、今後その優れた動作特性、低消費電力特性等を生かし、順次現在の主流である平面型トランジスタを置き換えていくと予想される。

参考文献

- 1) 渡辺, "システムLSIの低消費電力化、高密度化の現状と将来展望," 湘南工科大学紀要 vol.41, no.1, pp.53-61, 2007
- 2) D. Hisamoto et al., "FinFET a self-aligned double gate MOSFET scalable beyond 20nm," IEEE Trans. Electron Devices, vol.47, no.12, pp.2320-2325, 2000.
- 3) J. Rabaey et. al., "Digital Integrated Circuit (A design perspective)," Prentice hall, 2003
- 4) Intel, Intel 22nm 3-D Tri-Gate Transistor Technology, http://download.intel.com/newsroom/kits/22nm/pdfs/22nm-Announcement_Presentation.pdf
- 5) S. Davnaraju et. al., "A 22nm IA multi-CPU and GPU system on chip," ISSCC Dig. Tech. Papers, 2012.
- 6) S. Watanabe, "Impact of Three-Dimensional Transistor on the Pattern Area Reduction for ULSI," IEEE Trans. Electron Devices, vol. 50, no. 10, pp.2073-2080, Oct. 2003
- 7) M. Chiang et al., "High density reduced stacked logic

- circuit techniques using independent gate controlled Double-Gate devices," IEEE Trans. Electron Devices, vol.53, no.9, 2006.
- 8) 廣島佑, 渡辺重佳, "独立したゲートをもつダブルゲートトランジスタによるシステム LSI の新レイアウト法," 信学論(c), pp.18-25, 2009.
- 9) H. Takato et al., "Impact of SGT for ultra - high density LSIs," IEEE Trans. Electron Devices, vol. 38, pp. 573 - 578, 1991
- 10) N. Nitayama et al., "Multi-pillar surrounding gate transistor (M-SGT) for compact and high-speed circuits," IEEE Trans. Electron Devices, Volume: 38, Issue: 3 (1991) 579-583
- 11) 横田智広, 渡辺重佳, "SGT によるシステム LSI パターン面積の縮小効果の検討," 信学論(c), pp.537-539, 2009.
- 12) X. Wu et al., "A three-dimensional stacked in-CMOS technology for high-density ULSI circuits," IEEE Trans. Electron Devices, vol.52, no.9, 2005.
- 13) 廣島佑, 渡辺重佳, "独立したゲートをもつスタック型三次元トランジスタによるシステム LSI の設計法," 信学論(c), pp.94-103, 2009.
- 14) 廣島佑, 小玉貴大, 渡辺重佳, "三次元型トランジスタを用いた各種回路構成の論理回路のパターン面積の縮小効果の検討," 電子情報通信学会 C, Vol.J94-C, No.10, pp.341-345, 2011
- 15) 小玉貴大, 渡辺重佳, "SGT と平面型トランジスタを用いたスタンダードセルのパターン面積の比較検討," 信学論(c), pp.166-170, 2011
- 16) 小玉貴大, 渡辺重佳, "一層型 SGT, 積層型 SGT を用いたシステム LSI のパターン面積の比較検討," 電子情報通信学会 C, Vol.J93-C, No.1, pp.33-34, 2010
- 17) 福田佑貴, 渡辺重佳, "一層型 FinFET, 積層型 FinFET を用いたシステム LSI のパターン面積の比較," 電子情報通信学会 C, Vol.J93-C, No.3, pp.98-99, 2010
- 18) 廣島佑, 渡辺重佳, "FinFET を用いた DTMO S (FinFET 型 DTMO S) の提案," 電子情報通信学会 C, Vol.J92-C, No.11, pp.742-743, 2009
- 19) 渡辺重佳, "TIS(Trench - Isolated - transistor using Side wall gate)を用いたシステム LSI の設計法," 信学論(c), vd.J88-C, no.12, pp.1208-1218, Dec. 2005.
- 20) 渡辺重佳, "TIS を用いたバッファ回路の新設計法とその大容量 DRAM への適用検討," 信学論(c), vol.J86-C, no.3, pp-301-306, 2003.
- 21) I. Hassoune and I. O'Connor, "Double-gate MOSFET based reconfigurable cells," ELECTRONICS LETTERS Vol.43, No.23, p.1273, 2007
- 22) "CNTFET Modeling and Reconfigurable Logic-Circuit Design," IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS – I:REGULAR PAPERS, VOL.54, NO.11, NOVEMBER 2007
- 23) 林隆程, 渡辺重佳, "MOS ダブルゲート/CNT トランジスタを用いた再構成可能な論理回路の設計法," 信学論(c), pp.674-675, 2010
- 24) 渡辺重佳, "周辺回路の歩留りを考慮したギガビット DRAM 最適冗長回路設計法," 信学論(c), pp.648-650, 1999
- 25) K. Jabeur, N. Yakymets, I. O'Connor and S. Le Beux, "Fine-grain reconfigurable logic cells based on double-gate CNTFETs," Proc. ACM GLSVLSI'11, pp.19-24, 2011.
- 26) Y. Lin, J. Appenzeller, J. Knoch and P. Avouris, "High-performance carbon nanotube field-effect transistor with tunable polarities," IEEE Trans. Nanotechnology, vol.4, no.5, Sep., 2005.
- 27) K. Jabeur, N. Yakymets, I. O'Connor and S. LeBeux, "Ambipolar double-gate FET binary-decision-diagram (Am-BDD) for reconfigurable logic cells," Proc. 2011 IEEE/ACM International Symposium on Nanoscale Architectures (NANOARCH'11), pp.162-168, June, 2011.
- 28) 林隆程, 渡辺重佳, "MOS ダブルゲート/CNT トランジスタを用いた再構成可能な論理回路のパターン面積の検討," 信学論(c), pp.346-349, 2011
- 29) F. Assaderaghi, et al., "Dynamic Threshold-Voltage MOSFET (DTMOS) for ultra-low voltage VLSI", IEEE Trans. Electron Devices, vol.44, no.3, pp.414-422, 1997
- 30) H. Ishikuro, M. Hamada, K. Agawa, S. Kousai, H. Kobayashi, D. Nguyen, and F. Hatori, "A single-chip CMOS bluetooth transceiver with 1.5MHz IF and direct modulation transmitter," ISSCC Dig. Tech. Papers pp.68-69, 2003.
- 31) M. Tanaka and S. Sugahara, "MOS-Based Spin Devices for Reconfigurable Logic," IEEE Trans. Electron Devices, vol.54, no.5, pp.961-976, 2007
- 32) N. Sakiyama, T. Sugibayashi, T. Honda, H. Honjo, S. Saito, T. Suzuki, N. Ishiwata, and S. Tanaka, "MRAM Cell Technology for Over 500-MHz SoC," IEEE J. Solid-State Circuits, vol. 42, no. 4, pp.830-838, Apr. 2007.
- 33) 玉井, 渡辺, スピントランジスタを用いた積層型 NAND MRAM の読出し法の検討, "電子通信学会論文誌 vol.J91-C, no. 11, pp. 666-667, 2008.
- 34) T. Tanaka et al., Symp. on VLSI Technology Dig. Tech. papers, pp.14-15, 2007.
- 35) Y. Fukuzumi et al., "Optimal Integration and Characteristics of Vertical Array Device for ultra-High Density, Bit-Cost Scalable Flash Memory," IEDM Tech. Dig. Tech. Papers, pp. 449-452, 2007.

- 36)R. Katsumata et al., "Pipe-shaped BiCS flash memory with 16 stacked layers and multi-level-cell operation for ultra high density storage devices," Symp. on VLSI Technology Dig. Tech. Papers, pp. 136-137, 2009.
- 37)T. Maeda et al., "Multi-stacked 1G cell/layer pipe-shaped BiCS flash memory," Symp. on VLSI Technology Dig. Tech. Papers, pp. 22-23, 2009.
- 38)J. Jang et al., "Vertical cell array using TCAT(Terabit Cell Array Transistor) technology for ultra high density NAND flash memory," Symp. on VLSI Technology Dig. Tech. Papers, pp. 192-193, 2009.
- 39)H. Takato et al., IEEE Trans. Electron Devices, vol.38, no.3, pp.573-578, 1991.
- 40)Y. Iwata et al., ISSCC Dig. Tech. Papers, pp.138-139, 2006.
- 41)J. Debrosse et al., Symp. on VLSI Circuits Dig. Tech. Papers, pp.454-455, 2004.
- 42)S. Ikeda et al., "Magnetic tunnel Junctions for spintronic memories and beyond," IEEE Trans. Electron Devices, vol.54, no.5, pp.991-1002, 2007.
- 43)杉林他, "MRAMの技術動向、今後の展開、32Mb MRAM開発", 信学技報 ICD 2009-4, pp.13-17, 2009.
- 44)D.Nakamura et al., "A 120mm² 16Gb 4-MLC NAND Flash Memory with 43nm CMOS Technology," IEICE Technical Report, vol.108, no.6, pp.25-29, Apr. 2008.
- 45)Y. Oowaki, K. Tsuchida, Y. Watanabe, D. Takashima, M. Ohta, H. Nakano, S. Watanabe, A. Nitayama, F. Horiguchi, and F. Masuoka, "A 33ns 64-Mb DRAM," IEEE J. Solid-state Circuits, vol.26, no.11, pp.1498-1505, Nov. 1991.
- 46)S. Watanabe et al., "A novel circuit technology with surrounding gate transistors (SGTs) for ultra high density DRAMs," IEEE J. Solid-State Circuits, vol.30, no.9, pp.960-971, 1995.
- 47)T. Endoh, K. Shinmei, H. Sakuraba and F. Masuoka, "New three-dimensional memory array architecture for future ultrahigh-density," IEEE Journal of Solid-State Circuits, vol.34, no.4, pp.476-483, 1999.
- 48) Endoh, M. Suzuki, H. Sakuraba and F. Masuoka, "2.4F² memory cell technology with Stacked-Surrounding Gate Transistor (S-SGT) DRAM," IEEE Trans. Electron Devices, vol.48, no.8, pp.1599-1603, 2001.
- 49)猪俣 浩一郎, "不揮発性磁気メモリ MRAM," 工業調査会, 2005.
- 50)K. P. Muller et al., "Trench storage node technology for gigabit DRAM generations," IEDM Tech. Dig. Tech. Papers, pp. 507, 1996.
- 51) "DRAM trench capacitor technology requirements – near –term," International Technology Roadmap of Semiconductor, p.357, 2003.
- 52)崎村他, "混載向け高速 MRAM セル技術,"信学技報 ICD 2007-4, pp.1-5, 2007.
- 53)Y. Yiet et al., "Electromigration-induced integration limits on the future ULSI's and the beneficial effects of lower operation temperatures," IEEE Trans. Electron Devices, vol.42, no.4, pp.683-688, 1995.
- 54)渡辺、大内 "配線の信頼性を考慮したギガビット DRAM の設計法," 電子情報通信学会論文誌 vol.J81-c-1, no.11, pp.865-871, 1998.
- 55)T. W. Andre et al., "A 4-Mb 0.18 μ m 1T1MTJ toggle MRAM with balanced three input sensing scheme and locally mirrored unidirectional write drivers," IEEE J. Solid-State Circuits, vol.40, no.1, pp.301-309, 2005.
- 56)T. Kawahara et al., "2Mb spin-transfer torque RAM(SPRAM) with bit-by-bit bi directional current write and parallelizing-direction current read," in Proc. IEEE int. Solid-State Circuits Conf. Dig. Tech. Papers, pp.480-481, 2007.
- 57)鈴木、夏井、羽生, "TMR ロジックに基づくルックアップテーブル回路とその瞬時復帰可能 FPGA への応用," 電子情報通信学会論文誌 vol.J92-C, no.7, pp.233-240, 2009.
- 58)H. Numata et al., "Scalable cell technology utilizing domain wall motion for high-speed MRAM," Symp. VLSI Technology Dig. Tech. Papers, pp.232-233, 2007.
- 59)S. Sugahara and M. Tanaka, J.Appl. phys. vol.97, no.10, pp. 10D503/1- 10D503/3, 2005.
- 60)玉井、渡辺, "ユニバーサルメモリを目指した積層型 NOR MRAMの検討," 電気学会論文誌 C, Vol.129, No.11, pp.2091-2092, 2009
- 61)菅野、渡辺, "積層方式NAND構造1トランジスタ型 FeRAMの設計法," 電気学会論文誌 C, Vol.130, No.2, pp.226-234, 2010
- 62)菅野、渡辺, "酸化物導電膜チャネルを用いた積層型 FeRAMの設計法," 電気学会論文誌 C, Vol.131, No.4, pp.810-817, 2011
- 63)菅野、渡辺, "2トランジスタ型メモリセルを用いた積層方式 NAND 構造 FeRAMの設計法," 電気学会論文誌 C, Vol.131, No.7, pp.1327-1336, 2011
- 64)加藤、渡辺, "相変化チャネルトランジスタを用いた積層型 NOR PRAMの検討," 電気学会論文誌 C, Vol.131, No.12, pp.2220-2221, 2011