

# 半導体技術の現状と今後の展望

## The Present Condition and Prospects of Semiconductor Technology

大 石 義

Tadashi OISHI

(平成 5 年 2 月 5 日受理)

近年、家庭用品から社会システムにいたるまで、我々のまわりにある電気製品の中には多量の半導体素子が使用されている。この半導体素子に使われているシリコンの原料は、地球上のどこにでもある石（珪石）である。現代はまさにこの「石」の時代であり「新・石器時代」とか「珪石器時代」ともいわれている。

現在、シリコン半導体を利用して量産化されている VLSI と呼ばれている超大規模集積回路は、6 mm 角くらいのチップの中に 10 万から 1000 万個のトランジスタが組み込まれており、さらには一つのチップの中に 2000 万から 3000 万個のトランジスタを組み込んでいる超々 LSI (ULSI) の時代がすぐそこまで来ている。ここで使われる配線の幅は 0.25  $\mu\text{m}$  くらいとなり、かりにこのチップを四畳半の部屋の大きさに拡大したとしても、配線の幅は 0.11 mm くらいにしかない。このように半導体を用いた集積回路の作成においては、想像を絶する微細加工技術が必要とされている。

これら半導体微細加工技術の現状を考察してみると共に、将来への展望を考察してみることにする。

### 1. 集積回路 (IC) とは

集積回路 (IC : Integrated Circuit) ということばは、今日では日常よく聞かれるようになってきている。テレビ、冷蔵庫、炊飯器、パソコンそして自動車等、電気回路が使われている製品の中を開けると、必ずといっていいほどムカデのような足をもった黒い部品を発見することができる。これが集積回路 (IC) である。

この集積回路の黒いパッケージは、非常に硬いエポキシ樹脂でできており丈夫で気密性が高いため、簡単な操作でこれを剥ぐことは難しいが、中には図 1 のようなシリコンのカケラが入っ

ている。これはチップ (chip) と呼ばれている。

この非常に小さなチップの表面に、数個から数百万個の回路部品 (ダイオード, トランジスタ, 抵抗, コンデンサー等の基本素子) が詰め込まれている。もし1個のチップに1個のトランジスタだけなら, この場合はICとは呼ばずに単体トランジスタと呼び, 2個以上詰め込まれている場合に集積回路またはICと呼ばれている。近年における微細加工技術の進歩により, 1個1個のトランジスタ等の寸法が飛躍的に小さくなったため, 同じ面積のチップに詰め込むことのできるトランジスタ等の基本素子の数が急激に増えてきている。すでに百万個以上詰め込んだICが量産化されているし, さらに数千万個の部品を詰め込んだ集積回路も作られている。これらはVLSIとかメガチップ, さらにはULSIなどと呼ばれている。

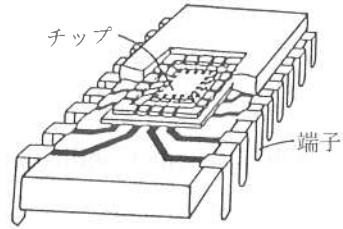


図1. 集積回路 (IC)

このように集積回路は, 1つのチップの中にどれだけ多くの回路部品を詰め込むかという集積度が重要となるが, その集積度に応じて現在では一般的に次のように分類されている。

このように集積回路は, 1つのチップの中にどれだけ多くの回路部品を詰め込むかという集積度が重要となるが, その集積度に応じて現在では一般的に次のように分類されている。

IC (集積回路) [Integrated Circuit]	SSI (小規模集積回路) [Small Scale Integration]	~	100
	MSI (中規模集積回路) [Medium Scale Integration]	100 ~	1000
	LSI (大規模集積回路) [Large Scale Integration]	1000 ~	100000
	VLSI (超大規模集積回路) [Very Large Scale Integration]	100000 ~	10000000
	ULSI (超々大規模集積回路) [Ultra Large Scale Integration]	10000000 ~	

(回路部品数/チップ)

現在製造されているICは, ほとんどがLSIまたはVLSIであり, 小・中規模の集積回路をあらわすSSI, MSIという言葉は実際にはほとんど使われていないようである。

次の表1に, 現在最も集積度の高いLSIの一種であるDRAM (メモリー素子の一種: Dynamic Random Access Memory) の集積度の変遷を示した。<sup>1)</sup>

この表からもわかるように, DRAMといわれるLSIは3年に4倍のペースで集積度が上がってきており, 最近ではこの速度がさらに速まり2年で4倍のペースとなってきた。現在, 大手半導体メーカーでは4MDRAMの量産体制に入っており, すでに256MDRAMの実現に必要な技術の開発に成功しているメーカーもある。<sup>2)</sup> このままのペースで技術が向上していく

と今世紀中に、1つのチップの中に約10億個のトランジスタが詰め込まれた1GDRAMといわれるメモリーができると思われる。

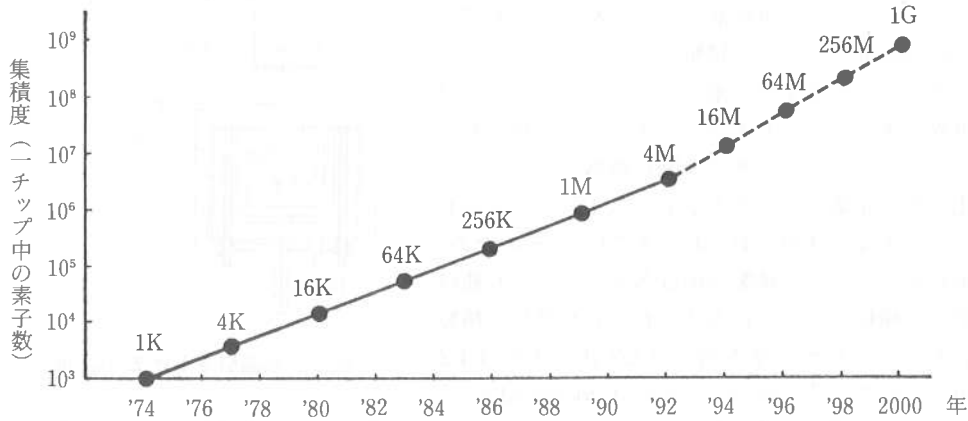


表1. DRAMの集積度

## 2. 集積回路の製法についての考察

### (1) 高純度単結晶シリコンの製法

集積回路を作るためには、イレブン・ナイン（純度99.99999999%）といわれる高純度の単結晶シリコンが必要とされている。すなわち1000億個のシリコン原子のなかに紛れ込んでいる不純物原子がたった1個の状態まで精錬しなければならない。

シリコンは、我々の身の回りにいくらでもある石や砂の中に多量に含まれているから、材料としては地球上のどこにもある砂でよいわけであるが、近年の半導体技術の進歩に伴い、シリコンそのものに想像を絶する高品質が要求されている。そのため現在では、珪石といわれる純度の高い鉱石が用いられている。現在、この珪石の供給地としては南米や北欧等があげられる。<sup>3)</sup>

この石（珪石）の主な成分はシリコンの酸化物（SiO<sub>2</sub>）であり、採掘された珪石は、コークスと共に電気炉に入れられ約2000°Cに加熱されている。この時、還元がおこり珪石から酸素が奪われその結果シリコンが得られている。これを化学式で表すと



となる。しかし、このシリコンは純度98%くらいで、まだ不純物がたくさん含まれているため、塩酸ガスを反応させて三塩化シランとし、分留精製して純度を上げている。



これを水素で還元すると、次の化学式で表される反応でシリコンが析出するわけであるが、このとき大電流を流すことにより1000°C前後に加熱したシリコン棒（種棒）を入れておくと、その周りに多結晶シリコンが成長して、灰色をした太い棒が出来る。



これにより純度99.99999999%の高純度多結晶シリコンが出来る。しかしここで出来たシリコンは多結晶であるため、まだトランジスタや集積回路などの半導体素子を作るために使用する

ることはできない。半導体素子として利用するためには、シリコン原子が全て同じ向きに規則的に並んでいる単結晶にする必要がある。

多結晶シリコンから単結晶シリコンをつくりあげるという超高純度シリコンの精製を行うメーカーとしては、日本においては4社が激しいシェア争いをしており、世界市場についても大半を今までこの4社でおさえていた。ところがここ数年の間に海外のメーカー、鉄や化学系の企業からの参入があり、4大メーカーもうかうかできない状況におかれてきている。そのため、この単結晶シリコンの精製技術は各メーカーとも独自に開発した極秘ノウハウに支えられており詳しい精製方法はわからないが、基本的にはCZ法かまたはFZ法が用いられている。<sup>4)</sup> そのうちCZ (Czochralski) 法というのは、一般に結晶引き上げ法といわれているものであり、その単結晶シリコンの製造方法を図2に示す。

まず、原料の多結晶シリコンを、カーボンヒーターで囲まれている石英でつくられたルツボの中に入れて1420°C以上の温度で加熱することによりシリコンを溶かして液体状にする。次に、上から小さな単結晶のシリコン（種結晶）を溶けたシリコンに接触させて、回転させながら徐々に引き上げていく。すると、種結晶と結晶の方向がそろった単結晶が出来上がっていく。これは、直径が12~15 cm、長さは1 m くらいのもので、野球のバットよりやや大きく黒くて光沢のある棒で、インゴットと呼ばれている。

次にもう一つのFZ法とは、浮遊帯域溶融法 (Floating Zone) といわれているもので図3に示すようにして単結晶シリコンを作り出している。これは多結晶の棒を高周波コイルで下から上へ順に加熱して溶かしていくと、多結晶シリコンが一度溶けて、再び固まっていく。その時に多結晶から単結晶になるという性質を利用している。

現在、半導体工業界では、CZ法の方が大口径のインゴットの製造が容易であるため主にCZ法を用いている。ただし、このCZ法も、ルツボやカーボンヒーターなどからの不純物（特に酸素や炭素）の混入があるという欠点があるため、高純度を要求する電力用の素子などをつくるためには、FZ法を用いているようである。このCZ法での酸素混入の原因は図2において矢印で示したように、溶けたシリコンが対流をおこしているからである。そこでこの対流を止めるために、引き上げ軸に直角な方向に強力な磁場を印加し、その中で結晶を作る技術がSONYで開発されてMCZ法 (Magnetic Field Applied CZ) と名付けられ、世界中から注目されている。このMCZ法を用いると、酸素の混入を防ぐだけでなく、対流による表面のさざ波ができないために表面の滑らかな美しい結晶が引き上げられている。

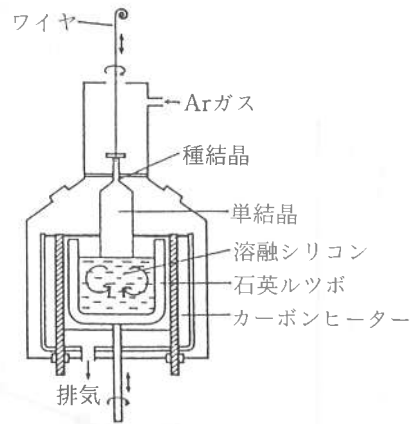


図2. 結晶引き上げ法 (CZ法)

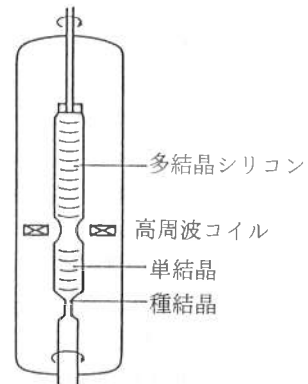


図3. 浮遊帯域溶融法 (FZ法)

### (2) スライス加工

単結晶シリコンのインゴットは半導体素子として使うために、このあと薄い円板状に切られている。シリコン・インゴットは固いので、粉末ダイヤモンドを接着した刃を使い、これを厚さ1 mm以下に切断している。このときに使用する刃は、切断面の平行度をよくするため図4のようなリング状になっている内周刃を用いている。このリングの内側にインゴットを差し込み、刃を高速で回転させることによって切断しているのである。この様に単結晶シリコンのインゴットを輪切りにすることはスライシングとよばれ、出来上がった円板状のシリコンはウエハー(Wafer)と呼ばれている。ここで切り出されたウエハーは、光沢のない灰色の円板であり、ダイヤモンドの粒子で表面を強く削られてしまったため、シリコン原子の並び方がめっちゃめっちゃになってしまっていて、表面から数十 $\mu\text{m}$ くらいまでは、もはや単結晶ではなくなってしまっている。そこで、このダメージをうけた層を取り除いてしまうために、酸やアルカリで数十 $\mu\text{m}$ ほどエッチングしたり、細かい研磨剤によるラッピングを行い、次に酸化シリコン粒子の研磨剤と苛性ソーダ液とで、機械的・化学的研磨を行って鏡面仕上げをして最後に厚さ0.6 mmくらいの鏡のような円板形のウエハーをつくりあげている。このようにして作りだされたウエハーが写真1である。この写真では一面黒く写ってしまっているが実際にはウエハーの表面は鏡のようになっている。この研磨工程も詳しくは各社ごとに微妙な技術の集積があり極秘となっている。このウエハー上に集積回路が作られて行くわけであり、これから後は、ほこり等の不純物が付着したりすると集積回路として使用することが出来なくなるため、クリーンパッケージされている。

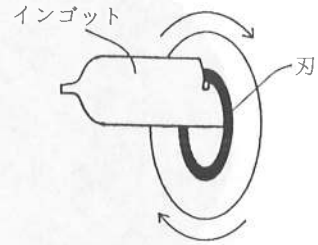


図4. スライス加工

### (3) 集積回路の製法

次に集積回路の製法について簡単に述べながら現状について考察してみることにする。ここでは、1970年頃から実用化されているMOSトランジスタやMOS・ICを例にとって説明する。このMOSは構造が簡単であるため集積度が年々向上し、今や半導体産業の主力となってきている。高集積のメモリーやマイコンなどでは、ほとんどすべてこのMOS構造をした集積回路である。MOSとは、金属(Metal)、酸化物(Oxide)、半導体(Semiconductor)の頭文字をとったもので、この三つがサンドイッチ状になったものである。

図5にMOSトランジスタの構造例を示す。表面には、ソース、ゲート、ドレインの三つの電極(金属)がついており、ソースとドレイン電極の下はN型シリコン、基板部分はP型シリコン(半導体)となっている。ゲートとP型シリコンの間には薄いシリコンの酸化膜がある。このような構造のものは一般にN-MOSと呼ばれている。また、基板部分がN型シリコンとなっているMOSもありこれはP-MOSと呼ばれている。さらに、同じシリコン基板のなかに

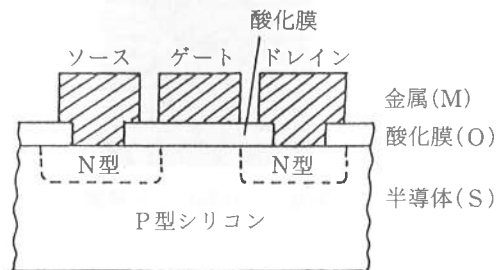


図5. MOSトランジスタ

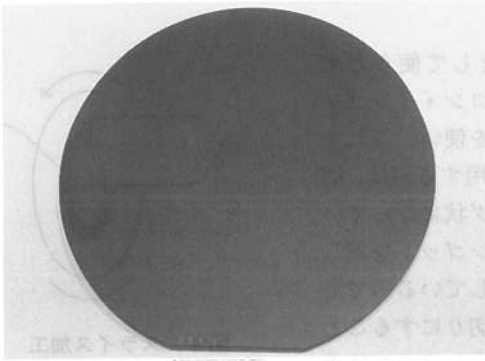


写真 1 . ウエハー

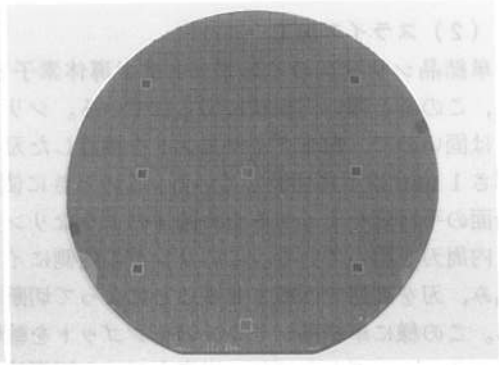


写真 2 . ウエハー上に作られた集積回路

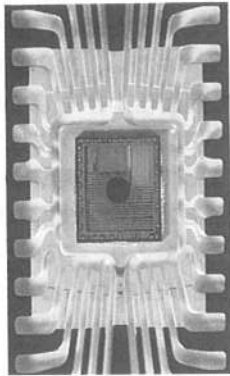


写真 3 . リードフレームに接着した集積回路

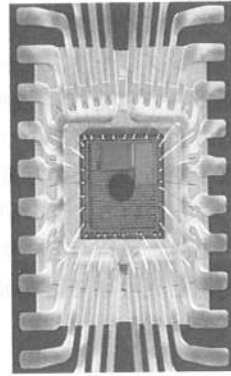


写真 4 . リードフレームと集積回路の接続

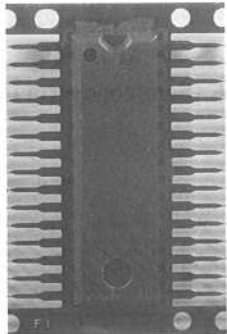


写真 5 . 樹脂による被覆

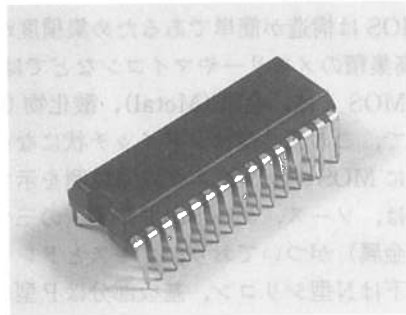


写真 6 . 完成した集積回路

N-MOS と P-MOS の両方を作り込んだ集積回路もありこれは C-MOS (Complementary-MOS) と呼ばれている。このうち P-MOS は製造工程が簡単であるため初期の LSI にはよく使われていたようであるが、N-MOS の方が P-MOS より動作速度が速いので最近ではほとんど N-MOS が使われてきている。また C-MOS は動作スピードは少し遅いが、メモリーの内容を電圧をかけて覚えさせておくのにわずかな電気エネルギーですみ、電氣的雑音にも強く、周囲の温度変動に強い等の利点があるため、メモリーに広く使われてきている。一つのシリコン基板の上に、図 5 の様な構造が多数組み込まれているのが一般的にいわれている集積回路なのである。

### ・酸化膜の作成

前述したような MOS を作るためには、単結晶シリコン基板の上にまず酸化膜をつくる必要がある。シリコンの単結晶ウエハーを 1000°C 程度の電気炉に入れて、酸素または水蒸気を流すと表面が酸化されて酸化膜を作ることが出来る。



1000°C もの高温に耐えて、しかもシリコンに不純物を混入させないという容器はあまり多くないが、普通は図 6 のように溝を切った石英でできたボードにシリコンウエハーを立てて、炉心管の中に入れてある。このとき、加熱する温度、時間、ガスの種類等によってウエハー上にできる酸化膜の膜厚が変わってくる。温度 1000°C で 30 分間酸素中で酸化した場合、約 0.05 μm くらいの膜厚の酸化膜ができています。このウエハーは単結晶シリコンのウエハーにくらべて表面にきれいな色が着いている。これは、シリコン酸化膜（一般的には 0.3 μm ~ 0.7 μm 程度の膜厚）による光の干渉によって色がついて見えるためである。

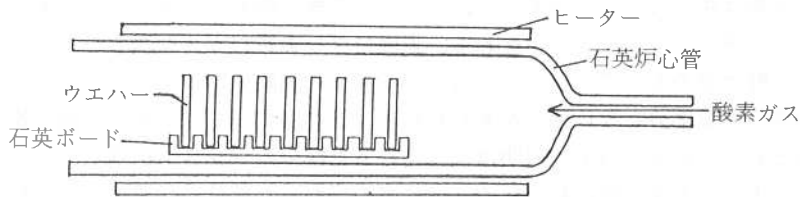


図 6 . 酸化膜の作成

### ・パターンニング

シリコンウエハーの上全面に、酸化膜をつくった後、この酸化膜の一部を取り去って窓を開け、その後でこの窓から不純物をシリコン中に入れてある。これには、以前から銅版画などに用いられていたフォトレジストという感光剤が使われている。

図 7-①~③のように酸化膜上にレジスト液を滴下したあと、シリコンウエハーを高速回転させるとレジスト液が酸化膜上に薄く一様に塗らる。さらに 100°C くらいに熱してこれを安定させる。次に図 7-④~⑥で示したようにウエハーの上にマスクを置き、光を当てる（露光）と光の当たった部分が感光しフォトレジストが変質して現像液に溶けなくなる。

このようにして、フォトレジスト膜が、ウエハー上にマスクのパターンどおりの模様をえがいて残される。このとき使用するマスクに描かれている線の幅等は現在ではほこりの粒子と同

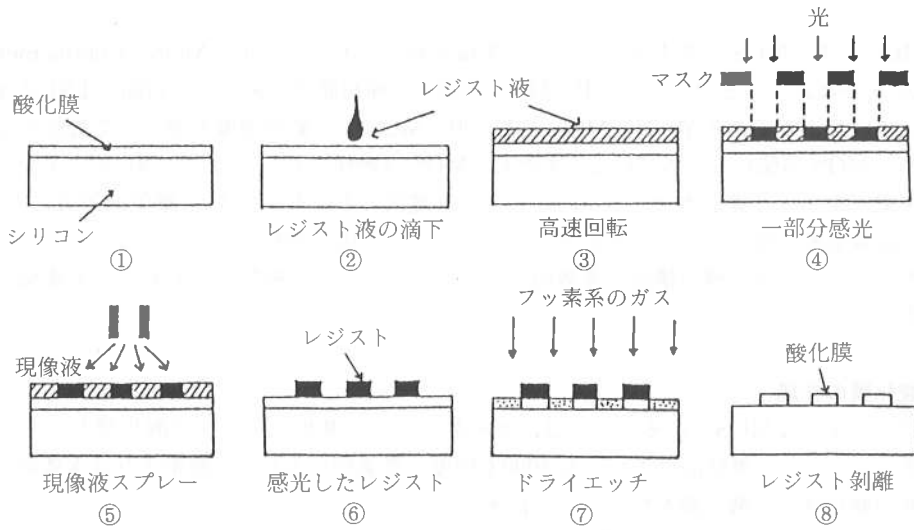


図7. パターニング

じ程度の大きさであり、シリコンやマスクに  $1\ \mu\text{m}$  程度のほこり等が付着してもそれらが影となって写されて、その結果として回路を破壊したりすることになる。そのため各メーカーでは、より清浄な環境をつくる努力をしている。また、このようにマスクを重ねて露光する作業は十数回行われているため、それらの位置合わせが少しでもずれたりするとだめになってしまう。すなわち、ほんの僅かの振動があっても集積回路をつくることはできないため、建物についても工夫する必要がある。

この次の処理は色々なケースがあるが、一例として酸化膜をエッチングする場合を説明すると、図7-⑦～⑧のようになる。すなわち、表面にフッ素系のガスを送ることによりレジストのない部分の酸化膜を取ってしまう。さらにレジストを剝離処理することにより、シリコン基板上に酸化膜のある部分とない部分があらわれる。この様にして、一部分の酸化膜を取り去ることができるわけである。以上の説明は光の当たった部分のレジストが残る方式であるが、この様なレジストはネガ型と呼ばれている。逆に光の当たった部分のレジストがとれてしまうポジ型もある。一般にネガ型はポジ型より感度は高いが、コントラストが低く解像度が低い、そのため微細加工になるほど、ポジ型が主流となっている。また、この様にマスクをウエハーに密着させる方式が今まで用いられてきたが、問題点も生じてきた。それは、マスクとウエハーが密着するためレジストに傷がついてしまったり、わずかの隙間があっても光の回折により像がぼやけてしまうことである。そこで投影方式露光という方法が考えだされた。これにも色々な方式があるようであるが、現在最新工場で一般的に用いられているのが図8に示すようなステッパー (Stepper) と呼ばれている装置である。<sup>4)</sup> 一般には、描きたいパターンの5倍の大きさのマスクを作り、このマスクを通った光を  $1/5$  に縮小しながらウエハー上に露光している。ただし、一回に露光できる面積は  $1.5 \times 1.5\ \text{mm}^2$  くらいなのでウエハー全面を露光するために、ウエハーを縦横に送りながら、何度も露光をおこなっている。

現在使用されているステッパーは  $0.8\ \mu\text{m}$ ～ $0.5\ \mu\text{m}$  位までの細線を描くことができる様になっている。これ以上細かいパターンを描くには、使用する光の波長を短くする必要がある。



現在のステッパーは、水銀ランプのg線を用いており、波長は452 nm (0.452  $\mu\text{m}$ ) であり、0.5  $\mu\text{m}$  の線は、現在使用されている光の波長とほぼ同じ程度である。これ以上細かい線を描くためには、今後は水銀ランプのi線(365 nm)、さらにはエキシマレーザーによる248 nm, 193 nmの波長の光が有望視されている。さらに最近注目されているのはシンクロトロンオービタルラジエーション (SOR) である。これまでSORは非常に大型の装置であったが、近年、室内に入る程度の小型SORの研究が行われており、いずれ、0.2  $\mu\text{m}$  以下の微細加工に使われるかもしれない。また、この他に電子線描画、イオンビーム描画等も研究されている。これらをつかえばマスクを作らなくて済み、より微細な加工をすることが可能となるが、量産化ということを考えてときにはマスクを使う方が経済性がよいと思われる。

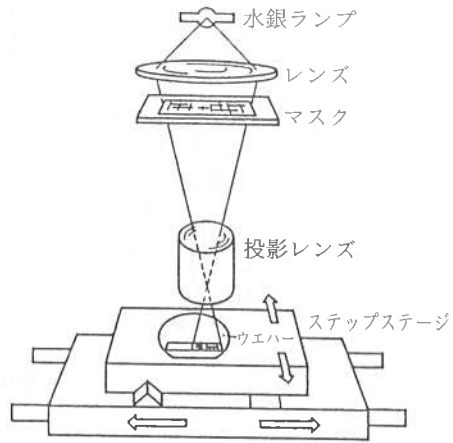


図8. ステッパー

#### ・イオン注入

次に酸化膜が取り外されて、窓が開いた状態のシリコン基板の一部分(1~2  $\mu\text{m}$ )の狭い領域に不純物原子のホウ素やリンをドーピングする必要がある。昔から用いられてきた方法に選択拡散法というのがある。これは図9に示すように、パターニングによってできたシリコン基板に900°C以上の高温でホウ素系のガスを流すと、ホウ素がシリコン内にしみ込んで、部分的なドーピングができる。この方法は現在でも使われているが、高温にしなければならなかったり、不純物の制御が難しい等のため最先端LSIの製造にはほとんど用いられていない様である。

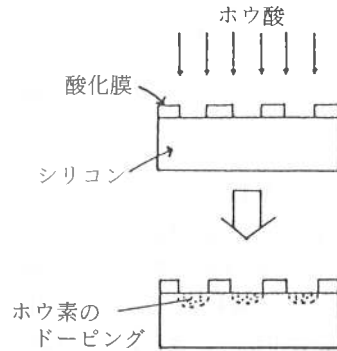


図9. 選択拡散法

この方法に代わって現在主流となっているのが、図10に示したイオン注入法といわれる技術である。<sup>4)</sup>これは、ホウ素やリンなどの不純物原子をイオンとし、このイオンを真空中で100KVくらいの電界を与えて加速し、これをシリコン中に0.1~0.3  $\mu\text{m}$  くらいの深さまで注入してやる方法である。選択拡散法にくらべ、このイオン注入法は加速電圧とイオンビーム電圧値を精密に制御することにより、注入の深さと、量が正確に制御できるという利点をもっている。イオンビームを極めて細くし、ウエハー上の希望の箇所だけに照射することが出来れば理想的であるが、現在の技術ではまだそこまで進歩していないようである。実際のイオン注入工程では、イオンがシリコンまで注入されないようにこれを阻止するために図11のようにポリシリコンやレジストがマスクングに使われている。この様にしてイオンが打ち込まれると、シリコン結晶の配列が乱れて、局部的に単結晶でなくなってしまう。そこで700~900°Cくらいで焼きなまし(アニール)をすることによって、シリコン原子の再配列を起こさせて、再び単結晶にしている。

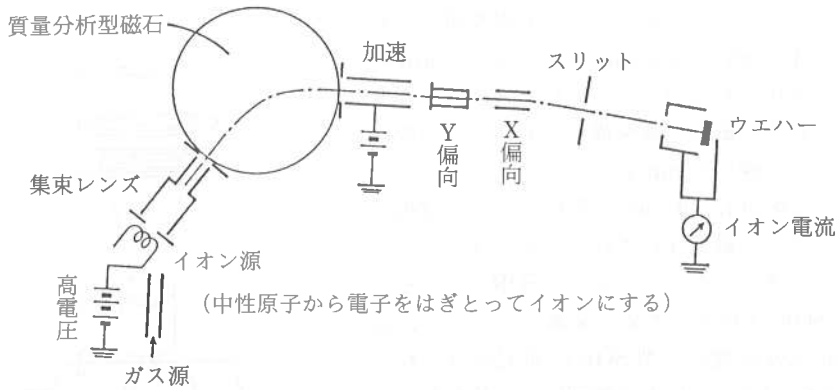


図10. イオン注入法

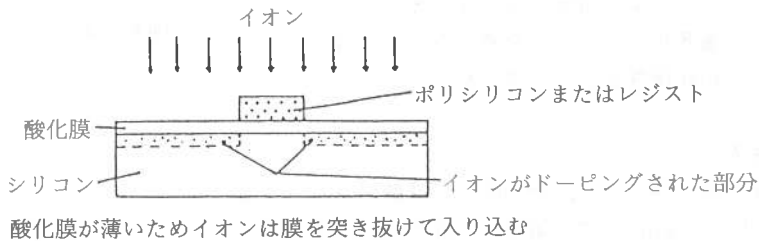


図11. イオンのドーピングとマスクング

・CVD

LSIの製造工程は、シリコンウエハー上に各種の膜を着けたり取ったりの繰り返しとなっている。その膜付けは、主にCVD (Chemical Vapor Deposition) によりおこなわれている。CVDとは、図12のように反応室に導入されたガスがウエハーと反応して、ウエハーの表面に雪が積もるように、膜となって沈着するものである。

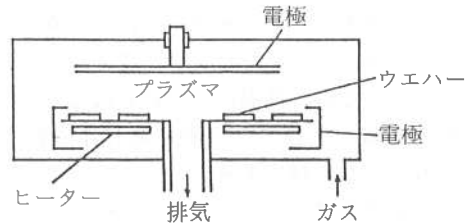


図12. プラズマCVD

CVDの装置として現在実用化されているものは、大気圧で行う常圧法、真空中で行う減圧法、プラズマを用いてガスを活性化して反応しやすくしたもの、1枚ずつ処理をする枚葉式、多数のウエハーを一度に処理してしまう方式、横型炉、縦型炉等様々のものがある。どれが一番良いというわけではなく、それぞれ用途に応じて使い分けられている。CVDの主な用途としては、次の様なものがあげられる。

① CVDによるポリシリコン電極の作成

イオン注入されたシリコンウエハー上にさらに金属をつけることになる。以前は金属としてアルミニウムが使用されていたが、現在ではゲート電極にはポリシリコンが一般に用いられている。ウエハーの上にポリシリコンの膜をつけるのに、ジクロロシラン (二塩化シラン：

SiH<sub>2</sub>Cl<sub>2</sub>)と水素を真空中(減圧中)で、700°C程度の温度にして反応を起こさせている。



② CVD による絶縁膜の作成

MOS トランジスタの構造は簡単であるが、実際の LSI は、そのトランジスタの上に、さらになん層かの配線(普通はアルミニウムまたはポリシリコン)が張りめぐらされている。そこで、この配線がショートしないように、配線と配線の間絶縁膜をはさむ必要がある。この絶縁膜としては、シランと酸素を反応させたシリコン酸化膜(SiO<sub>2</sub>)、またはシランとアンモニアを反応させたシリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)が用いられている。



・スパッター

CVD が化学反応を利用した膜付けであったのに対して、スパッターというのは物理現象を利用した膜付けであり、LSIの電極配線としてアルミニウム薄膜等の金属を付けるとき等に使われている。スパッターとは例えば図13のようにアルゴンガスを真空室に送り込んでやると、このアルゴン原子が電子と衝突を起こして活性化され、電界で加速されて、アルミニウムで出来たターゲットに衝突する。この時、アルミニウムの表面では、アルゴンイオンにたたかれて、アルミニウム原子が飛び出して、これが反対側のシリコン基板に付着することになる。このスタッパーはアルミニウム以外の金属や絶縁物でも使われている。また、スタッパーの中に特定的气体を導入して、化学反応させながら行うこともできるようになっている。なお微細化にともないLSIの配線に用いられているアルミニウムは、あまり純粋すぎるとかえってアルミニウム原子が動きやすく、電流が流れたりすると電子がアルミニウム原子と衝突して原子が動いてしまい、空洞を作ってしまうという現象を起こしてしまう。この現象はマイグレーションと呼ばれているが、これをふせぐためシリコンを1.5%くらい入れたり、銅を0.5%くらい入れたりしている。

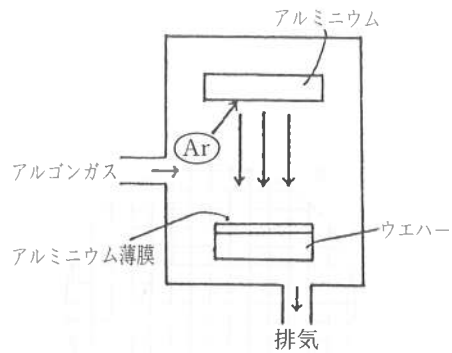


図13. スパッター

・ダイシングと組立

ウエハー行程が終わると、写真2のように集積回路がウエハー上に多数できる。碁盤の目のように並んでいる長方形の1個がチップ1個である。これを5μm くらいの極めて薄いリング状の刃で、個々のチップに分離することになる。このチップはダイと呼ばれている。このとき使用するリング状の刃は粉末ダイヤモンドで作られており、5μm という非常に薄い刃であるが、非常に硬く弾力性に富んだものである。LSIメーカーはウエハー上に可能な限り多くのチップを載せようとするため、チップとチップの間隔が非常に狭くなりその結果としてこの様な薄くて丈夫な刃が開発されたのである。分離されたダイは1個づつ真空チャックで取り出され、リードフレームの上に接着される(写真3)。これはダイボンダ工程と呼ばれている。この

リードフレームは一般には、鉄または銅系の金属で出来ていて完成した IC の外部電極端子(ムカデの足)となるものである。次に  $25\ \mu\text{m}$  くらいの非常に細かい金属で、ダイとリードフレームとを接続する(写真4)。最後にこの上にエポキシ樹脂をかぶせて集積回路ができあがることになる(写真5, 6)。

### (3) その他 LSI 技術に関する考察

#### ・ウエハーについて

LSI は写真2のようにウエハー上にまとめてつくられるのであるから、ウエハーの直径を増すことが出来れば、同じ大きさのチップがたくさんとれることになる。次の図14に直径を1.6倍にしてみた場合の1枚のウエハーからつくられるチップの数の比較をあらわしてみた。

これによると直径を1.6倍にただけで約3倍もの数のチップがとれることになる。直径が大きくなっても、同じLSIを製造するのであれば工程数は同じであるから膨大な利潤が得られることになる。このためには欠陥の少ない大口径の結晶の成長法や、均一な加工法の技術が必要になる。直径を大きくするためには振動、温度管理、装置の精密度など結晶引き上げの条件が何倍も厳しくなる。当初2インチ前後であったウエハーの直径は、技術の進展によりこれらの厳しい条件を少しずつ解決し、現在では6インチを越え8インチのウエハーが作られるようになっていく。今後さらに口径の大きなウエハーがつくられていくものと思われる。

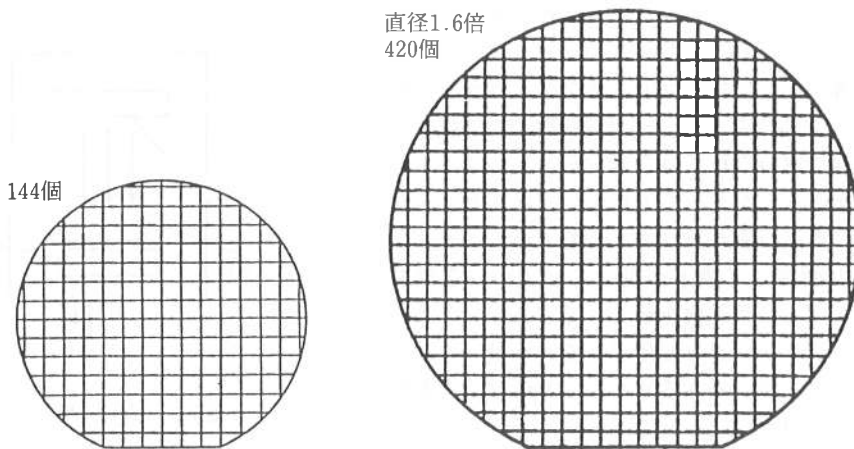


図14. ウエハーの口径を大きくする効果

また、トランジスタ、抵抗、コンデンサ等の構成要素を小さくし、配線を細く、短くする微細加工技術がさらに進んでいき、例えば加工寸法を現在の半分にする事ができれば、同じ大きさのチップに搭載する部品数は4倍にすることができ、部品数が同じであるならば1/4の大きさに縮小したチップができることになる。図15にウエハーの直径は同じであるが一辺の長さが0.6倍になったとした場合のチップの数の比較を示した。この場合も約3倍の数のチップがとれることになる。

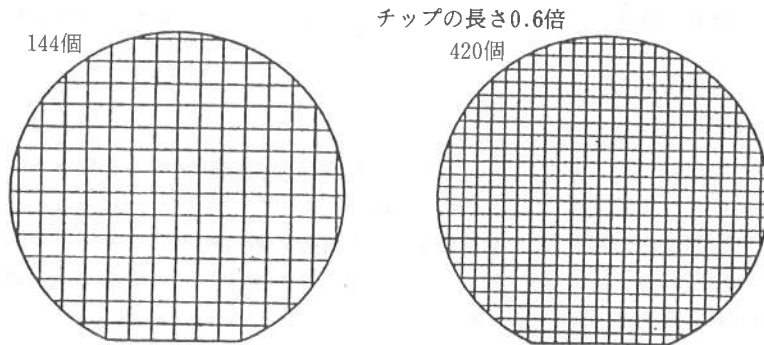


図15. チップの大きさを縮小する効果

LSIの量産性の特徴として、バッチ生産方式がとられている。すなわち数十枚のシリコンウェハーが同時に電気炉の中で加熱されたり、薬品の中で溶かされたり、水の中で洗われたりしている。したがって、処理の手間が変わらなければシリコンウェハーの直径が大きければ大きいほど、また1つのチップの面積が小さければ小さいほど同時に作られるチップの数は増大することになり膨大な利潤を得ることができることになる。しかし、処理工程の一つでも間違いがあったりすればできたチップは全て不良品になってしまうという危険性も持っていることになる。

・工場設備について

シリコンウェハーの直径を大きくし生産速度を上げ、均一性を向上させ、より微細化したLSIを作るといっても、そのためには工場内の個々の装置をそのつど更新する必要があり、既存の設備はほとんど使用できなくなる。超LSIを作るためには製造装置も高性能・高精度が最優先される。清浄な環境維持をはじめ、多量に使用する純水や純度の高いガスや薬品の供給、排出物の処理等も重要な施設となっている。VLSI, ULSI等を作るためにはより大きな額の設備投資を毎年つづけていかなければならないことになる。その結果として設備投資額が巨大になり過ぎて健全な産業として発展し続け得ないという重大な問題に半導体技術は直面することになってしまっている。

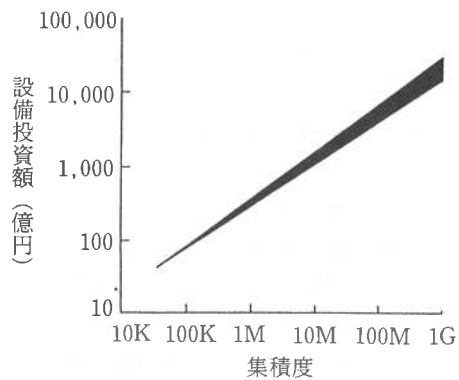


図16. 設備投資推移と予測

このままの技術の延長で更に高集積化を目指したときに予想される設備投資額を図16に示す<sup>10)</sup>月産300万個くらいのDRAM(メモリー)を製造している工場における設備投資額が1GDRAMの時代になったとすると1.2兆円を越えてしまうことを示している。すなわち従来の技術をそのまま延長していっただけでは、半導体産業はとうてい産業として成り立たなくなってしまうことになる。これをさけるためには設備投資額を劇的に減少させる新技術の導入が不可欠となってきている。すなわち、一チップ当たりの機能は格段に向上させながら、ステップ

数を激減させる簡単な構造のデバイスや、マスクの共通化といった新たな技術革新が要求されてきている。

#### ・設計について

集積回路をシリコンウエハー上に作るためには基礎になる設計をする必要がある。使用目的にあうようにするには集積回路にどのような機能をもたせたらよいか、規模はどのくらいにするか、開発費や期間はどの程度か、外部に取り出す電極の数は何本にするか等々の条件を考慮しながら進められている。この途中では、コンピュータを使用しての模擬実験が繰り返し行われながら設計図が出来あがっている。集積回路を設計するにあたって、すべてユーザーの注文どおり新規に開発したのでは、手間もコストも大変である。各メーカーが知識、技術、経験からいくつか標準化したユニット構造を準備しておいて、それらを組み合わせてユーザーの希望に合わせた方が確実だし、経済的である。そのため、各メーカーとも、設計に必要な、トランジスタや電子回路や論理ブロックの情報が数多くコンピュータに収められていて、いつでも利用が出来るようになっている。また、常に新しい情報を追加する努力がメーカーごとに行われており、しのぎを削っている。

図17に集積回路の設計図の例を示す。この設計図はLSIのほんの一部(縦0.4mm, 横0.5mm)であるが、ここでの配線の幅は実際には $10\mu\text{m}$ となっている。この設計図をもとにして実際に作られたLSIの顕微鏡写真を写真7に示した。現在では、この配線の幅は最先端の集積回路では $0.35\mu\text{m}$ のものが作られており、さらに $0.25\mu\text{m}$ の線幅で加工する技術の開発が行われている。このための開発投資額は膨大な額となるため、各半導体メーカーは海外の大手メーカーと共同開発することにより投資負担の分散を図る動きが最近目立ってきている。

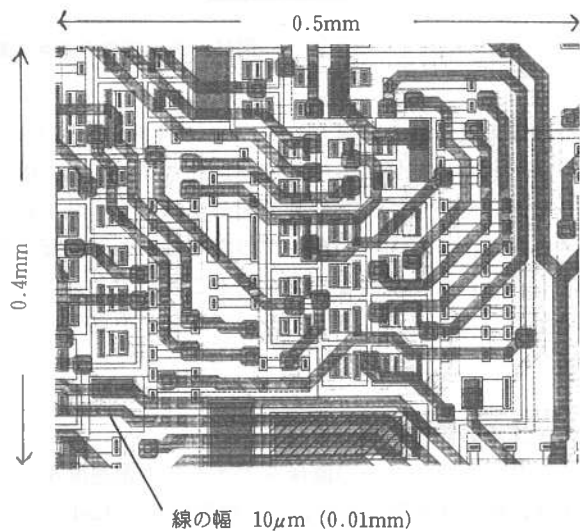


図17. 集積回路の設計図の一部分

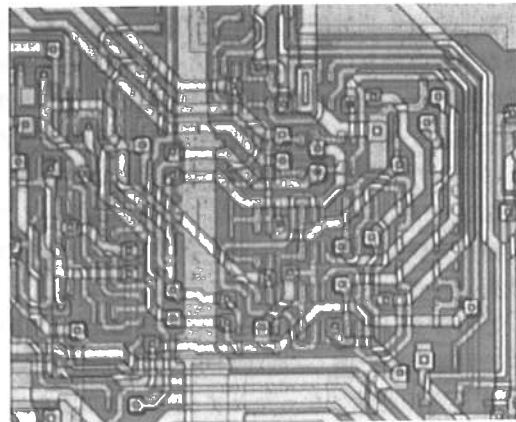


写真7. 図17の設計図をもとに作られた集積回路の顕微鏡写真

・歩留とクリーン技術について

現在 LSI の生産に使われているウエハーは直径 6 インチ (15 cm) である。このウエハー上にかりに、 $1 \text{ cm}^2$  の LSI チップを埋め込んだとすると一枚のウエハーから 150 個以上のチップが取れる勘定となる。しかし、実際に得られる良品チップはかなり少なく、例えば良品が 100 チップなら歩留は 66.7% となる。歩留の値は、生産していくに従って改善が積み重ねられ、どんどん向上している。この歩留を決めている要因としては、LSI の設計のうまさ、使用している材料や装置の善し悪し、作業する者のモラル等が大きな要因となっているが、ここではクリーン技術について少し考察してみる。

我々が日常生活をしている場所は、どんなにきれいでほこりが無いと思っても 1 立方フィート (パケツ 2 ~ 3 杯の体積) 中に 10 万個以上のほこりがあるとされている。このほこりの大きさは、 $0.1 \mu\text{m}$  ~  $1 \mu\text{m}$  くらいの微小なもので、これ位の大きさのほこりになると自然に落下することなく空气中を漂っている。人間が近づいて手足を動かすとたちまち数十万個のほこりが発生する。LSI は、小さなチップに数百万個のトランジスタを作り込むわけであるが、前述したとおりこの LSI 等の配線の幅はほこり 1 個の大きさくらいなのであり、どれか 1 つのトランジスタに微小なほこりが付着しても、パターンがくずれたり、有害不純物で汚染されたりして全体が不良になってしまう。次の図 18 は、ウエハーの初期の表面と一般事務室へ 1 時間ウエハーを放置した場合のほこりの量を比較したものである。!

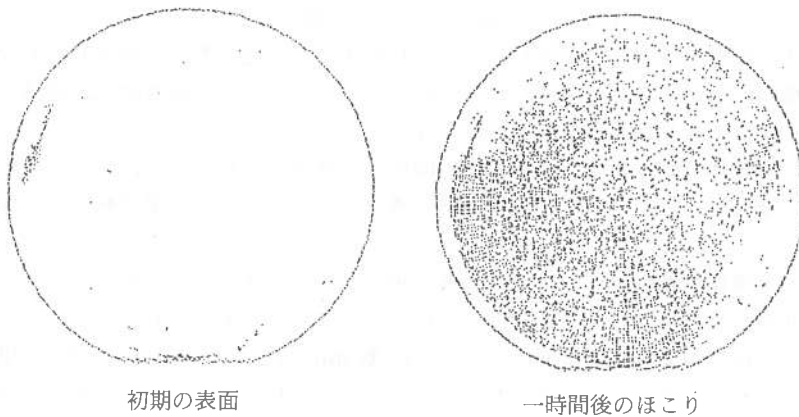


図18. 一般事務室でのウエハー表面のほこり

初期の表面には 134 個のほこりが付着していたのが 1 時間後には 3875 個のほこりが付着している。

このように普通の部屋に置いたウエハーをもちいて LSI を作ってもほとんどすべてが付着したほこり等の不純物のため不良品になってしまうことになる。歩留を良くする最も重要な点はいかにしてこのほこりを無くすかということである。そこで、LSI の製造はクリーンルームといわれる、目に見えないほこりも取り除いてしまい製品に悪影響を与えないようにするために作った特別な部屋の中で行われている。

そこでは空気中のほこりを減らし清浄な環境を維持するために次のようなことがおこなわれ

ている。

- ①人間がなるべく近づかないよう完全自動化への努力をする。
- ②クリーンルームの中では防塵服、防塵靴等を着てほこりを出さない事。
- ③クリーンルームの空気中のほこりを強制的に室外に排除するとともに、取り入れる空気は  $0.1\ \mu\text{m}$  くらいの細かいゴミでも取り除くことのできるフィルターを通して、全くのクリーンエアとする。

等が重要となる。

また、材料のクリーン度についても良くしていく必要がある。水、ガス、薬品、レジスト等の多くの材料がウエハーに触れるので、これらはできるかぎりクリーンにする必要がある。例えば、水の場合はイオン交換樹脂を通してイオンを取り除き、さらにいろいろなフィルターを通して微粒子を取り除いている。その結果、電気抵抗が  $18\ \text{M}\Omega$  という超純水が得られこれを使用している。しかしこの不純物の全くないと思われる超純水の中にも細菌が繁殖する場合があります、最近では紫外線を照射して細菌の繁殖を防いでいる。

#### (4) まとめ

半導体技術が発展するのに伴って、これが色々な方面にも影響を及ぼして来ている。半導体技術の製造を特徴づけるものは、ホトリソグラフィ技術や、チップの出来上がり状態を観察して改造したり使用する材料の品質を調べたりする分析技術、薄い膜を作る膜形成技術、クリーン技術等であるが、これらの技術はその進展にともない他の分野でも広く応用されてきている。また、半導体の微細化、小形化が進むにつれそれを使用する他の製品の開発努力もなされて来ている。集積回路と組み合わせで使われる部品についても小形化、高性能化、経済化の要請が押し寄せそれに応える改良が急速に進展してきた。

このように半導体技術においてはますます微細化が進み、それにつれ、これらを応用した分野でも急激な進展がみられている。集積回路の導入が、社会生活や産業活動へ大きな影響を及ぼしている。

最後にこの半導体集積回路についての長所と短所についてまとめてみることにする。

まず集積回路の長所について考えてみると次のようなことがあげられる。

- ・微細加工技術がますます進展し、近い将来、数 mm 角の小さなチップに約 10 億個の素子を組みこめるようになると思われる。このように一枚のウエハー上にもたくさんの集積回路を作ることが出来るようになり、材料も少なくてすみ、製造コストが非常に安くなっていく。
- ・技術の進展により故障しにくい、性能が劣化しにくい、接続のための銅線やハンダ付けがない等、信頼性が非常に高い素子となってきている。
- ・温度に対して安定度が高く、こわれにくくなってきている。
- ・寸法を  $1/K$  に縮小すると消費電力は  $K^2$  倍に良くなる (消費電力が少なくなる) ため、ますます小形で軽量かつ消費電力が少なくてすむものになっていく。
- ・高度に複雑なシステムが経済的に得られる。
- ・寸法を  $1/K$  に縮小すると取り扱う信号の動作速度は  $K$  倍になるため、小形にするほど、高速であるスイッチ回路ができる。
- ・電池を電源 (低消費電力) とする高度に複雑な回路をつくることが可能である。



等があげられる。また、逆に集積回路の短所について考えると、

- ・出力（電流，電圧）が制限される。
- ・インダクタンスが作れない。
- ・集積回路そのものを使用者が変更することが出来ない。
- ・生産速度を上げ均一性を向上させ、より小形の集積回路を開発するためには個々の装置を更新する必要がある、集積回路メーカーでは多大の開発費がかかる。

等があげられるが、いずれにしても、周辺部品をさらに取り込みピン数も削減した高性能で安い（ウェハの大口径化，高歩留まり，高集積度（チップサイズ縮小）ULSIといわれる超々LSIが実現されていくことであろう。

### 参考文献

- 1) 田端輝夫，藤沼近雄，大谷幸弘「バイポーラ集積回路 (IC) について，MOS プロセス/デバイス」三洋電機
- 2) 「技術の進展・成果」NEC 技報 280 号 (1992)
- 3) 相田洋「電子立国日本の自叙伝」日本放送出版協会 (1992)
- 4) 菅野卓雄，生駒俊明，武石喜幸「マイクロエレクトロニクス素子 I」岩波書店 (1985)
- 5) 豊田博夫「超 LSI の時代」岩波書店
- 6) 渡辺誠，浅田邦博，大附辰夫「VLSI の設計 I」岩波書店 (1985)
- 7) 渡辺茂，正田英介，矢田光治「マイクロコンピュータハンドブック」オーム社 (1985)
- 8) 当井國昭他「マイクロコンピュータ応用ハンドブック」昭晃堂 (1983)
- 9) 矢田光治「マイクロコンピュータ用語辞典」日刊工業新聞社
- 10) 大見忠弘「シリコンテクノロジーの展望」電子情報通信学会誌 Vol.75 (1992)
- 11) 「半導体デバイス特集」NEC 技報 272 号 Vol.44 No.11 (1991)

