

# Yüksek çözünürlüklü akım yönlendirmeli sayısal-analog dönüştürücüler için yeni tasarım yaklaşımı

**İndrit MYDERRİZİ, Ali ZEKİ\***

*İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programı, 34469, Ayazağa, İstanbul*

## Özet

*Günümüzde Sayısal-Analog Dönüştürücüler (SAD) birçok elektronik sistemlerin kilit elemanları olmaktadır. Veri dönüştürücüler analog ve sayısal dünyalar arasında bir köprü oluşturdukları için hızlı ve verimli bir şekilde gerçekleştirilmeleri yüksek derecede arzu edilmektedir. Özellikle haberleşme uygulamalarında yüksek hızlı (birkaç 100 MHz) ve yüksek çözünürlüklü (10-bitten fazla) SADlar için artan rağbet, akım yönlendirmeli SAD'ların kullanımını mecbur kılmaktadır. Yayınların çoğunda yüksek performanslı akım yönlendirmeli SAD'ların tasarımında ve gerçekleştirmesinde kesimleme (segmentation) yöntemi kullanılmaktadır. Bu yöntem, yüksek hız ve yüksek çözünürlük gerektiren uygulamaların çoğunda avantajlı olmasına rağmen uzun süren tasarım zamanı, karmaşıklık ve yüksek maliyet yüzünden değer kaybetmektedir. Böylece, bazı uygulamalar için zaman ve maliyet açısından bu yöntemin kullanılması hızlı ve verimli olmayabilir. Bu problemlerin üstesinden gelmek için yüksek çözünürlüklü SADların hızlı tasarımını sağlayan verimli yöntemler dikkate alınmaktadır. Akım yönlendirmeli SADlar gibi karmaşık karma yapıli sistemlerin tasarımı için davranışsal modelin oluşturulması zorunlu olmaktadır. Bu amaçla yapılan modellerin çoğu (matematiksel veya devre tabanlı), sistemin davranışı hakkında istenilen eksiksiz manzarayı vermemektedirler. Bu yüzden tasarımı hızlandırabilen ve sistemin davranışını doğru bir şekilde yansıtabilen modeller geliştirilmektedir. Sonuç olarak uygulanan yöntemin verimliliğini ve davranışsal modelin doğruluğunu sınamak için AMS 0.35µm CMOS proses teknolojisi için tasarlanan bir 12 bitlik melez akım yönlendirmeli SAD kullanılmaktadır. Yapılan iyileştirmeler ve kullanılan farklı yöntemler gerçekleştirilen SAD'ın serimindeki ilgili kısımlarda yer almaktadırlar. CADENCE Geleneksel Tümlenmiş Devre Tasarım Araçları kullanılarak serim sonrası benzetimleri yapılmaktadır ve SAD'ın performans karakteristikleri incelenmektedir.*

**Anahtar Kelimeler:** *Sayısal-analog dönüştürücü, akım yönlendirmeli, davranışsal model, melez SAD.*

\*Yazışmaların yapılacağı yazar: Ali ZEKİ. zekia@itu.edu.tr; Tel: (212) 285 36 48.

Bu makale, birinci yazar tarafından İTÜ Fen Bilimleri Enstitüsü, Elektronik Mühendisliği Programı'nda tamamlanmış olan " High speed design of high resolution DACs" adlı doktora tezinden hazırlanmıştır. Makale metni 02.12.2009 tarihinde dergiye ulaşmış, 29.12.2009 tarihinde basım kararı alınmıştır. Makale ile ilgili tartışmalar 30.06.2011 tarihine kadar dergiye gönderilmelidir.

Bu makaleye "Myderrizi, İ., Zeki, A., (2011) 'Yüksek çözünürlüklü akım yönlendirmeli sayısal-analog dönüştürücüler için yeni tasarım yaklaşımı', İTÜ Dergisi/D Mühendislik, 10: 1, 123-134" şeklinde atıf yapabilirsiniz.

## **New design approach for high-resolution current-steering DACs**

### **Extended abstract**

*Nowadays DACs have become key elements in many electronic systems. In order to interface electronic systems with the real world, digital signals have to be translated into physical signals, which require a conversion into analog signals that is performed by DACs. Since data converters form the bridge between the analog and digital world their efficient implementation is highly desirable. The increase in demand for high speed (several 100 MHz) and high resolution (higher than 10-bit) DACs, especially in communication applications forces the use of current-steering based DACs. The current-steering DACs are widely used, since they satisfy the requirements of high-speed and high-resolution necessary in communication applications. However, due to their numerous features and wide range of application uses, it is very difficult to define and to follow a single way in which current-steering DACs can be specified and designed. A similar systematic design methodology can be considered during design flow of a predetermined current-steering DAC architecture. Such a methodology is concerned with the entire mixed signal system and requires a top-down design flow starting with DAC's specifications, architectural decisions, cell-level circuit decisions and ending with DAC layout issues both for digital and analog parts of the system.*

*Most publications made use of the segmentation method for the design and the implementation of high performance current-steering DACs. Although this methodology is advantageous in most of the applications requiring high-speed and high-resolution, it suffers from the prolonged design time, complexity and high cost. Thus, the use of this methodology for some applications is not efficient concerning the time and the cost. To overcome these problems efficient methodologies for the high speed design of high-resolution DACs are considered.*

*Behavioral modeling is necessary for the design of complex mixed-mode systems like current-steering DACs. Most of the models constructed (mathematical or circuit based) can not give a complete view of the system's behavior. For this reason, models that speed up the design and reflect accurately the behavior of the system prior to transistor level implementation are developed. The use of DAC modeling*

*tool is helpful to obtain converters having the best performance in terms of speed and accuracy. Through these models (SPICE, Simulink etc. based models), the mixed signal designs even with large complexity can be easily evaluated.*

*To conclude, the efficiency of the applied methodology and the accuracy of the behavioral model are validated through the implementation of a 12-bit hybrid current-steering based DAC in a relatively cheap 0.35 $\mu$ m CMOS process technology. The proposed hybrid DAC consists of four 3-bit parallel matched current-steering subDACs and resistive networks that properly weight the current output of each subDAC to obtain the overall voltage-mode output of the 12-bit hybrid DAC. The improvements in the building blocks and the different approaches used are reflected in the respective parts of the layout of the implemented DAC. Post-layout simulations are obtained using CADENCE Custom IC Design Tools and the performance characteristics of the DAC are investigated. The performance of the implemented DAC is compared with recently introduced DACs designed for different applications, through Figure of Merit (FoM). The architecture and design methodology used for the implementation of the DAC offer advantages like design speed up and a small active area. The performance of the hybrid DAC is validated through static and dynamic performance metrics. All simulations are performed with a 3.3V power supply. Simulations indicate that the DAC has an accuracy of 12-bit and a SFDR higher than 66 dB in whole Nyquist frequency band. The simulated INL is better than 1LSB, while simulated DNL is better than 0.25LSB. At an update rate of 200MSample/s the SFDR for signals up to 1MHz is higher than 70 dB. Similarly at an update rate of 100MS/s the SFDR is higher than 65 dB for signals up to 5 MHz. Even for update rates like 500MSample/s or 1GSample/s the SFDR is higher than 60dB for sinusoidal input signals up to 1MHz. The FoM of the implemented hybrid DAC is better than recently presented DACs with different resolutions and implemented using various process technologies.*

*The proposed hybrid DAC supporting high update rates with good dynamic performance can be used as an alternative in various applications in industry including video, digital TV, cable modems etc.*

**Keywords:** *Digital-to-analog converter, current-steering, behavioral model, hybrid DAC.*



bitlik çözünürlük elde edilecek şekilde eş alt-SAD'ların çıkışlarının ölçeklendirilmesidir. Böylece, her altSAD'ın çıkış akımı uygun ölçeklendirilmiş dirençle çarpılarak gerilime çevrilip toplanır ve gerilim-modlu SAD'ın çıkışı elde edilir. SAD'ın çıkış gerilimi aşağıdaki eşitlik ile gösterilebilir:

$$V_{out} = V_{DD} - \left[ \begin{array}{l} R_1 \sum_{i=1}^h b(i)I_{LSB} + (R_1 + R_2) \sum_{i=h+1}^{2h} b(i)I_{LSB} + \dots \\ + (R_1 + R_2 + \dots + R_M) \sum_{i=N-h+1}^N b(i)I_{LSB} \end{array} \right] \quad (1)$$

Burada  $b(i)$ ,  $i$ .nci bit'e karşı düşen ondalık sayıdır ve  $2^i \cdot b_i$ 'ye eşittir.  $I_{LSB}$  ise, altSAD'ın birim akımıdır.  $R_1=R_{birim}$  ağıın birim direncini temsil eder ve  $R_i$  ( $i=2, 3 \dots M$ ), aşağıdaki ifadeye göre ağıın ölçeklendirilmiş dirençlerini göstermektedir.

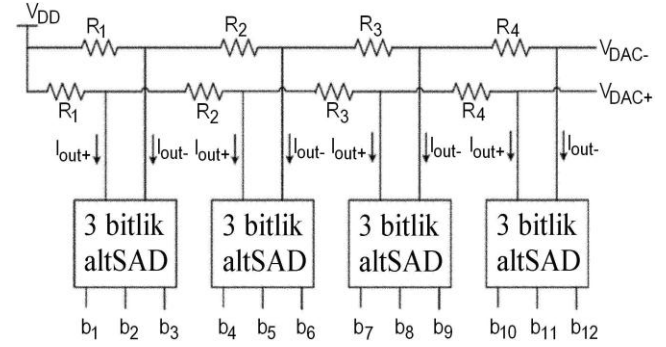
$$R_i = 2^{(i-1)h} R_{unit} - \sum_{j=1}^{i-1} R_j \quad (2)$$

Her altSAD'ın  $h$  bitlik ikili giriş verisi termometre kodlu olup  $2^h-1$  tane birim akım kaynağı açılıp kapatılmaktadır.

Tasarımlarda  $M$ 'nin (paralel eş altSADların sayısı) ve  $h$ 'nin (her altSAD'ın bit sayısı) değerleri uygun sınırlar içerisinde seçilmeli. Öyle ki melez yapının sunduğu; küçük alan, basit tasarım ve düşük güç harcaması gibi üstünlükleri ortaya çıksın.

Yapının seçimi kullanılacak CMOS proses teknolojisine, tasarım zamanına, çekirdek hücrenin (aktif) alanına ve uygulamanın teknik özelliklerine bağlıdır. SAD'ın gerçekleşmesinde  $0.35\mu m$  CMOS proses kullanılacağına göre standart yapıların (termometre kodlu veya kesimleme yöntemi ile) kullanılması uzun bir tasarım zamanı ister ve daha yeni proses teknolojilerle gerçekleştirilen SADlarla kıyaslandığında çekirdek hücrenin alanı istenilen minimum alandan çok uzak kalmaktadır. Böylece, belirli bir proses teknolojisi için tasarım zamanı, alan ve diğer istenilen özelliklerin arasında bir seçimin yapılması gereklidir. Aslında tasarım zamanı ve alan aşağı yukarı aynı şekilde etkilenmektedir;

karmaşık bir yapının tasarımı daha fazla zaman gerektirir ve daha büyük bir alan kaplamaktadır. Minimum alan kaplayacak 12 bitlik yüksek çözünürlüklü SAD, önerilen melez yapıyı kullanarak hızlı bir şekilde tasarlamak mümkündür. 3 bitlik 4 eş altSAD'dan oluşan 12 bitlik melez SAD Şekil 2'de gösterilmektedir.

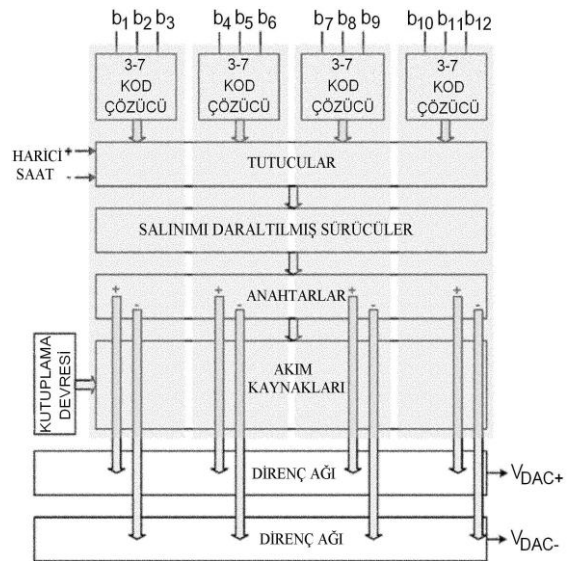


Şekil 2. 12 bitlik melez SAD'ın yapısı

Şekilden de görüldüğü gibi analog çıkış olarak gerilim elde edilmektedir. Direnç ağındaki dirençlerin değerleri  $R_{birim}=R_1=100\Omega$  seçerek denklem (2)'den çıkarılmaktadır ( $R_2=0.7k\Omega$ ,  $R_3=5.6k\Omega$ ,  $R_4=44.8k\Omega$ ).

### Yapının sıradüzen akışı ve davranışsal modeli

12 bitlik melez SAD'ın sıradüzen akışı Şekil 3'te verilmektedir.



Şekil 3. 12 bitlik melez SAD'ın sıradüzen akışı

12 ikilik sayısal giriş, 4 eş 3-7 ikilik-termometre kod çözücü aracılığıyla ikilik koddan termometre koduna dönüştürülmektedir. Kod çözücü devreleri, topolojinin en üstündeki kısımda yer almaktadırlar. SAD'ın çalışması esnasında oluşabilecek kılçıkları önlemek için tutucular (latches) ve salınımları daraltılmış sürücüler (swing reduced drivers, SRDs) anahtarların hemen önüne yerleştirilmektedir. Anahtar kontrol işaretlerinin istenilen eşzamanlamasını sağlamak için tutuculara harici bir saat uygulanmaktadır. Kod çözücülerle beraber bu devreler sistemin sayısal kısmını oluşturmaktadırlar.

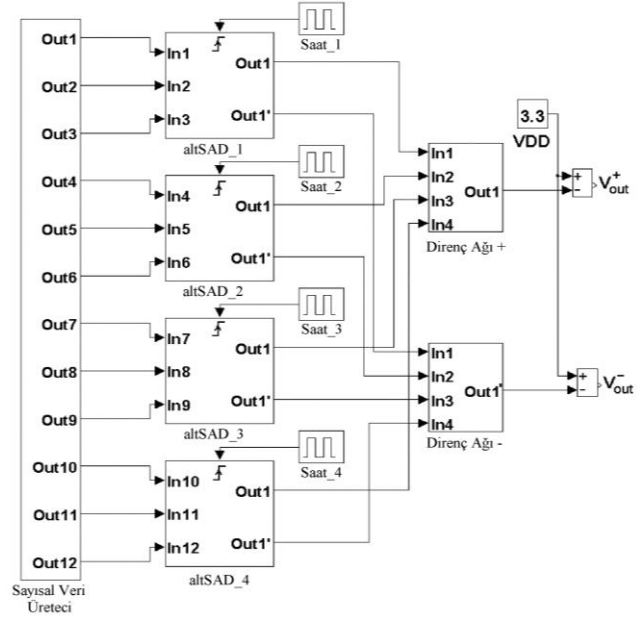
Eş akım kaynaklarını kutuplamak için genel bir kutuplama devresi kullanılmaktadır. Sıradüzen akışında altSAD'lar gri ile renklendirilmiş bölgelerle gösterilmektedir. AltSAD'ların çıkışları, topolojinin en alt kısmına yerleştirilen ve ölçekli dirençlerden oluşan, direnç ağlarına bağlanmaktadır.  $V_{DAC+}$  ve  $V_{DAC-}$  gerilim modlu melez SAD'ın çıkışlarıdır.

12-bitlik melez SAD'ın davranışsal modeli, SIMULINK® modeli kullanılarak kurulmaktadır (Myderrizi ve Zeki, 2009a). Davranışsal model Şekil 4'te verilmektedir. Model, bir sayısal veri üretici, 4 3 bitlik birim altSAD'lar ve 2 direnç ağlarından oluşmaktadır. Analog gerilim çıkışı, altSADların akım çıkışları denklem (1)'deki gibi uygun ölçekli dirençlerle çarpılarak, elde edilmektedir.

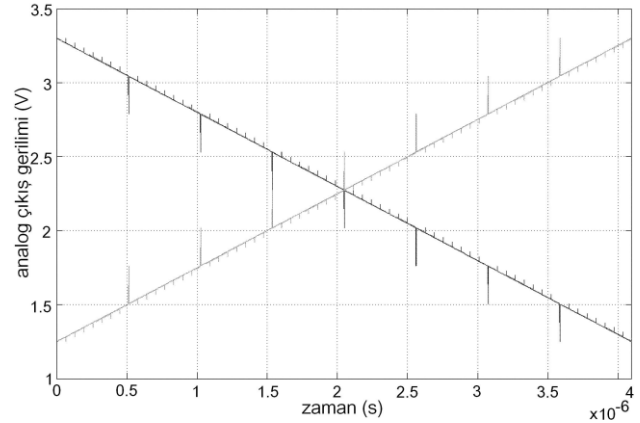
12 bitlik melez SAD'ın davranışsal modelinin kötü hal çalışma için benzetimleri yapıldı ve statik ve dinamik performansları incelenmektedir. Melez SAD için, altSAD'ların eşzamanlı çalışmaması, altSAD'lardaki akım kaynaklarının ve direnç ağındaki dirençlerin eşleştirilmemiş olması, en kötü hal çalışma olarak tanımlanmaktadır. Modeldeki saat işaretlerini ayarlayarak, giriş işaretlerine gecikme ekleyerek, akım kaynaklarının ve dirençlerin değerlerini değiştirerek, en kötü hal çalışma şartları sağlanabilir.

Eş zamanlı çalışmayan altSAD'lardaki akım kaynaklarına ve dirençlere %1 kadar bir eşleştirilme hatası ekleyerek en kötü hal benzetimleri

yapılmaktadır. Çevirme oranı 1GS/s iken transfer karakteristiği Şekil 5'te verilmektedir.



*Şekil 4. 12 bitlik melez SAD'ın SIMULINK® modeli*



*Şekil 5. 12 bitlik melez SAD'ın modelinin transfer karakteristiği*

Şekil 6'da, SAD modelinin girişine 50MHz'lik bir sinüzoidal işarete karşı düşen 12 bitlik bir sayısal işaret uygulandığında, analog çıkış işareti verilmektedir.

Model ile yapılan benzetimlerin sonucunda statik performans için INL, 1.87LSB ve DNL, 1.07LSB değerlerinden daha küçüktür. Hesaplama kılçıklarının etkisi ihmal edilmektedir. Ayrıca dinamik performansı belirleyen bozul-



Akım kaynağının minimum alanı, akımın standart sapması ve eşleştirilme parametreleri kullanılarak elde edilen eşleşme denklemlerinden çıkarılmaktadır (Pelgrom vd., 1989). Minimum alan aşağıdaki gibi ifade edilir:

$$(WL)_{\min} = \frac{1}{2 \left( \frac{\sigma_{I_{LSB}}}{I_{LSB}} \right)^2} \left[ A_{\beta}^2 + \frac{4A_{VT}^2}{(V_{GS} - V_T)_{CS}^2} \right] \quad (3)$$

Burada,  $(\sigma_{I_{LSB}}/I_{LSB})$  birim akım kaynağının normalize standart sapması,  $A_{VT}$  ve  $A_{\beta}$  proses teknolojisine bağlı parametreler, ve  $(V_{GS}-V_T)_{CS}$  akım kaynağı transistörünün aşım gerilimidir.

Akım kaynağı transistörünün boyutunu belirleyen başka bir kısıtlama  $I_{LSB}$  birim akımıdır. Bu durumda, akım kaynağı transistörünün W/L oranı aşağıdaki gibi olur:

$$\frac{W}{L} = \frac{2I_{LSB}}{K_n (V_{GS} - V_T)_{CS}^2} \quad (4)$$

Burada  $K_n = \mu C_{ox}$  akım kaynağı transistörünün kazanç faktörüdür.

12 bitlik melez SADdaki eş olan bütün anahtarlanmış akım hücreleri ortak bir kutuplama devresi ile kutuplanmaktadır.  $V_{bias1}=2.2V$  ve  $V_{bias2}=1.6V$  seçerek birim akımın  $I_{LSB}=5\mu A$  olması ve düşük gerilim kaskod kaynağın aşağıdaki ifadeye göre uygun bir şekilde kutuplanması sağlanmaktadır.

$$(V_{GS})_{CS} + (V_T)_{CS} = V_{bias2} > (V_{GS} - V_T)_{CS} + (V_{GS})_{CAS} \quad (5)$$

Kaskod transistöründen akan akım, akım kaynağının  $I_{LSB}$  akımı ile aynıdır. Bu transistörün boyutları çoğunlukla dinamik performansı ile başka bir deyişle çıkış empedansı ile sınırlanmaktadır. Bununla beraber, hedef, istenilen yüksek çıkış empedansı, küçük bir parazit savak kapasitesi ve transistör için minimum alan arasında, uygun bir seçim yapmaktır. Transistörün çıkış direnci geçit uzunluğu L ile doğru orantılı olduğundan, L'nin olabildiğince büyük seçilmesi uygun olur, ancak bu durumda da parazitik kapasite ve alan artacaktır.

Büyük geçit kapasitelerinden ve bununla beraber zamanlama hatalarından dolayı anahtar transistörlerin büyük seçilmesi uygun değildir. Ayrıca, küçük anahtarlar büyük anahtarlara göre daha hızlıdır. Bunun için hızı arttırmak için tasarımda küçük anahtarlar kullanılmaktadır.

Anahtarlanmış akım hücrelerinde kullanılan transistörlerin boyutları Tablo 3'te verilmektedir.

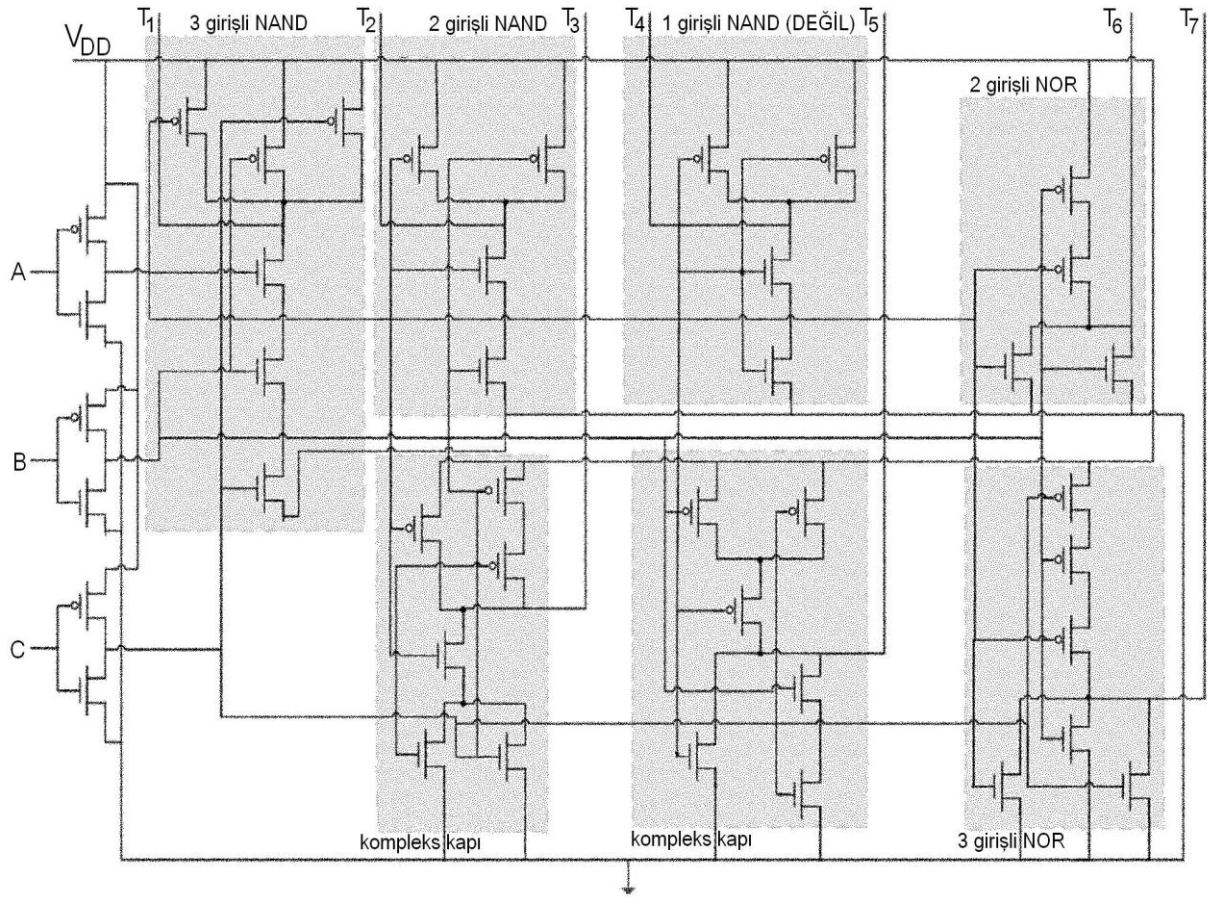
*Tablo 3. Anahtarlanmış akım hücresindeki transistörlerin boyutları*

Tr.	W( $\mu m$ )	L( $\mu m$ )
$M_{CS}$	8.4	22.4
$M_{CAS}$	1.05	0.7
$M_{SW}$	0.7	0.35

3-7 ikilik-termometre kod çözücü-İkilik-termometre kod çözücü, akım yönlendirmeli SAD'ın sayısal kısmının en önemli parçasıdır. Giriş işareti yolunda yer aldığından dolayı bu devrenin çalışma hızı yüksek olmalıdır. 3-7 ikilik-termometre kod çözücünün devresi Şekil 8'de verilmektedir. Kod çözücünün transistör seviyesinde tasarımı, içerdiği karmaşık CMOS lojik kapıların bir referans CMOS evirici esas olarak yapılmaktadır, başka bir deyişle bütün kapıların gecikmesi referans eviricinin gecikmesine göre ayarlanmaktadır. Böylece CMOS lojik kapılardaki transistörlerin boyutları zamanlama gereksinimleri dikkate alınarak yapılmaktadır (Hodges vd., 2003). Yine de tasarım esnasında istenilen zamanlama, güç harcaması ve alan arasında bir seçim yapılmalıdır.

Şekil 8'de gri ile renklendirilmiş her bölge Tablo 4'te gösterilen 3 bitlik ikilik-termometre kodların dönüşümünü sağlamaktadır.

*Eşzamanlama devreleri (tutucular ve salınımı daraltılmış sürücüler)*-Elemanlar arasında eşleştirilme sorunu, lojik yollar arasındaki farklı gecikmeler ve bunun gibi diğer faktörler yüzünden kod çözücünün çıkışında bozulma ve kılçıklar meydana gelebilir. Öyle ki, kod çözücünün çıkışındaki işaretler anahtarlanmış akım hücrelerini sürmek için uygun olmayabilirler. Ayrıca,



Şekil 8. 3 bitlik ikilik-termometre kod çözücü

Tablo 4. 3 bitlik ikilik-termometre dönüştürme kodları

İkilik			Termometre						
A	B	C	$T_7=ABC$	$T_6=AB$	$T_5=A(B+C)$	$T_4=A$	$T_3=A+BC$	$T_2=A+B$	$T_1=A+B+C$
0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	0	0	0	1
0	1	0	0	0	0	0	0	1	1
0	1	1	0	0	0	0	1	1	1
1	0	0	0	0	0	1	1	1	1
1	0	1	0	0	1	1	1	1	1
1	1	0	0	1	1	1	1	1	1
1	1	1	1	1	1	1	1	1	1

anahtarlarda kontrol işaretlerinin hatalı eşzamanlaması ve akım kaynaklarında savak gerilimin değişmesiyle akımın değişmesi sistemin dinamik performansını önemli ölçüde düşürmektedir (van der Plas vd., 1999). Bu nedenle

anahtarları sürmek için benzer ve tam olarak eşzamanlı olan işaretler gerekmektedir. Giriş işaretlerinin eşzamanlamasını sağlamak için Şekil 7'de görüldüğü gibi kod çözücüler ve anahtarlanmış akım hücreleri arasında tutucu ve salı-



nımı daraltılmış sürücü devreleri yerleştirilmektedir (van den Bosch vd., 1998).

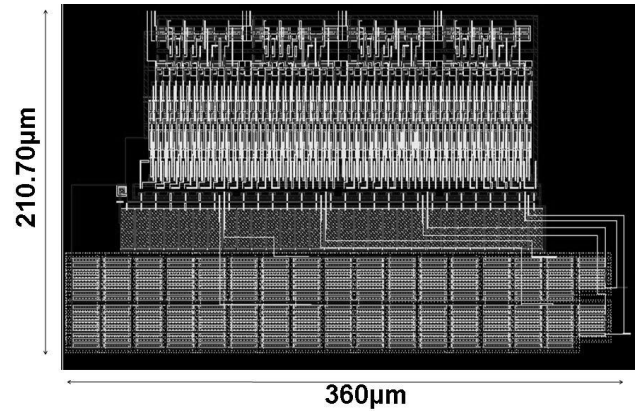
Tasarımda kullanılan tutucu devresi bir dinamik D-tutucudur. D-tutucunun görevi, uygulanan harici bir saat aracılığıyla giriş işaretlerinin eşzamanlı olmalarını sağlamaktır. D-tutucu devresi bir transmisyon kapısı ve bir eviriciden oluşmaktadır. Tüm dinamik tutucularda olduğu gibi, veri, eviricinin geçit kapasitesinde depolanır ve transmisyon kapısının çalışma durumuna bağlı yük boşalır veya depolanır. Tümleyen transmisyon kapısı, yükün depolanması için kullanılan kapının (bu durumda eviricinin) kuvvetli bir şekilde sürülmesini sağlamaktadır. Tutucunun çalışma prensibi çok basittir: CLK=0 iken transmisyon kapısı açık ve en son depolanmış yük (sayısal veri) çıkışı belirler, CLK=1 iken transmisyon kapısı kapalı ve eviricinin çıkışı, D girişini takip eder. Tutucudaki transistörlerin boyutları Hodges ve diğerleri (2003)'deki RC modelini esas alarak gecikme analizi ile belirlenmektedir.

Literatürde, anahtarın girişlerinde salınımı daraltılmış bir sürücünün yerleşmesiyle çıkış düğümündeki saat sızmasının (clock feedthrough) azaldığı gösterilmektedir (Bastos vd., 1998), (Luh vd., 2000). Salınımı daraltılmış sürücünün başlıca amacı, anahtarların girişlerine uygulanan kontrol işaretlerinin salınımının daraltılmasıdır.

SAD'ın gerçekleşmesinde kullanılan eviren SRD devresi Şekil 7'de gösterilmektedir (Myderrizi vd., 2009b). Devre basit olup giriş işaretin uygulandığı bir evirici ve çıkışı istenilen seviyede indirilmesini sağlayan iki diyot bağlı transistörlerden oluşmaktadır. SRD devresi AMS 0.35 $\mu$ m CMOS proses teknolojisinin parametrelerini kullanarak 3.3V'tan 400mV'a kadar salınımın daraltılması için tasarlanmaktadır (Myderrizi ve Zeki, 2009b). Böylece istenilen gerilimin salınım seviyeleri 1.6V düşük gerilim ve 2V yüksek gerilim seviyeleri olarak belirlenmektedir. Devrenin tek sorunu, sürekli bir DC gücün harcanmasıdır. Ancak, diğer SRD devreleri ile kıyaslandığında kapladığı alanın daha küçük olduğu gözlemlenmektedir. Bunun için gerçekleştirilen melez SAD yapısı için güç harcanması ve alan arasında bir seçim yapılmaktadır.

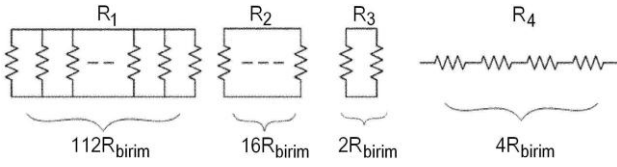
## **Serim ve performans değerlendirmesi**

*Serim teknikleri*-AMS 0.35 $\mu$ m C35B4C3 (4 metal katman, 2 polisilikon katman ve 1 yüksek dirençli katman) CMOS proses teknolojisi için yapılan 12 bitlik melez SAD'ın serimi Şekil 9'da gösterilmektedir. Şekilden de görüldüğü gibi serim, minimum alan için optimize edilmiştir. Akım kaynakları arasında iyi bir eşleşme elde edebilmek için 28 akım kaynağı (her bir altSAD için 7 kaynak) ve akım referans kaynağı yan yana serilmektedir. Benzer şekilde kaskod transistörlerin serimi de yapılmaktadır. Serimde yer alan analog devreler, olası gürültüden etkilenmemesi için, sayısal kısımdan koruyucu halkalarla ayrılmaktadır. Yine aynı şekilde besleme hatlarından gelebilecek gürültüyü önlemek için sayısal ve analog besleme hatları birbirinden ayrılmaktadır. Sayısal devrelerin (kod çözücüler ve eşzamanlama devreleri) serimi, olabildiğince küçük alan ve yüksek hız elde etmek için tamamen tasarıma özel yapılmaktadır.



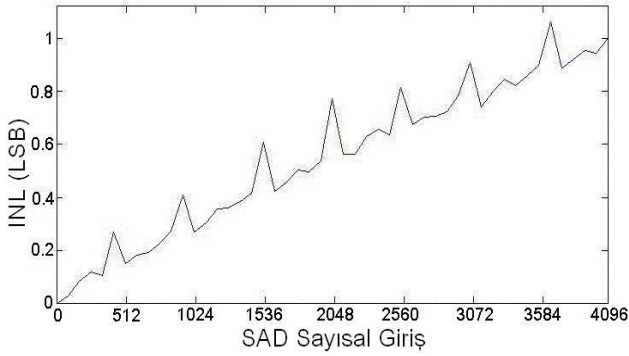
*Şekil 9. 12 bitlik SAD'ın aktif bölgesinin serimi*

Serimde, dirençler mevcut aktif alanın yaklaşık %30-40'ı kadar bir yer kaplamaktadırlar. Bunun için direnç ağlarının yerleştirilmesi çok önemlidir. AMS 0.35 $\mu$ m CMOS prosesi ile tasarımda istenilen değerlerde, nispeten daha az yer kaplayacak şekilde, yüksek dirençli polisilikon katmanı kullanarak, dirençleri gerçekleştirmek mümkündür. Direnç ağında, en iyi eşleşme performansını ve olabildiğince küçük alanı elde etmek için dirençler Şekil 10'daki gibi gerçekleştirilir. Prosesin tasarım kurallarına ve kılavuzlarına uygun şekilde birim direncin değeri 11.2k $\Omega$  olarak seçilmektedir.

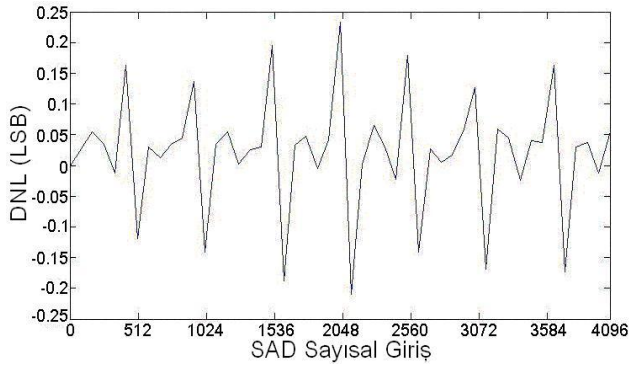


Şekil 10. Direnç ağının dirençleri

Performans değerlendirmesi-12-bitlik melez SAD'ın benzetimleri CADENCE UltraSim ile yapılmaktadır. Statik performansı belirleyen INL ve DNL hata parametreleri sırasıyla Şekil 11 ve Şekil 12'de gösterilmektedir.

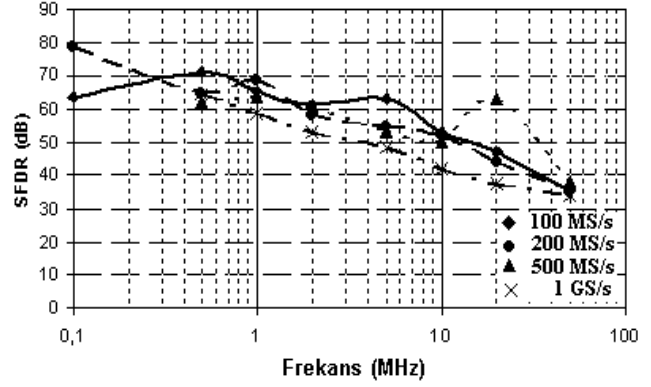


Şekil 11. 12 bitlik melez SAD'ın INL hatası



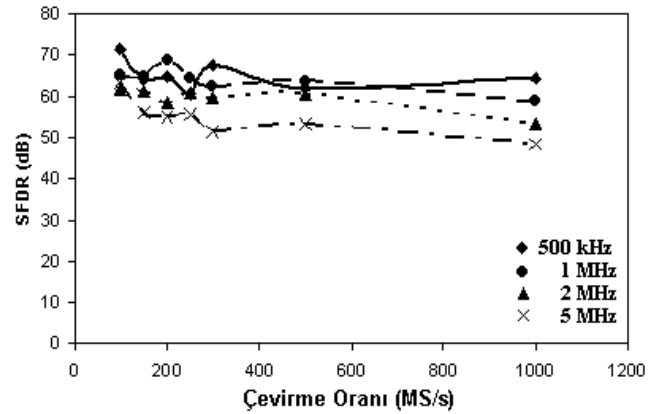
Şekil 12. 12 bitlik melez SAD'ın DNL hatası

Şekillerden de görüldüğü gibi INL hatası 1LSB'den ve DNL hatası 0.25LSB'den daha küçük olmaktadır. Bu parametrelerin belirlenmesinde kılçıkların etkisi ihmal edilmektedir. Pratikte, SAD'ın çıkışı bir alçak geçiren süzgeçten geçirilerek yüksek frekanslarda etkili olan kılçıklar bastırılmaktadır. Dinamik performansın en önemli parametresi SFDR'dir. Şekil 13'te, sabit çevirme oranları için, SFDR'nin giriş işareti frekansına göre değişimi gösterilmektedir.



Şekil 13. SFDR-giriş işareti frekansı değişimi

Şekilden de görüldüğü gibi, 200MS/s sabit bir çevirme oranı için sinüzoidal giriş işareti frekansının 1MHz'lik değerine kadar, SFDR 70dB'den daha büyüktür. Aynı şekilde, 100MS/s çevirme oranı için giriş işareti frekansının 5MHz'lik değerine kadar, SFDR 65dB'den daha büyüktür. Ayrıca, 500MS/s ve 1GS/s çevirme oranları için 1MHz giriş frekans değerine kadar 60dB'den daha büyük bir SFDR elde edilmektedir. Şekil 14'te, farklı frekanslı sinüzoidal giriş işaretleri için SFDR'nin çevirme oranına göre değişimi verilmektedir.



Şekil 14. SFDR-çevirme oranı değişimi

SAD'ın güç tüketimi 104mW olup çoğunlukla SRD devrelerince harcanmaktadır. SAD'ın aktif alanı ise sadece 0.076mm<sup>2</sup>'dir.

Başarım ölçütü (FoM)-Önerilen yapının performansını daha önce yapılan diğer yapılarla karşılaştırmak için aşağıdaki ifade ile verilen başarımlı ölçütü parametresi kullanılmaktadır.

Tablo 5. Farklı yapıların başarımlarının karşılaştırılması

Kaynak	Teknoloji (μm)	Çözünürlük (bit)	f <sub>in</sub> (MHz)	Güç (mW)	Alan (mm <sup>2</sup> )	FoM (MHz/mW*mm <sup>2</sup> )
(Bastos vd., 1998)	0.5	12	2	320	1.92	13.33
(van den Bosch vd., 2001)	0.35	10	490	122	0.35	11750.82
(Doris vd., 2005)	0.18	12	120	216	1.13	2013.77
(Ni vd., 2006)	0.35	12	9	150	3.52	69.82
Bu çalışma@100MS/s	0.35	12	1	104	0.076	518.22
Bu çalışma@250MS/s	0.35	12	5	104	0.076	2591.1

$$FoM = \frac{2^N \cdot f_{in}}{Güç \times Alan} \quad (6)$$

Burada N SAD'ın çözünürlüğünü ve f<sub>in</sub>, SFDR'nin beklenen değerden en fazla 6dB düşüğü giriş işareti frekansını göstermektedir.

Diğer önerilen yapılarla, bu başarımların ölçütüne dayalı karşılaştırma Tablo 5'te verilmektedir. Açıkça görülüyor ki önerilen yapının, özellikle küçük aktif alanın getirdiği avantajı ile diğer yapılara göre başarımların ölçütü daha yüksektir.

## Sonuçlar

Bu çalışmada yüksek çözünürlüklü SADların hızlı tasarımı için uygun bir yöntem ve yapı önerilmiştir. Yapının davranışsal modeli önerilmiş ve modelin performansı incelenmiştir. Uygun ve yeni bloklar kullanarak, belirli bir akış düzenine göre yapının transistor seviyesinde tasarımı yapılmıştır. AMS 0.35μm CMOS proses teknolojisi için yapının serimi gerçekleştirilmiştir. Serimden sonrası benzetimleriyle SAD'ın statik ve dinamik performansları ortaya çıkarılmıştır. Tasarım esnasında güç tüketimi, alan ve zamanlama gibi parametrelerin arasında yapılan seçim lineerlik ve özellikle dinamik performans açısından başarılı bulunmuştur. Diğer taraftan literatürde rastlanan diğer yapılarla bir başarımların ölçütüne dayalı karşılaştırma yapılmıştır. Yapının çok küçük bir aktif alana, orta seviyede güç tüketimine, kullanılan teknolojiye göre iyi bir çevirme oranına ve işaret bant genişliğine sahip olması başarımların ölçütünün yüksek değerlerde olmasına imkan sağlamıştır. Gerçekleştirilen yapı, sayısal işaret işleme, video, sayısal TV,

kablolu modem vb. uygulamalarda rahatlıkla kullanılabilir.

## Kaynaklar

- Albiol, M., Gonzalez, J.L. ve Alarcon, E., (2004). Mismatch and dynamic modeling of current-sources in current steering CMOS D/A converters: An extended design procedure, *IEEE Transactions on Circuits and Systems I: Regular Papers*, **1**, 1, 159-169.
- Bastos, J., Marques, A.M., Steyaert, M.J.S. ve Sansen, W., (1998). A 12-bit intrinsic accuracy high-speed CMOS DAC, *IEEE Journal of Solid-State Circuits*, **33**, 12, 1959-1969.
- Doris, K., Briaire, J., Leenaerts, D., Vertregt, M. ve Van Roermund, A., (2005). A 12b 500MS/s DAC with >70dB SFDR up to 120MHz in 0.18μm CMOS, *Proceedings, IEEE International Solid-State Circuits Conference*, 116-117, San Francisco.
- Hodges, D.A., Jackson, H.G. ve Saleh, R.A., (2003). *Analysis and design of digital integrated circuits: in deep submicron technology*, 181-182, 249-267, 3rd Edition, McGraw Hill, Singapore.
- Ionascu, C. ve Burdia, D., (2003). Design and implementation of video DAC in 0.13μm CMOS technology, *Proceedings, International Symposium in Signals, Circuits and Systems*, 381-384, Iasi.
- Luh, L., Choma, J. ve Draper, J., (2000). A high-speed fully differential current switch, *IEEE Transactions on Circuits and Systems II*, **47**, 4, 358-363.
- Myderrizi, I. ve Zeki, A., (2009a). Behavioral model of segmented current-steering DAC by using SIMULINK®, *Proceedings, International Conference on Ph.D. Research in Microelectronics & Electronics*, 156-159, Cork.
- Myderrizi, I. ve Zeki, A., (2009b). A high-speed swing reduced driver suitable for digital-to-

- analog converters, *Proceedings, European Conference on Circuit Theory and Design*, 635-638, Antalya.
- Ni, W., Geng, X., Shi, Y. ve Dai, F., (2006). A 12-bit 300MHz CMOS DAC for high-speed system applications, *Proceedings, IEEE International Symposium on Circuits and Systems*, 1402-1405, Kos.
- Pelgrom, M.J.M., Duinmaijer, A.C.J. ve Welbers, A.P.G., (1989). Matching properties of MOS transistors, *IEEE Journal of Solid-State Circuits*, **24**, 5, 1433-1439.
- Radulov, G.I., Quinn, P.J., Harpe, P., Hegt, H. ve van Roermund, A.H.M., (2007). Parallel current-steering D/A converters for flexibility and smartness, *Proceedings, IEEE International Symposium on Circuits and Systems*, 1465-1468, New Orleans.
- Van den Bosch, A., Borremans, M., Steyaert, M.J.S. ve Sansen, W., (2001). A 10-bit 1-GSample/s Nyquist current-steering CMOS D/A converter, *IEEE Journal of Solid-State Circuits*, **36**, 3, 315-324.
- Van den Bosch, A., Steyaert, M. ve Sansen, W., (2004). *Static and dynamic performance limitations for high speed D/A converters*, 29-31, 84-88, Kluwer Academic Publishers, Dordrecht, The Netherlands.
- Van Den Bosch, A., Steyaert, M. ve Sansen, W., (1998). A 800 MHz ultra low glitch energy 6-bit CMOS D/A converter, *Proceedings, European Solid-State Circuits Conference*, 172-175, The Hague.
- Van der Plas, G.A.M, Vandenbussche, J., Sansen, W., Steyaert, M.J.S. ve Gielen, G.G.E., (1999). A 14-bit intrinsic accuracy  $Q^2$  random walk CMOS DAC, *IEEE Journal of Solid-State Circuits*, **34**, 12, 1708-1718.