

FPGAによるエミュレーテッド・ピーク電流モード制御 ソフトスイッチングDC-DC昇圧コンバータ

日野 暢裕・飯田 隆彦*

岡山理科大学大学院工学研究科電子工学専攻

*岡山理科大学工学部電気電子システム学科

(2008年9月30日受付、2008年11月7日受理)

1. はじめに

近年、原油価格の高騰や地球温暖化問題の影響もあり、太陽光発電や風力発電などの新エネルギーの活用が着目されている。これらの発電システムにおいて、出力電圧の低さや安定性などの理由で、バッテリーに充電した後、DC-DCコンバータで一定電圧まで昇圧し、負荷に供給することが多い。このDC-DCコンバータにおいて、最近、ピーク電流モード制御DC-DCコンバータ(従来の「電流マイナーループ付き電圧制御DC-DCコンバータ」をこれに改称)が注目されている。これは、従来の単に電圧だけを負帰還する電圧モード制御に比べて、このピーク電流モード制御がより速い応答特性をもっているからである^[1~2]。また、DC-DCコンバータの制御回路のデジタル化も盛んに研究されている。ピーク電流モード制御において、従来のアナログ制御回路をそのままデジタル制御回路に置き換える手法では、リアクトル電流を検出するためのA/D変換器にはDC-DCコンバータのスイッチング周期 T の1/100~1/1000のような超高速の変換時間が要求される。例えば、スイッチング周波数 f_{sw} が100kHzのDC-DCコンバータではA/D変換器の変換速度として50~100MSPSのような超高速A/D変換器が必要になり、A/D変換器のコストが上昇するとともに、DC-DCコンバータのスイッチング周波数 f_{sw} 自体がA/D変換器の変換時間で規制される事態が生じる。

本研究では、この問題を解決して、A/D変換速度がDC-DCコンバータのスイッチング周波数の5~10倍程度、1MSPS前後の中速A/D変換器を用いてピーク電流モード制御を行うデジタル制御方式を提案して、その動作をDC-DC昇圧コンバータを用いて実験し、確認したので報告する。

2. 主回路と動作説明

図1に本研究で使用したソフトスイッチングDC-DC昇圧コンバータの主回路を示す。主な仕様は、入力電圧65V、出力電圧200V(昇圧比約3倍)、最大出力400W、スイッチング周波数100kHzである。

図1の網がけの部分が主素子 Q_1 をソフトスイッチングさせるための補助回路である。主素子 Q_1 はMOSFET、 Q_2 はIGBTである。 Q_2 はゼロ電流スイッチングで動作しているが、オン時はハードスイッチングであるため、出力容量 C_{oss} が小さく、かつ高耐圧の素子が要求される。従って、IGBTを採用した。 Q_2 のテール電流を阻止し、逆電圧を高速で阻止するために D_3 を直列接続している。 L は昇圧リアクトル、 L_r は共振リアクトル、 C_{r1} 、 C_{r2} は共振コンデンサである。 Q_1 に先立って Q_2 をオンさせることで、 L_r 、 C_{r1} 、 C_{r2} を共振させて、 Q_1 のソフトスイッチングを実現させている。

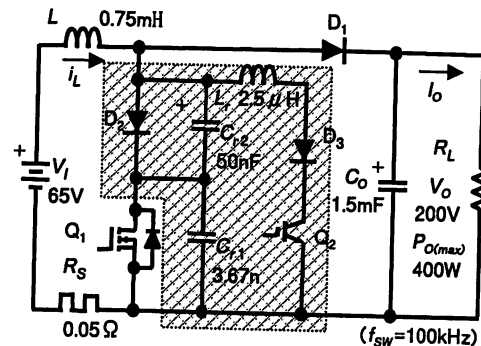


図1 ソフトスイッチングDC-DC昇圧コンバータ主回路

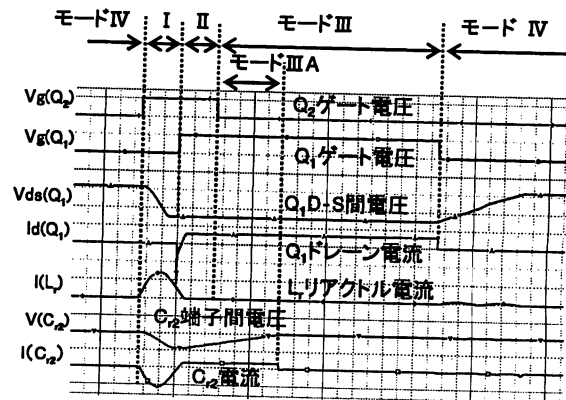


図2 スイッチング波形とモードの定義

図2はソフトスイッチング昇圧コンバータの主回路を回路シミュレータPspiceでシミュレーションし、各部のスイッチング波形を求めたものである。表1に動作モードと Q_1 、 Q_2 のスイッチングとの関係を示す。この回路の詳細な動作説明は参考文献[3~5]に記載されているので、ここでは省略する。

表1 動作モードとデバイスのオン・オフ関係

動作モード	モードI	モードII	モードIII	モードIV
Q_1 スイッチ	オフ	オン	オン	オフ
Q_2 スイッチ	オン	オン	オフ	オフ

3. 制御システム

3-1 電圧制御とピーク電流モード制御

DC-DCコンバータの制御システムにおいて、出力電圧のみを負帰還して制御する方式を電圧制御と呼ぶ。電圧制御では発振を回避するために適切な位相補償が必要になり、そのため出力の応答特性が遅くなる。一方、電圧制御のループに電流帰還をマイナーループとして併用したものを電流モード制御と呼ぶ。この方式は本質的に安定であり、より高い周波数で電圧帰還を掛けて応答速度を高めることができる。また、電流のピーク値を制御することにより、過電流の保護もできる。ただし、動作責務50%以上においてサブハーモニック発振と呼ばれる発振が起こる。このため安定動作のためにスロープ補償を行う必要があり、これについては第3-10節で詳述する。

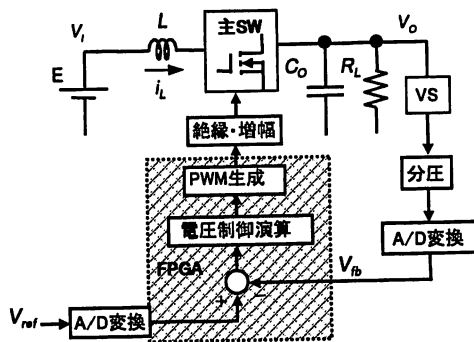


図3 デジタル式電圧制御のシステムブロック線図

3-2 デジタル式電圧制御

図3にデジタル式の電圧制御DC-DCコンバータシステムを示す。出力電圧 V_o を電圧検出器 VS で検出し、分圧した後、A/D変換している。A/D変換された値とデジタル指令電圧 V_{ref} とを比較した後、その偏差を電圧制御演算して、PWMパルスを生成する。生成されたPWMパルスは、絶縁・増幅を経て主SWに印加される。この回路構成ではA/D変換以降PWMパルス生成までを1個のFPGAで実現することができる。

3-3 デジタル式ピーク電流モード制御

図4にデジタル式ピーク電流モード制御DC-DCコンバータシステムを示す。図4では、電圧制御演算された出力 I_{ref} が、超高速A/D変換器で変換されたリアクトル電流 i_L のデジタル値と比較、電流制御演算されてPWMパルスが生成される。この超高速A/D変換器の変換時間にはスイッチング周期 T の1/100から1/1000と言う厳しい仕様が課せられるが、このシステム構成は2個の比較器と電圧制御演算および電流制御演算の全てを1個のFPGAで実現でき、ハード的には回路構成が非常にシンプルであるのが特徴である。

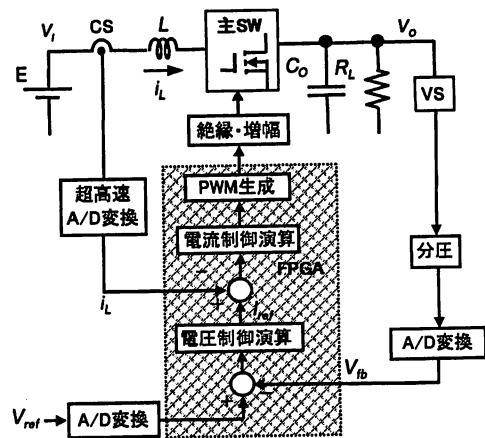


図4 デジタル式ピーク電流モード制御のシステムブロック線図

3-4 リアクトル電流と指令電流との不一致

図5はDC-DC昇圧コンバータをアナログ回路で構成したシステム図である。図6は図5のリアクトル電流波形を模式的に描いたものである。アナログ比較器(コンパレータ)の応答時間を無視すると、リアクトル電流 i_L が指令電流 I_{ref} と一致した時点で即、主スイッチSWをオフさせることができる。即ち、両電流が一致した時点でリアクトル電流 i_L は減少に転じるので、リアクトル電流のピーク値 $I_{Lmax(n)}$ は指令電流 I_{ref} と一致する。

一方、図4に示したデジタル式での回路構成システムのリアクトル電流波形を模式的に描いたものを図7に示す。デジタル方式では、A/D変換器に入力された電流はA/D変換時間 t_{con} だけ遅れてデジタル値に変換される。時間 T において i_L と I_{ref} とが一致していても、その値は変換時間 t_{con} 後にデジタル比較器(コンパレータ)に入力されて主SWをオフさせる。このためPWMパルス幅は $T_{on} = t_1 + t_{con}$ となる。この変換時間 t_{con} という遅れ時間があるために、リアクトル電流 i_L のピーク値は $I_{Lmax(n)}$ となり、指令電流 I_{ref} と一致しない。この不一致が無視できるように、A/D変換器には10~100MSPSのような超高速のA/D変換仕様が課せられる。また、この手法ではA/D変換の速度がFPGAの動作周波数よりも

遅い場合、PWMパルスの分解能の低下を招く。

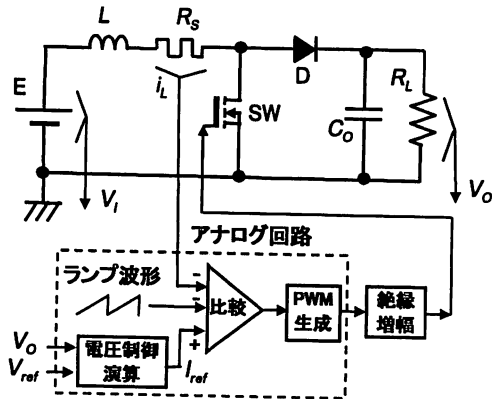


図5 アナログ式電流モード制御システム

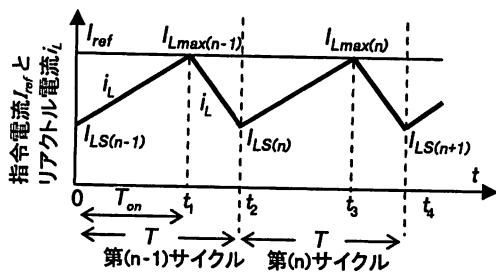


図6 アナログ式DC-DCコンバータのリアクトル電流波形

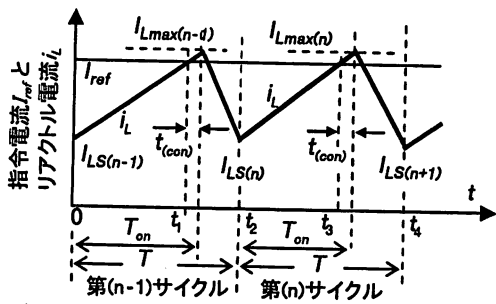


図7 デジタル式DC-DCコンバータのリアクトル電流波形

3-5 提案するデジタル式エミュレーテッド・ピーク電流モード制御

今回、新たに提案する手法では、図8に示す様に毎クロックごとに計算式からリアクトル電流 i_L を算出する。即ち「エミュレーテッド (emulated: 模倣された) ・リアクトル電流 i_L 」が、指令電流 I_{ref} と一致しているかを調べる^[6]。指令電流 I_{ref} とリアクトル電流 i_L とが一致すると、その i_L をリアクトル電流ピーク値 $I_{Lmax(n)}$ とし、その時点までをPWMパルス幅 T_{on} とする。そして主SWをオフさせる。この方式の特徴は、検出遅れ時間を1クロック以内に短縮できることであり、高速なA/D変換器を用いなくてもPWMパルスの分解能に影響を及ぼさずにピーク電流制御をおこなうことができる。

第 n サイクルのスタート時のリアクトル電流 $I_{LS(n)}$ も計算で求めた値であるので、これが実電流の $I_{LS(n)}$ と乖離することが予想される。この乖離を防ぐために、第 $(n-1)$ サイクル中の任意の時点でのリアクトル電流 i_L の実電流値をA/D変換器で検出し、この i_L 値から次サイクルのスタート時点のリアクトル電流 $I_{LS(n)}$ を算出して較正する。

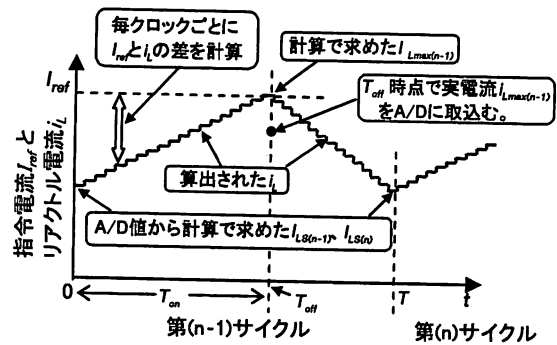


図8 新提案のデジタル式エミュレーテッドリアクトル電流と実電流の取込み方法 (T_{off} 時点での電流取込み方式の例)

リアクトル電流 i_L の実電流値をA/D変換器で検出する任意の時点として、①: 第 $(n-1)$ サイクルのスタート時点 (最小電流取込み方式) と、②: 第 $(n-1)$ サイクルの T_{on} 時点 (最大電流取込み方式) とが考えられる。③ T_{on} 時点以降の所定時点でのリアクトル電流を取込む方式、あるいはそのバリエーションが考えられる。たとえば、②のケースでのリアクトル電流 $I_{LS(n)}$ の算出法では、主回路が昇圧回路の場合、式1で算出する。

$$I_{LS(n)} = I_{Lmax(n-1)} - \frac{V_o - V_l}{L} (T - T_{on}) \quad (1)$$

ここで、 V_l 、 V_o は夫々、入力電圧、出力電圧であり、 L と T は昇圧リアクトルの値とスイッチング周期である。

図9にFPGAを用いてエミュレーテッド・ピーク電流モードをおこなう方法を示す。算出した電流値 $I_{LS(n)}$ に、電流の傾きをFPGAの周波数32MHzでの1クロックあたりの変化分として算出し、増加値 m_r 、減少値 m_f をクロック毎に加算/減算して指令電流 I_{ref} と比較する。毎スイッチングサイクルのスタート (電流増加) 時点からの任意のクロック数を n_{CLK} とすると、第 (n) サイクルにおけるリアクトル電流 $i_{L(nCLK)}$ は、式2で算出される。

$$i_{L(nCLK)} = I_{LS(n)} + m_r \cdot n_{CLK} \quad (2)$$

この値と指令電流 I_{ref} との差がゼロになる時点でのクロック数 $n_{CLK(on)}$ がPWMパルス幅 T_{on} である。また、スロー補償の減少値 m_f を指令電流 I_{ref} から減算させ、指令電流値を減少させることでサブハーモニック発振の対策をおこなう。次回の電流の開始値 $I_{LS(n)}$ を求めるには、

予測された電流のピーク値 $I_{Lmax(n-1)}$ から電流の減少値 m_f にオフ時間 T_{off} 間のクロック ($N_{CLK} - n_{CLK(on)}$) を乗じた値を減算すればよい。ただし、実電流との乖離を防ぐために、先に論じたような任意の点でA/D変換した実電流の値を用いてリアクトル電流 $I_{LS(n)}$ を算出する。

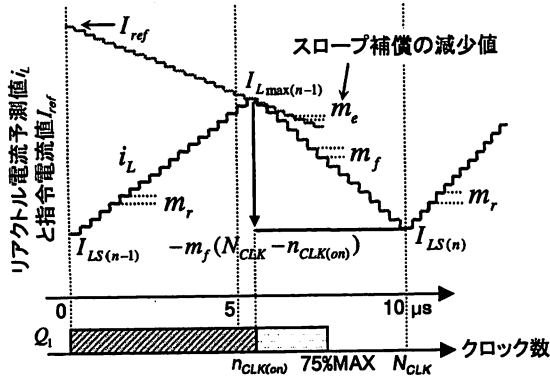


図9 デジタル式エミュレーテッド・ピーク電流モード制御

3-6 電流の検出位置について

図10に第(n-1)サイクルのスタート時点での実電流 $I_{LS(n-1)}$ をA/D変換器で検出し、第nサイクルの電流に反映させる方法を示す。スイッチング周期 $T=10\mu s$ 、A/D変換器の変換時間 T_{con} を $2.5\mu s$ とする。A/D変換器はリアクトル電流 $I_{LS(n)}$ 、出力電圧 V_o 、入力電圧 V_i を順次マルチプレクサで取込み夫々をデジタル値に変換する。図10に示すように、第(n-1)サイクルでの電流のデータを反映するのは第nサイクルとなる。よって、ここでは第(n-1)サイクルのA/D変換値をそのまま用いず、電流の増減値より第nサイクルのスタート電流 $I_{LS(n)}$ を推定する。1周期 T のクロック数を N_{CLK} とすると、第nサイクルのスタート電流 $I_{LS(n)}$ の推定値は式3より算出できる。

$$I_{LS(n)} = I_{LS(n-1)} + m_r \cdot n_{CLK(on)} - m_f (N_{CLK} - n_{CLK(on)}) \quad (3)$$

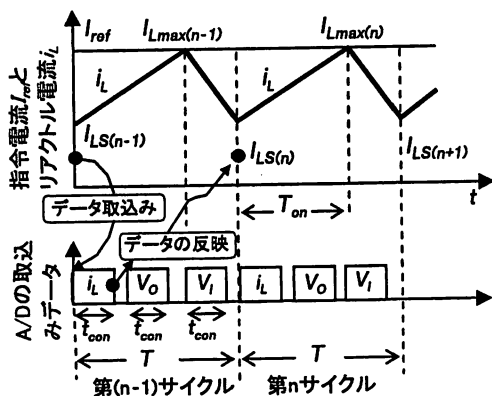


図10 最小電流取込み方式 (リアクトル実電流 $I_{LS(n-1)}$ のA/D取込みとエミュレーテッド・リアクトル電流 i_L 、及びその相互関係)

図11にリアクトル電流の最大値を取込む方式を示す。A/D変換器を2つ並列に動作させているのは、主パルスの幅によってリアクトル電流をA/D変換するタイミングが毎サイクル変わるため、専用のA/D変換器を待機させておく必要があるためである。

この回路方式は高価なA/D変換器を2個必要とする欠点があるが、ノイズ電圧に強いという長所がある。MOSFETを用いた高周波DC/DCコンバータの場合、主MOSFETのターンオン損失を軽減させるために各種のZVS回路を主回路に付属させることが多い。そのため、毎サイクルのリアクトル電流が増加し始める近辺、即ち最小電流取込み方式では、発生する大きなノイズ電圧のためにA/D変換に支障をきたすことがある。

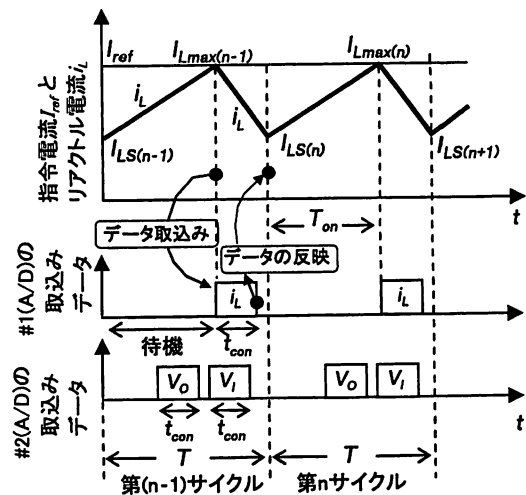


図11 最大電流取込み方式 (リアクトル実電流 $I_{Lmax(n-1)}$ のA/D取込みとエミュレーテッド・リアクトル電流 i_L 、及びその相互関係)

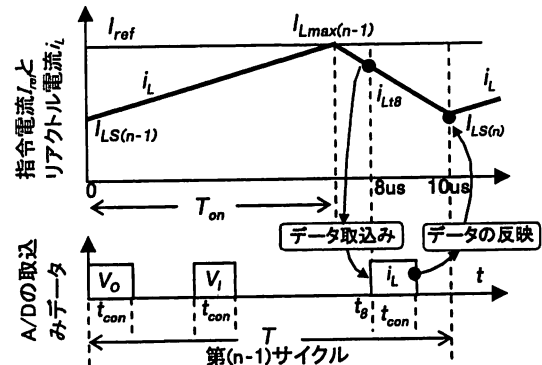


図12 固定1時点の実電流の取込み方式 (8μsでのリアクトル実電流 i_{Lt8} のA/D取込み)

図12は図11の最大電流値取込みを改善し、電流取込みの場所を所定の1時点に固定したものである。図12ではリアクトル電流の取込み時点を8μsに固定している。次回の電流の開始値 $I_{LS(n)}$ は、A/D変換された値から2μs間の電流の変動を算出し減算すれば求まる。実電流 i_L の取込みを固定することによって、1個のA/D変換

器で処理することができる。ただし、8μsでのリアクトル電流 i_{L8} の取込み後に演算処理時間を設ける必要から、A/Dの変換時間 t_{con} +演算処理時間が2μs以下と、若干高速なA/D変換器が要求される。

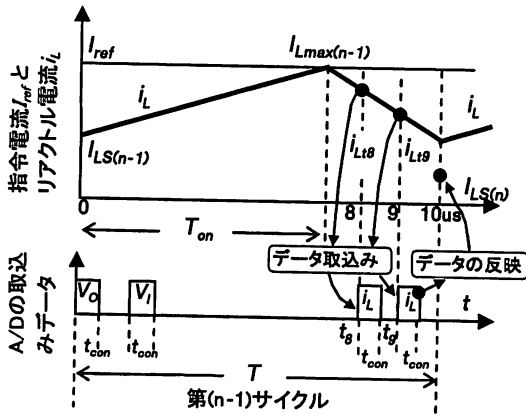


図13 固定2時点の実電流の取込み方式 (8μs と9μs 時点の実電流のA/D取込み)

図13に示す方式は図12の固定1時点の取込み方式をさらに改善したものである。1スイッチング周期10μsの事例において、リアクトル実電流の取込み時点を8μsと9μsの2点に固定する。夫々の検出された実電流値を i_{L8} 、 i_{L9} とすると、次サイクルのスタート時点10μsでのリアクトル電流値 $I_{LS(n)}$ の推定値は、三角形の合同の定理を使って、式4で算出できる。

$$I_{LS(n)} = 2i_{L9} - i_{L8} \quad (4)$$

この方式は、クロックあたりの電流の減少値 m_r を用いて演算する他の方式とは違い、実電流を2点取込み、その値から $I_{LS(n)}$ を求めているので、より実電流に近い $I_{LS(n)}$ が得られると考えられる。ただし、この方式では固定1時点の取込み方式よりもさらに高速なA/D変換器が必要である。

3-7 タイミングチャート

図14にエミュレーテッド・ピーク電流モード制御のタイミングチャートを示す。今回は先ほど挙げた電流検出方法の中から図14に示す固定の1時点で電流を検出する方法を用いた。ただし、電流検出用のA/D変換器として、AD9215を用いている。これは、FPGA評価ボードに搭載されたA/D変換器TLV1570では、変換時間2.25μs、1サイクル後にデータが出力されるという仕様上、検出した電流を次のサイクルで使用することができないためである。AD9215は最大65MSPSで動作する10bitパイプライン型A/D変換器であり、毎クロック連続してA/D変換を行い、出力値は5クロックサイクル遅れて平行で出力される。本方式ではこれほど高速なA/D変換器は必要ではないが、図4に示すディジタ

ル式ピーク電流モード制御を実験するにあたりボードを製作したのでこれを用いた。

PWMパルスの生成とA/D変換のタイミングは $f_{CLK}=32\text{MHz}$ 、320クロック、周期100kHzのカウンタに同期して動作する。主スイッチ Q_1 のオンする前後の計1μsの間、補助スイッチ Q_2 をオンさせる。 Q_1 パルスの幅は最大75%に設定され、リアクトル電流の予測値が指令電流値を上回った時点でオフさせる。リアクトル電流はAD9215により Q_1 オンから8μsの時点でA/D変換される。TLV1570で、入力電圧 V_I 、出力電圧 V_O を検出した後、PI制御演算(電圧制御演算)を行い、次サイクルの指令電流値を算出する。また同時に、リアクトル電流の増加値 m_r 、減少値 m_r も毎サイクル算出する。

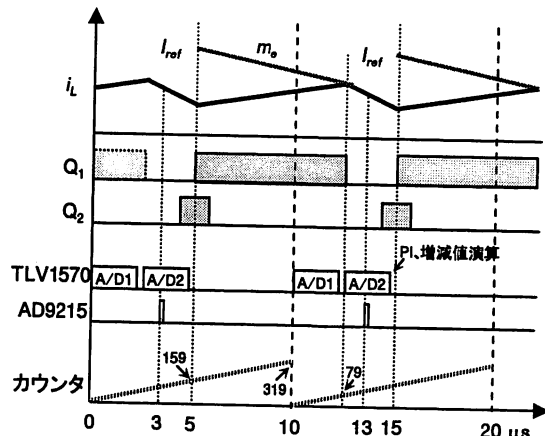


図14 タイミングチャート

3-8 リアクトル電流の増減値の算出

1クロックあたりのリアクトル電流の変化分を算出するには、電流の傾きをFPGAの動作周波数 $f_{CLK}=32\text{MHz}$ で除算する必要がある。増加値を m_r 、減少値を m_r とすると、通常計算では式5で表すことができる。

$$m_r = \frac{V_I}{L} \times \frac{1}{f_{CLK}}, \quad m_r = \frac{V_O - V_I}{L} \times \frac{1}{f_{CLK}} \quad (5)$$

本研究ではFPGAによる整数演算により増減値を求める。TLV1570にてA/D変換された値は10bitのバイナリ値で出力され、A/D変換された入力電圧と出力電圧をそれぞれ $V_{I(AD)}$ 、 $V_{O(AD)}$ とすると、式6で求めることができる。なお、TLV1570はオフセットバイナリ出力の為、0V入力時の出力値は最大値1024の半分の512となる。

$$V_{I(AD)} = \frac{V_I \cdot R_f}{u} + 512, \quad V_{O(AD)} = \frac{V_O \cdot R_f}{u} + 512 \quad (6)$$

ここで、 u はA/D変換器TLV1570の量子化単位である。 u はA/D変換器の出力値が最大・最低値を示す時の入力電圧(4.7V以上のとき最大値1023、-4.86V以下のとき最低値3)より、式7で求めることができる。

$$u = \frac{(4.7 - |-4.86|)}{(1023 - 3)} \approx 9.37 \times 10^{-3} \text{ [V/digit]} \quad (7)$$

A/D変換された $V_{I(AD)}$ 、 $V_{O(AD)}$ はこの u 値の逆数を単位(ディメンション)とした整数である^[5]。

ここで、式5の V_r 、 V_o を $V_{I(AD)}$ 、 $V_{O(AD)}$ に置き換え、 $1/u$ を乗じて m_r 、 m_f の単位を $1/u^2$ とすることで後述するPI演算の出力値(指令電流) I_{ref} と単位を一致させる。これによって I_{ref} に m_r 、 m_f を直接四則演算することができる。また、入出力電圧の分圧比の逆数 $1/R_f$ を乗じることで式6中の R_f を打ち消し、分圧前の電圧値よりリアクトル電流の増減値を求める。以上のことを考慮したデジタル演算に使う m_r 、 m_f は式8で表すことができる。

$$m_r = \frac{V_{I(AD)} - 512}{L} \times \frac{1}{R_f \cdot u \cdot f_{CLK}}$$

$$m_f = \frac{V_{O(AD)} - V_{I(AD)}}{L} \times \frac{1}{R_f \cdot u \cdot f_{CLK}} \quad (8)$$

このとき、 $V_{I(AD)} - V_{O(AD)}$ においてオフセット分は相殺されている。ここで、昇圧リアクトル $L=0.75\text{mH}$ 、入出力電圧の分圧比 $R_f=3/200$ 、 $f_{CLK}=32\text{MHz}$ である。除算の定数の値をまとめると、式9で表すことができる。

$$\frac{1}{L \cdot R_f \cdot u \cdot f_{CLK}} \approx 0.29645 \approx \frac{19}{2^6} = 0.296875 \quad (9)$$

これによって、乗算とビットシフトの処理を用いて除算の処理を簡略化し、増減値を算出する演算を図15のフローで実行することができる。

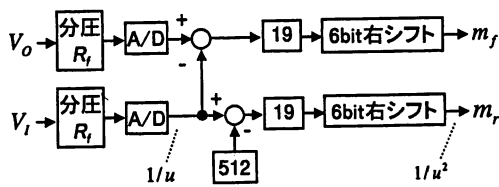


図15 簡略化した I_L の増減値演算のフロー

3-9 PI制御演算

PI制御演算フローのブロック線図を図16に示す。FPGAによる整数演算を行うにあたって、積分定数 K_I 、比例定数 K_P 、指令電圧 V_{ref} をそれぞれ予め $1/u$ を乗じた定数とした。FPGA評価ボードに搭載されているFPGA、Spartan3-XC3S400-4には符号付18×18bitの整数乗算器が16個内蔵されており、これを用いて高速に演算させることが可能である。出力値 m は $1/u^2$ の単位となるが、電流の予測値および1クロック時間当たりの変化分 m_r 、 m_f も同じ単位であるため、単位調整は不要である。従って、PI演算の出力値はそのまま指令電流値 I_{ref} となる。ただし、リアクトル電流 i_L のA/D変換値を $1/u^2$ の単位にする必要がある。

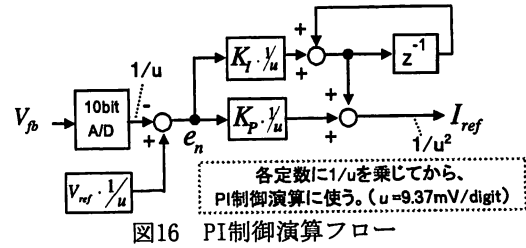


図16 PI制御演算フロー

3-10 サブハーモニック発振への対策

ピーク電流モード制御の場合、リアクトル電流が連続モードかつ、50%以上の動作責務で動作しているとき、スイッチング周波数の整数分の1の周波数でリアクトル電流が発振することがある。これをサブハーモニック発振と呼ぶ。

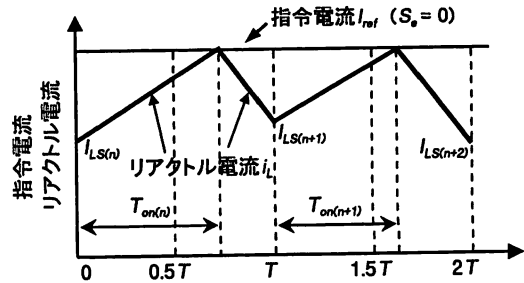


図17 サブハーモニック発振時のリアクトル電流波形(スロープ補償なし)

図17はサブハーモニック発振が生じた場合のリアクトル電流波形を示す。リアクトル電流の増加率、減少率、およびピーク値は同じであるが、電流パルス幅が夫々、 $T_{on(n)}$ 及び $T_{on(n+1)}$ と違った値になっている。この発振を防止するために、図18に示したような $T/2$ 以降の時間領域で指令電流にスロープ補償を行う。リアクトル電流増加率 S_f と電流減少率 S_r 及びスロープ補償率 S_e との間に式10で示す関係が成立していると、サブハーモニック発振を防止することができる。

$$S_e \geq \frac{S_f - S_r}{2} \quad (10)$$

ただし、 S_r 、 S_f 及び S_e はいずれも正の値である。上記の式を、1クロック時間当たりのリアクトル電流の増加値を m_r 、減少値を m_f 、スロープ補償値を m_e に置き換えると、同様に式11が成立する。

$$m_e \geq \frac{m_f - m_r}{2} \quad (11)$$

デジタル制御でこのスロープ補償を行うときは、 $T/2$ 以降の時間(クロック数)において、毎クロックごとに指令電流 I_{ref} から m_e 値を減算して行く。このようにしてデジタル的にスロープ補償を簡単に実現させることができる。

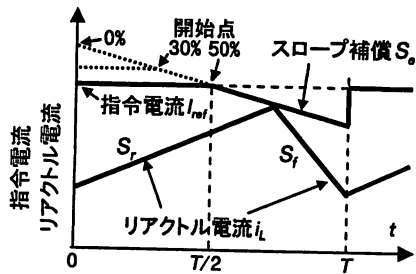


図18 スロープ補償波形とリアクトル電流

理論的には動作責務が50%以上になるとサブハーモニック発振が生じるので、図18のように50%以上からスロープ補償を実施すればよいことになる。しかし、実際の動作では、動作責務が50%を横切るときに、制御が乱れてリアクトル電流に振動が生じやすい。このため、スロープ補償の開始点を動作責務の30%前後に設定することがある。

スロープ補償の開始点を動作責務の0%から始めた場合、アナログ制御では指令電流値即ち、スロープ開始点の(電圧)値が大きくなり過ぎて制御回路の電源電圧以上になる恐れがあるが、デジタル制御では大きな数値になっても支障はなく、実際的なスロープ波形となる。なお、スロープ補償率 S_c (m_p) をあまり大きくすると、PWMパルス幅が十分広がらず、応答性が悪くなる。即ち、帯域幅が狭くなる。そのため、経験的に S_c (m_p) を $0.5S_r \leq S_c \leq S_r$ または、 $0.5m_f \leq m_p \leq m_f$ の範囲にとっている。

図19は S_c を S_r と等しく取ること、サブハーモニック発振を完全に防止できることを示した図である。 S_c のラインが何らかの擾乱で Δi_L だけずれても、 $S_c = S_r$ であれば、当該サイクル内で擾乱は必ず収束することがわかる。

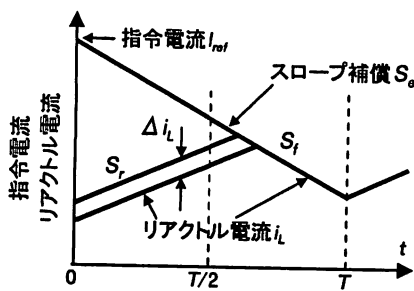


図19 サブハーモニック発振を完全に防止したスロープ波形 ($S_c = S_r$)

3-1-1 ピーク電流モード制御での伝達関数

ピーク電流モード制御DC-DCコンバータのシステムをブロック線図で表したものを図20に示す。PWM変調器のゲインを F_c 、動作責務 d とリアクトル電流 i_L との間の伝達関数を F_1 、 i_L と出力電圧 V_o との伝達関数を F_2 、 i_L と電流検出器との伝達関数を R_i 、コンバータのサンプリ

ング動作を表すサンプリング・ゲインを $H(s)$ 、出力電圧分圧比を H とすると、これらは夫々式12で表される。詳細については参考文献[5, 7]を参照されたい。

電流モード制御では、入力電圧 V_i は伝達関数式の中に直接的に入らず、リアクトル電流の増減を示す S_r 、 S_f を含む α の式の中に間接的に入っている。

$$F_M = \frac{d}{V_c} = \frac{1}{(S_r + S_f)T_s}, \quad F_1 = \frac{i_L}{d} = \frac{1}{R_i} \frac{S_r + S_f}{s}$$

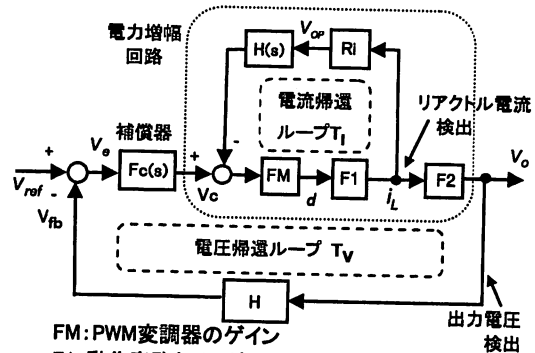
$$\therefore F_M \cdot F_1 = \frac{1}{R_i} \frac{1 + \alpha}{sT_s}, \quad \text{ここで、} \quad \alpha \equiv \frac{S_f - S_r}{S_r + S_f}$$

$$H(s) = \frac{sT_s}{e^{sT_s} - 1} \approx 1 + \frac{s}{\omega_n Q_z} + \frac{s^2}{\omega_n^2}$$

$$\text{ここで} \quad Q_z = \frac{-2}{\pi}, \quad \omega_n = \frac{\pi}{T_s}$$

$$R_i = \frac{V_{OP}}{i_L} = \frac{V_{SC}}{i_L} \cdot G_{OP}, \quad H = \frac{V_{\beta}}{V_o}$$

$$F_2 = \frac{V_o}{i_L} = \frac{R_L(1 + R_E C_s)}{1 + sC(R_L + R_E)} \quad (12)$$



- FM: PWM変調器のゲイン
- F1: 動作責務とインダクタ電流の伝達関数
- F2: リアクトル電流と出力の伝達関数
- Ri: リアクトル電流検出ゲインとオペアンプのゲイン
- H(s): サンプリング動作を表すサンプリング・ゲイン
- H: 出力電圧分圧比

図20 制御コントローラのブロック線図

一方、補償器 $F_c(s)$ に電圧制御演算のPI制御の定数 $K_F = 2.0$ 、 $K_I = 0.5$ を代入すると、式13となる。

$$F_c(s) = 2.0 + \frac{0.5}{s} \quad (13)$$

これらの式に図20の各定数を代入して、Matlabでボード線図を求めると、図21が得られる。

図21より、 α が0.99のときスイッチング周波数の1/2に生じるピークがゲイン1dB以上となり、その際の位相が -180° 付近にあり発振の恐れがある。 α が0.6以下の場合、ピークはゲイン0dB以下になり、位相も -180° 以下にはならないので、発振しないことがわかる。

ここで、電流の増減率 S_r 、 S_f を、 $1\mu s$ あたりそれぞれ $S_r = (65V/0.75mH) \times 10^{-6} = 0.0867A/\mu s$
 $S_f = ((200-65)V/0.75mH) \times 10^{-6} = 0.18A/\mu s$
 とすると、 $\alpha = 0.6$ では、 $S_c = 0.08A/\mu s$ となる。実験では万全を期して、 $\alpha = 0$ 、即ち、 $S_c = S_f = 0.18A/\mu s$ (図19、 $m_p = m_f$) の条件でおこなった。

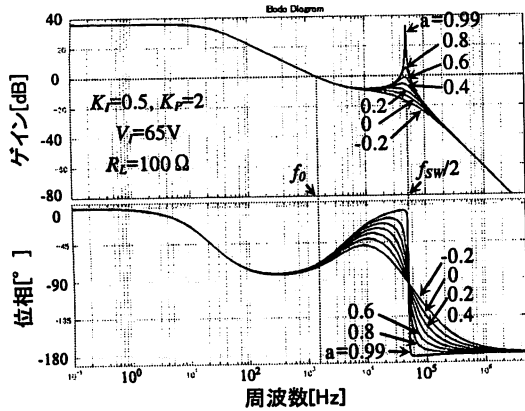


図21 ボード線図

4. 実験結果

4-1 出力特性

図22にソフトスイッチングDC-DC昇圧コンバータの出力特性の測定結果を示す。入力電圧 V_f を65V一定とし、負荷抵抗 R_L を変化させて、夫々について動作責務 d を10%から70%まで変動させて、出力電圧 V_o と出力電流 I_o を測定した。この結果より、 $V_f=65V$ 一定の条件で、出力電圧 $V_o=200V$ 一定の特性を得るには、動作責務 d を50%弱から60%強の間で制御すれば良いことが分かる。なお、動作責務65%以上において、出力電圧が300V以上になる場合や、電力的に過大となり危険なポイントは測定していない。

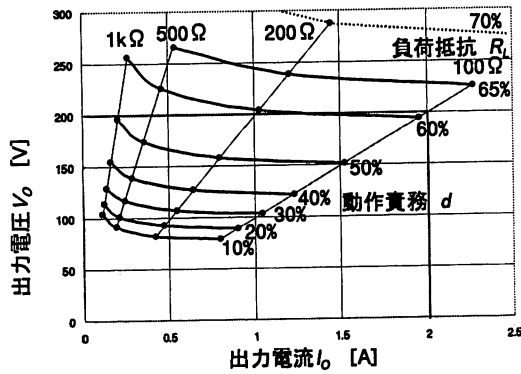


図22 ソフトスイッチングDC-DC昇圧コンバータの出力特性 ($V_f=65V$ 一定)

理論的な昇圧コンバータの昇圧比は、 $V_o/V_f=1/(1-d)$ より求められる。図22からも見て取れるように、ソフトスイッチングDC-DC昇圧コンバータでは、理論値よりも大きな昇圧比が得られている。特に軽負荷の場合では電圧が上昇しやすい。

図23は今回実験で使用したソフトスイッチング昇圧コンバータの昇圧特性である。図1に示したソフトスイッチング回路では図2のモードIにおいて、共振コンデンサ C_{r1} と C_{r2} は共振リアクトル L_r と共振する。その結果、 C_{r2} には図示の極性とは逆の極性に充電される。モード

IIおよびモードIII Aにおいて、逆極性に充電された C_{r2} の電圧は電源電圧 V_f に加算されて昇圧リアクトル L_b に印加される。そのため、図23のような大きな昇圧比特性が得られる。

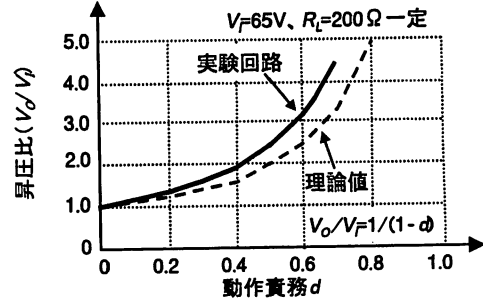


図23 ソフトスイッチング昇圧コンバータの昇圧特性(実測値)と理論値

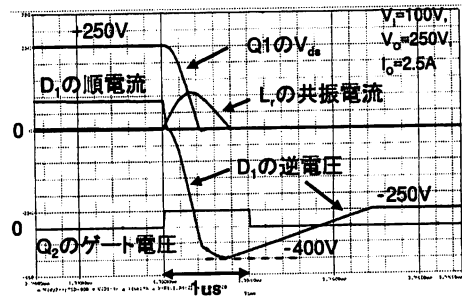


図24 Q_2 オン時の D_1 ほかのシミュレーション波形

図24はダイオード D_1 に印加される電圧波形を示したものである。 Q_1 がターンオンした時、通常は D_1 にステップ状の逆電圧が印加され、大きな逆回復損失が発生する。しかし、本回路方式では、 D_1 に印加される逆電圧は C_{r1} 、 C_{r2} と L_r による共振波形であり、その逆電圧が400Vのピークに達する時間は約700nsである。高速形 D_1 の逆回復時間 t_{rr} は60nsであるから、逆回復損失は僅かと思われる。このように、 D_1 の逆回復損失の少ない事は本回路方式の効率向上に寄与している。

4-2 デジタル式エミュレーテッド・ピーク電流モード制御での動作試験

動作試験で用いた主回路と制御回路の構成図を図25に示す。出力電圧 V_o 、入力電圧 V_f を分圧し、TLV1570でA/D変換してFPGAへ値を取り込む。リアクトル電流 i_L はシャント抵抗 R_s で検出し、差動プリアンプAD8238で2倍に増幅させ、AD9215でA/D変換した。AD9215は32MHzのFPGAと同じクロックで動作し、毎サイクル i_L をA/D変換した値を出力するが、ここでは Q_1 オンから8μsの時点の値のみをFPGAに取り込んでいる。FPGAにより生成された Q_1 、 Q_2 パルスを半導体絶縁ゲートアンプLM5170で絶縁・増幅し、主スイッチ Q_1 、補助スイッチ Q_2 へ夫々接続した。

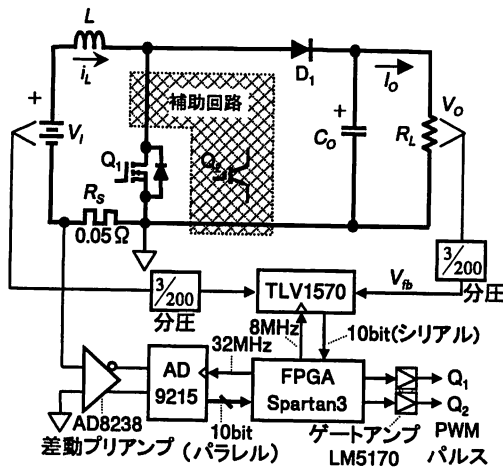


図25 主回路と制御回路の構成

図26に $V_f=65V$ 、負荷 $R_L=100\Omega$ でのPWMパルスとリアクトル電流 i_L の波形を示す。 Q_1 のパルス幅は約60%で一定に制御されており、この結果は図22の出力特性とほぼ一致している。また、リアクトル電流 i_L のピーク値は約7Aで一定に制御されており、サブハーモニック発振も起こらず安定に制御された。この時のPI制御演算の定数は $K_f=0.5$ 、 $K_p=2$ に設定した。

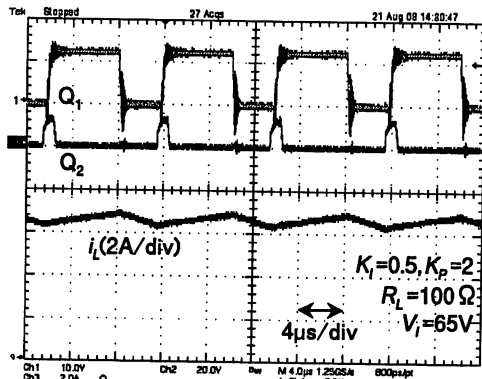


図26 PWMパルスとリアクトル電流

4-3 過渡応答特性

図27は負荷抵抗を $1k\Omega$ から 100Ω へ切り替えた時の過渡応答特性を測定したものである。負荷の変動による出力電圧の変動は殆ど見られず、良好な応答特性が得られた。PI制御演算の定数は $K_f=0.5$ 、 $K_p=2$ に設定し、最大負荷の 100Ω 時 $V_f=65V$ になるように設定した。直流入力電源Eは、3相スライダックで電圧調節された3相交流を全波整流した非安定化電源である。このため、負荷抵抗 R_L を 100Ω から $1k\Omega$ に切り替えると直流電圧 V_f は $65V$ から $71V$ に上昇した。

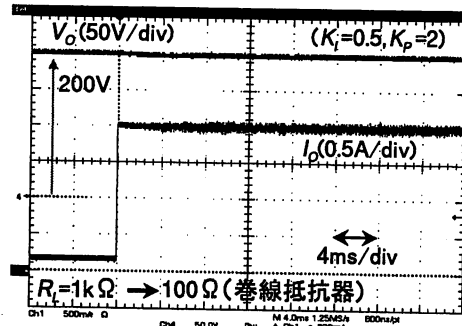


図27 過渡応答特性

5. まとめ

デジタル式エミュレーテッド・ピーク電流モード制御を、 $100kHz$ で動作する出力電力 $400W$ のソフトスイッチングDC-DC昇圧コンバータに適応させて動作試験を行い、安定した動作と良好な過渡特性が得られることを示した。本方式では、リアクトル電流 i_L の増減値を演算で求めることにより、比較的低速なA/D変換器と簡単な演算を用いてローコストでデジタル式ピーク電流モード制御をおこなうことができる。実験にはXilinx社のFPGA:Spartan3-XC3S400-4と、2台のA/D変換器を用いたが、 $0.7MSPS$ 程の変換速度のA/D変換器を用いれば1台で実現可能である。近年では、汎用マイコンに搭載されたA/D変換器の高速化が進み、 $1MSPS$ 程のものが市販されている。この高速化されたA/D変換器と本方式回路をASICに組込むと、1チップでさらに安価に電源のデジタル電流制御が可能になると考えられる。

参考文献

- 1) マーク・ハートマン/鈴木訳, 「電流モード制御DC-DCコンバータの設計」, トランジスタ技術2004年4月, 213-222p.
- 2) 馬場清太郎, 「DC-DCコンバータの高速制御[前編]」, トランジスタ技術2008年6月, 185-190p.
- 3) L. H. S. C. Barreto, M. G. Sebastiao, L. Carlos de Freitas, E. A. A. Coelho, V. J. Farias and J. B. Vieira, "Analysis of a Soft-switched PFC Boost Converter Using Analogue and Digital Control Circuits", IEEE Trans. Industrial Electronics, vol. 52, no. 1, February, 2005.
- 4) 飯田, 日野, 笠, 「FPGAによる電流マイナーループ付き電圧制御ソフトスイッチングDC/DCコンバータの試作」, パワーエレクトロニクス学会誌vol. 33(2007年度), 101-106p.
- 5) 飯田, 日野, 「FPGAによる電流マイナーループ付き電圧制御DC/DCコンバータの検討」, 岡山理科大学紀要第43号A(2007年度), 95-104p.
- 6) Jingquan Chen, Aleksandar Prodic, Robert W. Erickson, and Dragan Maksimovic, "Predictive Digital Current Programmed Control", IEEE Trans. Power Electronics vol. 18, no. 2, January, 2003.
- 7) R. B. Ridley, "A New Continuous-Time Model for Current-Mode Control", IEEE Trans. Power Electronics vol. 6, no. 2, April, 1991.

Emulated Peak Current Mode Control Soft Switching DC-DC Boost Converter using FPGA

Nobuhiro HINO and Takahiko IIDA*

*Graduate School of Engineering,
*Department of Electrical and Electronic Engineering,
Faculty of Engineering,
Okayama University of Science,
1-1 Ridai-cho, Okayama 700-0005, Japan*

(Received September 30, 2008; accepted November 7, 2008)

This paper explains both the new types of digitally emulated peak current mode control soft switching DC-DC converter using FPGA and also the experimental output characteristics. The newly proposed control method can adopt a reasonable speed A/D converter with such conversion rate of one MSPS instead of the ultra high speed A/D converter which is inevitably used to detect the reactor current in the converter, if the analogue-typed peak current mode control circuit is just replaced to the digitalized one with no special consideration. In the proposed control method, the reactor current is detected only once a switching cycle. The digitalized input and output dc voltages are operated with the voltage-reference signal, and generate the current-reference signal, which is compared to the emulated reactor current by the aid of FPGA digital comparator.

The implemented experimental main-circuit is the soft switching DC-DC boost converter with such ratings as input voltage of dc60V, output voltage of dc200V, output current of dc4A and switching frequency of 100kHz, which is just same as the one written in the references. In the experimental circuit, FPGA of Spartan 3 type XC3S400-4 and A/D converters of types TLV1570 and AD9215 are used as the main semiconductor devices.

It is demonstrated that the prototype circuit is stably implemented without sub-harmonic oscillation by the aid of the digital slope-compensation. The output characteristics are also included the step response from 10% to full load condition with satisfactory results.

Keywords: current mode control; DC-DC boost converter; soft switching; emulated current; digital control; A/D converter; FPGA.