

ロスレス DC/DC 昇圧コンバータの試作研究

飯田 隆彦・三浦 良司*

岡山理科大学工学部電子工学科

*株式会社 森精機製作所

(2006年 8月24日受付、2006年11月 6日受理)

1. はじめに

近年、省エネ対策の一環として DC/DC コンバータの高性能化の研究が盛んに行なわれている [1~4]。本研究はこの省エネ指向に沿って、DC/DC 昇圧コンバータの高性能・高効率化の研究を行なったものである。本研究に用いた主回路は参考文献 [3] に記された主回路と同じものであるが、その動作を追試・確認すると共に、設計上の問題点を明確にした。更に、論文での TTL 制御回路ないしはマイコン制御を FPGA 制御: Xilinx 社の Spartan-3 シリーズ XC3S400-4 に変更した。

主回路はスイッチング周波数を 100kHz に設定して装置の小型化を図ると共に、ゼロ電圧スイッチング (ZVS) とゼロ電流スイッチング (ZCS) を行わせ、いわゆる「ロスレス・スイッチング」を実現させている。このロスレス・スイッチングを行なうために、主回路内の共振リアクトル L_r にはパルス幅 0.6us、ピーク 14.5A のパルス電流を 100kHz の繰り返しで流している。このパルス電流は等価的には 833kHz で実効値 2.5A の高周波電流に相当し、表皮効果を考慮した L_r の設計が必要になる。

制御回路を全デジタル制御方式とするために、整数乗算機能内蔵の FPGA を用いた。この FPGA を用いて PI 制御の演算および PWM パルスの生成を行ない、ホトカプラを介して主半導体デバイスを駆動させた。

直流入力電圧 100V、直流出力電圧 200V、出力電流 2A、出力電力 400W のロスレス DC/DC 昇圧コンバータを試作した。試作機は良好な出力特性と過渡特性を示し、全負荷時の効率は 95.2% と高効率であった。一方、同じ定格をもつ一般的な RCD スナバ回路の従来型 DC/DC 昇圧コンバータの効率は 87.1% であった。

2. 主回路とその動作原理

試作した主回路構成を図 1 に示す [3]。この回路で Q_1 が主スイッチであり、 Q_2 は補助スイッチである。 Q_2 がオンした約 0.5us 後に Q_1 をオンさせることで、

Q_1 を ZVS させている。 Q_1 と並列に接続したコンデンサ C_{r1} の作用により、 Q_1 を ZVS でオフさせている。一方、 Q_2 のオンの電流はゼロ電流から立ち上がるので ZCS になっている。 Q_1 の最小オンパルス期間中に Q_2 をオフさせているので Q_2 は ZCS でオフしている。

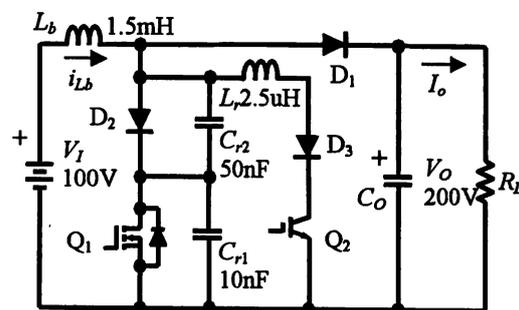


図 1 ロスレス DC/DC 昇圧コンバータ主回路

図 2 に P-Spice による Q_1 と Q_2 のロスレス・スイッチングの電圧・電流波形と、 Q_1 、 Q_2 のスイッチングの組み合わせによる動作モードの定義を示した。

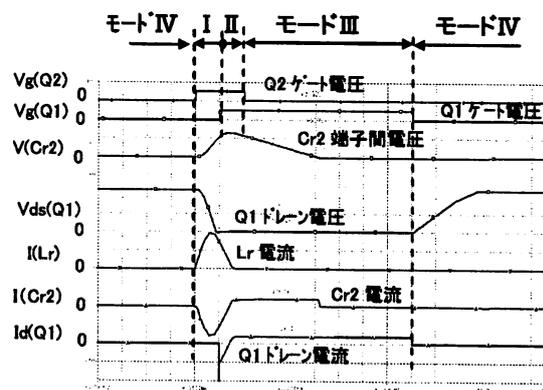


図 2 動作モードとロスレス・スイッチング波形

モード I での電流の流れを図 3 に示す。 C_{r1} は図示の極性にほぼ V_o まで充電されているが、 C_{r2} の充電電

圧はゼロである。Q₂のオンでC_{r1}・C_{r2}とL_rとで共振が始まり、共振電流*i_{Lr}*が矢印の方向に流れて、C_{r2}を図示の極性に充電する。このとき、Q₂はZCSでオンしている。共振によってC_{r1}の端子間電圧、即ちQ₁のドレイン電圧*v_{DS}*は減少しゼロになる。この*v_{DS}*はQ₁の内蔵ダイオードD_{Q1}によってゼロ電圧に固定され、以降の共振はL_rとC_{r2}のみで行なわれる。内蔵ダイオードD_{Q1}に*i_{Lr}*が流れている間にQ₁をZVSでオンさせる。

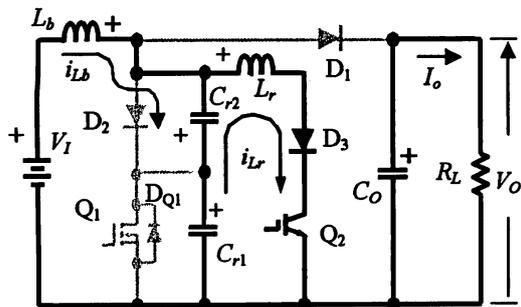


図3 モードI (Q₁オフ、Q₂オン)

Q₁のオンによってモードIIとなり、電流の流れを図4に示す。なおC_{r1}の接続リード線は極力短く配線し、浮遊インダクタンスによる寄生振動が生じないように配慮した。D₃の働きによって*i_{Lr}*の共振電流は半波1サイクルで終了し、それ以降はQ₂にはベース電圧が与えられているが電流の流れない状態になっている。

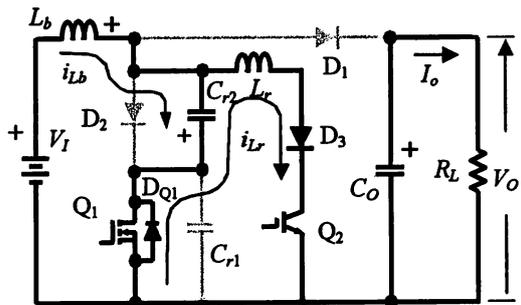


図4 モードII (Q₁オン、Q₂オン)

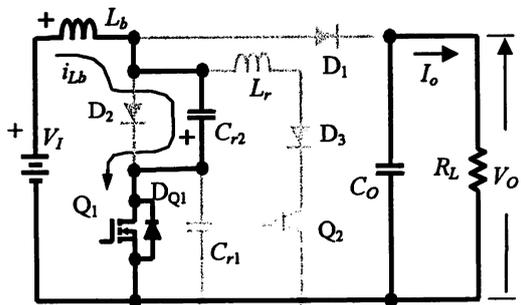


図5 モードIIIa (Q₁オン、Q₂オフ)

Q₂駆動パルスがなくなって、Q₂はZCSでオフし、モードIIIaになり、電流の流れを図5に示す。C_{r2}の充電電荷は*i_{Lb}*によって放電していく。やがてC_{r2}の電圧はゼロになってD₂が導通するとモードIIIbになり、電流の流れを図6に示す。なお、このモードIIIの間に昇圧リアクトルL_bは電磁エネルギーを蓄える。

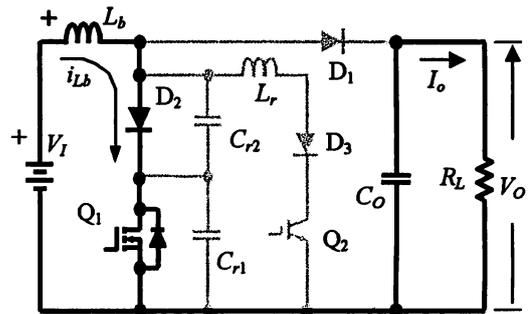


図6 モードIIIb (Q₁オン、Q₂オフ)

Q₁がオフするとモードIVになり、電流の流れを図7に示す。C_{r1}は*i_{Lb}*によって図示の極性にゼロ電圧から充電され、Q₁はZVSでオフする。C_{r1}の電圧がV_oとほぼ等しくなると、*i_{Lb}*は破線で示すようにD₁に転流する。L_bに蓄えられていた電磁エネルギーは解放されて、C_oに移される。以上の動作モードが繰り返されることで、入力側の電圧V_Iは昇圧されて出力電圧V_oとなる。

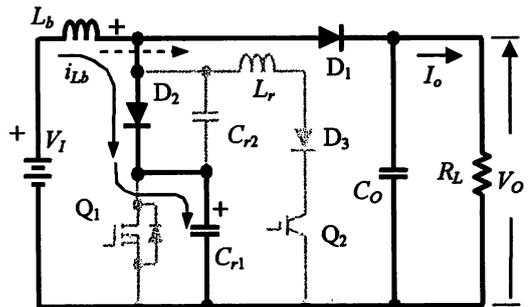


図7 モードIV (Q₁オフ、Q₂オフ)

3. 共振リアクトルL_rの設計

モードIにおける共振回路の等価回路を図8に示す。C_{r1}はV_o=200Vに充電されており、C_{r2}の電荷はゼロである。Q₁の等価C_{DS}を10nF

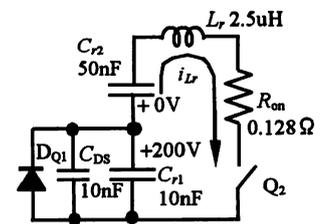


図8 等価共振回路

とし、 Q_2 の R_{on} 抵抗を 0.128Ω のスイッチとみなしてP-Spiceでシミュレーションした。図9aに示すように共振電流ピーク値 I_p は19Aで、そのピークまでの時間は $0.3\mu s$ 、パルス幅が $0.80\mu s$ であった。

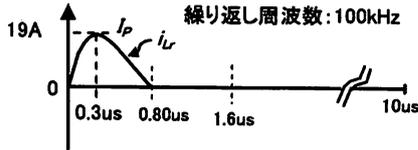


図9a P-Spiceシミュレーション結果

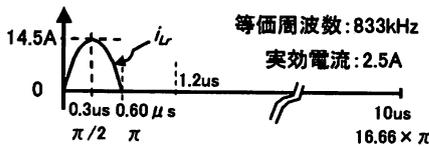


図9b 実効電流値の計算

図9 共振リアクトルの電流波形(時間軸と角度軸)

実測値は6章の図20のように I_p は14.5Aであった。実効値の計算では図9bのようにみなして式1に代入すると、実効値 I_{RMS} は2.5Aになる。

$$I_{RMS} = \sqrt{\frac{\int_0^\pi I_p^2 \sin^2 \theta d\theta}{16.66 \times \pi}} = \frac{I_p}{5.772} \cong 2.51A \quad (1)$$

共振リアクトル L_r の巻線の表皮効果を考慮した交流抵抗値 R_{ac} と直流抵抗値 R_{dc} との関係は電気工学ハンドブックに記載されていて、式2と式3で与えられる。(但し、単位は全てMKSである。)

$$R_{ac} = R_n \times k_1 \times 10^{-3}, \quad R_n = \frac{R_{dc}}{l} \times 10^3 \quad (2)$$

ここで

$$k_1 = 0.99609 + 0.01878578x_1 - 0.030263x_1^2 + 0.020735x_1^3$$

$$R_{dc} = \rho \frac{l}{S}, \quad S = \frac{\pi}{4}(D^2 - d^2)$$

$$x_1 = \frac{D+2d}{D+d} \times 0.01 \times \sqrt{\frac{8\pi \times f(D-d)}{(D+d) \times R_n}} \quad (3)$$

である。

なお、 D 、 d 、 l は夫々銅線の外径、内径、線長であり、 ρ は銅の抵抗率($0.0172\mu\Omega \cdot m$)である。表1に示す共振リアクトルの諸元を式2と式3に代入すると、直流抵抗 R_{dc} の約34倍の交流抵抗 $R_{ac}=0.5448\Omega$ が得られる。

表1 共振リアクトルの諸元と交流抵抗値

$L_r=2.5\mu H$	$D=0.0014m\Phi$	$d=0$	$l=1.45m$
$S=1.539 \times 10^{-6}m^2$	$R_{dc}=0.01620\Omega$		
$R_n=11.17$	$x_1=13.69$	$f=833kHz$	
$k_1=48.78$	$R_{ac}=0.5448\Omega$		

4. 制御システム

4.1 PI制御演算

出力電圧を一定に保つために、図10に示す制御システムを用いた。

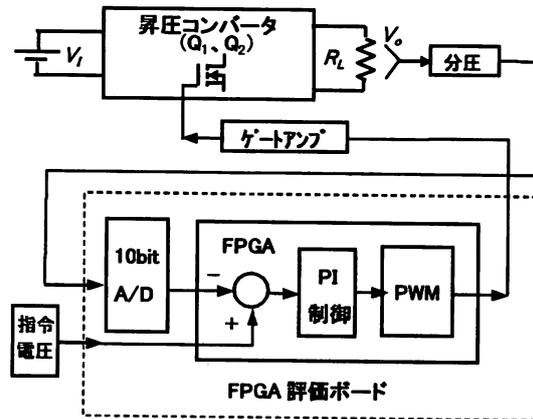


図10 制御システム

10ビットA/DコンバータとしてTI社製のTLV1570を用いた。マルチプレクサによる4チャンネル入力で、 $V_{DD}=3.0V$ のときA/D変換速度は625kSPS/チャンネルである。A/Dコンバータには前置レベルシフト回路が付属していて、直流電圧 $-4.86V$ を入力したときA/Dは3ビットを出力し、 $+4.70V$ のときは1023ビットを出力した。従って、このA/Dの電圧分解能(u)は

$$u = (4.86 + 4.70) / (1023 - 3) = 9.3725mV/\text{ビット} \dots (4)$$

になる。昇圧コンバータの定格出力電圧 V_o は200Vであるが、最大出力電圧 $V_{o(max)}$ が250VのときA/Dに4.0Vが入力されるように分圧器を設計した。

用いたFPGAは米国Xilinx社のSpartan-3シリーズのXC3S400-4で、ゲート数40万、ロジックセル数8Kと乗算器16個が内蔵されている。ユーザーI/O数は141本でピン数208本のQFPパッケージである。このA/DとFPGAを1枚の基板に搭載した東京エレクトロン製FPGA評価ボード:TD-BD-TS101があり、これを実験に用いた。搭載されたFPGA内蔵の18×18ビットの整数乗算器では常に演算中のビット数を考慮しておかないと、PI制御演算中の数値が有効桁数を外れる恐れがあった。また、PI制御演算中の数値は負の値になることもあるので、PI制御演算に先立ち符号ビットを追

加して 11 ビットの数値にした。

A/D 変換された数値は式 4 による A/D の変換能 $u=9.3725\text{mV/ビット}$ を単位とした整数である。従って、PI 制御演算に用いる指令電圧、比例定数 K_p と積分定数 K_I には夫々 $1/u$ を乗じた後、この数値を手計算で整数に丸めてから PI 制御演算フローに入力した。

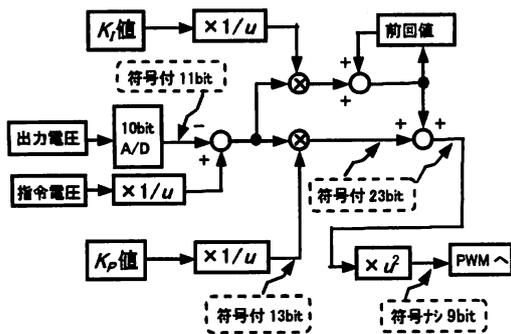


図 11 PI 制御演算フローのブロック図

図 11 は PI 制御演算フローのブロック図である。PI 制御演算では乗算を 1 回含んだフローが並列接続されている。従って、出力される数値の単位 (ディメンション) は $(1/u)^2$ であり、出力値に $(u)^2$ を乗じて元の単位に戻す必要がある。然し、 $(u)^2$ は 0.00008784375625 という 1 より小さな値であるため、FPGA 内蔵の整数乗算器は取扱うことが出来ない。そこで、式 5 に示す近似値を用いて、 $(u)^2$ の乗算を 13 ビットの右シフト操作で代行させた。

$$u^2 = \frac{1}{\left(\frac{1}{u}\right)^2} = \frac{1}{\left(\frac{10^3}{9.37}\right)^2} = \frac{1}{11390} \approx \frac{1}{8192} = \frac{1}{2^{13}} \quad (5)$$

VHDL でのコーディングでは、

$$Q \leftarrow L(23 \text{ downto } 13)$$

と 1 行表記すれば、 $(u)^2$ の乗算を実行し、上位の符号付 10 ビットで有効桁数 9 ビットのデータを Q に出力させることができる。この近似計算による誤差は +50% ~ -25% であるが、入力する K_p 値、 K_I 値を予め補正しておく事で対処できる。

なお、PI 制御定数 K_p 値などが 0.005 と小さい場合、分解能を式 4 の u とすると、 $0.005/u=0.533$ となって整数乗算器では計算が出来ない。この場合つぎのようにして対処した。

すなわち、 K_p/u を 4 倍し丸めて整数にした $2.132 \Rightarrow 2$ を K_p/u として入力とする。乗算計算後、乗算結果を

2 ビット右シフトさせる ($\times 2^2$) 方法をとった。

この方法での計算誤差は

$$(0.5 \times 4) \times (2^{-2}) - 0.533 = 0.5 - 0.533 = -0.033 \text{ で、}$$

誤差率は -6.19% である。

4.2 PWM パルスの生成

本研究の昇圧コンバータのスイッチング周波数は 100kHz である。従って、PWM パルスも 100kHz 即ち、10us 毎にそのパルス幅を更新するのが望まれる。使用した A/D コンバータの変換時間は 1.6us ($=1/625\text{kSPS}$) と高速であるが、0.4us のポーズ後に PI 制御演算を開始させた。また、FPGA は 32MHz のクロック周波数 (以下、CLK) で動作しているので、PI 制御演算処理は最大 96 クロック数 ($=3us$) もあれば完了できる。従って、スイッチングサイクル中の前半の 5us で、データの取り込みと A/D 変換および、PI 制御演算の処理を行い、スイッチングサイクルの後半で PWM パルスの生成を行なう方式にした。この様子を図 12 に示す。

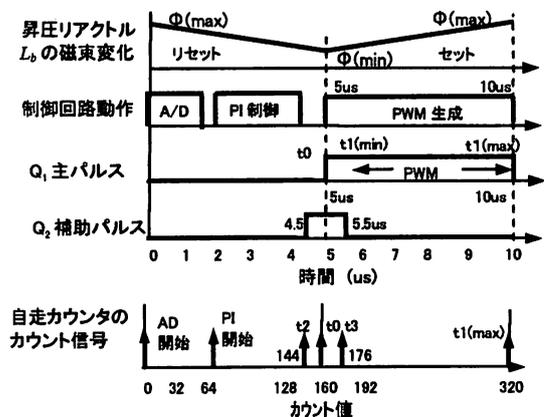


図 12 L_b の磁束変化と各部の動作タイミング

即ち、本研究の昇圧コンバータでは DC100V を DC200V に昇圧させているので、昇圧リアクトル L_b には昇圧時に +100V が印加され、 L_b のリセット時には -100V が印加される。図 12 に示すように L_b のリセット時間は昇圧時のセット時間と同じ時間幅でよいので、PWM で生成されるパルス幅の最大値は 5us となる。

32MHz の CLK で自走カウンタを駆動し、リセット値を 320 にすると、カウンタの 1 周期は 10us になる。カウント値がゼロのときに A/D を動作させ、カウント値 65 (約 2us) のときに PI 演算を開始させる。カウント値が 160 のとき (即ち 5us) を時間 t_0 として Q_1 パルスを開始させる。PI 出力データの値を時間 t_1 として Q_1 パルスを終了させる。一方、 t_0 より 0.5us だけ

早い時間 t_2 で Q_2 パルスを開始させ、0.5us だけ遅い時間 t_3 で Q_2 パルスを終了させる。 Q_1 を ZVS させることができる最小パルス幅は $t_3 - t_0 = 0.5\mu\text{s}$ である。理論上からはこれが Q_1 を駆動する最小パルス幅であり、出力は 10%以下に絞れないことになる。実際にはコンバータの内部損失が 5%ほどあるので、最小出力電力は最大出力値の 5%くらいと考えられる。

FPGA から出力される PWM パルスは有効桁数 9 ビットのデータであるが、32MHz の CLK を使っている関係上、実際に生成される PWM パルスの時間分解能は、5us を $0.3125\mu\text{s} (=1/32\text{MHz})$ 刻みで 160 に分割した 7 ビット ($=2^7=128$) 強の精度になっている。

FPGA で生成された PWM パルスはホトカプラ TLP351 に入力され、その出力で直接 Q_1, Q_2 を駆動した。TLP351 のスイッチング特性を示す伝達遅延時間 t_{PLH} は 100ns ~ 700us にバラツキ、その立ち上がり時間 t_r の標準値は 50ns である。そのため特性値を選別したり、カウント値の設定を変更してパルスの立ち上がりや立ち下りのタイミングを調整して対処した。

5. 動作試験とその結果

5.1 回路定数

図 1 のロスレス DC/DC 昇圧コンバータの試作機を以下の回路部品と回路定数を用いて試作した。

Q_1 : MOSFET, ルネサス H5N5016, ($V_{DSS}=500\text{V}$, $I_D=50\text{A}$, $R_{DS(on)}=0.128\Omega$)、 Q_2 : IGBT, 三菱, CT60AM-18F, ($V_{CE}=900\text{V}$, $I_C=60\text{A}$)、 $D_1:D_2:D_3$: 全て高速ダイオード, 日本インター, KSF30A60E, (600V, 30A, 60ns)、 C_{r1} : 10nF, 400V, ポリプロピレン, ニチコン、 C_{r2} : 100nF, 400V, (同上) を 2 本直列接続し 50nF、 C_o : 電解, 1500uF, 400V と 2.2uF, 400V 及び 0.1uF, 400V (メタライズドポリエステル) を並列接続、 L_b : 1.5mH, フェライトコア, 自製、 L_r : 内径 10mmΦ, 外径 13.4mmΦ, 空芯, N=37T, 線径 1.4mmΦ, 自製、FPGA 評価ボード: TD-BD-TS101, 東京エレクトロン (CLK=32MHz, FPGA: XC3S400-4, 10 ビット A/D: TLV1570, TI 製を搭載)、ホトカプラ: TLP351, 東芝、主回路は全てプリント基板 1 層配線、直流電源: $V_I=DC100\text{V}$, 3 相全波整流器, 電解=1000uF, 400V, 3 相絶縁トランスと 3 相スライダック、負荷: 巻き線抵抗器、MOSFET と IGBT にはアルミ製ブロックフィン 25.4×25.4×18mm の取付, 風冷 0.5m/s、高速ダイオードはプリント基板直付。

5.2 PI 制御定数 $K_I \cdot K_P$ 値の組合せ

PI 制御を実行するとき、PI 制御定数の $K_I \cdot K_P$ をいくらに設定するかが問題になる。Matlab/Simulink を用いて一応の値を求めて試作機を動作させ、試行錯誤

でその最適値を求めた。

図 13 は K_I 対 K_P の組合せと、過渡特性を示したものである。これより、最適な K_I 値は 0.2、 K_P 値は 0.1 であることが分かった。

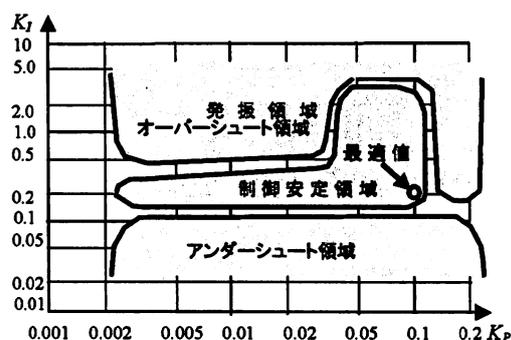


図 13 K_I 対 K_P の組合せと過渡特性

5.3 出力特性

試作したロスレス DC/DC 昇圧コンバータの出力特性を図 14 に示す。直流入力電圧 V_I を 100V 一定に保ち、負荷抵抗 R_L を 100Ω, 200Ω, 400Ω, 600Ω, 800Ω, 1kΩ にして、その各々において、動作責務 d を 25%、30%、35%、40%、42.5%、45%、47.5% および 50% に設定して出力電圧 V_o 対出力電流 I_o の関係を測定した。

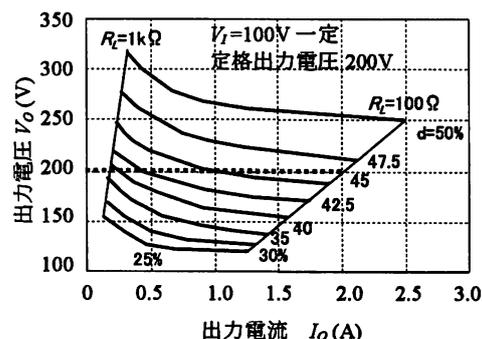


図 14 出力特性 (d は動作責務設定値)

図 14 の出力特性から、試作機は I_o が 0.1A から 2.0A の範囲において、 V_o を 200V に一定制御できることが分かる。しかし詳細に検討してみると、 d は 0.625% 刻みであるので、 V_o を 200V 一定に保つためには d の分解能はギリギリの値 (精度) であることが分かる。

5.4 過渡特性

K_I と K_P を夫々 0.2 と 0.1 に設定しておき、負荷電流 I_L を 0.2A から全負荷の 2A に急変させたときの最適過

渡特性を図 15 に示す。出力電圧変動 ΔV_o は 15V であるが、60ms 後には元の V_o の 200V に回復している。

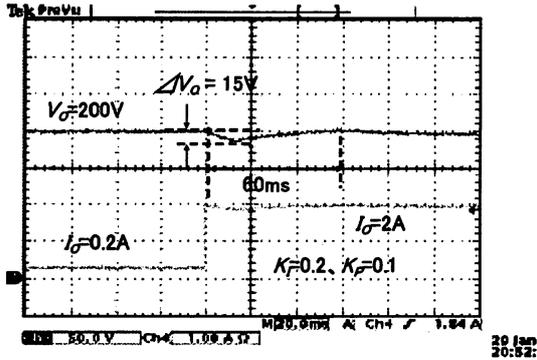


図 15 過渡応答特性 ($K_f=0.2, K_p=0.1$)

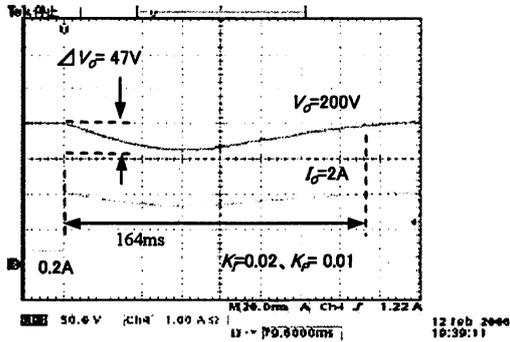


図 16 アンダーシュート特性の一例

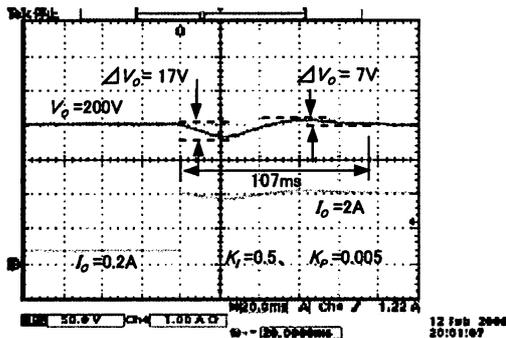


図 17 オーバーシュート特性の一例

参考までに、 $K_f=0.02, K_p=0.01$ に設定したアンダーシュート特性の一例を図 16 に示す。この場合では、 ΔV_o は 47V にまで増加し、出力電圧が 200V に回復するには 164ms も要した。一方、 $K_f=0.5, K_p=0.005$ に設定したオーバーシュート特性の一例を図 17 に示す。この場合、 ΔV_o は 17V であるが振動し、出力電圧が 200V 一定に回復す

るのに 107ms も要している。

5.5 効率特性

図 18 に試作機の効率特性を示す。定格出力 200V, 2A での効率は 95.2% と高効率であった。参考までに図 19 に従来型の RCD スナバ付昇圧コンバータの効率も併記したが、その効率は 87.1% と低い値であった。

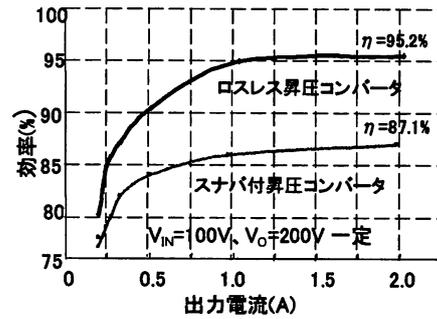


図 18 昇圧コンバータの効率比較

なお、RCD スナバの回路定数は、 $R_S=100\Omega, C_S=2.5\mu F$ であり、その他の回路定数は図 1 と同じである。図 18 より、ロスレス DC/DC 昇圧コンバータでは 8.1% の効率改善が図られていることが分かる。

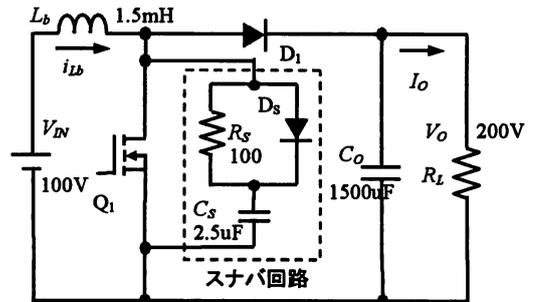


図 19 RCD スナバ付き昇圧コンバータ

6. 検討と課題

6.1 部品と回路定数の変更

参考文献[3]の筆者は Q_2 として IGBT を使い、ダイオード D_3 を直列接続している。おそらく共振回路での昇圧を恐れたためであろうが、本回路では C_1 の充電電圧は D_1 で V_o にクランプされており、 V_o 以上の電圧が Q_2 に印加されることがない。直列接続された高速形 D_3 は恐らくテール電流による IGBT のリカバリー損失を減少させることと、更には半波共振電流が逆流してコンデンサ C_2 の充電電荷が減少することを阻止するためであろう。

試作機では部品入手の関係から0.05uFの C_2 を使っているが、参考文献[3]では0.027uFを使用している。P-Spiceによると、 C_2 が0.027uFでは共振電流の波高値が12.7Aで、そのピーク値までの時間は0.24usであり、試作機よりも20%ほど少ない。従ってこの電流による損失は試作機より少なくなると推定できる。

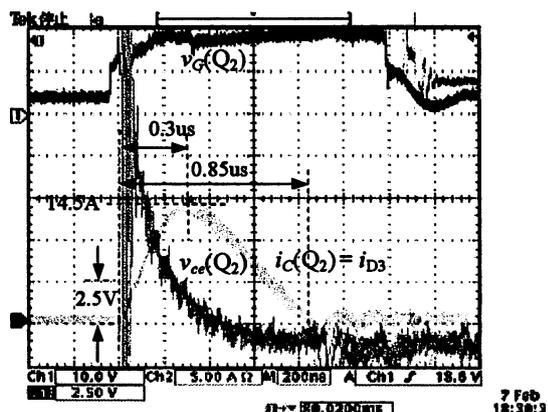


図20 Q_2 の電圧・電流波形(D_3 の電流波形)

図20は Q_2 の電流波形とコレクタ・エミッタ間電圧 v_{ce} の波形である。IGBTのオン時間が0.4usであるため、2.5V前後の過渡 v_{ce} があり、2.12Wのスイッチング損失が生じている。このIGBTをスイッチング時間の速いMOSFETに変更すると、損失はこの2.12Wから0.80Wに減少し、効率向上が期待できる。

それほど実験結果に悪影響を及ぼしていないと思われるが、直流入力電源端子間には高周波用バイパスコンデンサを接続すべきであった。

6.2 共振リアクトルの改善

共振リアクトル L_r には833kHzの等価高周波電流が流れる。 L_r のコイルには1.4mmΦのホルマル銅線が使われているが、表皮効果を考慮した設計が必要である。例えば0.7mmΦの電線を4本撚りにすれば、断面積は同じでも表面積は2倍になり、その交流抵抗値は0.54Ωから0.071Ωになる。 L_r に流れる電流の実効値は2.5Aであるから損失も3.38Wから0.44Wに減少する。電源メーカーのアドバイスによれば高周波対策として市販の6本撚りではなく100本撚りの特製リッツ線を用いると効果が出るとのことであった。

6.3 損失の内訳と効率向上

動作責務 d を約50%に設定して本ロスレスDC/DC昇圧コンバータを動作させ、200V、2Aを出力させているとき、 Q_1 には4.8Aのほぼ方形波電流が4.2us間流れ

る。その電流実効値は3.11Aであり、 Q_1 の R_{on} は0.128Ωであるから損失は1.24Wになる。 Q_2 の損失は図20の波形を区分求積することで2.12Wが得られる。 D_1 、 D_2 には同じ値の方形波電流が夫々4.2usと4.8us間流れる。順電流5.0Aでの順電圧降下を1.60Vとすると、損失は夫々3.67Wと3.21Wになる。順電流15Aでの順電圧降下を2.0Vとすると、 D_3 の損失は1.27Wになる。一方、 L_r の損失は3.38Wである。このときの本試作機の効率は95.2%であるから、コンバータ内部での損失は20Wである。上記のような諸改善を行なうと、20Wの損失は15.7Wになり、効率は95.2%から96.2%への向上が期待できる。

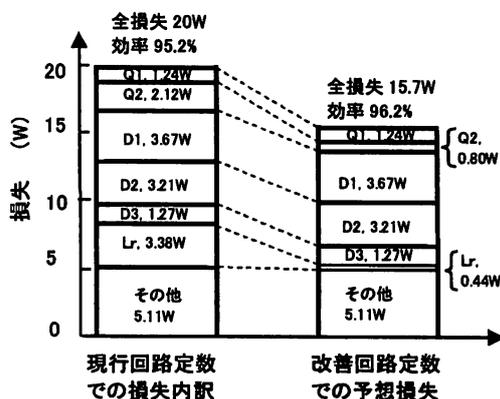


図21 デバイスの電力損失 (@ $V_o=200V, I_o=2A$)

図21はこれらの各損失の合算値をグラフに表したものである。また、デバイスを変更し改善した場合での予想損失も示している。これより、 $Q_2 \Rightarrow$ IGBT や $L_r \Rightarrow$ 高周波対策をした共振リアクトルが効率の向上に大きく寄与することが分かる。

図21の「その他」には、昇圧リアクトル L_b の損失と各ダイオードの逆回復損失が含まれている。昇圧リアクトルの損失対策には、コアの断面積を大きく取って磁束密度変化を小さくし、巻線コイルには高周波対策のリッツ線を用いて銅損の減少を図る。一方、高速ダイオードの逆回復損失は逆回復電荷が小さいほど減少するが、反対にその順電圧降下は大きくなるので、そのトレードオフが重要になる。

6.4 整数乗算器の浮動小数点化

本FPGAに内蔵された乗算器は整数乗算器としてハード的に設計されたものである。整数乗算器として使う限り、符号付18×18ビットの乗算を1クロックで実行する事ができる。

この整数乗算器を浮動小数点乗算器に変更する応用ソフトが”Xilinx AllianceCORE™”から提供され

ている。即ち、4個の乗算器と CLB (Configurable logic block) を用いることで、32 ビットの浮動小数点乗算器に変更することができる。ある種の演算では汎用 DSP と比べて 100 倍も高速演算が可能とのことであるが、入出力のコーディング時、数字を 1 ビットずつ読取るので、それなりのクロック数が必要となる。今回の場合、FPGA 内蔵整数乗算器を浮動小数点乗算器に変更して使うことについては、限られたクロック数内で 2 回の乗算が可能かどうかの検討が必要である。

6.5 可変指令電圧

今回試作の回路では指令電圧が固定されていたが、可変直流電源への変更も検討課題である。その場合、A/D 変換は 2 チャンネルが必要となるが、本制御方式のままでは変換時間からの制約が生じる。A/D コンバータの V_{DD} を現行の 3V から 5V に変更すると、変換速度は 2 倍の 1.25 MSPS になるが、前置レベルシフト回路の大幅な改造が必要になる。現実的な解決策は A/D コンバータの入力を毎スイッチングサイクルごとに交互に切り換えるか、PWM パルス生成中に 2 チャンネルの A/D 変換を実施しておくことであろう。

6.6 動作責務 d の時間分解能

今回採用した PWM 生成法では、動作責務 d の分解能は 0.3125 μ s 刻みで、5 μ s を 160 に分割している。即ち、PI 制御演算出力は 9 ビットの精度を確保しているにもかかわらず PWM 生成手法のために、出力電圧精度が 7 ビット強に低下するのは問題であり、将来の検討課題である。

7. まとめ

参考文献[3]で紹介されたロスレス昇圧 DC/DC コンバータを試作し、その動作を確認した。出力 200V, 2A の試作機において 95.2% の高い効率が得られた。制御方式は全デジタル制御方式とし、FPGA 内蔵の 18 \times 18 ビット整数乗算器を用いて、1 個の FPGA で PI 制御演算と PWM パルス生成を行なった。試作機は良好な出力特性と過渡特性を示した。この効率は更に改善できることを示唆した。

参考文献

1. 富田、馬場、谷口、森実、木村、”太陽光発電用ソフトスイッチング系連系インバータの制御”、平成 13 年電学産業応用部門、Y-55、pp1021
2. 三浦、笠、飯田：テスラ・コンバータの出力電圧特性について、平成 16 年度電気・情報関連学会中国支部連合大会、#180510、平成 16 年度電気学会中国支部奨励賞受賞。
3. L. H. S. C. Barreto, M. G. Sebastiao, L. Carlos de Freitas, E. A. A. Coelho, V. J. Farias, and J. B. Vieira, Jr., ” Analysis of a Soft-switched PFC Boost Converter Using Analog and Digital Control Circuits” IEEE Trans. on Industrial Electronics, Vol. 52, No. 1, Feb. 2005
4. 三浦、飯田：小容量 DC/DC テスラ・コンバータの動作解析、岡山理科大学紀要、第 41 号 A、2005、121-129 頁。

Study of Loss-less DC/DC Boost Converter

Takahiko IIDA and Ryoji MIURA*

*Department of Electronic Engineering, Faculty of Engineering,
Okayama University of Science,
1-1 Ridai-cho, Okayama 700-0005, Japan
MORI SEIKI Co., LTD.

362 Idono-cho, Yamato-Kooriyama city, Nara 639-1183, Japan

(Received August 24, 2006; accepted November 6, 2006)

In this paper, it is reported that the experimental test results of static and transient DC output characteristics of the soft switching DC/DC boost converter, of which main circuit was reported on the reference [3]. The prototype-converter has such ratings as DC input voltage of 100 Volts, DC output voltage of 200 Volts, output current of 2 Amperes and efficiency of 95.2%. The generated high frequency LC resonant current-pulse makes both the main device of MOSFET in the "ZVS" and the auxiliary device of IGBT in the "ZCS" operations, which contributes to improve the efficiency

On the other hand, the control circuit is newly developed and all digital one. Both the operation of PI control and generation of PWM pulse in this controller are implemented by only one FPGA, in which sixteen sets of 18 by 18 bits multipliers are embedded. The conversion-time of A/D and operation-time of PI control are so fast that they are implemented during the reset process of the boost reactor, which causes the good response for the transient characteristics.

The output pulses from FPGA are applied to the photo-couplers which have the functions of photo-insulation and gate amplifier. It means that the photo-couplers are used to drive MOSFET and IGBT directly at the switching frequency of 100 kHz.

Authors also discussed how to improve the characteristics and efficiency from the points of both component-parts of main circuit and cording techniques of FPGA.

Keywords: boost converter; soft switching; ZVS; ZCS; digital control; PI control; PWM pulse; multiplier; FPGA; MOSFET; IGBT; photo-coupler.