

小容量 DC/DC テスラ・コンバータの動作解析

三浦 良司・飯田 隆彦*

岡山理科大学大学院工学研究科修士課程電子工学専攻

*岡山理科大学工学部電子工学科

(2005年9月26日受付、2005年11月7日受理)

1. はじめに

スイッチング電源を構成する主要部品には、トランス・リアクトル等の磁性部品とコンデンサ及び、半導体デバイスがある。これらのうち磁性部品は動作周波数を高めることで小型・軽量化を図ることが出来る。しかし、動作周波数を高めると半導体デバイスのスイッチング損失が増大して接合温度上昇をきたし、特性が不安定になるとともにその信頼性が低下する。接合温度上昇をきたす主要な要因は半導体デバイスがオン・オフするときに生じるスイッチング（電力）損失である。これを低減させるために各種の ZVS (Zero Volt Switching) 回路構成（トポロジー）が提案されている。

今回、直流リアクトルとトランスを同一コア内に構成して磁気統合した磁性部品を自作し、テスラ・コンバータと呼ばれる ZVS を採用した新しい回路構成の DC/DC スwitching 電源装置を試作した。本論文では、その動作解析と動作試験を行ったので報告する。主回路動作モードを 6 モードに分類し、各モードについて動作解析を行った。なお、このスイッチング電源に必要な全ての制御パルスは FPGA (Field Programmable Gate Array) ボード 1 枚で生成している。半導体スイッチとして MOSFET を 3 個使用し、主スイッチ Q_1 と補助スイッチ Q_2 を ZVS で動作させ、ZVS 開始用 Q_3 は同期整流器としても動作させている。動作試験では、出力電流が 0.1A から 4.2A まで変化したとき、動作責務 d が 40~50% に自動的に変化して、出力電圧 10V 一定の制御特性が得られた。

2 章でテスラ・コンバータ主回路とその動作概要を、3 章でスイッチング損失を、4 章で磁気コアを、5 章で FPGA による制御パルス生成を、6 章でゲートアンプを、7 章で実験結果を夫々報告する。

2. テスラ・コンバータ主回路とその動作概要

2-1 テスラ・コンバータ主回路

テスラ・コンバータ主回路を図 1 に示す。テスラ・コンバータはフライバックコンバータの一種で、磁気構成要素を統合したところに特徴がある。

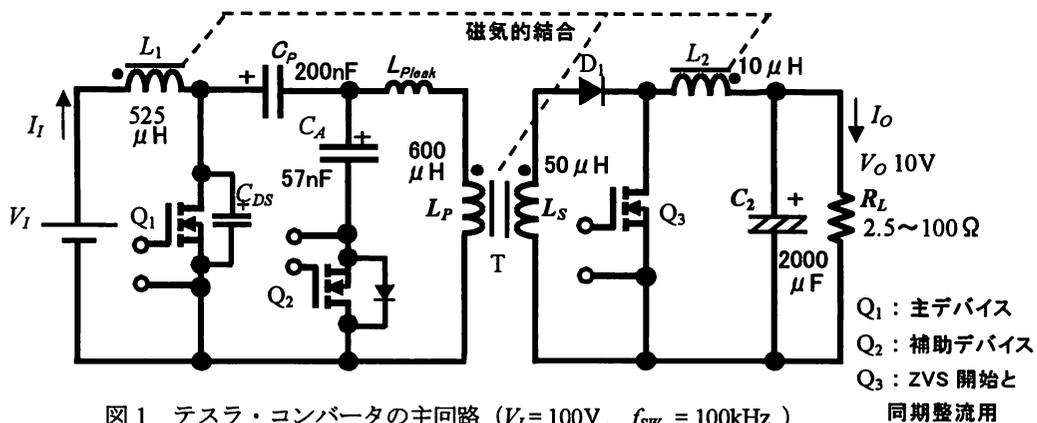


図 1 テスラ・コンバータの主回路 ($V_I = 100V$, $f_{sw} = 100kHz$)

すなわち図 2 に示すように同一コアに入力側 DC リアクトル L_1 、出力側 DC リアクトル L_2 、絶縁トランス T の一次巻線 L_p と、二次巻線 L_s が巻かれている。 L_p , L_s , L_1 は同一極性に巻かれ、 L_2 は逆極性に巻かれてい

る。Tの二次電圧をダイオード D_1 で整流し、 L_2 と同期整流器 Q_3 とでチョーク・インプット型整流回路を構成している。なお、Tの磁性材料はフェライトコアで、その動作周波数は100kHzである。

回路の動作概要は次の通りである。主デバイス Q_1 をオンさせて L_1 に電磁エネルギーを蓄える。 Q_1 をオフさせて、 L_1 に流れていた電流の流れを、 $C_p \rightarrow T$ の一次巻線 L_p に流す。これによりTの二次巻線 L_s に電圧が誘起され、 D_1 、 L_2 を通して C_2 を充電する。なお、 Q_1 がオン期間中、 Q_3 は同期整流器として動作し、 L_2 に流れていた電流は $C_2 \rightarrow Q_3$ の経路で循環し、 L_2 の電磁エネルギーが C_2 へ移される。

図3に制御パルスのシーケンスと動作モードとの関係を示す。モードIは Q_1 オン期間中であり、そのパルス幅を動作責務 d (%)で表す。このモードI期間中 Q_3 はオンされている。 Q_1 がオフされ、 Q_3 がオンしている期間をモードIIとする。 Q_3 もオフされた期間をモードIIIとする。 Q_2 をオンさせた期間をモードIVとする。 Q_2 、 Q_3 が両方ともオンしている期間をモードVとし、 Q_2 がオフして Q_3 のみオンしている期間をモードVIとする。このモードI～VIを一周期 T として繰り返される。

本論文で報告する試作したテスラ・コンバータの概略仕様を表1に示す。

表1 試作テスラ・コンバータの仕様

V_I	100V	V_O	8~12V
f_{SW}	100kHz	I_O	0~5A

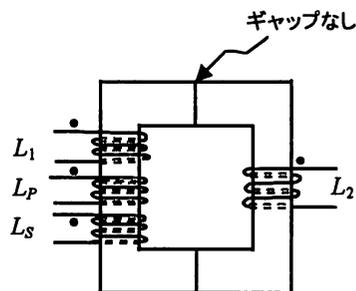


図2 トランスの構造

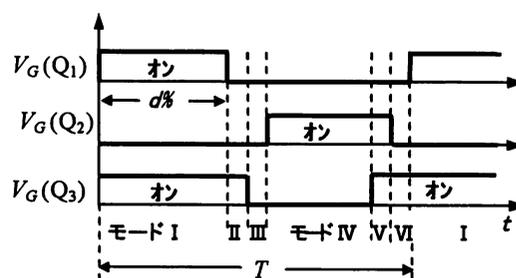


図3 駆動パルスとモードとの関係

2-2 モード別詳細動作解析

テスラ・コンバータのZVSについて説明する。 L_1 と L_2 は夫々入力電流と出力電流を平滑するDCリアクトルであり、 L_p と L_s は絶縁トランスTの巻線である。 Q_1 と Q_2 とは交互にオン・オフする。 Q_1 と Q_3 、 Q_2 と D_1 はそれぞれ、ほぼ同期してオン・オフする。

モードI(図4.1)は、 Q_1 オンで、入力電流 I_I が $V_I \rightarrow L_1 \rightarrow Q_1$ と流れ、 L_1 に電磁エネルギーを蓄える。また、コンデンサ C_p が Q_1 を通して、 $C_p \rightarrow Q_1 \rightarrow T$ の L_p の経路で放電を開始する。 C_p の充電電圧によりTの磁気コアがリセットされる。この間、 D_1 は逆バイアスされ、不導通である。 Q_3 は同期整流器として動作し、 $L_2 \rightarrow R_L \rightarrow Q_3$ の経路で電流が流れ、 L_2 に蓄えられた電磁エネルギーが負荷に供給される。次に、 Q_1 をオフすると、モードII(図4.2)に移る。 Q_1 のオフで、 L_1 に蓄えられた電磁エネルギーが電流となって放電を開始する。 Q_1 オフした瞬間は、 C_p 放電時に、 L_p の漏れ磁束 L_{pleak} に蓄えられたエネルギーが電流として放電を開始する。このとき、 Q_2 のボディ・ダイオード D_{Q2} が導通し、コンデンサ C_A は充電される。即ち、 Q_2 には D_{Q2} を通して負のドレイン電流が流れる。次第に放電電流 I_{L1} が C_A を充電しながら $L_1 \rightarrow C_p \rightarrow T$ の L_p に流れ始める。そして、Tの二次巻線 L_s に D_1 を導通するように電圧が誘起されるが、 Q_3 で短絡される。 L_1 は Q_1 が再びオンされるまで、 L_{L1} でエネルギーを放電し続ける。 Q_3 をオフすることでモードIIIが開始する。モードIII(図4.3)は、 Q_1 、 Q_2 、 Q_3 の全てがオフ状態である。 Q_2 には D_{Q2} を通して負のドレイン電流が流れる。この間に Q_2 をオンさせると Q_2 はZVSでオンする。 Q_2 をZVSでオンさせ、モードIVへ移る。モードIV(図4.4)は Q_2 のみオンの期間である。モードV(図4.5)は、 Q_1 のZVSのための準備期間である。もしこのとき Q_1 をオンさせると、 Q_1 のドレイン・ソース間容量 C_{DS} に蓄えられた電荷のために、大きなターンオン・スイッチング損失が

発生する。これを防ぐために、 Q_1 より Q_3 を少し早くオンさせて、 C_A を $L_P \rightarrow L_S$ の経路で短絡させる。この短絡で C_A は急激に放電を始める。この放電電流でトランス巻線 L_P の漏れ磁束 L_{Pleak} には大きな電磁エネルギーが蓄えられる。モードVI (図 4.6) は、 Q_1 が ZVS するための準備期間である。 Q_2 をオフすると C_A の放電が止まり、 L_{Pleak} に流れていた電流は $L_{Pleak} \rightarrow L_P \rightarrow Q_1$ の $C_{DS} \rightarrow C_P$ の経路に電流が流れる。即ち、 L_{Pleak} の電磁エネルギーで Q_1 の C_{DS} に蓄えられた電荷を引き抜き、 Q_1 の v_{DS} はゼロとなる。以上の動作を 1 周期として再びモード I へ戻る。この間 Q_1 をオンさせることで Q_1 の ZVS を実現している。その詳細は、3 章で説明する。

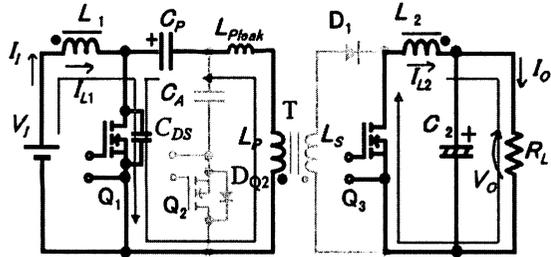


図 4.1 モード I (Q_1 オン Q_2 オフ Q_3 オン)

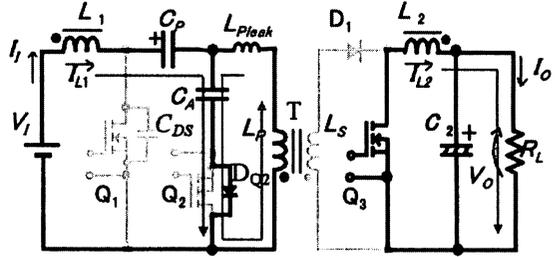


図 4.2 モード II (Q_1 オフ Q_2 オフ Q_3 オン)

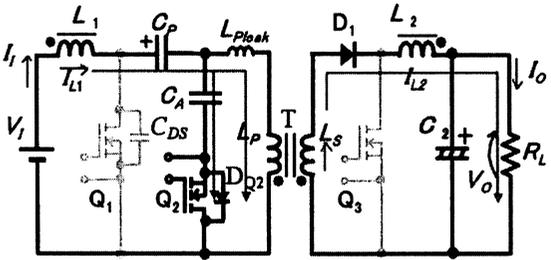


図 4.3 モード III (Q_1 オフ Q_2 オフ Q_3 オフ)

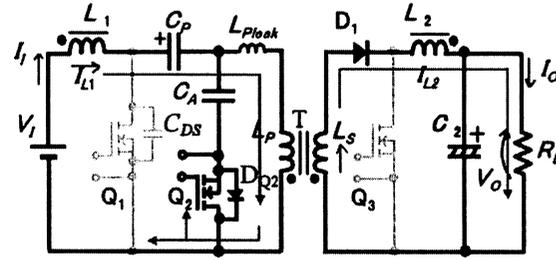


図 4.4 モード IV (Q_1 オフ Q_2 オン Q_3 オフ)

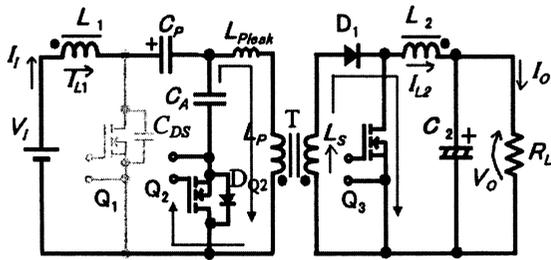


図 4.5 モード V (Q_1 オフ Q_2 オン Q_3 オン)

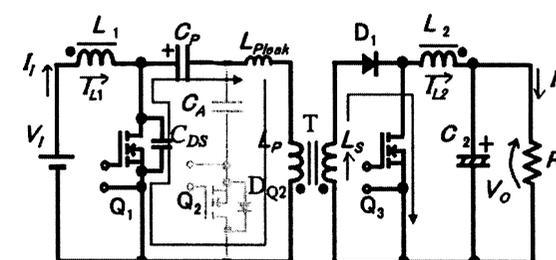


図 4.6 モード VI (Q_1 オフ Q_2 オフ Q_3 オン)

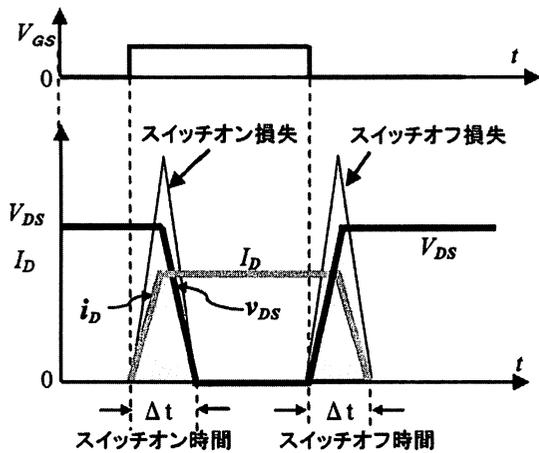


図 5 スイッチング損失の概要

スイッチング損失の一般計算式

$$W = \frac{V_{DS} \times I_D}{2} \times \Delta t \quad [\text{Joule/Cycle}] \quad \dots \text{式 1}$$

$$P_{loss} = \left(\frac{V_{DS} \times I_D}{2} \times \Delta t \right) \times 2f_{sw} \quad [\text{W}] \quad \dots \text{式 2}$$

3. スイッチング損失（モード「V」と「VI」）

本コンバータは 100kHz で動作しており、主デバイス Q₁ の MOSFET スイッチング損失を無視することができない。図 5 にスイッチング損失の概要を示す。スイッチング期間中ドレーン・ソース間電圧 v_{DS} とドレーン電流 i_D が直線的に変化すると仮定すると、1 回のスイッチングで消費されるスイッチング・エネルギー（ジュール）は、式 1 で与えられる。ここで、 V_{DS} はオフ時のドレーン・ソース間電圧定常値、 I_D はオン時のドレーン電流定常値であり、 Δt はスイッチング時間である。

1 回のスイッチングでは、損失は Q₁ のオンとオフ時に発生する。スイッチング周波数を f_{sw} とすると、1 秒間での全スイッチング損失は式 2 で与えられる。本回路方式では Q₁, Q₂ のスイッチオン損失がゼロになる ZVS (Zero Volt Switching) を採用し、それ以外のスイッチングは、回路的にスイッチング損失の減少を図っていない「ハード・スイッチング」となっている。これをまとめたものが表 2 である。

表 2 Q₁, Q₂, Q₃ のスイッチングとその損失
($V_F=100V$, $f_{sw}=100kHz$, $V_O=10V$, $I_O=5A$, $\Delta t=0.1\mu s$)

	スイッチオン	スイッチオフ	スイッチ損失	備考
Q ₁	ZVS	ハード・スイッチング*	0.88(W)	実測値 (区分求積)
Q ₂	ZVS	ハード・スイッチング*	2.83(W)	
Q ₃	ハード・スイッチング*	ハード・スイッチング*	0.5(W)	計算値(式 2)

図 6.1 に実験結果を示す。Q₂ のゲート電圧 $V_G(Q_2)$ がオフすると、Q₁ の C_{DS} の電荷が引き抜かれて $v_{DS}(Q_1)$ が負電圧となり、ボディ・ダイオードが導通しドレーン電流 $i_D(Q_1)$ も負電流となる。この間に Q₁ にゲート電圧 $V_G(Q_1)$ を与え、Q₁ をオンさせる。Q₁ を v_{DS} が負の間にオンさせることで、ZVS が達成される。定格負荷時、 $i_D(Q_1)$ が負の期間は $0.24\mu s$ であった。この $0.24\mu s$ は 5 章で説明するデッド時間に対応し、 $f_{CLK}=33MHz$ のときは 8 クロックに相当する。

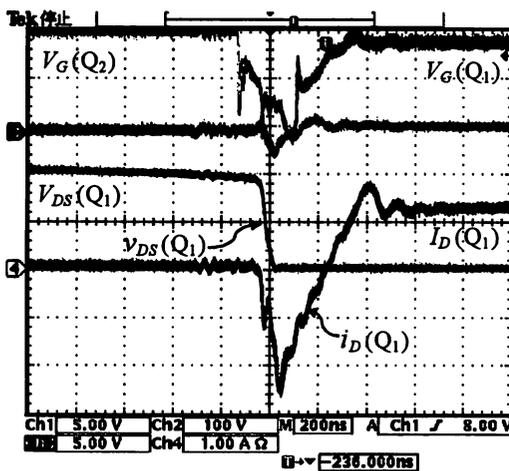


図 6.1 Q₁ のスイッチオン時の電圧・電流波形

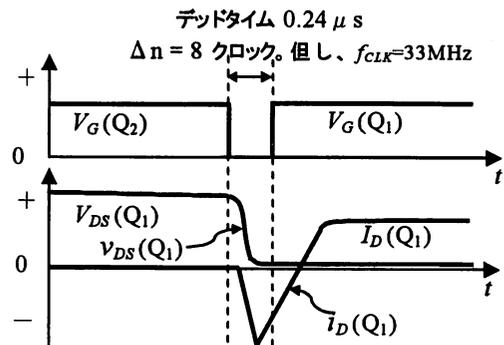


図 6.2 図 6.1 の波形説明図

4. コア

製品では、図 7 に示すように、特殊な形状のトランスのコアとなっている。実験では、図 8 に示すような、テレビ用フライバックトランスのコアを使い、トランスを自作した。L₁, L_P, L_S はコア内の磁束の向きが同じになるよう巻かれている。これに対して L₂ は磁束が逆の向きになるよう巻かれており、L₂ の巻き数を適切に設定すると、コア内の磁束成分がキャンセルされて磁気飽和が防がれる。その結果、コアのエアギャップ

(空げき)を狭くする、あるいはなくすことが可能となり、高い透磁率が得られる。更に、鉄損の少ない領域で動作させることができるので、銅損も減少する。このことからコア体積の低減と、効率の向上を可能としている。 L_1 、 L_P は夫々銅線を16Tとした。 L_S は銅線とせず、厚さ0.1mm、幅35.4mmの銅帯を5Tとした。 L_S を銅線から銅帯に変更したのは、動作周波数が100kHzなので表皮効果の影響を配慮したためである。Tの二次側電流は4.3Aと大きく、銅損(電力損失)は $P=R \cdot I^2$ と電流の2乗に比例するためである。銅線から銅帯に替えることで、銅損は0.07Wから0.01Wに減少した。 L_1 、 L_P については、一次側に流れる電流は0.6Aと小さく、その損失は0.006Wと小さい。 L_2 では、巻線のターン数が2Tと少ないので銅線を用いたが、その損失は0.03Wであった。表3はこれらの電力損失をまとめたものである。

コア内の L_1 、 L_P 、 L_S の直流磁束成分を打ち消すように L_2 が巻かれているが、打ち消すことができなかった直流磁束成分は磁気漏洩足へ逃がすようになっている。

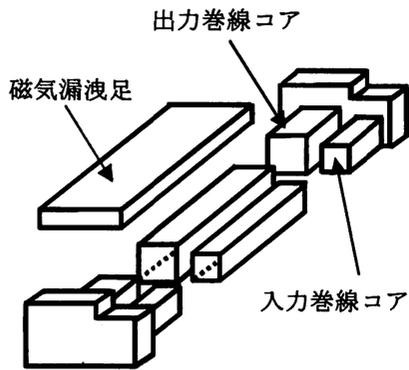


図7 製品トランスの構造

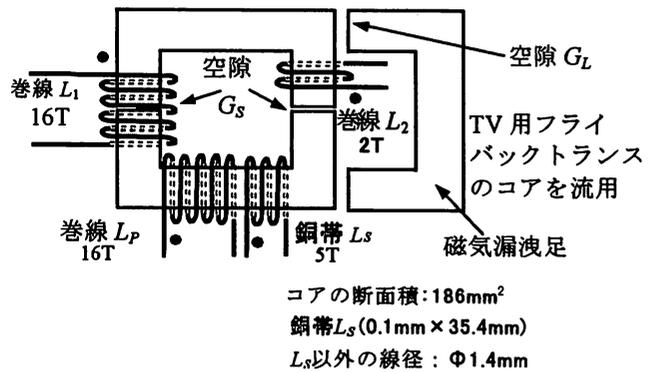


図8 自作トランスの巻線とコアの構造

表3 各種巻線での電力損失

($V_I=100V$, $f_{SW}=100kHz$, $V_O=10V$, $I_O=5A$)

1次側電力損失		2次側電力損失		全損失(銅損)
L_1	0.006W	L_2	0.03W	
L_P	0.006W	L_S	0.01W	

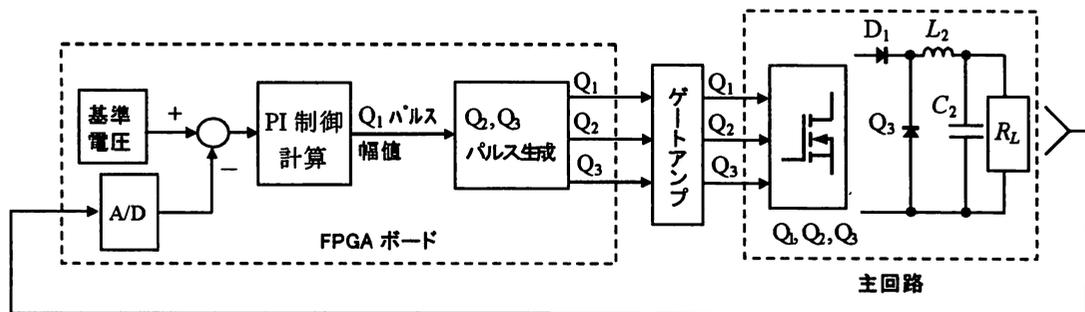


図9 出力電圧一定制御システム

5. FPGAによる制御パルス生成

テスラ・コンバータの制御パルスを生成するために、Xilinx製Spartan3 "XC3S400-4"を搭載した東京エレクトロン社製FPGAボード#TD-BD-TS101を用いた。このSpartan3 "XC3S400-4"は有効ゲート数が約40万ゲートで、36ビット整数乗算器を内蔵している。外形は208ピンQFPで、I/Oの数は141ピンである。また、同ボードにはTI製A/D変換器#TLV1570(10ビット4チャンネル1.25MSPS)が搭載されており、アナログ値

をボードに直接入力すると、そのままデジタル信号処理が可能になっている。

即ち、図9に示すように、 Q_1, Q_2, Q_3 制御パルス生成の信号処理をこのFPGAボード1枚で行うことができる。A/D変換器は、出力電圧用検出用のチャンネルと、AD変換器の初期設定を行うためのダミー用チャンネルの合計2チャンネル用いた。A/D変換したデジタルデータは、次のサイクル時に反映される。

図10に制御信号パルス生成のフローチャートを示す。33MHzのクロックパルスを、カウンタによって100kHzのスイッチング周波数に分周しながら、同じカウンタを利用して制御信号の生成を行っている。図10のようにクロックの立ち上がりとともにカウンタの値をカウントアップしていき、それぞれの出力部でカウンタの値を検知して、制御信号のタイミングを決めている。そして、カウンタはリセット値になったら初期値に戻り再びカウントアップをしていく。この繰り返りで出力部では制御信号の生成とともに分周も行っている。

A/D変換されたデジタルデータは、PI制御され、 Q_1 のパルス幅が出力される。出力されたパルス幅の値から、図11の概念図に従って表4に示す計算式から Q_2, Q_3 のパルス幅の値を求め、PWMパルスを生成する。 Q_1, Q_2, Q_3 のデッドタイムはパルス幅に関係なく一定とし、図6から求めた値、すなわち $0.24 \mu s = 8 \text{クロック} = \Delta n$ とした。表4に示したように、 Q_1 のパルス幅が変化するとき、 n_3, n_5 は固定とし、 n_2, n_4 が n_1 に従って変化するようにした。 Q_1 用ホットカプラを駆動するパルス幅は、ホットカプラの t_{PLH} と t_{PHL} の差異から式3を用いた。各式の導出法については6章で説明する。

表4 制御信号パルス生成のための計算式	
$n(\text{PI}) = \text{PI 制御計算出力値をカウンタ値に換算した値}$	
$\Delta n = 8$:(デッドタイムのカウンタ値)
$n_0 = 0$:(Q_1 オンのカウンタ値)
$n_1 = n(\text{PI}) - 4$	式3 : (Q_1 オフのカウンタ値)
$n_2 = n(\text{PI}) + 2 \times \Delta n$	式4 : (Q_2 オンのカウンタ値)
$n_3 = 332 - \Delta n - 4$	式5 : (Q_2 オフのカウンタ値)
$n_4 = n(\text{PI}) + \Delta n - 5$	式6 : (Q_3 オフのカウンタ値)
$n_5 = 332 - 2 \times \Delta n$	式7 : (Q_3 オンのカウンタ値)

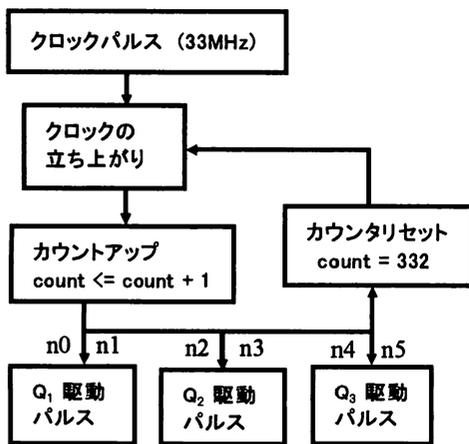


図10 制御信号パルス生成のフローチャート

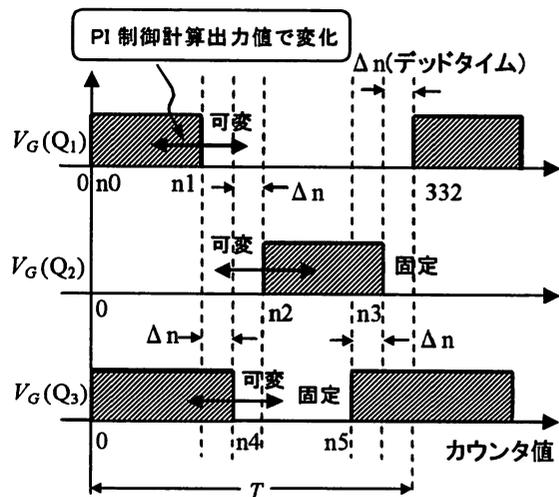


図11 制御信号パルスの概念図

図12に出力電圧一定制御用パルス生成フローチャートを示す。これは、図9に示すFPGAボード内のプ

ロックダイアグラムに対応している。PUSH スイッチオンで開始する。まず、ダミー用の A/D 変換器が動作して、出力電圧検出用の A/D 変換器が動作する。図 9 に示すように、A/D 変換、エラー信号の生成、PI 制御から Q_1 のパルス幅計算を行い、 Q_1 のパルス幅値とカウンタ値から Q_1, Q_2, Q_3 の実パルスを生成している。

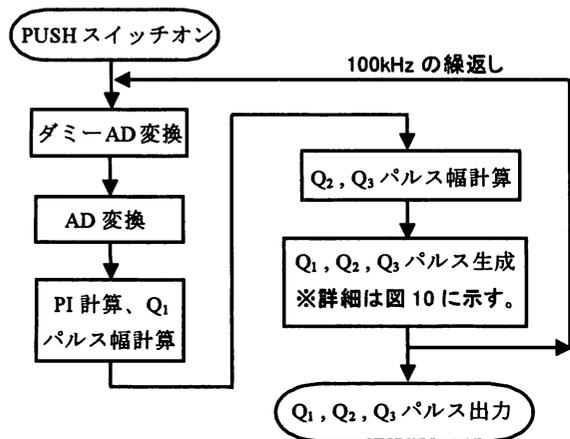


図 12 出力電圧一定制御用パルス生成フローチャート

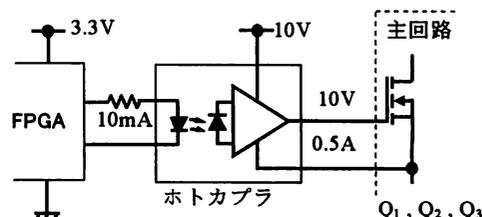


図 13 ゲートアンプ

6. ゲートアンプ

図 13 に示すように、ホットカプラ (TLP351) を用いて、FPGA の出力パルス 10mA を 10V, 0.5A に絶縁・アンプし、MOSFET を直接駆動させた。ホットカプラの出力パルス 10V, 0.5A は 10~50A クラスの MOSFET を駆動させる値として、ほぼ満足の出来る値である。図 13 のゲートアンプを 3 セット作成し、 Q_1, Q_2, Q_3 をそれぞれ駆動させた。ホットカプラの立ち上がり時間 t_r と立ち下り時間 t_f の標準値はいずれも $0.05 \mu s$ であった。実測した伝達遅延時間 t_{PLH} は $0.21 \mu s$ (33MHz で 7 クロック)、 t_{PHL} は $0.33 \sim 0.36 \mu s$ (11~12 クロック) であった。 t_{PLH} と t_{PHL} との差異や、特性バラツキにより出力パルス幅が FPGA の出力幅と違って来る恐れがあった。これを防ぐために、図 14 で示すように、FPGA でのコーディングで補正を行い、差異が生じないように配慮した。ホットカプラから出力された波形は全て t_r だけ遅れた波形になっている。

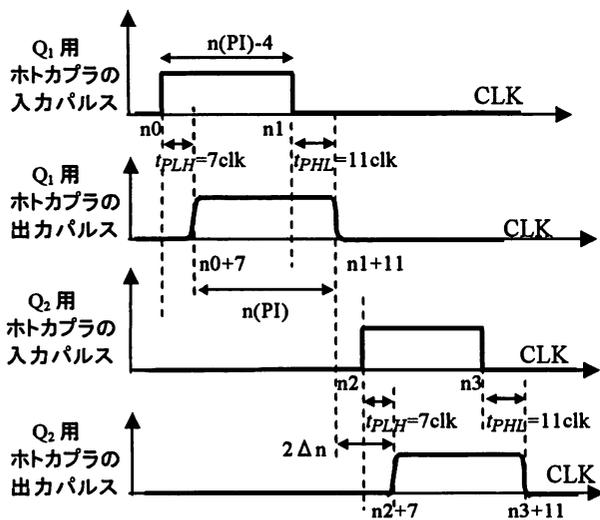


図 14a Q_1 と Q_2 パルス波形の相対関係

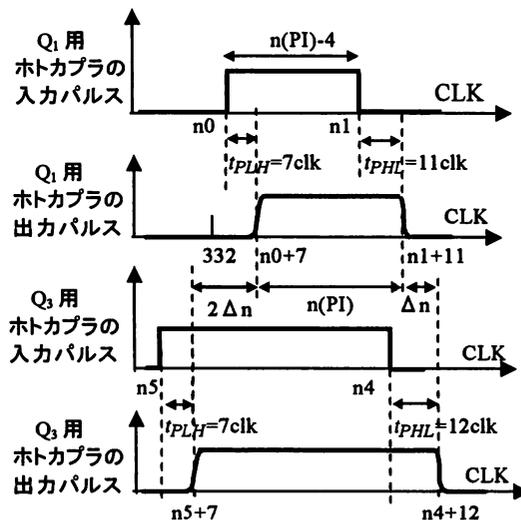


図 14b Q_1 と Q_3 パルス波形の相対関係

図 14 ホットカプラ特性とデッドタイムとの関係

図 14a において、 Q_2 用ホトカプラを駆動するパルスの立ち上がり n_2 値は、 Q_1 用の出力パルスと Q_2 用の出力パルスとの間隔が $2\Delta n$ となるように式 8 より求めて、式 4 を用いた。

$$n_2 + 7 = n_1 + 11 + 2\Delta n = n(PI) - 4 + 11 + 2\Delta n \quad \dots\dots \text{式 8}$$

以下同様に計算した。図 14b において、 n_5 は式 9 より求めて、式 7 を用いた。

$$(332 + n_0 + 7) - (n_5 + 7) = 2\Delta n \quad \dots\dots \text{式 9}$$

なお、 Q_3 用のホトカプラの t_{PHL} 特性は 12 クロック (=0.36 μ s) であったので、式 6 は -5 になっている。

7. 実験結果

負荷抵抗 2.4、5、10、20、30、50、100 Ω 、動作責務 d を 50% から 30% まで 5% ずつ変化させ、出力電圧・電流の値を測定した。その結果、図 15 に示すようになった。この特性より負荷抵抗が変化しても、パルス幅（動作責務 d ）を変化させることにより出力電圧を一定に保てることが判明した。

図 16 は FPGA をコーディングして出力電圧一定制御を行わせ、出力電圧を 10V 一定に保ちながら出力電流を変化させたときの出力特性である。負荷抵抗を変化させた場合でも、パルス幅が自動的に変化して、出力電圧が 10V 一定になることを実証した。製品（商品）の効率 は 95% と高効率との事であるが、試作装置での効率 η は 81% と低い値であった。これは、モード V 及び、モード VI での $\Delta n = 8$ クロックが過大で、このモードでのトランス二次巻線短絡による電力損失が大きくなり過ぎたためと思われる。

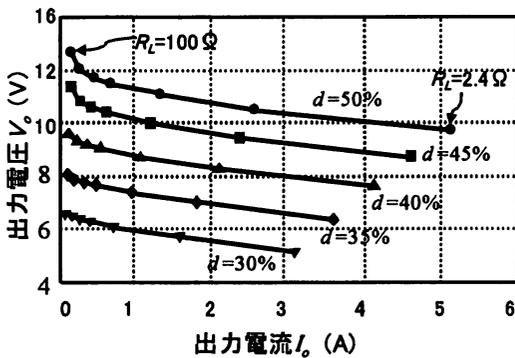


図 15 出力特性 (d は動作責務)

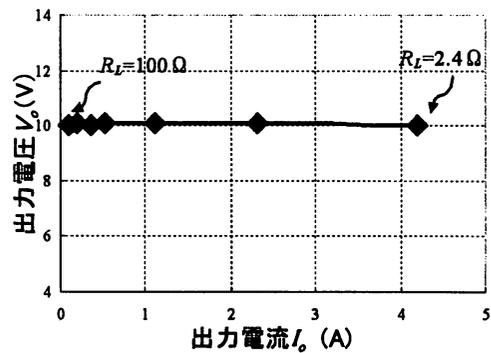


図 16 出力特性 (出力電圧一定制御時)

8. まとめ

本論文では、高効率・小型のスイッチング電源であるテスラ・コンバータについて回路動作を解析し、動作モード I ~ VI のモードで動作していることを示した。磁気統合型トランスを作成し、出力 10V、5A の試作器を製作した。全ての制御パルスは A/D コンバータ付 40 万ゲートの FPGA ボードで生成し、MOSFET の Q_1 、 Q_2 は ZVS で動作し、 Q_3 が同期整流器としていることを確認した。動作試験では、出力電流が 0.1A から 4.2A まで変化したとき、動作責務 d が 40~50% に自動的に変化して、出力電圧 10V 一定の制御特性が得られた。

参考文献

- 1) 三浦、笠、飯田：テスラ・コンバータの出力電圧特性について、平成 16 年度電気・情報関連学会中国支連合大会、#180510、平成 16 年度電気学会中国支部奨励賞受賞。
- 2) Solobodan Cuk/中川伸 訳：高効率スイッチング電源「テスラ・コンバータ誕生」、トランジスタ技術 2002 年 12 月、CQ 出版社。
- 3) 中川伸：高効率スイッチング電源「テスラ・コンバータ」の性能を評価、トランジスタ技術 2003 年 5 月、CQ 出版。
- 4) 並木秀明・永井垣道：VHDL によるデジタル回路入門、技術評論社、2001 年 8 月。

Operation-analysis of low power DC/DC Tesla converter

Ryoji Miura and Takahiko Iida*

Graduate School of Engineering,

**Department of Engineering Faculty of Engineering,*

Okayama University of Science

1-1 Ridai-cho, Okayama 700-0005, Japan

(Received September 26, 2005; accepted November 7, 2005)

Abstract

The apparatus of switching power supply is constructed from such electro and electronic parts as transformer, capacitor and semiconductor device. As for the transformer, it can be reduced in size and weight by increasing the operating frequency, however, the junction temperature of semiconductor device rises by the switching power loss that depends on the operating frequency, which makes the characteristics unstable and the failure rate increase. Many kinds of “Zero Voltage Switching” (ZVS) circuit topology are proposed to reduce the switching power loss.

We made a prototype of low power DC/DC converter which applied the new ZVS circuit called “Tesla converter” and also made by ourselves the unique and important magnetic parts of Tesla converter which integrated the input and output DC reactors and transformer in one magnetic core. In this paper, the operation-analysis and measured characteristics are reported. There are six operating modes in main circuit operation and each mode is analyzed precisely. Only one FPGA (Field Programmable Gate Array) board with 10 bits A/D converter can generate all the control pulses required to drive the switching power supply. Three MOSFETs are used for the semiconductor switches and ZVS is realized in circuit operation for main and auxiliary switches Q1 and Q2, respectively. However, auxiliary switch Q3 is used to trigger the ZVS action and is also operated as synchronous rectifier. The switching and clock frequencies are 100kHz and 33MHz, respectively. According to our test results, the prototype shows the constant output voltage characteristics of 10 Volts by varying the duty factor from 40 to 50% automatically when the output load current is changed from 0.1 to 4.2 Amperes.

Contents of the paper are;

Section 2 is main circuit and outline of Tesla converter, Section 3 is switching power loss, Section 4 is magnetic core, Section 5 is generation of control pulses by FPGA, Section 6 is gate amplifier and Section 7 is test results.