

低電圧マルチポート RAM の トランジスタサイズの影響 (2)

三 道 一 弘・多 田 昭 晴*

岡山理科大学大学院工学研究科修士課程情報工学専攻

*岡山理科大学工学部情報工学科

(1998年10月5日 受理)

1. ま え が き

現在、急速に市場が拡大している、バッテリー駆動させる携帯機器の分野では、より低電圧化を図り消費電力を抑えることでバッテリーの寿命を長くする事が要望されている。

マルチポート RAM (MPRAM) を用いると複数の経路から同時にデータを書き込んだり読み出したり出来るので、並列動作が可能になり、より高速化が実現出来る。また、入出力が独立した経路で行われるので、RAM へのアクセス回路を簡素化することが出来る。

前回の『低電圧マルチポート RAM のトランジスタサイズの影響』では、トランジスタのサイズ (ゲート長: L , ゲート幅: W) を変更することにより、1.5 V の低電圧で動作速度13.84 nsという研究成果を得た²⁾³⁾。

本研究では電池駆動可能な1.2 V で、より高速・安定動作を目的とし、デバイスパラメータとセンスアンプ部の回路変更、しきい値電圧のコントロールを行う^り。

2. シミュレーション

2.1 シミュレーション方法

本研究では、前回 (低電圧マルチポート RAM のトランジスタサイズの影響)²⁾の使用した図1に示す作動型センスアンプを用いた MPRAM をベースに動作電圧1.2 V でより高速動作を実現するために、次に示す3つの方法を実行する。

- (1) ゲート長 L が $0.5\mu\text{m}$ のデバイスパラメータを $0.35\mu\text{m}$ に変更する。ゲート幅 W は前回 (低電圧マルチポート RAM のトランジスタサイズの影響)²⁾と同じ。
- (2) センスアンプ部の回路を作動型からラッチ型に置き換える。
- (3) MOS FET のしきい値電圧を低く抑える。

また、本研究で使用した回路では書き込み時間に対して読み出し時間が非常に遅く動作速度の高速化の妨げになっており、これは書き込みに対し2つ多くのトランジスタを介してから、読み出しを行っているからであり、この方式のセルを用いたマルチポート RAM

では、やむをえないことである。よって本研究での動作速度は読み出し動作遅延の中の各部の部分遅延と全体の遅延を動作速度として示している。

検証した動作電圧は3.3 V から1.2 V まで0.3 V 刻み、そして1.0 V である。

2.2 0.35 μm デバイスパラメータによる高速化

まず、前回（低電圧マルチポート RAM のトランジスタサイズの影響²⁾の0.5 μm プロセス作動型センスアンプでの動作速度を表1に示す。

次に、今回のデバイスパラメータを0.5 μm プロセスから0.35 μm プロセス変更した場合の動作速度を表2に示す。1.2 V 動作時の動作遅延が29.04 ns から16.040 ns と55.23 % に減少し動作速度の向上が図れた。

2.3 ラッチ型センスアンプによる高速化

ここでは、これまで使用していた作動型センスアンプをラッチ型センスアンプに変更することでセンスアンプ部の遅延を減少させ動作速度の高速化を図る。図2にラッチ型センスアンプを用いた MPRAM の回路図を示し、表3に0.35 μm プロセス作動型センスアンプを用いた場合と、ラッチ型センスアンプを用いた場合のセンスアンプ部と全体の動作速度を示す。

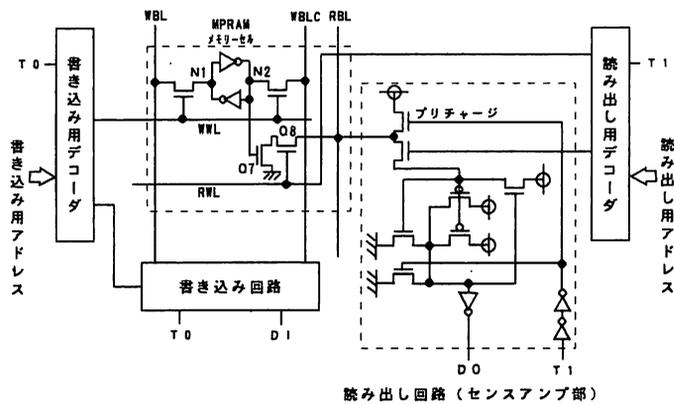


図1 作動型センスアンプを用いた MPRAM の回路

表1 0.5 μm プロセス作動型センスアンプでの動作速度

動作電圧 (V)	3.3	3.0	2.7	2.4	2.1	1.8	1.5	1.2
動作速度 (ns)	3.78	4.12	4.63	5.52	6.76	8.67	13.84	29.04

表2 0.35 μm プロセス作動型センスアンプでの動作速度

動作電圧 (V)	3.3	3.0	2.7	2.4	2.1	1.8	1.5	1.2	1.0
動作速度 (ns)	2.576	2.828	3.183	3.690	4.480	5.824	8.533	16.040	34.236

表 3 から 1.2 V 動作時のラッチ型センスアンプを用いた場合とセンスアンプ部の遅延が、作動型センスアンプを用いた場合の 3.499 ns から 1.360 ns と 38.97 % に減少していることが確認できる。全体動作遅延でも 1.2 V 動作時 16.040 ns から 13.900 ns と 86.658 % に減少させることが出来た。

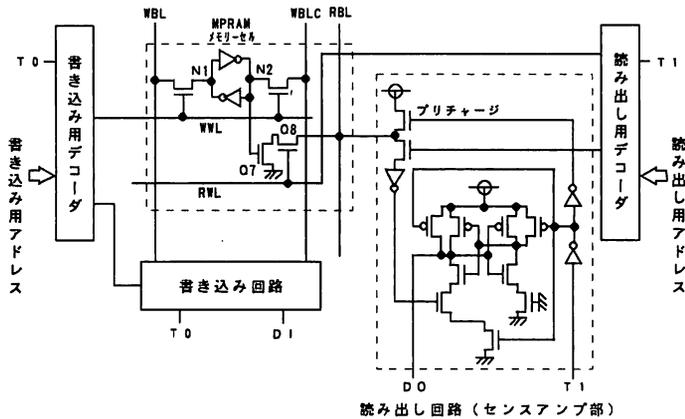


図 2 ラッチ型センスアンプを用いた MPRAM の回路

表 3 0.35 μm プロセス作動型・ラッチ型センスアンプを用いた場合の動作速度

動作電圧 (V)	動作速度 (ns)			
	センスアンプ部		全体	
	作動型	ラッチ型	作動型	ラッチ型
3.3	0.572	0.180	2.576	2.180
3.0	0.644	0.189	2.828	2.373
2.7	0.730	0.208	3.183	2.661
2.4	0.856	0.245	3.690	3.080
2.1	1.039	0.287	4.480	3.710
1.8	1.343	0.424	5.824	4.905
1.5	1.925	0.665	8.533	7.246
1.2	3.499	1.360	16.040	13.900
1.0	7.128	3.001	34.236	30.091

2.4 しきい値電圧制御による高速化

MPRAM の回路を低電圧で動作させた場合に動作速度が低下する主な原因の 1 つに MOS FET の駆動電流の低下がある。ここでは従来使用してきた MOS FET のしきい値 0.90 V を、より低下させることで MOS FET の駆動電流を大きくし動作速度の高速化を図る。

図 3 に NMOS FET のしきい値電圧を 0.90 V から 0.15 V まで 0.15 V 間隔で変化させた場合の特性を示す。ゲート電圧に対するドレイン電流はしきい値が下がるほど大きくなっていることが確認できる。また、しきい値電圧が 0.45 V 未満になるとゲート電圧 0.00 V

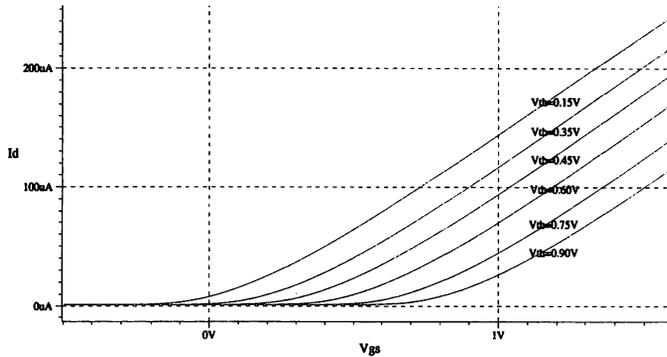


図3 $L=0.35\mu\text{m}$ での NMOS FET のしきい値電圧による特性の違い

表4 しきい値電圧が0.90 V, 0.75 V, 0.60 V, 0.45 V の場合の動作速度

動作電圧 (V)	動作速度 (ns)			
	しきい値電圧 (V)			
	0.90	0.75	0.60	0.45
3.3	2.576	2.094	1.950	1.778
3.0	2.828	2.240	2.078	1.884
2.7	3.183	2.464	2.245	2.032
2.4	3.690	2.788	2.461	2.202
2.1	4.480	3.277	2.792	2.438
1.8	5.824	4.064	3.290	2.753
1.5	8.533	5.604	4.146	3.277
1.2	16.040	9.071	5.819	4.185
1.0	34.236	15.210	8.177	5.292

時にもドレイン電流が流れ、トランジスタが OFF になっていないことが確認できる。よって本研究で使用したデバイスパラメータでは、しきい値電圧を0.45 V 以下に下げることが出来ないことがわかる。

表4に0.35 μm プロセス・ラッチ型センスアンプ MPRAM を用いて、しきい値電圧が0.90 V, 0.75 V, 0.60 V, 0.45 V の場合の動作速度を示す。

表3より、動作遅延がしきい値電圧0.90 V の13.900 ns から、しきい値電圧0.45 V 時には4.185 ns と30.11 % に減少したことが確認できる。

3. ま と め

表5に、前回 (低電圧マルチポート RAM のトランジスタサイズの影響)²⁾と今回のシミュレーション結果を比べたものを示す。

今回の研究では1.2 V 動作での動作速度を前回の29.04 ns から4.185 ns と向上させることが出来た。これを動作周波数で表すと119.47 Mz となる。

表5 シミュレーション結果の比較

	前回	今回
動作電圧	1.5 V	1.2 V
動作速度 (遅延)	13.84 ns	4.185 ns
動作周波数	36.13 Mz	119.47 Mz
デバイスパラメータ	0.5 μ m	0.35 μ m

また1.2 V のバッテリーで駆動させている場合バッテリーが消耗し電圧が1.0 V まで低下した場合でも94.48 Mz での動作が可能である。

本研究中で、最も動作速度の高速化に効果的だったのは、MOS FET のしきい値電圧を低くすることであり、続いてデバイスパラメータの変更、センスアンプ回路の変更であった。センスアンプ回路の変更の効果が低いのは、他の方法は回路全体に影響を与えるのに対し、この方法はセンスアップ部だけしか効果をもたらさないからである。

参考文献

- 1) 石川尚道・多田昭晴：岡山理科大学紀要第33号A, pp. 153-159, 1997.
- 2) 三道一弘・石川尚道・多田昭晴：岡山理科大学紀要第33号A, pp. 137-142, 1997.
- 3) 三道一弘・石川尚道・多田昭晴：電気・情報関連学会中国支部第48回連合大会講演論文集, p. 164, Oct. 1997.

The Effects of Transistor Size for Low-voltage Multi-port RAM (2)

Kazuhiro SANDOH and Akiharu TADA*

Graduate School of Engineering

**Department of Information and Computer Engineering*

Okayama University of Science,

Ridai-cho 1-1, Okayama 700-0005, Japan

(Received October 5, 1998)

Multi-port RAM has become one of the key elements for LSI because it allows simultaneous accesses from multiple sources, and the parallel operations can have a high system throughput. In our last research "The Effects of Transistor Size for Low-voltage Multi-port RAM" demonstrated that the target circuit could run at 1.5 volts and 13.84 ns by changing the transistor size. It seems necessary to reduce the voltage and extend the life of the battery in the portable appliance of a battery drive.

This paper examines the possibility of changing the device parameter, sense amplifier, and threshold voltage to run at 1.2 volts.