

IMPLEMENTACIÓN DE UN SISTEMA DE ADQUISICIÓN DE IMÁGENES EMBEBIDO EN UN FPGA

José Carlos Delgado Vázquez

Instituto Tecnológico de Orizaba, División de Estudios de Posgrado e Investigación
jc_04z@hotmail.com

Mario Alberto García Martínez

Instituto Tecnológico de Orizaba, División de Estudios de Posgrado e Investigación
gmmario55@gmail.com

Rubén Posada Gómez

Instituto Tecnológico de Orizaba, División de Estudios de Posgrado e Investigación
pgruben@yahoo.com

Ignacio Herrera Aguilar

Instituto Tecnológico de Orizaba, División de Estudios de Posgrado e Investigación
nacho.tecorizaba@gmail.com

Resumen

El este trabajo se presenta el diseño de un sistema embebido para la adquisición y muestreo de imágenes utilizando como plataforma un dispositivo reconfigurable como lo es un FPGA (*Field Programmable Gate Array*), y como sensor una cámara CMOS (*complementary metal-oxide-semiconductor*). Además, para la visualización de esta adquisición de imagen se utiliza un monitor con entrada VGA (*Video Graphics Array*).

El área de procesamiento de imágenes se ha desarrollado considerablemente y sus aplicaciones se han visto reflejadas en una diversidad de campos de investigación, incluidas las industriales y las militares. Estas aplicaciones tienen requerimientos importantes tales como velocidad, economía, precisión y una mayor capacidad en el almacenamiento y el procesamiento de las señales.

Se ha usado un FPGA Spartan 6 como procesador dedicado para el diseño del sistema, en el cual; se configura un sensor de imagen CMOS para adquirir imagen en un formato determinado; se realiza el almacenamiento correcto de la imagen y posteriormente es desplegada en un monitor con puerto VGA. La imagen adquirida tiene un tamaño real de 640x480 píxeles.

Palabra(s) Clave(s): FPGA, RGB565, SCCB, Sensor de imagen CMOS.

1. Introducción

En la actualidad se han explorado diferentes métodos para el procesamiento de imágenes en diversas áreas tales como la medicina, la industria militar, la industria agropecuaria y otras. En [1] y [2] los autores introducen el uso de los FPGA's como procesadores de uso específico para el procesamiento de imágenes en dos áreas diferentes. En [3],[4] y [5] los autores reportan el uso de sensores CMOS para la adquisición de la imagen presentando un amplio estudio de su comportamiento y protocolos de comunicación con el FPGA. Estas aplicaciones demandan prestaciones importantes, sobre todo una mayor velocidad, precisión, almacenamiento, bajo costo y mejor procesamiento de datos como se reporta en [6]. Este procesamiento permite extraer información particular de las imágenes que son adquiridas y tomar decisiones de automatización en diversos entornos de aplicación, para lo cual se hace uso de diferentes tipos de cámaras de visión, las cuales han permitido a la humanidad hacer la vida diaria más cómoda.

Un FPGA (*Field Programmable Gate Array*) es un circuito integrado basado en una matriz de bloques lógicos configurables (combinatoria y/o secuencial), y son reprogramables [7]. La industria microelectrónica ofrece dispositivos de hardware reconfigurable FPGA que permiten módulos de propiedad intelectual (IP) los cuales pueden facilitar la realización híbrida hardware/software de un controlador empotrado [8]. Los FPGA pueden ejecutar diferentes secuencias en paralelo y exceden la potencia de cómputo de los procesadores digitales (DSP) en cada ciclo de reloj [9]. Algunos sistemas de adquisición de imágenes utilizan un FPGA por su alto rendimiento como procesador principal con la finalidad de obtener una mayor calidad de imagen [10]. El sensor CMOS (*Complementary Metal Oxide Semi-*

conductor) está compuesto de una matriz de células fotosensibles, la carga la conserva y la traslada directamente al conversor. El sensor CMOS es menos costoso que el sensor CCD. Los sensores CMOS son más usados en las cámaras réflex y las cámaras híbridas (cámaras compactas con objetivos intercambiables) [11]. El sistema propuesto en este trabajo se muestra en la figura 1, y consideramos que la principal aportación de este trabajo consiste en colocar al alcance de todos un controlador de “código abierto” para la interface entre una cámara CMOS y un FPGA, considerando los altos costos de las licencias que los fabricantes particulares requieren para el uso de estos IP-Cores.

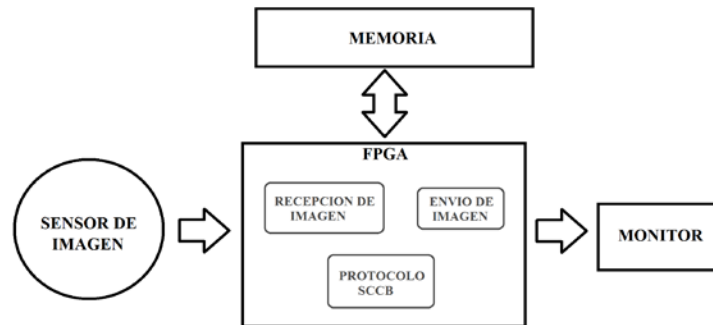


Figura 1 Diagrama a bloques del sistema de adquisición de imágenes.

Cada uno de los bloques ha sido implementado con el lenguaje VHDL y ha sido sintetizado usando la herramienta ISE-WebPack de Xilinx, la cual es de uso gratuito.

Se pueden apreciar en el diagrama el sensor de imagen, la memoria y el monitor, los cuales son controlados por un FPGA. Este sistema es capaz de configurar el sensor por medio del protocolo SCCB de OMNIVISION, permite adquirir los datos provenientes del sensor los cuales son los pixeles de la imagen, controla una memoria RAM para el almacenamiento y lectura de la imagen guardada y finalmente es capaz de controlar las señales del puerto VGA para mostrar la imagen en un monitor.

2. Desarrollo

Para la adquisición de imágenes se utilizó un sensor de imagen CMOS OV7670 de OMNIVISION [12], el cual entrega una imagen de 640X480 pixeles como

máximo y una resolución en intensidad por pixel de 16 bits, se muestra en la figura 2. El sensor es capaz de enviar diferentes formatos de imagen como lo es RGB, YUV, CIF entro otros; sin embargo, para este sistema se eligió el formato RGB, del cual se derivan 4 tipos de resolución de pixeles: Normal RGB, RGB565 (5 bits para color Rojo, 6 bits para el color Verde y 5 bits para el color Azul), RGB555 (5 bits para cada color) y RGB444.



Figura 2 Sensor de imagen OV7670

Como plataforma de hardware se usó una tarjeta prototipo Nexys 3 de Digilent con un FPGA Spartan 6, como se muestra en la figura 3. Además se usó la plataforma ISE de Xilinx para la programación del FPGA usando el lenguaje VHDL para la implementación de todos los bloques del sistema. La memoria para el almacenamiento de la imagen contiene 16 bits de espacio por cada dirección para almacenar los datos [13], es por ello que el formato seleccionado para adquirir los datos de la imagen del sensor y ser almacenados fue RGB565 el cual contiene por cada pixel 16 bits, es decir, que por cada dirección de memoria se almacena un pixel de la imagen a adquirir. Para visualizar la imagen se utiliza un monitor con salida VGA, el cual estará conectado directamente a la tarjeta prototipo del FPGA.

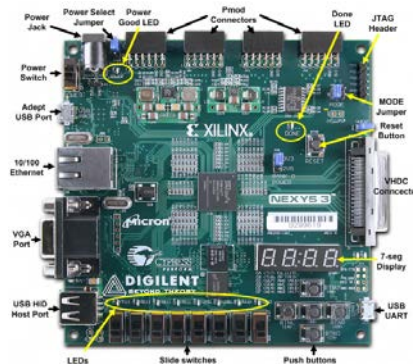


Figura 3 Tarjeta Nexys 3 con Spartan 6.

Para comunicarse con el sensor de imagen, éste cuenta con un numero de dirección como esclavo, el cual es el 0x42, un valor hexadecimal. Los registros a modificar para seleccionar el formato deseado son el registro 0x12 con el dato 0x04 para seleccionar le formato RGB y el registro 0x40 con el dato 0x10 para tener el formato RGB565. El envío de estos datos al sensor de imagen para configurarlo es por medio del protocolo de comunicación SCCB como se había mencionado anteriormente, y el ciclo utilizado para su configuración se muestra en la figura 4, donde se observa que se inicia la comunicación, se manda la dirección de esclavo, el número de registro al que se desea tener acceso y se envía el dato. Por cada dato enviado se espera la señal de reconocimiento y al terminar se finaliza la comunicación.

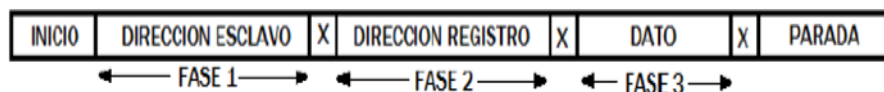
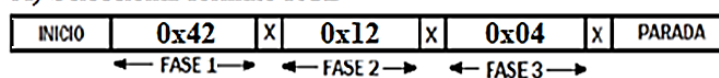


Figura 4 Ciclo de transmisión 3-Fases de escritura Interfaz SCCB.

En la primera configuración del sensor, la cual se muestra en la figura 5a, se hace uso del Ciclo de Transmisión 3 Faces de Escritura del protocolo SCCB. En este ciclo se envía en la primera fase la dirección del esclavo, la cual es 0x42, en la segunda fase se manda el número de registro 0x12 al que se desea tener acceso, en la tercera fase se envía el dato 0x04 para seleccionar el formato RGB.

A) Seleccionar formato RGB



B) Seleccionar formato RGB565

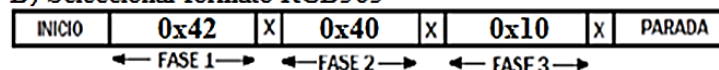


Figura 5 Configuración del sensor de imagen para seleccionar el formato RGB565.

Una vez seleccionado el formato RGB se realiza la segunda configuración para seleccionar el formato RGB565. En la figura 5b, se observan las tres fases para tener un formato RGB565. En la primera fase nuevamente se selecciona la dirección del esclavo 0x42, en la fase dos se envía el registro 0x40 modificando su

valor a 0x10 el cual se muestra en la fase tres. Teniendo ya esta configuración ya es posible adquirir imagen con el formato deseado.

Para una configuración, el sensor de imagen cuenta con dos pines, SDA como entrada y salida de datos y SCL como reloj de entrada para la sincronización de los datos a enviar o recibir.

El bloque completo para la configuración del sensor se muestra en la figura 6, el cual contiene el selector para las diferentes configuraciones, la entrada CLK para la sincronización de las señales, el botón de Reset del sistema, un vector de salida para el dato leído, la señal de salida SCL para la sincronización de los datos y un pin de entrada/salida SDA para la transición de los datos. En la figura 7 se puede observar la simulación del bloque de configuración. Se aprecia en el primer envío de datos la señal de inicio de comunicación, después se observan las señales que envían la dirección del esclavo en modo escritura (0X42). En la señal SDA se observan bits a medio pulso, los cuales representan el tiempo en el que el bloque espera la señal de reconocimiento por parte del sensor del dato que fue enviado. Esta señal de reconocimiento es esperada por cada dato enviado al sensor. Después de enviar la dirección se envía el valor del registro al que se desea acceder y se envía el dato a ingresar al registro ya accedido, finalmente se observa la señal de fin de comunicación.

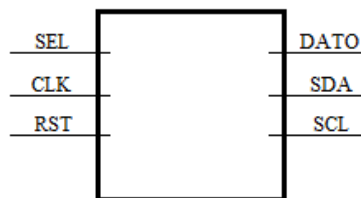


Figura 6 Bloque para la Configuración del sensor.

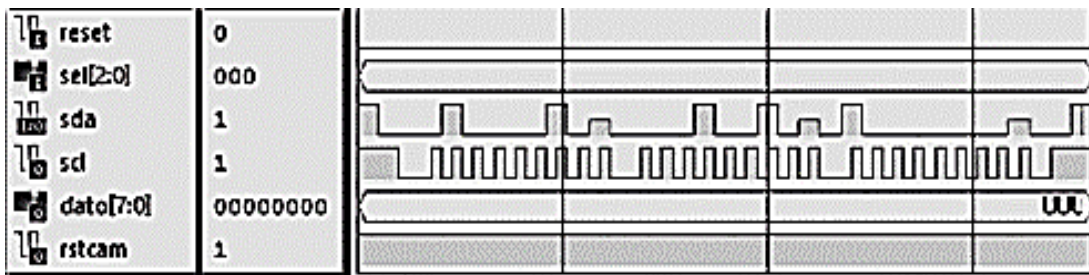


Figura 7 Simulación del ciclo de transmisión de 3 fases de escritura.

El sensor contiene 8 pines de salida para el envío de los datos, es decir, que el sensor de imagen envía datos Byte por Byte. Sin embargo, para el formato deseado RGB565, los pixeles contienen dos bytes, es por ello que se diseñó un bloque para recibir los datos de 8 bits y después unirlos. En la figura 8 se muestra el diagrama de tiempos para el formato RGB565.

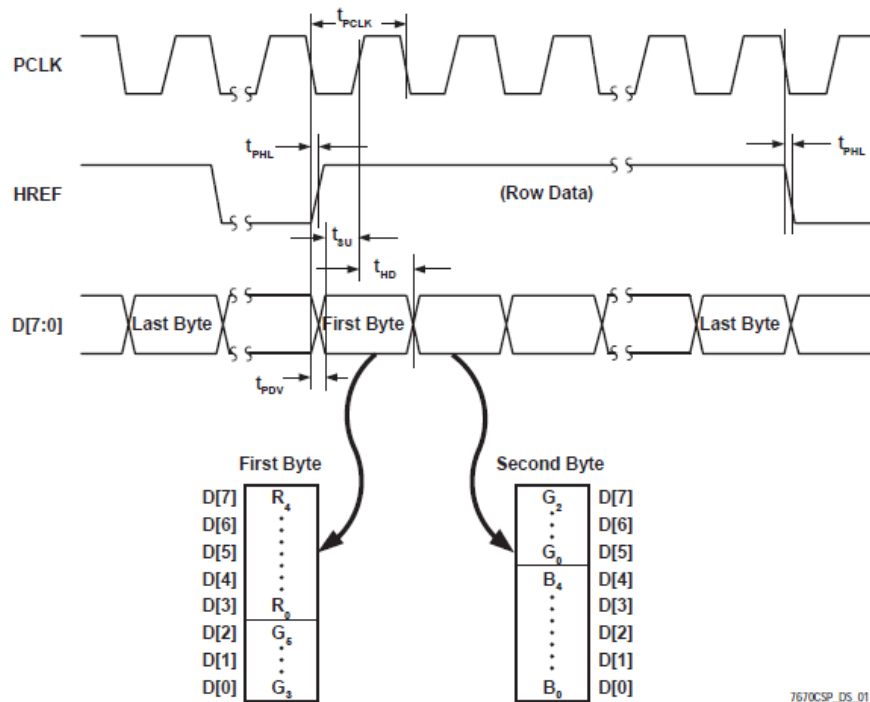


Figura 8 Diagrama de tiempo para el envío de datos para el formato RGB565.

El almacenamiento de la imagen en la memoria se muestra en el diagrama a bloques de la figura 9. El sensor envía datos de 8 bits y para recibir los pixeles completos de 16 bits (formato RGB565), es necesario recibir el primer dato y almacenarlo temporalmente, después leer el segundo dato y unirlo con el primero y finalmente almacenarlo en una dirección de la memoria. Se observa el bloque que recibe los datos provenientes del sensor de imagen, en el cual el primer dato es almacenado en REG8 y cuando llega el segundo dato, éste es enviado con el primero al bloque PIX2BYTE el cual en su salida mandara los pixeles reales. En el bloque de la figura 10, se observa la entrada MCLK para la sincronía de los datos, la señal de Reset, PERMISO como la señal que envía el usuario, IMG_FIN

que indica que la imagen ha terminado de almacenarse, DIN la cual recibe los datos de la cámara para ser unidos, DOUT la salida de los pixeles de 16 bits, PCLK para la sincronía de los datos a recibir por parte del sensor de imagen, HREF y VSYNC para sincronizar la imagen y finalmente ADDR la cual indica la dirección de la memoria a la que se desea tener acceso para almacenar el pixel.

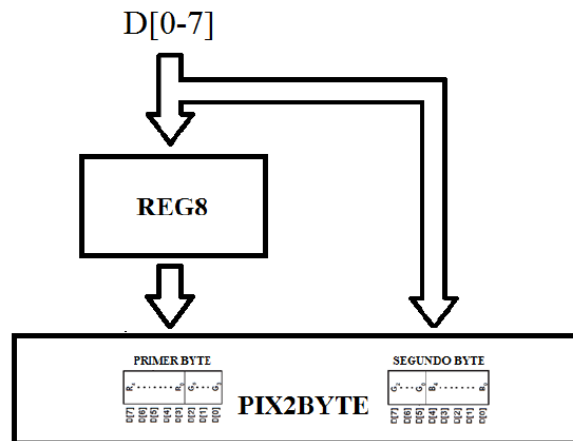


Figura 9 Diagrama a bloques para recibir pixeles.

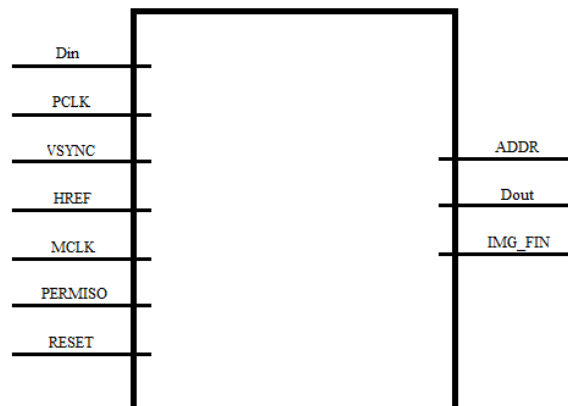


Figura 10 Bloque de recepción y almacenamiento de imagen.

En la figura 11 se presenta la simulación de la recepción y almacenamiento de la imagen. Primero se espera la señal de permiso por parte del usuario. Después se espera que la cámara envíe la señal de VSYNC para indicar que vendrá una nueva imagen, y finalmente se espera la señal de HREF por parte de la cámara indicando que comenzará a enviar los primeros datos de la primera línea de la imagen.

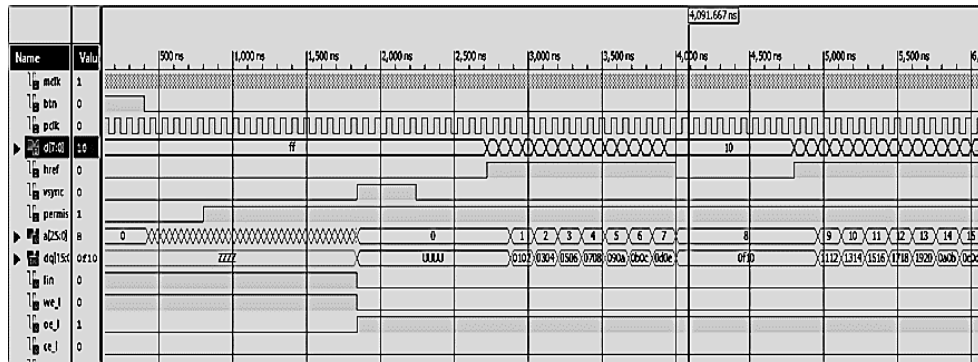


Figura 11 Simulación de recepción y almacenamiento de imagen.

En esta simulación se aprecia que se recibe el primer dato en el primer ciclo de reloj en el instante que HREF cambia su estado de bajo a alto; en el segundo ciclo se recibe el segundo dato, es decir, en dos ciclos ya se tiene el primer pixel completo, en el tercer ciclo se tiene el pixel completo y se manda a una dirección de la memoria, en este caso es la dirección uno.

Para mostrar la imagen por medio del puerto VGA a un monitor, es necesario sincronizar tanto la señal horizontal como la vertical de la imagen, por ello se ha diseñado un bloque como se muestra en la figura 12 con salidas SYNCH Y SYNCV las cuales generan la sincronización de toda la imagen.

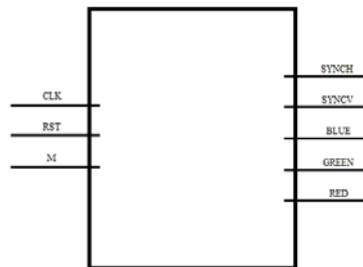


Figura 12 Bloque para envío de imagen a monitor.

Para tener estas señales se utiliza la señal CLK para la sincronía de los mismos, se tiene el puerto RST que permite inicializar las señales a sus valores iniciales. La entrada 'M' está conectada al puerto de entrada y salida de datos de la memoria a utilizar. Las salidas RED, GREEN y BLUE envían por el puerto VGA los valores de los colores de los pixeles de la imagen. Una vez que se ha almacenado la imagen de 640X480 pixeles, es decir, los 307200 pixeles enviada por el sensor, se prosigue a ser mostrada en el monitor.

3. Resultados

Configuración del sensor

Como se ha mencionado anteriormente la configuración del sensor de imagen se realiza mediante dos líneas de transmisión, SDA y SCL. Es por ello que en este punto se mostrarán los resultados obtenidos de estas dos señales de transmisión de datos.

En la figura 14 se muestra la pantalla de un osciloscopio en la que se presenta una de las configuraciones que se realizan al sensor de imagen, en la cual se observa el envío de la dirección de esclavo con el número 0X42 en valor hexadecimal; después se envía un número de registro y finalmente un dato. También es posible observar que el bit de reconocimiento está en estado bajo, es decir, que el esclavo o en este caso el sensor de imagen ha aceptado el dato que se le ha enviado, por lo tanto la transición de datos continúa hasta que se halla enviado el tercer dato. Analizado este resultado se puede concluir que el sensor ha sido configurado correctamente utilizando el sistema de configuración del sensor.

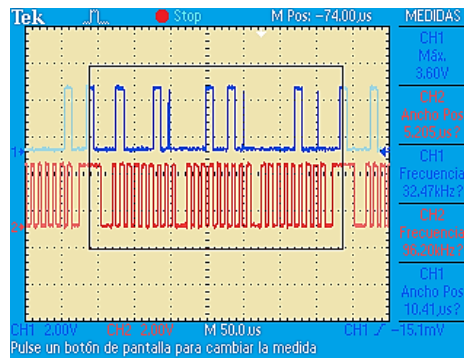


Figura 14 Configuración del sensor.

En las pruebas realizadas a este sistema se realizó el envío de una configuración del sensor con una dirección de esclavo diferente a la que indica la hoja de datos del fabricante. En la figura 15 se muestra el resultado de esta prueba, en la que la dirección enviada es rechazada por el sensor de imagen respondiendo con una señal de NO reconocimiento y por lo tanto terminando la transmisión de datos.

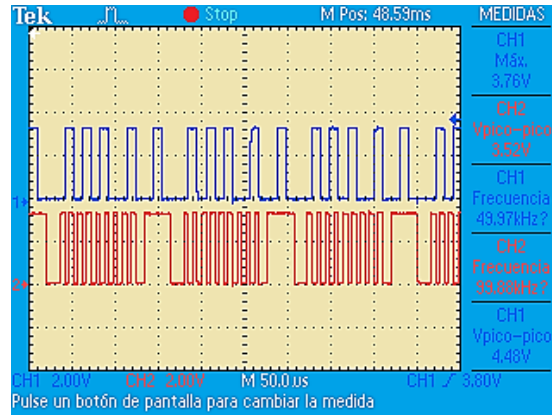


Figura 15 Dirección de esclavo incorrecta rechazada por el sensor de imagen.

La dirección de esclavo enviada es 0X54 en valor hexadecimal. Se observa que el envío de la dirección de esclavo es repetido ya que es una dirección inválida. Se puede concluir de esta prueba que el sistema responde correctamente cuando se envía un dato inválido para el dispositivo esclavo que se desea utilizar.

Almacenamiento y visualización en monitor de la imagen.

En este punto se muestran en primer lugar los resultados obtenidos del almacenamiento de la imagen en la memoria RAM de la tarjeta NEXYS 3 de DIGILENT. En esta prueba se realizó la adquisición de la imagen de un objeto utilizando el sensor de imagen. Para los resultados de este almacenamiento de la imagen se hace uso de la aplicación ADEPT de DIGILENT para extraer los datos contenidos en la memoria RAM. Los datos serán copiados en un archivo de texto con extensión *.BIT como se muestra en la figura 16.



Figura 16 Datos contenidos en la memoria RAM.

Para la comprobación de estos datos del muestreo de la imagen se hace uso de la herramienta MATLAB, la cual es utilizada solo para verificar que los pixeles se están guardando correctamente. En la figura 17 se muestra la imagen en cuatro ventanas interpretada por MATLAB, mostrada en formato RGB y en sus tres capas diferentes.

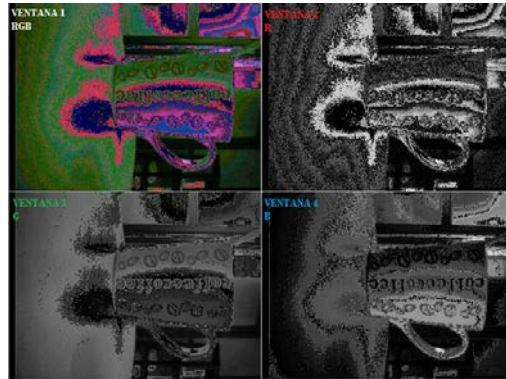


Figura 17 Imagen almacenada en la memoria RAM.

En la ventana 1 se tiene la imagen tomada por el sensor en formato RGB565. En la ventana 2 se tiene la capa de color rojo que compone la imagen, se aprecia que esta capa se encuentra muy distorsionada por lo cual afecta en gran cantidad a la imagen RGB de la ventana 1. En la ventana 3 se tiene la capa del color verde la cual al estar compuesta de parte de un primer dato (RRRRRGGG) y parte de un segundo dato (GGGBBBBB) se puede apreciar partes muy claras. Finalmente en la ventana 4 se tiene la capa azul, la cual se observa toda la imagen parte clara y parte distorsionada.

En la figura 18 se muestra integrado todo el sistema de adquisición de imágenes. Se puede observar la cámara CMOS, la tarjeta NEXYS de DIGILENT con un SPARTAN 6 y el monitor VGA. El objeto para la adquisición es una taza de café.



Figura 18 Sistema integrado.

Por último, en la figura 19 se muestra el resultado final de nuestra implementación. Como puede observarse, ha de quedar para un trabajo posterior la eficiencia en la resolución de la imagen, para lo cual sugerimos se considere revisar el enfoque.



Figura 19 Resultado hasta el momento del sistema de adquisición de imagen.

4. Discusión

Este sistema de adquisición de imágenes puede ser utilizado para adquirir imágenes de mayor calidad utilizando el sensor de imagen OV4657, el cual ofrece mayores prestaciones de resolución. Este sensor cuenta con la mayoría de los pines utilizados por nuestro sistema, así como el protocolo de comunicación SCCB. La diferencia es que en lugar de recibir 8 bits se puede incrementar a 10 bits, lo cual afecta directamente en la eficiencia de resolución y puede implementarse fácilmente.

Aunque el sistema es capaz de adquirir la imagen correcta que el sensor está enviando, y puede configurar el sensor modificando los registros contenidos en dicho dispositivo, se sugiere tener un mejor enfoque se la cámara, ya que actualmente es uno de los problemas que habrá que resolver en trabajos posteriores.

5. Conclusiones

Se han presentado en este artículo los resultados de la implementación en FPGA de un sistema de adquisición de imágenes. Se ha desarrollado el software usando la plataforma ISE de Xilinx, y como hardware una tarjeta prototipo Nexys 3 con un FPGA Spartan 6 fabricada por DIGILENT.

Durante el desarrollo de este trabajo se adquirió un aprendizaje más profundo del comportamiento del sensor de imagen utilizado, desde su configuración hasta la adquisición de los datos que éste enviaba. La configuración nos permitió conocer más a fondo el comportamiento del protocolo SCCB

La implementación de la adquisición de la imagen nos ha aportado el conocimiento sobre diversos formatos utilizados en los sensores de imagen, así mismo también nos ha permitido conocer las diferentes formas en que el sensor puede enviar los pixeles de una imagen.

Podemos concluir que con el desarrollo del presente proyecto se logró la configuración correcta del sensor de imagen, el cual para poder comunicarse utiliza el protocolo de comunicación SCCB. Así mismo se logró la adquisición correcta de los datos enviados por el sensor utilizando las señales de sincronización vertical como la horizontal. Una vez que los datos podían ser recibidos correctamente se logró almacenarlos en una memoria RAM para que posteriormente se pudiera mostrar una imagen con los datos de la memoria en un monitor VGA.

Quedará como trabajo posterior, mejorar la eficiencia en la adquisición de la imagen, para lo cual proponemos el uso de un sensor de imagen de alta resolución, como lo es el sensor OV5647 ya que utiliza el mismo protocolo de comunicación SCCB. Además está construido por el mismo fabricante del sensor que se utiliza en este trabajo, es decir, OMNIVISION.

6. Bibliografía y Referencias

- [1] S. Hazra, S. Ghosh, S. P. Maity, H. Rahaman, "A New FPGA and Programmable SoC Based VLSI Architecture for Histogram Generation of Grayscale Images for Image Processing Applications". *Procedia - Procedia Comput. Sci.* Vol. 93. No. September 2016. Pp. 139–145.
- [2] A. Kumar, P. Rastogi, P. Srivastava, "Design and FPGA Implementation of DWT , Image Text Extraction Technique". *Procedia - Procedia Comput. Sci.* Vol. 57. 2015. Pp. 1015–1025.

- [3] M. G. Lorenz, L. Mengibar-pozo, M. A. Izquierdo-gil, "Sensors and Actuators A: Physical High resolution simultaneous dual liquid level measurement system with CMOS camera and FPGA hardware processor". *Sensors Actuators A. Phys.* Vol. 201. 2013. Pp. 468–476.
- [4] I. Bravo, J. Baliñas, A. Gardel, J. L. Lázaro, F. Espinosa, J. García, "Efficient smart CMOS camera based on FPGAs oriented to embedded image processing" *Sensors*. Vol. 11. No. 3. 2011. Pp. 2282–2303.
- [5] L. Tian, X. Liu, J. Li, and X. Guo, "Image preprocessing of CMOS image acquisition system based on FPGA". *Int. J. Digit. Content Technol. its Appl.* Vol. 6. No. 20. 2012. Pp. 130–139.
- [6] S. Akram, M. Dar, A. Quyoum, "Document Image Processing- A Review". *Int. J. Comput. Appl.* Vol. 10. No. 5. Pp. 35–40.
- [7] E. Monmasson, L. Idkhajine, M. W. Naouar, "FPGA-based Controllers". *IEEE Ind. Electron. Mag.* Vol. 5. No. 1. Mar. 2011. Pp. 14–26.
- [8] A. Cabrera Aldaya, "Controlador empotrado en FPGA para Sistema Inteligente de Transporte". 2011. Pp. 35–44.
- [9] I. U. A. H. Sánchez, *Diseño de IP-Cores para Procesamiento de Imágenes en una Plataforma de Hardware Reconfigurable*. 2014. INSTITUTO TECNOLÓGICO DE ORIZABA.
- [10] B. Yan, Y. Sun, F. Ding, H. Yuan, "Design of CMOS Image Acquisition System Based on FPGA". 2011. Pp. 1726–1730.
- [11] Kioskea.net, "El sensor de imágenes". 2014.
- [12] G. Description, A. Information, P. Datasheet, and K. Specifications, OV7670/OV7171 CMOS VGA (640x480) CAMERACHIPTM Sensor with OmniPixel® Technology. Converter. 2004. Pp. 1–32.
- [13] P. Port, "N e x y s 3 T M B o a r d R e f e r e n c e M a n u a l". Vol. 99163. No. 509. 2013. Pp. 1–22.
- [14] OmniVision, *OmniVision Serial Camera Control Bus (SCCB) Functional Specification*, Int. Rectifier, 2003. Pp. 1–24.

- [15] J. C. D. Vazquez, J. J. A. F. Cuautle, "Comunicación serial FPGA Cámara CMOS para lectura y escritura de datos mediante el protocolo SCCB". Vol. 3. 2015. Pp. 191–196.

7. Autores

Ing. José Carlos Delgado Vázquez es Ingeniero en Electrónica por el Instituto Tecnológico de Orizaba y actualmente cursa estudios de Maestría en Ing. Electrónica en la División de Estudios de Posgrado e Investigación del mismo instituto.

Dr. Mario Alberto García Martínez obtuvo su grado de Doctor en Ingeniería Eléctrica en el CINVESTAV del IPN y actualmente se desempeña como Profesor-Investigador en el Instituto Tecnológico de Orizaba en la Maestría en Ing. Electrónica.

Dr. Rubén Posada Gómez es Doctor en Ingeniería Electrónica por el Institut National Polytechnique de Lorraine, Francia, y actualmente se desempeña como Profesor-Investigador en el Instituto Tecnológico de Orizaba en la Maestría en Ing. Electrónica.

Dr. Ignacio Herrera Aguilar obtuvo su grado de Doctor en Ing. Electrónica por la Universidad Paul Sabatier, Toulouse, Francia, y actualmente se desempeña como Profesor-Investigador en el Instituto Tecnológico de Orizaba en la Maestría en Ing. Electrónica