

## 10進デジタルLSI回路 (2)実測結果

## Decimal Digital LSI Circuits (2) Experimental results

波多野 裕\*、村松 一矢\*\*、里中 勝己\*\*\*、山本 毅\*\*\*\*

Hiroshi HATANO, Kazuya MURAMATSU, Katsumi SATONAKA and Tsuyoshi YAMAMOTO

Abstract : Three different decimal LSI circuits, a decimal adder, a BCD to decimal decoder and a seven-segment decoder have been successfully fabricated utilizing a double polysilicon and double metal  $1.2\mu\text{m}$  CMOS process. The newly designed decimal adder and BCD to decimal decoder both using an original gate array technology, have been confirmed to function correctly by fabricated chip measurements. The experimental results have also shown that the seven-segment decoder circuit for a seven-segment LED display operates correctly.

## 1. 緒言

分かり難い2進数表示であるデジタル回路を、分かり易い10進数表示に近づける工夫の一環として、10進加算回路、BCD-10進デコーダ回路および10進数を表示する7セグメントデコーダ回路に着目して設計試作を行っている。既報の“10進デジタルLSI回路(1)回路設計”<sup>1)</sup>においては、各回路の回路構成とレイアウト設計について報告した。

今回、10進加算回路、BCD-10進デコーダ回路および10進数を表示する7セグメントデコーダ回路を2層ポリシリコン2層アルミ $1.2\mu\text{m}$ CMOSプロセス<sup>2)3)4)</sup>を用いて試作して、試作チップの実測を行った。本論文ではシミュレーション結果の詳細と試作回路の実測結果を報告する。

## 2. 10進加算回路

2.1 回路シミュレーション<sup>5)</sup>

2層ポリシリコン2層アルミ $1.2\mu\text{m}$ CMOSプロセスを用いてゲートアレイ方式で10進加算回路を設計した。

NMOSトランジスタのゲート長は $1.5\mu\text{m}$ 、PMOSトランジスタのゲート長は $1.5\mu\text{m}$ で、実効チャンネル長はNMOSトランジスタが $0.9\mu\text{m}$ でPMOSトランジスタが $0.8\mu\text{m}$ である。ゲート酸化膜厚は $25\text{nm}$ である。

ゲートアレイを構成するベーシックセルのNMOSトランジスタのチャンネル幅は $40\mu\text{m}$ 、PMOSトランジスタのチャンネル幅は $40\mu\text{m}$ で設計した。

10進加算回路はこのベーシックセルを63使用して設計した。配線領域を含めた占有面積は $189052\mu\text{m}^2$ である。

図1に10進加算回路のSPICEによるシミュレーション結果を示す。シミュレーションに用いたワークステーションはSUN Ultra5(AS7000/U5)、CPUはUltraSPARC-III(270MHz)、メインメモリは64MB、補助記憶装置は4.3GB、オペレーティングシステムはSolaris 2.6である。

入力A0、A1、A2、A3、B0、B1、B2、B3、C-1に対する出力D0、D1、D2、D3、Cdのシミュレーション波形を示す。既報の“10進デジタルLSI回路(1)回路設計”の表1の真理値表と比較して正しく動作していることを確認する事ができた。入力信号を繰り返しパルスで作成したため、800nsの前後で同一の出力が2サイクル繰り返されている。

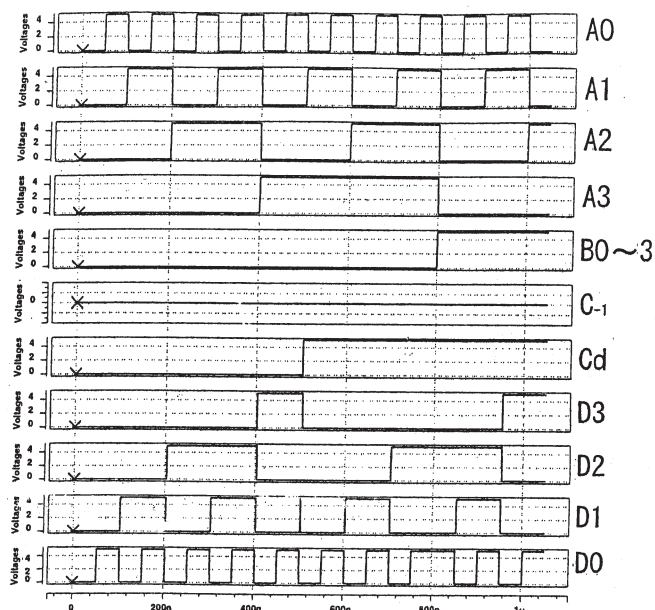


図1 10進加算回路のシミュレーション結果  
横軸：時間[s] 縦軸：電圧[V]

2007年2月15日受理

\* 理工学部 電気電子情報工学科

\*\* 理工学部 電子工学科卒業生 (現在 山下工業 (株))

\*\*\* 理工学部 電子工学科卒業生 (現在 JA)

\*\*\*\* 理工学部 電子工学科卒業生 (現在 浜松ホトニクス (株))

2.2 実測結果

2層ポリシリコン2層アルミ1.2 $\mu$ mCMOSプロセスを

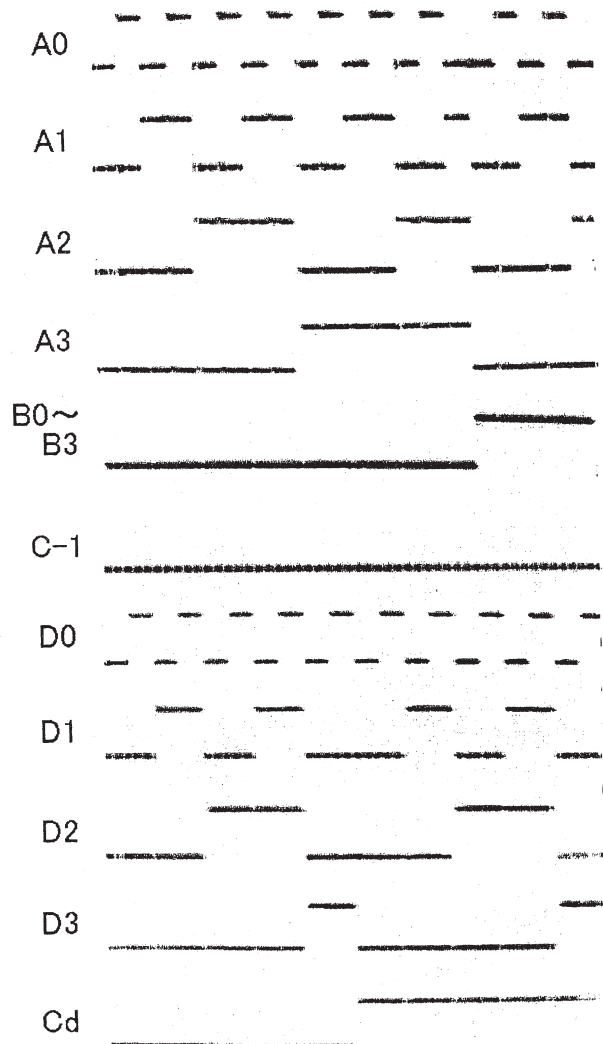


図2 10進加算回路の実測結果

横軸：時間[10 $\mu$ s/div.]縦軸：電圧[5V/div.]

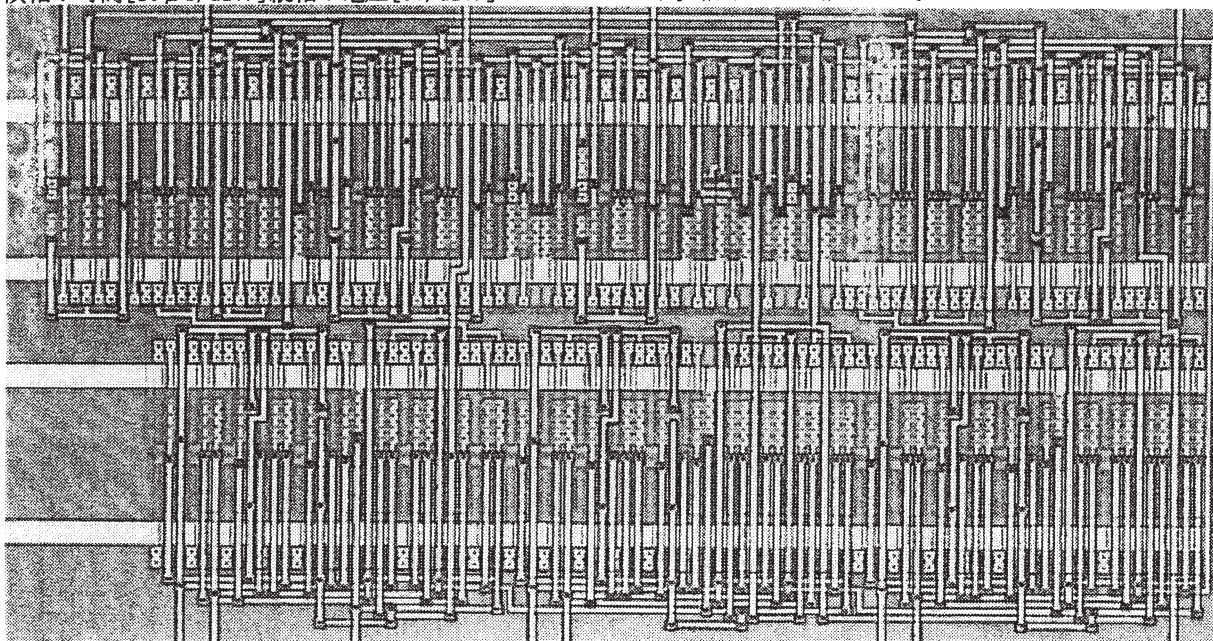


図3 10進加算回路の顕微鏡写真（倍率：200倍）

用いて試作した10進加算回路の実測波形を図2に示す。入力A0の周波数は100kHzである。既報の“10進デジタルLSI回路(1)回路設計”の表1の真理値表と比較して正しく動作していることを確認する事ができた。また、図1のシミュレーション波形において500ns付近で出力D1に出ているグリッチは図2では観測されなかった。

図3に試作した10進加算回路の顕微鏡写真を示す。倍率は200倍である。

3. BCD-10進デコーダ回路<sup>6)</sup>

3.1 シミュレーション結果

2層ポリシリコン2層アルミ1.2 $\mu$ mCMOSプロセスを用いてゲートアレイ方式でBCD-10進デコーダ回路を設計した。

NMOSトランジスタのゲート長は1.5 $\mu$ m、PMOSトランジスタのゲート長は1.5 $\mu$ mで、実効チャネル長はNMOSトランジスタが0.9 $\mu$ mでPMOSトランジスタが0.8 $\mu$ mである。ゲート酸化膜厚は25nmである。

ゲートアレイ方式で設計したBCD-10進デコーダ回路は34のベーシックセルを使用している。

図4にBCD-10進デコーダ回路のSPICEによるシミュレーション結果を示す。既報の“10進デジタルLSI回路(1)回路設計”の表2の真理値表と比較して正しく動作していることを確認する事ができた。

3.2 実測結果

2層ポリシリコン2層アルミ1.2 $\mu$ mCMOSプロセスを用いて試作したBCD-10進デコーダ回路の実測波形を図5に示す。入力A0の周波数は100kHzである。図4のシミュレーション波形と比較して正しく動作していることを確認する事ができた。

図6に試作したBCD-10進デコーダ回路の顕微鏡写真を示す。倍率は200倍である。

4. 7セグメントデコーダ回路

4.1 シミュレーション結果<sup>7)</sup>

2層ポリシリコン2層アルミ1.2 $\mu$ m CMOSプロセスを用いて2ビット全加算器を含む7セグメントデコーダ回路を設計した。

NMOSトランジスタのゲート長は1.5 $\mu$ m、PMOSトランジスタのゲート長は1.5 $\mu$ mで、実効チャネル長はNMOSトランジスタが0.9 $\mu$ mでPMOSトランジスタが0.8 $\mu$ mである。ゲート酸化膜厚は25nmである。

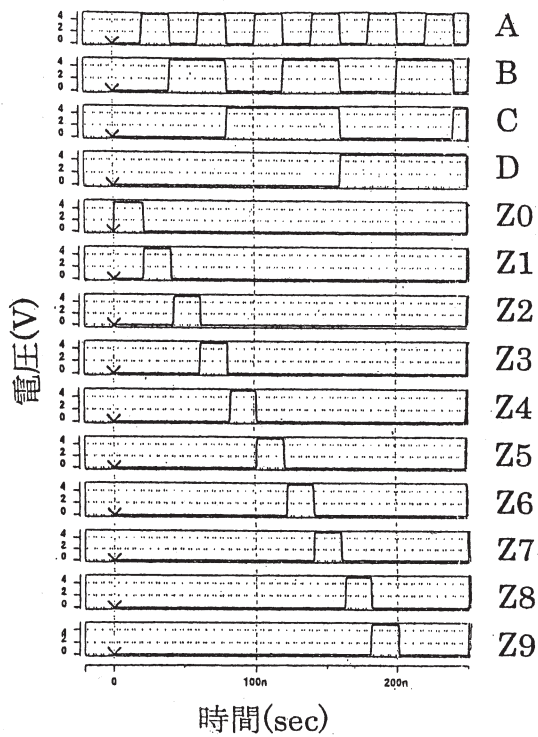


図4 BCD-10進デコーダ回路のシミュレーション結果

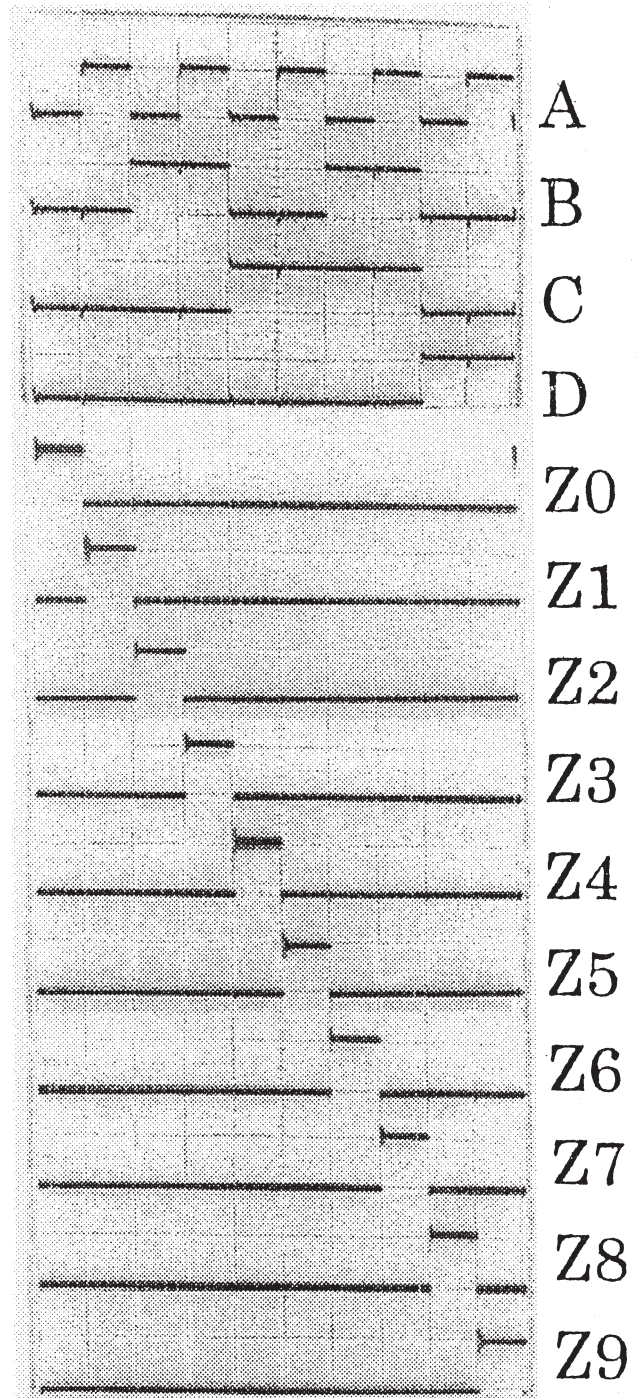


図5 BCD-10進デコーダ回路の実測結果  
横軸：時間[10 $\mu$ s/div.] 縦軸：電圧[5V/div.]

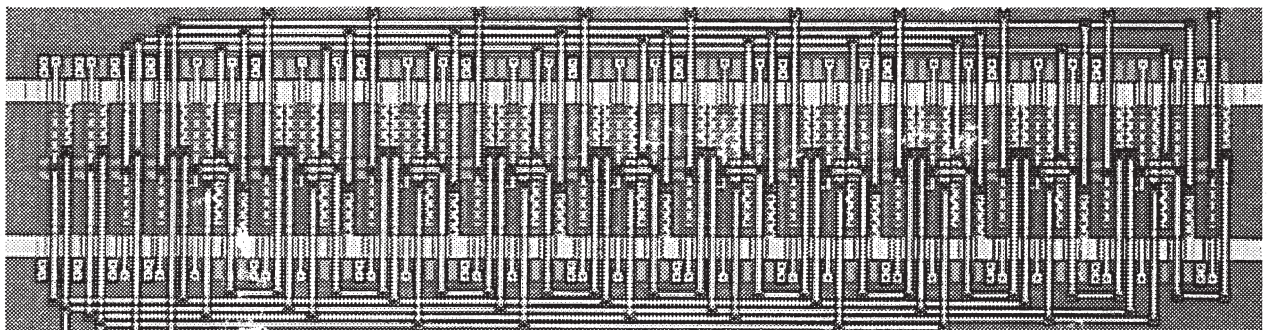


図6 BCD-10進デコーダ回路の顕微鏡写真(倍率：200倍)

図7に2ビット全加算器の入力A0、A1、B0、B1、Cin、および7セグメントデコーダの出力a、b、c、d、e、f、g

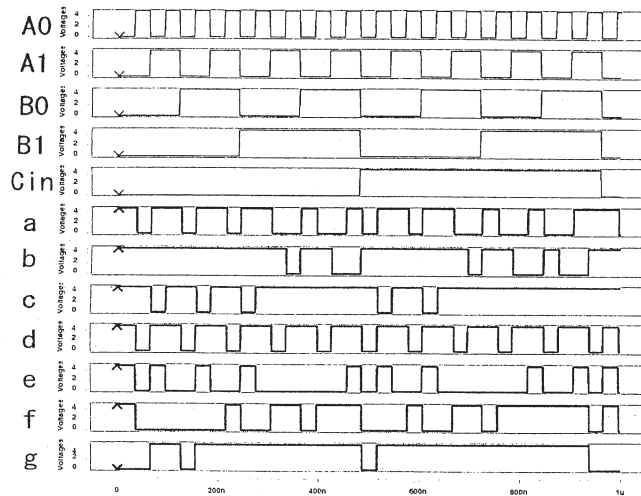


図7 7セグメントデコーダ回路のシミュレーション結果  
横軸：時間[s] 縦軸：電圧[V]

のSPICEによるシミュレーション結果を示す。既報の“10進デジタルLSI回路(1)回路設計”の図9のタイミングチャートと比較して正しく動作していることを確認する事ができた。

#### 4.2 実測結果

2層ポリシリコン2層アルミ $1.2\mu\text{m}$ CMOSプロセスを用いて試作した7セグメントデコーダ回路の実測波形を図8に示す。入力A0の周波数は100kHzである。図7のシミュレーション波形と比較して正しく動作していることを確認する事ができた。

図9に試作した7セグメントデコーダ回路の顕微鏡写真を示す。倍率は200倍である。

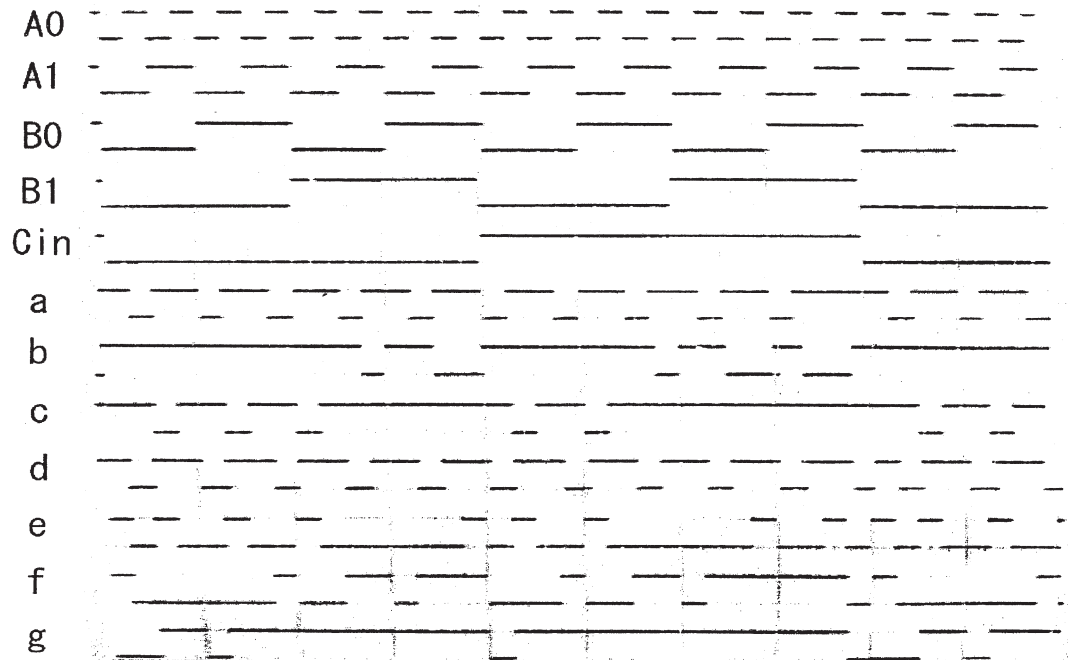


図8 7セグメントデコーダ回路の実測結果  
横軸：時間[ $20\mu\text{s}/\text{div.}$ ] 縦軸：電圧[ $5\text{V}/\text{div.}$ ]

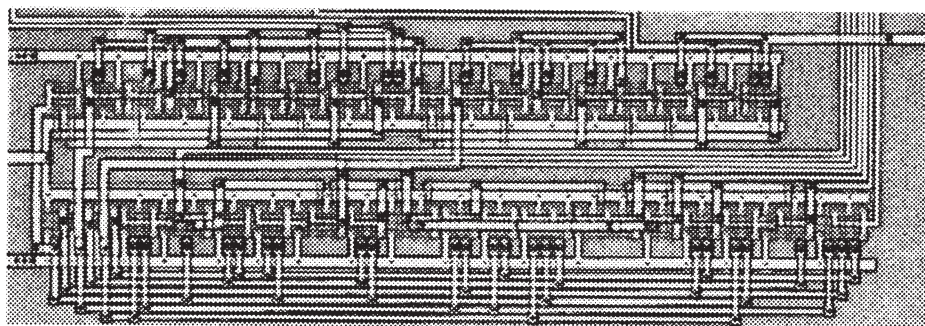


図9 7セグメントデコーダ回路の顕微鏡写真  
(倍率：200倍)

## 5. 結言

10進数を扱うことのできるデジタル回路としてBCDコード10進加算回路、BCD-10進デコーダ回路および10進数を表示する7セグメントデコーダ回路を2層ポリシリコン2層メタル1.2 $\mu$ m CMOSプロセスを用いて試作した。

試作した10進加算回路、BCD-10進デコーダ回路、および7セグメントデコーダ回路を実測してシミュレーション通りの機能動作の確認に成功した。

各回路の動作限界を試作チップの実測により検討することが今後の課題である。VDEC等の測定装置を使用することも必要である。

10進デジタル回路の検討の一環として、今回報告した3種類の回路に加えて、10進計数回路の設計試作<sup>8)</sup>も進めている。

## 謝辞

10進加算回路の試作に関しては2005年度卒研生の鈴木博也君（現在、浜松ホトニクス）、測定に関しては2006年度卒研生の加治寛己君（現在、三栄ハイテックス）の協力があつた。BCD-10進デコーダ回路の測定に関しては2005年度卒研生の田力正徳君（現在、デンソーテクノ）の協力があつた。また、試作チップの顕微鏡写真の撮影は2006年度卒研生の鈴木剛弘君（現在、浜松ホトニクス）らが担当した。記して謝意を表す。

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センター（VDEC）を通しオンセミコンダクター（株）、日本モトローラ（株）、HOYA（株）、京セラ（株）の協力で行われたものである。

## 参考文献

- 1) 波多野 裕, 村松一矢, 里中勝己, 山本毅, “10進デジタルLSI回路(1)回路設計”, 静岡理科大学紀要, 第14巻, pp.37-41, 2006.
- 2) T.Ochiai and H.Hatano, “DC characteristic simulation for floating gate neuron MOS circuits”, IEE Electronics Letters, vol.35, no. 18, pp.1505-1507, 1999.

- 3) T.Ochiai and H.Hatano, “A proposition on floating gate neuron MOS macromodeling for device fabrications”, IEICE Trans. Fundamentals of Electronics, Communications and Computer Sciences, vol.E82-A, no. 11, pp. 2485-2491, 1999.
- 4) T.Ochiai and H.Hatano, “A low temperature DC analysis utilizing a floating gate neuron MOS macromodel”, IEICE Trans. Electron., vol.E86-C, pp. 1114 -1116, 2003.
- 5) 村松一矢, “10進加算回路の設計”, 静岡理科大学2004年度卒業論文.
- 6) 里中勝己, “フルカスタム及びゲートアレイ方式による復号器の設計試作”, 静岡理科大学2004年度卒業論文.
- 7) 山本毅, “7セグメントCMOS回路と高性能化検討用テスト回路”, 静岡理科大学2004年度卒業論文.
- 8) 天野知弥, 内田昂志, “10進計数回路の設計”, 静岡理科大学2006年度卒業論文.