

CMOS比較回路（2）位相比較回路

CMOS Comparator Circuits (2) A phase comparator circuit

波多野 裕*、横井 和輝**
Hiroshi HATANO and Kazuki YOKOI

Abstract : A CMOS phase comparator circuit has been successfully designed and fabricated using a double polysilicon and double metal 1.2 μm CMOS technology. The designed phase comparator has confirmed to function correctly by SPICE simulations. Furthermore, the fabricated comparator has confirmed to function correctly by chip measurements.

1. 緒言

既に、“CMOS比較回路(1)4ビット大小比較回路”¹⁾において、入力値の大きさを比較する比較回路について報告した。本論文では2入力の位相差を比較する位相比較器の設計方法と動作について記述する。位相比較器はPLL(Phase Locked Loop)回路において入力信号とVCO(電圧制御発振器)との位相差を比較するために使用されている。位相比較器には回路構成によりアナログとデジタルとがある。今回設計した位相比較器はフリップフロップ型に分類されるデジタル回路である。

位相比較器を2層ポリシリコン2層アルミニウムウェルCMOSプロセス²⁻⁴⁾で設計試作した。本論文では回路設計、レイアウト設計、シミュレーション結果、および試作回路の実測結果について報告する。

2. PLL回路

PLL回路は、入力信号や基準周波数に対して周波数や位相のズレのない出力信号を生成する回路である。PLL回路の基本構成を図1に示す。PLL回路は2信号間の位相差を比較して位相差信号を発生する位相比較器、交流成分をカットするループフィルタ、VCO(電圧制御発振器)の3つで構成されている。一般に、VCO出力からの信号位相が進んでいけば発振周波数を下げて位相を遅らせ、発振器出力が遅れていけば発振周波数を上げて位相を進め、基準信号との位相差が0となるようにVCOを制御している。

PLL回路を利用すると、FMまたはAM信号の復変調や特定周波数の信号の検出、周波数の変換などが実現できる。例えば、PCのマザーボード上においてCPUやチップセットに与えるクロック信号を生成する回路にこのPLL回路が組み込まれている。単一の発振器からジャン

パ設定を行うことでさまざまな周波数のクロック信号を選んで出力できるようにしている。

3. 回路構成

位相比較器の論理回路図およびトランジスタ回路図を図2に示す。この位相比較器は入力信号のどちらか一方の立ち上がりエッジを検出して位相比較を開始し、もう片方の信号の立ち上がりエッジで位相比較を終了する。

この位相比較器の特徴は、レベル動作でないために入力信号のデューティが50%である必要がないことや高調波にロックしないためにロックレンジの広いPLL回路を作れることである。しかし、エッジ動作であるため入力のノイズに敏感であること、出力にハイインピーダンス状態を作り出す時間が長くなるため出力側もノイズを拾いやすいと言う欠点がある。

高精度のPLL回路を実現するためには高速な位相比較器が必要とされる。

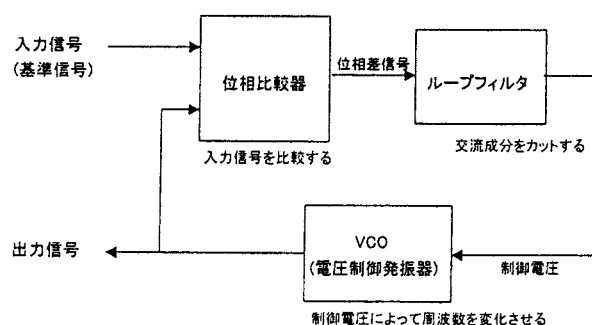


図1 PLL回路の基本構成

2010年3月15日受理

* 理工学部 電気電子工学科

**理工学部 電気電子情報工学科卒業生 (現在、三栄ハイテックス(株))

4. 論理動作

4.1 入力 A と入力 B の位相が一致しているとき

入力 A と入力 B の位相が一致しているときの論理状態を図 3 に示す。2つの入力信号の位相差を検出していないときでは、出力は $X=1$, $Y=Z$ である。Z は高インピーダンス状態にあることを示す。また、この状態を初期状態とする。

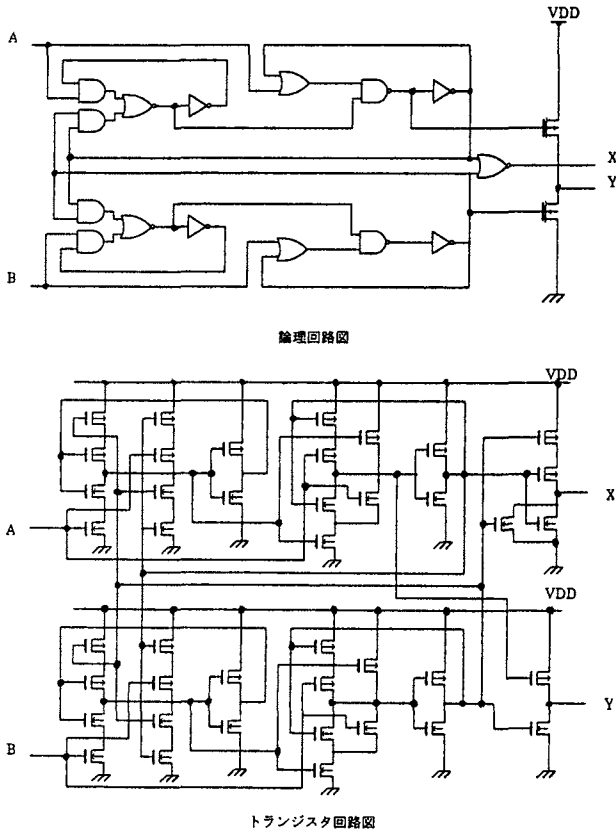


図 2 位相比較器の論理回路図及びトランジスタ回路図

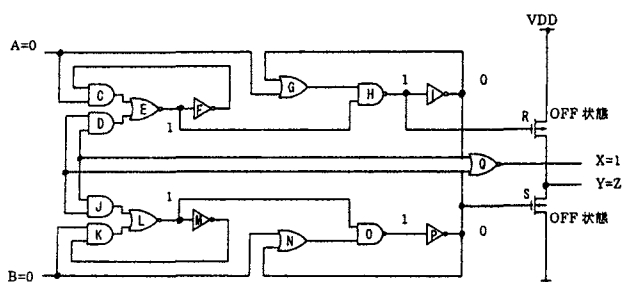


図 3 位相が一致しているときの論理状態

4.2 入力 A が入力 B より進んでいるとき

入力 A が入力 B より進んでいるときの論理動作を図 4 に示す。入力 A が 1 になると、ゲート G の出力が 1 になる。すると、ゲート H の出力が 0 となるので R の pMOS トランジスタが ON 状態になる。よって、出力 Y は 1 になる。また、ゲート I の出力が 1 となるためゲート Q の出力が 0 となる。したがって、出力 X は 0 となる。

次に、入力 B が 1 になるとゲート N の出力が 1 になる。すると、ゲート O の出力が 0 になるのでゲート P の出力が 1 となる。ここで、S の nMOS トランジスタが ON 状態になるので出力 Y は 0 になる (図 4 の論理状態 I)。そして、入力 A 側においてゲート D の出力が 1 となりゲート E の出力が 0 となる。よって、ゲート H の出力が 1 になる。したがって、R の pMOS トランジスタが OFF 状態になる。

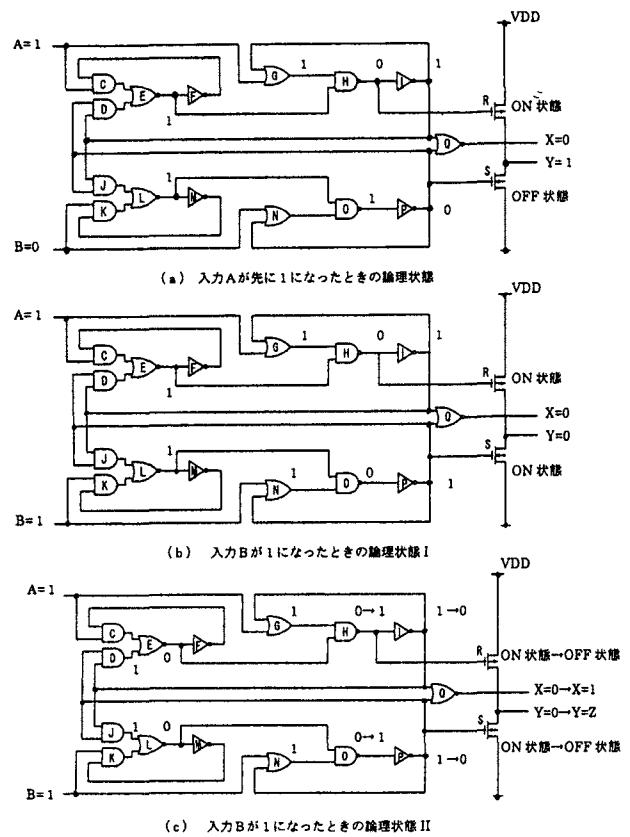


図 4 入力 A が進み位相のときの論理動作

また、入力 B 側においてゲート J の出力が 1 となり、ゲート L の出力が 0 になる。よって、ゲート O の出力が 1 となりゲート P の出力が再び 0 になる。したがって、S の nMOS トランジスタは OFF 状態になる。

最終的に、ゲート Q の出力が 1 となるので出力 X は 1 になる。出力 Y は高インピーダンス状態になる (図 4 の論理状態 II)。

4.3 入力 A が入力 B より遅れているとき

入力 A が入力 B より遅れているときの論理動作を図 5 に示す。入力 B が 1 になるとゲート N の出力が 1 になる。すると、ゲート O の出力が 0 となるのでゲート P の出力が 1 となる。よって、S の nMOS トランジスタが ON 状態になり出力 Y は 0 になる。また、ゲート Q の出力が 0 となるため出力 X は 0 となる。

次に、入力 A が 1 になるとゲート G の出力が 1 になる。すると、ゲート H の出力が 0 となるので R の pMOS トランジスタが ON 状態になる。ここで、出力 Y は 0 のままである (図 5 の論理状態 I)。

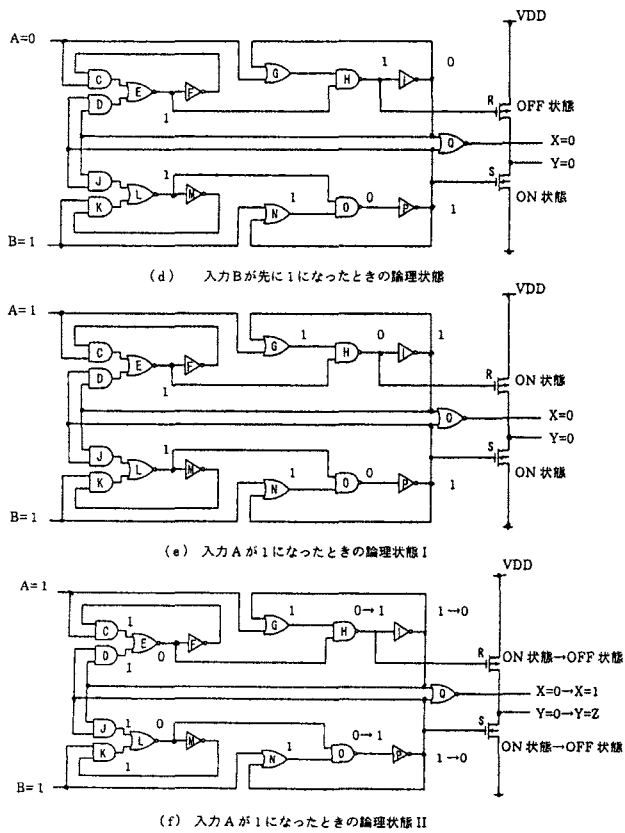


図 5 入力 A が遅れ位相のときの論理動作

そして、入力 A 側においてゲート D の出力は 1 となりゲート E の出力が 0 になる。よって、ゲート H の出力が 1 となる。したがって、R の pMOS トランジスタが OFF 状態となる。

また、入力 B 側においてゲート J の出力が 1 となりゲート L の出力が 0 になる。よって、ゲート O の出力が 1 となりゲート P の出力が再び 0 になる。したがって、S の nMOS トランジスタは OFF 状態になる。

最終的に、ゲート Q の出力が 1 となるので出力 X は 1 になる。出力 Y は高インピーダンス状態になる (図 5 の論理状態 II)。

以上の論理動作をまとめた状態表を表 1 に示す。なお、片方の入力が 1 になった後、もう一方の入力が 1 になる前に 0 になったとしても出力の論理状態は変化しない。

5. レイアウト設計

図 1 を元に、2 層ポリシリコン 2 層アルミ N ウェル CMOS プロセスを用いて位相比較器のレイアウト設計を行った。レイアウトパターンを図 6 に示す。総トランジスタ数は 42 個、縦 114 μm 、横 98 μm 、占有面積 11172 μm^2 である。

表 1 位相比較器の状態表

入力		出力		動作状態
A	B	X	Y	
0	0	1	Z	位相が一致している状態
1	0	0	1	A が進んでいる状態
0	1	0	0	B が進んでいる状態
1	1	1	Z	位相が一致している状態

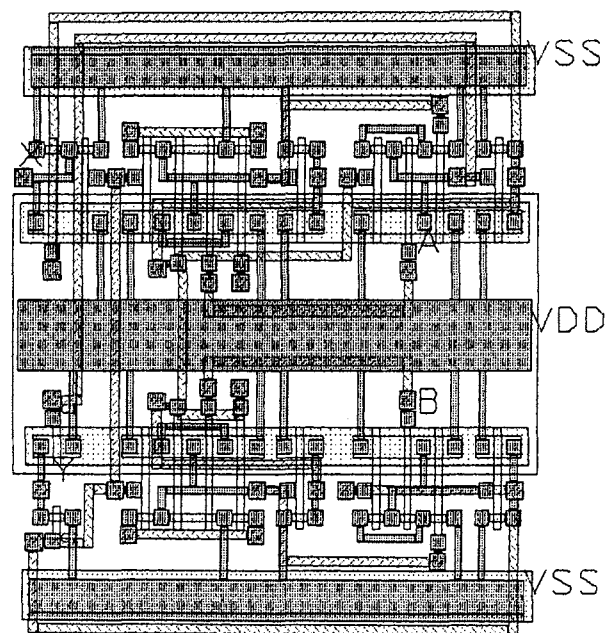


図 6 位相比較器のレイアウト図

6. シミュレーション結果

レイアウトパターンから抽出したファイルを用いて、SPICEにより回路シミュレーションを行った。位相比較器のシミュレーション結果を図7に示す。シミュレーション結果と表1を比較し、正しく動作していることを確認した。

7. 試作結果

2層ポリシリコン2層アルミNウェルCMOSプロセス²⁻⁴⁾により試作した位相比較器の顕微鏡写真を図8に示す。

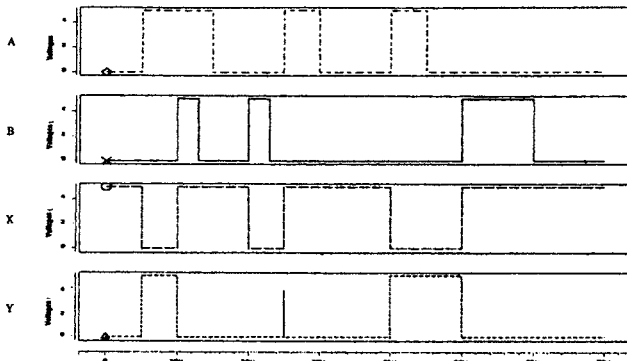


図7 位相比較器のシミュレーション結果
横軸：時間[sec] 縦軸：電圧[V]

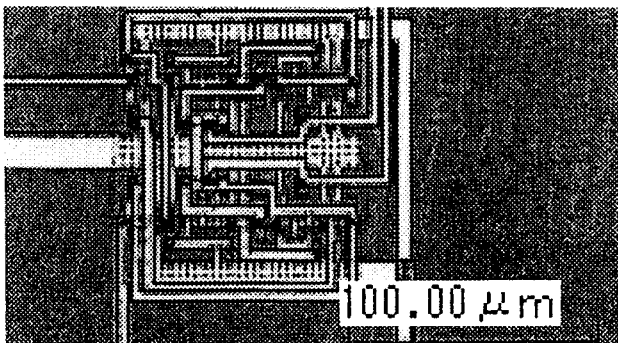


図8 位相比較器の顕微鏡写真

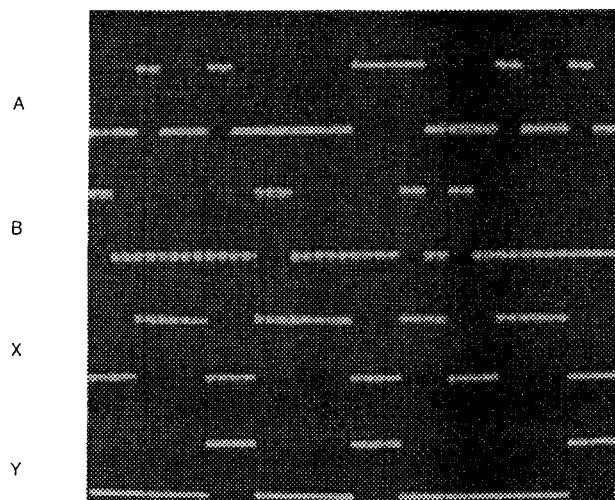


図9 位相比較器の実測結果
横軸：時間[50μs/div.] 縦軸：電圧[5V/div.]

す。nMOSの実効チャンネル長は0.9μm, pMOSの実効チャンネル長は0.8μm,ゲート酸化膜厚は25nmである。図9に試作した位相比較器の入出力波形の実測結果を示す。図7のシミュレーション結果との比較により、試作した位相比較器が正しく動作していることを確認することに成功した。

8. 結言

位相比較回路を2層ポリシリコン2層アルミNウェルCMOSプロセスで設計試作した。回路シミュレーションにより、設計した位相比較回路が正しく動作していることを確認した。更に、試作した位相比較回路の実測により、正しく動作していることを確認することに成功した。

速度限界の実測など、試作回路の詳細な測定が今後の課題である。

謝辞

本研究に関するチップ試作は東京大学大規模集積システム設計教育研究センターを通しオンセミコンダクター(株)、日本モトローラ(株)、HOYA(株)、京セラ(株)の協力で行われたものである。

参考文献

- 1) 波多野 裕, 横井和輝, " CMOS 比較回路 (1) 4ビット大小比較回路 ", 静岡理工科大学紀要, 第17巻, pp. 31-35, 2009.
- 2) H. Hatano, " Single event effects on static and clocked cascade voltage switch logic circuits ", IEEE Trans. Nuclear Science, NS-56, No.4, pp. 1987-1991, 2009.
- 3) H. Hatano, " SEU effects on static and clocked cascade voltage switch logic (CVSL) circuits", Proceedings of the 8th European Workshop on Radiation Effects on Components and Systems, pp. 136-140, Jyvaskyla, 2008.
- 4) H. Hatano, " Single event effects on CVSL and CMOS exclusive-OR (EX-OR) circuits," Proceedings of 10th European Conference on Radiation Effects on Components and Systems, pp. 121-125, Bruges, 2009.