

## デジタル信号処理プロセッサ及びデータ伝送における低消費電力化方法

著者	上田 勝彦
発行年	2015-09-20
学位授与機関	関西大学
学位授与番号	34416甲第590号
URL	<a href="http://doi.org/10.32286/00000149">http://doi.org/10.32286/00000149</a>

デジタル信号処理プロセッサ  
及び データ伝送における  
低消費電力化方法

2015 年 9 月

上田 勝彦

# 概要

半導体プロセス微細化技術の進化により 18~24 カ月で集積度が 2 倍となるムーアの法則 (Moore's Law) に従い、数十億個の金属酸化物半導体電界効果トランジスタ (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) を搭載した大規模集積回路 (Large Scale Integrated circuits, LSI) が実現されるようになった。そしてこの恩恵を受け、コンピュータ、通信機器、産業用機器、民生家電機器など、あらゆる分野で集積回路が使用され、デジタル携帯電話やスマートフォンのように、人々のライフスタイルや社会構造に大きく影響を与える機器も普及してきた。

一方、携帯機器では必須となるバッテリーの容量進化は、プロセス微細化の進化とは大きく乖離しており、また携帯機器に許容される容積や重量の点から使用可能なバッテリーサイズには制限があるため、低消費電力動作が強く求められている。また商用電源が利用可能な据置機器においても、省電力・グリーン化 (Green of ICT) の観点から、あるいは昨今のエネルギー問題から低消費電力動作が要求され、これら機器を実現する集積回路の低消費電力動作が極めて重要となっている。

本論文では集積回路を実現する相補型金属酸化膜半導体 (Complementary Metal Oxide Semiconductor, CMOS) 回路の低消費電力化、特に動的消費電力と呼ばれる、回路出力の状態変化において負荷容量で消費される電力の低減手法を論じる。具体的には携帯電話、スマートフォンに用いられているデジタル信号処理プロセッサ (Digital Signal Processor, DSP) の低電力化手法を提案し、その手法を実装した集積回路の消費電力測定により、その効果を評価した。そして従来の DSP に対して消費電力を約 1/7 に低減できることを示した。また、集積回路内部あるいは集積回路間での、音声信号のように帯域が制限されたデータの伝送に対して、帯域制限されていることを利用して消費電力を低減する手法を提案し、シミュレーション及び電流測定により、その効果を評価した。そして、分割符号化手法と名付けた手法では、消費電流の削減だけでなく回路規模も削減できることから、従来手法に対して約 1.8 倍から 2 倍のコスト性能比を有することを示した。この手法に対してさらに改良を加えることで回路を削減し、擬似多数決判定回路と名付けた回路を用いる手法では、分割符号化手法に対しコスト性能比を、約 1.6 倍向上できることを示した。

# 目次

<b>第1章 序論</b>	<b>1</b>
1.1 半導体技術の進化	1
1.2 論理集積回路における低消費電力化の歴史	7
1.3 論文構成	12
<b>第2章 CMOS回路と低消費電力化手法</b>	<b>14</b>
2.1 CMOS回路の消費電力	14
2.2 CMOS演算回路の動的消費電力低減	17
2.3 CMOSデータ伝送回路の動的消費電力低減	21
<b>第3章 低消費電力デジタル信号処理プロセッサ</b>	<b>24</b>
3.1 概要	24
3.2 デジタル信号処理プロセッサ (DSP)	24
3.3 デジタル携帯電話におけるDSPの役割	27
3.4 DSP低消費電力化手法	28
3.5 低消費電力DSPアーキテクチャ	34
3.6 LSI実装例	39
3.7 性能評価	41
3.8 まとめ	44
<b>第4章 分割符号化手法による低消費電力データ伝送</b>	<b>45</b>
4.1 概要	45
4.2 従来手法	45
4.3 分割符号化手法	50
4.4 分割符号化手法の評価	54
4.4.1 シミュレーションによる遷移率での評価	55

4.4.2	実験による消費電流での評価	59
4.5	回路規模と性能評価	62
4.6	まとめ	65
<b>第5章</b>	<b>多数決判定回路の擬似化による低消費電力データ伝送</b>	<b>66</b>
5.1	概要	66
5.2	擬似多数決判定回路	66
5.3	擬似多数決判定回路を用いた分割符号化手法の評価	71
5.3.1	シミュレーションによる遷移率評価	71
5.3.2	実験による消費電流評価	73
5.4	回路規模と性能評価	75
5.5	まとめ	76
<b>第6章</b>	<b>むすび</b>	<b>78</b>
	<b>参考文献</b>	<b>80</b>
	<b>業績</b>	<b>84</b>
	<b>謝辞</b>	<b>89</b>

# 目 次

1.1	WSTSによる半導体世界市場予測	2
1.2	トランジスタの構造とシンボル	3
1.3	ムーアの法則	4
1.4	MPU/ASIC分野のプロセス技術ロードマップ	5
1.5	プロセスノードとコスト	5
1.6	More Moore と More than Moore	6
1.7	バイポーラトランジスタによる NAND 回路	8
1.8	従属接続した TTL 回路での電力消費	9
1.9	CMOS による NAND 回路	10
1.10	CMOS NAND 回路の動作	11
1.11	SoC の消費電力トレンド	12
2.1	CMOS 回路の動的消費電力	15
2.2	FET の構造とリーク電流	16
2.3	演算器の低消費電力化手法比較	19
2.4	ゲーティッドクロックの原理図	20
2.5	SoC の概略構造	21
2.6	論理回路間のデータ転送	22
3.1	デジタル信号処理システムの概要	25
3.2	デジタル信号処理の実現手段	25
3.3	DSP の基本構造	26
3.4	デジタル携帯電話のブロック図	27
3.5	PDC 用 11.2kbps VSELP コーデックの演算内訳	29
3.6	ブロックフローティング	29

3.7	倍速積和演算機構 . . . . .	31
3.8	倍速積和演算時のデータアライメント . . . . .	32
3.9	ACS 演算/ブロックフローティングアクセラレータ . . . . .	33
3.10	積和演算器の一体化による電力削減 . . . . .	34
3.11	低消費電力 DSP のブロック図 . . . . .	35
3.12	命令リピート時の制御タイミング . . . . .	37
3.13	ALU 演算命令フォーマット . . . . .	38
3.14	基本タイミング . . . . .	38
3.15	DSP チップ写真 . . . . .	40
3.16	Shmoo プロット図 . . . . .	41
3.17	11.2kbps VSELP コーデック実行時のクロック数 . . . . .	42
3.18	消費電力測定結果 . . . . .	43
4.1	従来のバス反転符号化手法ブロック図 . . . . .	46
4.2	擬似乱数の信号波形とスペクトラム . . . . .	47
4.3	オーディオ信号波形とスペクトラム . . . . .	48
4.4	従来のバス反転符号化手法でのバス平均遷移率 . . . . .	49
4.5	オーディオ信号の全サンプル・全ビット間相関 . . . . .	51
4.6	分割符号化手法ブロック図 . . . . .	52
4.7	擬似絶対値化符号化復号化回路 . . . . .	53
4.8	グレイコード化符号化復号化回路 . . . . .	54
4.9	評価に用いる擬似乱数の例 . . . . .	56
4.10	上位ビット数 $m$ と遷移率比 $R_B/R_T$ の関係 (1) . . . . .	57
4.11	上位ビット数 $m$ と遷移率比 $R_B/R_T$ の関係 (2) . . . . .	58
4.12	消費電流評価用プリント基板 . . . . .	60
4.13	消費電流測定結果 . . . . .	61
4.14	実験結果とシミュレーション結果の比較 . . . . .	61
4.15	多数決判定回路 . . . . .	63
4.16	符号化回路入力のカットオフ周波数と遷移率比 $R_B/R_T$ の関係 . . . . .	64
5.1	従来の 15 ビット多数決判定回路 . . . . .	67

5.2	提案する 15 ビット擬似多数決判定回路 . . . . .	67
5.3	擬似多数決判定を用いた分割符号化手法ブロック図 . . . . .	70
5.4	従来の 9 ビット多数決判定回路 . . . . .	72
5.5	9 ビット擬似多数決判定回路 . . . . .	72
5.6	多数決判定回路の擬似化による遷移率比 $R_B/R_T$ への影響 . . . . .	73
5.7	消費電流評価用プリント基板（擬似多数決判定手法） . . . . .	74
5.8	消費電流測定結果（擬似多数決判定手法） . . . . .	74



# 表 目 次

3.1	携帯電話に使用される音声コーデックの主な仕様 . . . . .	28
3.2	低消費電力 DSP の主な仕様 . . . . .	39
4.1	各符号化手法の比較 . . . . .	63
5.1	擬似多数決による誤判定の例 . . . . .	68
5.2	15 ビット擬似多数決判定の評価 . . . . .	69
5.3	オーディオ信号を用いた擬似多数決判定手法の評価 . . . . .	75
5.4	多数決判定手法の性能比較 . . . . .	75
5.5	単純及び擬似絶対値化分割符号化での回路規模削減効果 . . . . .	76

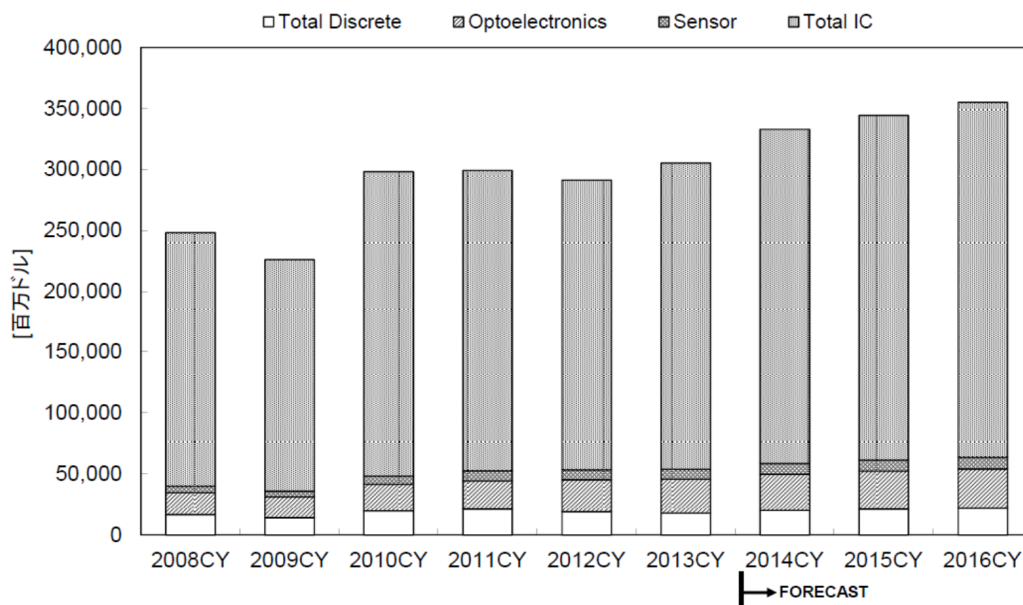
# 第1章 序論

## 1.1 半導体技術の進化

集積回路 (Integrated Circuit, IC) , あるいは大規模集積回路 (Large Scale Integrated circuit, LSI) は, 社会を支える重要なデバイスとなっている. 携帯電話, スマートフォン, ネットワーク機器などの通信機器, 工場設備やロボットなどの産業機器, 自動車, 電車, 航空機などの輸送機器, デジタルテレビ, ビデオレコーダーや調理家電機器などの民生機器等々, ありとあらゆる機器やシステムで集積回路は使用されている. その市場規模を, 世界的な半導体市場統計機関である World Semiconductor Trade Statistics (WSTS) が 2014 年 12 月に発表した半導体市場予測レポートを引用し図 1.1 に示す [1]. 2008 年のリーマンショックを除くと半導体市場はほぼ毎年成長しており 2015 年の半導体市場は 3,445 億ドル (約 36 兆円, 前年比+3.4%), その中に占める集積回路市場は 82% の 2,830 億ドル (約 29 兆円, 前年比+3.1%) と予測している.

このように集積回路は大きな産業であり, しかも成長し続けているが, 技術的なルーツはバーディン (John Bardeen), ブラッテン (Walter Brattain) による点接触型トランジスタの発明 (1947 年), そしてショックレー (William Bradford Shockley Jr.) による接合型トランジスタの発明 (1949 年) にある. 点接触型トランジスタは金属針をゲルマニウム結晶に接触させる構造であることから動作が不安定と言う課題を有していた. そこでショックレーは N 型, P 型, N 型の半導体をサンドイッチ構造にしてトランジスタを形成することでこの課題を解決した. その後ノイス (Robert Norton Noyce) が接合型トランジスタをさらに進化させ, 平面状にトランジスタを形成することで集積化に適したプレーナ型トランジスタを 1959 年に開発, そしてキルビー (Jack St. Clair Kilby), ノイスは集積回路の原型を 1959 年に発明した [2, 3].

これらのトランジスタは, その動作に電子と正孔を用いるバイポーラトランジス



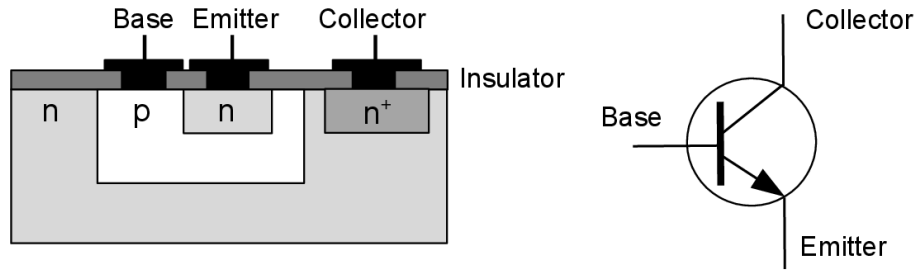
	2008CY	2009CY	2010CY	2011CY	2012CY	2013CY	2014CY	2015CY	2016CY	CAGR 13-16
Total Semiconductor(M\$)	248,603	226,313	298,315	299,521	291,562	305,584	333,151	344,547	355,272	5.2%
Total Discrete	16,935	14,175	19,802	21,387	19,138	18,201	20,441	21,347	21,980	6.5%
Optoelectronics	17,902	17,043	21,702	23,092	26,175	27,571	29,498	30,958	31,983	5.1%
Sensor	5,111	4,753	6,903	7,970	8,009	8,036	8,627	9,151	9,624	6.2%
Total IC	208,656	190,342	249,909	247,073	238,240	251,776	274,586	283,090	291,685	5.0%

Growth Rate(%)	2008CY	2009CY	2010CY	2011CY	2012CY	2013CY	2014CY	2015CY	2016CY
Total Semiconductor(M\$)	-2.8%	-9.0%	31.8%	0.4%	-2.7%	4.8%	9.0%	3.4%	3.1%
Total Discrete	0.7%	-16.3%	39.7%	8.0%	-10.5%	-4.9%	12.3%	4.4%	3.0%
Optoelectronics	12.6%	-4.8%	27.3%	6.4%	13.4%	5.3%	7.0%	4.9%	3.3%
Sensor	-0.3%	-7.0%	45.2%	15.5%	0.5%	0.3%	7.4%	6.1%	5.2%
Total IC	-4.2%	-8.8%	31.3%	-1.1%	-3.6%	5.7%	9.1%	3.1%	3.0%

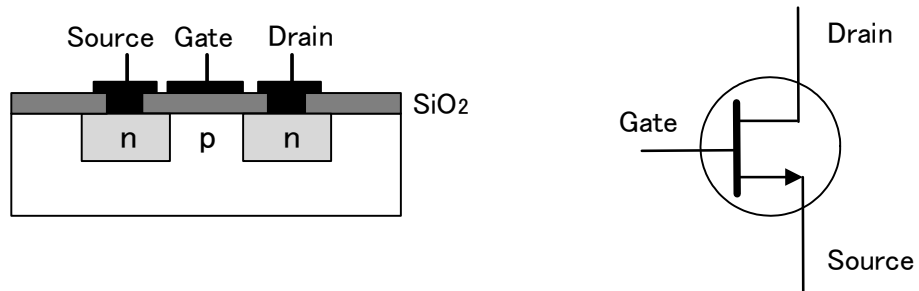
図 1.1: WSTS による半導体世界市場予測  
(2014年12月の発表資料 [1] より引用)

タと呼ばれるものである。図 1.2 (A) にその構造の一例を示すが電子と正孔の両方を使用するため構造が複雑であり、製造に必要なフォトマスク (Photomask) の枚数、そして製造工程数が多いことなどから、コストでの課題を有する。またベース (Base) 電極に電流を流すことで制御を行うため、消費電力面でも不利である。

この課題を解決する技術としてベル研究所 (Bell Lab.) のカーン (Dawon Kahng), アタラ (Martin Atalla) が金属酸化膜半導体電界効果トランジスタ (Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET) を発明した (1960年)。MOSFET は電子あるいは正孔の何れかを用いるユニポーラトランジスタであり、図 1.2 (B) に構造の一例を示すが、バイポーラトランジスタと比べて構造が非常に簡単であり、フォトマスク数や製造工程数の低減などコスト面で有利である。また制御は電流で



(A) NPN トランジスタ



(B) N チャネル MOSFET

図 1.2: トランジスタの構造とシンボル

はなく、ゲート (Gate) 電極への電圧印加で行うため、消費電力面でも有利である。これらの利点から集積回路を構成するトランジスタはこの MOSFET が主流となった。

次に、集積回路の進化について述べる。プロセス技術の驚異的な発展により、今では数十億個のトランジスタがシングルチップに集積されるようになったが、このトレンドはムーアの法則 (Moore's Law) と呼ばれている。図 1.3 に 1965 年にムーア (当時は Fairchild Semiconductors 社、後に Intel 社を創立) が初めて発表した集積トレンドを示すが、1 年で集積度は 2 倍になると予測した [4]。なお、より正確に述べると当時はアナログ集積回路も多くあったため、ムーアはトランジスタだけでなく抵抗やキャパシタなども含むコンポーネントの集積トレンドを予測したが、その後のデジタル集積回路の隆盛に伴い、現在ではトランジスタの集積トレンドとして理解されている。ムーアの法則は単に技術的トレンドを述べたのでは無く、コスト面も含めてシングルチップへの集積可能性を示したものであるが、技術開発の難易度や加工コストの

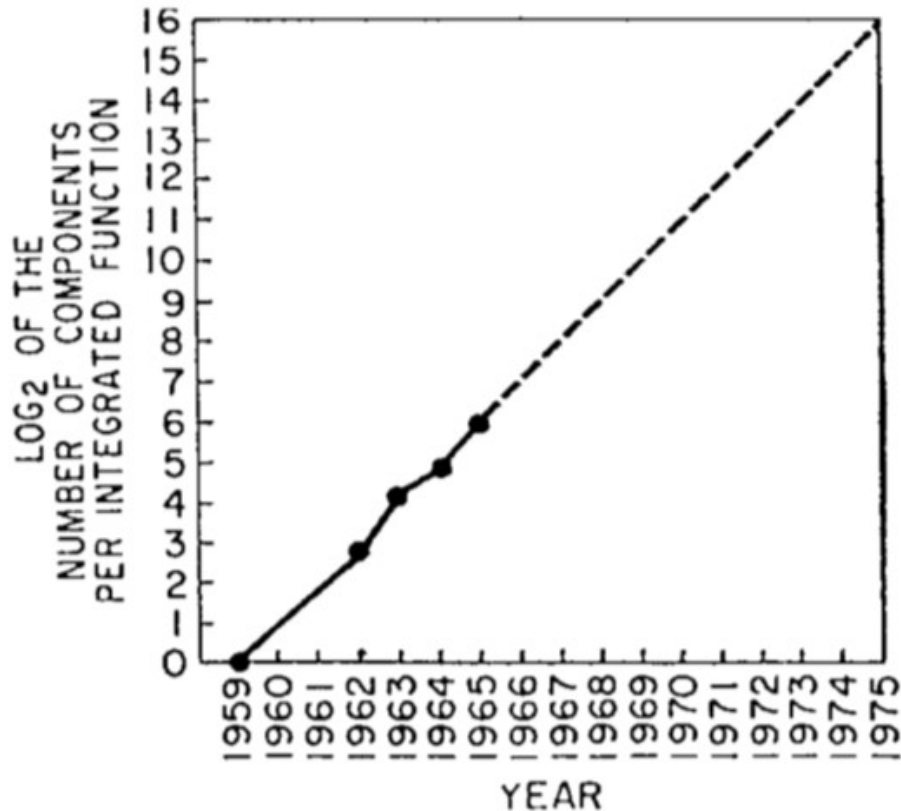


図 1.3: ムーアの法則  
(Moore の論文 [4], Fig. 3 より引用)

増加などにより最近では18~24カ月で2倍程度の集積度向上となっている。集積度だけでなく半導体技術全般に関するロードマップを作成している著名な団体として、国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors, ITRS) がある [5]。ITRSでは、チップメーカー、装置メーカー、サプライヤ、研究機関、大学などに属する全世界の半導体専門家がロードマップを作成しており、日本からは一般社団法人 電子情報技術産業協会 (Japan Electronics and Information Technology Industries Association, JEITA) の半導体部会 (Semiconductor Technology Roadmap Committee of Japan, STRJ) が参画している [6]。その2013年版ロードマップから引用した、マイクロプロセッサ (Microprocessor Unit, MPU) 及び特定用途向け集積回路 (Application Specific Integrated Circuit, ASIC) のプロセス技術の進化を図 1.4 に示すが、10nm の時代に向かっている [7]。また2014年8月に Intel は14nm プロセスを用いた Core M プロセッサを発表している [8]。但し、インテルと競合

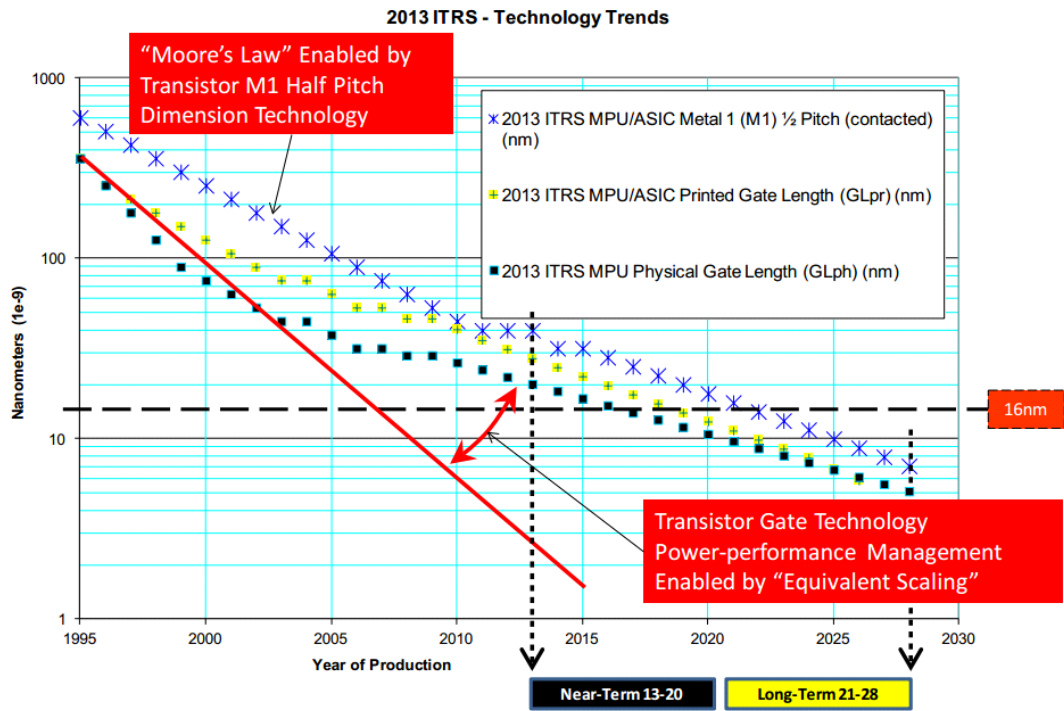


図 1.4: MPU/ASIC 分野のプロセス技術ロードマップ  
(ITRS 2013 年版ロードマップ [7], Fig. ORTC2 より引用)

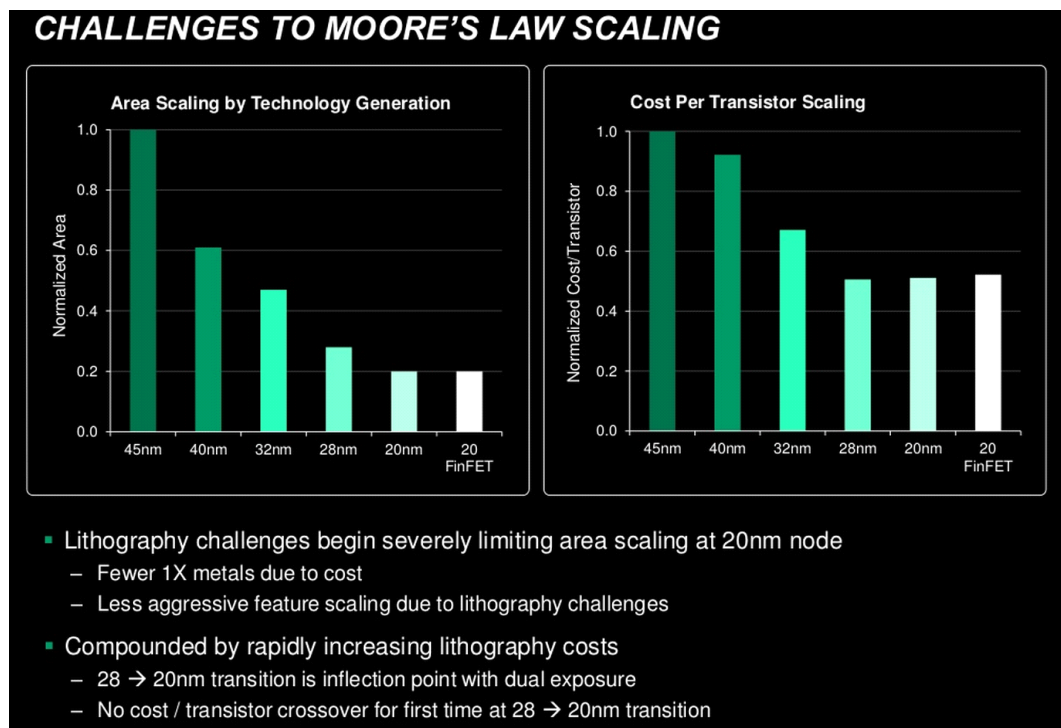


図 1.5: プロセスノードとコスト  
(Lisa T. Su, ISSCC 2014 基調講演スライド [10], ページ 2 より引用)

# Moore's Law & More

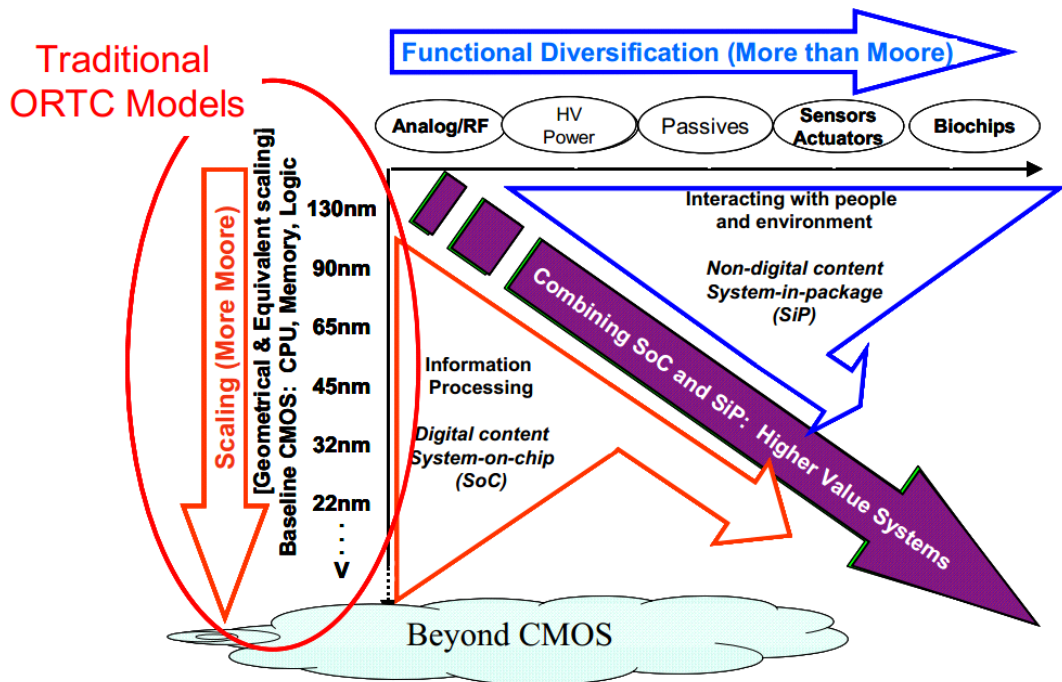


図 1.6: More Moore と More than Moore  
(ITRS 2009 年版ロードマップ概要 [11], Fig. 4 より引用)

する Advanced Micro Device (AMD) の Lisa T. Su は IEEE ISSCC 2013 (IEEE International Solid-State Circuits Conference) の基調講演で、図 1.5 に示すように微細化の伴う様々なコストを考えると、コスト的には 28nm がボトムとなると述べている [9, 10]. シリコンプロセスの微細化には最適なポイントがあるという考え方はあるものの、このようにシリコンプロセスの微細化に頼る More Moore と呼ばれる方向とは別の、異種プロセスによるチップをパッケージレベルで集積することで製品の付加価値を付ける System in Package (SiP) と呼ばれる方向も議論されている。この方向性は More than Moore とも呼ばれ、図 1.6 に示す ITRS の 2007 年版ロードマップには、More Moore と More than Moore の二つの方向性が示されている [11]. どちらの方向で高集積化を図ったとしても、集積回路あるいはデバイスをパッケージに封じ込めて実装する必要があり、発熱課題への対策、あるいはこれを使用するシステム側の要求から、次に述べる低消費電力化は重要な課題である。

## 1.2 論理集積回路における低消費電力化の歴史

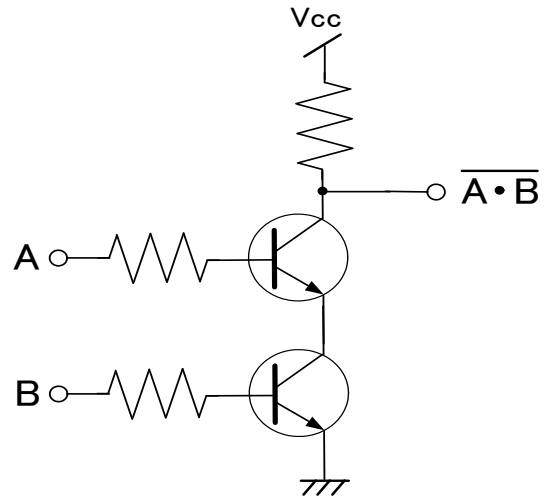
以上、集積回路を構成するトランジスタ、及び、これを製作するプロセス技術面から半導体技術の進化について述べた。次にトランジスタを用いて構成する論理集積回路の進化について、特に消費電力の視点から述べる。

論理回路の基本は論理 1 と論理 0 の物理的表現であるが、最も簡単な方法は、2つの異なる電位でこれらを表現することである。集積回路の発明以前はバイポーラトランジスタと抵抗を用いる Resistor - Transistor Logic (RTL), そして入力にダイオードを使用した Diode - Transistor Logic (DTL) が用いられていた。図 1.7 (A), (B) に RTL 及び DTL での否定論理積 (NAND) 回路の例を示すが、共に動作速度は、出力に接続された抵抗の充放電時定数に大きく左右されるため、高速動作は望めなかった。集積回路の時代に入ると、多数のトランジスタが搭載できることを利用した Transistor - Transistor Logic (TTL) が 1970 年代に登場した。図 1.7 (C) に TTL での NAND 回路の一例を示すが、入力部は DTL における複数個のダイオードを、マルチエミッタ形式のトランジスタ  $Q_1$  で構成している。また出力部はトランジスタ  $Q_2, Q_3, Q_4$  でトータムポールと呼ばれる回路を形成し、出力が高電位での吐き出し電流 (source current), 低電位での吸い込み電流 (sink current) を強化し、動作の高速化を図っている。TTL の代表的なものとしてテキサス・インスツルメンツ社 (Texas Instruments, TI) の 74 シリーズがあり、コンピュータから、産業用機器、家電機器まで広く論理集積回路が使用されるようになった。

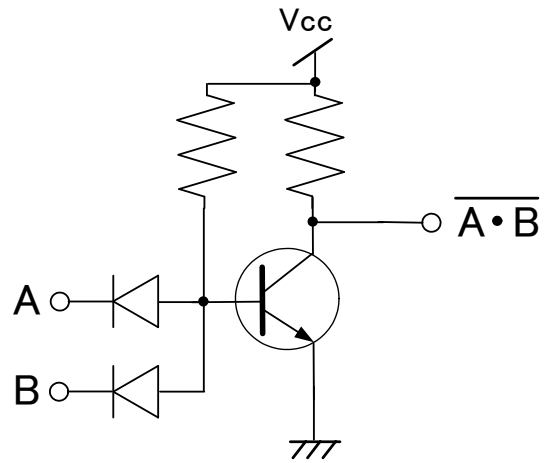
論理回路は、NAND や否定論理和 (NOR) 回路を従属接続し構成するが、TTL では図 1.8 に示すように抵抗を介して電流が流れることになり、これは熱エネルギーとして消費される。したがって TTL は高速ではあるが、消費電力・発熱が大と言う課題を有していた。その結果、論理集積回路の大規模化には放熱特性の良いパッケージが必要となった。この対策として一部の製品では放熱特性に優れたセラミックが用いられたが、プラスチックパッケージと比べて非常に高価であるため、集積回路の用途拡大において、低消費電力な論理回路技術が求められるようになった。

このように集積回路では消費電力、発熱という課題をコスト的に見合う形で解決することが、集積回路の誕生から今に至るまで、常に要求され続けている。この課題の一つの解決策として P チャネル、N チャネルの二つの MOSFET を組み合わせ

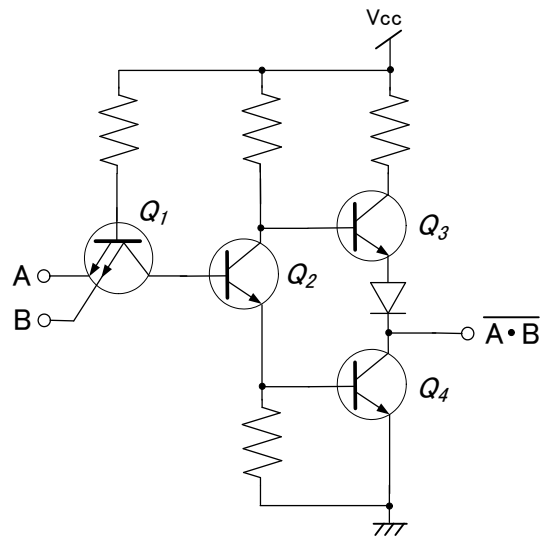




(A) Resistor - Transistor Logic (RTL)



(B) Diode - Transistor Logic (DTL)



(C) Transistor - Transistor Logic (TTL)

図 1.7: バイポーラトランジスタによる NAND 回路

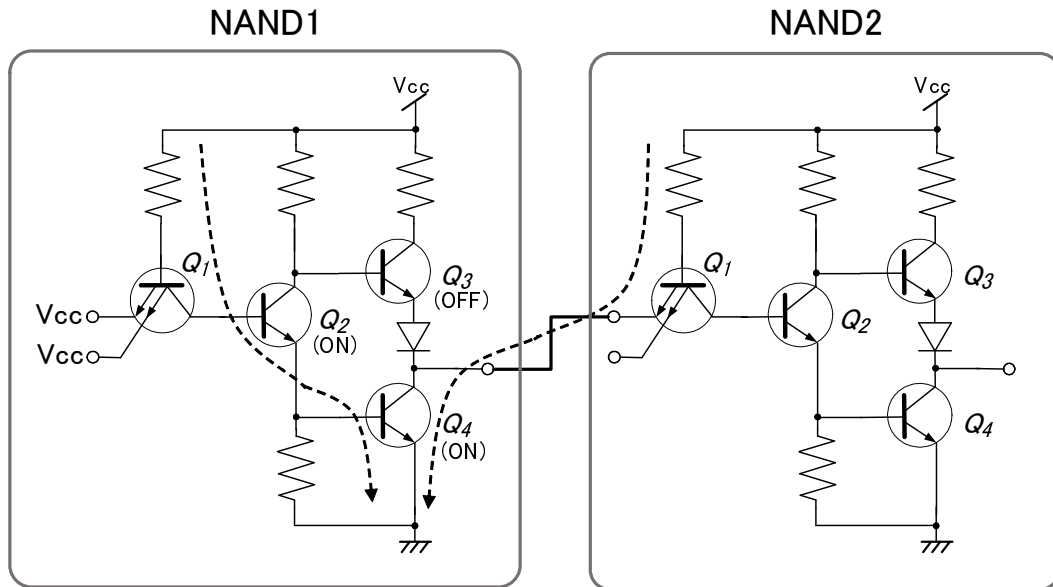


図 1.8: 従属接続した TTL 回路での電力消費

た相補型 Complementary Metal Oxide Semiconductor (CMOS) 論理回路を、1963 年にウォンラス (F. M. Wanlass) とサー (C. T. Sah) が発明、1963 年の ISSCC で発表した [12, 13]. CMOS 論理回路は構造が簡単な MOSFET 用いることから、コスト面でも有利であるが、相補型であることから論理回路を構成するのにトランジスタが 2 倍必要となり、当時のプロセス技術ではコスト的に不利であった。しかしその後のプロセス技術の進化、そして低消費電力化が図れることから、1970 年代後半には時計や電卓で、その後は大規模な集積回路で用いられるようになり、現在のように大規模な集積回路を実現するための必須のデバイスとなった。

図 1.9 に CMOS での NAND 回路を示すが 2 個の N チャネル MOSFET の縦続接続で論理積が形成され、P チャネル MOSFET がそれに相補する形で電源側 ( $V_{dd}$ ) に接続される。そして図 1.10 (A) に示すように二つの入力 A, B が共に高電位 ( $V_{dd}$ ) になると  $Q_3, Q_4$  の N チャネル MOSFET が共にオンとなり、出力は低電位になる。この時  $Q_1, Q_2$  の MOSFET はオフになるため、原理的には電源側から GND への電流は流れない。また、図 1.10 (B) に示すように二つの入力 A, B のどちらかが低電位 (GND) になると、 $Q_1$  あるいは  $Q_2$  の P チャネル MOSFET がオンとなり、出力は高電位になる。この時  $Q_3, Q_4$  の N チャネル MOSFET のどちらかがオフになるため、原理的には電源側から GND への電流は流れない。またこれらの回路を従属

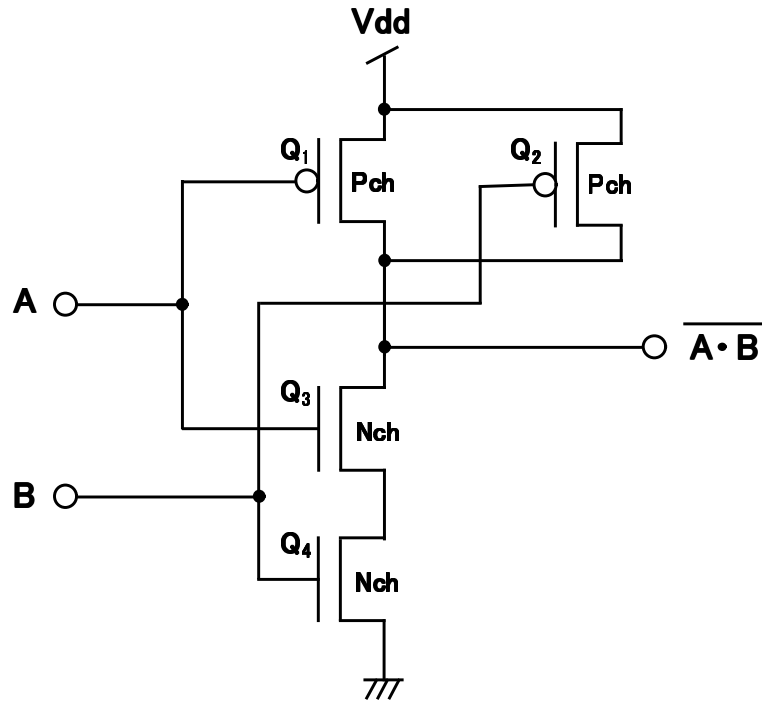
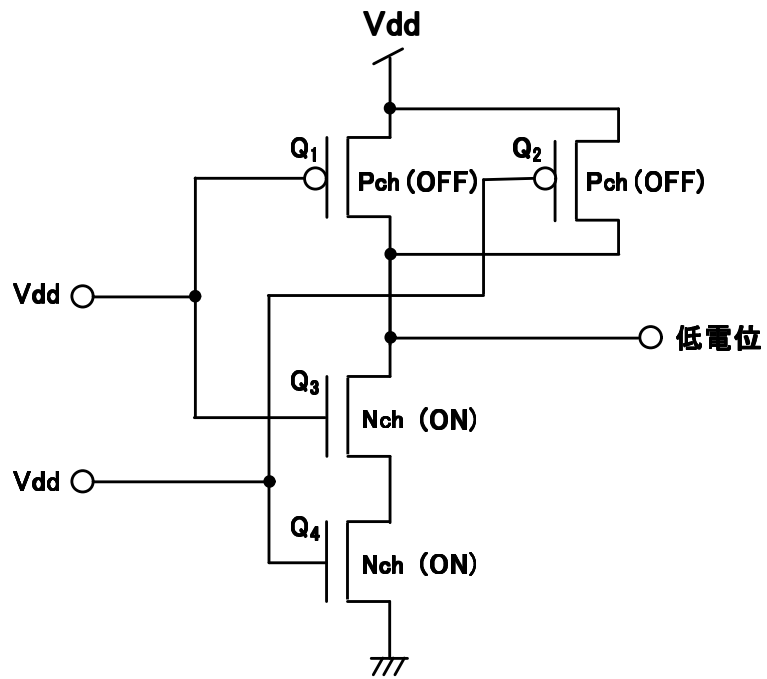


図 1.9: CMOS による NAND 回路

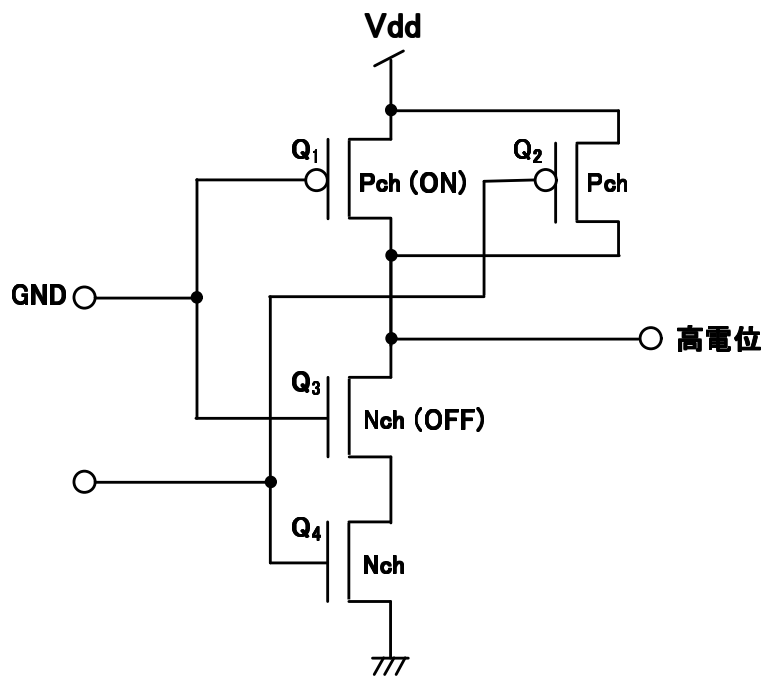
接続した場合も MOSFET の入力インピーダンスは高いため、図 1.8 に示した TTL の時のような定常的な電流は流れず低消費電力となる。但し出力が変化した際には出力負荷容量の充放電で動的な消費電力が、また MOSFET の物理的特性により静的な消費電力が消費されるが、これについては第 2 章で詳細に議論する。

このように CMOS 論理回路の登場により、消費電力や放熱の問題は一旦緩和されたかのように見えたが、ムーアの法則に従って膨大な数の論理回路が搭載され、また GHz で動作する高性能マイクロプロセッサとノートパソコンの登場、そしてデジタルテレビ、携帯電話、スマートフォンなどにおいて一つのシステムを半導体チップに集積したシステム LSI (System on Chip, SoC) の登場で、低消費電力化は集積化単体の課題では無くシステム全体の課題となった。すなわち、携帯機器では重量や体積の関係から制限された容量のバッテリーを用いざるを得ないこと、またデジタルテレビやサーバーのように電力会社からの電源を用いる据え置き機器においては CO<sub>2</sub> 削減など環境問題の視点から、集積回路の低消費電力化が求められている。

第 1.1 節で述べた ITRS のメンバーでもある日本の STRJ が発表した SoC での消費電力トレンドを図 1.11 に示すが、システムが大規模化する中で SoC の消費電力は



(A) 低電位出力



(B) 高電位出力

図 1.10: CMOS NAND 回路の動作

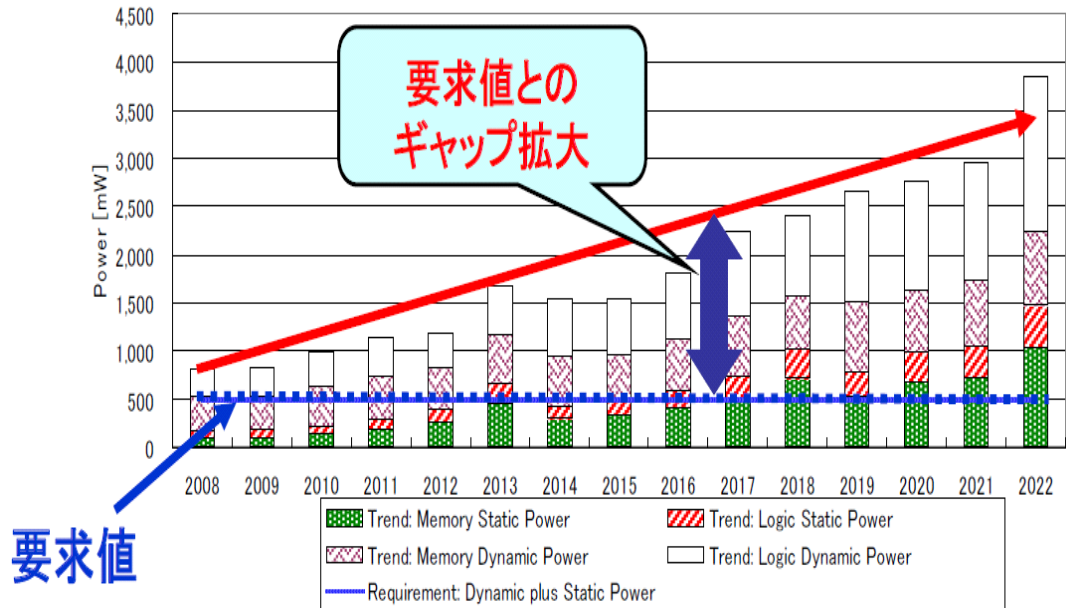


図 1.11: SoC の消費電力トレンド  
(STRJ 報告資料 [14], 図表 2-8 より引用)

増加し続けており、システムからの要求値との乖離は広がる一方となっている [14]。なお、図において消費電力はメモリの静的消費電力 (Trend Memory Static Power)、メモリの動的消費電力 (Trend Memory Dynamic Power)、論理回路の静的消費電力 (Trend Logic Static Power)、論理回路の動的消費電力 (Trend Logic Dynamic Power) に分類しているが、論理回路の動的消費電力の割合が最も多く、これを低減することの産業的価値は極めて高いと言える。

### 1.3 論文構成

以上述べたようなことを背景とし本論文では、CMOS 回路の動的消費電力低減のための各種手法を提案し、その効果をシミュレーションや実験結果で示す。

第 2 章では CMOS 回路、そして CMOS 回路間のデータ伝送での電力消費メカニズムを述べ、これに基づいた動的消費電力低減のための一般的な策について述べる。

情報端末の多くはデジタル信号処理に特化したマイクロプロセッサであり CMOS 回路で実現されているデジタル信号処理プロセッサ (Digital Signal Processor, DSP) が用いられている。第 3 章では、デジタル携帯電話で用いられる音声コーデック用

DSP の低消費電力化手法について述べる．具体的には動的消費電力削減に極めて有効な動作周波数を低減するためのアーキテクチャ，そして動的消費電力に深く関係する負荷容量低減のための集積回路実装方法などを示す．また具体的な DSP の消費電力測定結果でその効果を示す．

第 4 章ではデータ伝送での動的消費電力低減のために，帯域が制限されたデータの特徴を利用し，データ伝送時の状態遷移数を低減することで低消費電力化を図る分割符号化手法について述べる．そしてシミュレーションによる状態遷移数，および実験による消費電流測定結果でその有効性を示す．

第 5 章では上記分割符号化手法をベースに，帯域が制限されたデータの特徴を利用し回路規模も小さくすることなどで，さらに低消費電力化を図る，擬似多数決判定回路を示す．そしてシミュレーションでは，擬似化により，分割符号化手法よりもデータ伝送での状態遷移数は増加するが，多数決判定回路の単純化により，消費電流は削減されることを実験結果で示す．

第 6 章で本論文の全体をまとめる．

# 第2章 CMOS回路と低消費電力化 手法

## 2.1 CMOS回路の消費電力

第1.2節で述べたようにCMOS論理回路はpチャネルとnチャネルのMOSFETが相補型にオン、オフすることから、原理的には論理“1”あるいは“0”保持のための電力は必要としない。しかしながら実際のデバイスでは、物理的構造により電力を消費する。本章ではこの電力消費メカニズムについて述べる。

CMOS回路の消費電力は次に示す式(2.1)～(2.3)で表現できる。

$$P = P_{dynamic} + P_{static} \quad (2.1)$$

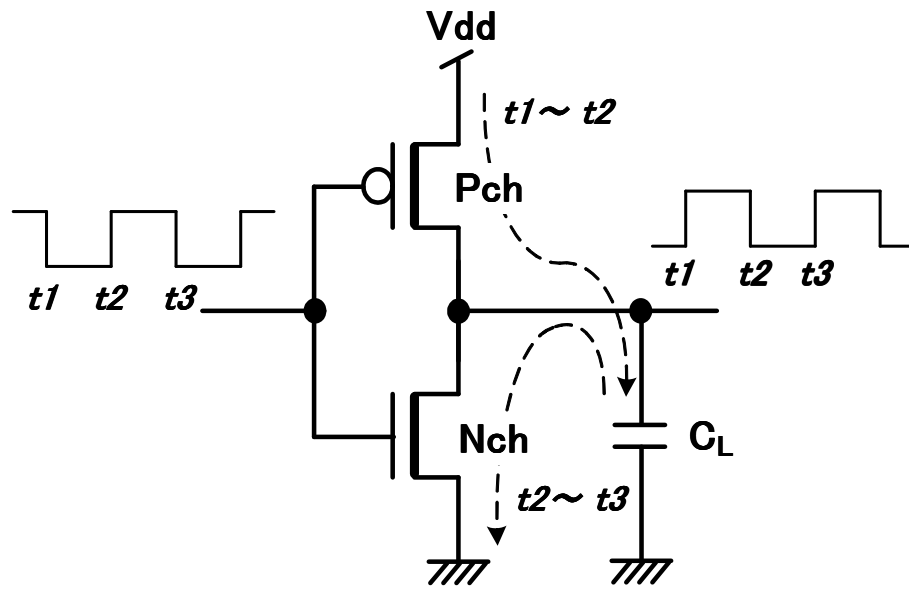
$$P_{dynamic} = (1/2) C_L V_{dd}^2 f N + Q V_{dd} f N \quad (2.2)$$

$$P_{static} = I_l V_{dd} \quad (2.3)$$

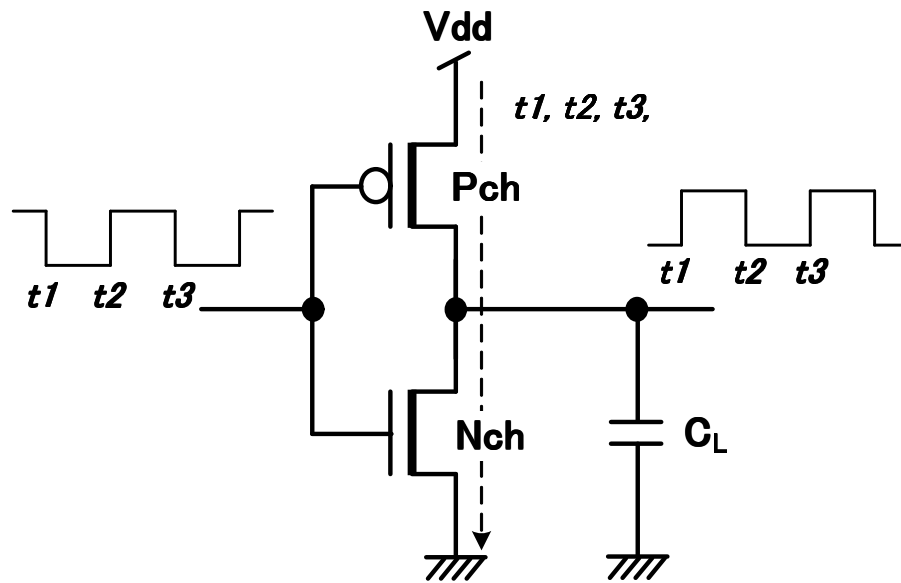
$C_L$ : 負荷容量,  $f$ : 動作周波数,  $V_{dd}$ : 電源電圧,  $N$ : 信号トグル係数,

$Q$ : 貫通による移動電荷,  $I_l$ : リーク電流.

式(2.2)に示す $P_{dynamic}$ は、第1.2節でも触れた動的消費電力と呼ばれるものである。第1項は図2.1(A)に示す出力負荷の充放電で消費される電力であり、電源電圧 $V_{dd}$ の2乗と負荷容量 $C_L$ に比例する。また図に示す $t_1 \sim t_2$ での充電と $t_2 \sim t_3$ の放電回数が多いほど多くの電力が消費される。このことを式(2.2)の第1項で動作周波数 $f$ と信号トグル係数 $N$ の積で表現している。ここで $f$ は、集積回路全体の動作周波数であるが、マイクロプロセッサやSoCなど実際の集積回路では全体が常に $f$ で動作する必要は無く、部分的に動作周波数を下げる、あるいは動作を停止させることができる。信号トグル係数 $N$ はこの概念を数式として示すものであり、全体が高速で動作する回路でも部分的に $N$ を小さくして、 $t_1$ ,  $t_2$ ,  $t_3$ の変化を減らすことで、低消費電力化を図ることができる。また第2項は図2.1(B)に示すスイッチン



(A) 出力負荷充放電電流



(B) 貫通電流

図 2.1: CMOS 回路の動的消費電力



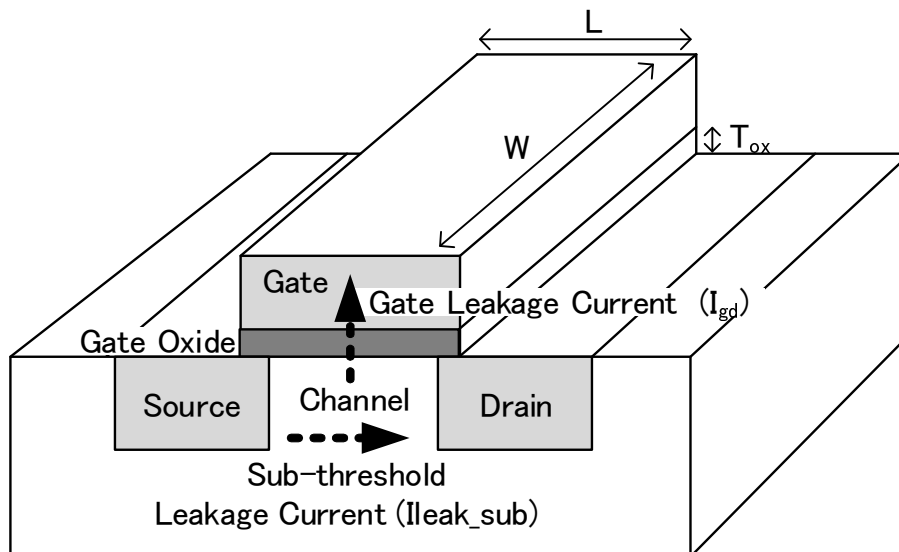


図 2.2: FET の構造とリーク電流

グ過渡状態で消費される電力であり、PチャネルFETとNチャネルFETが共にオンとなる瞬間での電荷移動（電流）で消費される．この電力消費も第1項と同じように、 $f$ あるいは $N$ を小さくすることで低減できる．このように消費電力が回路の動的状態に依存することから動的消費電力と呼ばれる．

一方、式 (2.3) に示す静的消費電力  $P_{static}$  は、回路の動的状態ではなくデバイス構造そのものに依存するリーク電流  $I_l$  による消費電力である．リーク電流はゲートリーク電流（Gate leakage Current） $I_{gd}$  とサブスレショールド電流（Subthreshold leakage Current） $I_{leak\_sub}$  からなる [15]．

ゲートリーク電流  $I_{gd}$  は図 2.2 の FET の断面図に示すようにシリコン基板からゲートに流れるリーク電流であり次に示す式 (2.4) で表現される．

$$I_{gd} \propto \exp\left(-\frac{T_{ox}}{V_{dd}}\right) \quad (2.4)$$

ここで  $T_{ox}$  は図 2.2 に示すゲート酸化膜の膜厚であり、プロセス微細化と共に膜厚が薄くなるが、 $I_{gd}$  は指数的に増加する．対策の一つとして高誘電率なゲート材料の使用がある．

サブスレショールド電流  $I_{leak\_sub}$  は図 2.2 の FET の断面図に示すようにゲート、ソース間に流れるリーク電流であり次に示す式 (2.5) で表現される．

$$I_{leak\_sub} \propto W \exp\left(\frac{-V_T}{nU_T}\right) \quad (2.5)$$

ここで  $W$  は図 2.2 に示すゲート幅,  $U_T$  は温度,  $n$  は物理乗数で通常 1.3~1.5 の値をとる.  $V_T$  は FET がオンする閾値電圧である. プロセス微細化により  $V_{dd}$  が下がる中, 高速動作実現のためには  $V_T$  も下げる必要があることから,  $I_{leak\_sub}$  も指数的に増加する. さらに温度  $U_T$  にも比例することから, 消費電力が増加し発熱により温度が上昇すると  $I_{leak\_sub}$  が増加すると言う問題を有する. このため数 GHz で動作させる高速マイクロプロセッサのような高速論理回路では, リーク電流による消費電力の割合が大きくなる. 但し, 高速マイクロプロセッサほど高速に動作させない SoC では, 図 1.11 に示したように論理回路の動的消費電力の割合が最も大であり, これを低減させることは極めて重要である. そこでこれ以降は, 動的消費電力の低減手法に焦点を当て議論する.

## 2.2 CMOS 演算回路の動的消費電力低減

動的電力消費は式 (2.2) に示すパラメータ 負荷容量  $C_L$ , 電源電圧  $V_{dd}$ , 動作周波数  $f$ , 信号トグル係数  $N$  を下げることで実現できる. また SoC に代表される大規模な論理集積回路の設計はアーキテクチャ設計, 論理回路設計, トランジスタ設計, マスク設計, あるいは計算アルゴリズム開発などの多くの設計階層を有する. そこで低消費電力化のためには, 各設計階層で上記パラメータを個々に小さくするのではなく, 設計コストも考慮し, 全体として最も効果が大となる手法を見出すことが必要である. また設計階層とは直交する軸とも言えるランダムロジック, メモリ, データバス, アドレスバス, 入出力など各機能ブロックの動作特徴を利用することも重要である [16, 17, 18]. さらに式 (2.2) に示されるように電源電圧  $V_{dd}$  は 2 乗の効果で動的消費電力に影響を与えるため,  $V_{dd}$  を下げる手法を見出すことが非常に有効である. しかしながら電源電圧の低下は動作速度の低下につながる. これを防ぐ代表的な方法として並列化, パイプライン化がある. 例えば, 処理 A と処理 B からなる処理があり, 定められた時間内に  $L$  回処理する必要がある場合を考える. これを空間分割するのが並列化であり, 時間分割するのがパイプライン化である. すなわち処理 A, 処理 B に対して, 2 つの同じ回路を並列接続して処理分担を行うと, それぞれの処理回数は  $L/2$  に低減され, 動作速度を下げるができる. 一方, 処理 A の後に処理 B を行うことが可能な場合は, 処理 A 専用の回路と処理 B 専用の回

路を設け、レジスタ（パイプラインレジスタ）でこれを従属接続し処理分担を行う。それぞれの処理回数は時分割前と変わらず  $L$  であるが、単位時間に処理すべきものは処理 A + 処理 B では無く処理 A、あるいは処理 B となり、単位時間当たりの処理量が少なくなることで、処理回路の動作速度、すなわち電源電圧を下げることができる。A. P. Chandrakasan によって示された演算器での並列化、パイプライン化での具体的な評価結果を図 2.3 に示す [19]。図 2.3 (A) は比較のための基本となる回路でその消費電力を式 (2.6) に示す。なお、本検討ではプロセス技術として  $2.0\mu\text{m}$  ルールを仮定している。

$$P_{ref} = (1/2) C_L V_{dd}^2 f \quad (2.6)$$

並列処理の導入により動作周波数を  $1/2$  にした時の回路を図 2.3 (B) に示す。並列化により電源電圧は  $0.58V_{dd}$  に低下できるので、その消費電力は次式に示すものとなる。

$$P_{par} = (1/2) \times (2.15 C_L) \times (0.58V_{dd})^2 \times (0.5f) = 0.36 P_{ref} \quad (2.7)$$

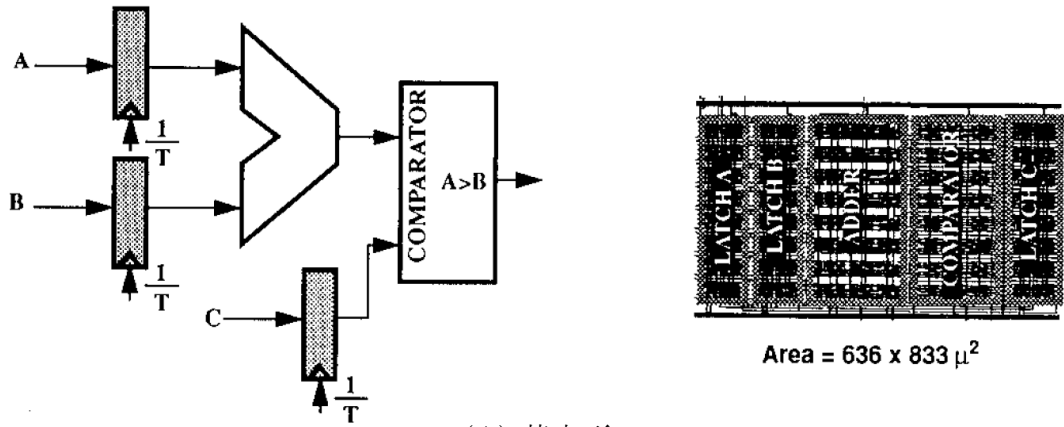
電源電圧の低下により消費電力は  $0.36$  倍に低減できるが、並列化により回路面積は  $6.36 \times 8.33 \mu\text{m}^2$  から  $1476 \times 1219 \mu\text{m}^2$  と約  $3.4$  倍増加することに注意する必要がある。また同じく負荷容量も  $2.15$  倍と増加している。

パイプライン化を図った回路を図 2.3 (C) に示す。またその消費電力は次式に示すものとなる。

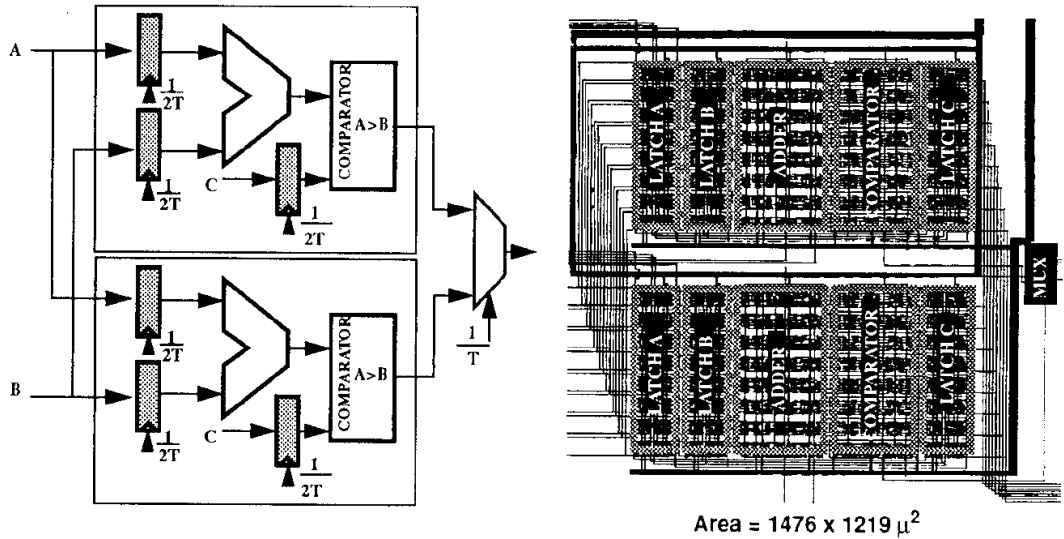
$$P_{pipe} = (1/2) \times (1.15 C_L) \times (0.58V_{dd})^2 \times f = 0.39 P_{ref} \quad (2.8)$$

電源電圧の低下により回路の遅延は増加するがパイプラインレジスタの導入でスループットは維持している。但しパイプラインレジスタにより、回路面積は  $6.36 \times 8.33 \mu\text{m}^2$  から  $640 \times 1081 \mu\text{m}^2$  と約  $1.3$  倍増加する。またパイプラインが充填されるまでレイテンシが発生するため単発の演算には不向きであるが、ベクトル処理のように処理データ数が多い場合は、レイテンシの影響は少ない。

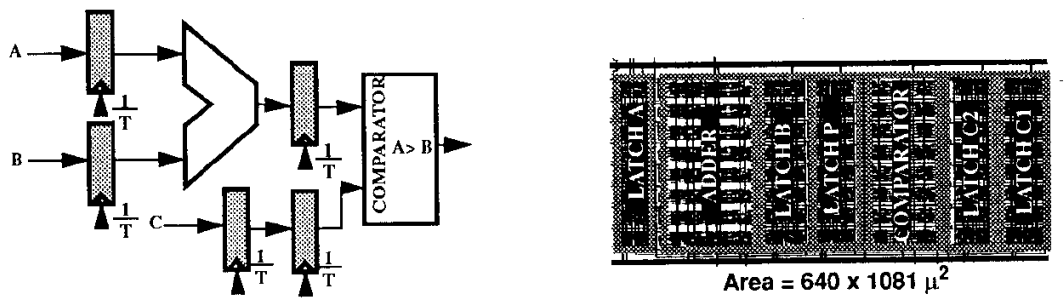
このように各方式には利点と欠点を有するため、消費電力、処理能力、回路規模などの要求を考慮しながら最適なアーキテクチャ設計、回路設計を行う必要がある。第 3 章で提案するデジタル信号処理プロセッサでは、これを構成する各機能ブロッ



(A) 基本形



(B) 並列処理化



(C) パイプライン処理化

図 2.3: 演算器の低消費電力化手法比較  
 (A. P. Chandrakasan の文献 [19], Fig. 7, 8, 9 より引用)

クの特徴を利用し、並列処理やパイプライン処理を用いている。そして動作周波数を下げ、2乗の効果を持つ電源電圧を低減することで低消費電力化を図っている。

また式 (2.2) は信号トグル係数  $N$  を下げることが動的消費電力低減に有効であることを示している。この最も代表的な例が、同期回路におけるゲーテッドクロック (Gated Clock) である。これは集積回路構成する全ての機能ブロックが常に動作することは無いということに着目したもので、その原理を図 2.4 に示す。この図に示すように入力信号が無い時にはゲート信号 (GATE) で動作クロック (OP CLK) を停止させ、CMOS 回路内部の信号トグルを下げ低消費電力化を図るものであり、第 3 章で提案する DSP でもこれを活用する。

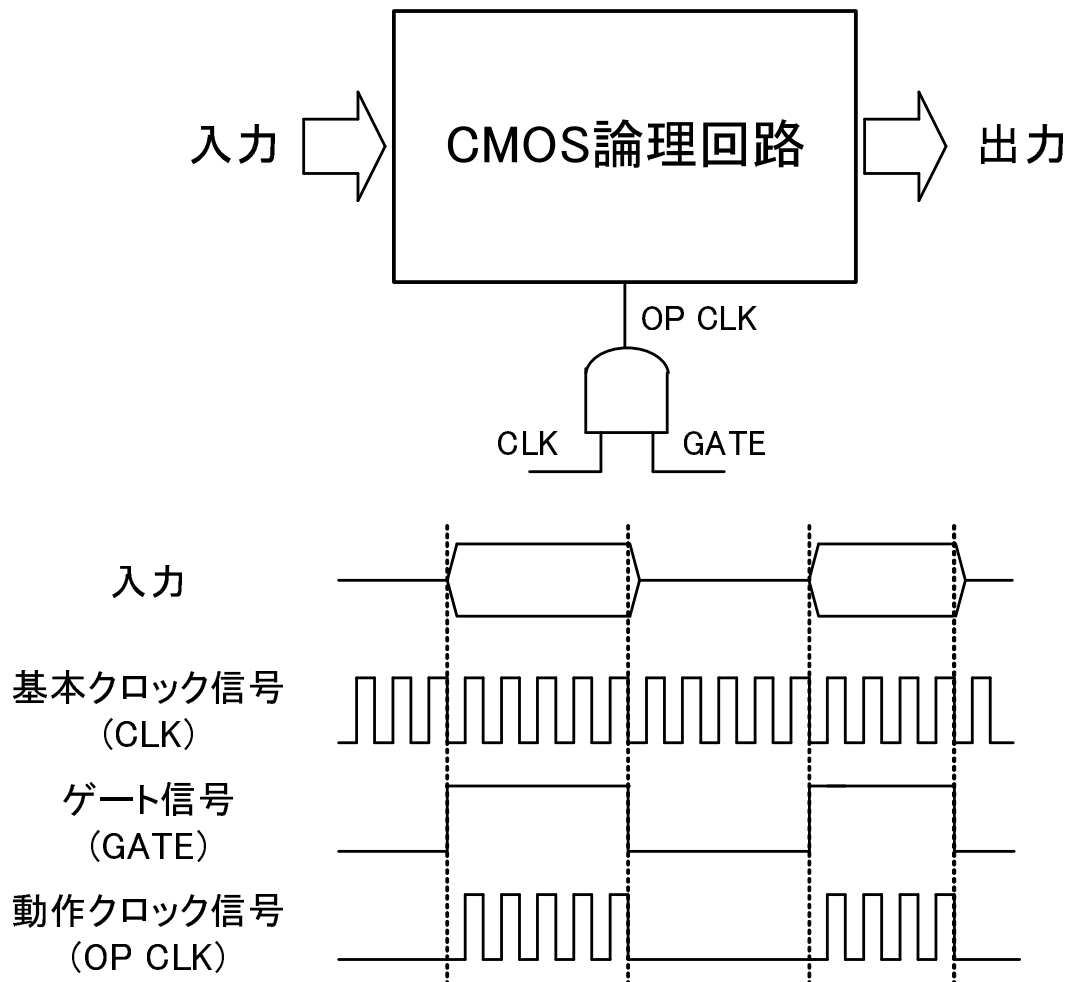


図 2.4: ゲーテッドクロックの原理図

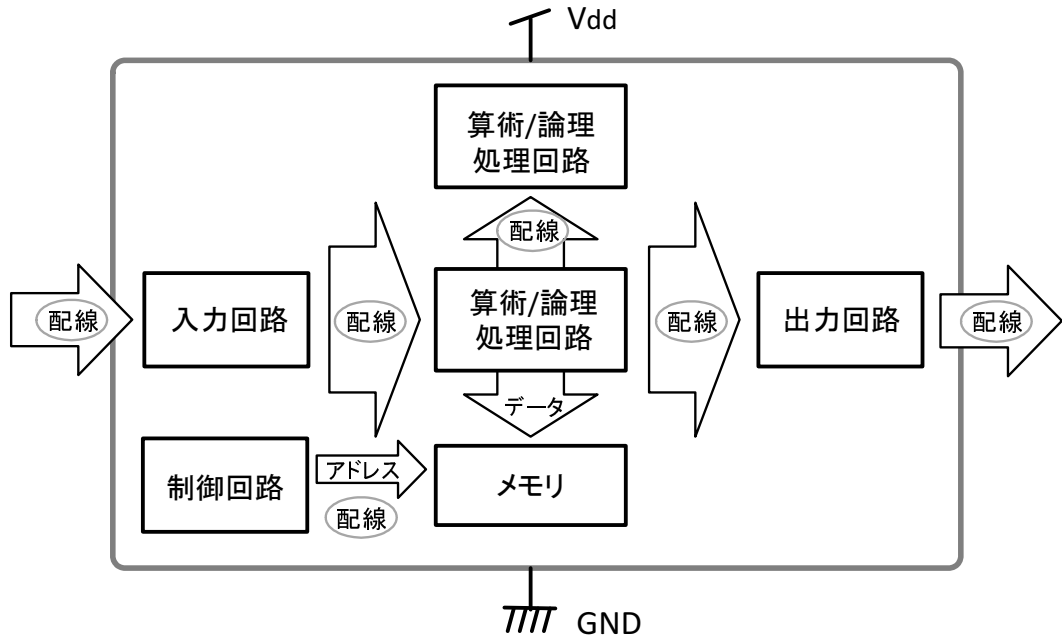


図 2.5: SoC の概略構造

## 2.3 CMOS データ伝送回路の動的消費電力低減

以上は、CMOS 回路の特に算術あるいは論理処理を行う演算回路での、低消費電力化のための基本を述べたが、SoC のような実際の集積回路では図 2.5 に示すように、演算回路以外の機能ブロックも集積される。そこでデータ入力回路、出力回路、そしてこれらのブロックを接続するための配線が必要となる。また集積回路内部にメモリを持つ場合には制御回路、アドレス・データ線などの配線が、メモリを外部に持つ場合にも同様にアドレス・データ線などの配線が必要となる。これら各機能ブロックや集積回路からの出力も、CMOS 回路で駆動される配線を通して伝送されるが、配線が持つ非常に大きな浮遊容量（負荷容量）の充放電で電力が消費され、これら機能ブロック接続で SoC 全体消費電力の 50%以上を占めるとの報告もある [20]。また機器は、多くの集積回路をプリント基板（Printed Circuit Board, PCB）に実装することで実現される。その結果、出力回路の端子駆動用 FET のゲートサイズが大きくなること、ESD (Electrostatic Discharge) 保護回路を設けること [21]、端子がプリント基板に接続されることなどにより、負荷容量  $C_L$  は集積回路内部だけの場合よりさらに大きく、平均として集積回路が消費する電流の約 1/2 は出力端子で消費されているとの報告もある [22]。配線で消費される電力の削減方法の基本は演算

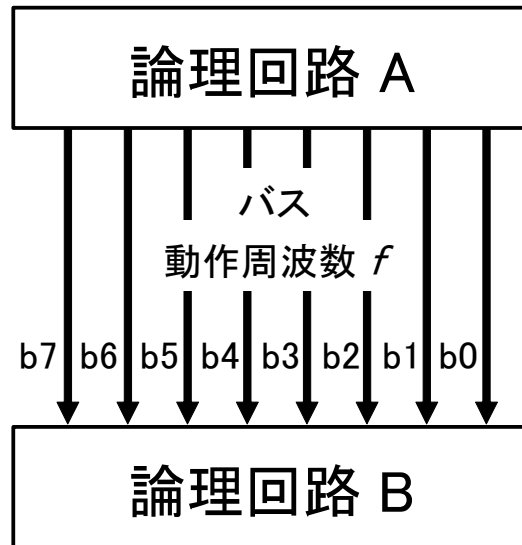


図 2.6: 論理回路間のデータ転送

回路の場合と同様であるが、演算回路内部とは桁違いに負荷容量  $C_L$  が大きいので、機能ブロック間の配線を短くすることが極めて重要である。本論文では DSP で行ったこの取り組みを第 3 章で述べる。

また配線での論理 0 から 1、あるいは 1 から 0 への遷移数を少なくする手法も非常に有効である。この手法の一つとして、送信データの適切な反転により出力線の状態遷移数を低減する、バス反転符号化手法 (Bus Invert Coding, BIC) が提案されている [22, 23, 24, 25]。その詳細については第 4.2 節で議論するが、ここではその原理について簡単に述べる。図 2.6 に示すように論理回路 A の出力が、周波数  $f$  で動作する  $b7$  から  $b0$  からなる 8 ビットバスで、論理回路 B に接続されている場合を考える。そして論理回路 A から論理回路 B に、 $(b7, b6, b5, b4, b3, b2, b1, b0)$  が  $(0, 1, 1, 0, 1, 1, 0, 1)$  と  $(0, 0, 0, 1, 0, 0, 1, 0)$  のデータを交互に出力する場合を考えると、 $b7$  を除くビットは各ビットは 1 秒間に  $f$  回遷移する。しかしながら、 $(0, 1, 1, 0, 1, 1, 0, 1)$  の後に  $(0, 0, 0, 1, 0, 0, 1, 0)$  が出力されることが予め判っているなら、 $(0, 0, 0, 1, 0, 0, 1, 0)$  を反転 (Invert) した  $(1, 1, 1, 0, 1, 1, 0, 1)$  を出力することで逆に、 $b7$  を除く各ビットでの遷移数は 0 にできる。すなわちこの場合、 $b7$  を除く信号トグル係数  $N$  は 0 となる。このようにすることで、遷移するビットを 4 ビット以下にできるが、実際の集積回路でこれを応用するには、処理回路の規模や効果が大きな課題となる。従来の BIC データ伝送手法は低減効果が少ない、あるいは  $N$  を小さくするためのハードウェア規模

が低減効果とバランスしないことなどから、実用には供されていないのが実情である。またバス以外に、データが反転されていることを示す制御線も別途必要となるが、これも含め全体の遷移率低減を図る方法が最近提案されている [26, 27]。これは制御線をデータ線と共用、適切な1本のデータ線にクロックの半サイクルを用いて制御信号を埋め込むものである。但し、受信側には制御信号を検出するための回路が新たに必要となり、実用化にはこの回路規模も含めた評価が必要と思われる。またコードブックに格納したコードと送信したいデータとの差分を求め、差分が最も少ないコードのインデックスとその差分を送信する手法も提案されている [28]。この手法は、遷移率低減効果は大きいですがコードブック記憶用メモリ、コードブック選択回路などを要するため回路構成が大きくなり、そのブロックで消費される電力が大といった課題を有する。

また、BICの新たな応用として Berger-invert code が提案されている [29, 30]。フラッシュROM (Read Only Memory) などの不揮発性メモリ、DRAM (Dynamic Random Access Memory) でのデータエラーは例えば1から0のような片方向での遷移で多く発生する。そこで Berger-invert code ではデータ反転により、エラー耐性向上と低消費電力化を同時に実現しようとしている。

一方、オーディオ信号や画像信号のようなデータでは帯域が制限されている。本論文ではこの帯域制限に着目し、データ伝送での状態遷移数、すなわち信号トグル係数  $N$  を下げる新たな BIC データ伝送手法を、第4章、第5章で述べる。



# 第3章 低消費電力デジタル信号処理プロセッサ

## 3.1 概要

デジタル携帯電話では音声信号の符号化及び復号を行う音声コーデック (Speech CODEC) が用いられており、デジタル信号処理プロセッサでこれを実現することが多い。また音声コーデックは従前のアナログ携帯電話では必要なかったデバイスであり、さらに電源は小型バッテリーであることから、DSP には低消費電力での動作が強く求められる。そこで本章では、DSP の低消費電力化を図るために開発した技術とその効果について述べる。

## 3.2 デジタル信号処理プロセッサ (DSP)

デジタル信号処理システムの大まかな構成を図 3.1 に示す。図に示すデジタル信号処理部で所望のアルゴリズムを実現するが、システムへの入力アナログ信号である場合はアナログデジタル変換器 (Analog to Digital Converter, ADC) を用いる。同じく処理結果をアナログ信号として出力する場合デジタルアナログ変換器 (Digital to Analog Converter, DAC) を用いる。

デジタル携帯電話などの機器においてはリアルタイム性と低消費電力が求められることから、デジタル信号処理部は汎用 CPU ではなく、専用 LSI あるいはデジタル信号処理に特化した CPU である DSP で実現されることが多い [31, 32]。DSP は汎用 CPU と同様にアルゴリズムをソフトウェアで実現するため、仕様変更にも柔軟に対応でき、また判断処理の多い複雑なアルゴリズムも実現できるという特徴を有する。一方専用 LSI は実現したいアルゴリズムに特化しているため、完成後の仕様変更対応は難しいが、高速処理が可能と言う特徴を有する。この両者の特質を図

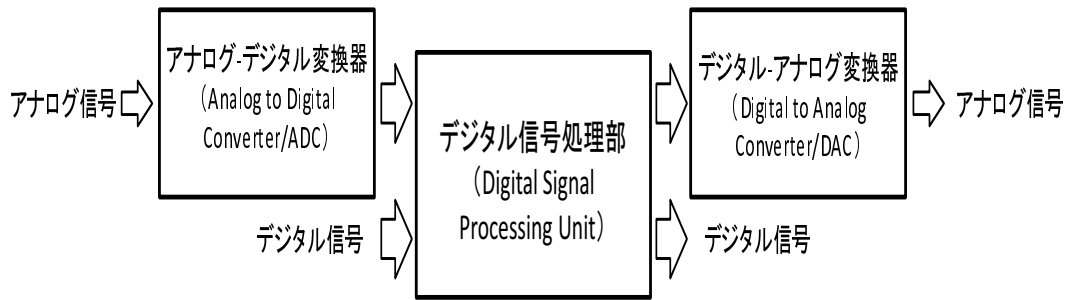


図 3.1: デジタル信号処理システムの概要

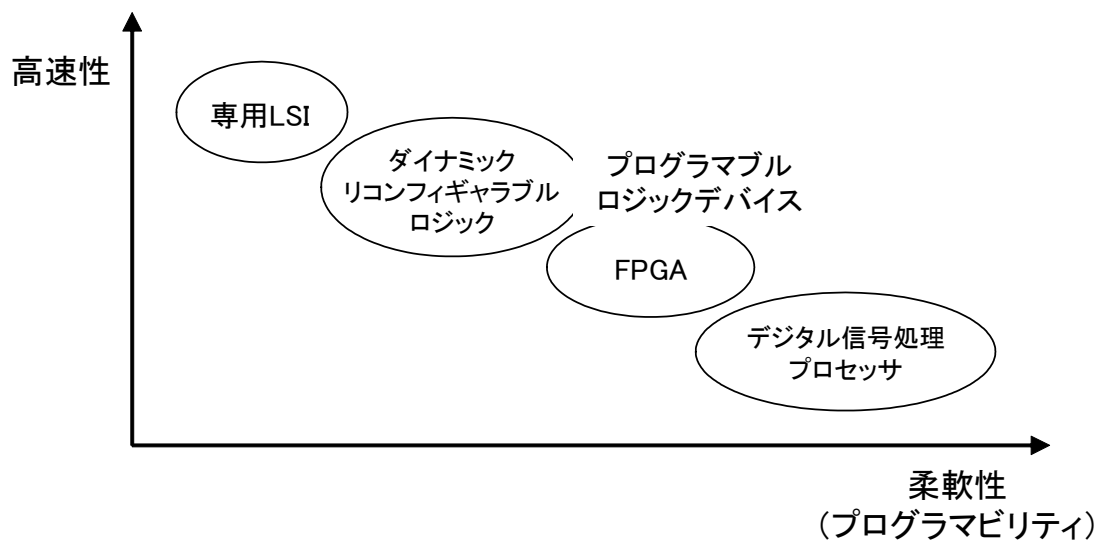


図 3.2: デジタル信号処理の実現手段

3.2 に示す．図に示すように専用 LSI と DSP の中間的位置付けとして，プログラムで仕様変更が可能なプログラマブルロジックデバイスがあり，Field Programmable Gate Array (FPGA) がその代表例である．例えば LUT (Look Up Table) 型と呼ばれるアーキテクチャの FPGA では，多数の論理セルとこれを接続する配線で構成されている．そして実現したい機能は，論理セル内のメモリにテーブルとして記憶する．また論理セル間の接続もメモリに記憶した情報で制御し，これら制御情報を記述したデータを電源オン時に外部メモリよりロードすることで，所望のシステムを実現する．このように FPGA は，柔軟性を有するが汎用性を追及しているため論理セルの単位が小さく，特に大規模なデジタル信号処理システムを実現した場合には多数の論理セルを必要とし，コストあるいは消費電力で不利となる．この欠点を

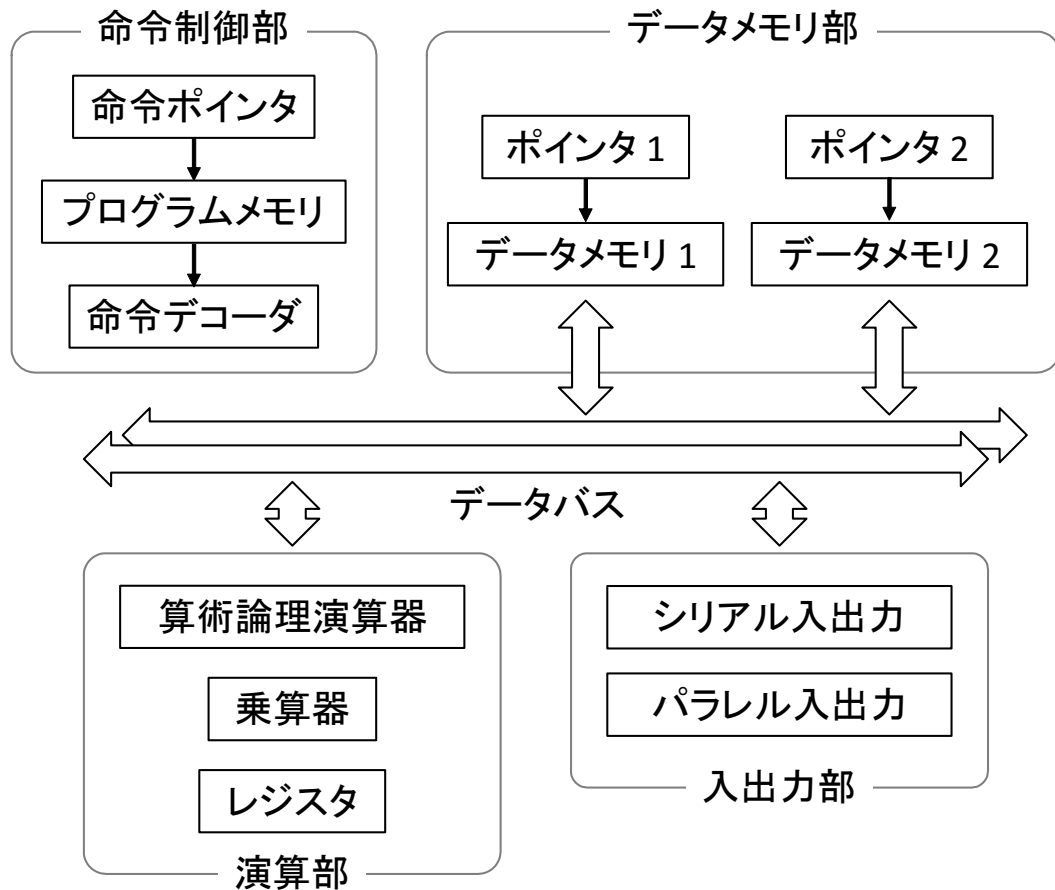


図 3.3: DSP の基本構造

補うために、ダイナミックリコンフィギャラブルロジックと呼ばれるデバイスも開発されている [33, 34, 35, 36]. これはデジタル信号向けに、演算器とレジスタで構成される PE (Processing Element) を基本単位として粒度を大きくしたものであり、さらに動作中にもその構成や配線を動的に変更できるようにしている. これまで多くのリコンフィギャラブルロジックが開発されてきたが、コスト的な問題もあり実システムでの利用は限定的なものとなっている.

図 3.3 に DSP の基本構造を示す. DSP では汎用 CPU と同様に、命令ポインタが示す順序に従って命令メモリから命令コードが読み出され、命令デコーダが出力する信号で動作が制御される. したがって信号処理を高速に行うためには、必然的に命令メモリを高速に読み出す、すなわち動作クロックを高くする必要があるが、これは動的消費電力の増加につながる. また、演算部は算術論理演算器だけでなく、乗算器も設けられている. これはデジタル信号処理の基本演算である積和演算 (Multiply

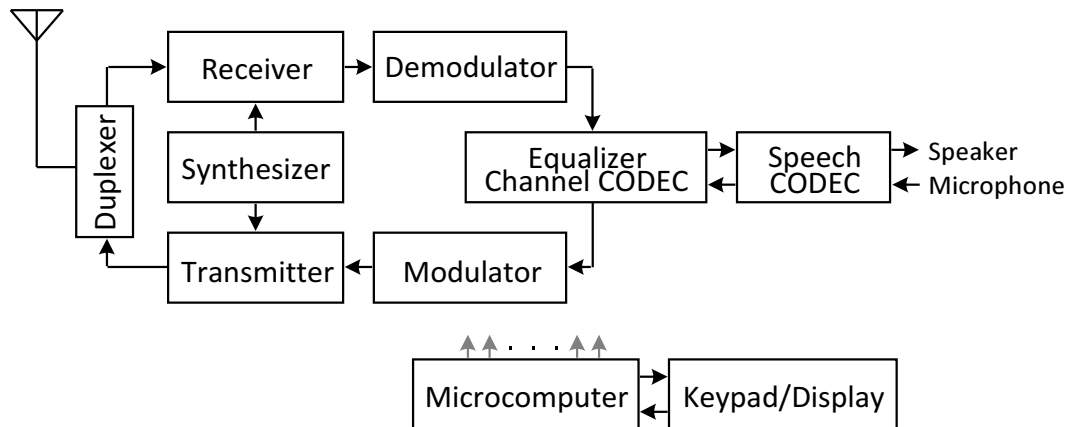


図 3.4: デジタル携帯電話のブロック図

ACcumulate, MAC) と呼ばれる  $\sum A_i \times B_i$  の処理性能を高めるためである。また汎用 CPU と異なり、命令とは別のメモリ空間にデータを配置することでメモリアクセスのボトルネックを回避する、ハーバードアーキテクチャと呼ばれる構成をとる。データメモリ部、演算部、入出力部のデータ授受はデータバス経由で行われることが多いが、データバスは配線が長くなること、接続されるユニットが多いことなどから負荷容量が大となり、これも動的消費電力増加につながる。また演算データの入力、あるいは演算結果の出力用に入出力部も設けられている。

### 3.3 デジタル携帯電話における DSP の役割

図 3.4 に音声通信用デジタル携帯電話の構成例を示す。デジタル方式では音声をデジタル化、さらにフレーム化することで時分割多元接続 (Time Division Multiple Access, TDMA)、符号分割多元接続 (Code Division Multiple Access, CDMA) などの通信方式を実現し、周波数利用効率を高めていることがアナログ方式との大きな違いである。このため音声信号を音声コーデックで符号化、復号する。また誤り耐性向上のため、符号化された音声信号に訂正符号も付加する。表 3.1 に 64kbps (kilo bits per second) のデジタル音声信号に対する音声コーデックの仕様と、符号化に必要な演算量 (Number of Operations) の一例を示す [37, 38]。単位の MOPS (Mega Operation Per Second) はコーデック処理に必要な加算、減算、乗算、積和演算などの演算量であるが、圧縮率が高いほど必要な演算量が多くなる。また音声コーデッ

表 3.1: 携帯電話に使用される音声コーデックの主な仕様

		Japan (PDC)		USA (TR)	Europe (GSM)
		Full Rate	Half Rate	Full Rate	Full Rate
Algorithm		VSELP	PSI-CELP	VSELP	RPE-LTP
Bit Rate	Total	11.2kbps	5.6kbps	13kbps	22.8kbps
	Speech	6.7kbps	3.45kbps	7.95kbps	13kbps
	Error Correction	4.5kbps	2.15kbps	5.05kbps	9.8kbps
Delay		20ms	40ms	20ms	20ms
Number of Operations		7.8MOPS	18.7MOPS	8.3MOPS	2MOPS

クは、演算結果に応じ、その後に異なる処理を選択する判断処理も多いため、専用ハードウェアでは無く、プログラムにより判断処理が可能である DSP で実現されることが多い。またこの判断処理、入出力処理などを上記演算以外に行う必要があり、一般的にはこれらの処理量は上記演算量とほぼ同等と、非常に多い。

以降は、日本の初代デジタル携帯電話規格 Personal Digital Cellular (PDC) で実用化された表 3.1 に示す 11.2kbps の Vector Sum Excited Linear Prediction (VSELP) 方式音声コーデック [39] を、低消費電力で実現する DSP について述べる。

### 3.4 DSP 低消費電力化手法

DSP も CMOS 回路で実現されるため、その動的消費電力は第 2.1 節の式 (2.2) に示したものとなる。また DSP の設計プロセスは大きく分けると (1) アーキテクチャ設計、(2) 回路設計、(3) LSI 設計からなるが、以下に各設計段階での消費電力削減策を述べる。

#### (1) アーキテクチャ設計

PDC 用 11.2kbps VSELP コーデックに必要な演算の内訳を、図 3.5 に示す。この図において横軸に示す CODING, DECODING, ERROR CORRECTION は符号化処理、復号処理、誤り訂正処理を示し、縦軸にそれらの処理に必要な演算量を単位

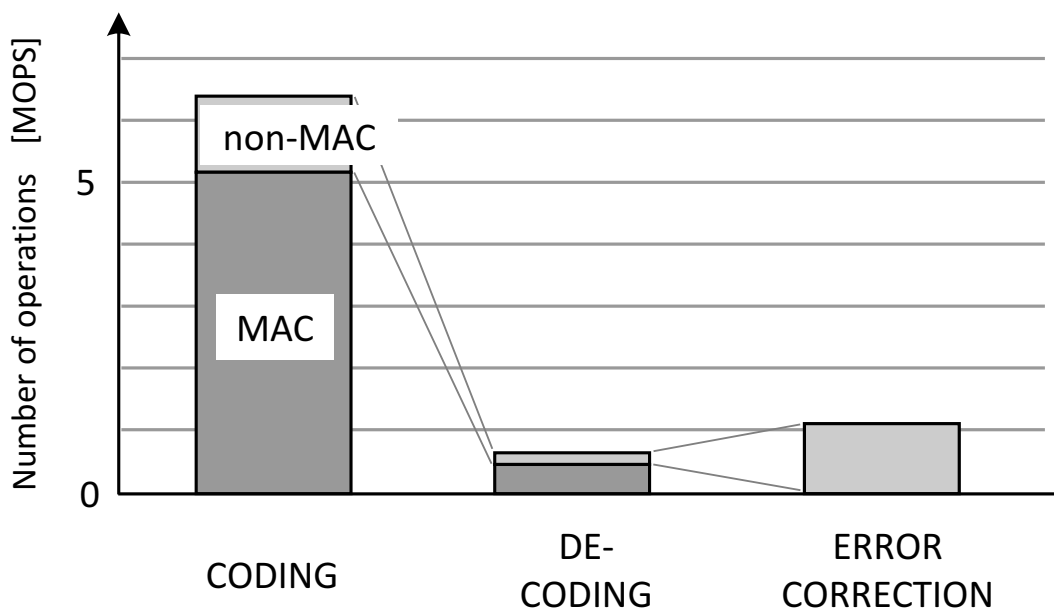


図 3.5: PDC 用 11.2kbps VSELP コーデックの演算内訳

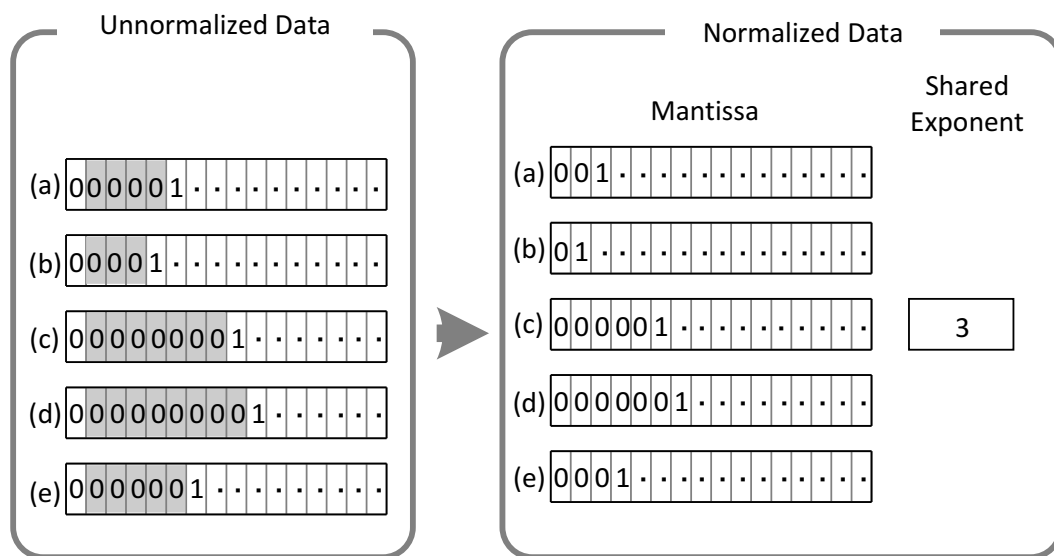


図 3.6: ブロックフローティング

MOPS で示している。また MAC は積和演算を、non-MAC は積和演算以外の演算処理であるが、一般的なデジタル信号処理と同様に本コーデックでも積和演算が主である。また、誤り訂正に関する演算量も多い。そこで積和や誤り訂正に関する演算を効率よく処理することで DSP の動作周波数を低減することが、低消費電力化に最も効果的であることが判る。

また、回路規模、消費電力の観点から、数体系は浮動小数点よりも固定小数点の方が有利であるが、演算精度の確保が重要である。そこでブロックフローティングと呼ばれる数体系を用いる。通常フローティングデータでは個々のデータが仮数と指数を持つが、ブロックフローティングではブロックデータ単位で共通の指数を持つ。図 3.6 にその例を示すが、図の左側に示す正規化前の (a) から (e) の 5 個のデータに対して共通の指数を 3 とし、それぞれのデータを左に 3 ビットシフトし正規化すると、右側の図に示すようなデータとなる。これにより、乗算過程での桁落ちによる精度劣化を防ぐ。しかしながら、ある単位の演算が終わった段階で共通の指数を求め直す処理が必要となる。そこで、この処理を効率的に行うアクセラレータを設けるが、以下に述べるビタビ復号にも利用できるよう設計し、回路の増加を防ぐ。

上記の考えに基づいて設計した低消費電力化のための機構について、以下に述べる。

### 倍速積和演算機構

第 2.1 節で述べたように、動作周波数を低減し電源電圧を下げることであれば、動的消費電力削減に極めて有効である。しかしながら単純に動作周波数を下げると、処理能力は劣化する。一方、DSP は第 3.2 節で述べたように演算器だけでなく複数の機能ブロックで構成されている。そこで、処理の多くを占める積和演算に関係する部分のみを高速で動作させ、DSP 全体の動作周波数は低減して動作電圧を下げる、倍速積和演算機構を提案する。すなわち、倍速積和演算機構を構成する一部のブロックのみを、DSP の動作周波数の 2 倍の周波数で動作させる。図 3.7 に、この考え方に基づく倍速積和演算機構の構成を示す。積和演算器を構成する乗算器と累積加算器をパイプラインレジスタで結合し、それぞれを  $1/2$  マシンサイクル、すなわち DSP 動作周波数の 2 倍の周波数で動作させる。一方、積和演算に必要なデータ  $A_i$ 、データ  $B_i$  の供給を行うメモリ X、メモリ Y の 2 面のメモリは、1 マシンサイクルで動作させる [40, 41]。これは、メモリ内部では複数ワードを同時にリードし

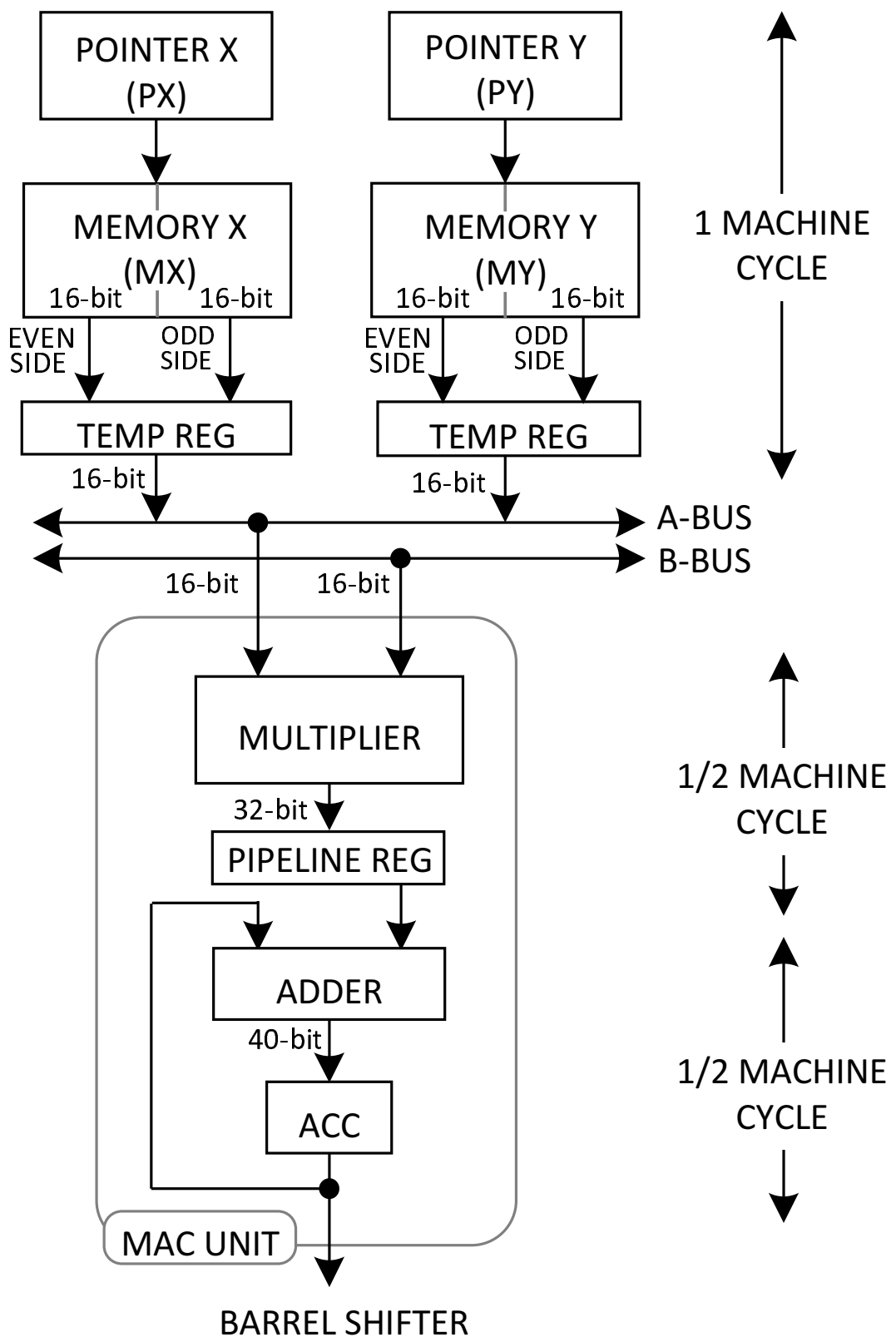


图 3.7: 倍速積和演算機構



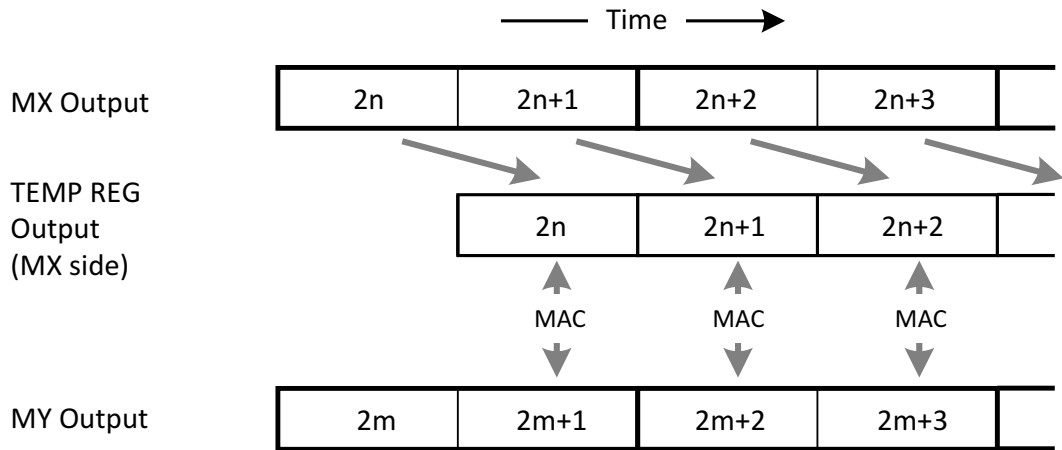


図 3.8: 倍速積和演算時のデータアライメント

ていることを利用したものであり、提案方式で新たに必要なハードウェアは、メモリ出力を2ワード同時に保持するテンポラリレジスタのみである。そしてレジスタと乗算器を結ぶAバス、Bバスは、半マシンサイクルで動作させ、データを切れ目無く乗算器に供給する。しかしながら連続するデータが、例えばメモリXには偶数番地から、メモリYには奇数番地から記憶されている場合にはワード境界を跨ぐため、アライメントが必要になる。このような場合は図3.8に示すように、テンポラリレジスタで半マシンサイクルの遅延を行う。なお、1マシンサイクルに2回の積和演算を行う方法として、単純に積和演算器を並列化する手法も提案されているが、第2.2節で述べたようにハードウェアコストの増加を招く [42]。

### ACS 演算／ブロックフローティングアクセラレータ

移動体通信には畳み込み符号が使用されることが多く、この復号を効率よく行う手法としてビタビ復号が知られている [43]。ビタビ復号の基本演算は Add Compare Select (ACS) 演算と呼ばれるもので、2回のデータ加算 (Add)、加算結果の大小比較 (Compare)、小と判定されたデータ及び判定結果の格納 (Select) を繰り返し行う。提案する ACS 演算及びブロックフローティング処理を効率良く行うアクセラレータのブロック図を、図 3.9 に示す [44]。ACS 演算では 16 ビットの算術論理演算回路 (Arithmetic Logic Unit, ALU) を上位 8 ビット、下位 8 ビットの二つの加算器として使用することで 2 回のデータ加算を従来の 1/2 である 1 マシンサイクルで処理する。それぞれの加算結果は比較器で比較され、大小を示すビットがシフトレジ

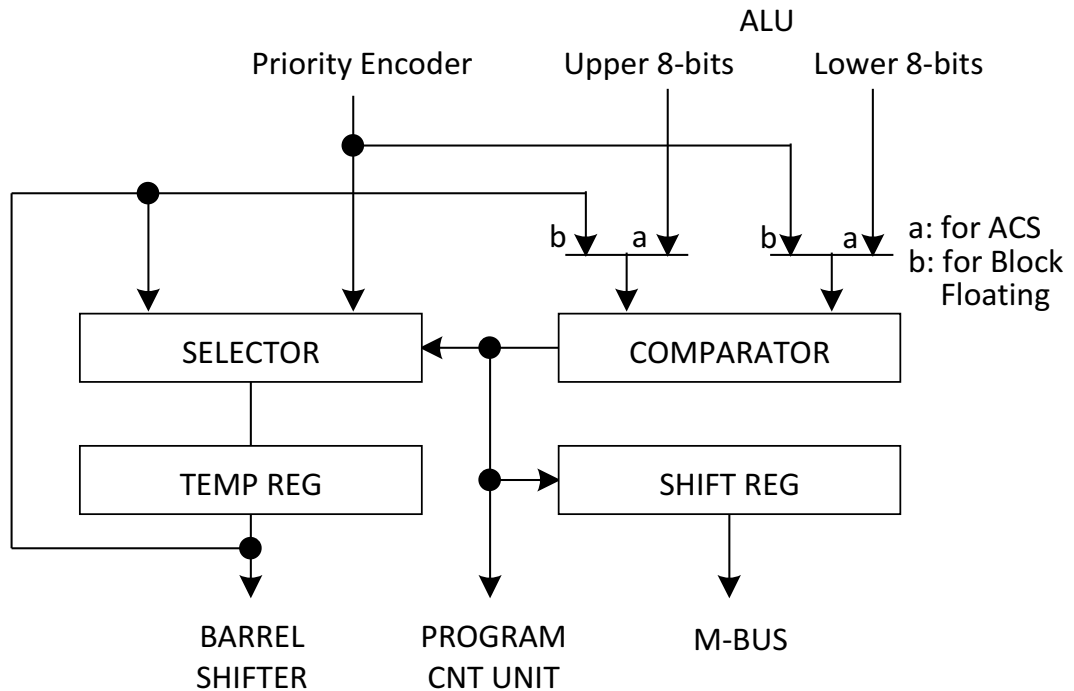


図 3.9: ACS 演算/ブロックフローティングアクセラレータ

スタに順次格納される。この値は ACS 演算終了後に行われる、受信符号推定処理で使用される。またブロックフローティング処理では、プライオリティエンコーダから出力される各データの上位ビット側の連続する 0 あるいは 1 の数を、比較器とテンポラリレジスタにより順次比較し、最終的に図 3.6 に示す共通の指数をテンポラリレジスタに保持する。

### (2) 回路設計

DSP は常に全ての機能ブロックが動作していることは稀であるため、第 2.2 節の図 2.4 に示したゲーティッドクロックが有効である。そこで本 DSP においても、非演算命令実行時には加減算器、乗算器など演算に関するユニットへのクロック供給を停止、逆に積和演算命令の繰返し実行のように命令カウンターの動作が停止できる場合は、命令コードを記憶する命令メモリへのプリチャージ停止などを行うことで低消費電力化を図る。

### (3) LSI 設計

第 2.1 節で述べたように、動的消費電力は負荷容量にも比例する。そこで使用頻度の高い演算ブロック間の配線無くす、あるいはできるだけ短くすることで電力削減を図ることができる。今回ターゲットとしている処理では、図 3.5 に示したよ

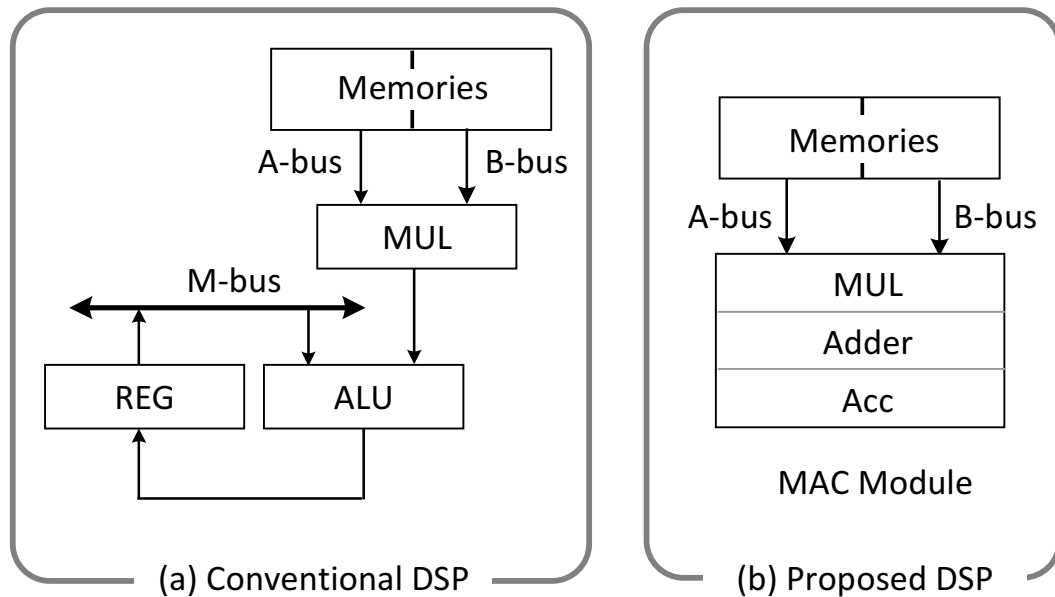


図 3.10: 積和演算器の一体化による電力削減

うに積和演算の割合が極めて高いことから、積和演算部は図 3.10 (a) に示す従来例のように算術論理演算器 (ALU) を流用するのではなく、図 3.10 (b) に示す乗算器、加算器、アキュムレータを一体化した専用ユニットとして実装する。また、各機能ユニットを構成するトランジスタも、各ユニットの動作速度に最適なドライブ能力を持つトランジスタを用いることで、無駄な電力消費を無くす。

### 3.5 低消費電力 DSP アーキテクチャ

以上述べた低消費電力化手法を用いて設計した DSP のブロック図を図 3.11 に示し、各機能ブロックの動作概要を以下に述べる。

#### (1) ALU ユニット

ALU ユニットは 16 ビット ALU、サチュレーション回路、左 31 ビット～右 32 ビットシフトが可能なバレルシフタ、プライオリティエンコーダ、ACS 演算/ブロックフローティングアクセラレータ、16 ビット×8 ワードのレジスタで構成する。バレルシフタに入力されるレジスタ、データメモリ、MAC ユニットの各出力に対して 1 マシンサイクルで演算を行い、結果をレジスタに格納する。

バレルシフタで左 1 ビットシフトを行った段階ではオーバーフローが発生するが次

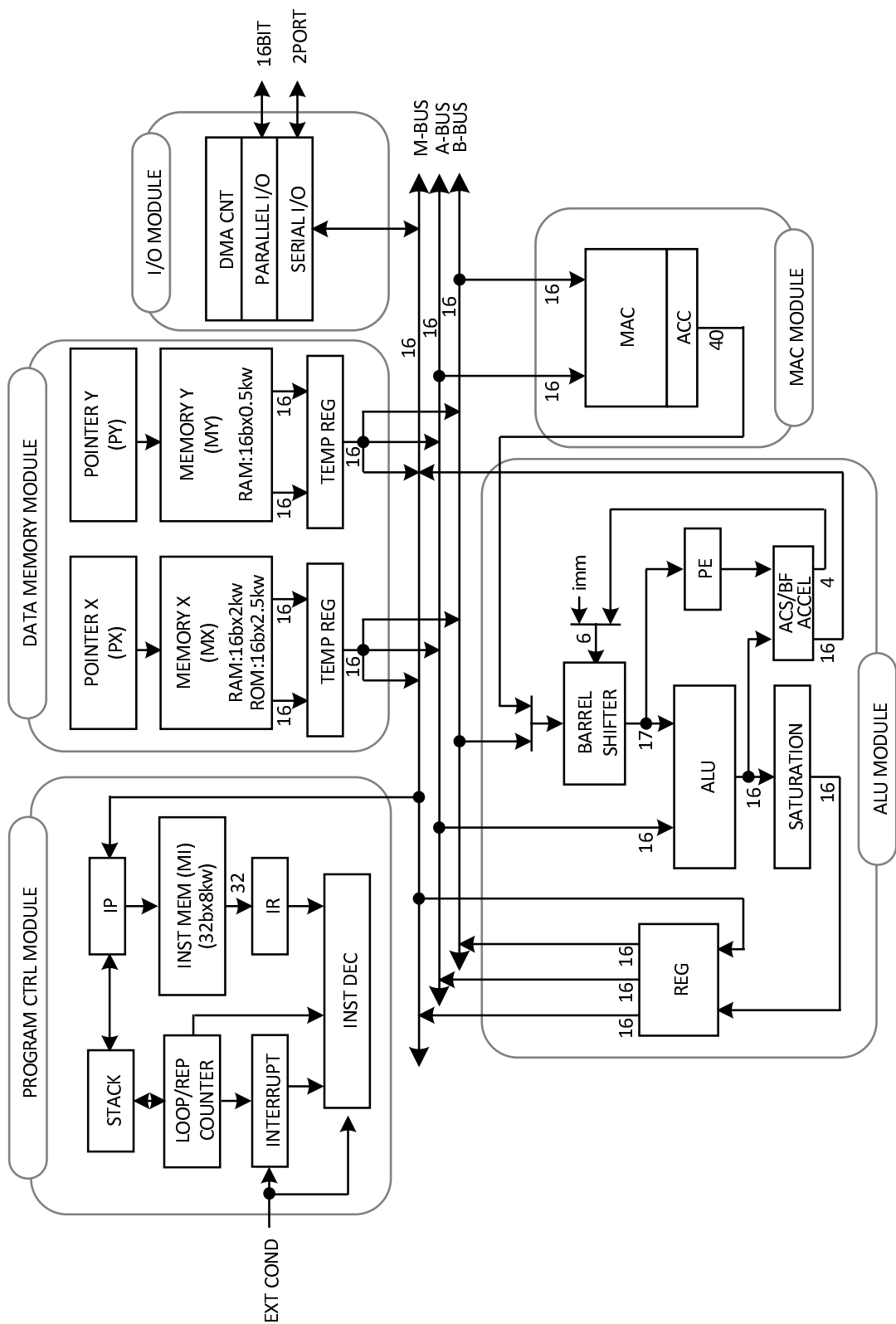


図 3.11: 低消費電力 DSP のブロック図

段の ALU での減算でオーバーフローが回避できる場合が存在することを考慮し、バレルシフタに接続された ALU 入力は 17 ビットと、変則的な構成となっている [45]. なお、ALU 出力がオーバーフローした場合、割込み処理を起動するのではなくサチュレーション回路でオーバーフローの方向に応じた最大値（正数の場合：0111・・・1，負数の場合：1000・・・0）を自動的に出力することで演算の中断を防ぎ、処理のリアルタイム性を確保する.

#### (2) MAC ユニット

第 3.4 節で述べたように MAC ユニットは 16 ビットの入力に対して 1 マシンサイクルに 2 回の積和演算を行い、40 ビット精度で累積加算を行う. あるいは 1 マシンサイクルに 1 回の乗算を行い、32 ビット精度で出力する. これらの演算結果は ALU に入力されるがバレルシフタを経由することで、ALU へのもう一方の入力との桁合わせを行う.

#### (3) データメモリ，データポインタ

MAC ユニット，あるいは ALU ユニットでの演算において，メモリから二つのオペランドを同時に供給できるようにデータメモリは，メモリ X，メモリ Y の 2 面で構成する. また第 3.4 節で述べたように積和演算時にはテンポラリレジスタを用いることで，1/2 マシンサイクル毎にデータを供給する. それぞれのメモリに対しては専用のアドレスポインタである，ポインタ X，ポインタ Y を設ける.

#### (4) 入出力ユニット

入出力ユニットは AD/DA コンバータ，チャンネルコーデックなどの外付け LSI との接続のため，16 ビット双方向パラレルポート，2 本のシリアルポートを設け，シリアルポートとメモリ X 間は DMA により効率よくデータ転送を行う. なお，低消費電力化のため入出力部は，DSP のシステムクロックではなく，周波数が比較的低いシリアル転送用クロックを多用する構成とする.

#### (5) 命令実効制御ユニット

デジタル信号処理では，積和演算など特定命令の繰り返し実行（リピート処理），あるいは命令群の繰り返し実行（ループ処理）が多い. そして，これらの命令あるいは命令群を効率よく実行するための仕組みが設けられており，ループ終了判断のサイクルを陽に見せないゼロ・オーバーヘッド・ループ機構がその代表的なものである [31]. 提案するアーキテクチャはこれに加え，次に述べるようにリピート処理

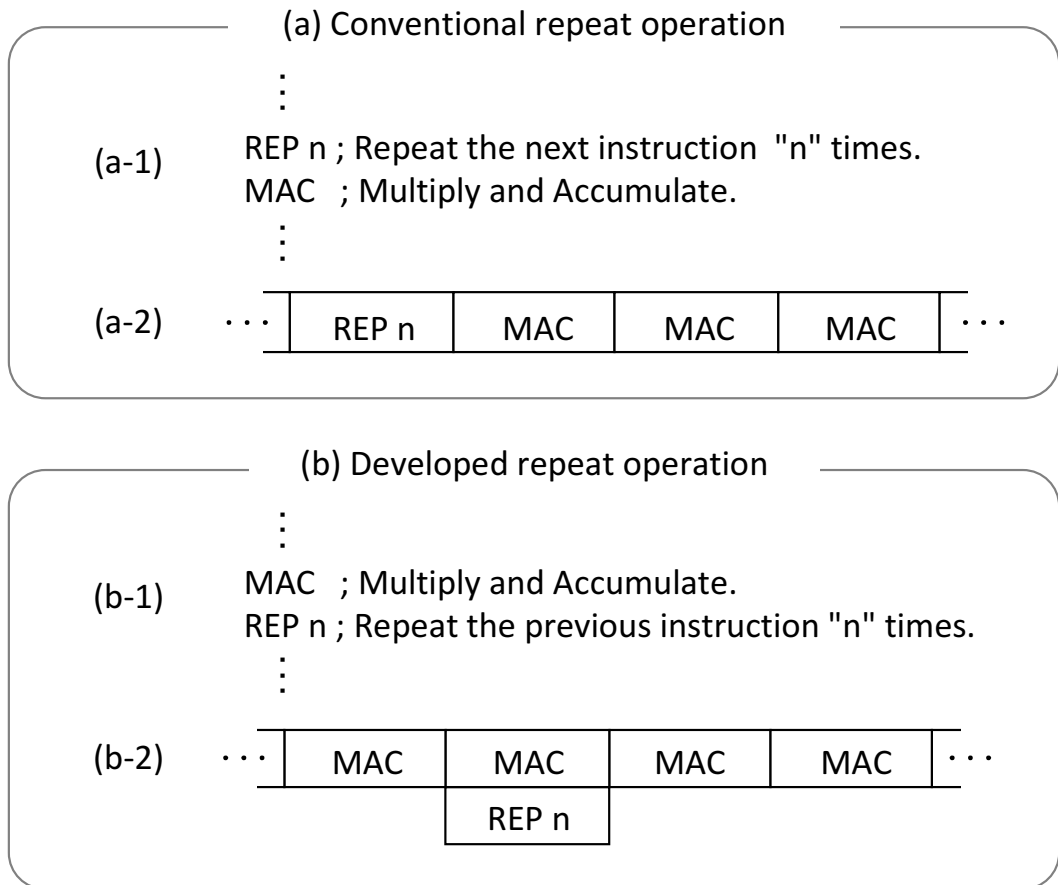
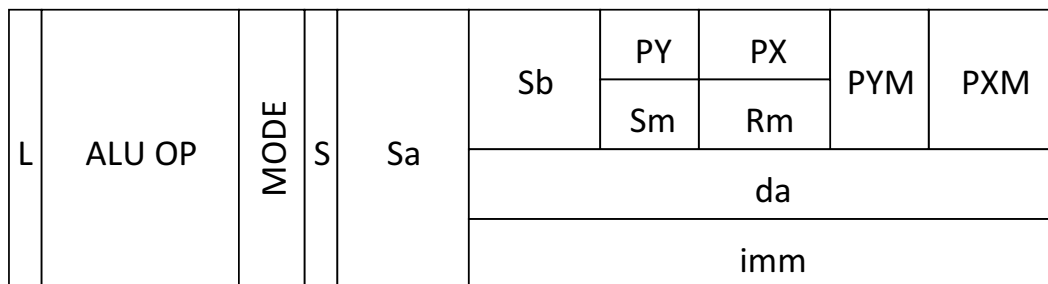


図 3.12: 命令リピート時の制御タイミング

でのオーバーヘッドもゼロにすることで動作周波数の低減を図る [46, 47].

従来のリピート処理では図 3.12 (a-1) のアセンブリプログラムに示したように、リピート対象となる積和演算命令 (MAC 命令) の前に、この命令を n 回繰返し実行することを示すリピート命令 (REP n 命令) を実行する。そのために、図 3.12 (a-2) に示すように REP n 命令の実行サイクルが陽に見える。提案する方法は、積和演算命令 (MAC 命令) は複数回実行されることを利用したものであり、図 3.12 (b-1) に示すように MAC 命令の実行が始まった後に、これと並行し REP n 命令を実行して、MAC 命令の繰返し実行回数をカウンターにセットする。そのため REP n 命令の実行サイクルは図 3.12 (b-2) に示すように陽に見えない。なお、具体的には図 3.11 に LOOP/REP COUNTER として示したカウンターに繰返し回数 n をセットし、実行回数の制御を行う。またスタックメモリを用いることで、多重ループ処理も可能にしている。



L: Loop Control  
 S: Shift Control  
 Sa: Source to A-bus  
 Sb: Source to B-bus  
 Sm: Source to M-bus  
 Rm: Receiver from M-bus  
 PX: Pointer X  
 PY: Pointer Y  
 PXM: PX Modification  
 PYM: PY Modification  
 da: Direct Address  
 imm: Immediate Data

図 3.13: ALU 演算命令フォーマット

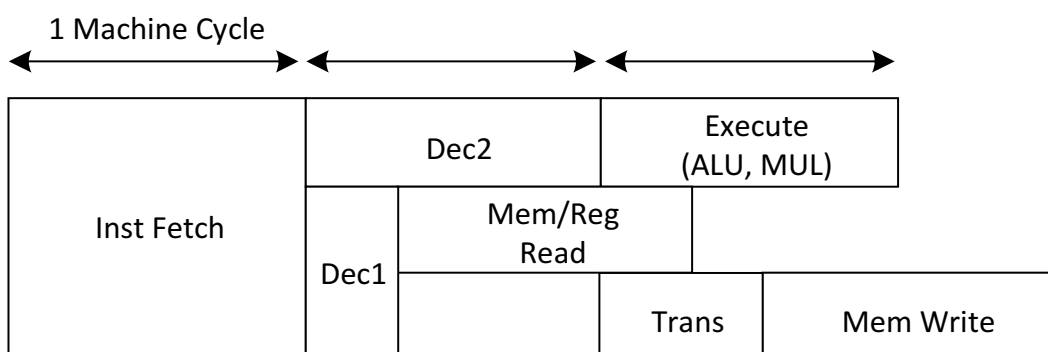


図 3.14: 基本タイミング

### (6) 命令体系

第 2.2 節で述べた並列動作による動作周波数低減も行う。そこで DSP 内の各機能ブロックを並列動作させるが、制御対象が増えるため各機能ユニットの制御情報を記憶する命令の語長は 32 ビットとする。図 3.13 に代表的な例として ALU 演算に関する命令フォーマットを示す。ALU の制御、バレルシフタの制御、2 つのオペランドの指定、データポインタの指定あるいはデータ転送の指定、データポインタの修飾、ループ判定処理の 5 動作の制御を並列に行う。

### (7) 基本タイミング

命令タイミングを図 3.14 に示す。基本は命令フェッチ、命令デコード及びデータ

表 3.2: 低消費電力 DSP の主な仕様

Operating Frequency	10.7MHz (21.5MHz clock input)
Peak MAC Performance	21.5MOPS
Process Technology	0.8um CMOS 2-aluminum-layer
Die Size	9.30mm x 9.09mm (84.54mm <sup>2</sup> )
Number of Transistors	644k (Logic 94k, RAM 250k, ROM 300k)
Package	128-pin QFP
Power Consumption	70mW at 3.5V VDD

メモリ／レジスタのリード、命令実行の3段パイプラインである。但し、メモリへのデータライト操作を行う時は、命令フェッチ、命令デコード、データ転送、メモリライトの3.5段とする。これはメモリライト時間を十分に確保することでデータ書込みに関与するトランジスタのサイズを小さくし、低消費電力化を図るためである。なお、メモリライトを行う命令の直後にメモリリードを行う命令を配置した場合には、メモリ資源のコンフリクトが発生する。この検出と回避を行うためのハードウェアを実装する方法もあるが、この回路が常に動作するため、消費電力の増加を招く。本DSPは汎用ではなく、携帯電話の音声コーデック処理などを行う専用DSPであるという特徴を利用し、ソフトウェアシミュレータによりメモリ資源干渉を予め検出し、干渉が発生する場合は命令順序を変える、あるいはメモリライトを行う命令とリードを行う命令の間にNo Operation (NOP) 命令を挿入することでこれを回避することとし、専用ハードウェアは設けない。この手法は、デジタル信号処理ではメモリライトよりもメモリリードが圧倒的に多く、メモリライトの直後にメモリリードが続くことは極めて少ないことを利用しており、命令入替えやNOP挿入によるオーバーヘッドは大きな問題とはならない。

### 3.6 LSI実装例

上記アーキテクチャを実装したDSPのチップ写真を図3.15に、また図3.16にShmooプロットを示す。Shmooプロットは集積回路における電源電圧と動作周波数との相関関係を示す図であり、縦軸は動作電圧、横軸は動作周波数の逆数であるマ



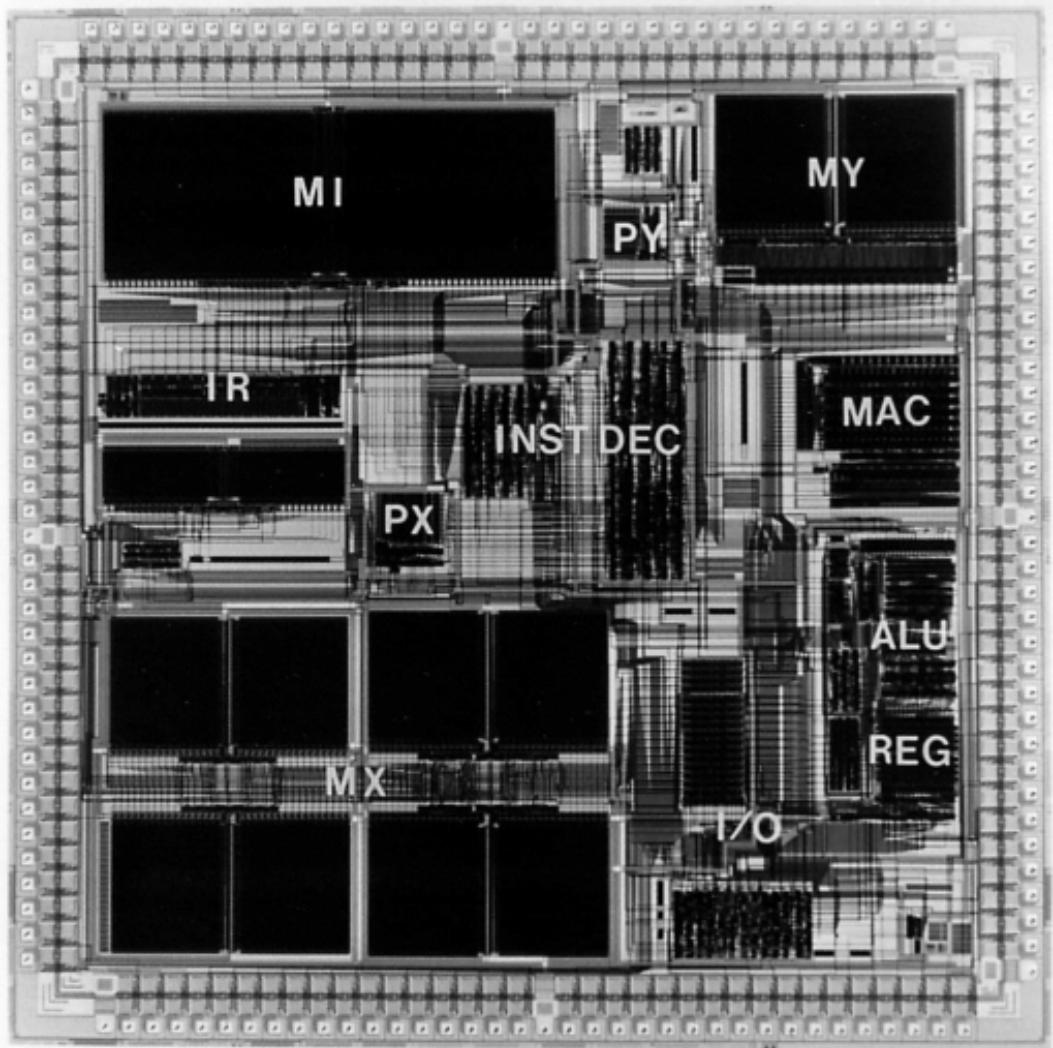


図 3.15: DSP チップ写真

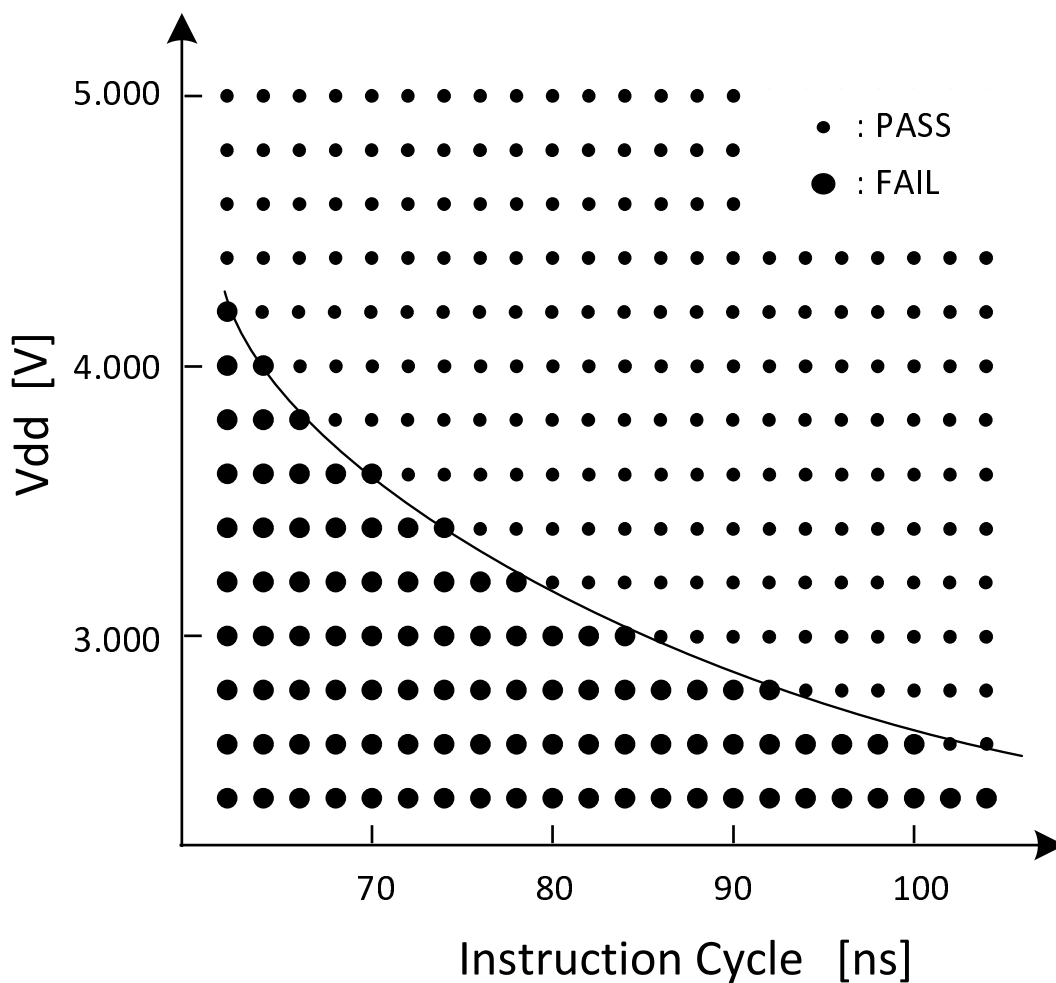


図 3.16: Shmoo プロット図

シンサイクルである。また図において PASS は DSP が正常動作する領域、FAIL は正常動作しない領域を示しており、電源電圧が低い、あるいは高速動作の領域で FAIL が多くなる。この図から、開発した DSP は 3.5V では 10.7MHz で動作することが判り、その時の積和演算能力は倍速演算機構により 2 倍の 21.5MOPS となる。また主要緒元を表 3.2 に示す。

### 3.7 性能評価

11.2kbps VSELP コーデックを、倍速積和演算機構や ACS 演算/ブロックフローティングアクセラレータなどを持たない従来の DSP [48] と、提案した DSP で実行した時のクロック数の比を図 3.17 に示す。導入した倍速積和演算機構や ACS 演算/ブ

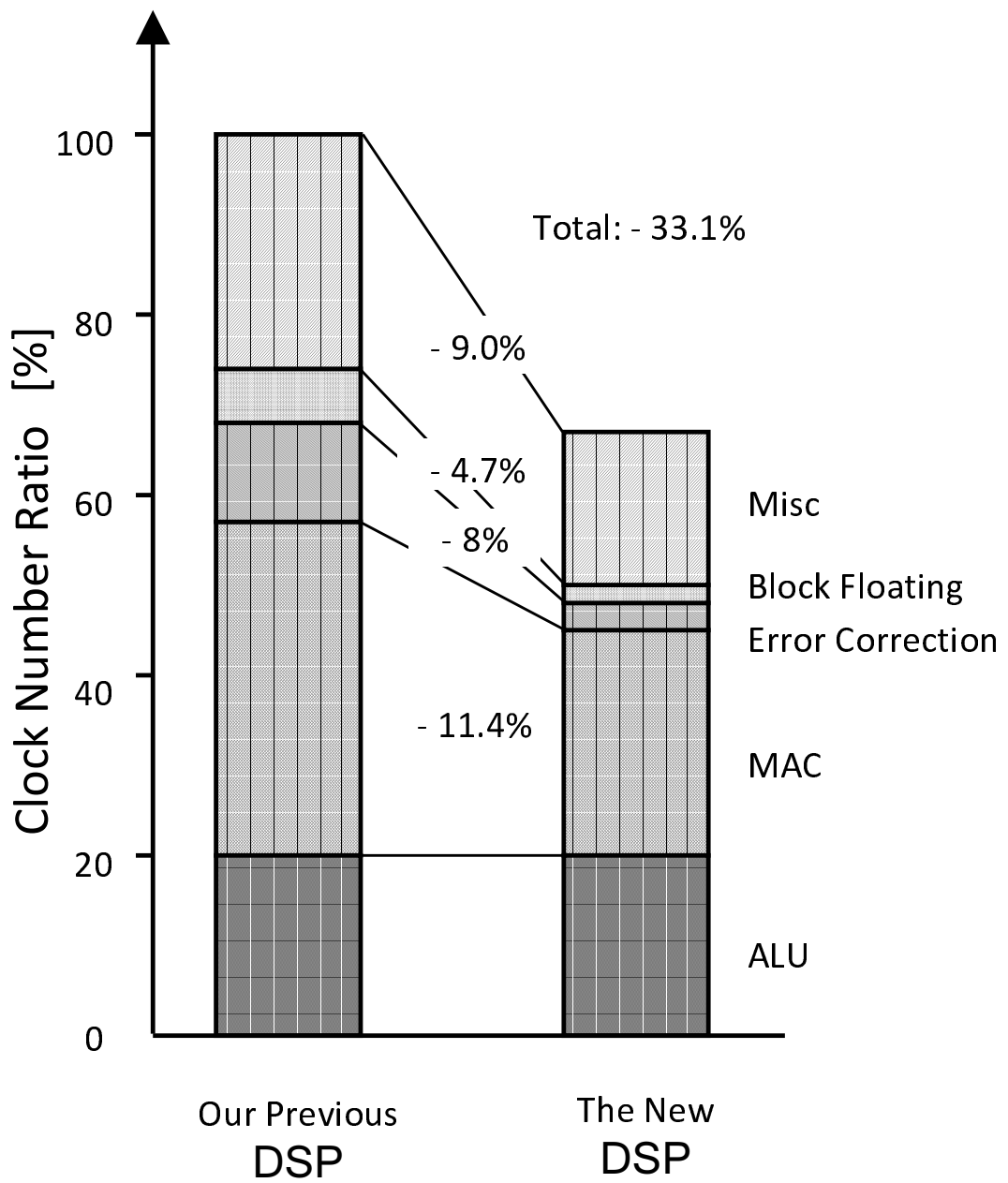


図 3.17: 11.2kbps VSELP コーデック実行時のクロック数

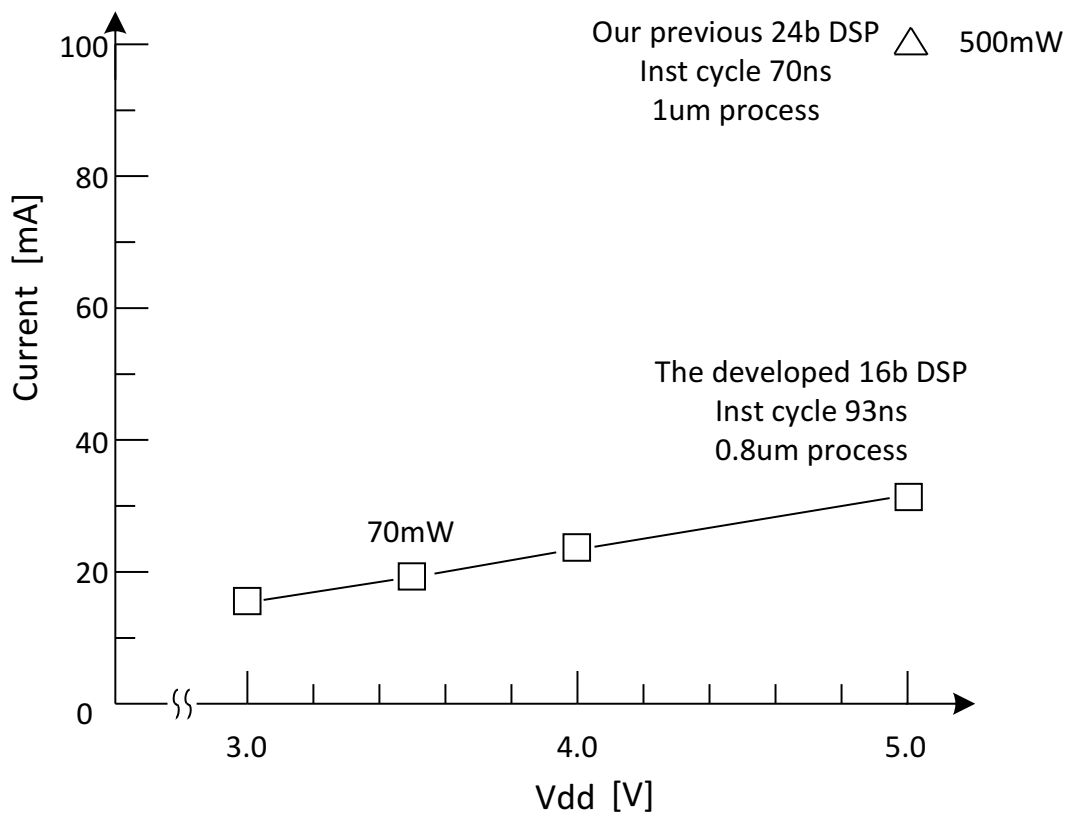


図 3.18: 消費電力測定結果

ロックフローティングアクセラレータなどの効果により，従来に対して約 33%のクロック数を削減している．また，実際に 11.2kbps VSELP コーデックを実現した時の消費電力を図 3.18 に示すが，上記従来の DSP では 500mW の電力を消費する．従来の DSP のデータ語長は，提案した DSP の 1.5 倍である 24 ビットではあるが，動作周波数の低減とこれによる低電圧動作の実現などにより，データ語長比よりも格段に小さい約 1/7 の 70mW (3.5V 動作時) の消費電力で，同じ機能を実現している．

### 3.8 まとめ

本章では，デジタル携帯電話音声コーデック用 DSP の動的消費電力を低減させるためのアーキテクチャ，回路，そしてそれらを実装した LSI などについて述べた．具体的には DSP の動作周波数を低減することにより，動的消費電力削減には 2 乗の効果がある電源電圧の低減を図った．そして動作周波数低減のために，デジタル信号処理の基本演算である積和演算を効率よく処理する倍速積和演算機構，ビタビ復号やブロックフローティングを効率よく処理する ACS 演算／ブロックフローティングアクセラレータ，命令リピート処理手法などを開発し，DSP 全体の動作周波数を低減した．また，LSI 実装では倍速積和演算器の一体化による負荷容量の削減，リピート処理時などでプログラムカウンタの動作が停止している時の命令メモリへのプリチャージ停止なども行った．そして，PDC 用 11.2kbps VSELP コーデックを，従来比約 1/7 の 70mW (3.5V 動作時) の消費電力で実現し，提案手法の有効性を示した．

# 第4章 分割符号化手法による低消費電力データ伝送

## 4.1 概要

本章では、第2.3節で述べたバス反転符号化手法において、バスの状態遷移数を下げる手法を提案する。本手法は、第3章で述べた音声コーデック用DSPが扱う信号のように、帯域が制限されたデータの伝送を行う場合を対象としている。そしてデータの特徴を利用することで、バスの状態遷移数の低減を図る。実際のCMOS回路においては、状態遷移数を下げることは、バス配線において第2.1節、式(2.2)に示す信号トグル係数 $N$ を下げることであり、動的消費電力の低減が図れる。シミュレーションによる状態遷移数と、汎用COMS論理ICを用いて実装し、測定した消費電流の評価で、提案手法の有効性を示す。尚、状態遷移数の低減により信号トグル係数 $N$ を低減させることから、本章、及び次章では、状態遷移数、あるいは後ほど定義する遷移率で議論する。

## 4.2 従来手法

第2.3節で触れた従来のバス反転符号化手法のブロック図を図4.1に示す。この手法では時刻 $t$ の出力レジスタの値すなわち $L$ ビットのデータと、入力レジスタに格納されている時刻 $t+1$ で出力する予定のデータとのビット毎のハミング距離を、 $L$ 個の排他的論理和回路で求め、その出力を $L$ 入力多数決判定回路に与える。そして多数決判定回路は入力の1の個数が $L/2$ を超える場合に論理1の判定信号を出力し、出力レジスタの入力に設けた排他的論理和回路で反転処理を行い、その結果は出力レジスタを経由してバスに出力される。これにより時刻 $t$ と $t+1$ におけるデータのハミング距離を $L/2$ 以下にする。受信側はバスからの $L$ ビット入力と1ビットの判

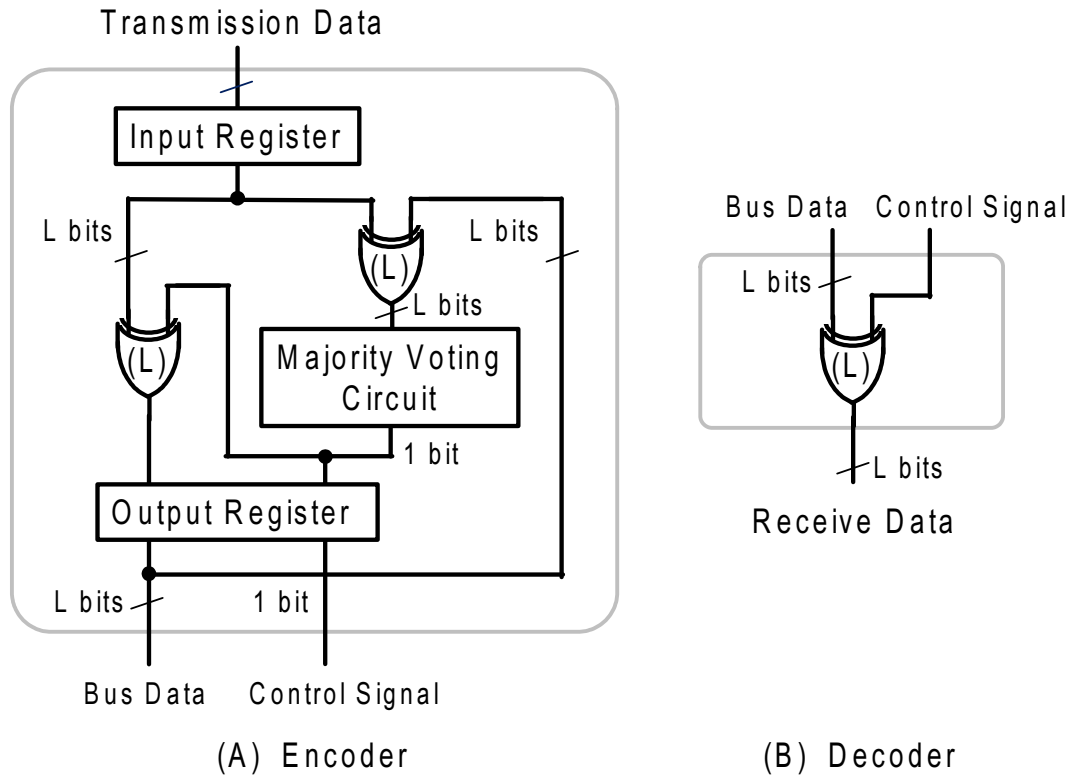
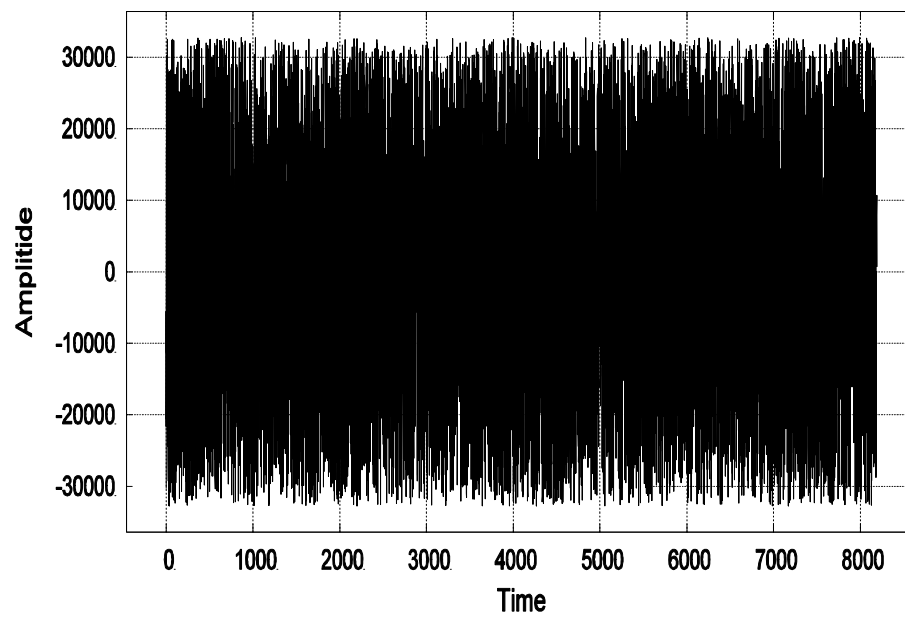


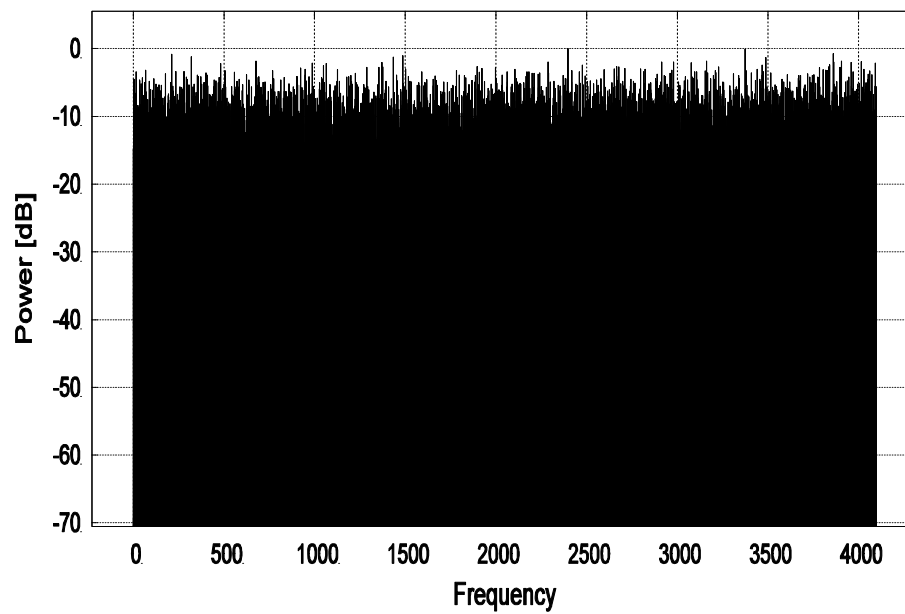
図 4.1: 従来のバス反転符号化手法ブロック図

定信号との排他的論理和演算を行い復号する．これによりバスの遷移，すなわち出力レジスタに接続されたバス駆動用 CMOS 回路の信号トグル係数を低減し，低消費電力化を図る．このように従来のバス反転符号化手法では全ビットを同等に扱って多数決判定を行っているが，オーディオ信号，画像信号など帯域が制限された信号では隣接サンプル間の振幅変化は緩やかであり，隣接サンプル間において上位ビットと下位ビットの振舞いは異なると予想される．そこで帯域が制限された信号に対して従来のバス反転符号化手法を適用した時の課題を，シミュレーションにより明らかにする．

まず，図 4.1 に示す従来のバス反転符号化回路に，図 4.2 に示す波形，スペクトラムを持つサンプル数  $N=8192$ ，16 ビットの擬似乱数信号，そして，図 4.3 に示す波形，スペクトラムを持つサンプル数  $N=8192$ ，16 ビットのオーディオ信号を入力とした時のバスの遷移率を，それぞれ図 4.4 (A)，図 4.4 (B) に示す．図において，横軸はビット位置であり 15 が最上位ビット (Most Significant Bit, MSB)，0 は最下位ビット (Least Significant Bit, LSB) を示している．縦軸は毎サンプルでの平均遷移



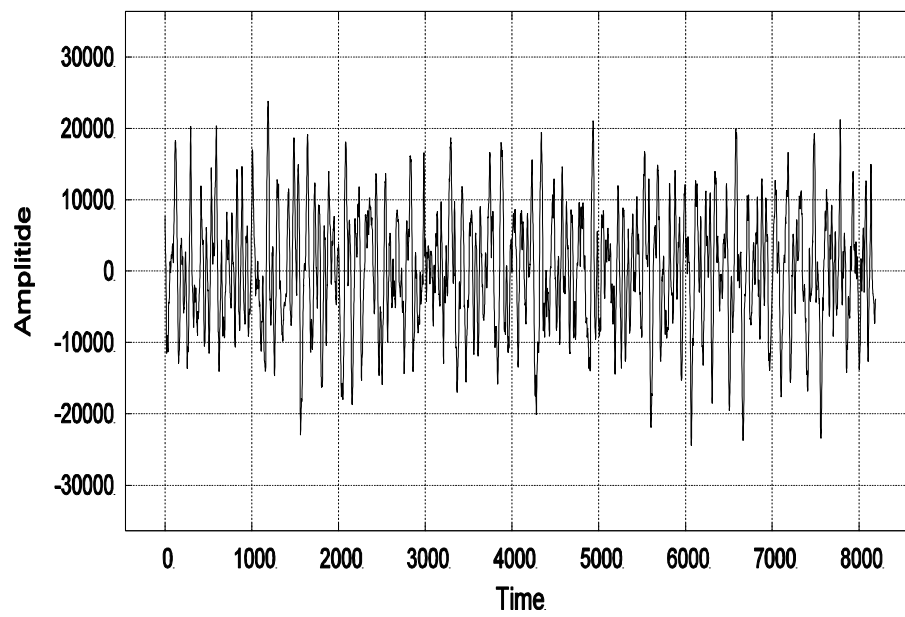
(A) Waveform



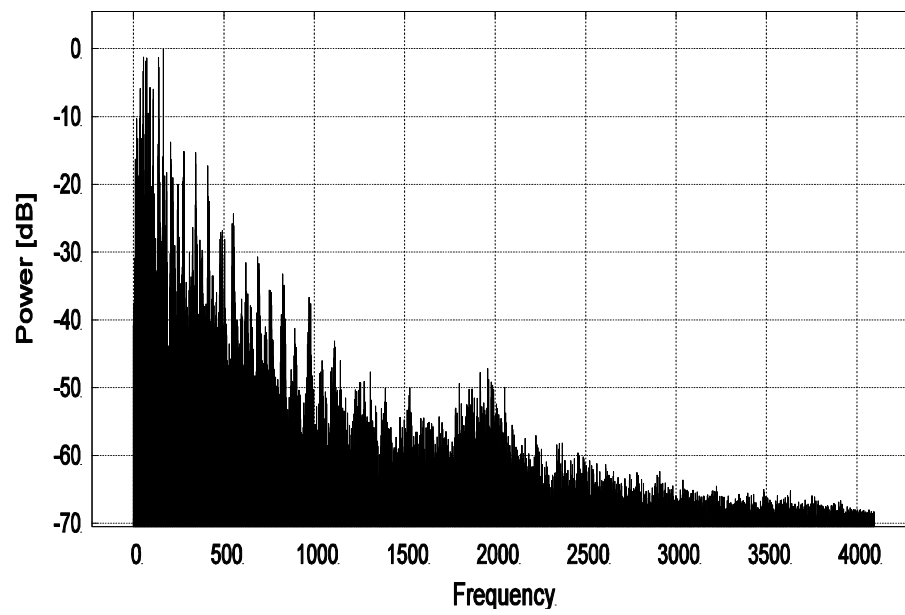
(B) Spectrum

図 4.2: 擬似乱数の信号波形とスペクトラム



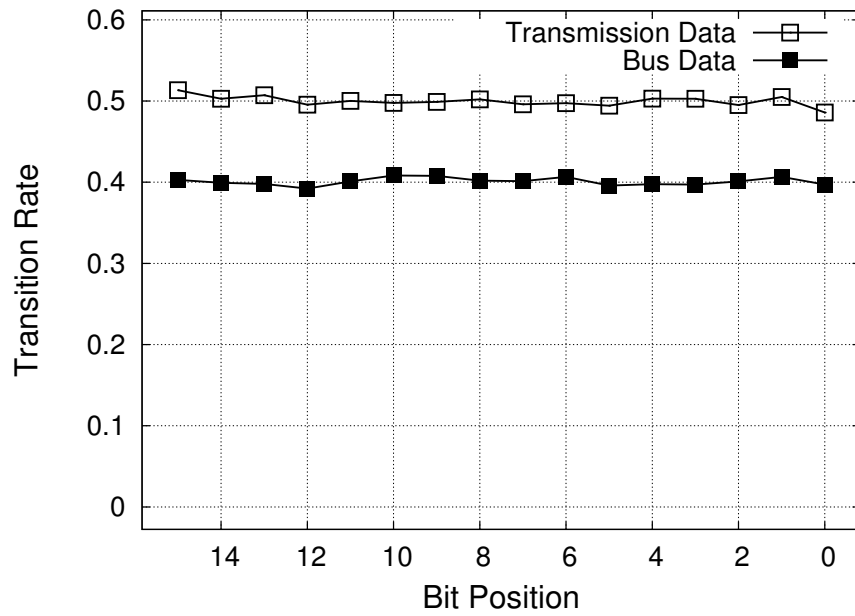


(A) Waveform

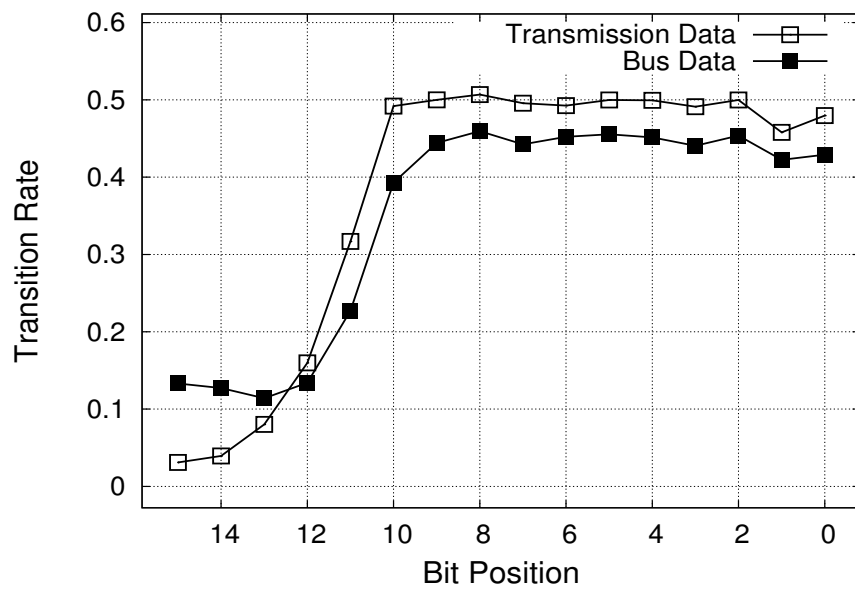


(B) Spectrum

図 4.3: オーディオ信号波形とスペクトラム



(A) 擬似乱数の場合



(B) オーディオ信号の場合

図 4.4: 従来のバス反転符号化手法でのバス平均遷移率

率を示しており、例えば0.5の場合は平均として2サンプルに1回データが遷移することを意味する。また Transmission Data は図 4.1 に示している符号化前の送信データの遷移率を、Bus Data は同じく図 4.1 に示している符号化されたバスデータの遷移率を示している。図 4.4 (A) から従来のバス反転符号化手法では、擬似乱数のように全ビットがほぼ一様に変化する入力に対しては、MSB から LSB の全ビットで遷移率が約 0.5 から約 0.4 に低減できることが判る。しかしながら図 4.4 (B) に示すオーディオ信号のような帯域制限された信号では、上位ビット (ビット 15, 14, 13) に対しては符号化を行うことで逆に遷移率が増加、下位ビット (ビット 11~0) に対して遷移率は約 0.45 と図 4.4 (A) に示す遷移率と比べ約 0.05 悪化している。これは、従来の手法では、MSB から LSB までの全ビットで多数決判定処理を行っていることが原因と考えられる。すなわち図 4.2 と図 4.3 が示すように、オーディオ信号と擬似乱数では特性が大きく異なっている。そこで、上位ビットと下位ビットに対して異なる符号化を行うことで遷移率を低減する分割符号化手法を第 4.3 節以降で、さらに、多数決判定を擬似的に行うことで多数決判定回路の単純化を図り、消費電力をさらに低減する擬似多数決判定回路を第 5 章で提案する。

### 4.3 分割符号化手法

図 4.3 に示すオーディオデータに対し、全サンプル、全ビット間の相関を求めた結果を図 4.5 に示す。図 4.5 において凡例の b0 から b15 は 16 ビットデータの各ビットを、横軸は相関先のビット (右端の 0 が LSB である b0) を示している。したがって、凡例に示す各ビットと相関先のビットが一致した時、相関は 1 となる。この図から、1) 下位ビットは他ビットとの相関がほとんど無い、2) 上位ビットは MSB との相関が大、3) 上位ビットは隣接するビットとの相関が大であること、が判る。そこで  $L$  ビット入力に対し、下位  $n$  ビットには従来手法と同様の多数決判定と反転による符号化を行い、そして上位  $m$  ビットに対する符号化として、符号化を行わない単純分割符号化手法、上記 2) の特徴を利用した擬似絶対値化分割符号化手法、上記 3) の特徴を利用したグレイコード (Gray code) 化分割符号化手法、を検討する。ここで擬似絶対値とは、2 の補数体系で表現された負数に対して、符号ビットに続く下位ビットを反転したものと定義する。例えば 6 ビットの負数データ 111111 に対し

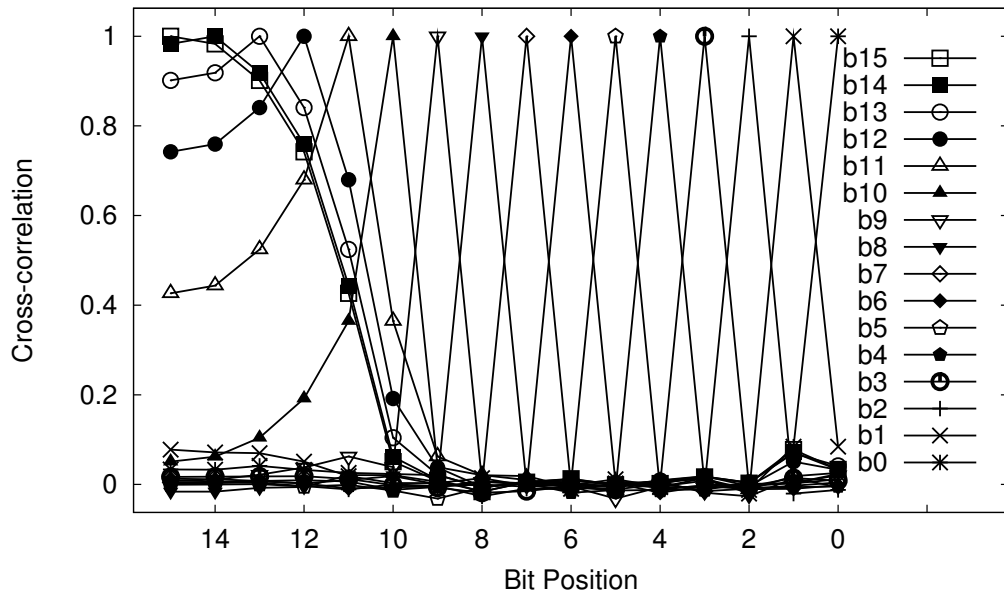


図 4.5: オーディオ信号の全サンプル・全ビット間相関

では最上位ビット以外を反転し 100000 とし、同じく、100000 は 111111 として表現する。また正数データ、例えば 011111 に対しては反転せずに 011111 とする。以上のことに基づいた分割符号化手法のブロック図を図 4.6 に示す。

なお、ベル研究所の Cassiu C. Cutler によって発明された有名な符号化手法である差分パルス符号変調 (Differential Pulse Code Modulation, DPCM) は、帯域制限された信号では時刻  $t$  と時刻  $t+1$  のデータに強い相関があることに着目し、両データの差分だけを送信するものである [49]。図 4.5 はこの隣接するデータ間の相関関係を、全ビット間の相関で示したものと言える。

以下に単純分割符号化手法、擬似絶対値化分割符号化手法、グレイコード化分割符号化手法の詳細について述べる。

#### 単純分割符号化手法

本手法では上位ビット符号化回路、上位ビット復号化回路は論理回路ではなく、入力と出力を単純に接続する  $m$  ビットの配線となる。

#### 擬似絶対値化分割符号化手法

単純分割符号化手法では、下位ビット多数決判定結果の上位ビットへの副作用が排除されるため、全体の遷移率が従来手法よりも低減することは期待できる。しかしながら 2 の補数体系では、符号ビットが変わるゼロポイントを通過してデータが

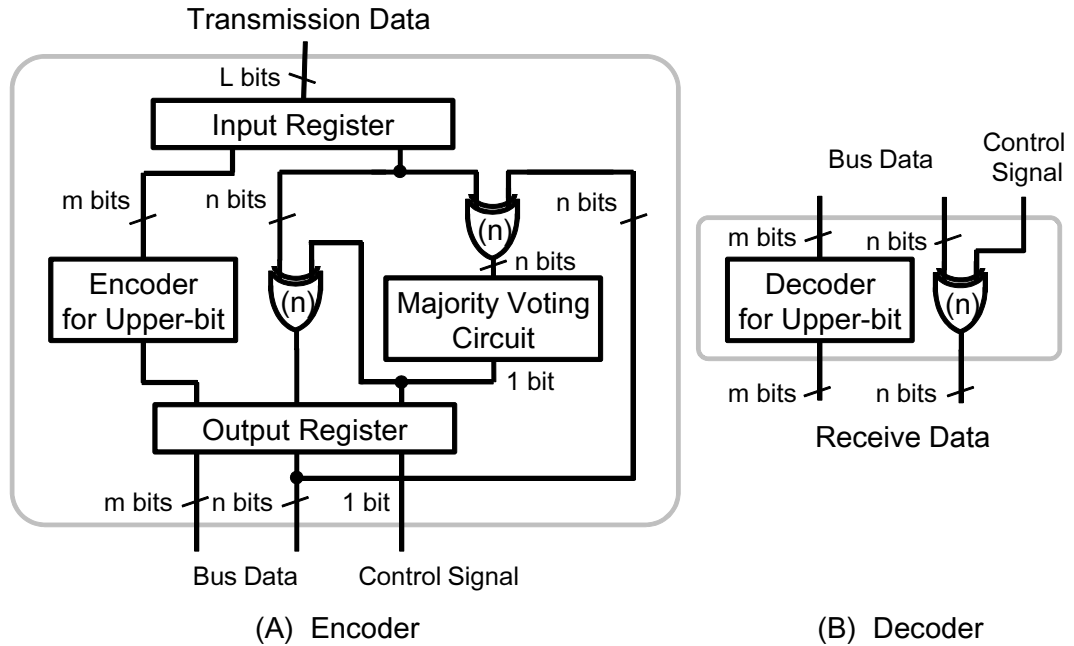


図 4.6: 分割符号化手法ブロック図

変化する時に、また符号無し体系では、最上位ビットが0から1、あるいは1から0に変化する中心値を通過してデータが変化する時に、共に下位ビットで大きな遷移が発生する。例えば2の補数体系で6ビットの場合、次のような大きな遷移が発生する。

例1  $-1: 111111 \Rightarrow +1: 000001$  遷移数5

例2  $+1: 000001 \Rightarrow -1: 111111$  遷移数5

そこで図4.5に示した上位ビット群はMSBとの相関が強いことを利用し、図4.7(A)に示す回路を用い上位ビットを擬似絶対値化する。この手法ではMSBを制御信号として用い、MSBに続く上位ビットに対し排他的論理和演算を行い、上位ビットを2の補数ではなくMSBと擬似絶対値で表現する。例えば6ビットの-1は111111では無く100000と表現される。そこで上に示した例1, 2の遷移は、

例1  $-1: 100000 \Rightarrow +1: 000001$  遷移数2

例2  $+1: 000001 \Rightarrow -1: 100000$  遷移数2

となり、ゼロポイント通過による状態遷移数は大きく低減される。またこの手法では、上位ビットの符号化に必要な排他的論理和回路の個数は、従来の反転手法での  $m$  個に対し  $m-1$  個となり回路規模を低減できる。さらに上位ビットの復号に必要な

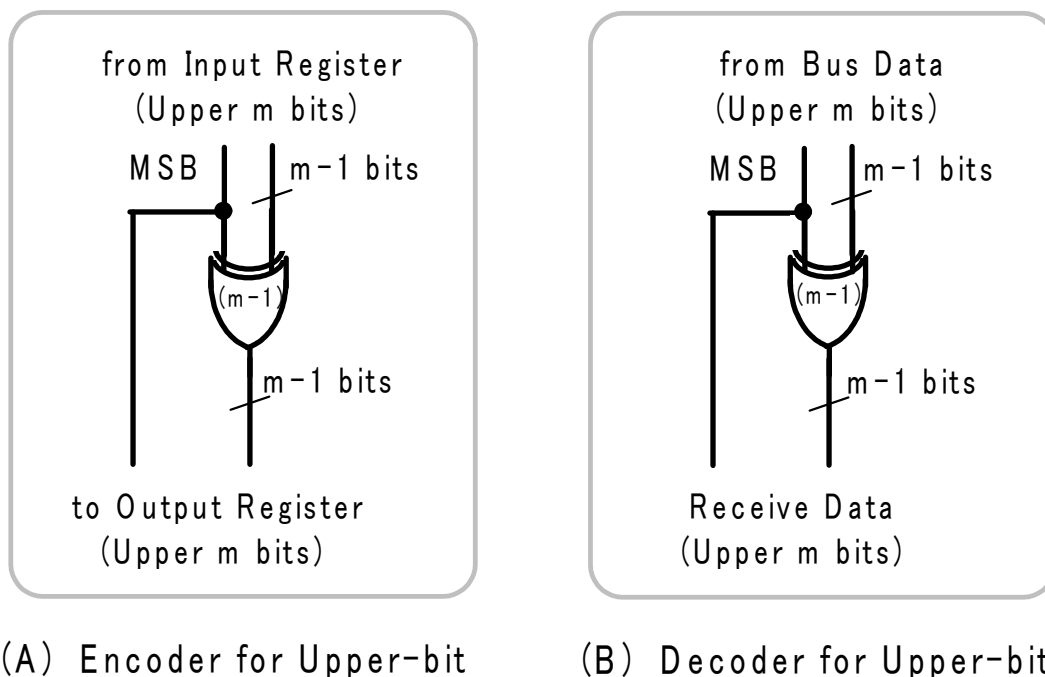


図 4.7: 擬似絶対値化符号化復号化回路

制御信号は、符号化されずに出力される送信データの MSB とでき、専用の制御線を設けた際に発生する新たな遷移も無い。なお、MSB は全データビットの中で最も変化が少ないため、符号化しないことによる遷移率増加はほとんど無いと考えられる。復号は図 4.7 (B) に示す  $m-1$  個の排他的論理和回路を用いる。

#### グレイコード化分割符号化手法

図 4.5 に示したように、上位ビットは MSB だけでなく隣接ビットとの相関も強い。このことを利用し、図 4.8 (A) に示す回路を用い上位ビットをグレイコード化する。この手法では 2 の補数体系でのゼロクロス、符号無し体系での中心値クロスでの大きな状態遷移を低減すると共に、下位ビットからの桁上がり、桁下がりが発生する緩やかな状態遷移も緩和する。例えば 6 ビットの +2 は 000010 では無く 000011 と表現されるので +1 から +2 のような変化において、通常の数体系では下位 2 ビットが 01 から 10 と 2 ビット遷移するのに対して、01 から 11 と 1 ビットの遷移に留まる。また復号に必要な制御信号は送信データの MSB を用いるため、擬似絶対値化分割符号化手法の場合と同様の利点を有する。但し、復号は擬似絶対値化分割符号化手法とは異なり、図 4.8 (B) に示すように MSB からの逐次処理が必要となるため、上位ビットが多い場合には遅延増加の課題を有する。

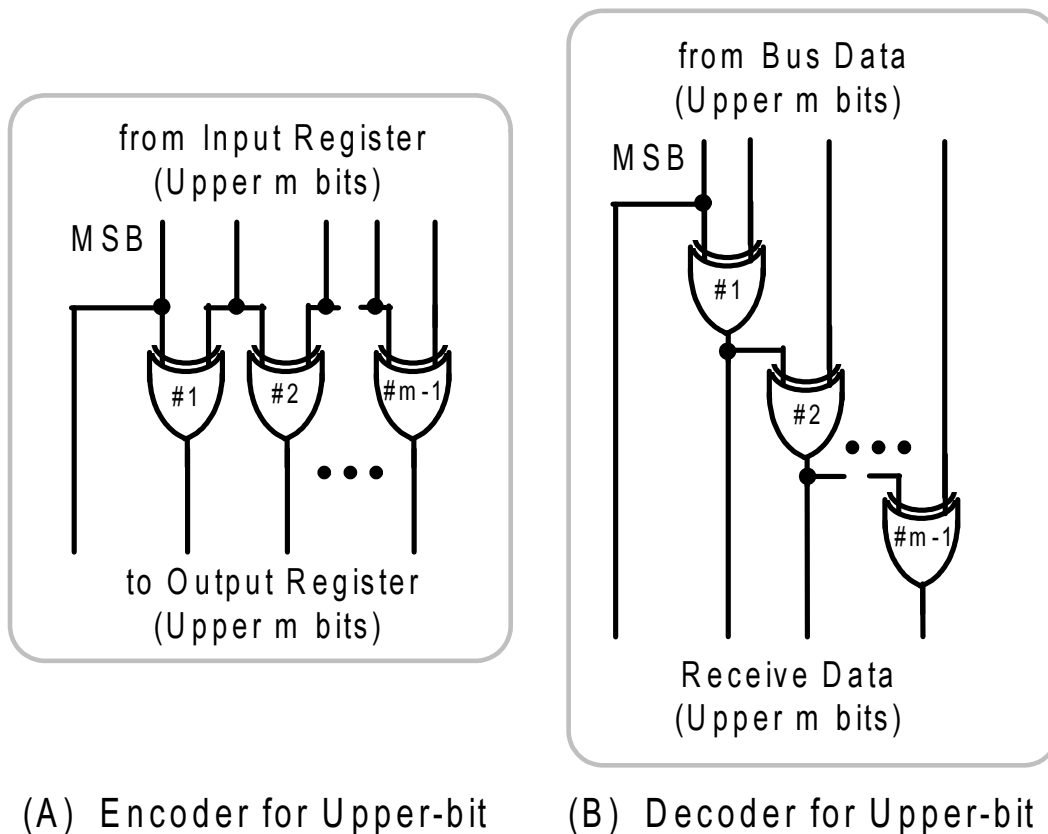


図 4.8: グレイコード化符号化復号化回路

#### 4.4 分割符号化手法の評価

単純分割符号化手法，擬似絶対値化分割符号化手法，グレイコード化分割符号化手法の3手法に対して，シミュレーションにより遷移率での評価を行う．また，汎用 COMS 論理 IC を用いて実装を行い，消費電流での評価も行う．

提案する手法はオーディオデータのように，帯域制限された信号の特徴を利用している．そこでこれ以降の解析では帯域制限された信号の特性と遷移率や消費電流の関係を明確にするため，以下の手順で帯域制限されたデータを作成し用いる．

- 1) サンプル数  $N$  の疑似乱数に高速フーリエ変換 (Fast Fourier Transform, FFT) を行い，周波数領域  $F(k)$  に変換．
- 2)  $F(k)$  に対しカットオフ周波数  $f_c$  で高周波成分を取り除き帯域を制限，逆高速フーリエ変換 (Inverse FFT) で時間領域の信号  $f(t)$  に復元．
- 3) 高周波成分を取り除いた後に逆高速フーリエ変換を行うと，取り除いた成分に対応する振幅が減少する．この影響を無くすため，上記 2) で得られた信号  $f(t)$  の

最大振幅が 16 ビット表現での最大幅となるように各サンプルの振幅を調整。

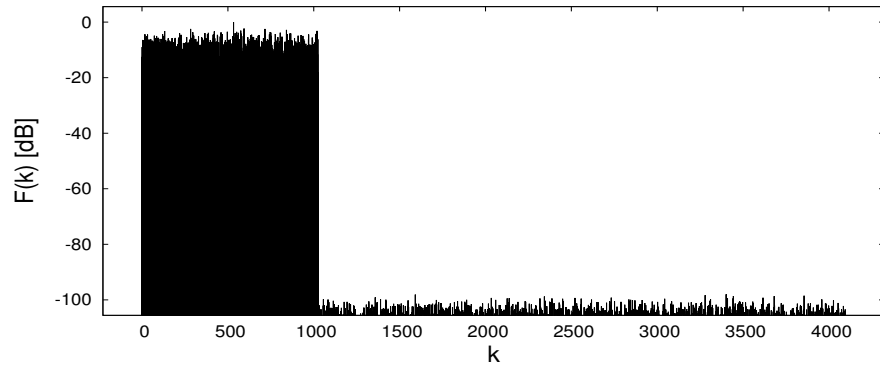
尚, FFT 後の周波数は最大値がサンプリング周波数に対応し,  $N$  個に量子化される. 量子化された周波数インデックス  $k$  は周波数ビンと呼ばれる. またサンプル数  $N$  は 8192 とし, カットオフ周波数  $f_c$  は対応する周波数ビンを, さらにサンプル数  $N$  で正規化した値で表わす. 例えば  $k=1024$  より高い周波数成分を取り除き帯域を制限した場合には,  $f_c=1024/8192=1/8$  と表現する.

図 4.9 に, 上記処理を行い生成した擬似乱数の信号波形とそのパワースペクトラムの一例を示す. 図 4.9 (A), (B) はそれぞれ, カットオフ周波数  $f_c=1/8$  の場合のスペクトラムと信号波形を, 図 4.9 (C), (D) は  $f_c=1/128$  の場合のスペクトラムと信号波形を示す.  $f_c=1/8$  では  $f_c=1/128$  の場合より高い周波数成分を持つため, その信号波形は激しく変化するものとなっている.

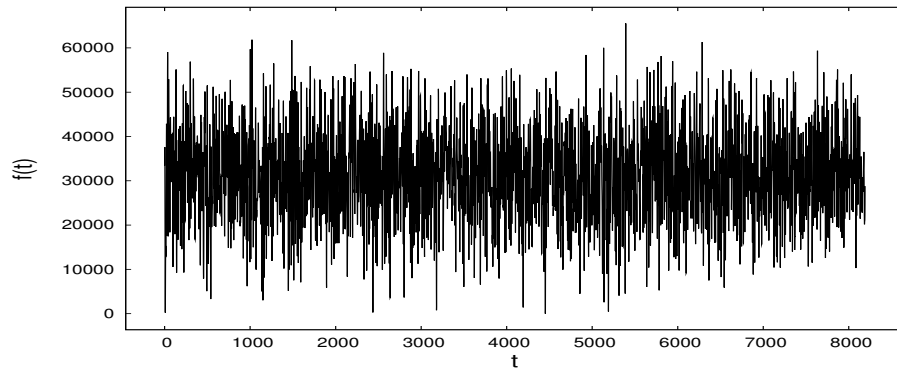
#### 4.4.1 シミュレーションによる遷移率での評価

図 4.6 に示す分割符号化回路で  $L=16$ , Transmission Data としてカットオフ周波数  $f_c$  が  $1/1024$ ,  $1/128$ ,  $1/64$ ,  $1/16$ ,  $1/8$ ,  $1/4$  の信号を用い, シミュレーションにより各符号化手法での Bus Data の遷移率を求めた結果を, 図 4.10, 図 4.11 に示す. 図において横軸は図 4.6 に示す上位ビット符号化回路の入力ビット数  $m$  であり,  $m=0$  では全ビットを多数決判定回路に入力することになり, 従来の符号化手法となる.  $m=16$  は, 全ビットを上位ビット符号化回路に入力する場合を示している. 縦軸は符号化前のデータ Transmission Data の遷移率  $R_T$  に対する, 符号化されたデータ Bus Data の遷移率  $R_B$  の比を示している. この遷移率比  $R_B/R_T$  は符号化の効果を示すものである. 例えば 1 ならば符号化による遷移率の改善が効果が無いこと, 1 以上ならば逆に悪化しているになり, 1 以下で, かつ, 小さい値を示すものが符号化効果の高い手法となる. また SC-NOP, SC-PAV, SC-GC と付したラインはそれぞれ, 単純分割符号化手法, 擬似絶対値化分割符号化手法, グレイコード化分割符号化手法の遷移率比  $R_B/R_T$  を示す. 各方式共に遷移率比が最小となるポイントを有するが, その時の  $m$  は上位ビット符号化と下位ビット符号化の最適分割ポイントを示していることになる. なお, 遷移率には下位ビットの多数決判定結果を示す制御信号の遷移も含めている.

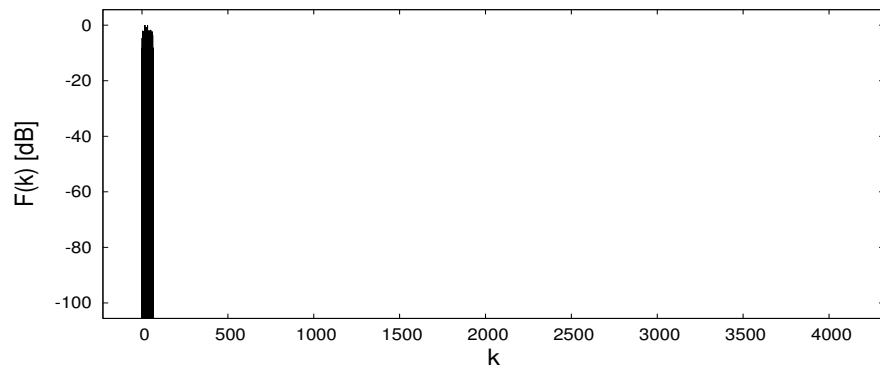




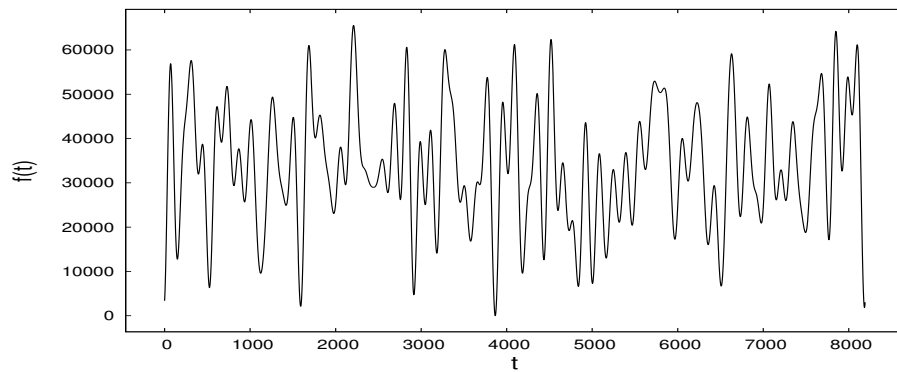
(A) Power spectrum ( $f_c=1/8$ )



(B) Waveform ( $f_c=1/8$ )

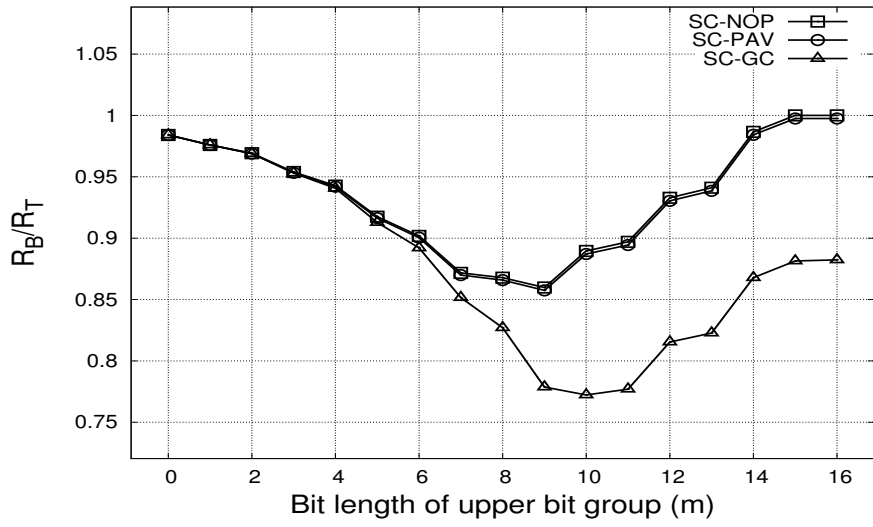


(C) Power spectrum ( $f_c=1/128$ )

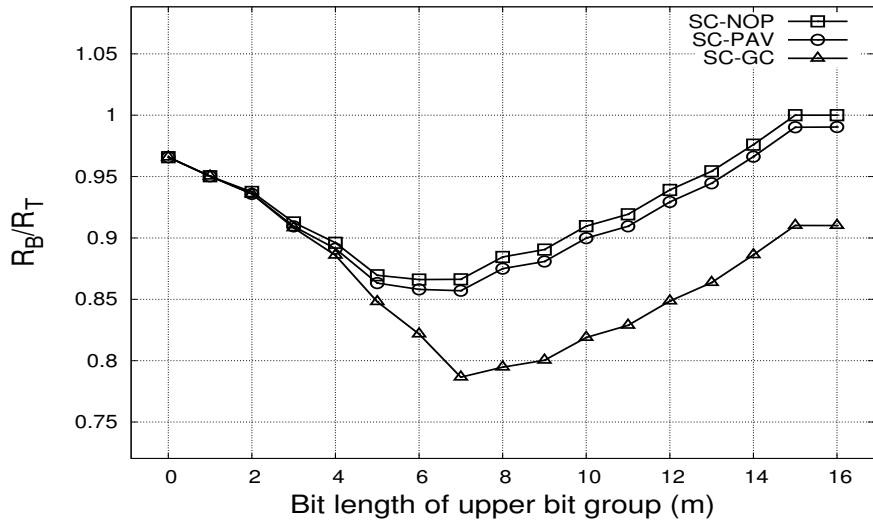


(D) Waveform ( $f_c=1/128$ )

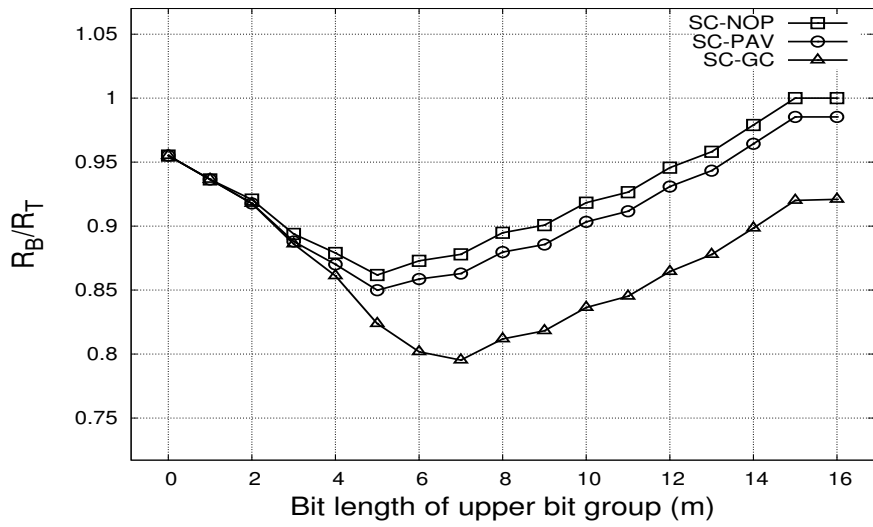
図 4.9: 評価に用いる擬似乱数の例



(A)  $f_c = 1/1024$

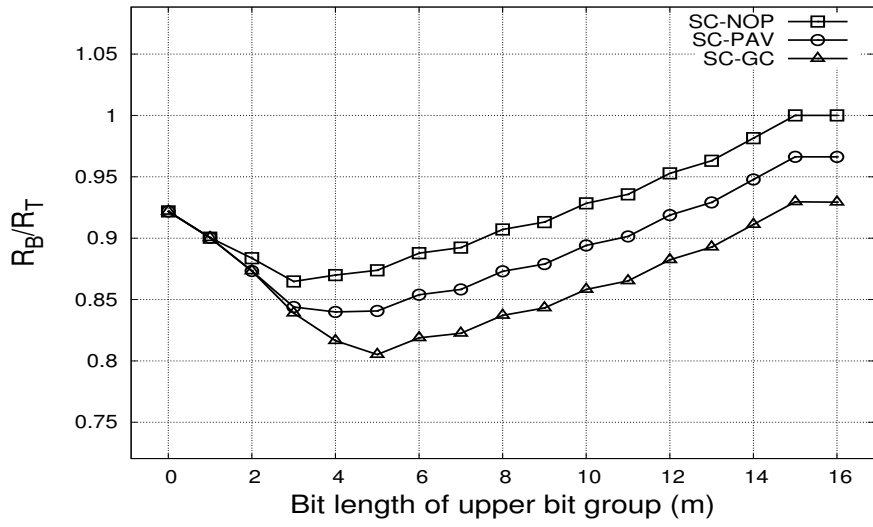


(B)  $f_c = 1/128$

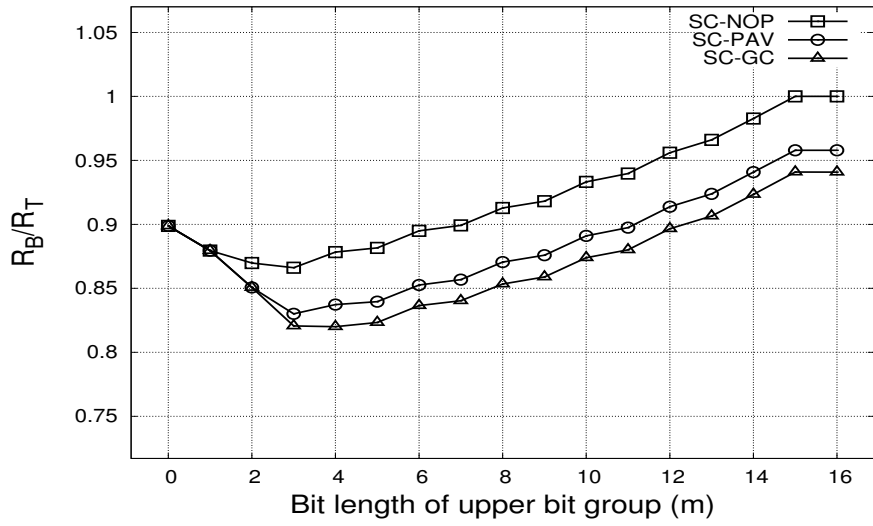


(C)  $f_c = 1/64$

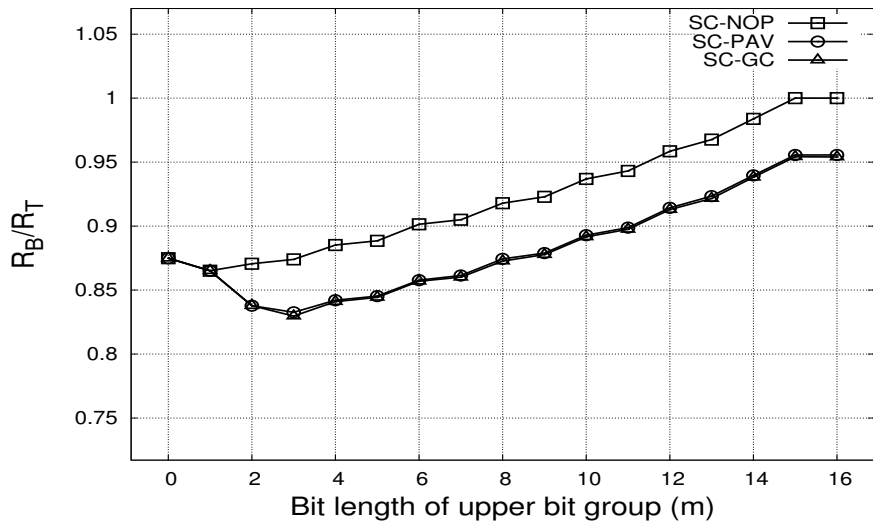
図 4.10: 上位ビット数  $m$  と遷移率比  $R_B/R_T$  の関係 (1)



(D)  $f_c = 1/16$



(E)  $f_c = 1/8$



(F)  $f_c = 1/4$

図 4.11: 上位ビット数  $m$  と遷移率比  $R_B/R_T$  の関係 (2)

これらの図から以下のことが判る.

- 1) 何れの符号化手法でも, カットオフ周波数  $f_c$  が高くなるほど, 最適分割点は MSB 側 ( $m=0$  の方向) にシフトする.
- 2) グレイコード化分割符号化手法は, 擬似絶対値化分割符号化手法よりも遷移率低減効果は大であるが, カットオフ周波数が高くなるほど, その効果は少なくなる.
- 3) 遷移率低減効果は, 全てのカットオフ周波数及び  $m$  に対して, グレイコード化分割符号化手法が最も高い.
- 4) 全てのカットオフ周波数に対して, グレイコード化分割符号化手法の最適分割点は他の符号化手法よりも LSB 側に存在.
- 5) 擬似絶対値化分割符号化手法は, 単純分割符号化手法よりも遷移率低減効果は大. またカットオフ周波数が高くなるほどその効果は大であり, 両手法の  $m$  の変化に対する遷移率変化傾向はほぼ同じである.

これらは以下のことが主な要因と考えられる.

上記 1), 2): カットオフ周波数が高くなるほど送信データが広帯域になり, MSB 側ビットの変化も大となるため, 上位ビットを一つのグループとして扱い符号化する手法は, 特性が異なる多くのビットから多数決で判定する符号化よりも不利となる.

上記 3), 4): 下位ビット群においても隣接ビットとの相関がある程度あり, この関係を利用した効果が現れている.

上記 5): カットオフ周波数が高くなり入力信号が広帯域になると, 符号ビットが変わるゼロポイント通過も頻繁に起こるため擬似絶対値化の効果が大となる. しかしながら擬似絶対値化を行っても, スペクトラムは擬似絶対値化前とほぼ同じなのでグラフの傾向は変わらず, 遷移率だけがシフトした関係になる.

#### 4.4.2 実験による消費電流での評価

汎用の CMOS 論理 IC を用いた符号化回路を作製し, 符号化による電流低減効果を調べる. ただし, ハードウェアではシミュレーションのように, 自由にパラメータを変えて実験することは難しい. そこで汎用 CMOS 論理 IC による符号化回路実装を行うにあたり, 前節でのシミュレーション結果に対する次の考察から上位 7 ビットをグレイコードで符号化 ( $m=7$ ), 下位 9 ビットは従来の BIC を用いる, グレイ

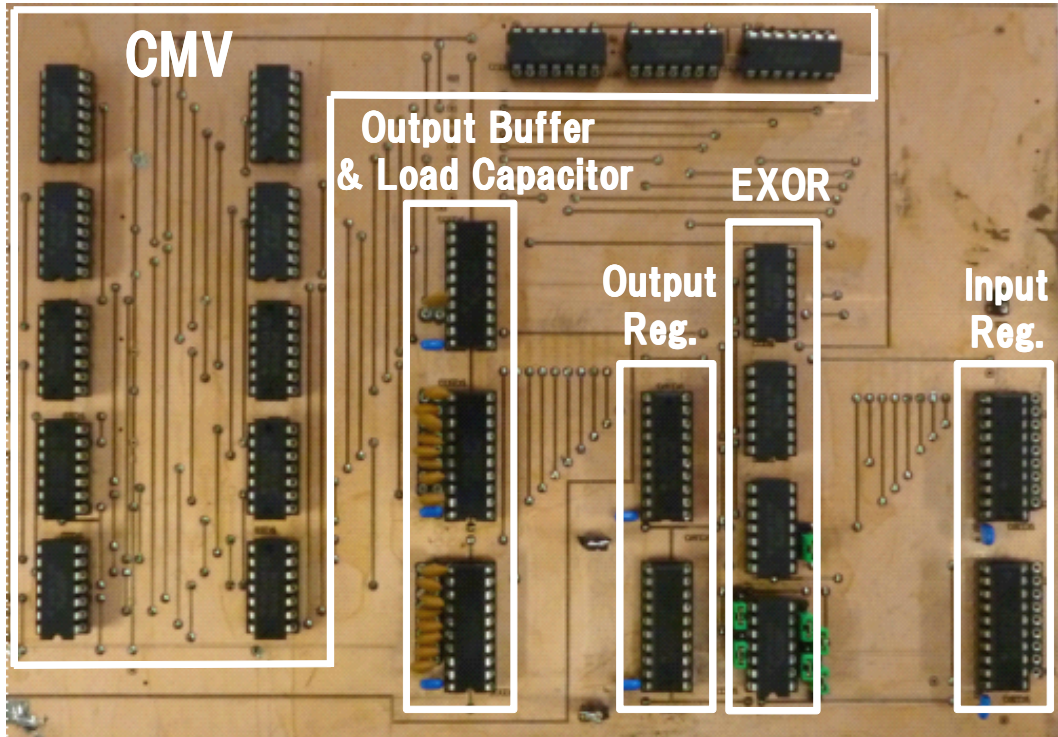


図 4.12: 消費電流評価用プリント基板

コード化分割符号化手法で評価を行う。

- ・図 4.10, 図 4.11 から, 上位ビット符号化はグレイコードが最も効果大きいと判断できること。
- ・図 4.5 および図 4.10, 図 4.11 から, 実際のオーディオ信号では  $m=7$  付近が適切と思われること。

上記仕様で作成したプリント基板を図 4.12 に示す。汎用 CMOS 論理 IC を用い、図 4.6 (A), 図 4.8 (A) に示すグレイコード化分割符号化回路を実現している。具体的には入力および出力レジスタとして 74AC574, 符号化回路を構成する多数決判定回路は 74AC86, 74AC00, 74AC02 などを使用している。また出力レジスタにはバッファ IC (74AC244) を接続し、バス負荷容量としてはコンデンサを用いている。また入力レジスタには、シミュレーションによる評価の場合と同様の擬似乱数を、基板外部より入力する。

電源電圧 3.3V, 動作周波数 1MHz, 負荷容量  $0.01\mu\text{F}$  での実験において, この基板で消費された電流を図 4.13 に示す。この電流は 16 ビットデータと 1 ビットの制御信号が負荷容量を駆動する電流と, 符号化回路で消費された電流で構成される。図

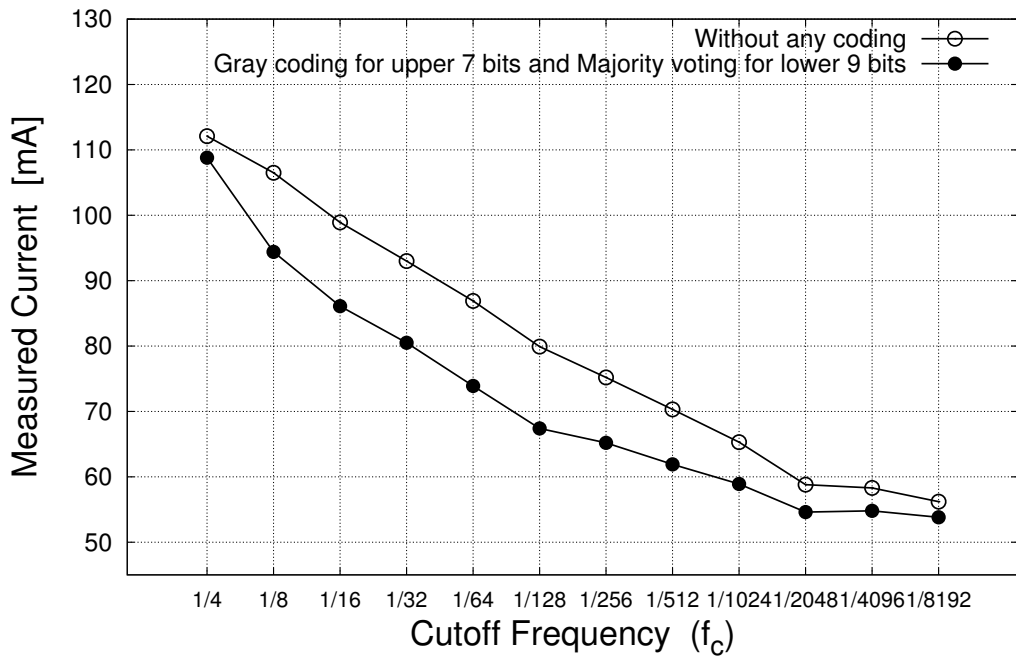


図 4.13: 消費電流測定結果

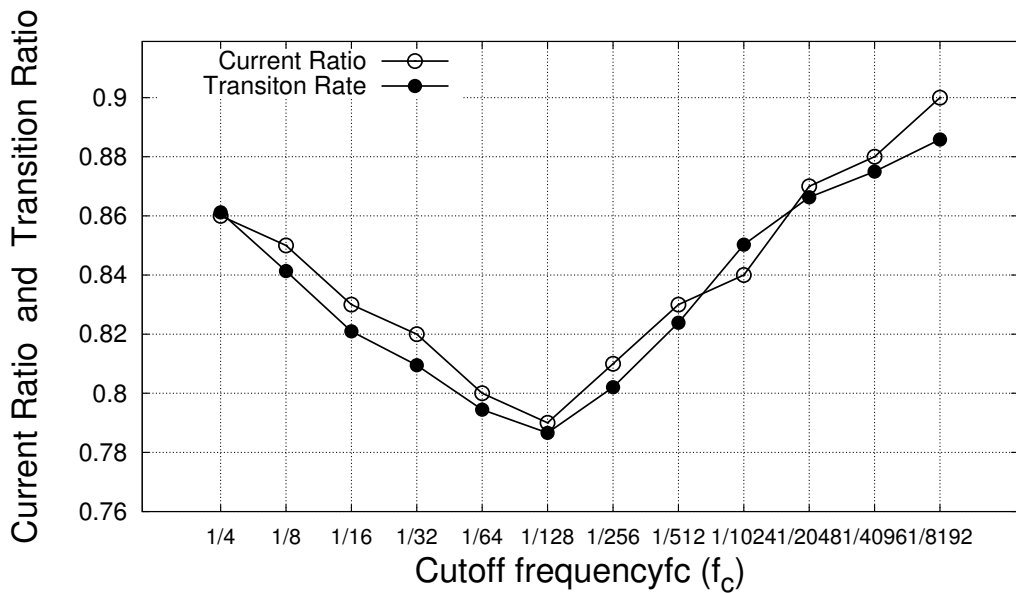


図 4.14: 実験結果とシミュレーション結果の比較

4.13には同じ負荷容量を、符号化を行わない16ビットデータで駆動した時の電流も示しており、1ビットの制御信号による電流を含めても、符号化により消費電流が低減されている。またカットオフ周波数  $f_c=1/128$  の入力に対してその効果は最大となり電流で12mA、率にして15%削減されていることが判る。また符号化を行うか否かに関わらずカットオフ周波数が小さいほど電流は減少しており、これは入力データに含まれる周波数  $f$  が低くなるためであり、式 (2.2) に示すように動的消費電力は少なくなる。なお、プリント基板の浮遊容量ガイドランスとして数 pF/cm が言われており [50]、本実験で用いた  $0.01\mu\text{F}$  は現実的な値と言える。

図 4.14 に、負荷容量の駆動で消費される電流を“符号化後/符号化前”の比として求めたものと、シミュレーションで求めた遷移率比を示す。ここで符号化前の電流は図 4.13 に示した「符号化を行わない電流」、符号化後の電流は図 4.13 に示した「符号化を行った電流」から符号化回路で消費される電流約 4~5mA を引いたものである。したがって“符号化後/符号化前”の比はシミュレーションで求めた遷移率比  $R_B/R_T$  を電流比として評価したものになる。図に示すように比率及びカットオフ周波数に対する変化傾向はほぼ同じであり、シミュレーションによる理論値と実験結果の整合を示している。

## 4.5 回路規模と性能評価

本提案方式では従来の多数決判定手法とは異なり下位ビットだけを多数決判定入力とするため、回路規模が大きい多数決判定回路を削減することができる。その一方、分割点  $m$  の値が入力されるデータの帯域特性と合致しない場合は、遷移率が増加する。そこで上位ビット数を 7 ( $m=7$ )、下位ビット数を 9 とする場合を例に取り、回路規模削減効果と遷移率増加の関係を議論する。

### 回路規模

図 4.15 に 9 ビット入力多数決判定回路と、16 ビット入力多数決判定回路のブロック図を示す。2 入力ゲート換算での回路規模はそれぞれ、56 ゲート、115 ゲートで、9 ビット入力とすることで回路規模は約 1/2 となり、段数削減によるゲート遅延低減の効果も得られる。なお、加算器に必要な排他的論理和回路のゲート数は 2 入力ゲート換算で 3 としている。各符号化手法の比較を示す表 4.1 の (3) に、多数決判定

回路のゲート数を示す。また、送信データの加工（反転・無反転処理）を行う排他的論理和回路のゲート数を、同じく表 4.1 の (4) に示す。単純分割符号化手法では上位ビットは操作を行わないために、ゲート数は下位 9 ビット分のみとなる。また擬似絶対値化、グレイコード化分割符号化手法では従来の反転手法と異なり、最上位ビットは加工せずに出力するため、必要なゲート数は 15 ビット分となる。多数決判

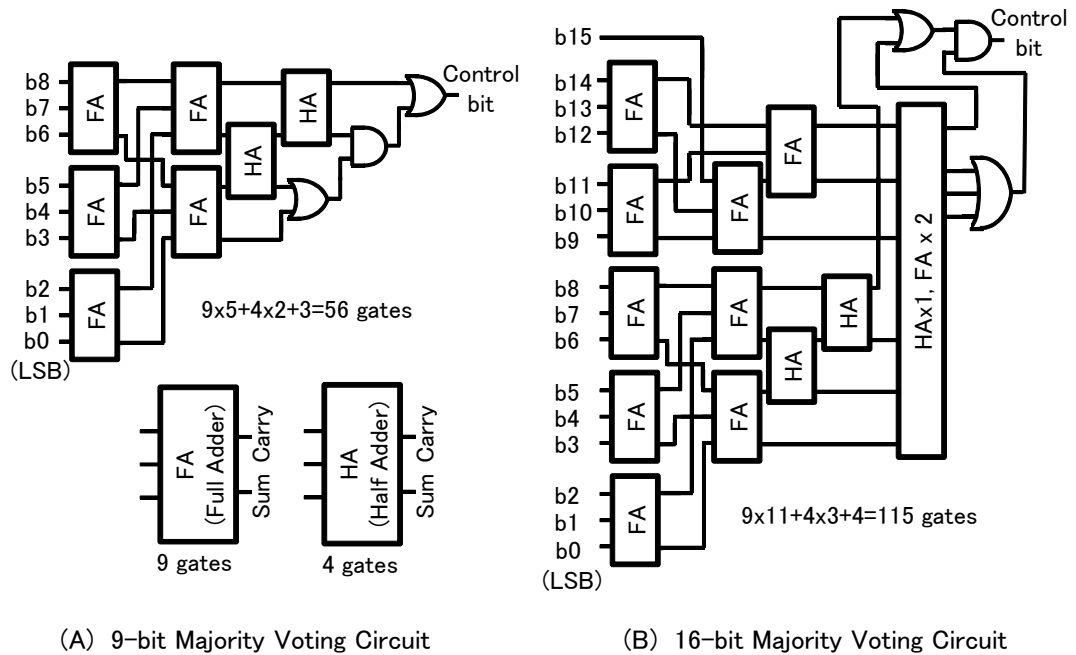


図 4.15: 多数決判定回路

表 4.1: 各符号化手法の比較

Method	Conventional	Proposed		
		No operation	Pseudo Absolute Coding	Gray Coding
(1) Transition rate (average)	0.955	0.881	0.866	0.835
(2) Performance ((inverse of (1))x100)	104.7	113.5	115.5	119.8
(3) # of gates for majority voting	115	56	56	56
(4) # of gates for data operation	48 (16b x 3)	27 (9b x 3)	45 (15b x 3)	45 (15b x 3)
(5) # of total gates ((3)+(4))	163	83	101	101
(6) Cost performance ((2)/(5)) (relative ratio)	0.64 (1)	1.37 (2.13)	1.14 (1.78)	1.19 (1.85)



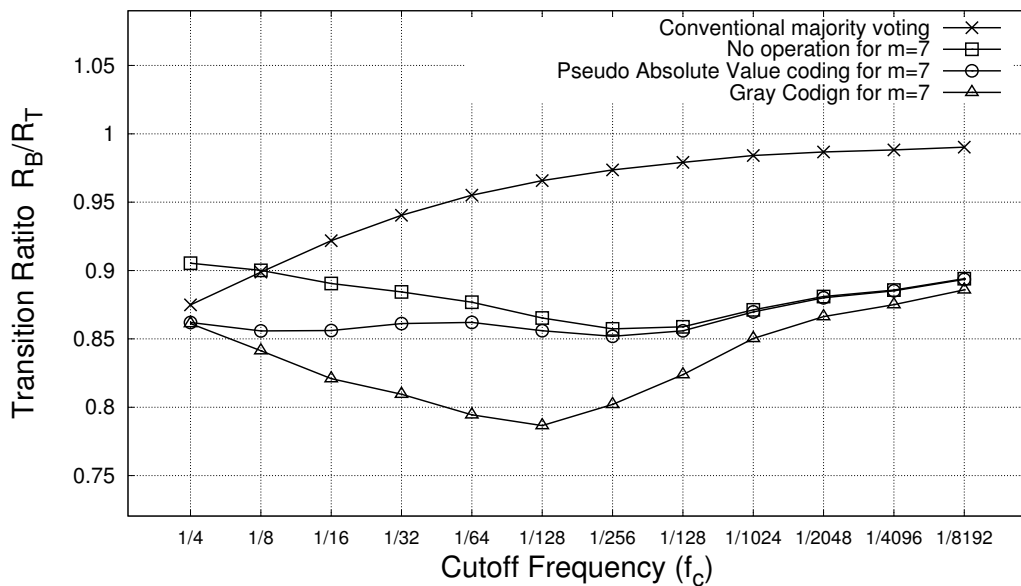


図 4.16: 符号化回路入力のカットオフ周波数と遷移率比  $R_B/R_T$  の関係

定及びデータ加工に必要なゲート数の合計を表 4.1 の (5) に示す。

#### 遷移率

図 4.16 に上位ビット数を 7 ( $m=7$ )、下位ビット数を 9 とした各分割符号化手法、及び従来の 16 ビット多数決判定と反転手法の、カットオフ周波数  $f_c$  が  $1/4$  から  $1/8192$  の信号を入力した時の遷移率比を示す。擬似絶対値化及びグレイコード化分割符号化手法においては、多数決判定回路の入力を 9 ビットに固定しているにも関わらず全てのカットオフ周波数に対して、従来の 16 ビット多数決判定反転手法よりも遷移率は少ない。また各カットオフ周波数での遷移率の単純平均と、その逆数  $\times 100$  を性能と定義したものを表 4.1 の (1), (2) にそれぞれ示す。さらにこれを表 4.1 の (5) に示す総ゲート数で除したものをコスト性能比として定義し、求めた結果を表 4.1 の (6) に示す。(6) には、従来の反転手法のコスト性能比を 1 とする相対比も示している。(6) が示すように、どの分割符号化手法もその値は 1 以上であり、提案した手法の実用性は高く、コスト性能比を重視する場合はその値が 2.13 である単純分割符号化手法を、低遷移率（低消費電力）を重視する場合は遷移率が 0.835 と最も小さいグレイコード化分割符号化手法を選択すれば良いと言える。一方、図 4.8 (B) に示すように、グレイコード化分割符号化手法での復号は上位ビットから逐次行う必要があるため、他の手法よりも復号処理時間は要する。そこで低遷移率（低消費電

力)に加え復号処理時間も重視する場合は、擬似絶対値化分割符号化手法を選択すれば良いと言える。

なお、上位ビットのデータ符号化処理は、図 4.7 (A)、図 4.8 (A) に示す1段の排他的論理和回路で行う。この回路は図 4.1 (A) に示す従来の反転手法と同じあり、データ符号化での伝播遅延は同じである。また本手法は大規模集積回路での実装を想定しているが、65nm プロセスでの排他的論理和回路の伝播遅延時間は電源電圧 1V 近辺で 3ns 以下との報告もあり、実用上問題となる大きな値では無い [51]。また実験に用いた排他的論理和回路 IC 74AC86 の標準的な伝播遅延は、電源電圧 3.3V において 7.6ns である [52]。

## 4.6 まとめ

本章では、CMOS 論理回路の配線で動的に消費される電力を低減する新たな符号化手法である、分割符号化手法を提案した。本手法はオーディオデータなどの帯域が制限された信号では、上位ビットグループと下位ビットグループの信号変化特性が大きく異なることに着目し、それぞれの特性に合った符号化を行い伝送することにより各ビットでの遷移率を減らし、配線駆動用 CMOS 回路で動的に消費される電力の低減を図るものである。従来手法に対する効果を、シミュレーションによる遷移率と、汎用 CMOS 論理 IC を用いて符号化回路をプリント基板に実装し測定した消費電流で示した。そして異なるカットオフ周波数の入力データに対して、遷移率と電流低減率の変化傾向がほぼ同じであることも示した。さらに本手法では、下位ビットに対して従来と同じ BIC による符号化を行っているが、従来とは異なり全ビットを多数決判定対象としないため、多数決判定に必要な回路を削減することが可能である。上位ビットを 7、下位ビットを 9 で分割した場合を例に回路規模と性能の比を求めると、提案した分割符号化手法は従来手法に対して約 1.8 から 2 倍のコスト性能比を有し、実用性が高いことを示した。

# 第5章 多数決判定回路の擬似化による 低消費電力データ伝送

## 5.1 概要

本章では、第4章で提案した分割符号化手法によるバス反転符号化において、多数決判定回路の回路規模と消費電力を、より低減する手法を提案する。本手法においても、シミュレーションによる状態遷移数と、汎用 COMS 論理 IC を用いて実装し、測定した消費電流の評価で、その有効性を示す。

## 5.2 擬似多数決判定回路

第4章で提案した分割符号化手法では、図4.6に示すように、多数決判定回路は全ビットではなく下位ビットのみに用いるため、例えば下位9ビットに適用した場合は図4.15(A)示すようにゲート数は56まで小さくできる。しかしながら、全加算器、半加算器を用いるため多数決判定結果が出るまでの過渡状態で、下位ビットから上位ビットへのキャリー伝播に伴う状態遷移が発生し、無駄な電力消費が発生していると予想される。そこで、回路規模をより小さくすると共にキャリー伝播を減らし電力消費を低減する多数決判定回路を提案する。

図5.1に従来の15ビットの多数決判定回路 (Conventional Majority Voting, CMV) を示すが、9個の全加算器、4個の半加算器など115ゲートを用いている。これに対し、提案する15ビットの擬似多数決判定回路 (Pseudo Majority Voting, PMV) を図5.2に示す。PMVでは初段で3ビット単位で加算を行うのではなく、3ビット単位での多数決判定を先に行い、それら判定結果を加算し最終の多数決判定を行う。このため全加算器、半加算器はそれぞれ1個となり、総ゲート数も44と従来の1/2以下にできる。また初段での加算で発生する、下位ビットからのキャリー伝播による

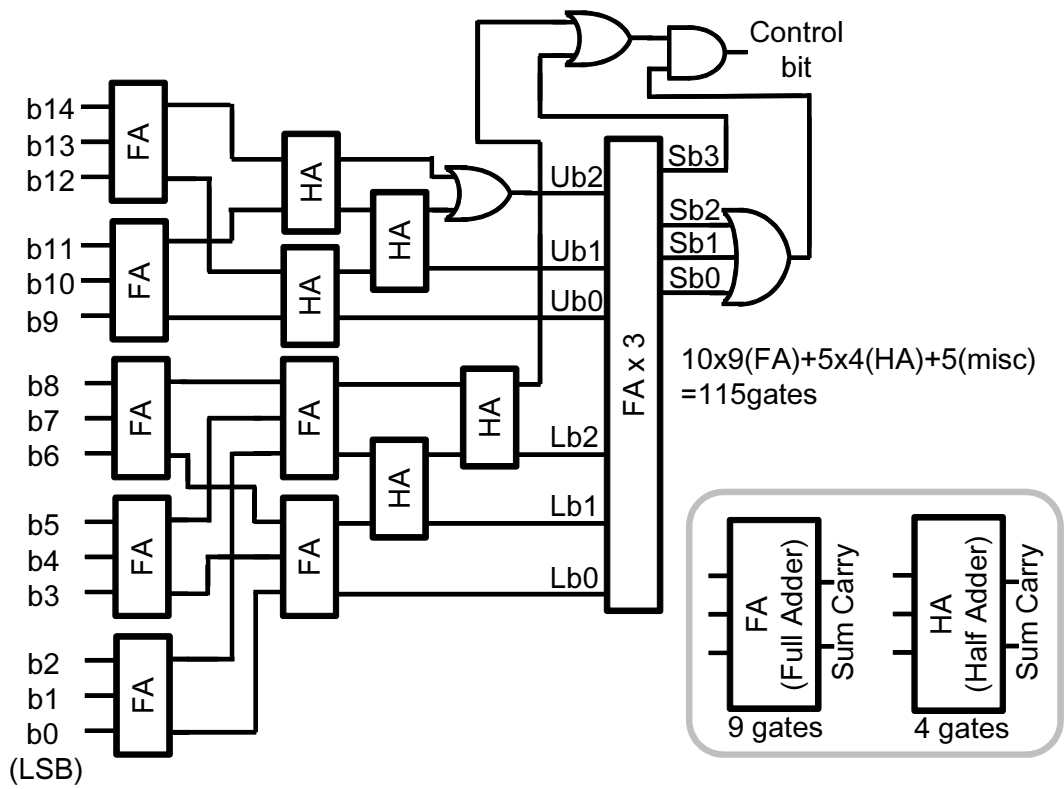


図 5.1: 従来の 15 ビット多数決判定回路

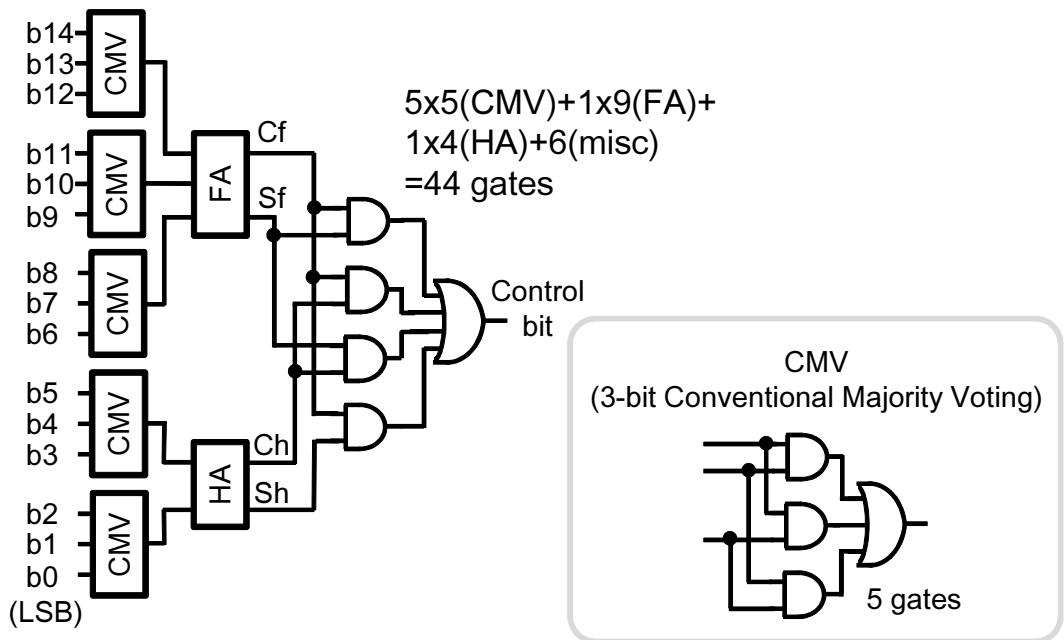


図 5.2: 提案する 15 ビット擬似多数決判定回路

状態遷移を無くすことができ、これにより消費電力を削減できる。しかしながら最終の多数決判定結果が正しくない場合が存在するため、この判断で制御したバスの遷移数が増加し、消費電力の増加を招く可能性がある。そこで擬似多数決判定による誤判定について検討する。

図 5.2 に示している全加算器、半加算器の加算出力、キャリー出力を ( $C_f$ ,  $S_f$ ,  $C_h$ ,  $S_h$ ) と記したとき、加算結果は式 (5.1) に示すものとなる。

$$N = 2C_f + S_f + 2C_h + S_h \quad (5.1)$$

そして ( $C_f$ ,  $S_f$ ,  $C_h$ ,  $S_h$ ) が以下の場合に多数決と判断される。

- (1,1,1,0) : 5 個の CMV 出力が 1
- (1,1,0,1) : 4 個の CMV 出力が 1
- (1,1,0,0) : 3 個の CMV 出力が 1
- (1,0,1,0) : 4 個の CMV 出力が 1
- (1,0,0,1) : 3 個の CMV 出力が 1
- (0,1,1,0) : 3 個の CMV 出力が 1

この過程において表 5.1 に例示するような誤った判定が発生する。ケース (A) は、1 の数は 7 ビット以下であるのに 8 以上であると過度に判断する場合、ケース (B) は、

表 5.1: 擬似多数決による誤判定の例

	# of "1" in each bit group					# of "1" in 15 bits	Result of majority voting judgment	
	b14-12	b11-9	b8-6	b5-3	b2-0		Conventional	Pseudo
ex.1	<b>2</b>	<b>2</b>	<b>2</b>	0	0	6	No	Yes
ex.2	<b>2</b>	<b>2</b>	<b>2</b>	0	1	7	No	Yes

(A) Examples of excessive judgment

	# of "1" in each bit group					# of "1" in 15 bits	Result of majority voting judgment	
	b14-12	b11-9	b8-6	b5-3	b2-0		Conventional	Pseudo
ex.1	<b>3</b>	<b>3</b>	1	1	0	8	Yes	No
ex.2	<b>3</b>	<b>3</b>	1	1	1	9	Yes	No

(B) Examples of underjudgment

1の数は8ビット以上であるのに7ビット以下と過小に判断する場合、を示している。表5.2に15ビット、32,768通りの組合せに対する擬似多数決での判定結果を、上位2ビットで4つのケースに分けて示す。それぞれの行は以下の6つの評価結果を示している。

- (1) CMVが多数決と判断したケース。
- (2) PMVが多数決と判断したケース。
- (3) (2)において過度な判断を行ったケース。
- (4) 多数決判断における過度判断の率  $(= (3)/(2))$ 。
- (5) (2)において過小判断を行ったケース。
- (6) 全ての組合せに対する過小判断の率  $(= (5)/(1))$ 。

表5.2に対する考察を以下の述べる。ケース1とケース2では0の数と1の数が同じであるため、評価結果も全て同じとなる。ケース0, 1では0の数と1の数の関係が双対となるため、ケース0の(3)と(5)の648と468がケース3では(5)と(3)に現れる。しかしながら誤り率(4)は、ケース3では母数が5,632と大きいため0.08と小さいの対して、ケース0では母数が2,560と小さいため誤り率(4)は0.25と非常に大きい。これはケース1, 2の0.13の約2倍にあたる。過小判断の率(6)もケース0では0.20であり他のケースよりも大きい。

表5.2は15ビットの全組合せに対する評価結果であるが、オーディオ信号のように帯域が制限されたデータではビットの組合せに偏りが存在する。第4章の図4.5が

表 5.2: 15 ビット擬似多数決判定の評価

Case	0	1	2	3	Sum
Upper 2 bits	00	01	10	11	
# of samples	8,192	8,192	8,192	8,192	32,768
Conventional MV method (1) # of majority	2,380	4,096	4,096	5,812	16,384
Pseudo MV method					
(2) # of majority	2,560	4,096	4,096	5,632	16,384
(3) # of excessive judgement	648	522	522	468	2,160
(4) Error rate $(= (3)/(2))$	0.25	0.13	0.13	0.08	-
(5) # of underjudgment	468	522	522	648	2,160
(6) Underjudgment rate $(= (6)/(1))$	0.20	0.13	0.13	0.11	-

この偏りを示しており，次のことが判る．

- F1) 上位ビットは最上位ビットとの相関が大．
- F2) 上位ビットは隣接するビット，あるいは近くのビットとの相関が大．
- F3) 下位ビットは隣接するビットとの相関がほとんど無い．

F1は上位ビットでは11111あるいは00000のように，連続する1あるいは0が出現することが多いと言うことを，F3は下位ビットでは1あるいは0はランダムに出現することが多いことを示唆している．このことから，下位ビットでは表5.2のケース1，2の場合が多く発生しているので，PMVを適用しても誤判断を起こす頻度が少ないことが期待できる．なお，誤判断を行ったとしても遷移率と消費電力が増加するだけであり，データ伝送における誤り率に対する直接的な影響は無い．

図5.3に，提案するPMVを用いた分割符号化手法（Segmentation Coding with Pseudo Majority Voting, SC-PMV）のブロック図を示す．図5.3は，第4章の図4.6に示す分割符号化手法（Segmentation Coding with Conventional Majority Voting, SC-CMV）において，多数決判定回路をCMVからPMVに変更しただけであり，これ以外は全く同じものである．

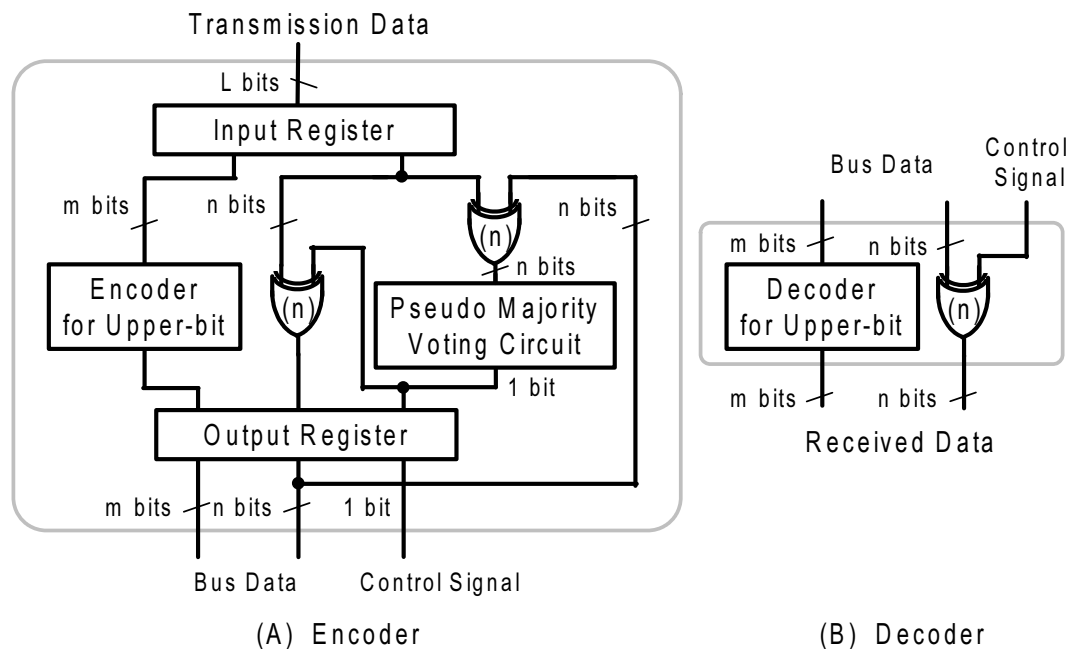


図 5.3: 擬似多数決判定を用いた分割符号化手法ブロック図

## 5.3 擬似多数決判定回路を用いた分割符号化手法の評価

第4.4節に述べた方法と同じ方法でSC-PMVでの評価をシミュレーションと汎用CMOS論理ICを用いた実験で行い、SC-CMVとの比較評価を行う。すなわち第4.3節で述べた単純分割符号化手法、擬似絶対値化分割符号化手法、グレイコード化分割符号化手法において、下位ビットの多数決判定を擬似多数決判定で実現する。なお、4.4.2で述べた汎用CMOS論理ICによる実験との比較を行うため、PMVで判定する下位ビットは9ビットとする。図5.4に9ビットのCMVを、図5.5に9ビットのPMVを示すが、擬似多数決判定化を図ることでゲート数は56から25と約1/2にできる。これにより符号回路で消費する電力を低減できる。さらにPMVでは加算器を全く使用しないため、加算過程での下位ビットから上位ビットへのキャリー伝播は無くなり、この状態遷移で発生する消費電力の削減が期待できる。

### 5.3.1 シミュレーションによる遷移率評価

多数決判定回路のPMV化による遷移率への影響を従来のCMVと比較するため、入力として第4.4節で示した帯域を制限した擬似乱数を用い、シミュレーションを行う。その結果を図5.6に示すが、SC-CMVの場合での遷移率比 $R_B/R_T$ を示す図4.16に、SC-PMVでのシミュレーション結果を加えたものである。この図が示すように、多数決判定回路をPMVにすることで多数決判定に誤りが発生するため、図5.3のBus Dataの遷移数が増加し遷移率比は悪化する。ただその影響は少なく、例えばカットオフ周波数 $f_c=1/128$ でその悪化は、約3%程度に過ぎない。図5.6には $n=16$  ( $m=0$ )、すなわち、図4.1に示す全ビットをCMVで多数決判定する従来のバス反転符号化方法の結果も、BIC with CMVとして示している。また、逆に全てをPMVとした結果もBCI with PMVとして示しているが、この2例を比べるとCMVとPMVでは $f_c$ に対する傾向が全く逆になる。すなわち、図5.6で左側に示す $f_c$ が高い（信号の帯域が広い）場合は、CMVがPMVより遷移率比が小である。しかしながら図で右側に示す $f_c$ が低い（信号の帯域が狭い）場合は、逆にPMVの方が遷移率比は小となる。この要因は上位ビットの変化の割合の影響であると考えられ、第5.2節で述べた仮説が正しかったことを示していると言える。



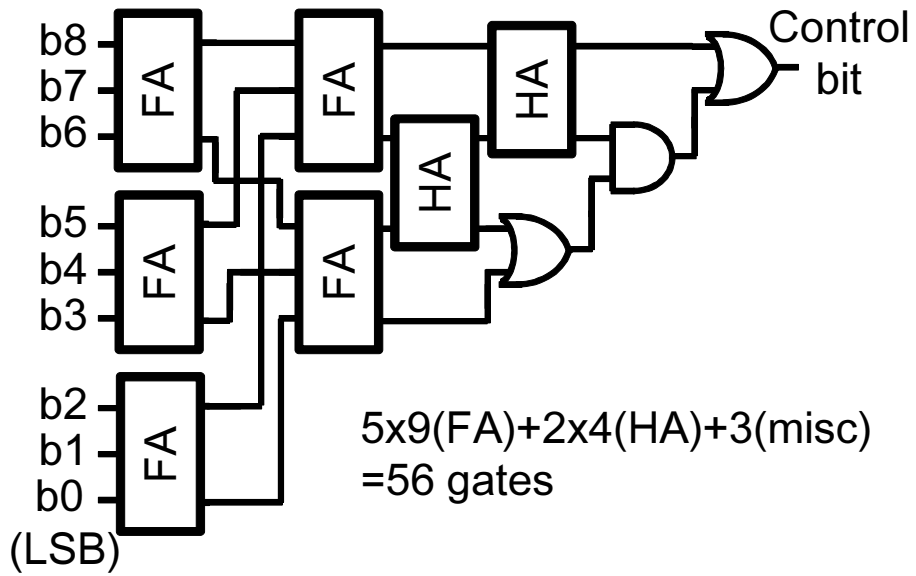


図 5.4: 従来の 9 ビット多数決判定回路

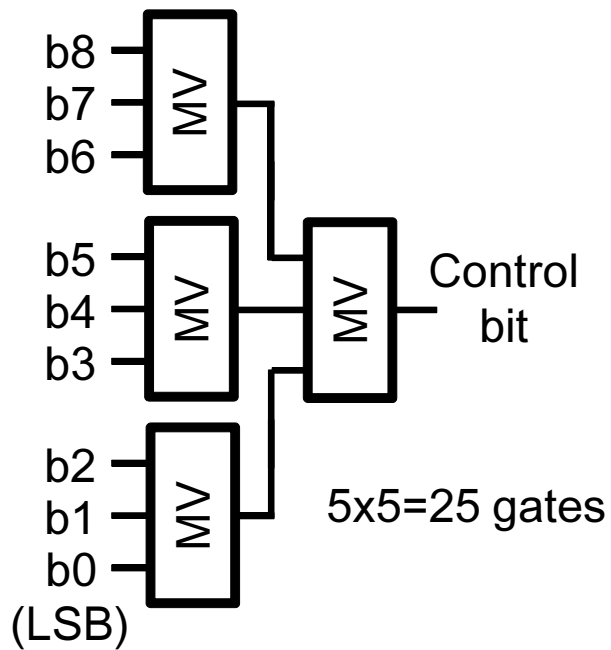


図 5.5: 9 ビット擬似多数決判定回路

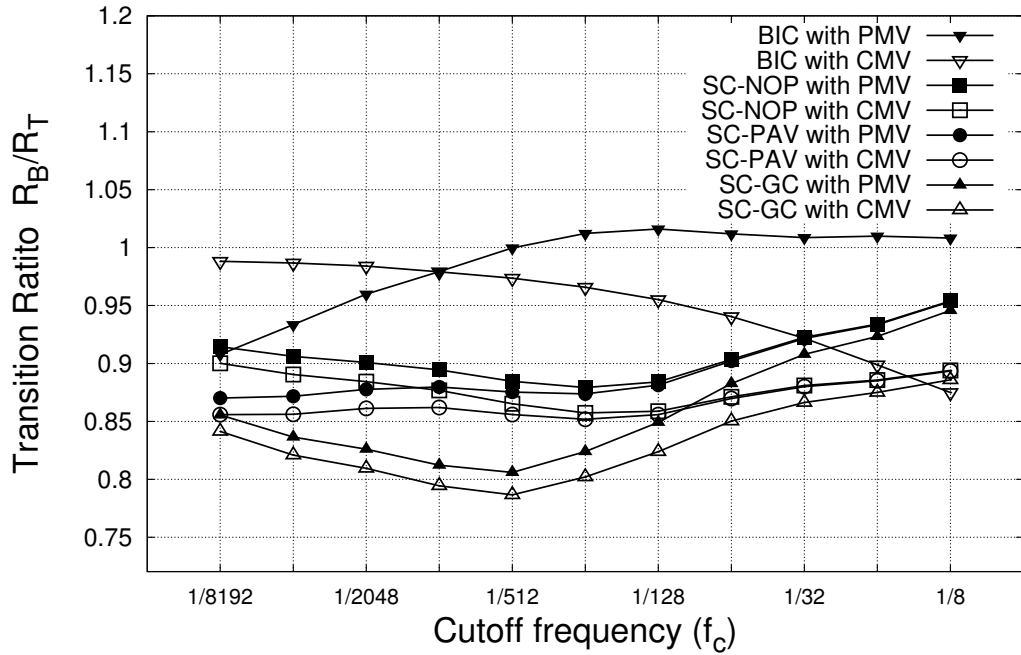


図 5.6: 多数決判定回路の擬似化による遷移率比  $R_B/R_T$  への影響

### 5.3.2 実験による消費電流評価

消費電流で SC-CMV との比較評価を行うため、SC-CMV の場合と同様に上位 7 ビットをグレイコード、下位 9 ビットを PMV とした基板を図 5.7 に示す。また電源電圧 3.3V、動作周波数 3MHz、負荷容量  $0.01\mu\text{F}$  とし、擬似乱数を図 4.12 の SC-CMV 基板、図 5.7 の SC-PMV 基板に入力したときの平均電流を図 5.8 示す。図 5.6 に示したように PMV により Bus Data の遷移数は増加するが、擬似化により多数決判定回路の規模が約 1/2 になり、さらに多数決判定処理過程でキャリー伝播による状態遷移が無くなることから、消費電流は逆に SC-PMV の方が少なくなっている。また図には符号化を行わない場合の電流も示している。

さらに入力として 6 種類のオーディオデータを用いた時の、シミュレーションによる遷移数比と消費電流による評価結果を表 5.3 に示す。オーディオデータの場合も擬似乱数の場合と同様に、多数決判定回路の PMV 化により遷移数比は増加するが消費電流は少なくなる。

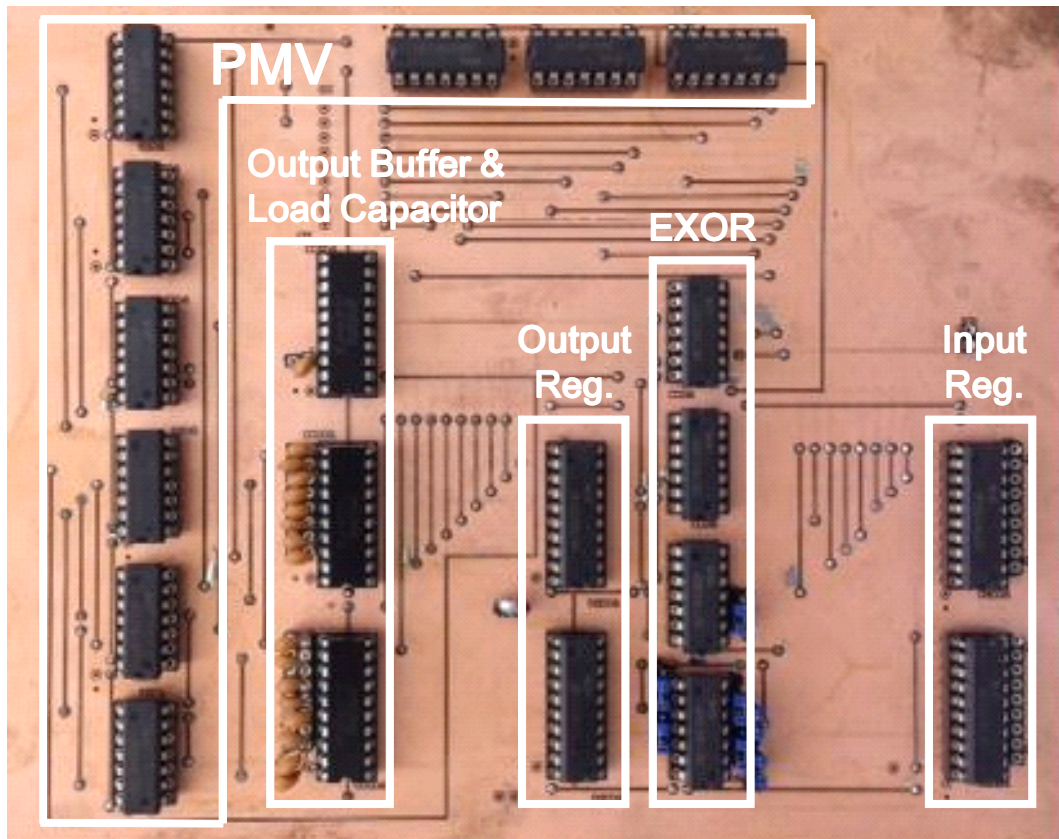


図 5.7: 消費電流評価用プリント基板 (擬似多数決判定手法)

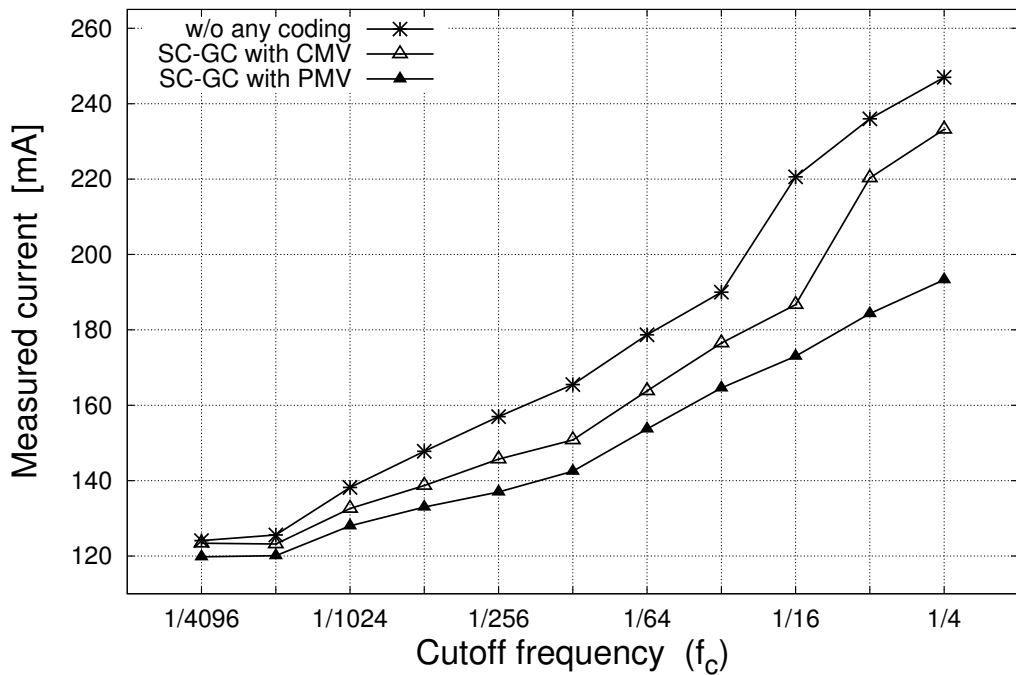


図 5.8: 消費電流測定結果 (擬似多数決判定手法)

表 5.3: オーディオ信号を用いた擬似多数決判定手法の評価

Coding	Current [mA]	RB/RT			
		Maxim	Minimum	Average	Standard deviation
w/o any coding	193	-	-	-	-
SC-GC with CMV	184	0.83	0.79	0.81	0.016
SC-GC with PMV	167	0.85	0.80	0.83	0.016

表 5.4: 多数決判定手法の性能比較

Method	SC-GC w/ CMV	SC-GC w/ PMV
(1) Average current [mA]	163.2	145.0
(2) Performance: (inverse of (1))x1000 (relative ratio)	6.13 (1)	6.90 (1.13)
(3) # of gates for majority voting	56	25
(4) # of gates for data operation	45 (15b x 3)	45 (15b x 3)
(5) # of total gates ((3)+(4)) (relative ratio)	101 (1)	70 (0.69)
(6) Cost performance ((2)/(5)) x100 (relative ratio)	6.07 (1)	9.86 (1.62)

## 5.4 回路規模と性能評価

第 4.5 節の表 4.1 で用いたのと同じ評価指標で、ただし、遷移数比ではなく消費電流を用い、上位 7 ビットをグレイコード化、下位 9 ビットを CMV 及び PMV にした時の性能比較を表 5.4 に示す。多数決判定回路を PMV にすることで、符号化回路も含む全回路規模が 0.69 倍になり、さらに電流で評価した性能が 1.13 倍になることから、コスト性能比は 1.62 倍、改善される。

また単純分割符号化手法、擬似絶対値化分割符号化手法において CMV を PMV にした時の回路規模を表 5.5 に示すが、多数決判定回路の擬似化により回路規模は 3 割から 4 割削減される。

表 5.5: 単純及び擬似絶対値化分割符号化での回路規模削減効果

Method	SC-NOP		SC-PAV	
	w/ CMV	w/ PMV	w/ CMV	w/ PMV
(1) # of gates for majority voting	56	25	56	25
(2) # of gates for data operation	27 (9b x 3)	27 (9b x 3)	45 (15b x 3)	45 (15b x 3)
# of total gates ((1)+(2)) (relative ratio)	83 (1)	52 (0.63)	101 (1)	70 (0.69)

## 5.5 まとめ

本章では第4章で述べた、下位ビットのみに多数決判定を用いる分割符号化手法において、さらに多数決判定回路を擬似化する手法を提案した。分割符号化手法は、オーディオデータなどの帯域が制限された信号では、上位ビットグループと下位ビットグループの信号変化特性が大きく異なることに着目した符号化手法であるが、提案した手法はさらにその特徴を多数決判定にも利用している。すなわち下位ビットでは、隣接ビットとの相関が少ないことから、3ビット単位で多数決判定を最初に行い、その判定結果を加算して最終の多数決判定を行っても、誤判定による影響がそれ程大きくないことを見出し、これを利用している。

下位9ビットを擬似多数決判定化した時の誤判定による遷移率の増加を、擬似乱数を入力とするシミュレーションで行い、例えばカットオフ周波数  $f_c=1/128$  でその増加は約3%程度に過ぎないことを示した。また、上位7ビットにグレイコードを用いた場合について消費電流での評価を行い、擬似多数決判定化による回路規模の削減と判定過程での状態遷移削減により、擬似化した方が約10%の電流を削減できることを示した。また擬似多数決判定化で回路規模が約30%削減できることから、コスト性能比を約1.6倍改善できることを示した。

さらに6種類のオーディオデータを用い、シミュレーションによる遷移数と消費電流による評価も行い、擬似乱数を入力とした場合と同様に、多数決判定回路のPMV化により遷移数は増加するが、消費電流は少なくなることを示した。

このように、擬似多数決判定回路を用いた分割符号化手法の実用的価値は、極め

て高いと言える。

## 第6章 むすび

以上，CMOS回路で構成されるデジタル信号処理プロセッサ，及びデータ伝送回路の動的消費電力を低減する手法について述べた。

第1章では，プロセス微細化技術の発展による搭載トランジスタの指数関数的増加で，集積回路の発熱への対策が重要になったこと，さらに，一つのシステムを集積回路で実現するSoCの時代になり，そして，それらの多くはバッテリーを電源とする携帯機器で用いられること，またCO<sub>2</sub>削減など環境問題の視点から，集積回路には，より一層の低消費電力化が求められていることを述べ，低消費電力化技術の産業的重要性を示した。

第2章では，CMOS回路の電力消費メカニズム，特に動的消費電力と呼ばれる，回路の状態変化において負荷容量の充放電で消費される電力について述べ，これを低減させる一般的手法について述べた。

第3章では，携帯電話などで用いられる音声コーデック用デジタル信号処理プロセッサの低消費電力化手法について述べた。具体的には動作周波数低減のために有効な倍速積和演算機構，ビタビ復号やブロックフローティングを効率よく処理するACS演算／ブロックフローティングアクセラレータや，命令実行効率の改善を図る命令リピート処理手法などを提案した。これにより11.2kbps VSELPコーデックを実現した場合のクロック数を，従来のDSPに対して33%低減できる事を示した。また，これによる動作周波数低減と低電圧動作以外に，倍速積和演算器の一体化による負荷容量低減，そして，リピート処理などでプログラムカウンタが動作停止している時の命令メモリへのプリチャージ停止など，回路設計，集積回路実装レベルでも低消費電力化を図った。その結果，11.2kbps VSELPコーデックを従来比約1/7の70mW（3.5V動作時）の低消費電力で実現できることを示した。

第4章では，集積回路内部あるいは集積回路間でのデータ伝送において，音声信号のように帯域が制限されたデータの特徴を利用することで，伝送での消費電力を

低減する，分割符号化手法を提案した．従来の手法が，伝送される全てのビットを対象として多数決判定とバス反転符号化を行っているのに対し，提案した手法では，上位ビットと下位ビットの2グループに分割する．そして多数決判定とバス反転符号化は，下位グループに対してのみ行い，上位ビットグループに対しては，操作無し，擬似絶対値化，グレイコード化の何れかの処理を行う．各種カットオフ周波数を持つ擬似乱数を入力とするシミュレーションにより3手法の性能を評価し，何れの手法も，データ伝送での状態遷移数が，従来手法より低減されることを示した．また汎用 CMOS 論理 IC を用い，上位7ビットをグレイコード化，下位9ビットを多数決判定とバス反転符号化を行う回路を実装し消費電流を測定，カットオフ周波数に対する電流低減効果の傾向がシミュレーションによる状態遷移数低減効果と，ほぼ一致することを示した．また，状態遷移数が低減されることと，多数決判定回路を下位ビットにのみ用いることによる回路規模削減が相まって，上位ビットを7，下位ビットを9で分割した場合，提案した分割符号化手法は従来手法に対して約1.8から2倍のコスト性能比を有し，実用性が高いことを示した．

第5章では，分割符号化手法において多数決判定回路を擬似化する，擬似多数決判定回路を提案した．そして擬似化による誤判定の影響をシミュレーションで調べ，例えばカットオフ周波数  $f_c=1/128$  では，状態遷移数増加は3%程度に収まることを示した．また汎用 CMOS 論理 IC を用いた実験で，擬似化により回路規模がさらに削減されること，多数決判定でのキャリー伝播に伴う状態変化が無くなることで，消費電流は逆に少なくなることを示した．具体的には，上位7ビットをグレイコード化を用いた分割符号化手法で，下位9ビットを従来の多数決判定と擬似多数決判定とした時の比較を行い，約10%の電流を削減できることを示した．また擬似多数決判定化で回路規模も約30%削減できることから，約1.6倍のコスト性能比を改善できることを示した．

以上述べたように，デジタル信号処理プロセッサ，データ伝送の何れの場合も，処理対象とするデジタル信号を動的消費電力低減の視点から特徴を抽出し，動作周波数や状態遷移数を低減するためのアーキテクチャや回路における効果的な具体策を見出した．そして，その電力削減効果は上記数値が示すように，極めて大である．本研究で得られた成果が，集積回路の低消費電力化と言う産業的重要課題解決のための一助となれば幸いである．



## 参考文献

- [1] <http://semicon.jeita.or.jp/statistics/docs/20141202WSTS.pdf>
- [2] Jack S Kilby, “Miniaturized electronic circuits,” US Patent US3138743.
- [3] Robert N Noyce, “Semiconductor device-and-lead structure,” US Patent US2981877.
- [4] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, no. 8, pp. 114-117, Apr. 1965.
- [5] <http://public.itrs.net/>
- [6] <http://semicon.jeita.or.jp/STRJ/>
- [7] <http://www.itrs.net/Links/2013ITRS/2013Chapters/2013Overview.pdf>
- [8] <http://newsroom.intel.com/docs/DOC-5677>
- [9] Lisa T. Su, “Architecting the Future through Heterogeneous Computing,” *IEEE ISSCC Dig. of Tech. Papers*, pp. 8-11, Feb. 2013.
- [10] <http://www.slideshare.net/AMD/amd-isscc-keynote>
- [11] [http://semicon.jeita.or.jp/STRJ/ITRS/2009/00\\_ITRS2009\\_executive\\_summary.pdf](http://semicon.jeita.or.jp/STRJ/ITRS/2009/00_ITRS2009_executive_summary.pdf)
- [12] F. M. Wanlass and C.T. Sah, “Low stand-by power complementary field effect circuitry,” US Patent US3356858.
- [13] F. M. Wanlass and C.T. Sah, “Nanowatt logic using field-effect metal-oxide semiconductor triodes,” *IEEE ISSCC Dig. of Tech. Papers*, pp. 32-33, Feb. 1963.
- [14] <http://semicon.jeita.or.jp/STRJ/report/2008/02.pdf>
- [15] 松澤昭, “LSI 技術の課題と今後のあり方,” 信学論 (C) , Vol. J87-C, no. 11, pp. 802-809, Nov. 2004.

- [16] N. H. Weste, "Principles of CMOS VLSI Design: A Systems Perspective," Addison-Wesley Publishing Company, Jan. 1993.
- [17] 桜井貴康 (編) , 低消費電力高速 LSI 技術, 株式会社リアライズ理工センター, 1998.
- [18] M. Pedram and J. Rabaey, "Power Aware Design Methodologies," Kluwer Academic Publishers, Jun. 2002.
- [19] A. P. Chandrakasan, S. Sheng, and R. W. Broderson, "Low Power CMOS Digital Design," *IEEE Journal of Solid State Circuits*, vol. 27, no. 4, pp. 473-484, Apr. 1992.
- [20] T. Sakurai, "Superconnect technology," *IEICE Trans. Electron.*, vol. E84-C, no. 12, pp. 1709-1716, Dec. 2001.
- [21] 吉岡功一, 徳永英晃, 柴田修, 井関健, "高速伝送用 ESD 保護素子とその評価方法," *Panasonic Technical Journal*, vol. 56, no. 1, pp. 57-62, Apr. 2010.
- [22] M. R. Stan and W. P. Burleson, "Bus-invert coding for low-power I/O," *IEEE Trans. Very Large Scale Integration (VLSI) Systems*, vol. 3, no. 1, pp. 49-58, Mar. 1995.
- [23] M. Madhu, V. S. Murty and V. Kamakoti, "Dynamic coding technique for low-power-data bus," *IEEE ISVLSI*, pp. 252-253, Feb. 2003.
- [24] Katsuhiko Ueda, "Data transfer device and data transfer method," US Patent US5887033, Mar. 23, 1999.
- [25] S. Hong, U. Narayanan, K. -S. Chung and T. Kim, "Bus-invert coding for low-power I/O - a decomposition approach," *IEEE MWSCAS*, pp. 750-753, Aug. 2000.
- [26] M. Yoon and B. Roh, "A novel low-power bus design for bus-invert coding," *IEICE Trans. Electron.*, vol. E90-C, no. 4, pp. 731-734, Apr. 2007.
- [27] M. Yoon, "Achieving maximum performance of bus-invert coding with time-splitting transmitter circuit," *IEICE Trans. Fundamentals*, vol. E95-A, no. 12, pp. 2357-2363, Dec. 2012.

- [28] 小松聡, 池田誠, 浅田邦博, “適応型コード帳符号化による低消費電力チップインターフェースの検討,” 信学論 (C) , Vol. J82-C-II, no. 4, pp. 203-209, Apr. 1999.
- [29] T. -C. Huang, “A low-power dependable berger code for fully asymmetric communication,” *IEEE Communications Letters*, vol. 12, no. 10, pp. 773-775, Oct. 2008.
- [30] S. J. Piestrak, S. Pillement and O Sentieys, “Designing efficient codecs for bus-invert berger code for fully asymmetric communication,” *IEEE Trans. Circuits Systems-II: Express Briefs*, vol. 57, no. 10, pp. 777-781, Oct. 2010.
- [31] 谷萩隆嗣 (編), VLSI とデジタル信号処理, コロナ社, 1997.
- [32] 元岡 達 (編), 岩波講座マイクロエレクトロニクス 9 VLSI コンピュータ II, 岩波書店, 1985.
- [33] 末吉 敏則, 天野英晴, リコンフィギャラブルシステム, オーム社, 2005.
- [34] H.Amano, “ A Survey on Dynamically Reconfigurable Processors,” *IEICE Trans. Comm.*, Vol. E89-B, no. 12, pp. 3179-3187, 2006.
- [35] “2004年度 第11回 STARC アドバンス講座 動的リコンフィギャラブル技術,” 半導体理工学研究センター, Mar. 2005.
- [36] 特許庁 (編), 平成 18 年度 特許出願技術報告書 リコンフィギャラブル論理回路, 特許庁, 2007 年 5 月.
- [37] C. Evic, “Speech codec aspects for third generation mobile systems,” *IEEE Vehicle Tech. Conf.*, vol. 42, no. 1, pp. 172-175, May. 1992.
- [38] 本間光一, 加藤修, “欧米における技術動向 (パーソナル移動通信), ” 信学会誌, vol. 78, no. 2, pp. 173-178, Feb. 1995.
- [39] M. H. Sunwoo, S Park, and K. Terry, “A real-time Implementation Of Key VSELP Routines on a 16-bit chip,” *IEEE Int. Conf. on Consumer Electronics*, pp. 332-333, Jun. 1991.
- [40] 岡本稔, 杉村敏夫, 上田勝彦, 石川利広, “デジタル信号処理に適したメモリシステム,” 信学会 秋季大会論文集, A-108, 1992.

- [41] 杉村敏夫, 上田勝彦, 石川利広, 安留美加子, 岡本稔, “メモリ装置,” 特許第 3299564 号.
- [42] Edited by V. G. Oklobdzija, “The Computer Engineering Handbook,” CRC Press LLC, pp. 42.70-42.78, 2002.
- [43] Andrew J. Viterbi, “Error Bounds for Convolutional Codes and an Asymptotically Optimum Decoding Algorithm,” *IEEE Trans. on Information Theory*, vol. IT-13, no. 2, pp. 260-269, Apr. 1967.
- [44] 石川利広, 上田勝彦, 本間光一, “ビタビ復号に適した DSP アーキテクチャ,” 信学会 秋季大会論文集, A-23. 1992.
- [45] 安留美加子, 上田勝彦, “シフト加減算装置,” 特許第 3245884 号.
- [46] 杉村敏夫, 上田勝彦, “ディジタル信号処理に適したプログラム実行制御方法,” 信学会 秋季大会論文集, C-4483. 1992.
- [47] 上田勝彦, “プログラム制御方法及びプログラム制御装置,” 特許第 2943464 号.
- [48] 旭竜一, 鈴木貴雄, “完全 24 ビット固定小数点 DSP MN1920 シリーズ” ナショナルテクニカルレポート, vol. 36, no. 3, pp. 303-309, Jun. 1990.
- [49] Cassius. C. Cutler, “Differential quantization of communication signals,” US Patent US2605361.
- [50] [http://rs-components.jp/techinfo/onepoint/0901\\_circuit.html](http://rs-components.jp/techinfo/onepoint/0901_circuit.html)
- [51] N. Ahmad, R. Hasan, “A new design of XOR-XNOR gates for low power application,” *IEEE ICEDSA*, pp. 45-49, Aug. 2011.
- [52] 東芝 CMOS デジタル集積回路シリコンモノリシックデータシート, “TC74AC86P, TC74AC86F, TC74AC86FT,” 東芝, 2007-10-01.

# 業績

## 論文（査読付き）

- Katsuhiko UEDA, Toshio SUGIMURA, Toshihiro ISHIKAWA, Minoru OKAMOTO, Mikio SAKAKIHARA, and Shinichi MARUI, “A 16-bit Digital Signal Processor with Specially Arranged Multiply-Accumulator for Low Power Consumption,” *IEICE Trans. Electron.* vol. E-78, no. 12, pp. 1709-1716, Dec. 1995.
- 上田勝彦, 陸橋瑞光, 末永美幸, 肥川宏臣, “分割符号化により消費電力を低減する CMOS 論理回路データ伝送手法,” 電子情報通信学会論文誌 (C) , vol. J97-C, no. 6, pp. 249-257, Jun. 2014.
- Katsuhiko UEDA, Zuiko RIKUHASHI, Kentaro HAYASHI, Hiroomi HIKAWA, “Low-power Wiring Method for Band-Limited Signals in CMOS Logic Circuits by Segmentation Coding with Pseudo-Majority Voting,” *IEICE Trans. Electron.* vol. E98-C, no. 4, pp. 356-363, Apr. 2015.

## 国際会議（査読付き）

- Katsuhiko UEDA, Toshio SUGIMURA, Minoru OKAMOTO, Shinichi MARUI, Toshihiro ISHIKAWA, Mikio SAKAKIHA, “A 16b Low-Power-Consumption Digital Signal Processor,” *IEEE ISSCC'93*, pp. 28-29, Feb. 1993.
- Katsuhiko UEDA, Zuiko RIKUHASHI, Kentaro HAYASHI, Hiroomi HIKAWA, “Low-power Wiring Method in CMOS Logics Circuits by Segmentation Coding and Pseudo Majority Voting,” *IEEE ISCAS'14*, pp. 590-593, Jun. 2014.

## 国内学会・研究会

- 上田勝彦, 杉村敏夫, 岡本実, 丸井信一, 石川利広, 榊原幹夫, “(招待論文) 16ビット低消費電力信号処理プロセッサ,” 電子情報通信学会 信学技報 ICD93-92/DSP93-53, pp. 67-74. Sep. 1993.
- 上田勝彦, 陸橋瑞光, 肥川宏臣, “CMOS論理回路での配線消費電力低減の一手法,” 平成24年電気関係学会関西連合大会, 9pmD-22, pp.401-402, 2012.
- 陸橋瑞光, 末永美幸, 上田勝彦, 肥川宏臣, “分割符号化手法によるCMOS論理回路の配線消費電力削減,” 電子情報通信学会 信学技報 FIIS13, No. 352, 2013.
- 林健太郎, 上田勝彦, 肥川宏臣, “分割符号化と擬似多数決によるCMOS論理回路の配線電力低減,” 2013年電子情報通信学会エレクトロニクスソサイエティ大会, C-12-3, pp.63, 2013.
- 林健太郎, 淵上直斗, 上田勝彦, 肥川宏臣, “グレイコードによるCMOS論理回路の電力削減,” 電子情報通信学会 信学技報 FIIS14, No. 372, 2014.

## 特許（登録及び出願）

- 上田勝彦, “プログラム制御方法及びプログラム制御装置,” 特許第2943464号.
- 安留美加子, 上田勝彦, “シフト加減算装置,” 特許第3245884号.
- 石川利広, 上田勝彦, 榊原幹夫, “演算装置,” 特許第3237267号.
- 杉村敏夫, 上田勝彦, 石川利広, 安留美加子, 岡本稔, “メモリ装置,” 特許第3299564号.
- Toshihiro Ishikawa, Katsuhiko Ueda, Mikio Sakakihara, “Arithmetic apparatus for digital signal processor,” US Patent US5440504.
- Toshio Sugimura, Katsuhiko Ueda, Minoru Okamoto, Toshihiro Ishikawa, Mikako Yasutome, “Interleaved memory wherein plural memory means comprising plural banks output data simultaneously while a control unit sequences the addresses in ascending and descending directions,” US Patent US5537577.

- Katsuhiko Ueda, “Program control method and program control apparatus,” US Patent US5596760.
- 上田勝彦, 陸橋瑞光, 末永美幸, 肥川宏臣, “データ送信装置, データ受信装置, データ送受信装置, データ送信方法, データ受信方法, 及びデータ送受信方法,” 特願 2012-268590.

#### 関連著書

- 日経マイクロデバイス (編), 低電力 LSI 技術白書, 日経 BP 社, 1994.  
担当: Part. 2 設計/ロジック/アーキテクチャ 信号処理プロセッサ (pp. 55-70)
- 桜井貴康 (編), 低消費電力高速 LSI 技術, 株式会社リアライズ理工センター, 1998.  
担当: 2.8.2 ベースバンド DSP (pp. 397-406)
- Edited by Anantha Chandrakasan and Robert Broderson, Low-Power CMOS Design, WILEY-INTERSCIENCE, 1998.  
担当: pp. 435-436

#### 表彰等

上記 ISSCC'93 で発表した低消費電力 DSP の論文は, 2004 年に ISSCC が創立 50 周年記念に過去 50 年間の発表論文の中から選考した優秀論文 70 本の一つとして, Signal Processing 分野で選出.

<http://sscs.ieee.org/history/isscc-50th-museum.html>

#### その他 関連論文, 国際会議 (査読付き)

- K. Ueda, T. Sakao, T. Suzuki, and O. Nishijima, “A High Performance Digital Signal Processor VLSI: MN1900 series,” *IEEE ICASSP'86*, pp. 2175-2178, Apr. 1986.
- M. Okamoto, T. Ishikawa, S. Marui, M. Yamasaki, K. Ueda, N. Asano, M. Uesugi, Y. Saitoh, Y. Fujimoto, S. Furushima, “An equalizing and chan-

nel coding processor for GSM terminals,” *IEEE ICASSP’95*, pp. 3215-3218, May 1995.

- H. Kabuo, M. Okamoto, I. Tanaka, H. Yasoshima, S. Marui, M. Yamasaki, T. Sugimura, K. Ueda, T. Ishikawa, H. Suzuki, and R. Asahi, “A 16 bit low-power-consumption digital signal processor using a 80 MOPS redundant binary MAC,” *IEEE Symposium on VLSI Circuits 1995*, pp. 63-64, Jun. 1995.
- T. Ishikawa, H. Suzuki, H. Taki, K. Homma, H. Kabuo, M. Okamoto, K. Ueda, R. Asahi, “A 16 bit low-power-consumption digital signal processor for portable terminals,” *IEEE International Conference on Universal Personal Communications*, pp. 796-802, Nov. 1995.
- H. Kabuo, M. Okamoto, I. Tanaka, H. Yasoshima, S. Marui, M. Yamasaki, T. Sugimura, K. Ueda, T. Ishikawa, H. Suzuki, and R. Asahi, “An 80-MOPS-Peak High-Speed and Low-Power-Consumption 16-b Digital Signal Processor,” *IEEE Journal of Solid-State Circuits*, pp. 494-503, Apr. 1996.
- T. Kamada, T. Fukuoka, Y. Nakai, Y. Nakakura, K. Ueda, K. Ota, T. Shiomi, and Y. Fukumoto, “An area effective standard cell based channel decoder LSI for digital satellite TV broadcasting,” *IEEE Workshop on VLSI Signal Processing, IX*, pp 337-346, Oct. 1996.
- T. Kamada, T. Fukuoka, Y. Nakai, Y. Nakakura, K. Ueda, K. Ota, T. Shiomi, and Y. Fukumoto, “Development of VSB demodulator LSI with high-performance waveform equalizer,” *IEEE International Conference of Consumer Electronics 2000*, pp. 42-43, Jun. 2000.

#### 国際会議 チュートリアル講演

- K.Ueda, “Digital Signal Processors for Mobile Phone Terminals,” *IEEE Symposium on VLSI Circuits 1999*, Short course, Jun. 1999.
- K.Ueda, “SoC Design for Digital Consumer Electronics,” *IEEE IEDM’04*, Short course, Dec. 2004.



## 国際会議 パネリスト

- K. Ueda et al., “Single Standard versus Multi-Standard Transceiver for PCS,”  
*IEEE Symposium on VLSI Circuits 1996*, Jun. 1996.
- K. Ueda et al., “Future Mobile Phones: A Beautiful Dream or Smoke in LSI  
Technology,” *IEEE ISSCC'03*, pp. 292-293, Feb. 2003.

## 謝辞

本論文は、筆者がパナソニック株式会社 在職中に行った低消費電力デジタル信号処理プロセッサに関する研究、そして、関西大学 先端科学技術推進機構に産官学連携コーディネーターとして勤務する傍ら、社会人博士課程で行った、低消費電力データ伝送に関する研究をまとめたものである。

低消費電力デジタル信号処理プロセッサの研究におきましては、温かく、時には厳しくご指導頂きました、パナソニック株式会社 三木弼一氏、坂尾 隆氏、森 仁氏、古池 進 博士、西嶋 修 博士、本間光一 博士をはじめとする多くの皆様方に心から御礼申し上げます。また実際の研究開発を共に行いました杉村敏夫氏、安留美加子氏、岡本 稔氏、丸井信一氏、鈴木貴雄氏、榊原幹夫氏、石川利広氏をはじめとする、信号処理プロセッサ開発関係の皆様方に心から感謝申し上げます。

低消費電力データ伝送の研究では日々の研究、論文執筆をはじめ、多方面からご指導を賜りました関西大学 システム理工学部 肥川宏臣 教授に厚く御礼申し上げます。そして、研究を共に行いました、陸橋 瑞光氏（現、(株) ルネサスソリューションズ）、末永美幸氏（現、(株) 古川製作所）、林 健太郎氏（現、ヤンマー（株））、及び肥川研究室の皆様方に心から感謝申し上げます。

副査の立場でご指導を賜りましたシステム理工学部 大村泰久 教授、棟安実治 教授に対しまして、厚く御礼申し上げます。

研究を進める当たり、常日頃から、温かく声を掛けて頂きました、システム理工学部 電気電子情報工学科の諸先生方に感謝申し上げます。

また、産官学連携の業務を行いながら社会人博士課程で研究を行うことをお許し頂きました、システム理工学部 前田 裕 教授（副学長、前 社会連携部長）、化学生命工学部 石川正司 教授（先端科学技術推進機構 機構長）、化学生命工学部 西山 豊 教授（前 産学官連携センター長）、小幡 斉 名誉教授（前 社会連携部 特別顧問）、そして篠塚 義弘氏（前 学長室次長、現 学術情報事務局長）、島貫 未来夫氏（学長室 次長

(社会連携担当)), 中村勇吉氏 (学長室 先端科学技術推進機構 グループ長) をはじめとする学長室の皆様方に厚く御礼申し上げます.

最後に, 社会人博士課程で研究を行うことに理解を示し, 陰ながら支えてくれた家族, 特に妻 加津子に感謝する.